

## Application Note

## TAx5xxx-Q1 器件中的芯片间限制器调整



Daveon Douglas

## 摘要

TAx5xxx 系列音频编解码器和 DAC 是适用于音频应用的立体声、高性能转换器，其 TAx5xxx-Q1 型号专为汽车应用而量身定制。

TAx5xxx-Q1 系列（特别是 TAC5xxx-Q1 和 TAD5xxx-Q1）采用了限制器组算法，该算法使用失真限制器、欠压保护和热折返功能根据 VBAT 或 AVDD 电平调整输出。[TAx5xxx-Q1 中基于动态电压和温度跟踪的限制器](#) 应用手册中介绍了限制器组算法。

本文说明如何配置多个 TAx5xxx 和 TAx5xxx-Q1 器件以实现限制器组的同步输出衰减。

## 内容

1 引言.....	2
2 信号链架构.....	2
3 ICLA 的 ASI 配置.....	3
4 决策树.....	4
5 应用示例.....	4
5.1 应用程序示例脚本.....	7
6 总结.....	9
7 参考资料.....	9

## 商标

所有商标均为其各自所有者的财产。

## 1 引言

TAx5xxx-Q1 器件采用动态限制器组算法，旨在增强音频性能并保护系统完整性。该算法有几个重要功能：

- **失真限制器**  
在高音量峰值或电池电压下降期间自动调整输出电平，防止音频失真。
- **欠压保护**  
防止电压下降，确保稳定的音频性能。
- **热折返**  
降低输出电平，防止过热并保护器件。

在汽车音频应用中，这些功能可确保高质量的音频传输和设备可靠性。例如，失真限制器可在音量突然变化时保持清晰的声音，而欠压保护功能可在车辆电气系统出现波动时确保稳定运行。热折返可防止音频组件（例如由器件驱动的扬声器放大器）在长时间使用期间受到损坏，从而确保长期的耐用性。

芯片间限制器调整 (ICLA) 支持多个器件之间同步限制器功能。这一过程在配备多扬声器系统的现代车辆中至关重要，可确保整个车辆都具有一致的输出衰减和音频质量，从而保持平衡和高保真的声音体验。

## 2 信号链架构

对于通过 DAC 信号链来连接多达 8 个模拟输入通道、8 个数字输入通道或 16 个数字麦克风输入的系统，四个 TAx5xxx-Q1 器件可通过 ICLA 算法同步增益调整。TAx5xxx-Q1 支持共享 I<sup>2</sup>C 控制总线 and 音频串行总线，采用时分多路复用 (TDM)、IC 间音频 (I<sup>2</sup>S) 或左对齐 (LJ) 接口。图 2-1 展示了为实现 ICLA 而连接的四个 TA(C/D)5XXX 器件的示意图，相应的数字输入位于共享音频串行总线上。

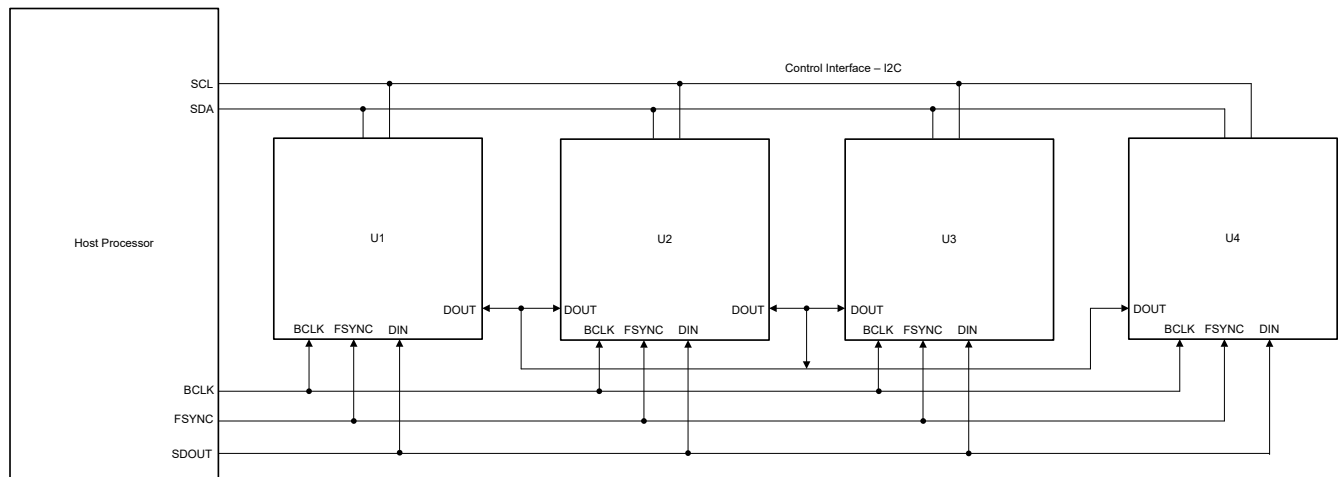


图 2-1. 回放信号路径配置

图 2-2 展示了为实现 ICLA 而连接的四个 TAC5xxx-Q1 器件的示意图，其中具有 8 个模拟通道。

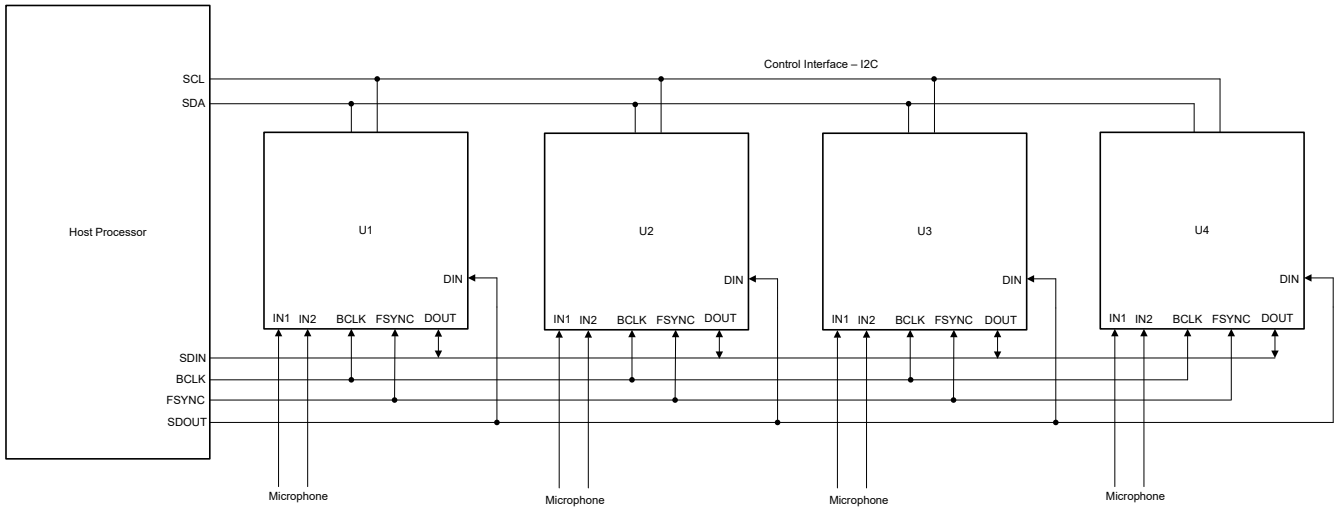


图 2-2. 录制和回放信号路径配置

当配置 2 个以上的器件用于 ICLA 同步时，由于要保留时隙用于 ICLA 通信，因此不支持内部 ADC 通道输出环回。图 2-3 展示了使用手动环回电路设计来连接多个器件以实现录制和回放的示意图。

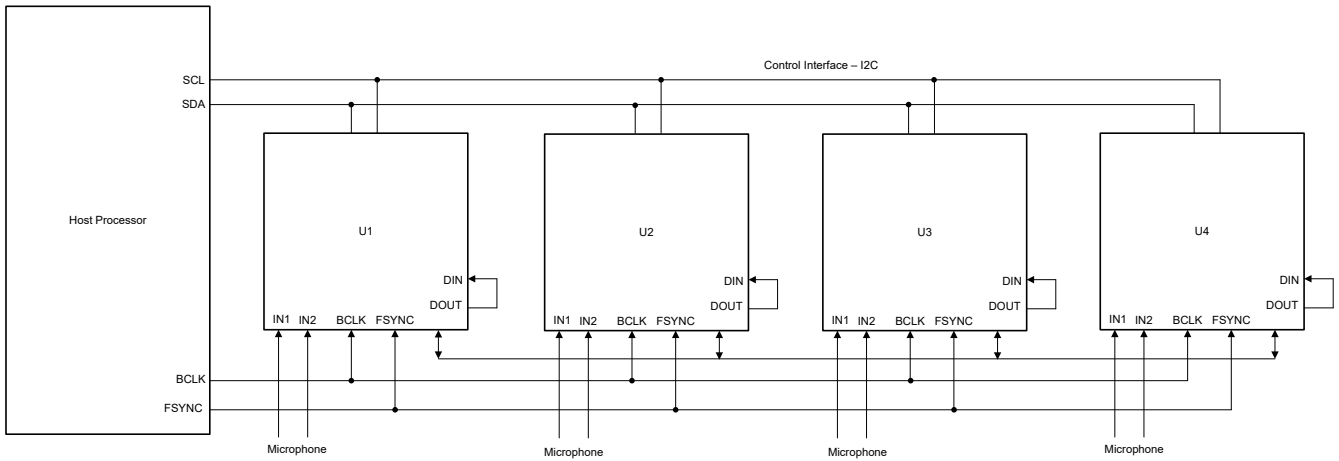


图 2-3. 具有环回功能的录制和回放路径

### 3 ICLA 的 ASI 配置

多个 TAS5xxx-Q1 器件的 ASI 总线通过每个相应器件的数字输出引脚 (DOUT) 连接在一起。启用 ICLA 后，DOUT 是一个双向发送器和接收器，用于收发限制器组内所做的更改。ICLA 算法旨在将数据发送到 PASI\_TX\_CH8\_CFG (P0\_R37\_D5) 寄存器中的其他器件，并从 PASI\_RX\_CH[6-8]\_CFG (P0\_R45-R47\_D6:5) 寄存器中的其他器件接收数据。每个通道的时隙分配设置在 PASI\_TX\_CHx\_CFG (P0\_R30-R37\_D4:0) 和 PASI\_RX\_CHx\_CFG (P0\_R40-R47\_D4:0) 中进行配置。图 3-1 展示了为 ICLA 配置的四器件的时隙配置示例。

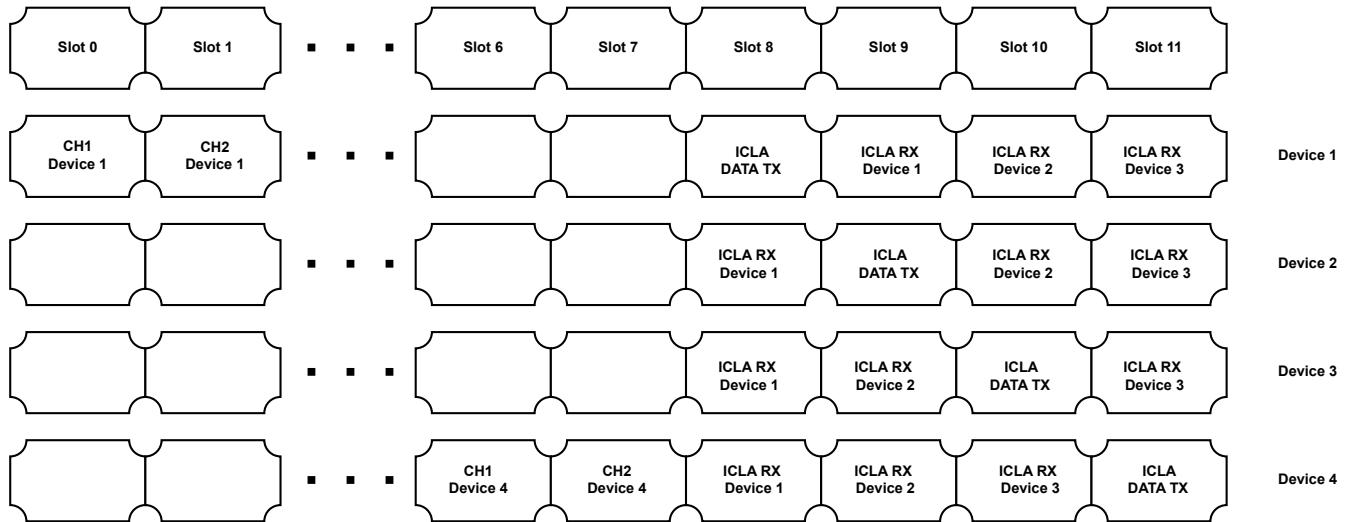


图 3-1. ICLA 的四个器件的时隙配置

## 4 决策树

只要启用 ICLA，ICLA 便会将限制器组施加的最小增益与任何连接的器件保持一致。例如，当器件 1 上的失真限制器阈值最大值设置为  $-6\text{dB}$  且器件 2 上的最大阈值设置为  $0\text{dB}$  时，ICLA 会将这两个器件上的 DAC 输出电平保持一致 ( $-6\text{dB}$ )，即使电池电压未降至拐点以下，也是如此。由于失真限制器、欠压保护器或热折返算法而进行的增益调整会在所有器件之间保持一致。

## 5 应用示例

本例中连接了两个 TAC5412Q1EVM 来实现 ICLA 同步，并在每个器件上启用失真限制器。每个器件上有两个独立的直流电源发生器为 VBAT\_IN 供电。图 5-1 展示了为实现 ICLA 功能而连接的 TAC5412-Q1 器件的方框图。

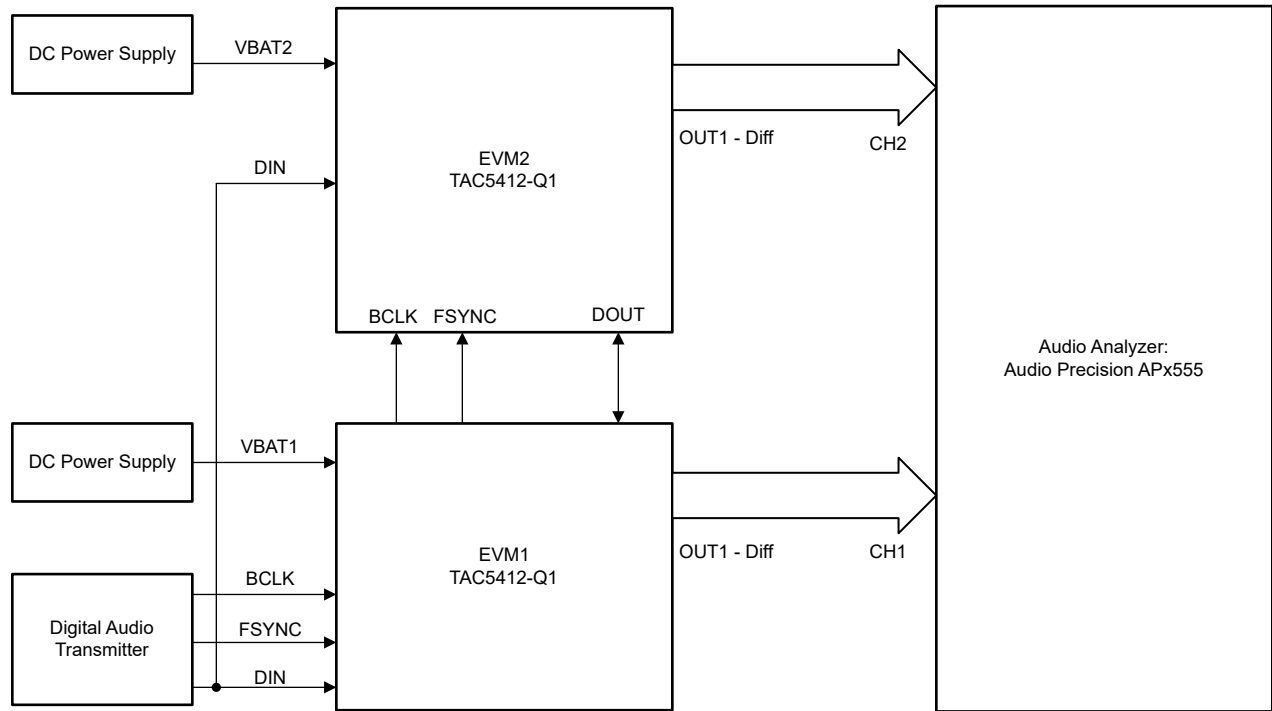


图 5-1. EVM 测试设置

两个 TAC5412Q1EVM 都启用了失真限制器，EVM1 的输出电平最大阈值配置为 0dB，EVM2 的最大阈值设置为 -5dB。在每个器件上，触发启用失真限制器的拐点配置为 9V。每个器件上的 VBAT1 和 VBAT2 都是在拐点之上的 12V 时测得。图 5-2 展示了禁用 ICLA 且在 EVM1 和 EVM2 之间未连接 DOUT 的情况下每个器件的输出电平。

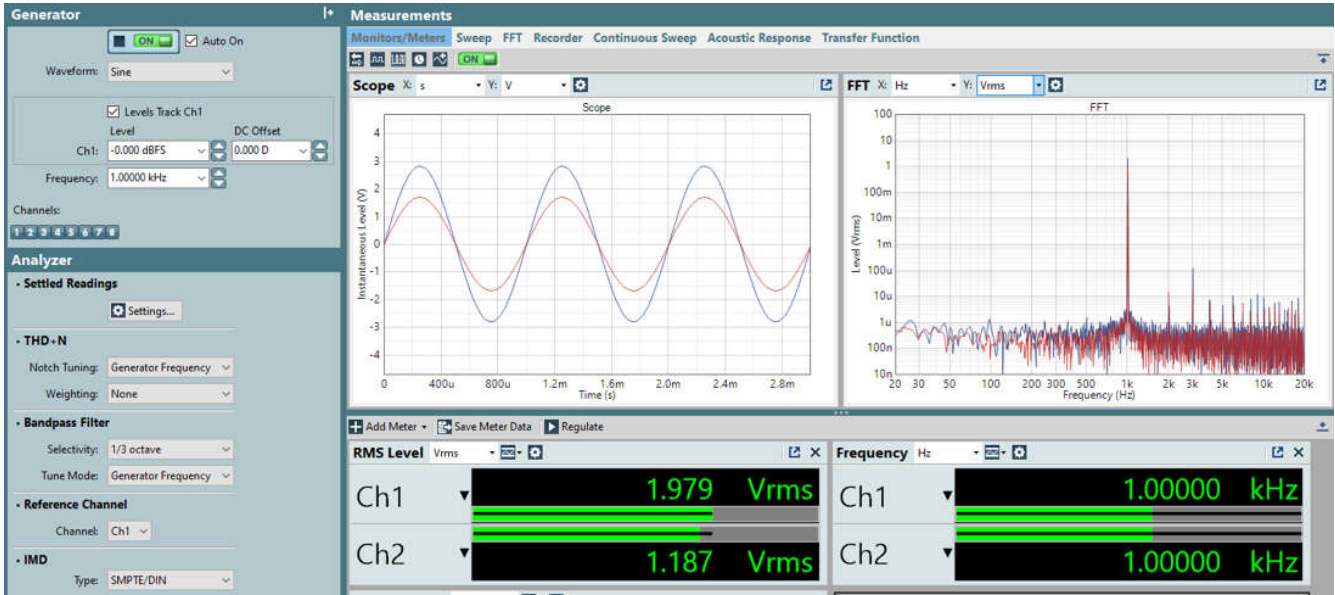


图 5-2. 输出波形，禁用 ICLA，未连接 DOUT

图 5-3 展示了在 EVM1 和 EVM2 之间连接了 DOUT 且启用 ICLA 的情况下每个器件的输出电平。由于对输出信号电平施加了 -5dB 衰减，因此两个 EVM 上的限制器最大阈值保持一致。VBAT1 和 VBAT2 在拐点上方保持为 12V。

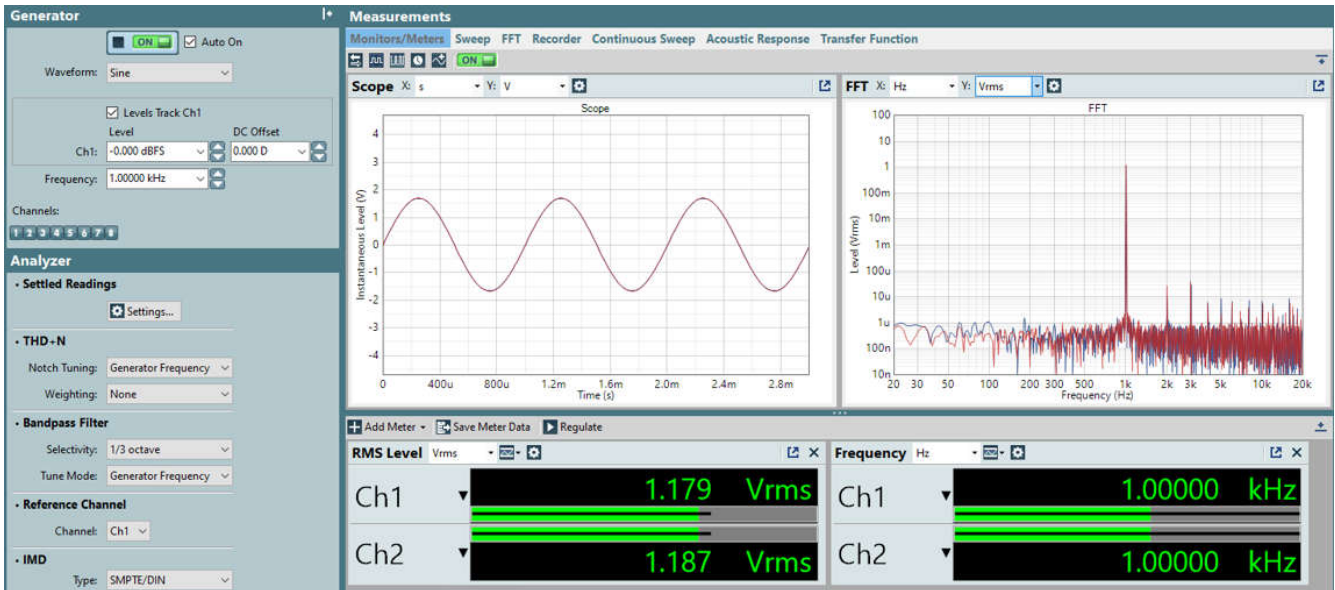


图 5-3. 输出波形，启用 ICLA，连接 DOUT

在 EVM1 和 EVM2 上，限制器最小阈值分别设置为 -25dB 和 -50dB。当 VBAT1 降至拐点以下时，两个器件的输出电平平均衰减至 118mVrms，衰减接近 -25dB，这是 ICLA 设置下的预期结果。

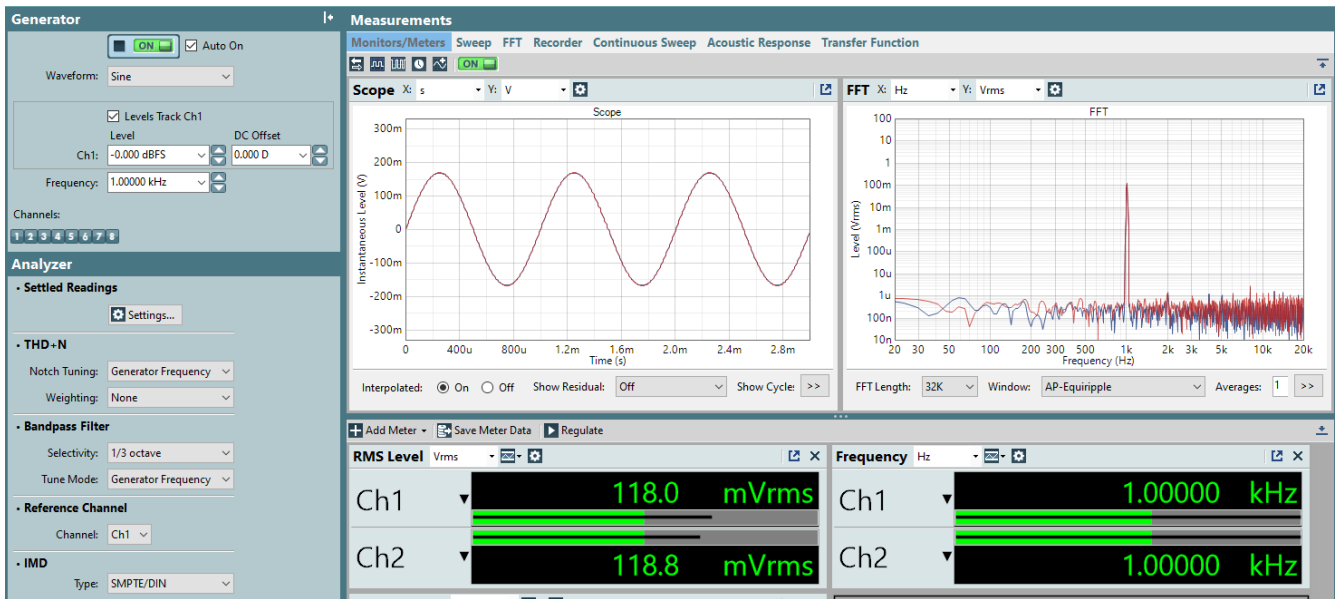


图 5-4. 输出波形，-25dB 衰减

如图 5-5 所示，当 VBAT2 降至拐点以下的 8V 时，输出电平衰减至大约 6.6mVrms，衰减接近 -50dB，这是 ICLA 设置下的预期结果。

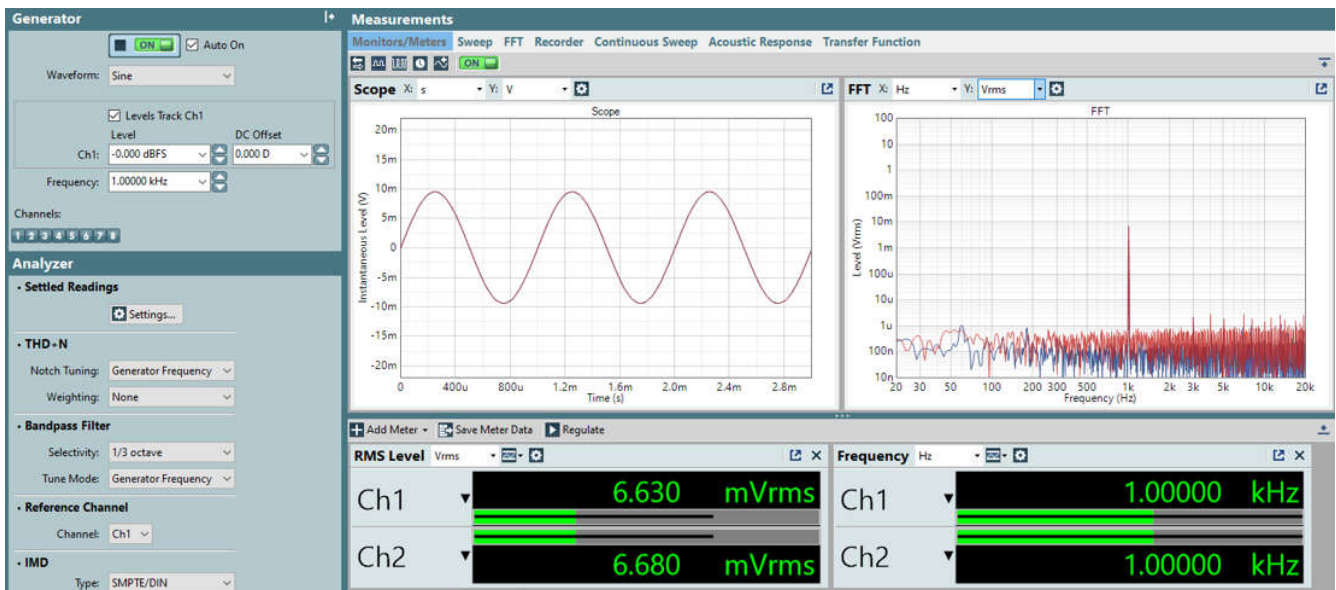


图 5-5. 输出波形，-50dB 衰减

如波形所示，当连接用于 ICLA 同步时，DAC 输出通道相对于满量程的测量值差异可能小于 0.1dB。

## 5.1 应用程序示例脚本

表 5-1 是 TAx5xxx-Q1 器件的示例脚本，基于应用程序示例部分所述的参数。

表 5-1. TAx5xxx-Q1 的示例脚本

EVM1 参数	EVM2 参数
启用失真限制器	启用失真限制器
拐点：9V	拐点：9V
最大阈值：0dB	最大阈值：-5dB
斜率：1V/V	斜率：2V/V
ICLA TX：时隙 5	ICLA TX：时隙 4
ICLA RX：时隙 4	ICLA RX：时隙 5

### EVM1 示例脚本：

```

# Key: w a0 XX YY ==> write to I2C address 0xa0, to register 0xxx, data 0xyy
# # ==> comment delimiter
#
# The following list gives an example sequence of items that must be executed in the time
# between powering the device up and reading data from the device. Note that there are
# other valid sequences depending on which features are used.
#
# See the corresponding EVM user guide for jumper settings and audio connections.
#
# Line-Out Fully-Differential 2-channel : INP1/INM1 - Ch1, INP2/INM2 - Ch2
# FSYNC = 48 kHz (Output Data Sample Rate), BCLK = 12.288 MHz (BCLK/FSYNC = 256)
#####
Power up IOVDD and AVDD power supplies keeping SHDNZ pin voltage LOW
# wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.#
Release SHDNZ to HIGH.
# wait for 1ms
#
w a0 00 00 #Go to page 0
w a0 01 01 # Software reset
w a0 02 09 # Come out of sleep mode, enable DREG, VREF
#####
w a0 06 50 # Set HP cap charging time to 2ms
w a0 72 1a # Enable ADC soft stepping
w a0 73 1a # Enable DAC soft stepping
w a0 00 00 # Go to page 0
w a0 1b 48 # Enable bus keeper and HI-Z output
w a0 28 20 # CH1 data in slot 0
w a0 29 21 # Ch2 data in slot 1
w a0 25 25 # ICLA TX data on slot 5
w a0 2d 64 # ICLA RX Data on slot 4
#####
w a0 00 01 # Go to page 1
w a0 2d 80 # Enable distortion limiter
w a0 53 90 # VBAT ch enable for diagnostics
w a0 00 19 # Go to page 25
w a0 60 78 d6 fc 9f # Attack rate
w a0 74 00 00 48 00 # 9V inflection point
w a0 6c 01 69 9c 0f # 0 dB Limiter Thr Max
w a0 64 40 bd b7 c0 # Release rate
w a0 70 00 14 55 b6 # -25dB Limiter Thr Min
w a0 78 10 00 00 00 # Slope 1 V/V
#####
w a0 00 00 # Go to page 0
w a0 76 cf # DAC CHs enabled
w a0 78 c0 # ADC & DAC powerup
  
```

**EVM2 示例脚本：**

```

# Key: w a1 XX YY ==> write to I2C address 0xa1, to register 0xxx, data 0xYY
# # ==> comment delimiter
#
# The following list gives an example sequence of items that must be executed in the time
# between powering the device up and reading data from the device. Note that there are
# other valid sequences depending on which features are used.
#
# See the corresponding EVM user guide for jumper settings and audio connections.
#
# Line-Out Fully-Differential 2-channel : INP1/INM1 - Ch1, INP2/INM2 - Ch2
# FSYNC = 48 kHz (Output Data Sample Rate), BCLK = 12.288 MHz (BCLK/FSYNC = 256)
#####
Power up IOVDD and AVDD power supplies keeping SHDNZ pin voltage LOW
# wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.#
Release SHDNZ to HIGH.
# wait for 1ms
#
w a1 00 00 #Go to page 0
w a1 01 01 # Software reset
w a1 02 09 # Come out of sleep mode, enable DREG, VREF
#####
w a1 06 50 # Set HP cap charging time to 2ms
w a1 72 1a # Enable ADC soft stepping
w a1 73 1a # Enable DAC soft stepping
w a1 00 00 # Go to page 0
w a1 1b 48 # Enable bus keeper and HI-Z output
w a1 28 22 # CH1 data in slot 2
w a1 29 23 # CH2 data in slot 3
w a1 25 24 # ICLA TX data on slot 4
w a1 2d 65 # ICLA RX Data on slot 5
#####
w a1 00 01 # Go to page 1
w a1 2d 80 # Enable distortion limiter
w a1 53 90 # VBAT ch enable for diagnostics
w a1 00 19 # Go to page 25
w a1 60 78 d6 fc 9f # Attack rate
w a1 74 00 00 48 00 # 9V inflection point
w a1 6c 00 cb 59 18 # -5dB Limiter Thr Max
w a1 64 40 bd b7 c0 # Release rate
w a1 70 00 01 24 bd # -50dB Limiter Thr Min
w a1 78 20 00 00 00 # Slope 2 V/V
#####
w a1 00 00 # Go to page 0
w a1 76 cf # DAC CHs enabled
w a1 78 c0 # ADC & DAC powerup

```



## 6 总结

德州仪器 (TI) TA5xxx 系列器件集成了三项在电池供电型应用中用于音频处理的功能：失真限制器、欠压保护和热折返。ICLA 支持在多个器件之间同步这三个功能，同时保持音频性能。综上所述，这些功能体现了在电池供电型应用中平衡音频卓越性与电源效率的综合方法。

## 7 参考资料

- 德州仪器 (TI), [TA5xxx-Q1 中基于动态电压和温度跟踪的限制器](#) 应用手册。

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024，德州仪器 (TI) 公司