

## Application Note

## TAS2x20 设计和布局布线指南



Ivan Salazar

## 摘要

TAS2x20 系列音频放大器是一类数字输入 D 类音频放大器，针对实际音乐和语音应用中的效率和电池寿命进行了优化。该系列放大器能够使用集成式 H 类升压转换器（对于 TAS2120）和外部升压（对于 TAS2320）提供高输出功率。

本应用手册介绍了使用该系列器件的建议设计和 PCB 布局实践，用于提高该器件在系统中的质量和可靠性，并在集成到系统中后实现更高的效率和性能。

## 内容

1 引言.....	2
2 应用原理图.....	2
2.1 建议的元件额定值.....	4
2.2 参考原理图.....	6
3 设计指南.....	8
3.1 VDD 引脚.....	8
3.2 PVDD 引脚.....	9
3.3 GREG 引脚.....	10
3.4 SW 引脚.....	11
3.5 VBAT 引脚.....	12
3.6 OUT_P 和 OUT_N 引脚.....	13
3.7 IOVDD 引脚.....	15
3.8 DREG 引脚.....	16
3.9 数字 I/O 引脚.....	16
3.10 接地引脚.....	17
3.11 HW 选择引脚.....	18
4 EMI 特定指南.....	19
5 总结.....	20
6 参考资料.....	20

## 商标

所有商标均为其各自所有者的财产。

## 1 引言

TAS2x20 是数字输入 D 类放大器系列。TAS2120 从单节或多节电池电源获取电压，并将电源电压升压至高电压。TAS2320 直接从较高的电压源（例如多节电池或交流/直流适配器）获取电源电压。利用这些功能，用户能够播放音频并向扬声器负载提供高功率。

在音频设计中使用该器件时，PCB 设计是一个关键因素。为了验证该器件是否可靠并满足所需的性能和功能标准，同时更最大限度地降低损耗以保持系统效率，在设计应用时需要考虑一些设计和布局实践。

本应用手册提供了一组需要遵循的建议指南，确保用户能够以设计的性能和效率运行器件。TAS2120EVM 用作强调这些指南的参考。

## 2 应用原理图

下图显示了可以连接 TAS2x20 的各种配置。图 2-1 展示了采用 1S 配置的 TAS2120，其中使用单节电池作为电压源来为器件供电。

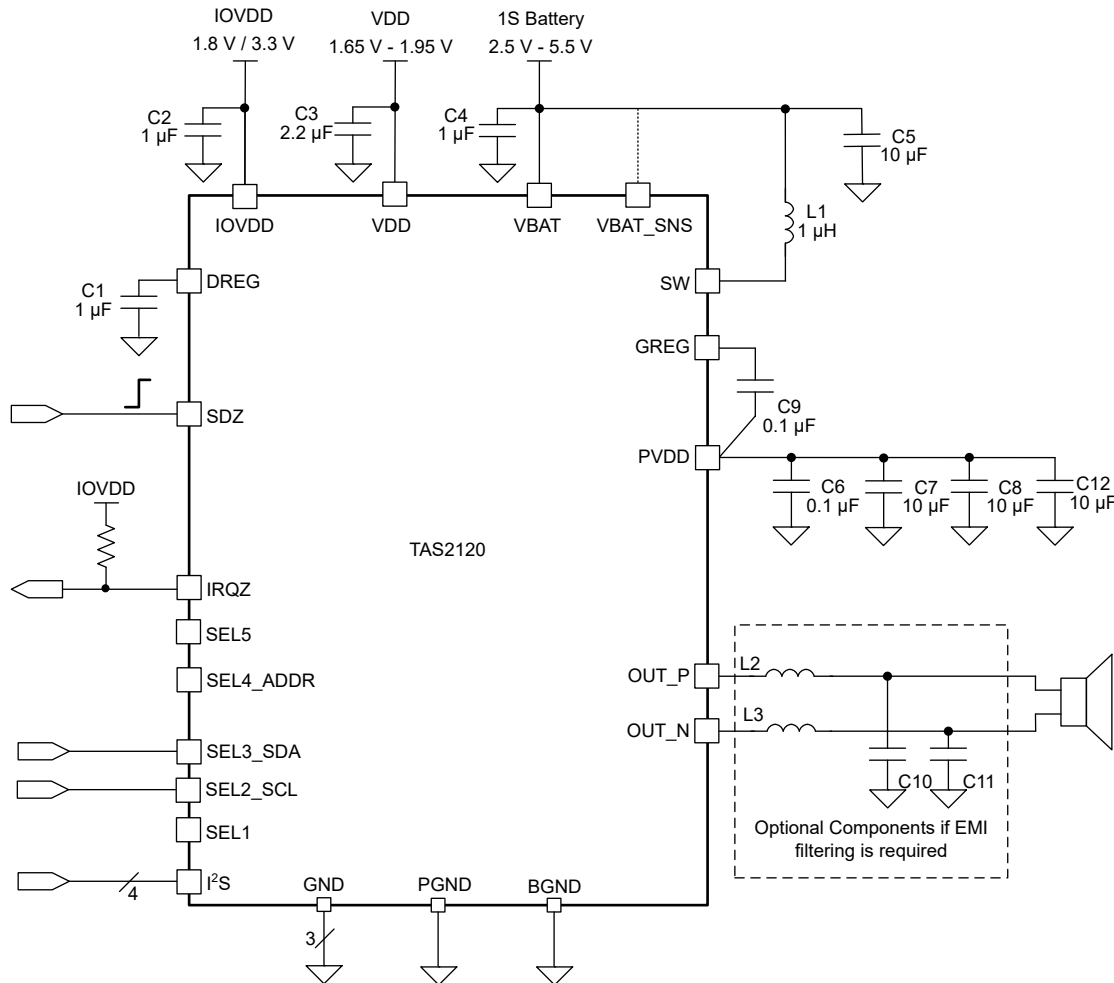


图 2-1. 采用 1S 配置的 TAS2120

图 2-2 展示了采用 2S 配置连接的器件，其中 2 节电池用作器件的电源。

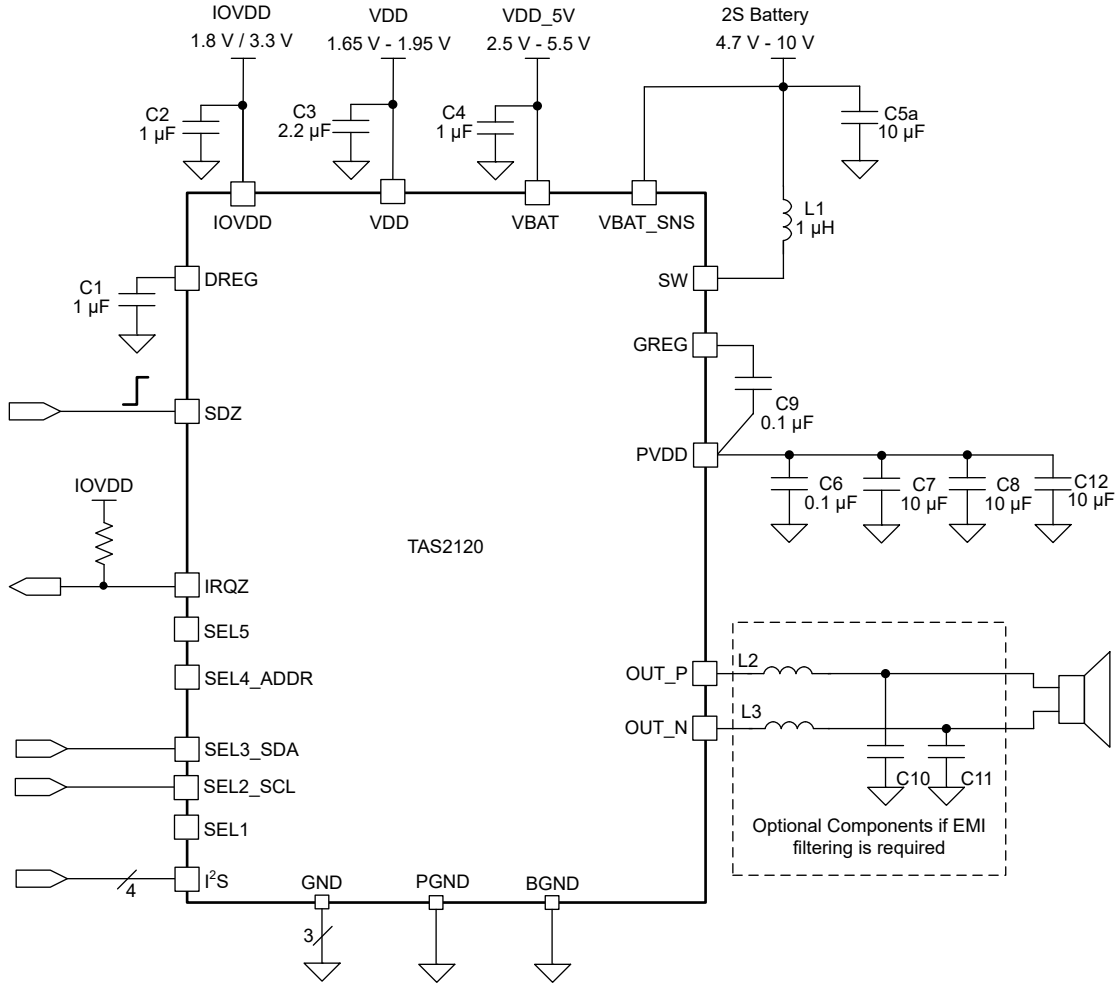


图 2-2. 采用 2S 配置的 TAS2120

图 2-3 展示了 TAS2320 的外部 PVDD 配置，其中器件的内部升压转换器被禁用，PVDD 可以由 3 节电池从外部提供。

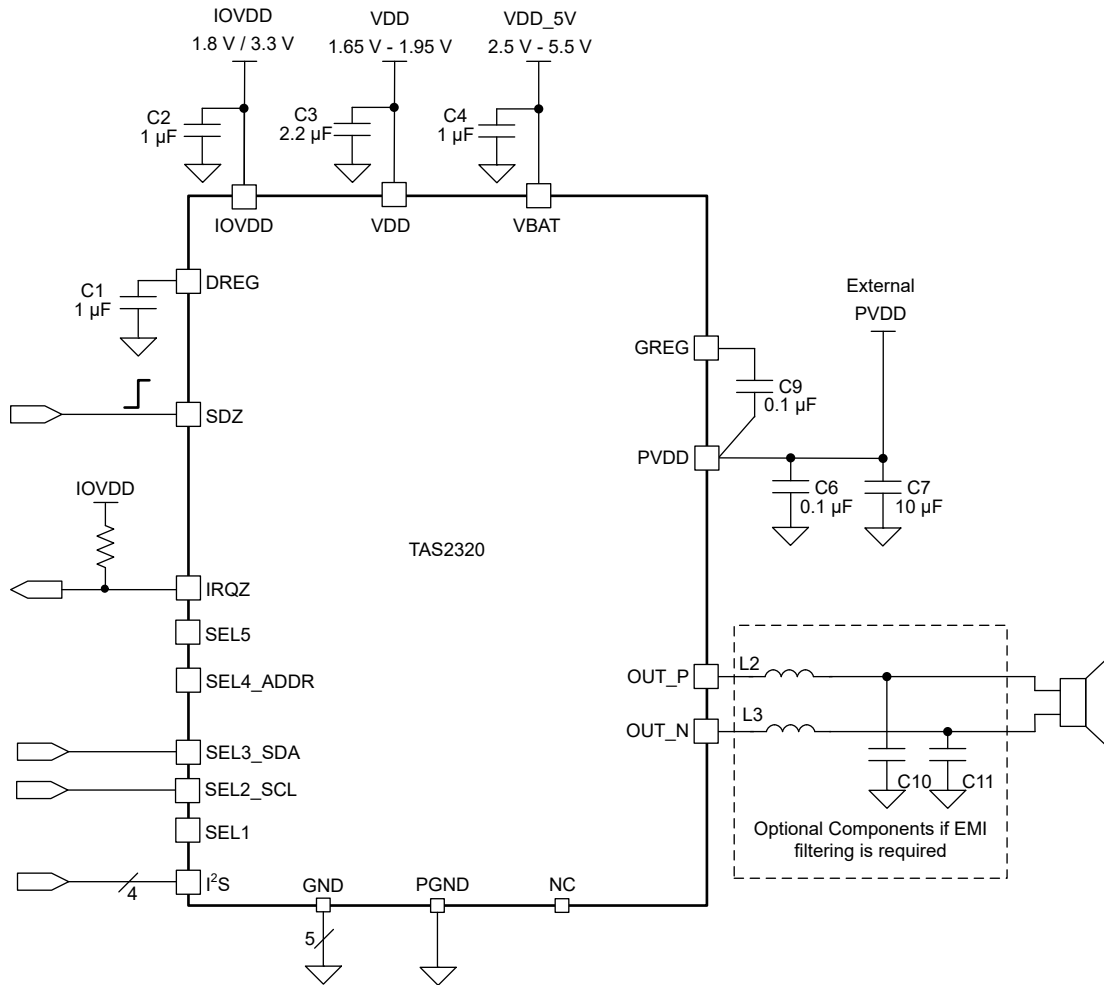


图 2-3. 采用外部 PVDD 配置的 TAS2320

## 2.1 建议的元件额定值

表 2-1 展示了图 2-1、图 2-2 和图 2-3 中所示元件的建议元件额定值。

表 2-1. 元件额定值

元件	说明	规格	最小值	典型值	最大值	单位
L1	升压转换器电感器	电感	0.47	1	-	µH
		饱和电流	-	5.3	-	A
L2、L3	可选 EMI 滤波电感器	直流电流	2	-	-	A
C1、C2	DREG、IOVDD 去耦电容器	电容，容差为 20%	-	1	-	µF
		电压额定值	2	6.3	-	V
C3	VDD 去耦电容器	电容，容差为 20%	-	2.2	-	µF
		电压额定值	4	6.3	-	V
C4	VBAT 去耦电容器	电容，容差为 20%	-	1	-	µF
		电压额定值	6.3	10	-	V
C5	VBAT 电源去耦电容器	电容，容差为 20%	-	10	-	µF
		电压额定值	6.3	10	-	V

表 2-1. 元件额定值 (续)

元件	说明	规格	最小值	典型值	最大值	单位
C5a	VBAT2S 去耦电容器	电容, 容差为 20%	-	10	-	μF
		电压额定值	10	16	-	V
C6	PVDD 低 ESL 去耦电容器	电容, 容差为 20%	-	0.1	-	μF
		电压额定值	16	25	-	V
C7、C8、*C12	PVDD 电源去耦电容器。 仅升压输出 >13V 时需要 C12	电容, 容差为 20%	-	10	-	μF
		电压额定值	16	25	-	V
		组合 PVDD 电容器在 13V 时的降额电容	3	-	-	μF
C9	GREG 去耦电容器	电容, 容差为 20%	-	0.1	-	μF
		电压额定值	6.3	10	-	V
C10、C11	可选的 EMI 滤波电容器 (如果使用 C10、C11, 则必须使用 L2、L3)	电压额定值	2xPVDD		-	V

硬件模式下的功能选择引脚必须使用每个选项的特定电阻值连接到 IOVDD、VBAT 或 GND, 请按照表 2-2 表选择正确的元件值。

表 2-2. 硬件选择引脚电阻值

硬件选择引脚	电阻值	说明
SEL1	0 Ω 至 VBAT	21dBV 和音量斜坡已启用
	24k Ω 至 VBAT	18dBV 和音量斜坡已启用
	24k Ω 至 GND	12dBV 和音量斜坡已启用
	5k Ω 至 VBAT	6dBV 和音量斜坡已启用
	330 Ω 至 VBAT	21dBV 和音量斜坡已禁用
	5k Ω 至 GND	18dBV 和音量斜坡已禁用
	1.2k Ω 至 VBAT	12dBV 和音量斜坡已禁用
	1.2k Ω 至 GND	6dBV 和音量斜坡已禁用
	0 Ω 至 GND	I <sup>2</sup> C 模式
SEL2	1.2k Ω 至 IOVDD	左对齐右通道或 TDM 时隙 4
	5k Ω 至 GND	左对齐混合或 TDM 时隙 5
	5k Ω 至 IOVDD	TDM 时隙 6
	24k Ω 至 GND	TDM 时隙 7
	1.2k Ω 至 GND	左对齐左声道或 TDM 时隙 3
	0 Ω 至 IOVDD	I <sup>2</sup> S 混合或 TDM 时隙 2
	330 Ω 至 IOVDD	I <sup>2</sup> S 右通道或 TDM 时隙 1
	0 Ω 至 GND	I <sup>2</sup> S 左通道或 TDM 时隙 0
SEL3	0 Ω 至 IOVDD	SBCLK 的上升沿
	0 Ω 至 GND	SBCLK 的下降沿
SEL4	24k Ω 至 IOVDD	地址 0x94 或 Y 桥阈值 1mW
	0 Ω 至 IOVDD	地址 0x96 或 Y 桥阈值 40mW
	24k Ω 至 GND	地址 0x92
	0 Ω 至 GND	地址 0x90 或 Y 桥阈值 80mW

表 2-2. 硬件选择引脚电阻值 (续)

硬件选择引脚	电阻值	说明
SEL5	0 Ω 至 GND	TAS2120 : VBAT 1S 模式 TAS2320 : 不适用
	24k Ω 至 IOVDD	TAS2120 : VBAT 2S 模式 TAS2320 : 不适用
	0 Ω 至 IOVDD	TAS2120 : 外部 PVDD 模式 (2.5V 至 14V) TAS2320 : 外部 PVDD 模式 (2.5V 至 14V)

## 2.2 参考原理图

图 2-4 和图 2-4 展示了 TAS2120EVM 和 TAS2320EVM 中使用的原理图, 用于设计以下各节中所述的 PCB。

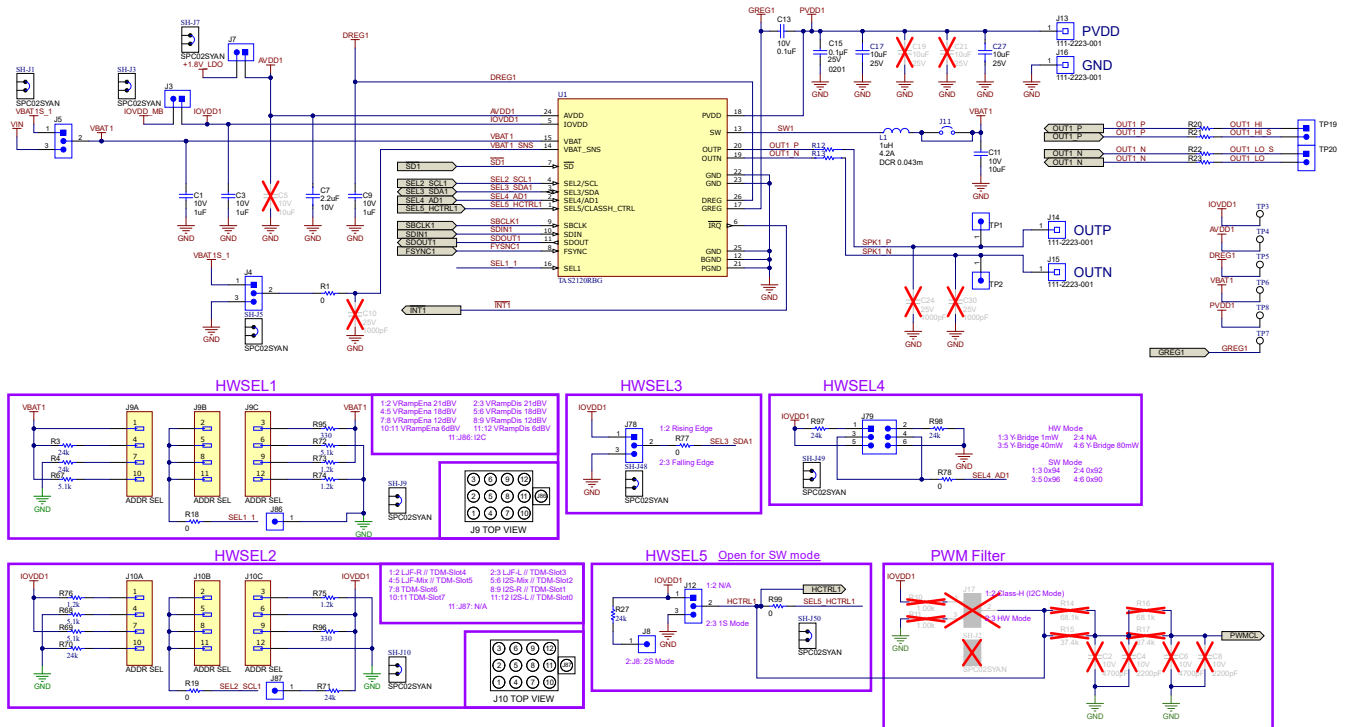


图 2-4. TAS2120EVM 参考原理图

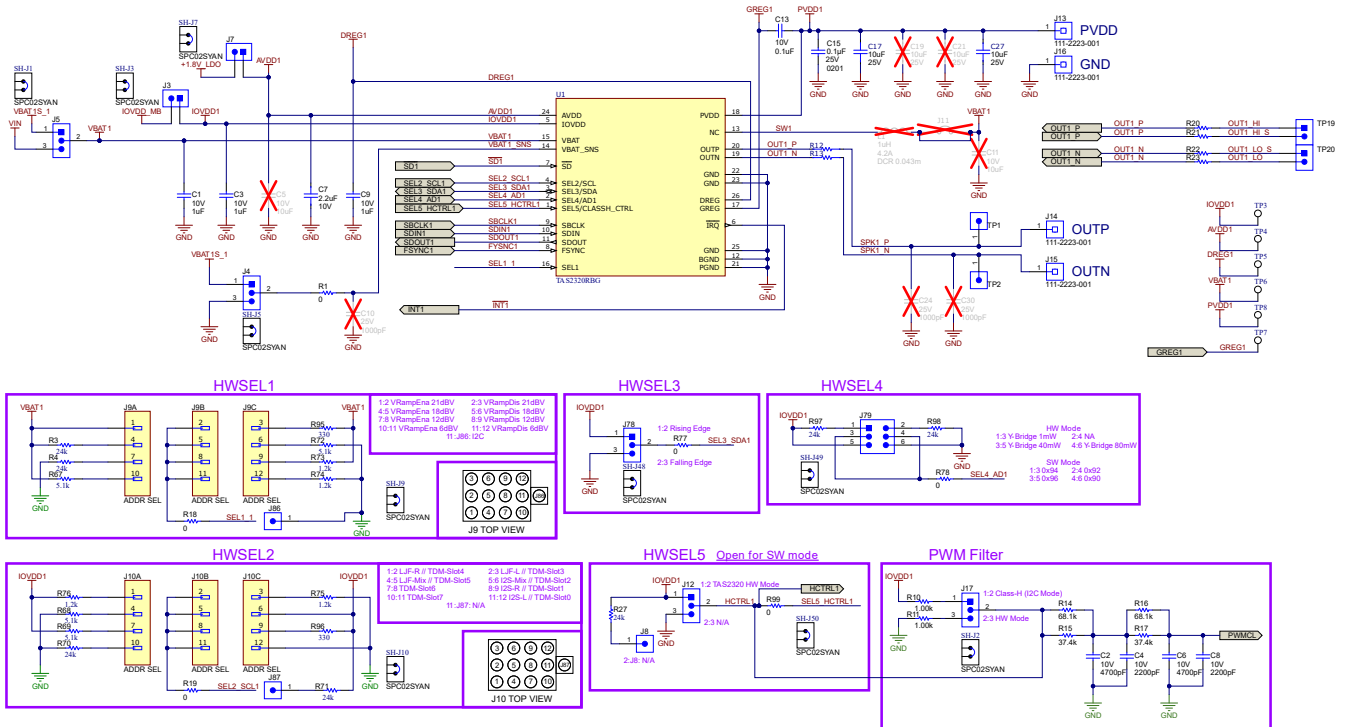


图 2-5. TAS2320EVM 参考原理图

### 3 设计指南

本节详细介绍了器件各个引脚部分应遵循的最佳布局实践。

#### 3.1 VDD 引脚

VDD 引脚用于为器件内的各种关键模拟和数字块上电。当器件在 Y 桥模式下运行时，VDD 引脚还可以用作电源，以较低的功率驱动 D 类输出级。

在将 VDD 引脚布线到 PCB 上的相应电源时，需要考虑以下指南：

- 当 Y 桥在低于 Y 桥阈值的功率级别下启用时，D 类放大器从 VDD 引脚汲取开关电流。由于边沿速率较快，该电流可能大约为 200mA。
- 由于开关电流的  $L \cdot di/dt$  电感反冲，VDD 引脚和相应电源之间路径中的任何寄生电感都会导致引脚上出现显著的电压纹波。该效应可能会影响器件的性能和功能。
- 建议使用容值大于等于  $2.2\mu\text{F}$  的电容器对 VDD 引脚进行去耦（连接至 GND 引脚）。该电容器需要放置在同一层中尽可能靠近 VDD 引脚的位置。
- 去耦电容器必须具有尽可能低的寄生电感 (ESL)。建议使用 0201 封装电容器。
- 如果 PCB 空间受限，在放置电容器时应使顶板直接连接到 VDD 引脚，底板使用多个过孔（建议至少使用 3 个过孔）连接到 PCB 接地平面。

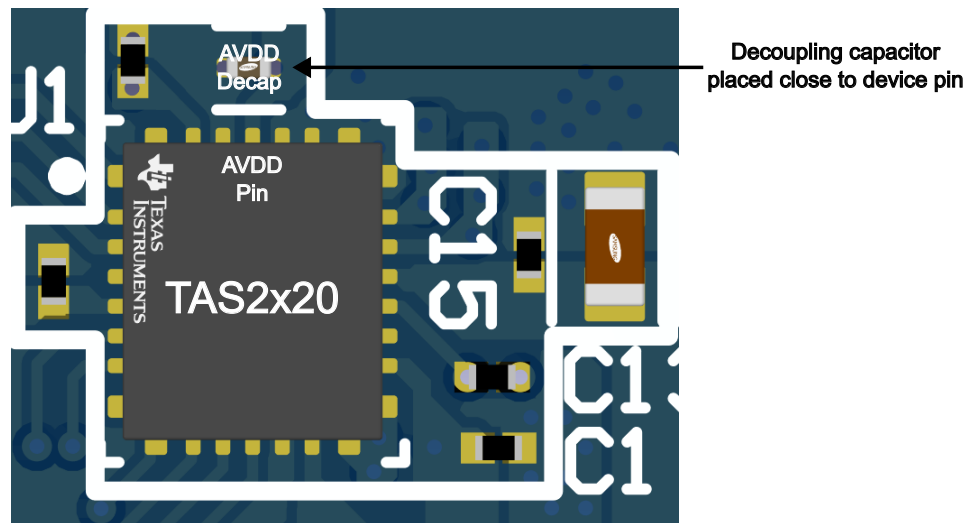


图 3-1. VDD 去耦电容器的放置



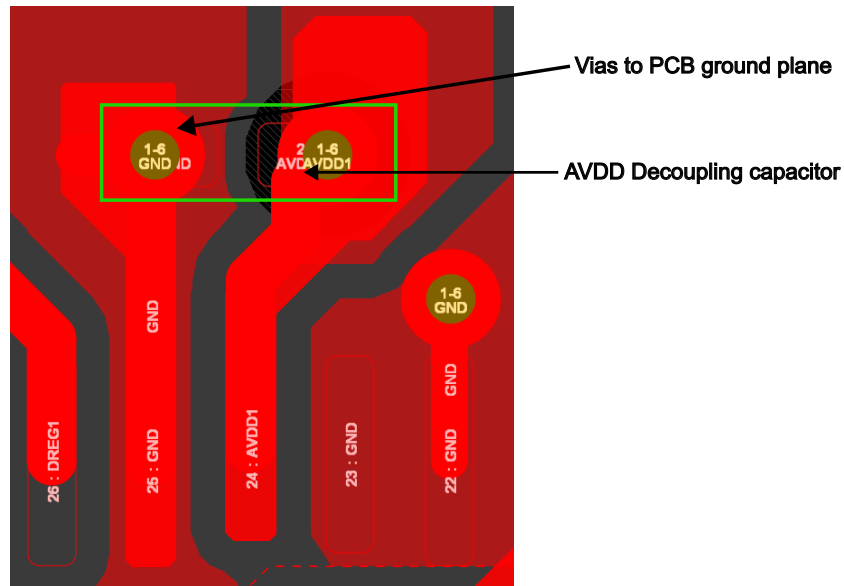


图 3-2. 从 VDD 布线

### 3.2 PVDD 引脚

PVDD 引脚对应于内部升压转换器的输出。当输出功率级别高于 Y 桥阈值时，PVDD 引脚还用作驱动 D 类输出级的电源。

在将 PVDD 引脚布线到 PCB 上时需要考虑以下建议：

- 当输出功率级别超过 Y 桥阈值时，由于边沿速率较快，D 类输出级会从 PVDD 引脚汲取高开关电流。
- 当器件与升压转换器一起工作时，不得通过外部电路对该引脚施加负载。
- 为了最大限度地降低 PVDD 引脚上由于这些瞬态电流而产生的电压纹波，必须使用容值大于等于  $2 \times 22\mu\text{F}$  或大于等于  $3 \times 10\mu\text{F}$  的电容器旁路掉 PVDD 引脚。

对于  $\text{PVDD} < 13\text{V}$ ，旁路电容器可以减少到  $2 \times 10\mu\text{F}$  或  $1 \times 22\mu\text{F}$ 。

- 由于以下原因，该电容可能会出现一定程度的降额：
  - 容差
  - 接近最大 PVDD 电压的电压系数
- 在 13V 时，该降额电容必须至少为  $3\mu\text{F}$ 。
- 还需要使用  $0.1\mu\text{F}$  的低 ESL 电容器 (ESL 必须小于等于  $250\text{pH}$ ) 旁路掉 PVDD 引脚，以最大限度地减小从 PVDD 到 PGND 的环路电感。使用 0201 封装电容器来实现该旁路。必须将该低 ESL 电容器放置在尽可能靠近器件的位置。
- 需要将去耦电容器旁路至 PGND 引脚。在通过 PCB 地平面进行旁路时，请使用多个过孔 (建议至少使用三个过孔)，以尽可能减小旁路电容器上的地接头与器件的 PGND 引脚之间的寄生电感。
- 当在外部 PVDD 模式下工作时，PVDD 引脚需要使用能够承载高电流且具有低寄生电阻的宽引线连接到电源，以最大限度地减小  $I^2R$  损耗。

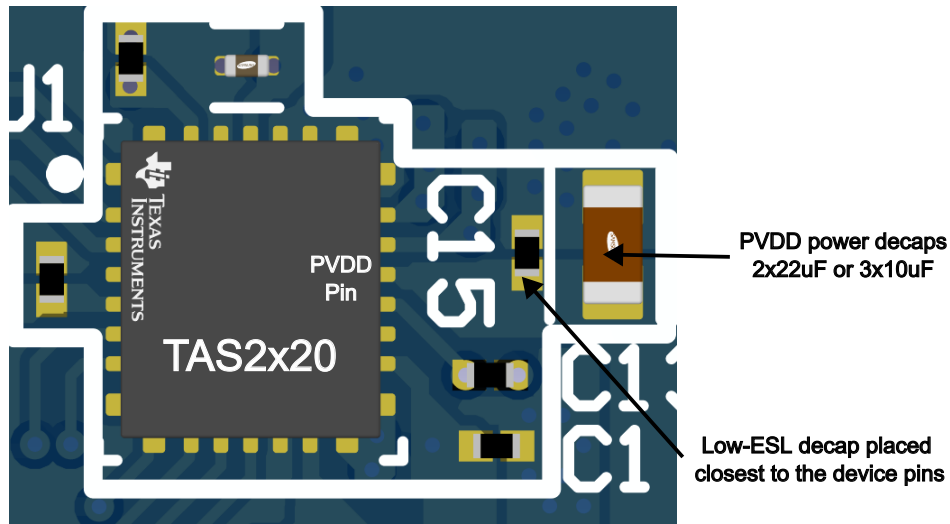


图 3-3. PVDD 去耦电容器的放置

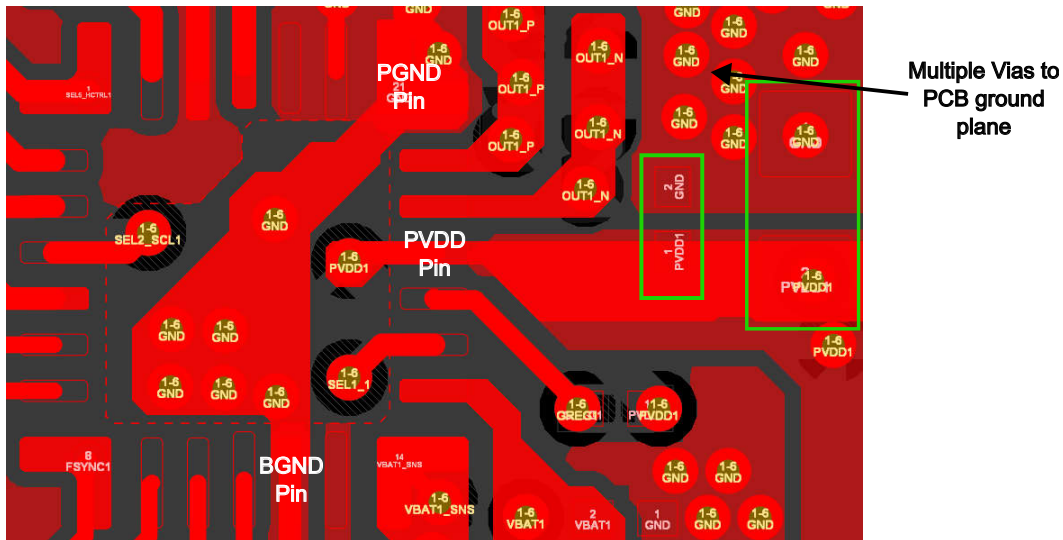


图 3-4. 从 PVDD 进行的布线

### 3.3 GREG 引脚

GREG 引脚用作升压转换器和 D 类输出级中高侧栅极驱动器的电源引脚。GREG 引脚使用 VBAT 引脚上的电压供电。

在将 GREG 引脚布线到 PCB 上时需要考虑以下建议：

- GREG 引脚需要使用容值为  $0.1\mu\text{F}$  的 capacitor 进行去耦（连接至 PVDD 引脚）（建议使用 0201 封装来更大限度地减小 ESL 和 ESR）。
- 顶板需要连接至 GREG 引脚，底板需要使用星型连接直接连接至 PVDD 引脚，而不是连接至 PVDD PCB 平面或 PVDD 去耦电容器的顶板，以避免对 PVDD 引脚产生共模电感。
- 去耦电容器的额定电压必须大于等于  $6.3\text{V}$ 。
- 如果在内部 PCB 层中进行连接，则使用多个过孔来减小路径中的寄生电感。

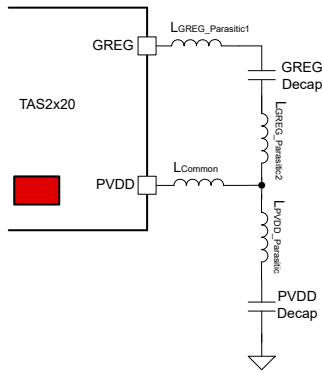


图 3-5. GREG 去耦电容器的错误布线

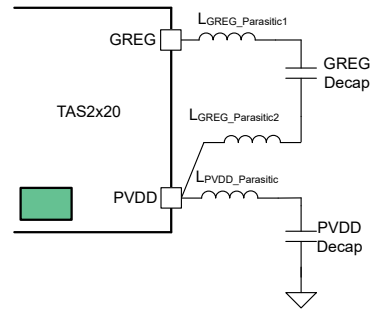


图 3-6. GREG 去耦电容器的正确布线

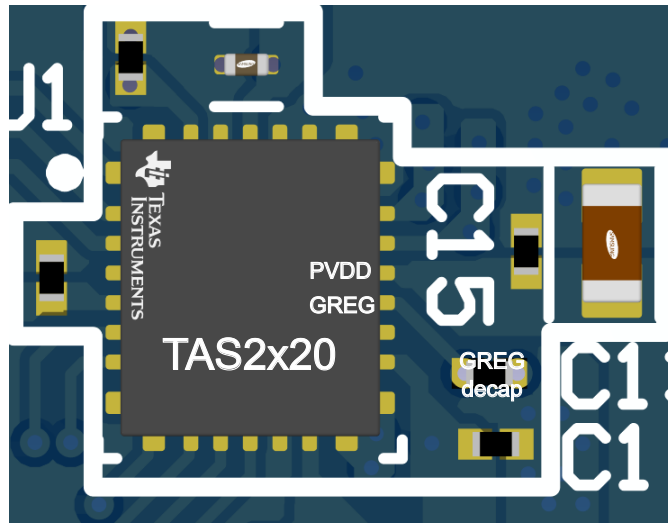


图 3-7. GREG 去耦电容器在 EVM 上的放置

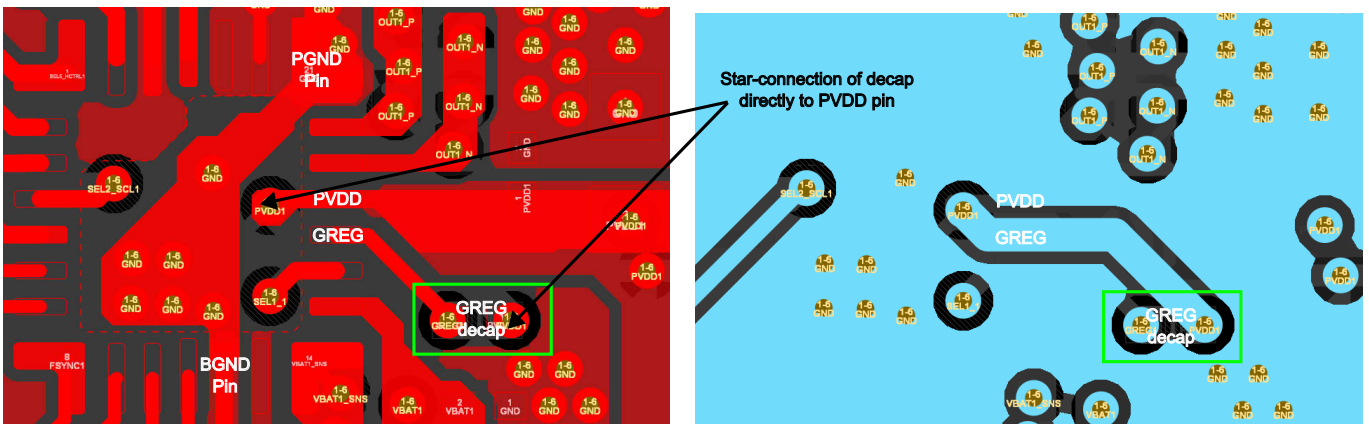


图 3-8. 使用过孔将 GREG 去耦电容器连接到内层

### 3.4 SW 引脚

SW 引脚对应于器件内部升压转换器的开关输入。在将电源布线至 PCB 上的 SW 引脚时，需要考虑以下建议：

- 该节点应能够承载高瞬态电流。该节点需要使用具有高载流能力和极小寄生电阻和电感的宽引线进行布线。
- 该节点可以在高电压下开关。建议避免在该节点上布置任何低压引线（包括 BCLK、FSYNC、SDIN SDOUT 等），以避免耦合。
- 将连接到 SW 引脚的电感器放置在靠近器件的位置。使用具有较低 ESR 的电感器有助于实现较高的效率。

- 从电源到 SW 电感器的布线必须具有极小的寄生电阻，从而更大限度地减小  $I^2R$  损耗对效率的影响。
- 使用容值大于等于  $10\mu\text{F}$  的电容器对 SW  $10\mu\text{F}$  电感器进行去耦，将该电容器放置在尽可能靠近电感器的位置。这种放置方式旨在降低瞬态电流在节点上产生的纹波。该电容器必须放置在电源和电感器之间，而不是放置在电感器和器件的 SW 引脚之间。
- 更大限度地减小 SW 节点路径上的寄生电容，以降低影响效率的开关损耗。
- 当器件在外部 PVDD 模式下运行时，SW 引脚必须保持未连接状态。

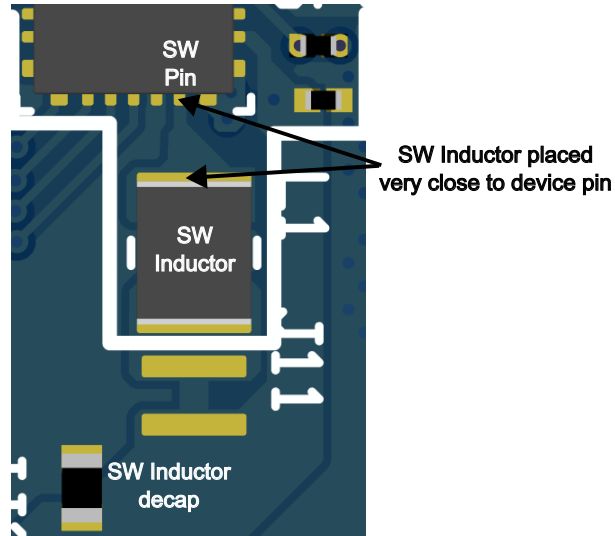


图 3-9. 升压电感器和去耦电容器在 SW 引脚附近的放置

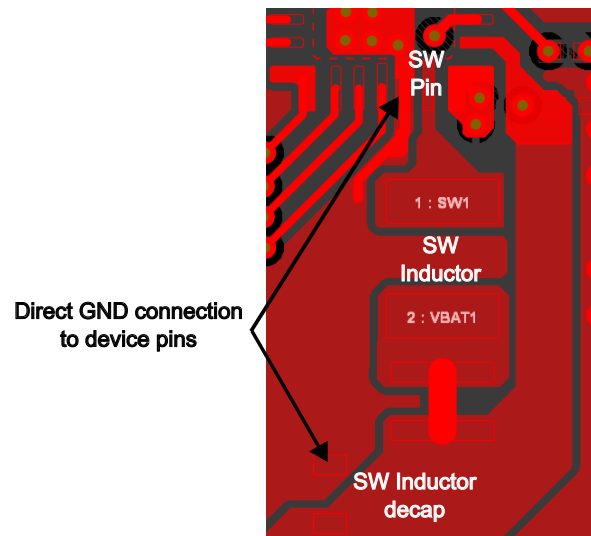


图 3-10. 电源到 SW 电感器的布线

### 3.5 VBAT 引脚

VBAT 引脚用作器件电源引脚，用于为器件内的部分内部模拟块上电。当器件配置为检测 VBAT 引脚上的电源电压时，该引脚还用作电压检测引脚。此引脚用于各种电池监控决策，例如电压限制、欠压检测、升压导通等，尤其是在 VBAT1S 模式下。

在将 VBAT 引脚布线到 PCB 上时，需要考虑以下指南：

- VBAT 引脚承载高达  $10\text{mA}$  的电流。与前面提到的引脚相比，布置到该引脚的引线可以更窄。
- VBAT 引脚需要通过一条引线连接到电源，该引线独立于用于布线到 SW 电感器的高电流路径。

- 需要使用容值大于等于  $1\mu\text{F}$  的电容器对 VBAT 引脚进行去耦 ( 连接至 GND )，将该电容器放置在尽可能靠近器件的位置。建议使用 0201 封装电容器来降低 ESL 和 ESR。
- 如果电容器的底板通过 PCB 的接地平面连接到 GND，则需要使用多个过孔进行连接，以更大限度地减小 GND 引脚的寄生电感。

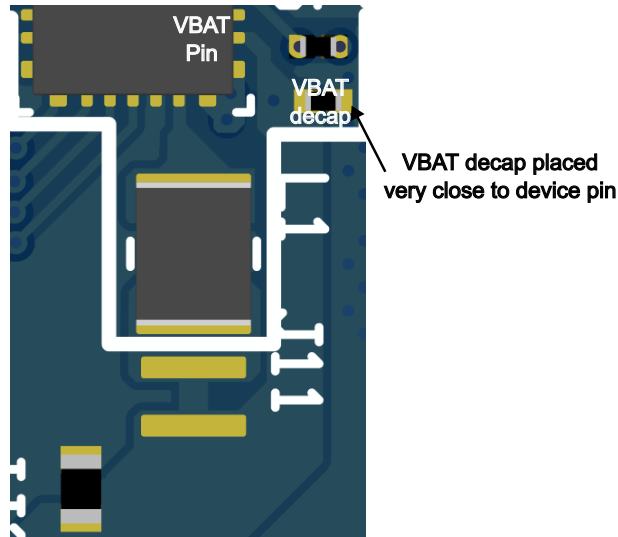


图 3-11. VBAT 引脚附近的去耦电容器放置

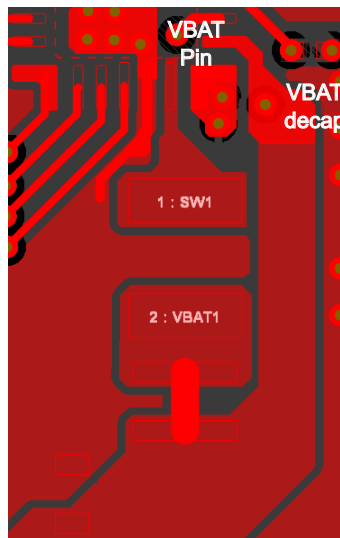


图 3-12. 电源到 VBAT 引脚的布线

### 3.6 OUT\_P 和 OUT\_N 引脚

OUT\_P 和 OUT\_N 引脚对应于 D 类放大器的差分输出。在 PCB 上对这些引脚进行布线时，需要考虑以下指南：

- 在 Y 桥模式下，这些引脚在 0 和 AVDD 之间切换，当超过 Y 桥阈值时，这些引脚在 0 和 PVDD 之间切换。
- 这种切换以快速边沿速率发生，从而导致这些节点上产生高开关电流。因此，需要使用能够承载大电流的宽引线将这些引脚连接到扬声器。
- 当布线切换到 PCB 的内层时，需要使用多个过孔来提供载流能力并降低寄生电感。
- 这些引脚上的寄生电容需要保持在超低水平，因为这些寄生电容会导致开关损耗增加，从而影响效率。如果电容足够高，则开关也可能触发过流中断。
- 由于这些节点是高压开关节点，因此应避免将任何低压节点 ( 例如 BCLK、FSYNC、SDIN、SDOUT 等 ) 路由到该路径上，以避免发生耦合。

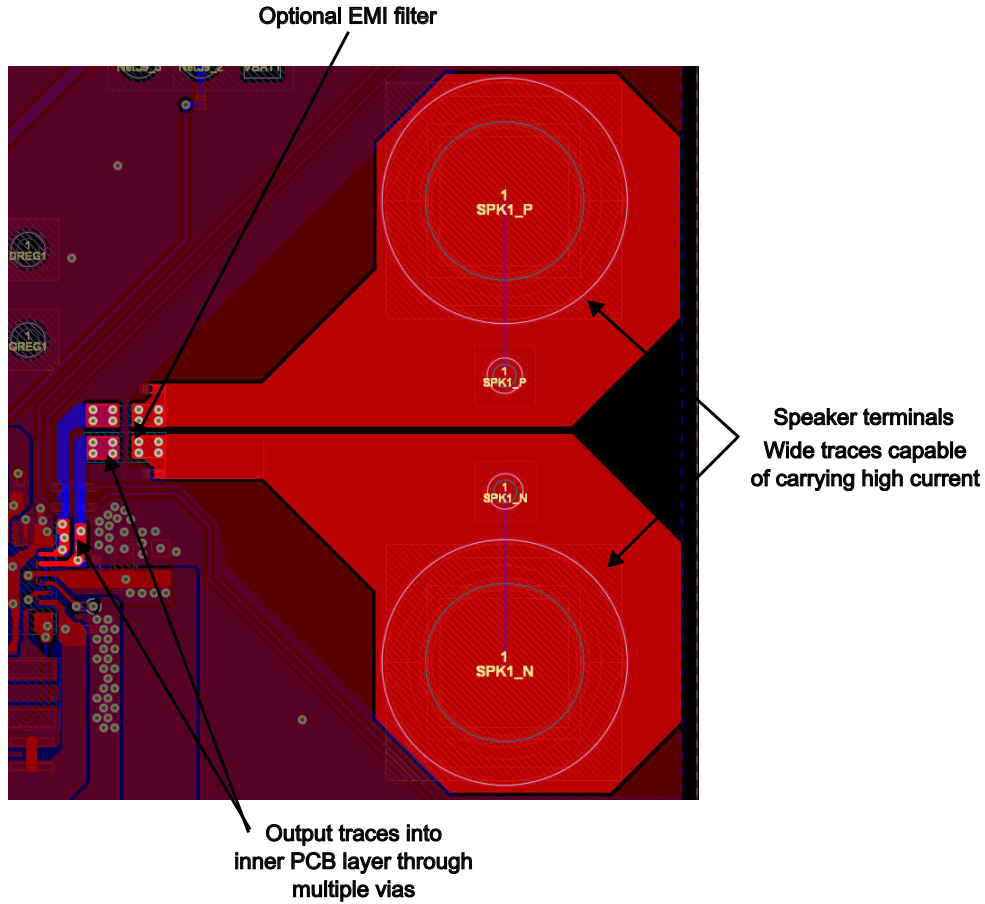


图 3-13. OUT\_P/N 到扬声器端子的布线

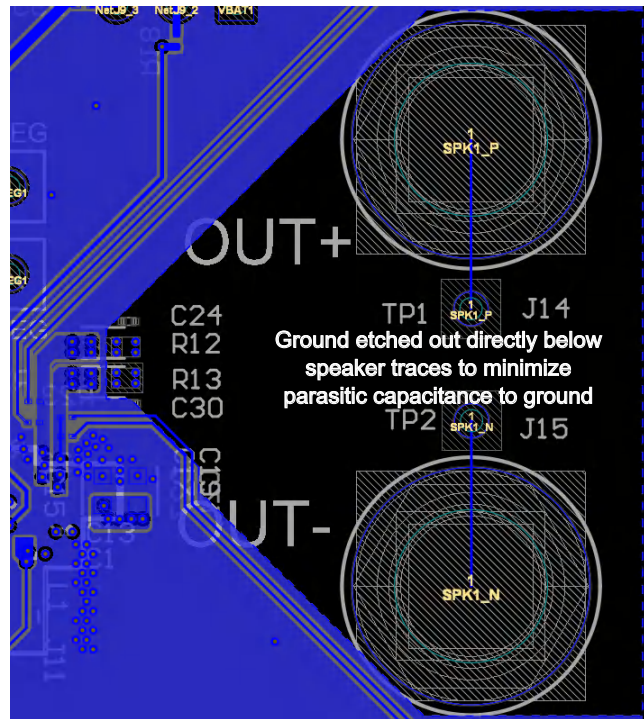


图 3-14. 内部 PCB 层中 OUT\_P/N 路径下方的布线



### 3.6.1 输出端的可选 EMI 滤波器

TAS2120 支持边沿速率控制以更大限度地降低 EMI，但是，系统设计人员可以在需要在 D 类输出上包含无源 EMI 滤波器。

在 OUT\_P 或 OUT\_N 引脚上使用 EMI 滤波器时，必须考虑以下情况：

- 滤波器的 L - C 截止频率必须大于 3MHz，以避免与 D 类开关频率发生谐振。
- 必须适当选择滤波器中使用的电容器 C 的值，使得 (C/L) 比率小于等于 1.5。该措施可避免峰值输出功率传输期间出现错误的过流中断。

### 3.7 IOVDD 引脚

IOVDD 引脚是器件数字 I/O 的电源引脚。在将 IOVDD 引脚布线到 PCB 上时，需要考虑以下建议：

- 使用容值大于等于 1 $\mu$ F 的电容器对 IOVDD 引脚进行去耦（连接到 GND），将该电容器放置在尽可能靠近器件的位置。

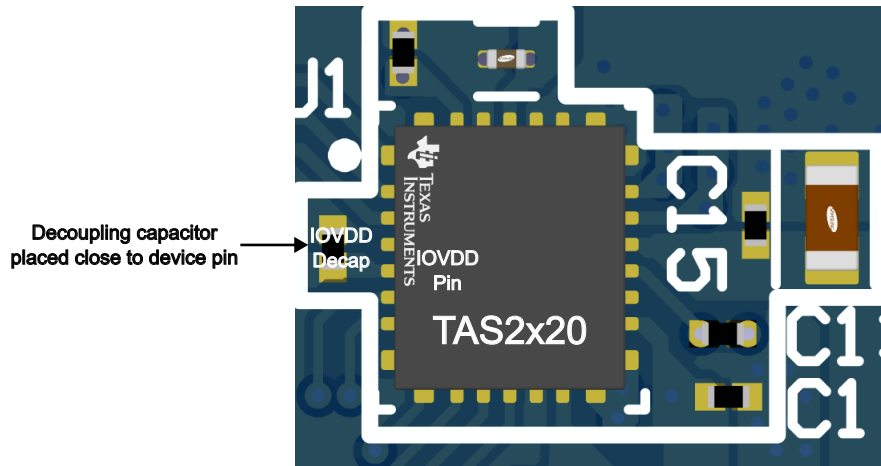


图 3-15. IOVDD 去耦电容器的放置

### 3.8 DREG 引脚

DREG 引脚对应于内部生成的 LDO 电压。DREG 引脚用作器件内部数字块的电源。在将 DREG 引脚布线到 PCB 上时，需要考虑以下指南：

- 必须使用容值大于等于  $1\mu\text{F}$  的电容器将 DREG 引脚去耦（连接至 GND 引脚）。需要将该电容器放置在尽可能靠近器件的位置。使用一个 0201 电容器更大限度地减小 ESR 和 ESL。
- DREG 引脚上不得加载任何外部电路。
- 如果通过 PCB 的接地平面进行去耦，请使用多个过孔来更大限度地减小电容器的接地端与器件的 GND 引脚之间的寄生电感。

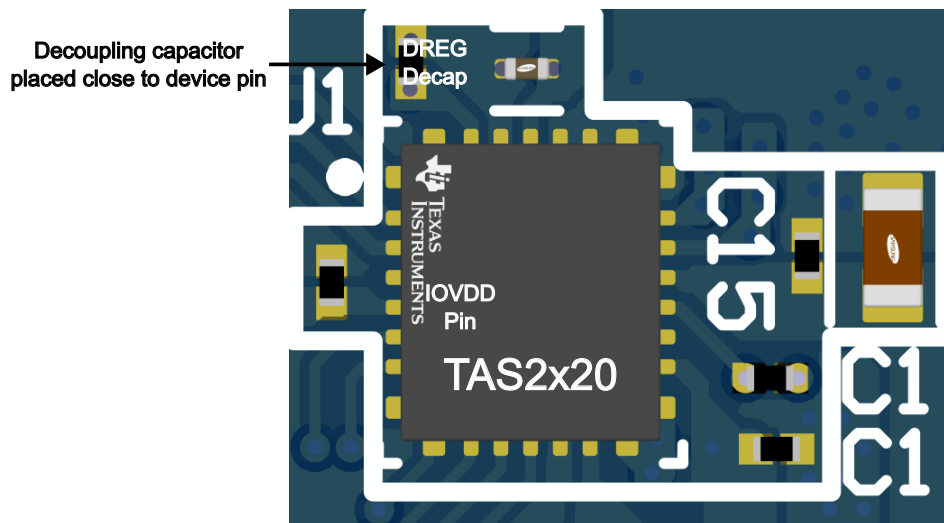


图 3-16. DREG 去耦电容器的放置

### 3.9 数字 I/O 引脚

该器件包含以下数字 I/O 引脚，所有引脚均以 IOVDD 电源电压为基准：

- 用于硬件模式选择的 SEL1
- 用于与器件的 I<sup>2</sup>C 通信和硬件模式选择的 SEL2\_SCL、SEL3\_SDA。
- 用于设置 I<sup>2</sup>C 器件地址和硬件模式选择的 SEL4\_AD。
- 用于升压 PWM 控制和硬件模式选择的 SEL5\_CLASSH。
- SBCLK、FSYNC、SDIN、SDOUT，用于 TDM/I<sup>2</sup>S 音频串行接口。
- IRQz，用于器件中断。
- SDz，用于器件的硬件关断。

这些数字引脚在布线时需要远离高压开关节点（SW、OUT\_P、OUT\_N），以避免任何耦合，否则可能会破坏数字信号的完整性。



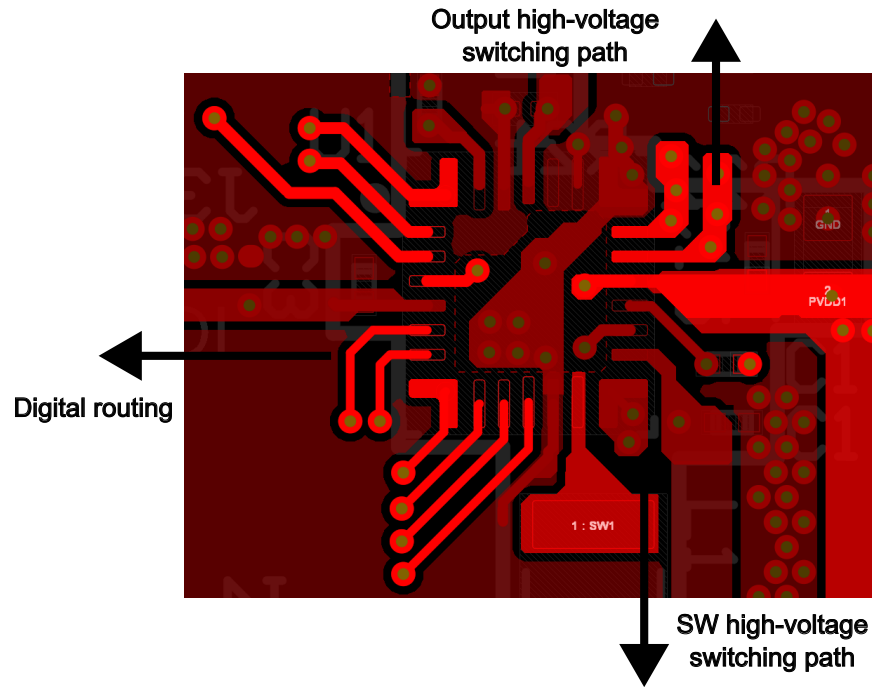


图 3-17. 远离高压开关线路的数字线路的布线

### 3.10 接地引脚

该器件包含多个接地引脚，这些引脚需要连接到 PCB 中的接地平面。在连接引脚时，必须考虑以下指南：

- GND 引脚用于模拟地和数字地。必须使用过孔将此引脚独立连接到 PCB 地平面。应避免将此引脚与顶层的其他 GND 引脚短接，以避免对 PCB 地产生共模电感。
- BGND 引脚是指升压转换器，PGND 引脚是指 D 类功率级。这些引脚需要在 PCB 顶层短接在一起，然后使用单独的过孔布线到 PCB 接地平面。
- 应避免将 BGND 或 PGND 引脚与顶层器件的其他 GND 引脚短接，以免对 PCB 地产生共模电感。

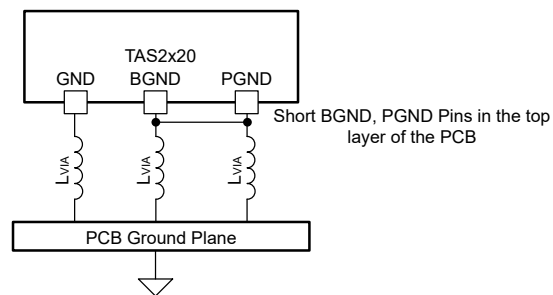


图 3-18. 接地引脚与 PCB GND 平面的连接

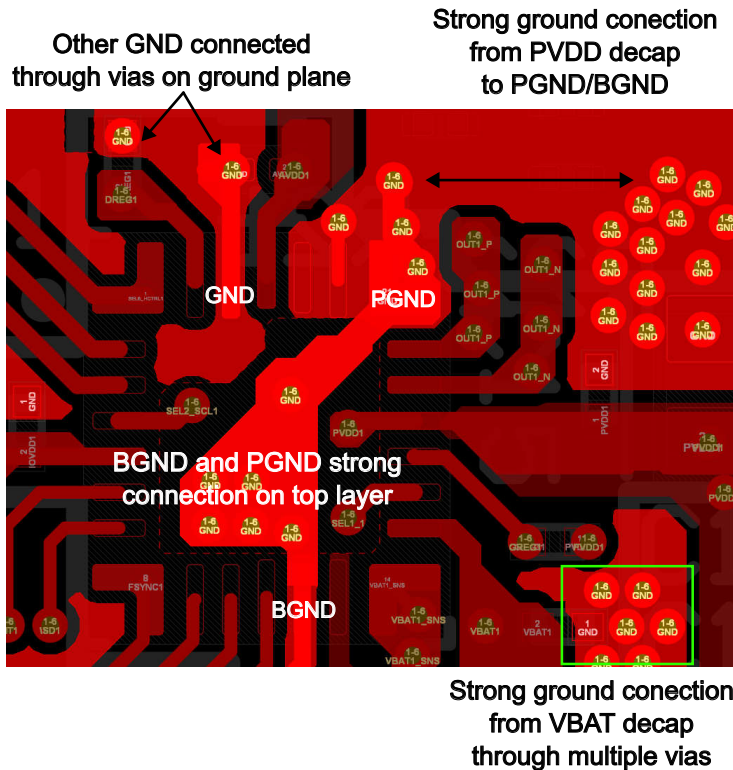


图 3-19. 器件 GND 引脚的连接

### 3.11 HW 选择引脚

TAS2X20 支持硬件控制模式，该模式由连接到 IOVDD、VBAT 或 GND 的一系列电阻器控制，具体取决于所需的功能，如表 2-2 中所述。必须将这些电阻器放置在尽可能靠近 IC 的位置，以减少 IC 引脚和电阻器连接点之间的寄生电容。请遵循下表，了解每个电阻器值情况的特定容差。

表 3-1. 元件额定值

BOM 电阻器	容差	R 的温度系数	引脚电容
0 Ω (直接短路)	<10Ω 短路	不适用	<7.5pF (建议值) 15pF (最大值)
330Ω	±5% (建议值) ±10% (最大值)	<±400ppm/C	
1.2kΩ			
5kΩ			
24kΩ			

## 4 EMI 特定指南

PCB 布局设计可以显著提高 EMI 性能。本节提供了一些适用于 EMI 受限型应用的建议。

音频放大器产生的辐射发射主要来自输出 D 类开关。特别是对于 TAS2120 和 TAS2320，当 D 类开关从 0V 升至 VDD 电压轨时，在较低功率下的辐射也较低。随着输出功率的增加，当电压轨切换到 PVDD 时，辐射也会增加。在 PCB 布局设计过程中，请考虑以下建议以提高辐射发射性能。

- 需要使用内层布置输出布线。建议在用于输出布线的层的顶部和底部使用 GND 屏蔽。
- 仅当使用铁氧体或电感器和电容器等输出滤波器元件时，才使用顶层或底层。在焊盘上使用多个过孔，尽可能减少顶层或底层上的铜面积。
- TAS2120 和 TAS2320 对 D 类输出具有边沿速率控制功能。为了获得出色的 EMI 性能，请将边沿速率配置为最慢设置 (0.5V/ns)。
- 如果更多 EMI 受限系统需要 LC 滤波器，请参阅以下文档，进一步了解如何选择滤波器元件：
  - [LC 滤波器设计应用手册](#)。
  - [LCFILTER-CALC-TOOL D 类 LC 滤波器设计器](#)

## 5 总结

表 5-1 总结了针对器件不同引脚的建议设计和布局实践。

**表 5-1. 设计和布局指南总结**

部分	引脚或部分	最大寄生引线电感 (pH)	建议指南
1	VDD	650	使用大于等于 2.2 $\mu$ F 的电容器进行去耦, 将该电容器放置在尽可能靠近器件的位置
2	PVDD	600	使用 3 x 10 $\mu$ F 或 2 x 22 $\mu$ F 的电容器进行去耦, 将该电容器放置在尽可能靠近器件的位置
			需要将小型封装 0.1 $\mu$ F 电容器 (0201) 放置在最靠近器件的位置, 该电容器具有极小的 ESL
			考虑 PVDD 电压导致的降额
			具有高载流能力的宽引线
3	GREG	4000	使用 0.1 $\mu$ F 电容器进行去耦 (连接至 PVDD 引脚)
			通过星型连接直接连接至 PVDD 引脚
4	SW		将电感器放置在尽可能靠近器件的位置
			宽引线可承载高电流并更大幅度地降低对效率至关重要的寄生电阻 (降低 I <sup>2</sup> R 损耗)
			使用靠近电感器、大于等于 10 $\mu$ F 的电容器进行去耦
			更大幅度地减小接地寄生电容以降低开关损耗
			在外部 PVDD 模式下使引脚保持未连接状态
5	VBAT	950	使用星型连接直接连接至电源
			使用大于等于 1 $\mu$ F 的电容器进行去耦, 将该电容器放置在尽可能靠近器件的位置
5	VBAT_SNS		使用星型连接直接连接至电源
			VBAT1S 模式下的可选连接, 在未使用时接地
6	OUT_P/OUT_N		使用大于等于 1 $\mu$ F 的电容器进行去耦, 将该电容器放置在尽可能靠近器件的位置
			能够承载高电流的宽引线
			更大幅度地减小接地寄生电容以降低开关损耗
7	IOVDD		如果所需 I/O 电源为 1.8V, 则可以在器件引脚附近短接至 VDD。建议即使在短接时也使用 C2 和 C3 电容器, 并将电容器放置在靠近 VDD 引脚的位置
8	DREG		使用大于等于 1 $\mu$ F 的电容器进行去耦, 将该电容器放置在尽可能靠近器件的位置
9	数字		避免在 SW、OUT_P、OUT_N 等高压开关节点附近布线, 以避免耦合
10	接地		短接顶层的 BGND 或 PGND 引脚
			避免在 PGND 或 BGND 和 GND 引脚之间产生对接地平面的共模电感
			PCB 接地的总寄生电感对器件性能至关重要。使用多个过孔以更大幅度地减小电感
11	HW 选择引脚		将 HW 设置电阻尽可能靠近 IC 放置。电阻后的寄生电容无关紧要。

## 6 参考资料

- 德州仪器 (TI), [LC 滤波器设计](#) 应用手册。
- 德州仪器 (TI), [LCFILTER-CALC-TOOL D 类 LC 滤波器设计器](#) 产品页面。
- 德州仪器 (TI), [TAS2120 评估模块](#)。
- 德州仪器 (TI), [TAS2320 评估模块](#)。

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024，德州仪器 (TI) 公司