

## Technical White Paper

## 利用 OptiFlash 存储器技术提升系统性能



Deepshikha Gusain, Shivasharan Nagalikar and Mihir Mody

## 摘要

微控制器领域的新兴应用促使对存储器和性能的要求不断提高。例如，在高性能微控制器上运行的汽车行业应用软件（如网络、区域应用软件等）需要更大的存储器来存储固件、协议栈和库，并需要更强大的处理能力，即需要以 200MHz 至 1GHz 频率运行的多核 CPU。除了运行现有映像所需的存储器外，固件更新进一步增加了对存储器的要求（用于下载新应用映像）。

TI 提供了一种与众不同的存储器技术，即 OptiFlash 技术，可通过片上 SRAM 和外部闪存的合理组合，实现一种高性能、低成本的解决方案。本文将讨论集成了 OptiFlash 技术的 AM26x 系列 SoC，此系列器件旨在采用外部闪存突破传统高性能 MCU 所面临的局限性，方法是提供从内部 SRAM 执行和直接从外部闪存执行（也称为就地执行 (XIP)）的混合执行能力，目标是使外部闪存的 XIP 性能达到内部 SRAM 的性能。

这种解决方案的主要成本优势在于，内部 SRAM 的大小现在可以小于应用映像的大小，而且由于掩膜数量减少和设备更便宜，没有嵌入式闪存/NVM 的硅片成本要低得多。这种解决方案还可根据客户的需求，在板载存储器大小（MB 级）和器件数量方面提供可扩展性。

## 内容

1 引言.....	2
2 OptiFlash 技术.....	3
3 OptiFlash 硬件加速器.....	3
3.1 RL2_OF 加速器.....	4
3.1.1 RL2 闪存高速缓存.....	4
3.1.2 FLC - 快速本地复制（映像下载加速）.....	4
3.1.3 基于区域的地址转换 (RAT).....	4
3.2 FSS 加速器.....	4
3.2.1 动态功能安全引擎.....	4
3.2.2 动态信息安全引擎.....	4
3.2.3 FOTA 硬件引擎.....	4
4 OptiFlash 软件工具.....	5
4.1 智能放置.....	5
4.2 智能布局.....	5
4.3 OptiShare.....	5
4.4 动态叠加.....	5
5 基准测试和性能数据.....	6
6 OptiFlash 加速器的用例.....	6
7 开始使用 OptiFlash.....	6
8 结语.....	7

## 插图清单

图 1-1. 传统 MCU.....	2
图 1-2. 高性能 MCU.....	2
图 2-1. 采用 OptiFlash 技术的建议 MCU.....	3
图 3-1. OptiFlash 主要硬件元件图.....	3
图 3-2. FLC - 映像下载.....	4
图 3-3. 使用 RWW 闪存的 OptiFlash FOTA 硬件.....	5

图 5-1. 基准测试.....6  
 图 7-1. 标准应用程序开发流程.....7  
 图 7-2. 采用 OptiFlash 后增强的应用程序开发流程.....7

表格清单

表 6-1. OptiFlash 加速器的用例.....6

商标

Arm® is a registered trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

所有商标均为其各自所有者的财产。

1 引言

从目前来看，由于闪存编程和擦除需要高压电路，在同一裸片上嵌入闪存的传统 MCU (如图 1-1 所示) 无法超越 22nm 技术节点。基于闪存的工艺也成本高昂，因为使用深亚微米级数字 CMOS 技术在 MCU/SOC 裸片上集成嵌入式闪存需要大量掩模。因此，这些 MCU 只适用于较旧的工艺节点 (例如 28nm、40nm、65nm……)。

此外，还出现了其他新的 NVM 技术，如 MRAM、RRAM 等，但即使是这些技术也还不能满足汽车等高可靠性应用的需要。

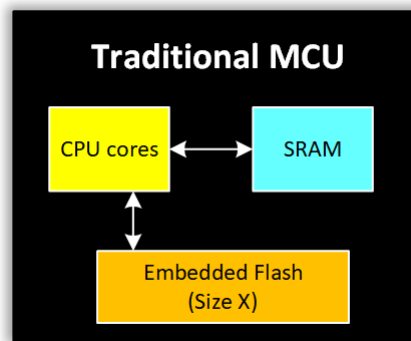


图 1-1. 传统 MCU

高性能 MCU (如高性能 MCU 所示) 使用外部闪存存储器件，通常会在启动期间将整个映像下载到 SRAM。根据目标应用的处理性能需求和功耗需求，这些 MCU 适用于未搭载闪存技术的工艺节点 (例如，低至 3nm/5nm 的较新工艺节点或 45nm 等定制节点)。此外，由于只采用闪存的工艺节点，使用单独闪存器件的成本会更低。这些 MCU 的最常见缺点是 SRAM 大小较大 (不低于应用软件映像大小) 和引导/启动时间较长，因此成本也较高。

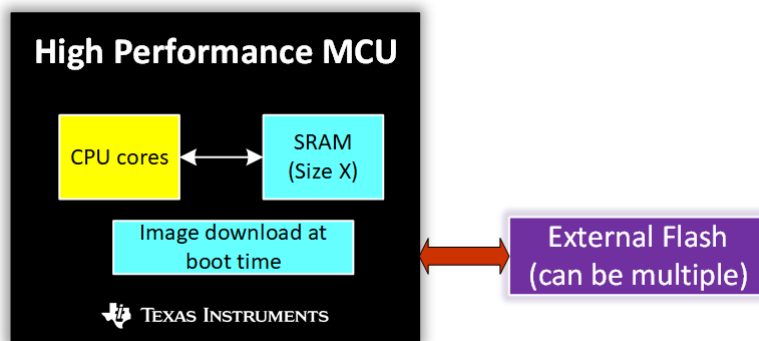


图 1-2. 高性能 MCU

## 2 OptiFlash 技术

TI 提供了一种与众不同的存储器技术，即 OptiFlash 技术，可通过片上 SRAM 和外部闪存的合理组合，实现一种高性能、低成本的解决方案。集成了 OptiFlash 技术的 SoC ( 如图 2-1 所示 ) 旨在解决采用外部闪存的传统高性能 MCU 所面临的局限性，可提供从内部 SRAM 执行和直接从外部闪存执行 ( 也称为就地执行 (XIP) ) 的混合执行能力，目标是使外部闪存的 XIP 性能达到内部 SRAM 的性能。这种解决方案的主要成本优势在于，内部 SRAM 的大小现在可以小于应用映像的大小，而且由于掩膜数量减少和设备更便宜，没有嵌入式闪存/NVM 的硅片成本要低得多。这种解决方案还可根据客户的需求，在板载存储器大小 ( MB 级 ) 和器件数量方面提供可扩展性。

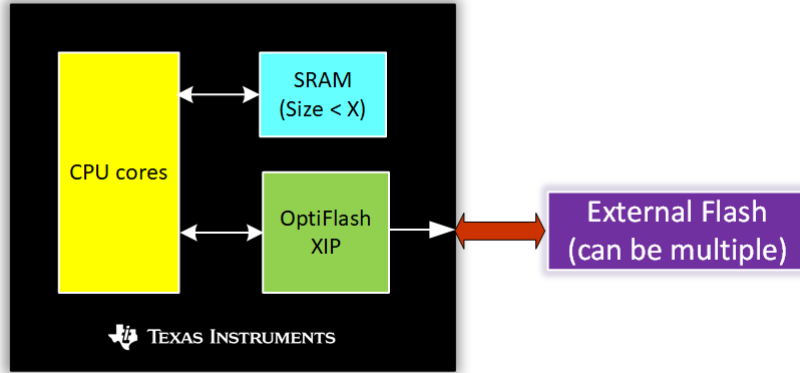


图 2-1. 采用 OptiFlash 技术的建议 MCU

从外部闪存执行时会带来一系列需要解决的难题，例如：性能、功能安全、信息安全、启动时间和固件升级。如图 3-1 所示，集成在 MCU/SoC 芯片中的 OptiFlash 解决方案提供了一组创新的硬件 (HW) 加速器和软件 (SW) 工具，旨在克服从外部闪存执行时面临的所有上述挑战。OptiFlash 可以寻址高达 128MB 的外部闪存，同时能够尽可能降低系统 BOM 成本。

## 3 OptiFlash 硬件加速器

有两种类型的 OptiFlash 硬件加速器，如 OptiFlash 主要硬件元件图所示：

- RL2\_OF ( 远程 L2 OptiFlash ) 加速器
- FSS ( 闪存子系统 ) 加速器

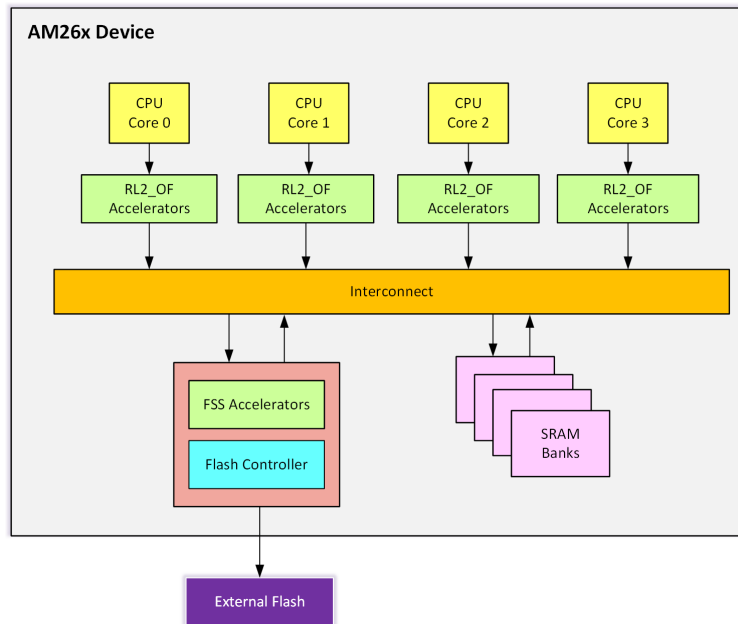


图 3-1. OptiFlash 主要硬件元件图

### 3.1 RL2\_OF 加速器

RL2\_OF 硬件加速器有三个靠近 CPU 的子模块。

#### 3.1.1 RL2 闪存高速缓存

OptiFlash 支持用于高速缓存的远程 L2 控制器 (RL2)，该控制器针对闪存和应用程序特性进行定制，以优化系统性能。根据应用程序配置文件 (应用程序中分配的 RL2 大小)，它可将外部闪存访问量减少高达 65-95%。它可以在 CPU 内核的 L1 高速缓存之外提供特定于闪存存储的额外缓存，因此可以用作 2 级高速缓存控制器。该高速缓存是远程的，也就是说，实际高速缓存存储器可以是任何系统存储器的一部分。例如，片上存储器 (远程高速缓存数据存储单元)，而不是控制器内的专用高速缓存存储。用户可以根据目标应用需求灵活地指定高速缓存的大小。

#### 3.1.2 FLC - 快速本地复制 (映像下载加速)

OptiFlash 支持一种快速本地复制 (FLC) 引擎，可以在启动或运行期间加速映像下载，从而实现在 CPU 执行期间同时进行代码下载。当复制正在进行时，CPU 访问将重定向到闪存，当内容在 SRAM 中有效时，访问将重定向到 SRAM，如图 3-2 所示。这使得 CPU 能够直接执行而无需等待复制完成。该操作对 CPU 透明，可以缩短启动时间，从而满足与嵌入式闪存类似的启动时间目标，并且提供动态叠加功能以提高运行时性能。

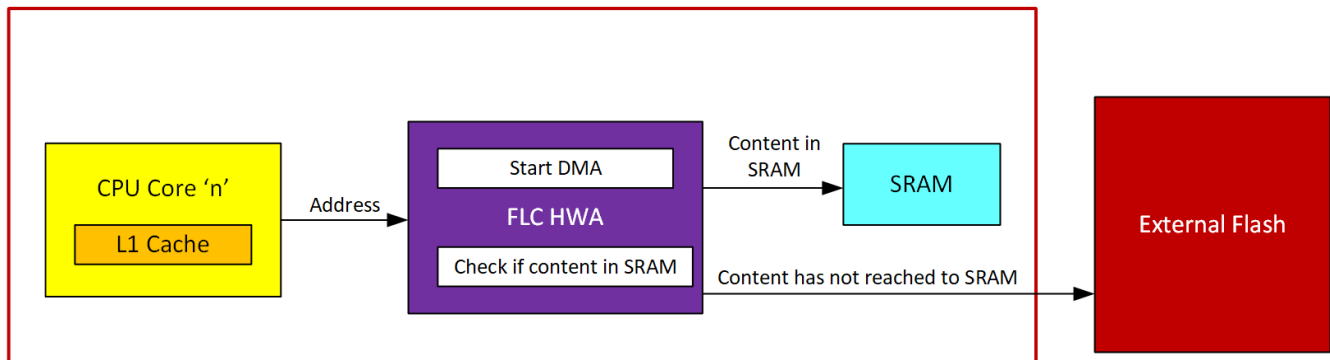


图 3-2. FLC - 映像下载

#### 3.1.3 基于区域的地址转换 (RAT)

基于区域的地址转换 (RAT) 引擎位于每个 CPU 内核前面，允许将存储器映射的段重定位到系统中的不同地址。该引擎作为通用代码和常量 (放置在 SRAM 中) 的动态地址转换器，可以避免在多个内核上保留重复/冗余的代码/常量，这些通用代码和常量会在引导期间下载到片上 SRAM 中。

### 3.2 FSS 加速器

FSS 加速器有三个靠近闪存控制器的子模块。

#### 3.2.1 动态功能安全引擎

OptiFlash 提供了一个功能安全引擎，可在写入过程中进行内联 ECC 插入，在读取过程中进行检查/纠错，从而为外部闪存提供安全性和可靠性。该引擎支持即时地址转换以提供软件透明视图，从而解决 ECC 数据字节的额外存储问题。

#### 3.2.2 动态信息安全引擎

OptiFlash 提供了一个信息安全引擎，可对闪存数据进行内联加密/解密/身份验证 (AES/GCM)，从而能够安全地使用外部闪存。该引擎支持即时地址转换以提供软件透明视图，从而解决消息身份验证代码 (MAC) 的额外存储问题。MAC 的大小是可编程的。

#### 3.2.3 FOTA 硬件引擎

对于 ADAS、汽车网关、工业自动化等新兴应用，需要通过固件无线 (FOTA) 更新来解决功能、安全漏洞和错误修复等多种问题。为了满足系统成本要求，需要采用单一闪存解决方案，这种情况下通常要求暂停应用程序执行，直到更新 (固件下载) 完成。过去，这些更新安排在系统启动 (按键开启) 或系统关闭 (按键关闭) 期间。为了

减少系统更新期间的总体停机时间（与手机不同），新的要求是在系统并发运行期间更新新的固件/软件映像，即从外部闪存读取（就地执行（XIP））。

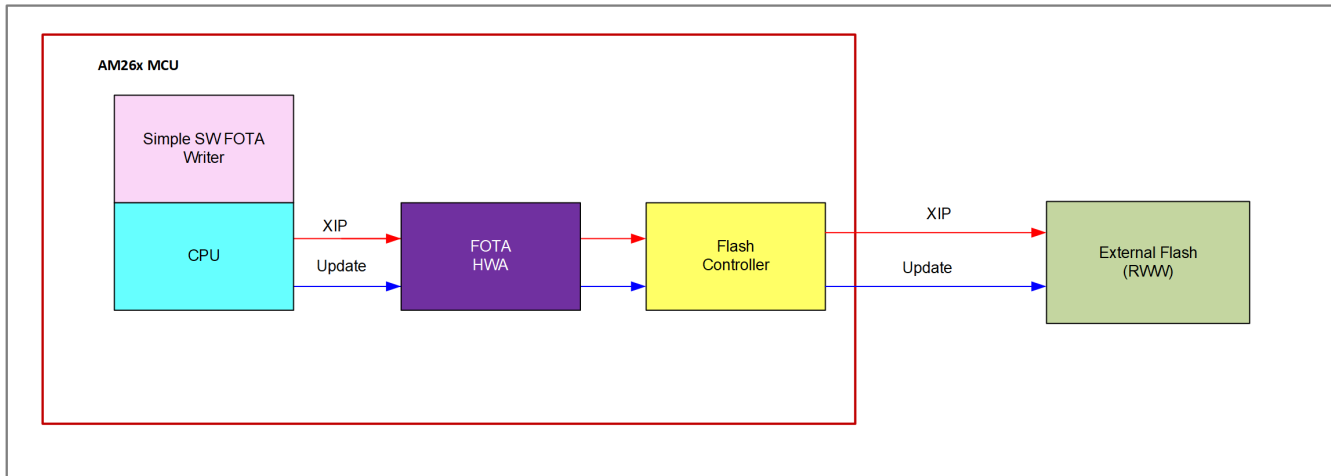


图 3-3. 使用 RWW 闪存的 OptiFlash FOTA 硬件

典型的 FOTA 解决方案通过在软件中边写边读来解决这一问题。但是，如果没有任何硬件支持，这就变得非常复杂，因为需要跨线程/CPU 进行复杂的同步，增加了 XIP 停机时间。利用 OptiFlash FOTA 硬件加速器 IP（如使用 RWW 闪存的 OptiFlash FOTA 硬件中所示），可以进一步减少 XIP 停机时间，并能够在后台进行 FOTA 更新的同时执行并发 XIP 读取，使 MCU 上的软件开销为零。这主要是在使用具有两个/多个存储体且支持边写边读（RWW）功能的闪存存储器时非常有用，它允许在一个存储体中进行写入/擦除时（可能需要 >1ms 的时间才能完成）读取另一个存储体中的数据。

## 4 OptiFlash 软件工具

OptiFlash 提供了一组创新的软件工具（基于 PC 的离线工具），作为 Arm® CLANG 编译器增强功能的一部分。

### 4.1 智能放置

与从内部 RAM 执行代码相比，从外部闪存执行代码时的性能下降约 2 到 3 倍。“智能放置”工具通过“智能”放置“关键”代码（如果一个函数的执行次数高于另一个函数，这个函数将被标记为“关键”）来帮助尽可能减少性能下降。它生成一个“链接器命令文件”，此文件将“关键”函数置于 RAM 中固定大小的 RAM 代码缓冲区内，并从外部闪存执行其余的函数。

### 4.2 智能布局

启动代码通常是缓存不良的代码（它总是执行一次，并且它调用的函数通常位于存储器中的不同位置），因此 CPU 中预取硬件的有效性较低。“智能布局”工具通过自动识别启动代码解决了这一问题，它将频繁执行的函数按执行顺序分组到一个可以编程的地址区域，然后使用快速本地复制（FLC）引擎进行下载 + 并发 CPU 执行。这种存储器放置方式与给定代码类型的 CPU 指令获取模式相辅相成，有助于更最大限度地利用预取硬件。

### 4.3 OptiShare

通常情况下，在高性能 MCU 中，每个 CPU 都会运行一个独立的应用程序，但每个应用程序都使用某些通用的软件库和功能，例如相同的 RTOS、驱动程序、网络协议栈。这会导致相同代码或只读（RO）数据针对每个内核重复多次，并很快就会开始耗尽存储器。OptiShare 工具旨在解决这一问题，它能在多个 CPU 映像之间找到共同的代码/数据段，并将其转换为单个共享副本，从而避免代码/数据的重复，减少芯片 SRAM 的占用空间。此工具与位于每个 CPU 内核前面的 RAT 引擎一同使用；该引擎执行地址转换以将通用代码映射到系统中的共享地址。

### 4.4 动态叠加

OptiFlash FLC DMA 引擎还可用于实现叠加算法，以便根据需要关键代码从片上存储器和闪存传输到 TCM。除了易于实现之外，还可以显著提高运行时程序性能，因为叠加过程可以在后台执行，无需 CPU 干预。



## 5 基准测试和性能数据

我们已经运行了应用程序基准测试来测量在启用各种 OptiFlash 元件的情况下通过外部闪存执行时的 XIP 性能。

RL2 Cache Size (KB)	Performance Degradation (Flash vs OCRAM)
0	2.36
8	2.23
32	1.93
128	1.10

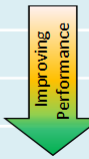


图 5-1. 基准测试

用于对 XIP 性能进行基准测试的应用程序是一个指令密集型应用程序，可模拟 AUTOSAR 高速缓存未命中率。高速缓存未命中数值已通过实际网络应用程序进行校准（大约 300-400 万条指令未命中/秒）。通过测量从外部闪存与片上 SRAM (OCSRAM) 执行应用程序的处理时间，已经获得了性能下降数值。如图 5-1 所示，启用 RL2 闪存高速缓存后，随着高速缓存大小的增加，XIP 性能有显著改善（比采用 128KB 高速缓存的 OCSRAM 提高最多 1.1 倍）。

请注意，这只是一个案例研究示例。实际应用可能根据实际流量模式具有不同程度的性能改进。

## 6 OptiFlash 加速器的用例

使用具有外部闪存的系统时的主要性能注意事项包括：XIP 性能、映像下载时间、安全性、固件更新等。表 6-1 列出了在给定的系统用例目标下所需的 OptiFlash 硬件加速器和软件工具。为了提高 XIP 性能，OptiFlash 提供了智能放置工具（可将关键代码放置在片上 RAM 中）和闪存高速缓存 (RL2) 硬件加速器（可减少对外部闪存的访问量）。为了实现映像下载加速，OptiFlash 提供了智能布局工具，该工具与 FLC 引擎一起用于按执行顺序对频繁执行的函数进行分组，并进行并发代码下载和代码执行。为了执行运行时动态叠加，需要使用 FLC 引擎以及叠加管理工具。为了在多核应用的情况下减小通用代码大小，OptiShare 工具会将通用代码和数据转换为单个共享副本，而 RAT 引擎会将地址转换到共享存储器位置。为了在执行 XIP 期间提供外部闪存安全性，OptiFlash 闪存子系统提供了动态功能安全引擎和动态信息安全引擎。为了执行固件无线更新，OptiFlash 提供了一个 FOTA 硬件引擎，允许将映像下载到闪存并支持并发 XIP 执行，从而更大限度地缩短 XIP 停机时间。

表 6-1. OptiFlash 加速器的用例

系统用例	OptiFlash 硬件加速器	OptiFlash 软件工具
XIP 性能改进	无	智能放置工具
	远程 L2 (RL2) 高速缓存	
映像下载加速	快速本地复制 (FLC) 引擎	智能布局工具
动态叠加		叠加管理器
减小多核应用代码大小	区域地址转换器 (RAT)	OptiShare 工具
基于 XIP 的安全保障	动态功能安全引擎	无
基于 XIP 的安全防护	动态信息安全引擎	无
无线固件更新	FOTA 硬件引擎	无 <sup>(1)</sup>

(1) 在 FOTA 硬件上运行的固件作为 MCU+ SDK 驱动程序的一部分用于确保安全和执行 OTA。

## 7 开始使用 OptiFlash

OptiFlash 技术的手上非常简单。所有 OptiFlash 软件功能都作为 TI Arm Clang 编译器工具链的一部分提供，可供用户轻松无缝地进行开发。为集成了 OptiFlash 技术的 MCU 开发应用程序的过程与标准的应用程序开发流程（如图 7-1 所示）非常相似，但增加了一些选项，如在代码编译和构建过程中启用 OptiFlash 工具，以及修改 SBL 以在系统启动期间配置所需的 OptiFlash 硬件加速器，如图 7-2 所示。智能放置和智能布局等极少数工具需要进行初始测试运行来收集代码覆盖率统计信息，这些信息将提供给工具以生成具有最佳代码和数据放置位置的链接器命

令文件。下一步是在 SBL 系统初始化过程中配置 OptiFlash 硬件元件的各种参数。例如，在多核应用程序中使用 OptiShare 工具时，该工具会为共享代码和 RO 数据创建一个单独的二进制文件，映射到通用共享存储器地址空间。现在，需要对 SBL 进行配置，以便将共享代码和 RO 数据一次性加载到 OCSRAM 中，并为每个 CPU 设置 RAT 引擎，使共享代码和 RO 数据从共享存储器地址空间映射到 CPU 唯一地址空间。最后一步是将 SBL 和应用程序下载到闪存中，系统将在上电后启动。

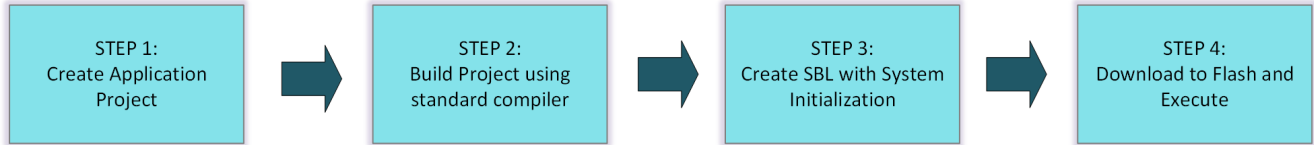


图 7-1. 标准应用程序开发流程

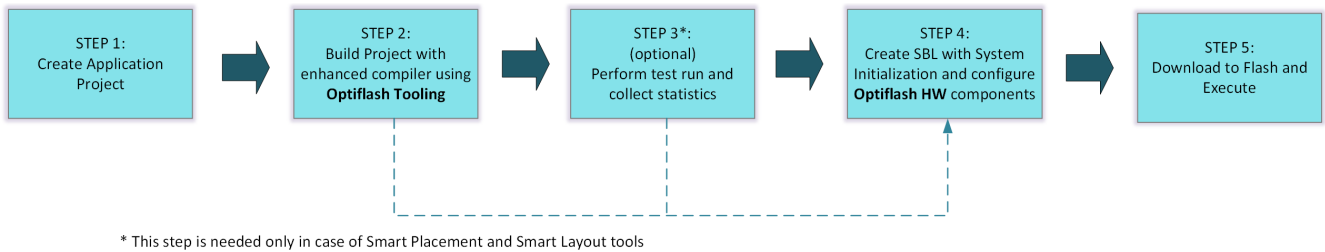


图 7-2. 采用 OptiFlash 后增强的应用程序开发流程

## 8 结语

在高性能 MCU 领域，由于新兴应用的复杂性增加，这些架构的存储器 and 性能要求不断提高。因此，在这些微控制器中使用外部闪存的需求日益增长。但是，使用外部闪存会给系统带来一系列需要克服的挑战。TI 的 OptiFlash 存储器技术解决方案提供了一组易于部署的硬件加速器和软件工具，可解决使用外部闪存时的主要问题。这是一种低成本解决方案，旨在提高从外部闪存执行时的系统性能，并根据系统需求提供闪存大小方面的可扩展性。这使得利用深亚微米级技术节点的 TI MCU 能够提供所需的 CPU 性能。OptiFlash 解决方案还可以借助支持嵌入式闪存的器件进行扩展，从而利用外部闪存进一步增加整体闪存大小。

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司