

Application Note

在 ATE 应用中使用电流提升器针对 1 μ F 容性负载优化 OPA593 中的双反馈补偿

Raymond Zhang

摘要

自 OPA593 推出以来，功率运算放大器 (PA) 在测试和测量领域备受关注。OPA593 专为自动测试设备 (ATE) 应用而设计，可以驱动高达 80V 的输出电压和高达 ± 250 mA 的输出电流，所有这些都包含在紧凑型 4mm \times 4mm WSON 封装之内。OPA593 在 -40°C 至 125°C 的整个工业温度范围内运行，提供出色的直流精度和稳定的输出电流限制功能，可满足 ATE 应用的各种设计要求。

本应用手册演示了如何补偿 OPA593 PA 和电流提升器配置，从而实现高达 ± 1 A 的输出驱动电流。此外，本文档还介绍了在驱动高达 1 μ F 的容性负载时如何实现运算放大器的双反馈补偿技术，确保足够的相位裕度，通过交流分析来稳定环路增益，以及在 ATE 应用中实现快速阶跃时间响应。

内容

1 简介.....	2
2 电流提升器，推挽式拓扑输出特性.....	3
2.1 开环输出阻抗.....	3
2.2 更大限度地减少零交越失真.....	0
3 各种电流提升器配置.....	4
3.1 互补 MOSFET 与 BJT 电流提升器的比较.....	4
4 稳定驱动 1 μ F 容性负载 (C_L) 的功率放大器设计.....	5
4.1 驱动阻性负载的运算放大器.....	5
4.2 驱动容性负载的运算放大器和挑战.....	6
4.3 开环交流稳定性分析 - 使用 DFC 补偿 C_L 影响.....	6
4.4 闭环稳定性响应 - 小信号阶跃瞬态分析.....	8
4.5 双反馈补偿中 R_{ISO} 对频率响应的影响.....	10
4.6 DFC 技术总结.....	10
5 针对 1 μ F 容性负载稳定 OPA593 和达林顿电流提升器.....	11
5.1 开环交流稳定性分析 - 驱动 1 μ F C_L 的复合运算放大器.....	12
5.2 闭环稳定性响应 - 复合运算放大器阶跃瞬态分析.....	13
6 复合放大器的有效 BW 和阶跃时间响应.....	14
7 测试台验证.....	0
8 总结.....	15
9 参考资料.....	15

商标

所有商标均为其各自所有者的财产。

1 简介

OPA593 是一款高压、高输出电流功率放大器 (PA)，采用 85V 单电源或 $\pm 42.5V$ 双电源配置，能够拉取或灌入高达 $\pm 250mA$ 的电流。本文重点介绍了双电源轨配置，因为其可编程且灵活的精密稳压器设置通常用于自动测试设备 (ATE) 应用。虽然 **OPA593** 能够满足大多数电源稳压器应用的输出电压要求，但 **OPA593** 在某些情况下无法提供足够的电流驱动。在这种情况下，将 **OPA593** 与电流提升器拓扑相结合可以提高电流驱动能力，同时满足放大器的整体工作电压范围、带宽、精度和对时序的响应能力要求。

实际上，大容量负载通常连接到功率放大器级的输出端。容性负载具有多种用途，包括去耦、滤除高频噪声、减少电压尖峰、稳定瞬态响应以及改善受测器件 (DUT) 的输出电压调节。但是，添加容性负载可能会引入不良的相位滞后，从而可能导致功率放大器反馈系统中的环路不稳定。

驱动大容量负载会给工程师带来巨大的设计挑战，尤其是在补偿稳定性问题方面。本应用手册解决了使用具有达林顿电流提升器配置的 **OPA593** 时所面临的这些难题。本文档还探讨了与该技术相关的权衡，尤其是在驱动高达 $1\mu F$ 的容性负载时。

图 1-1 和表 1-1 展示了本应用手册中讨论的原理图，该旨在满足 (或超出) 设计要求。

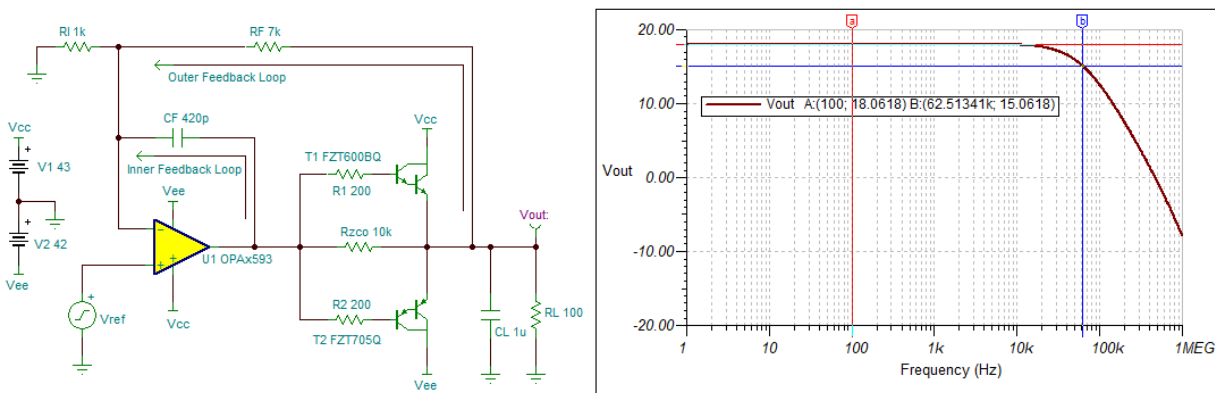


图 1-1. 具有电流提升器电路的 OPA593 驱动 $1\mu F$ 容性负载 C_L

表 1-1. OPA593 + 电流稳压器的 ATE 设计要求

设计参数	复合放大器的稳压器规格
输入电压范围	输入摆幅高达 $\pm 5V_{dc}$
输出电压范围	输出摆幅高达 $\pm 40V_{dc}$
输出电流范围	具有电流提升器的 OPA593，驱动高达 $\pm 1A_{dc}$ 的电流
输出阻抗	$R_L \geq 40\Omega$
闭环增益	8V/V
开环输出阻抗	开环输出阻抗， $Z_o < 约 1\Omega$
容性负载	低 ESR ($20m\Omega$)、 $1\mu F$ 陶瓷容性负载和 DUT
有效带宽	约 50kHz，截止频率处于 -3dB 点
阶跃时间行为	输出上升/下降沿阶跃时间响应小于 $100\mu s$
输出电压精度	满量程范围内为 0.05% 或更佳

2 电流提升器，推挽式拓扑输出特性

在为 ATE 应用选择驱动器时，电流提升器的开环输出阻抗和频率响应是部分关键参数。总结了以下标准。

表 2-1. 电流提升器驱动器选择标准

否	电流提升器驱动器选择指南
1	稳定的低开环输出阻抗，在给定应用中 Z_o 随频率的变化而变化。
2	低失真和高压摆率：更大限度地降低交越失真，同时优化电压偏置。
3	满足驱动大容量性和阻性负载的拉电流或灌电流要求。
4	能够承受高功率耗散，并有效管理最坏情况下的热应力。
5	相对于可编程电源电压轨更大限度地提高输出电压摆幅余量。
6	包含输出过压和过流保护功能：过载、短路和电流限制。

文章的第 2 节和第 3 节介绍了表 2-1 中有关电流提升器的行项目 1 至 3。

2.1 开环输出阻抗

在该设计中，电流提升器配置为具有单位增益缓冲功能的互补推挽达林顿拓扑。图 2-1 和图 2-2 展示了开环输出阻抗由施加到晶体管基极的小偏置电压进行调节。正向偏置 NPN 晶体管 (T1) 的基极-发射极结使提升器能够拉取正电压和电流，而正向偏置 PNP 晶体管 (T2) 使其能够灌入负电压和电流。偏置电压直接影响开环输出阻抗；较高的偏置电平会产生较低的输出阻抗，如方程式 1 所示。

$$r_o \approx \frac{V_A}{I_C} \rightarrow Z_{CE} = \frac{r_{op} \times r_{on}}{r_{op} + r_{on}} \rightarrow Z_{CBO} = Z_{CE} \parallel R_L \quad (1)$$

其中，

- r_o 表示 BJT 的输出阻抗
- V_A 表示早期电压
- I_C 表示双极集电极电流
- R_{op} 表示 NPN 的开环输出阻抗
- R_{on} 表示 PNP 的开环输出阻抗
- Z_{CE} 表示互补达林顿对的并联输出阻抗
- Z_{CBO} 表示整体并联开环输出阻抗

当 NPN 晶体管 (T1) 基极-发射极结正向偏置时，电流提升器在输出端拉取正电压和电流。图 2-1 展示了开环输出阻抗，其中显示 $Z_{CE} \parallel R_L$ 的结果小于 1Ω 。

相反，当 PNP 晶体管 (T2) 的发射极-基极结正向偏置时，电流提升器在输出端灌入负电压和电流。图 2-2 展示了开环输出阻抗，其中 $Z_{CE} \parallel R_L$ 产生了相似的结果。组合开环输出阻抗在高达 1MHz 的频率范围内保持一致。

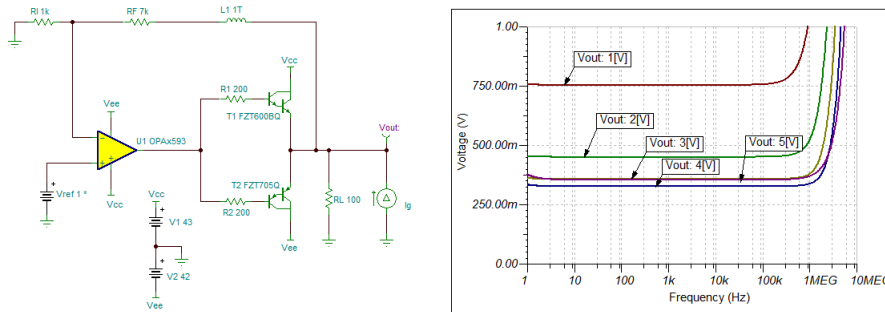


图 2-1. T1 正向偏置的开环输出阻抗 (Z_{CBO})

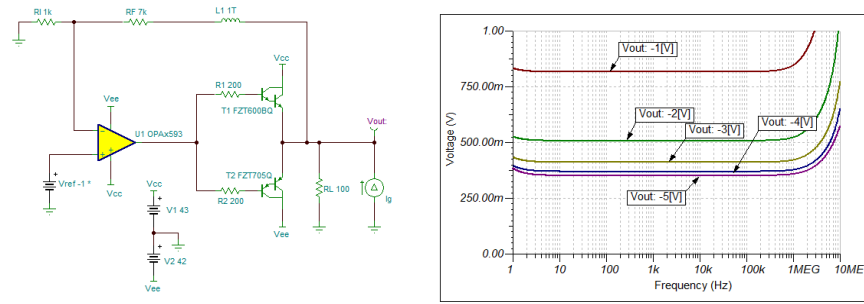


图 2-2. T2 正向偏置的开环输出阻抗 (Z_{CBO})

BJT 晶体管的正向偏置电压直接影响开环输出阻抗；较高的偏置电压会降低输出阻抗。推挽互补 BJT 驱动器的开环输出阻抗主要受 NPN (r_{op}) 和 PNP (o_{nr}) 晶体管的输出电阻 (r_o) 以及负载电阻 (R_L) 的影响。达林顿电流提升器的开环输出阻抗与 R_L 并联运行，如方程式 1 所示。

3 各种电流提升器配置

为该应用设计了各种电流提升器对，“C”表示 ATE 应用中功率晶体管必须匹配的互补对。选项包括分立式 CMOSFET、CBJT 或 CIGBT 以及集成式开环缓冲器（例如 BUF634A、LME49600）和用作单位增益缓冲器的功率放大器（例如 OPA593、OPA544）。表 3-1 比较了 CMOSFET 和 CBJT 电流提升器的优缺点，强调了关键的权衡和差异。要选择正确的电流提升器，需要了解这些差异及其对性能和成本的影响。

3.1 互补 MOSFET 与 BJT 电流提升器的比较

表 3-1 比较了 CMOSFET 和 CBJT 电流驱动器的优缺点，这两种驱动器是最常用且具有成本效益的选项。尽管本节中未提供详细的比较，但请注意，在为特定应用选择电流提升器时，需要考虑显著的差异和权衡。

表 3-1. 电流提升器应用中 CMOSFET 和 CBJT 之间的优缺点比较

编号	互补 MOSFET (CMOSFET) 输出级	互补 BJT (CBJT) 输出级
1	较快的开关速度（可能具有 MHz 数量级）、更宽的 BW	较慢的开关速度（可在几百 kHz 范围内）、较低的 BW
2	高输入阻抗、较低的待机功率耗散	低输入阻抗、较高的待机功率耗散
3	略高的理论固有输出阻抗（如果已归一化）	较低的理论固有输出阻抗
4	V_{DS} 接口在温度范围内表现出 PTC	I_{CE} 接口在温度范围内表现出 NTC
5	不易发生典型的二次击穿，需要器件保护	与 MOSFET 器件相当，需要器件保护
6	较低的跨导 g_m - 每级的电压增益较低	较高的跨导 g_m - 每级的电压增益越高
7	较好的功率耗散、较好的热稳定性和性能、较简单的热管理	较高的功耗，容易发生热失控，需要较多的热管理电路
8	需要较高的导通 V_{GS} 阈值电压	较低的 V_{BE} 电压，需要大约 0.65V 的导通正向偏置电压
9	随着 V_{GS} 的增大，漏源导电性会增大	随着 I_{BE} 的增大，集电极-发射极导电性会增大
10	专为较宽的电压和高电流电源应用而设计	专为高电流增益应用而设计
11	在三极管或线性区运行；电压控制电流源	在放大区运行；电流控制电流源
12	成本略高于 BJT 器件	成本通常比 MOSFET 器件更低
13	栅极上具有 pA 至 nA 的直流输入偏置电流	基极上具有 μA 至 mA 的直流输入偏置电流
14	较低的单位面积电流密度	较高的单位面积电流密度
15	较适合大功率线性稳压器，较高的余量	较好的线性、较简单的控制以及较低的余量

4 稳定驱动 1 μF 容性负载 (C_L) 的功率放大器设计

为了有效地理解双反馈补偿 (DFC) 技术并确保环路稳定性, 应了解阻性和容性负载之间的相互作用以及功率放大器的开环输出阻抗。在反馈系统中正确管理极点和零点的位置对于实现稳定性和性能至关重要。

使用功率放大器 (PA) Spice 模型 (例如 Tina 仿真器提供的模型), 可以简化分析并增强对 DFC 方法的理解。该模型采用电流提升器复合放大器模拟了 OPA593 的性能特征, 为了解 DFC 技术提供了清晰的框架。仿真 Spice 模型强调了经补偿的元件之间的关键相互作用, 这些元件包括输出阻性负载 (R_L)、容性负载 (C_L)、反馈电阻器 (R_F、R_I) 和运算放大器的开环输出阻抗 (Z_o), 如图 4-1 所示。

表 4-1 总结了 OPA593 + 电流提升器复合放大器仿真 Spice 模型的运算放大器行为。表 4-2 概述了功率放大器的设计要求, 该功率放大器用于驱动 1 μF 容性和阻性负载, 额定输出电流高达 ±1A_{dc}。

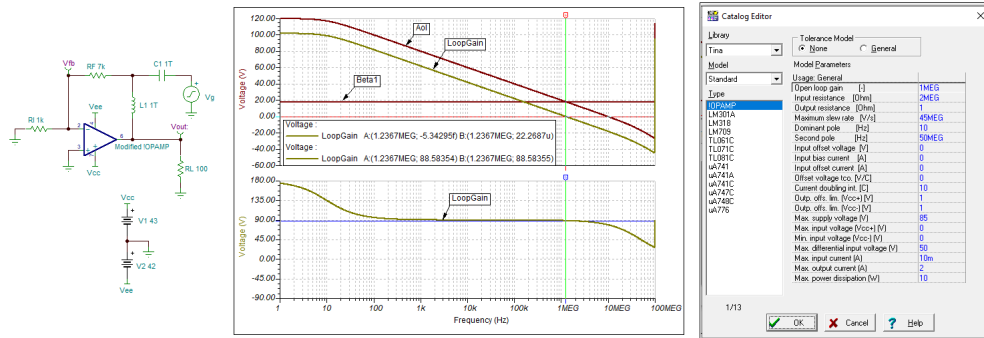


图 4-1. 仿真功率放大器驱动阻性负载 - 开环交流稳定性分析

表 4-1. 仿真功率放大器的关键参数

设计参数	经修改的 PA 规格
开环增益	1 × 10 ⁶ V/V 或 120dB
主导极点	10Hz
开环输出阻抗	1 Ω
最大输出电流	2A
功率放大器的第二个极点	50MHz

4.1 驱动阻性负载的运算放大器

在仿真器中, 修改了理想功率放大器以演示 DFC 补偿技术。表 4-1 总结了此经修改的功率放大器 (PA) 的关键参数。图 4-1 中的仿真结果验证了模型的行为并确认了其与其 SPICE 模型的一致性。根据增益带宽积 (GBP) 计算得出的单位带宽增益积约为 1.2MHz, 而相位裕度约为 88.6°。

表 4-2. 驱动 1μF 容性负载的仿真 PA 设计要求

设计参数	设计规格
ATE 设计要求	高精度、可编程稳压器
输入电压范围	输入摆幅高达 ±5V _{dc}
输出电压范围	输出摆幅高达 ±40V _{dc}
输出电流范围	驱动高达 ±1A _{dc} 的电流
输出阻性负载	R _L ≥ 40 Ω
闭环增益	8V/V
输出阻抗	在所有频率下具有低开环输出阻抗, Z _o = 1 Ω
输出容性负载	低 ESR (20m Ω)、1μF 陶瓷容性负载和 DUT
有效带宽	约 50kHz, 截止频率处于 -3dB 点
阶跃时间行为	输出上升沿和下降沿阶跃时间响应小于 100μs

表 4-2. 驱动 1μF 容性负载的仿真 PA 设计要求 (续)

设计参数	设计规格
功率调节	输出电压精度：满量程时约为 0.05% 或更佳

4.2 驱动容性负载的运算放大器和挑战

在自动测试设备 (ATE) 应用中，功率放大器的输出级通常与较大的容性负载相连。由于运算放大器的单位带宽增益积 (UGBW) 中引入了额外的极点，驱动大容性负载 (例如 1 μF) 会带来一些挑战。在 UGBW 内，[方程式 2](#) 中所述的该额外极点 (f_{p2}) 可能会破坏运算放大器环路增益的稳定性并减小闭环中的相位裕度。

任何运算放大器都无法既驱动大容性负载，同时又确保在没有适当反馈环路补偿的情况下保持稳定性。术语“大容性负载”是相对的，会因多种因素而变化，包括运算放大器的开环输出阻抗、负载电阻、负载电容和单位带宽增益积 (f_{unity})。通常，运算放大器可以驱动 10pF 至 100pF 的容性负载，无需外部补偿。具有低开环输出阻抗的运算放大器可以驱动更高的容性负载 (高达 1nF)，同时仍保持足够的相位裕度，而无需额外补偿。但是，超过 1nF 的容性负载通常被视为“大”容性负载，可能会导致振荡等问题，从而使补偿对于保持环路稳定性而言至关重要。

$$f_{p2} = \frac{1}{2\pi(Z_o \parallel R_L)C_L} \quad (2)$$

虽然某些运算放大器可以将驱动高达 1nF 的容性负载，但其他运算放大器可能会变得不稳定。这种区别取决于运算放大器的开环输出阻抗、与容性负载 (C_L) 的相互作用以及额外极点 (f_{p2}) 相对于单位带宽增益积 (UGBW) 的位置。这些因素共同决定了运算放大器有效驱动容性负载的能力。[表 4-3](#) 总结了在各种情况下驱动容性负载时运算放大器的稳定性。

表 4-3. 与额外极点 (f_{p2}) 和 UGBW 相关的运算放大器闭环行为

运算放大器闭环稳定性评估		C _L 负载示例
稳定	f_{p2} 比运算放大器的 UGBW 高 2 倍频程以上	10pF 至 100pF 负载 (典型值)
不稳定	f_{p2} 处于运算放大器的 UGBW 范围内，从而导致不稳定	大容性负载 (C _L > 1nF)
单位增益不稳定	f_{p2} 与 UGBW 完全一致	$f_{p2} = \text{UGBW}$
有条件稳定	f_{p2} 处于超出 UGBW 的 1 倍频程内	不确定的稳定性行为

总之，驱动容性负载的运算放大器的稳定性受第二个极点 (f_{p2}) 和 UGBW 之间的关系的影响。如果 f_{p2} 远远超过 UGBW，则系统保持稳定。但是，如果 f_{p2} 处于 UGBW 以内或附近，则运算放大器可能变得不稳定或有条件地稳定。

从开环交流分析中获得的相位裕度是用于评估闭环反馈配置中运算放大器稳定性的定量方法。相位裕度可预测系统是否可能保持稳定、振荡或表现出不确定的行为，尤其是在驱动容性负载时。根据开环交流稳定性分析，为确保稳定运行，通常需要至少 45° 的相位裕度。

4.3 开环交流稳定性分析 - 使用 DFC 补偿 C_L 影响

以下视频详细说明了如何充分补偿运算放大器中的容性负载：[高精度实验室系列：运算放大器](#)。该视频系列概述了理论、仿真、示例和应用手册。

该视频系列介绍的一种技术是双反馈补偿 (DFC) 方法，该方法通常用于补偿运算放大器中的复杂负载。但是，有关该技术的详细信息非常有限，尤其是关于 OPA593 和电流提升器驱动器组合等电流提升器配置的信息。

DFC 技术降低了容性负载的影响，如 [图 4-2](#) 所示。该方法涉及将一个隔离电阻器与运算放大器的输出端串联或放置在反馈路径内。运算放大器的输出阻抗 ($Z_o + R_{iso}$) 与容性负载 (C_L) 的组合会引入一个额外的极点 (f_{p2})，该极点可通过 [方程式 4](#) 得出。

要估算 R_{iso} ，请使用提供的公式并选择最接近的标准电阻器阻值。在该示例中，增益带宽积在 10MHz 处定义，增益为 8V/V。运算放大器的闭环主极点 (f_{dom} 、10MHz/8) 计算为 1.25MHz。仿真运算放大器的开环输出阻抗 Z_o 。在所有频率下均在 1 Ω 处建模， R_{iso} 被确定为 356.8mΩ，大约为 357mΩ，通过 [方程式 3](#) 计算得出。

$$R_{iso} \approx \sqrt{\frac{Z_o}{2\pi C_L f_{dom}}} \quad (\text{if } C_L > 10nF) \quad (3)$$

开环交流环路分析侧重于确定 UGBW、环路增益、相位裕度和其他小信号稳定性参数，如图 4-2 所示。接下来，对经补偿的运算放大器配置进行仿真，以验证电路的闭环稳定性。通过在闭环运行期间在运算放大器输入端施加小阶跃瞬态信号，可实现该验证。要确保驱动复杂负载的运算放大器的稳定性，至少需要两个仿真阶跃。环路稳定性迭代过程可优化开环交流特性和闭环反馈响应之间的补偿。如果没有正确的阶跃序列，运算放大器的闭环行为为是不确定的，可能出现输出振荡行为，如图 4-3 中未经补偿的运算放大器所示。

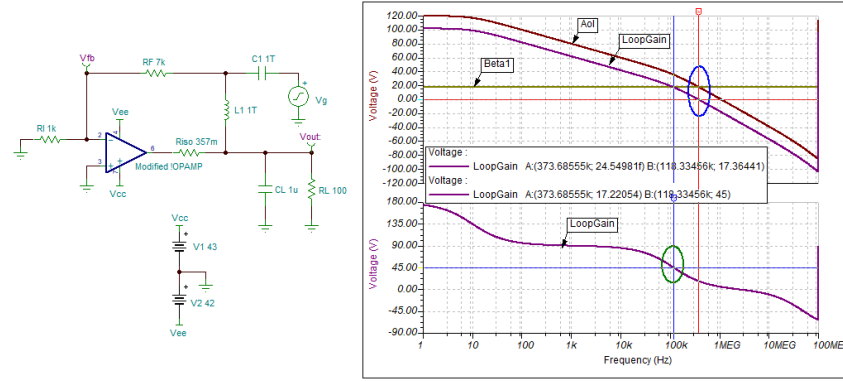


图 4-2. 使用 R_{iso} 的未经补偿的运算放大器开环交流分析

$$f_{p2} = \frac{1}{2\pi((Z_o + R_{iso}) \parallel R_L)C_L} \approx \frac{1}{2\pi(Z_o \parallel R_L)C_L} \quad (\text{if } R_{iso} \ll Z_o) \quad (4)$$

当运算放大器反馈系统驱动容性负载时，应了解开环输出阻抗与负载电容之间的相互作用，这一点至关重要。在所有频率下，仿真功率放大器的开环输出阻抗 Z_o 是在 1 Ω 处定义的。

驱动 1 μF 容性负载时，计算得出的新极点约为 118kHz，如方程式 4 所示。在没有容性负载的情况下，使用 88.6° 的相位裕度在 1.25MHz 处对单位带宽增益积 f_{unity} 进行了仿真，如图 4-1 所示。引入容性负载会使 f_{unity} 降低，将运算放大器的滚降斜率从 -20dB/十倍频程降至 -40dB/十倍频，并将 UGBW 从 1.25MHz 降至约 374kHz。该额外的极点会使相位裕度从 88.6° 降低至 17.4°，从而限制系统的总体带宽。

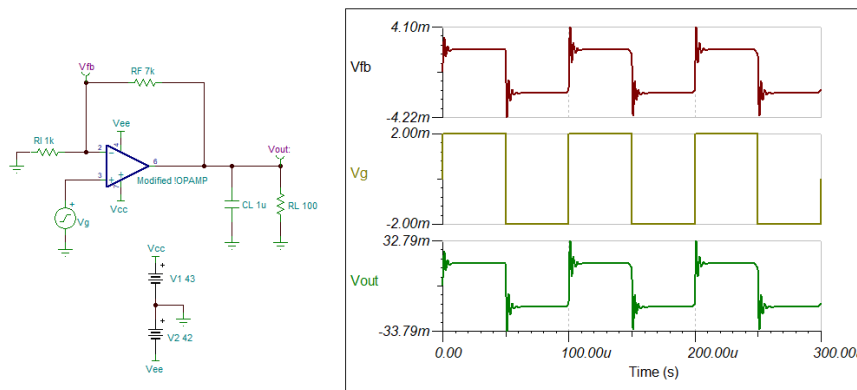


图 4-3. 驱动 1 μF 负载的未经补偿的运算放大器 - 不稳定

要稳定图 4-2 中的反馈环路，请将额外的 f_{p2} 极点频率设置为比仿真值 374kHz 低约 1 至 2 倍频程。在表 4-2 中定义为 50kHz 的有效带宽下，我们将该值分配给 DFC_BW_f 并使用方程式 5 计算 C_F，估算结果约为 455pF。选择了标准电容器容值 420pF，如图 4-4 所示。

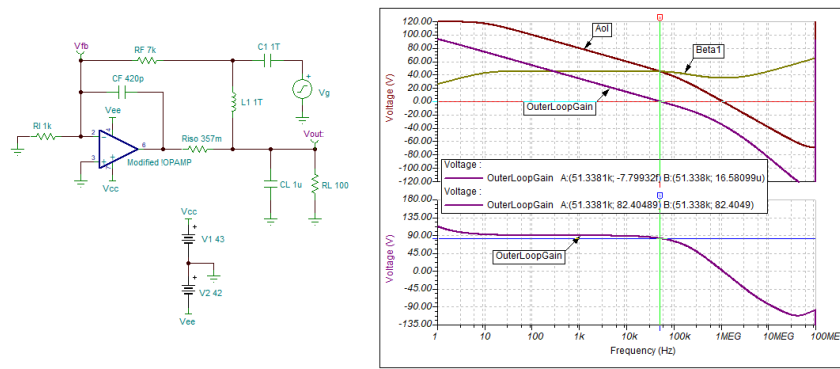


图 4-4. 驱动 $(Z_o + R_{iso}) // R_L$ 和 C_L 的外部反馈环路补偿波特图

DFC 技术的有效带宽是指运算放大器实现所需增益和性能的频率范围。在双反馈补偿拓扑中，运算放大器带宽不是由增益带宽积 (GBP) 决定的；相反，有效带宽主要受外部补偿元件 (例如 R_{iso} 、 R_F 和 C_F) 的影响，如图 4-5 和方程式 5 所示。反馈环路中外部极点的补偿近似表示为 $1/sR_FC_F$ ，定义了 DFC 配置的有效带宽 (f_{DFC_BW})。

$$f_{DFC_BW} = \frac{1}{2\pi(R_F + R_{iso})C_F} \approx \frac{1}{2\pi R_F \times C_F} \text{ (if } R_{iso} \ll R_F \text{)} \quad (5)$$

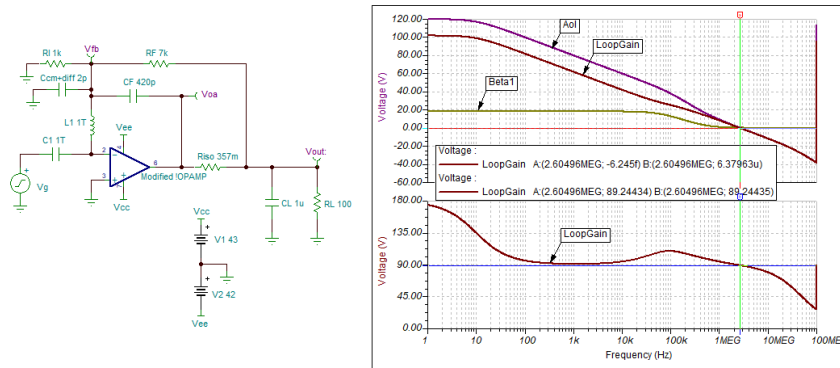


图 4-5. DFC 总体开环交流分析：2.6MHz UGBW 和相位裕度 89°

4.4 闭环稳定性响应 - 小信号阶跃瞬态分析

小信号阶跃瞬态仿真图确认 DFC 在闭环中是稳定的，如图 4-6 所示。不存在输出过冲，并且设计满足表 4-2 中概述的时序要求。

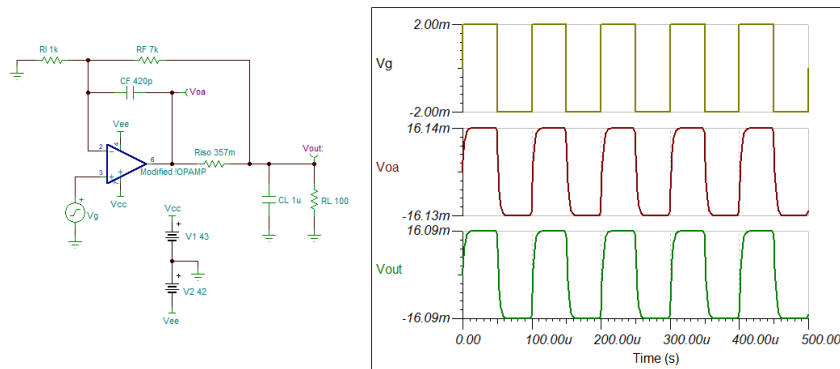


图 4-6. 经补偿的闭环响应：驱动 1 μF 负载的阶跃瞬态分析

仿真中的最后一个验证步骤包括使用电流提升器对 OPA593 进行频率扫描并分析增益响应，如图 4-7 所示。如果交流增益随着频率接近 -3dB 点而增加，则通常表明两个极点间隔过近或重叠。下一节讨论了该现象。

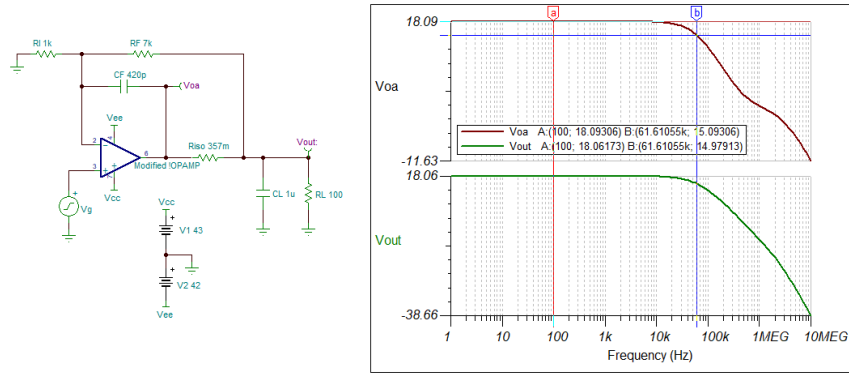


图 4-7. 驱动 $1\ \mu\text{F}$ 负载的仿真 PA 的交流频率扫描

4.5 双反馈补偿中 R_{iso} 对频率响应的影响

用于补偿容性负载的 DFC 技术很复杂。优化 DFC 的一项目挑战是有效带宽通常在交流频率响应中表现出增益峰值或 Q 影响。增益峰值或高 Q 系数表示 UGBW 中存在多个极点，这是 DFC 方法特有的现象，如图 4-8 所示。当闭合反馈环路中极点密集分布或重叠时，会产生增益峰值，从而导致会提高增益的谐振响应。仅当反馈环路在时域或频域中闭合时，才能观察到这种影响。

在针对 $1\ \mu\text{F}$ 容性负载补偿的运算放大器中（如图 4-8 所示），电阻 R_{iso} 值从 $100\text{m}\Omega$ 到 $500\text{m}\Omega$ 、 $1\ \Omega$ 和 $5\ \Omega$ 逐渐增加。 R_{iso} 的选择与运算放大器的开环输出阻抗相关，在仿真 Spice 模型中，该电阻在所有频率下被定义为 $1\ \Omega$ 。随着 R_{iso} 的增加，额外极点 f_{p2} 向较低的频率移动，如方程式 4 所述。当新出现的极点靠近 DFC 环路中定义的主极点 f_{DFC_BW} 时，该极点移动会导致在频率响应中出现增益峰值。当这两个极点重叠或过于接近时，会出现增益峰值，如图 4-8 所示。

为了优化 DFC 技术中 R_{iso} 的值并避免盲目尝试，可以根据 [确定驱动容性负载的最佳隔离电阻](#) 应用手册使用方程式 3 来计算 R_{iso} 。 R_{iso} 值必须远低于 Z_o 和 R_F 参数。较大的 R_{iso} 值会对补偿环路的增益峰值或品质因数 (Q) 产生不利影响，可能改变电路的稳定性和有效带宽。

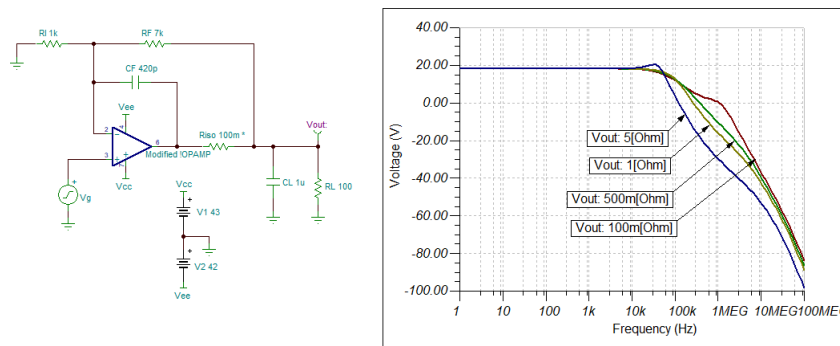


图 4-8. 驱动 $1\ \mu\text{F}$ 容性负载、经补偿的运算放大器的 R_{iso} 影响

4.6 DFC 技术总结

DFC 技术利用两个不同的反馈路径来提高整体环路稳定性：低频反馈路径和高频反馈路径，如图 1-1 所示。低频反馈路径用作外部反馈环路，根据运算放大器的极点（由方程式 5 中的 f_{DFC_BW} 定义）建立标称增益和带宽。

相反，高频反馈路径充当内部反馈环路，比外部环路更高的带宽运行。这两个反馈环路相互作用，其中内部反馈回路的 UGBW 相对于外部回路的 UGBW 而言类似于一个极点。这种相互作用会影响带宽和相位水平，进而影响系统的整体稳定性。

表 4-4 中总结了 DFC 过程以及本文中使用的仿真参数。

表 4-4. 总结：稳定容性负载的 DFC 过程

双反馈补偿技术总结	
a	确定方程式 3 中用于 DFC 补偿的 R_{iso}
b	执行开环交流稳定性分析以评估增益和相位，如图 4-4 所示。该步骤识别外部反馈回路中的 UGBW 和来自扰动注入点的足够相位裕度。
c	稳定外部反馈回路后，验证内部反馈回路，这反映了补偿方案的整体环路增益，如图 4-5 所示。两个反馈回路必须保持稳定，以确保容性负载的稳定性。
d	通过对输入端施加小信号阶跃瞬变来验证经补偿的运算放大器的闭环行为，如图 4-6 所示。这可以为系统在时间域内的性能、带宽和稳定性提供重要的见解。
e	在闭环配置中执行交流频率扫描以验证整个频率范围内的增益响应，如图 4-7 所示。交流增益不能在频域中表现出任何峰值，并且频率扫描的有效带宽必须与设计要求保持一致。
f	环路稳定性迭代对于优化可能是必要的，因为环路稳定性在时域和频域中平衡了开环交流稳定性分析与闭环响应。这可以确保仿真行为与稳定性和设计标准保持一致。
g	最后，通过执行基准测试，可以使用实际应用来验证整体性能。

- 反馈电阻器 R_F 是根据 $\pm 40V_{dc}$ 和 $\pm 10mA$ 的要求选择的，因此最小电阻为 $4k\Omega$ ，因为 $10mA$ 是对应于 OPA593 绝对最大额定值的输入电流。对于仿真，使用了 $7k\Omega$ 电阻器。但是，在实际 ATE 应用中，建议使用更接近 $14k\Omega$ 的 R_F 值，以确保附加限制电流处于设计裕度范围内。
- 在 OPA593 中使用了 $+43V_{dc}$ 和 $-42V_{dc}$ 非对称电源轨。在仿真期间，输出电压摆幅比电源轨低 $\pm 2V$ 。在实际应用中， $\pm 42.5V_{dc}$ 需要足以实现 $\pm 40.0V_{dc}$ 输出。为了降低散热，应尽可能减小电源轨和输出之间的电压差，这一点至关重要。

5 针对 1 μF 容性负载稳定 OPA593 和达林顿电流提升器

使用具有达林顿电流提升器拓扑的 OPA593 来驱动 $1\mu F$ 容性负载的设计方法遵循为仿真功率放大器设计的双反馈补偿 (DFC) 过程，如图 4-5 所示。一个关键区别是电流提升器在设计仿真 PA 示例中有效地用作隔离电阻器 (R_{iso})。虽然 OPA593 在 $1kHz$ 至 $1MHz$ 范围内保持约 228Ω 的输出阻抗，但这不适用于使用表 4-4 中概述的补偿技术驱动大容性负载，其中替代 DFC 补偿技术更合适。

本文开头的表 1-1 详细介绍了 OPA593 和电流提升器配置的设计要求。通过将 OPA593 与达林顿电流提升器集成在一起，打造出具有低开环输出阻抗的复合放大器。该复合放大器得益于 OPA593 的性能属性，例如高输入电压处理、高压摆率、电流限制以及启用或禁用功能。这些功能使 OPA593 能够驱动大容性负载并满足 ATE 应用中的高电流需求，前提是反馈网络得到适当补偿。

在图 5-1 所示的电流提升器配置中，仿真表明 OPA593 与达林顿电流提升器组合的单位带宽增益积 f_{unity} 保持一致，测得的 f_{unity} 约为 $1.4MHz$ ，相位裕度为 79° 。应用增益带宽积后，仿真结果与图 4-1 中所示的仿真功率放大器的结果非常接近。这意味着复合放大器的闭环需要表现出与仿真功率放大器相似的行为。

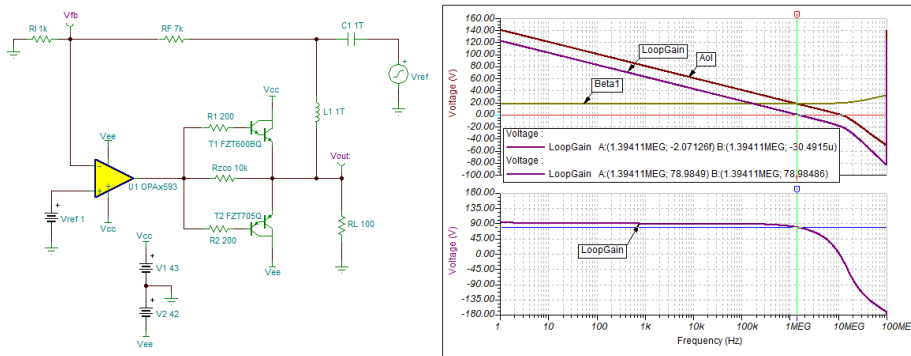


图 5-1. 在 $V_{REF} = 1V_{dc}$ 时驱动阻性负载的 OPA593 + 电流提升器

5.1 开环交流稳定性分析 - 驱动 1 μF C_L 的复合运算放大器

当在电流提升器级的输出端引入 C_L = 1 μF 的容性负载时，估计第二个极点 f_{p2} 出现在大约 320kHz 处，由方程式 4 确定。该极点处于 UGBW 范围内（经测量处于 549kHz），导致显著的相位滞后并将相位裕度从 79° 降低至 -19.4°，如图 5-2 所示。因此，在闭环配置中驱动 1 μF 容性负载时，OPA593 和电流提升器的组合会变得不稳定。

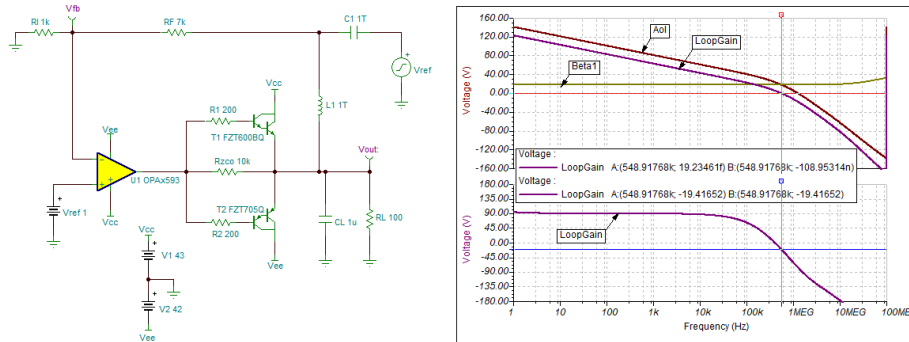


图 5-2. OPA593 + 电流提升器的外部反馈环路交流分析 - 驱动 1 μF (C_L) // 100 Ω (R_L)

为了稳定外部反馈环路，必须考虑 Z_{CBO}（大约 0.5 Ω）和 C_L 之间的相互作用产生的大约 320kHz 处的额外极点 f_{p2}。DFC 中的一种常见技术是通过加入补偿电容器 C_F 来降低外部环路增益。该电容器可确保外部环路的 UGBW 至少比 f_{p2} 低 1-2 倍频程。保守的指导原则建议将外部环路的 UGBW 设置为比 f_{p2} 低二倍频程，即小于 100kHz，以在多反馈环路补偿方案内保持稳定。虽然较大的 C_F 值可以提高整体 DFC 稳定性，但它们也会显著限制电路的有效带宽，因此会产生设计人员必须根据应用要求仔细评估的权衡。其他主要涉及极点-零点消除的 DFC 方法也可以有效地解决出现在外部反馈环路的 UGBW 上的极点。但是，详细的补偿过程不在本应用手册的讨论范围之内。

根据表 1-1 和方程式 5 中概述的设计要求，目标截止频率 f_{DFC_CB_BW} 被定义为大约 50kHz。为了实现该规格，计算得出的补偿电容器 C_F 大约为 455pF。然后选择最接近的标准值 C_F ≈ 420pF。如图 5-3 所示，根据开环交流分析，仿真外部反馈环路的 UGBW 测量值为 50.8kHz，相位裕度约为 76°。因此，外部反馈环路预计在闭环运行期间保持稳定，如扰动注入分析所示。

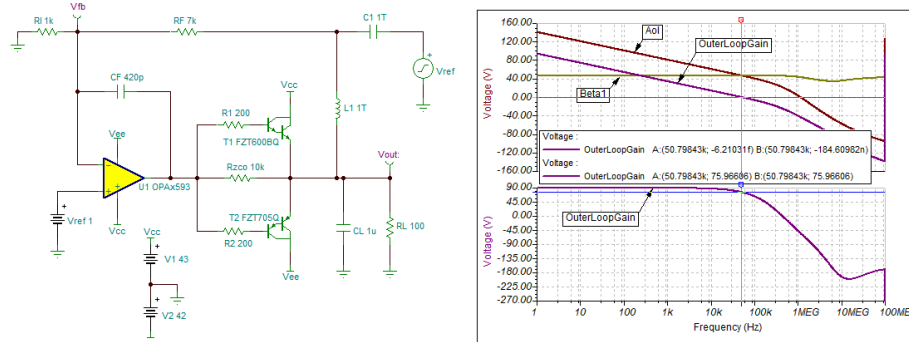


图 5-3. OPA593 + 电流提升器复合放大器的外部反馈环路稳定性

如第 4 节的总结中所述，DFC 技术利用双反馈环路补偿。在图 5-3 中，我们检查了外部反馈环路的交流稳定性。现在，我们可以分析负责高频补偿的内部反馈环路。该内部环路对于确定整体交流环路稳定性至关重要，可简化为 DFC 技术的环路增益。图 5-3 展示了交流环路增益稳定性分析，以下视频详细介绍了补偿方法：[高精度实验室系列：运算放大器](#)。

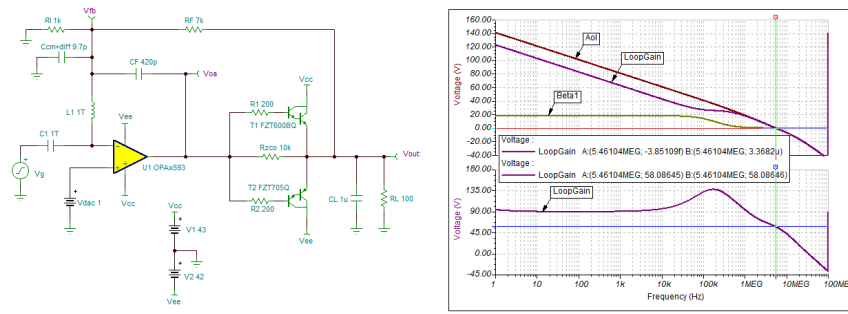


图 5-4. DFC 中的开环交流分析显示了 UGBW 处的 58° 相位裕度

根据图 5-4 中的交流稳定性分析，环路增益的单位带宽增益积测量值为 5.46MHz，相位裕度大约为 58°，表明整个 DFC 环路是稳定的。

5.2 闭环稳定性响应 - 复合运算放大器阶跃瞬态分析

为了评估电流提升器配置中经补偿的 OPA593 的闭环行为，执行了小信号阶跃瞬态分析，如图 5-5 所示。闭环瞬态响应表明没有过冲或振荡，这表明对内部和外部反馈环路应用了足够的相位裕度和有效补偿。

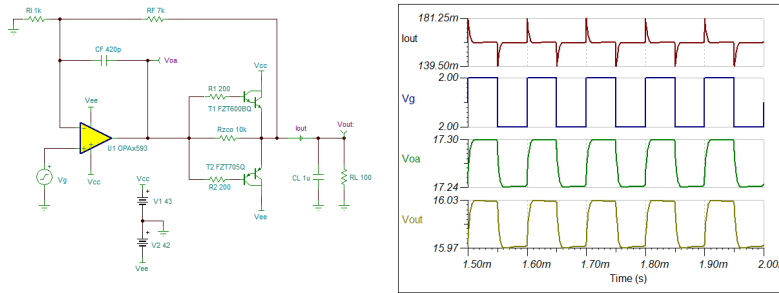


图 5-5. 经补偿的复合放大器 - 时域中的阶跃瞬态响应

与第 4 节中的仿真功率放大器一样，在实际运算放大器仿真中，增益峰值或 Q 影响可能更加明显。每个运算放大器设计都包含许多隐藏的极点和零点。虽然这些高频极点和零点通常不会干扰 UGBW 内的单个反馈环路补偿，但 DFC 补偿方法可能是一个例外，尤其是在管理多个反馈环路时。因此，检查交流频率响应行为对于验证 ATE 应用中的扫描频率响应至关重要，如图 5-6 所示。

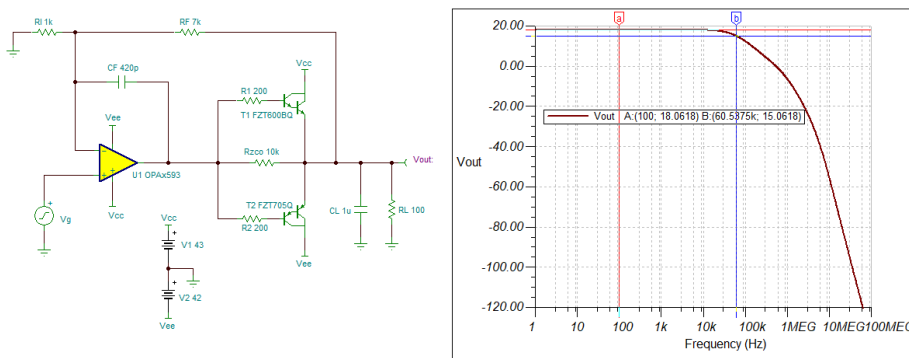


图 5-6. OPA593 和电流提升器的有效带宽：频域中的交流扫描

6 复合放大器的有效 BW 和阶跃时间响应

请注意，澄清 ATE 应用中运算放大器带宽和阶跃时序响应的概念非常重要，因为工程师经常会混淆这些术语。

运算放大器的有效带宽通过线性模型中的交流小信号分析得出，该模型描述了放大器在保持相对恒定增益的同时对输入和输出端小信号变化的响应速度。该模型定义了放大器在特定闭环配置中能够有效运行的频率范围。在闭环反馈系统中，运算放大器带宽是基于增益带宽积的一阶近似值。

相比之下，运算放大器的阶跃响应或时序要求与压摆率和输入信号的特性有关，通常使用大信号模型来评估这些特性。对于 ATE 应用，阶跃时序响应通常非常快，通常大约为 $10\mu\text{s}$ （从施加输入信号到稳定输出设定点），这些是关键设计参数。

当输出级加载电容或电感元件时，会由于这些负载参数而引入更长的时间常数。仅仅增加运算放大器带宽无法解决延时问题或显著增强阶跃响应。

为了缩短 ATE 应用中的阶跃响应时间，输出驱动级必须在短时间内提供更高的电流变化率。对于较大的容性负载，实现快速输出电压设定点需要快速的反馈控制和较高的电流变化率来驱动容性负载（表示为 $C(di/dt)$ ）。在 OPA593 + 电流提升器配置中，大信号阶跃响应时间由 OPA593 的压摆率和提升器驱动器中的电流变化率（例如 di/dt ）决定。总体性能还受经补偿的运算放大器、输出电压摆幅、稳定时间以及瞬态过冲或下冲行为的影响。因此，在 ATE 应用中，必须在更大限度地减小输出电流尖峰和优化阶跃响应时间之间进行权衡。

8 总结

本文探讨了电流提升器拓扑中的 OPA593，其中使用 DFC 补偿技术来稳定稳压器配置中的大容性负载。本应用手册提供了一种全面的方法来补偿 ATE 应用中的功率输出级和管理其中的大容性负载。通过采用 DFC 技术，该设计可确保复合放大器的环路稳定性，改善系统带宽并优化性能，这些是支持高电流 ATE 系统的关键因素。

9 参考资料

- 德州仪器 (TI), [OPA593 85V、250mA 输出电流、精密、功率运算放大器](#), 数据表。
- 德州仪器 (TI), [确定驱动容性负载的最佳隔离电阻](#), 应用手册。
- 德州仪器 (TI), [使用 ZOUT 对负载感应放大器稳定性问题进行闭环分析](#), 应用手册。
- 德州仪器 (TI), [电压反馈运算放大器的稳定性分析](#) 应用手册。
- 德州仪器 (TI), [OPA593 评估模块](#)。
- 德州仪器 (TI), [高精度实验室系列：运算放大器](#), 培训视频。
- 德州仪器 (TI), [TINA-TI](#)。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司