

## Application Note

# 使用 TPS65219 PMIC 为 Xilinx® Zynq® UltraScale+® MPSoC 供电



## Power Management IC

## 摘要

本应用手册可用于指导将 TPS65219 电源管理集成电路 (PMIC) 集成到为 Xilinx® Zynq® UltraScale+® 系列 MPSoC 供电的系统中。本文档概述了 PMIC 的优势，并为每个电源整合设计提供了电源图示例，以帮助完成设计过程。如有任何问题或需要技术支持，请访问电源管理 [E2E](#) 设计支持论坛。

## 内容

1 引言.....	2
2 TPS65219 概述.....	2
3 供电网络.....	3
3.1 常开：专为优化成本而设计（-1 和 -2 器件）.....	4
3.2 常开：专为功率和/或效率而设计（-1L 和 -2L 器件）.....	7
3.3 常开：专为 PL 性能而设计（-3 器件）.....	10
3.4 完整电源管理灵活性（所有速度等级）.....	13
4 将 NVM 配置文件加载到 PMIC.....	16
5 结语.....	16
6 参考资料.....	16

## 商标

Xilinx® and Zynq® are registered trademarks of Advanced Micro Devices.

UltraScale+® is a registered trademark of Switch, Ltd.

所有商标均为其各自所有者的财产。

## 1 引言

Xilinx 的 Zynq UltraScale+ MPSoC 系列具有高度的灵活性，包含多种不同复杂程度的器件，可用于各种应用。因此，为 Zynq UltraScale+ 供电的设计必须具备相同的灵活性，才能满足复杂产品系列的电源需求。本应用手册介绍了如何配置 TI 的用户可编程 TPS6521905 电源管理 IC (PMIC)，来满足 Xilinx® Zynq® UltraScale+® 的电源要求。MPSoC 集成了多个独立的电源域，这些电源域可以被隔离，以实现低功耗模式，从而降低整体功耗。当应用不需要使用低功耗模式时，也可以合并这些电源域，从而减少所需的电源轨数量，从而降低电源设计的 BOM 大小/成本。

PMIC 和 SoC 数据表提供了建议运行条件、电气特性、建议的外部元件、封装详情、寄存器映射和整体元件功能。如果任何用户指南、应用报告或其他参考资料之间存在任何不一致的地方，应以数据表规格为准。

## 2 TPS65219 概述

TPS65219 是一款成本和空间优化型 PMIC。TPS65219 集成了 3 个降压稳压器、4 个低压降稳压器 (LDO)、GPIO、多功能引脚和 I2C 通信。电源和数字资源可根据各种应用的要求进行配置。GPIO 可配置为在需要时启用或禁用外部分立式 IC。此器件提供两种封装选项：4mm×4mm 0.4m 间距 VQFN 封装或 5mm×5mm 0.5m 间距 VQFN 封装。表 2-1 概述了其电源资源。

TPS6521905 是一种用户可编程的版本，默认情况下所有降压转换器和 LDO 均为禁用状态，便于从启动定制所需的输出电压、时序控制等，以满足系统需求。对于需要 7 个以上电源轨的应用，此 PMIC 还提供多 PMIC 配置，允许同步 2 个 TPS65219 器件的序列。TPS65219 PMIC 具有小型封装选项、高度集成的资源和灵活的配置，是一款适用于 Zynq UltraScale+ 全系列 ZU+ 器件 (从 ZU2CG 到 ZU19EG) 的完整电源解决方案。有关不同 ZU+ 器件的更多信息，请参阅 Xilinx Zynq UltraScale+ 网站。表 2-2 概述了主要的可用资源，以协助完成设计过程和进行 PMIC NVM 编程。如有任何问题或需要技术支持，请访问电源管理 E2E 设计支持论坛。

**表 2-1. TPS65219 电源资源**

	输入电压	输出电压	电流功能	说明
BUCK1	2.5V 至 5.5V	0.6V 至 3.4V	3.5A	<ul style="list-style-type: none"> <li>2.3MHz 开关频率 (自动 PFM 或强制 PWM)</li> <li>动态电压调节</li> <li>可配置的带宽。低带宽用于减小输出电容 (更低的成本)，或高带宽用于支持更高的瞬态 (更高的性能)。</li> <li>可编程电源时序和默认电压。</li> <li>集成电压监控器，可实现欠压和电流限制。</li> </ul>
BUCK2	2.5V 至 5.5V	0.6V 至 3.4V	2A	
BUCK3	2.5V 至 5.5V	0.6V 至 3.4V	2A	
LDO1	1.5V 至 5.5V (LDO、负载开关) 1.5V 至 3.4V (旁路)	0.6V 至 3.4V (LDO) 1.5V 至 3.4V (旁路)	400mA	<ul style="list-style-type: none"> <li>可编程电源时序和默认电压。</li> <li>可配置为 LDO、负载开关或旁路模式。</li> <li>集成电压监控器，可实现欠压和电流限制</li> </ul>
LDO2	1.5V 至 5.5V (LDO、负载开关) 1.5V 至 3.4V (旁路)	0.6V 至 3.4V (LDO) 1.5V 至 3.4V (旁路)	400mA	
LDO3	2.2V 至 5.5V	1.2V 至 3.3V	300mA	<ul style="list-style-type: none"> <li>可编程电源时序和默认电压。</li> <li>可配置为 LDO 或负载开关</li> <li>集成电压监控器，可实现欠压和电流限制。</li> </ul>
LDO4	2.2V 至 5.5V	1.2V 至 3.3V	300mA	

表 2-2. TPS6521905 编程资源

资源	链接
编程指南	<a href="#">TPS65219 非易失性存储器 (NVM) 编程指南</a>
图形用户界面 (GUI)	<a href="#">TPS65219 图形用户界面</a>
插槽式 EVM	<a href="#">TPS65219 非易失性存储器 (NVM) 编程板</a>
编程教程视频	<a href="#">对 TPS6521905 进行编程</a>
TPS6521905 数据表	<a href="#">具有三个直流/直流降压转换器和四个 LDO 的用户可编程电源管理 IC (PMIC)</a>

### 3 供电网络

Xilinx UltraScale MPSoC 需要多个电源轨，以便支持各种功能。有些电源域可以整合，以便在成本、效率或性能方面优化电源设计。本节介绍了每种电源整合方案的供电网络 (PDN)。所有 PDN 都使用 TPS65219 (用户可编程)，后者可以根据不同的应用需求进行配置和优化。除了本应用手册外，TI 还提供 PMIC NVM 配置文件，以协助完成设计过程。这些 NVM 文件包含每个供电网络 (PDN) 上使用的默认寄存器设置，可以轻松上传到 TPS65219-GUI 中以进行重新编程。

表 3-1 展示了不同速度等级下的电源整合选项。每个 PDN 的电源设计均遵循建议的 PL 电源时序，以便尽可能减少电流消耗，并确保 I/O 在上电时为三态。

表 3-1. 电源整合

电源整合	速度等级	供电网络 (PDN)
常开：针对成本进行了优化	-1 和 -2 器件	<a href="#">节 3.1</a>
常开：针对电源/效率进行了优化	-1L 和 -2L 器件	<a href="#">节 3.2</a>
常开：针对 PL 性能进行了优化	-3 器件	<a href="#">节 3.3</a>
完整电源管理灵活性	所有速度等级/器件	<a href="#">节 3.3</a>

### 3.1 常开：专为优化成本而设计（-1 和 -2 器件）

常开/低成本设计的电源整合方案使用 -1/-2 速度等级的器件。该电源方案可以整合 0.85V 电源域。当 VCCINT 和 VCCINT\_IO/VCCBRAM 以相同的电压电平运行时，它们可以由同一电源供电并同时斜升。如果由 External1 和 PMIC DCDC1 支持的所有电源域最大总电流不超过 3.5A，那么可以由 DCDC1 为所有这些电源域供电。或者，也可以由 External1 为所有 0.85V 电源域供电，而来自 PMIC 的 DCDC1 则可重新编程，用于为应用中的其他电源域供电。

#### 备注

如果所有 0.85V 电源域均由 External1 供电，则 PMIC Buck1 可以重新编程为输出 3.3V 并用于为 PMIC LDO 供电，以帮助降低功耗。

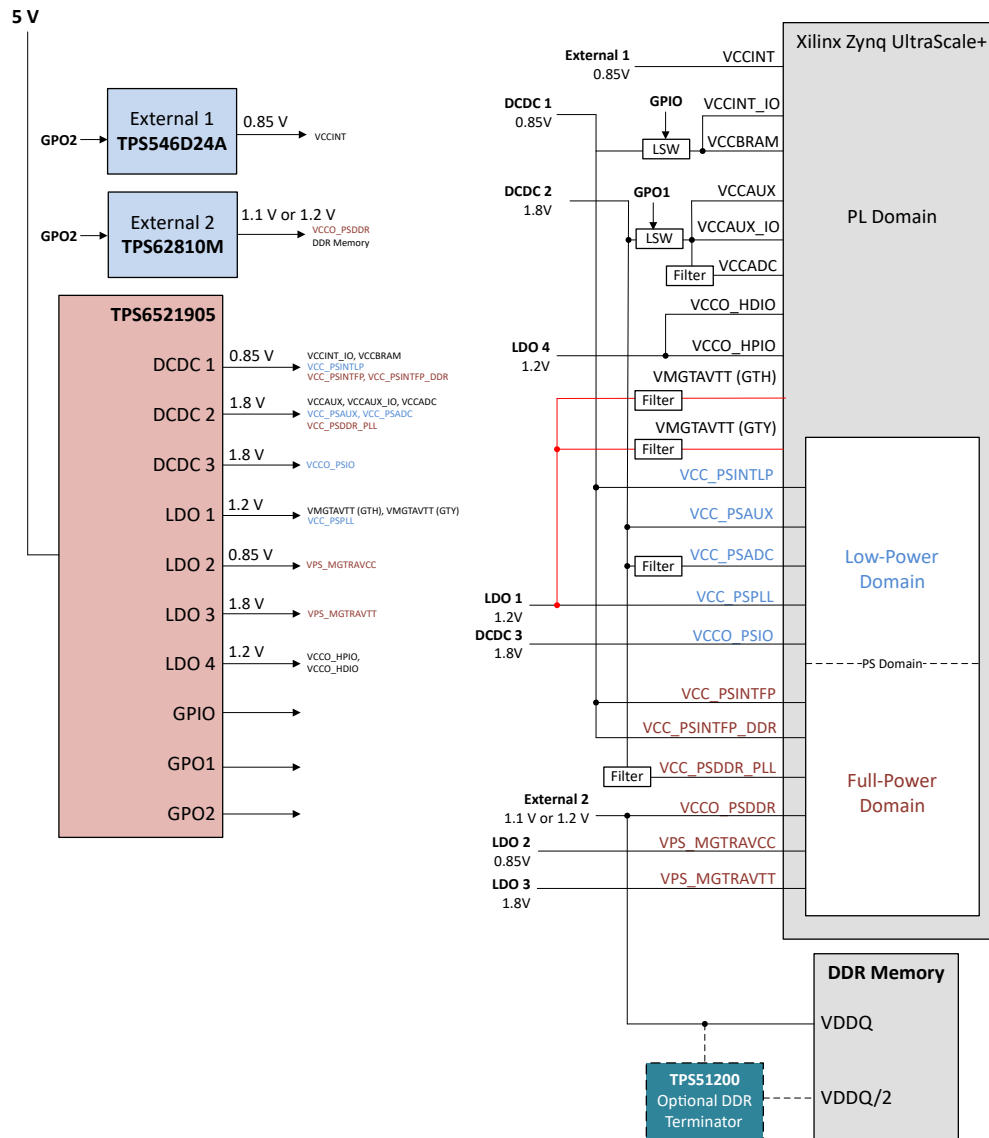


图 3-1. 专为优化成本而设计（-1 和 -2 器件）- PDN

#### 备注

专为优化成本而设计（-1 和 -2 器件）：TPS6521905 PMIC NVM 配置文件[链接](#)。

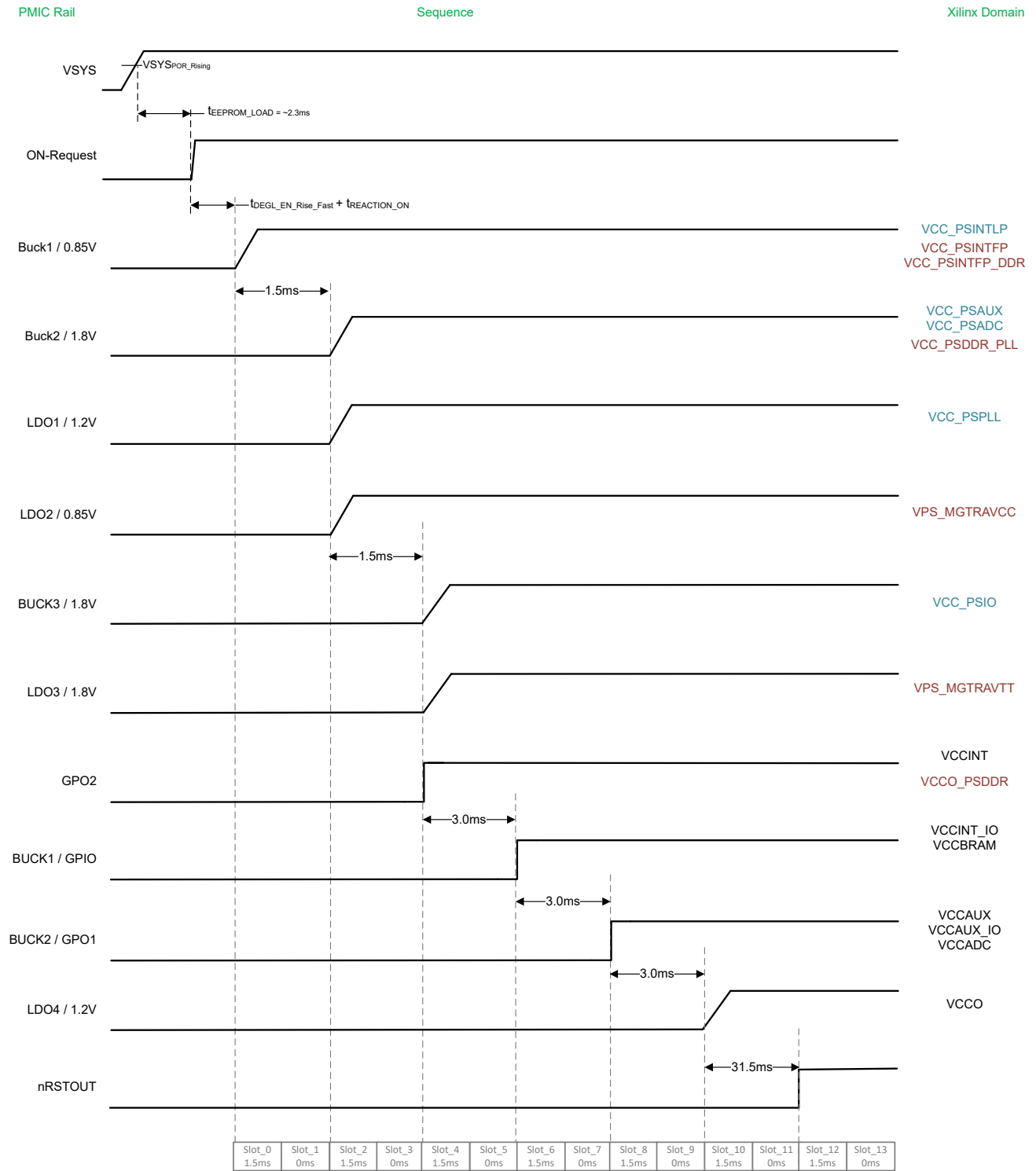


图 3-2. 专为优化成本而设计 (-1 和 -2 器件) - 上电序列

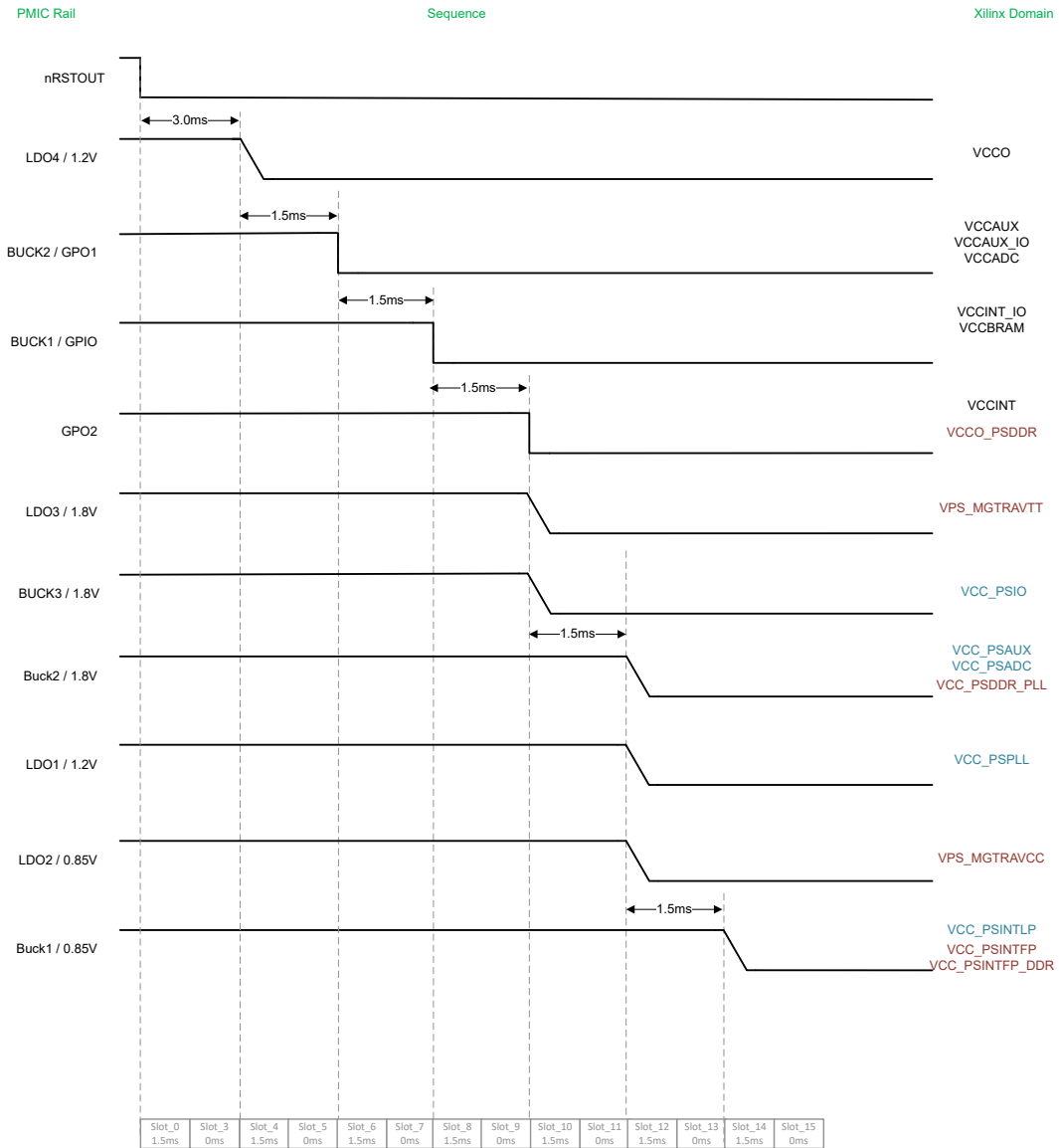


图 3-3. 常开：专为优化成本而设计 (-1 和 -2 器件) - 断电序列

### 3.2 常开：专为功率和/或效率而设计（-1L 和 -2L 器件）

常开功率/效率优化型电源整合方案使用 -1L/-2L 速度等级的器件。该电源方案与成本优化方案类似。不过，-1L 和 -2L 器件允许在 0.72V 电压下运行 VCCINT，这有助于降低功耗并提高效率。

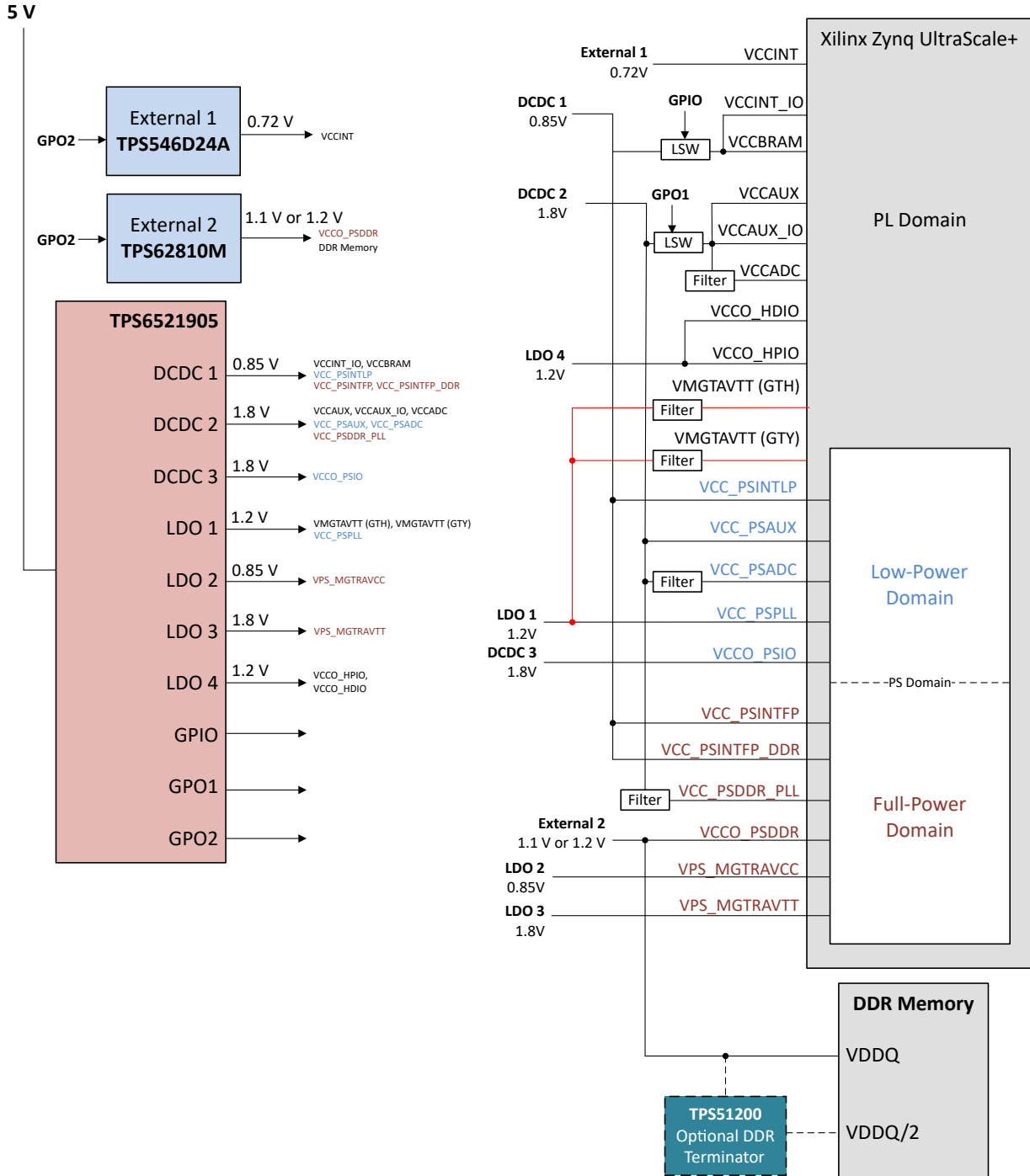


图 3-4. 专为功率和/或效率而设计（-1L 和 -2L 器件）- PDN

#### 备注

专为功率和/或效率而设计（-1L 和 -2L 器件）：TPS6521905 PMIC NVM 配置文件[链接](#)。

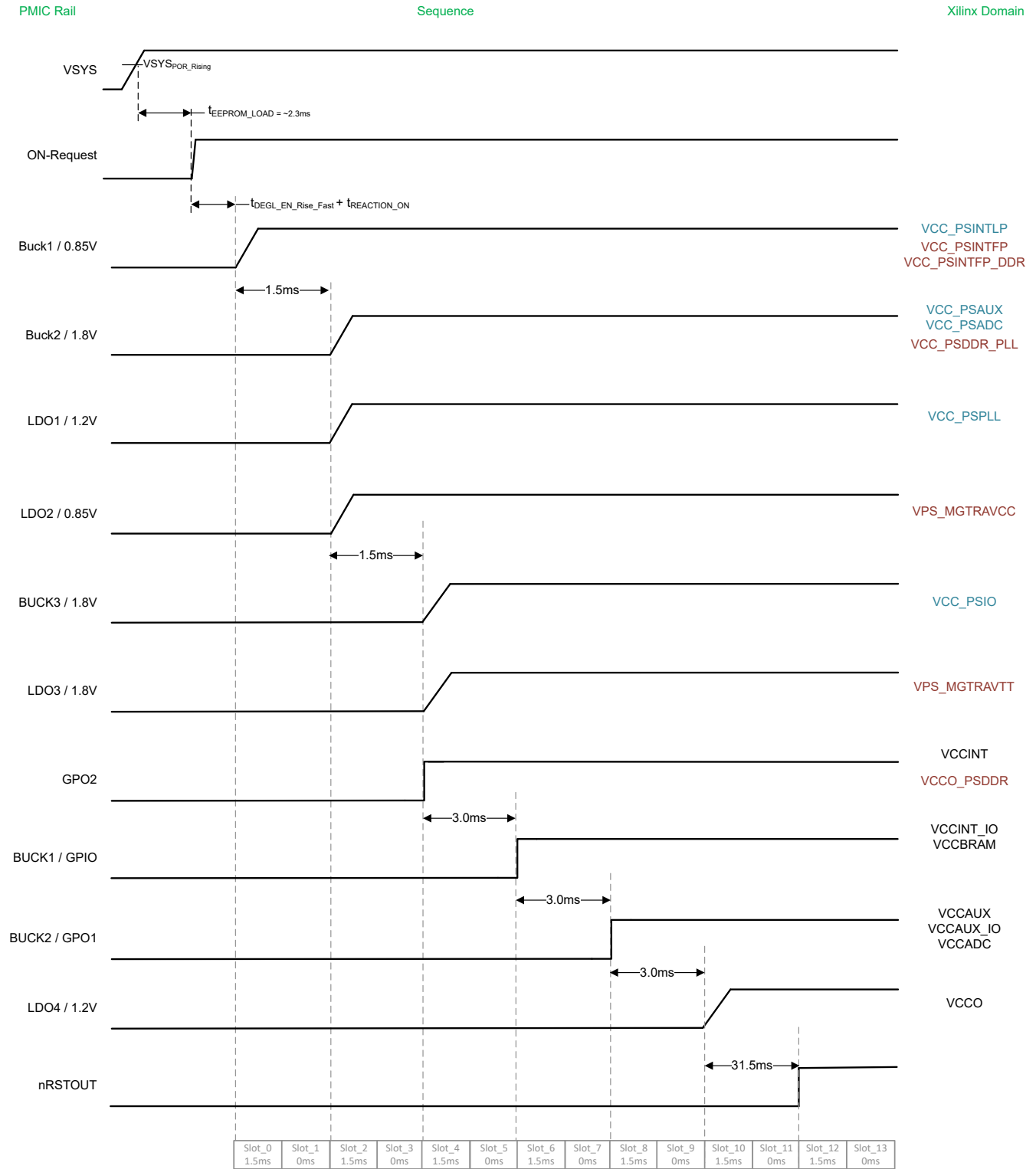


图 3-5. 专为功率和/或效率而设计 (-1L 和 -2L 器件) - 上电序列



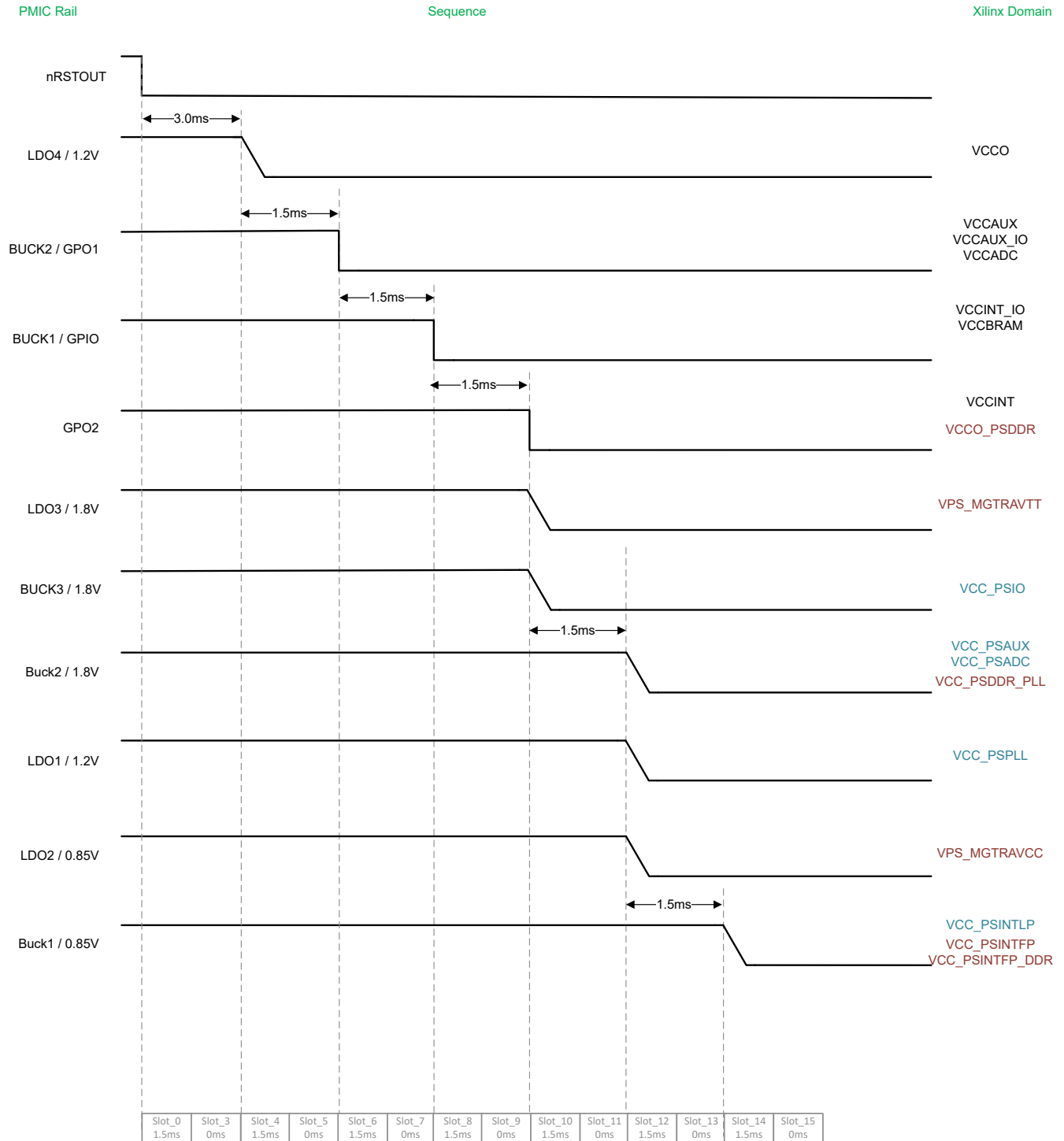


图 3-6. 专为功率和/或效率而设计 (-1L 和 -2L 器件) - 断电序列

### 3.3 常开：专为 PL 性能而设计 (-3 器件)

常开可编程逻辑 (PL) 性能优化的电源整合方案支持最高 PL 性能，并且使用 -3 速度等级的器件。在该电源方案中，所有内核电源轨 (VCCINT、VCCINT\_VCU、VCCBRAM、VCCINT\_IO、VCC\_PSINTLP、VCC\_PSINTFP 和 VCC\_PSINTFP\_DDR) 均在 0.9V 的标称电压下运行。

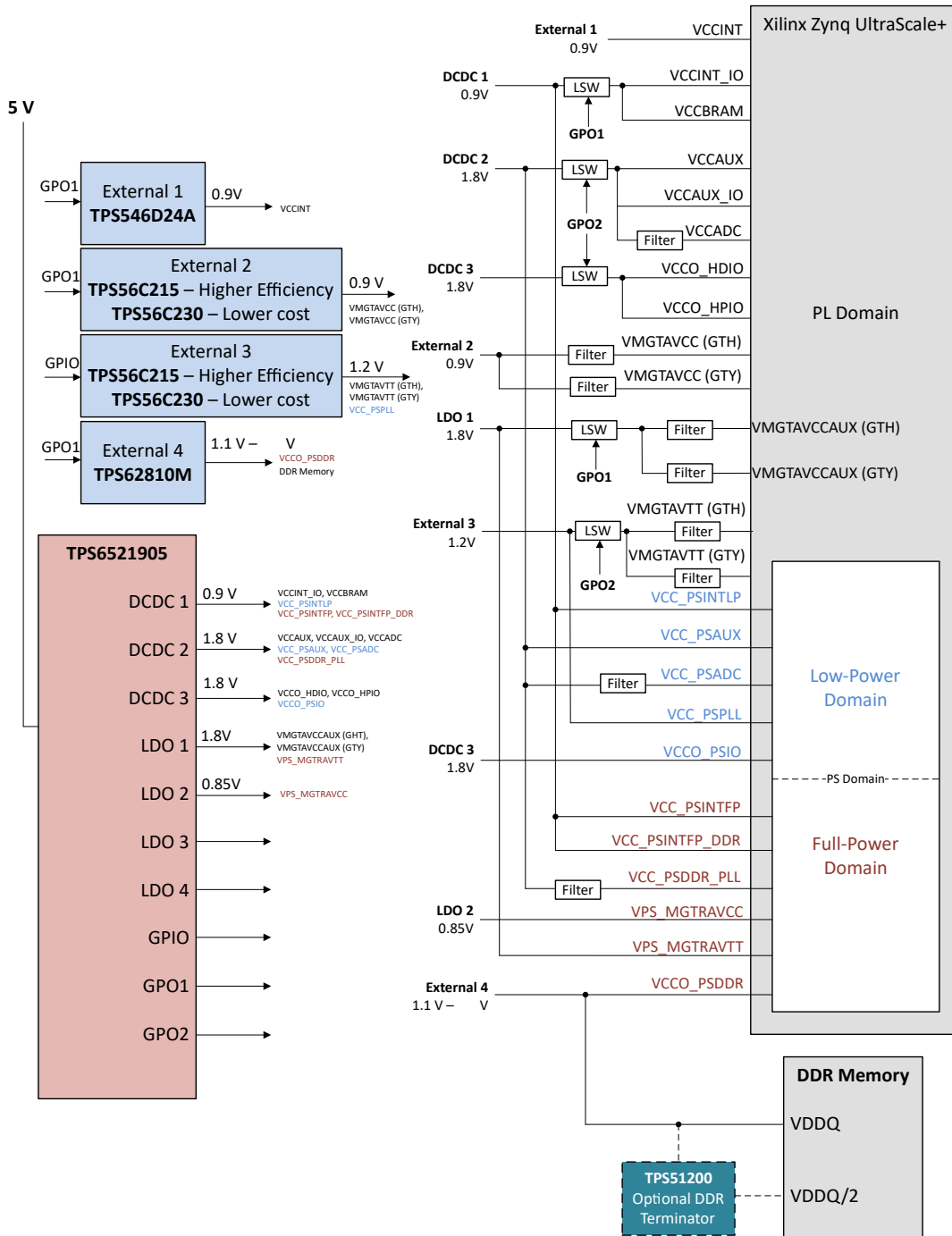


图 3-7. 专为 PL 性能而设计 (-3 器件) - PDN

#### 备注

专为 PL 性能而设计 (-3 器件)：请在 TI 电源管理 E2E 论坛上申请获取 TPS6521905 PMIC NVM 配置文件。

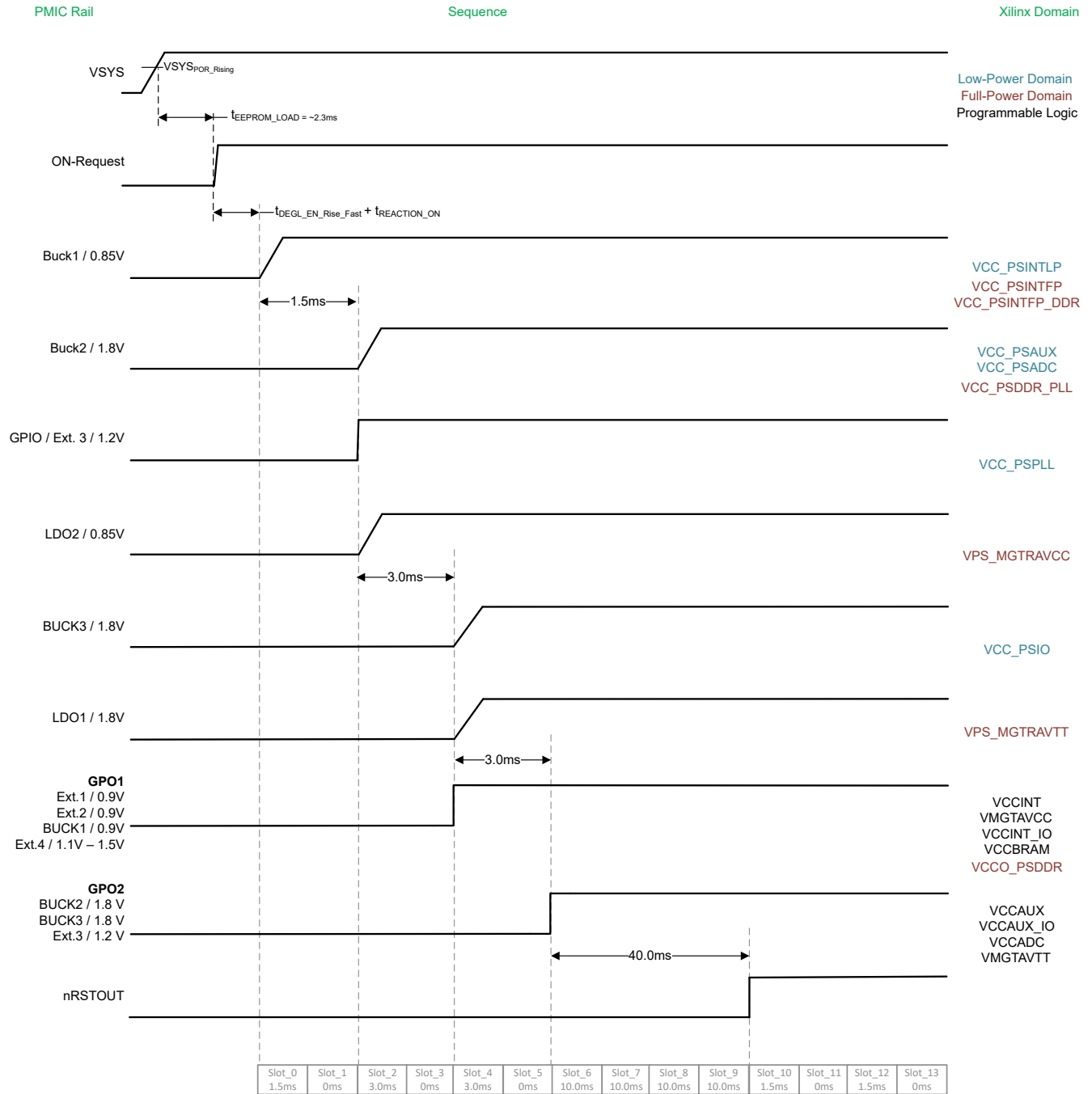


图 3-8. 专为 PL 性能而设计 (-3 器件) - 上电序列

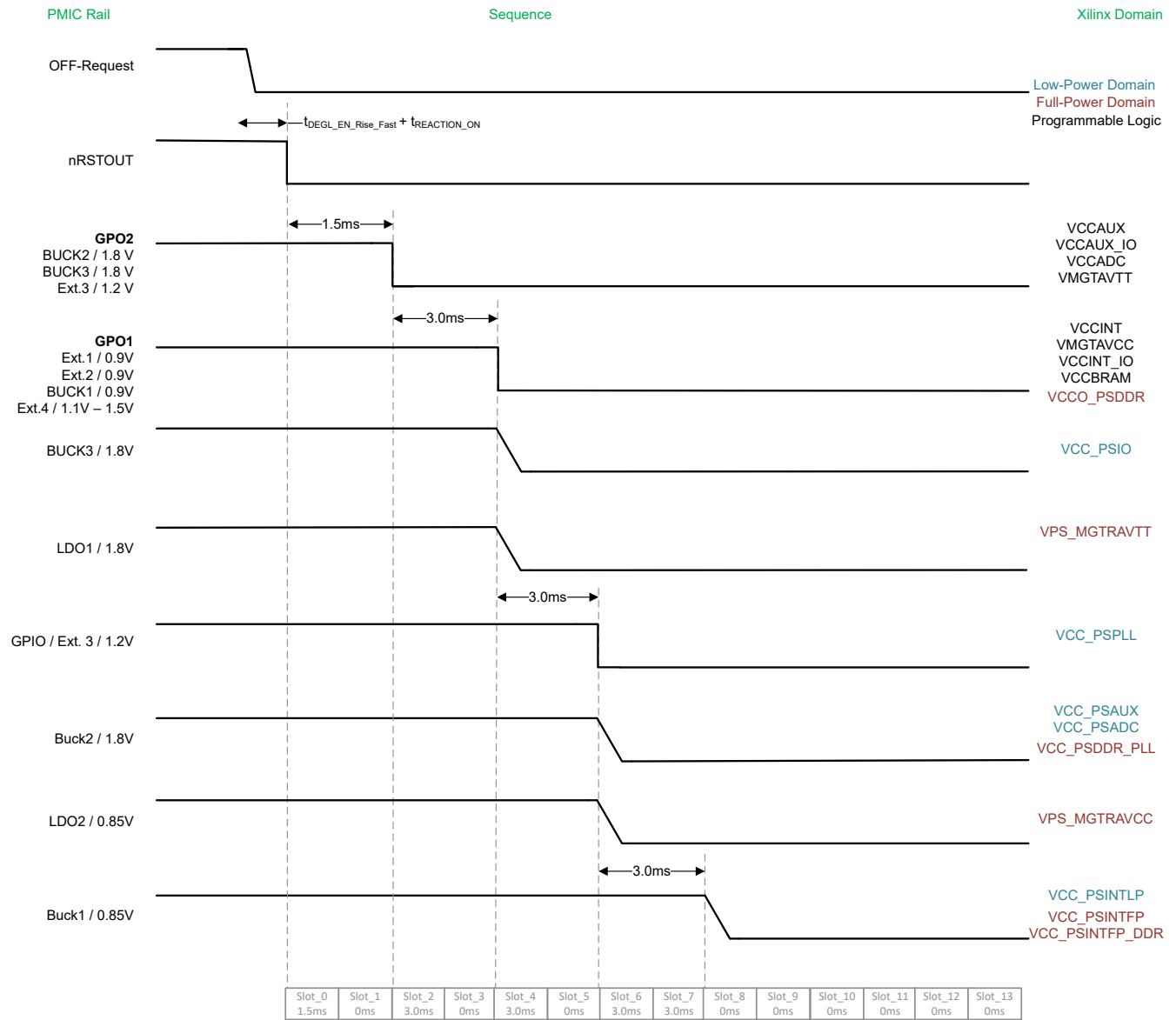


图 3-9. 专为 PL 性能而设计 (-3 器件) - 断电序列

### 3.4 完整电源管理灵活性 ( 所有速度等级 )

所有速度等级的器件均可支持完整电源管理灵活性。此电源方案显著减少了电源域整合，但可以通过超低功耗状态来降低整体功耗和/或更大限度地延长电池寿命。图 3-10 展示了为 Xilinx Zynq UltraScale+ 供电的 TPS65219 多 PMIC 配置和分立式 IC。此 PDN 展示了应用如何隔离四个独立电源域 ( LPD、FPD、PLPD 和 BPD ) 以在不使用时禁用特定的电源轨。

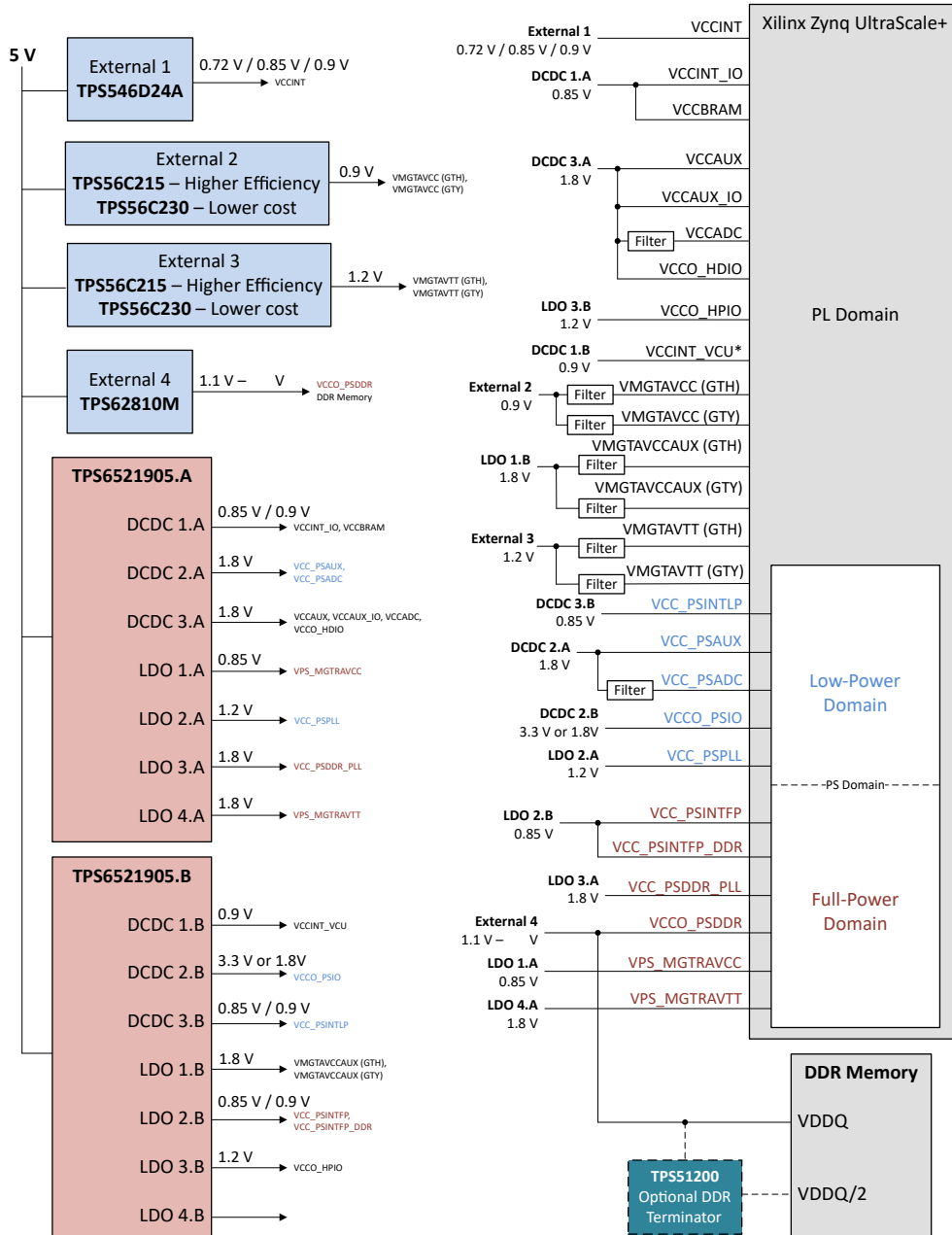


图 3-10. 完整电源管理 PDN

#### 备注

完整电源管理：请在 TI 电源管理 E2E 论坛上申请获取 TPS6521905 PMIC NVM 配置文件。

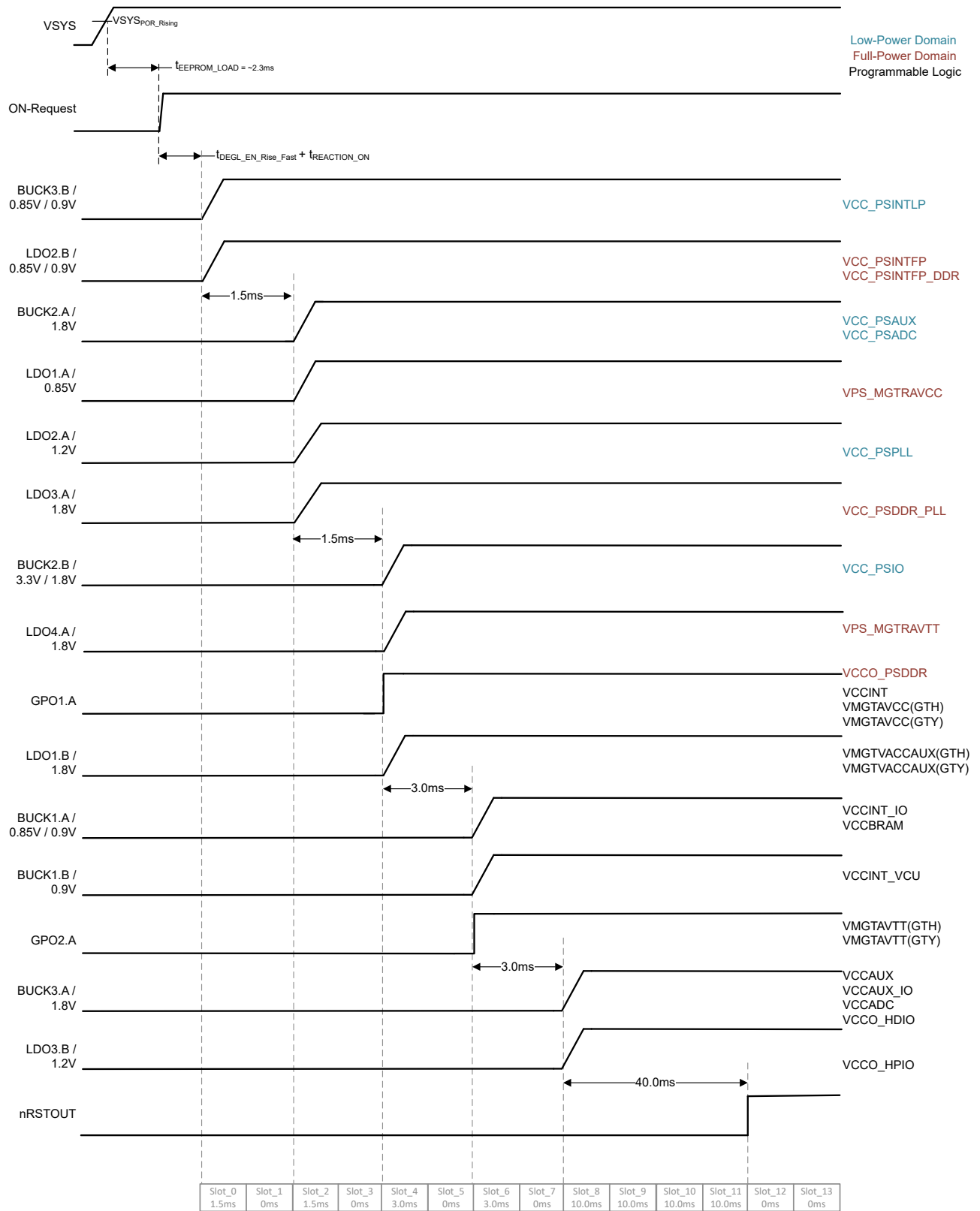


图 3-11. 完整电源管理 - 上电序列

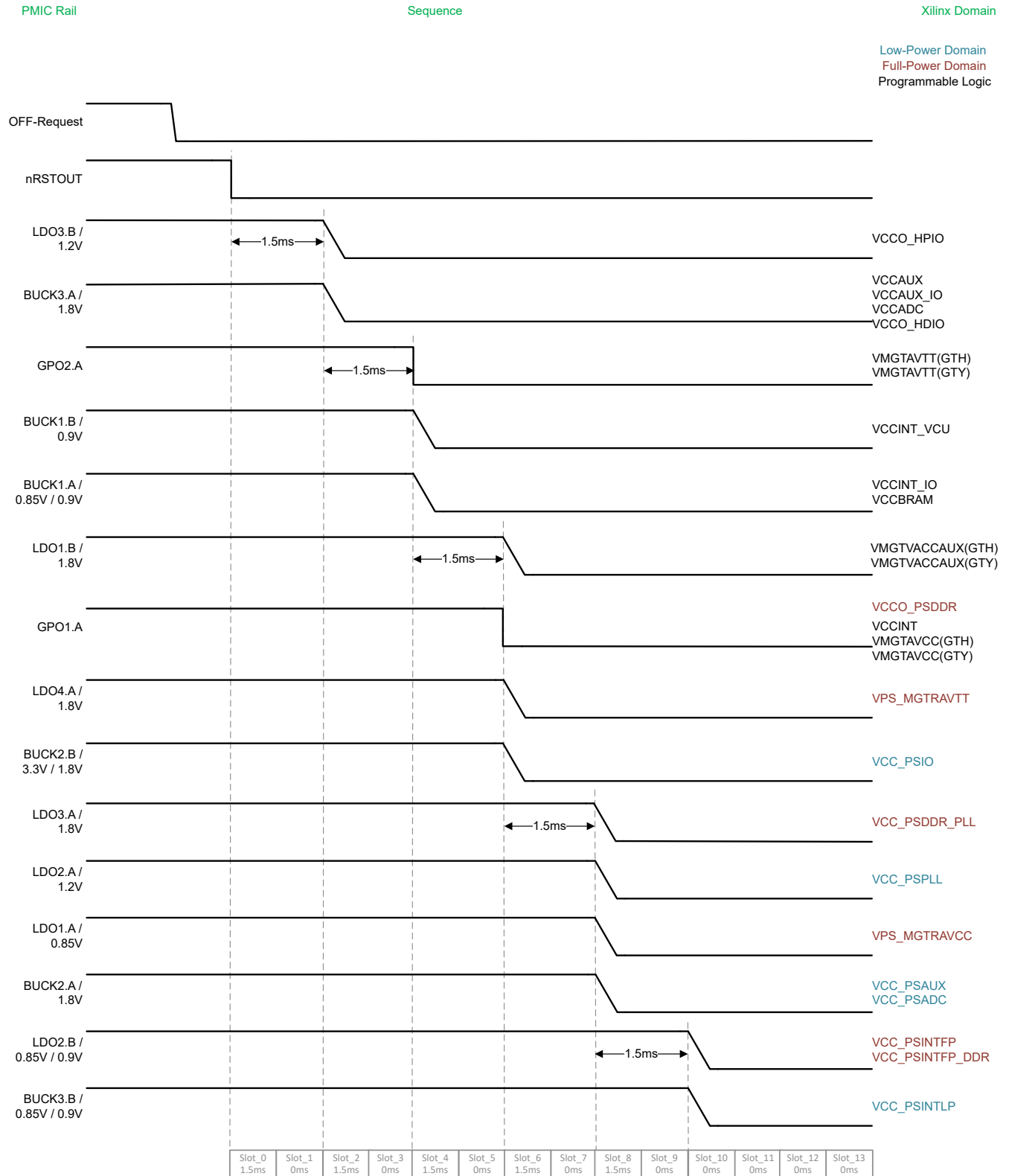


图 3-12. 完整电源管理 - 断电序列

## 4 将 NVM 配置文件加载到 PMIC

图 4-1 中所示的图描述了将预配置的 NVM 文件 (.CSV 或 .JSON 扩展名) 加载到 PMIC NVM 中的过程。焊接 EVM (TPS65219EVM) 可用作参考, 但也可使用插槽式 EVM。ti.com 上的 TPS6521905 产品页面包含多个 NVM 文件, 这些文件经过预先配置, 可满足特定处理器或 SoC 的要求。这些可在设计工具和仿真下找到。TI 的客户可以重复使用这些文件, 在其生产线上或通过与经销商联系来对 PMIC 重新编程。

### 备注

如果预先配置的 NVM 文件无法满足所有应用要求, 仍可将这些 NVM 文件加载到 TPS65219-GUI, 然后进行必要的更改并生成新的 NVM 文件。

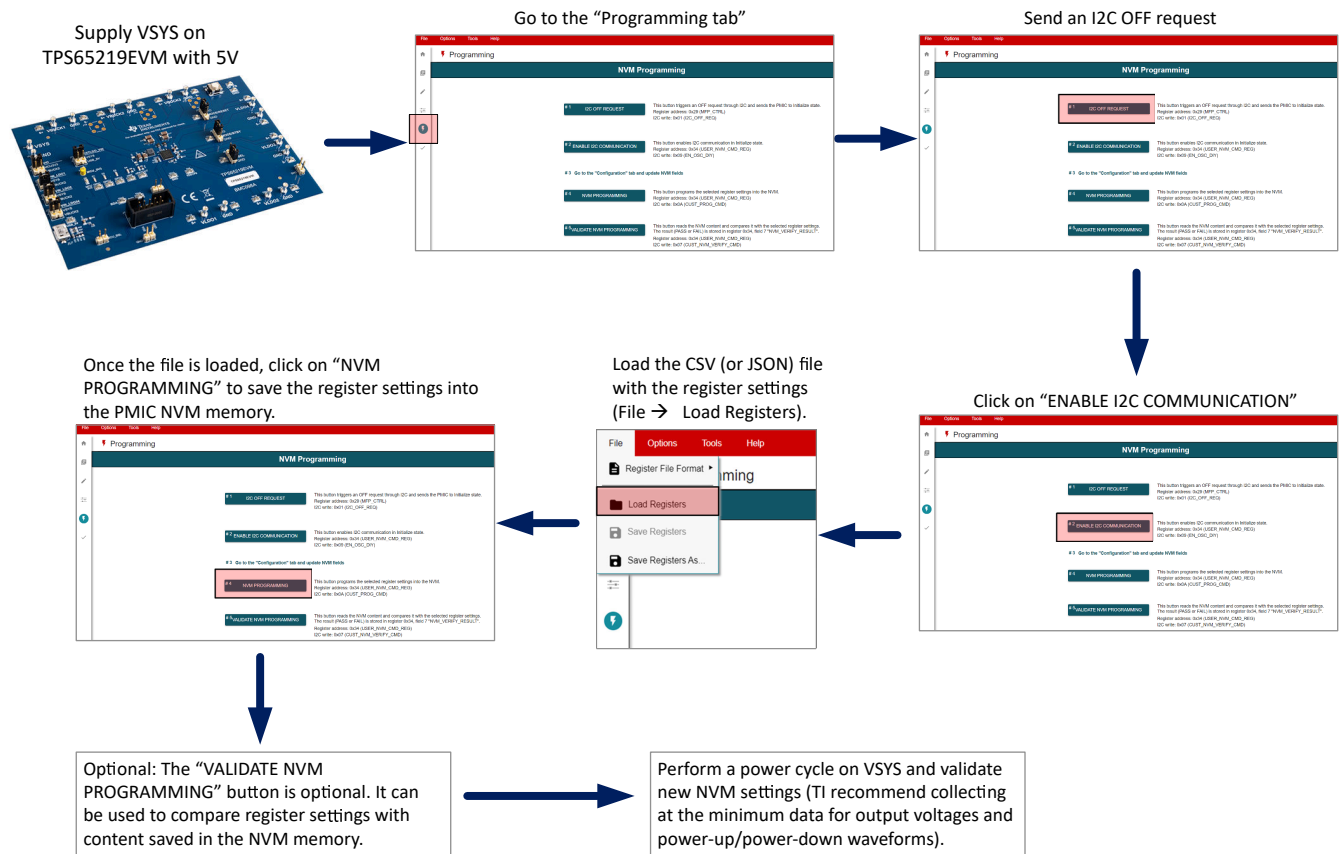


图 4-1. 加载 NVM 配置文件

## 5 结语

TPS6521905 电源管理 IC (PMIC) 集成了灵活的模拟和数字资源, 能够根据 Xilinx Zynq UltraScale+ MPSoC 不同的电源整合要求进行编程。PMIC 可编程 NVM 存储器支持快速原型设计并可以缩短产品上市时间。此 PMIC 与分立式元件相结合, 提供了具有竞争力的可扩展小型 BOM 和低成本电源设计。

## 6 参考资料

- 德州仪器 (TI), [具有三个直流/直流降压转换器和四个 LDO 的用户可编程电源管理 IC \(PMIC\)](#), 数据表。
- AMD Xilinx, [Zynq UltraScale+ MPSoC Data Sheet: DC and AC Switching Characteristics \(DS925\)](#)。
- AMD Xilinx, [UltraScale Architecture PCB Design User Guide \(UG583\)](#)。



## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司