

Application Note

电流检测放大器的 ESD、EOS 和闩锁效应事件的风险和预防



Peter Iliya

摘要

本应用手册讨论了降低电流检测放大器因静电放电 (ESD)、电过应力事件 (EOS) 和闩锁效应 (LU) 而导致异常运行和/或损坏的风险的最佳实践。

内容

1 引言.....	2
2 什么是 ESD、EOS 和闩锁效应?	2
2.1 电过应力.....	2
2.2 静电放电.....	2
2.3 闩锁效应.....	3
3 电流检测放大器的高风险应用.....	3
3.1 具有过压瞬态浪涌 (EOS) 的应用.....	4
3.2 脉宽调制电流检测风险.....	5
3.3 具有严重电磁干扰的应用.....	6
3.4 CSA 电源 (VS 或 GND) 引脚悬空的应用.....	8
4 总结.....	9
5 参考资料.....	9

商标

所有商标均为其各自所有者的财产。

1 引言

所有放大器都存在固有损坏风险，或因静电放电 (ESD)、电过应力事件 (EOS) 和闩锁效应 (LU) 而导致异常运行。许多缓解或防止这些风险的方法与多年来提出的大多数放大器技术类似。但是，设计人员在构建 PCB 之前需要考虑一些特定于使用电流检测放大器 (CSA) 的风险。

2 什么是 ESD、EOS 和闩锁效应？

2.1 电过应力

电过应力 (EOS) 事件是使器件承受超过可承受额定电压 (或绝对最大额定电压) 的过压事件。一旦事件持续时间超过几百纳秒，就可将其视为 EOS。EOS 事件主要在 IC 元件元组装到 PCB 上时发生。EOS 事件通常会开启 ESD 单元，并导致它们传导电流的时间超过设计时间，从而产生破坏性热量。

一般而言，通过将输入电流限制在小于 5mA 峰值的输入电阻器 and/或将输入引脚钳位在数据表中所示的绝对最大额定值以下，可以防止 CSA 发生 EOS 事件造成的损坏风险。

2.2 静电放电

静电放电 (ESD) 事件是一种快速高压事件 (尖峰时间在数百纳秒内结束)，是在将 IC 元件装配到 PCB 上之前或之后，由人和机器对 IC 元件的处理过程中积累的静电荷突然放电造成的。CSA (以及大多数通用放大器) 通过 ESD 单元受到保护，不会受到高压和快速边沿 ESD 事件的影响。ESD 单元很复杂，但基本上由吸收器件和体二极管组成。

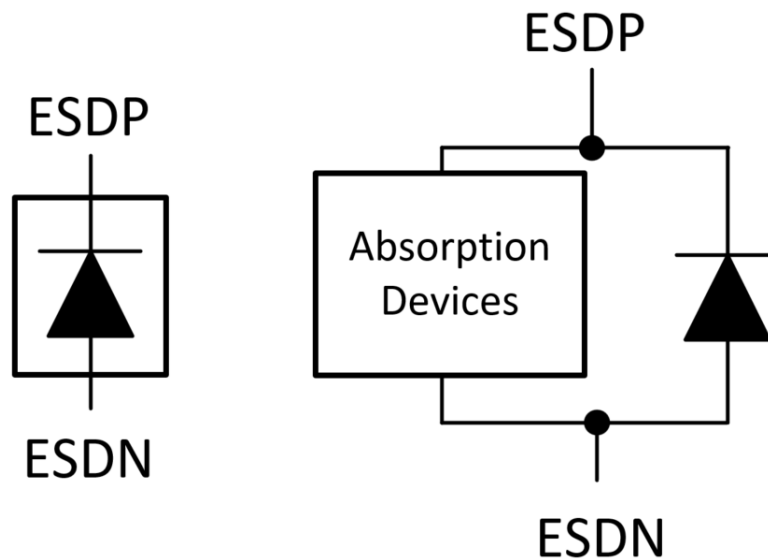


图 2-1. ESD 单元

对于快速过压事件 (正压或负压)，将触发 ESD 单元，然后吸收器件可以快速开始吸收越来越大的电流。一旦通过吸收器件的电流足够高，电流就会回弹。但是，如果过压事件的持续时间超过 ESD 为 EOS 设计的时间，并且无法限制流入 ESD 单元的电流，则电流会迅速增加并产生过多热量，从而损坏器件。

请注意，当输入电压降至 -0.3V 以下的某个值时，ESD 单元的体二极管可能变为正向偏置。这就是许多标准低压 CSA 的最小绝对共模电压 (V_{CM}) 额定值为 GND-0.3V 的原因。

图 2-2 展示了 CSA 的通用 ESD 拓扑。

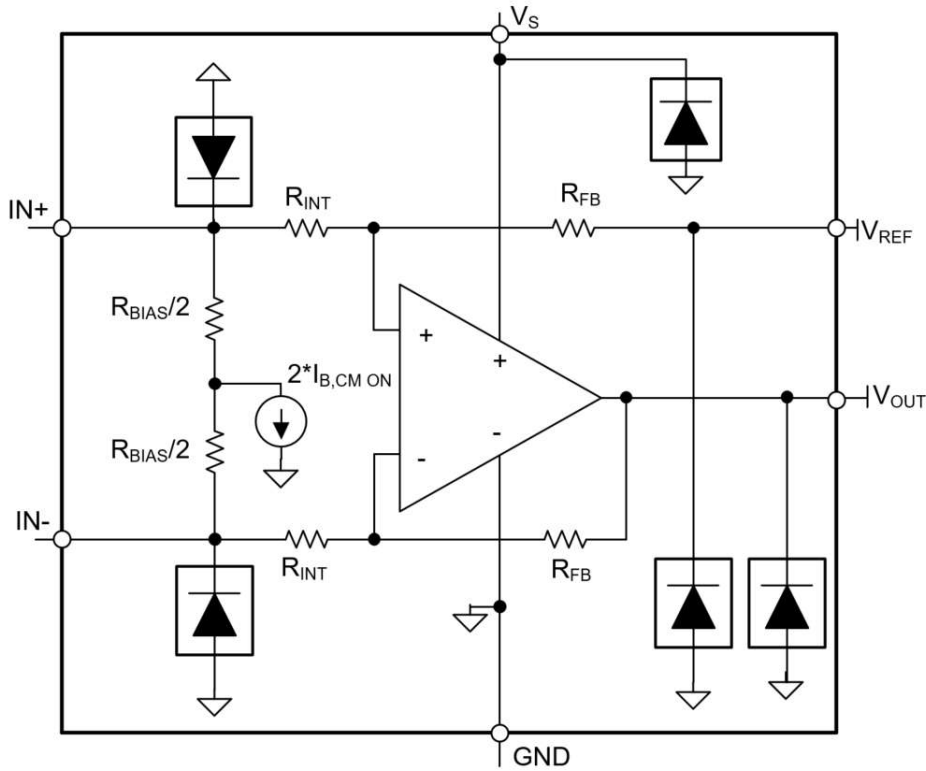


图 2-2. ESD 架构单级 CSA

2.3 闩锁效应

闩锁效应 (LU) 是 V_S 和 GND 之间的低阻抗路径，会极大地增加电源电流，并很容易通过持续发热损坏器件。尽管闩锁效应并不总是会造成损坏，但可以通过下电上电来消除。

所有基于 CMOS 或 BiCMOS 或采用结隔离工艺的 IC 中都可能出现闩锁效应，这是因为通过基本用法使用 NMOS 和 PMOS 晶体管时，会存在由 PN 结形成的固有横向寄生晶体管和二极管。

引起闩锁效应的三种方式是过压、电流注入和快速瞬变。在正常器件工作条件下，这些事件可能会导致 ESD 单元被意外激活。如果 ESD 单元由 EOS 或快速边沿瞬变充分触发，可能会导致载波从 ESD 单元涌入器件基板，进而导致闩锁效应。

大多数闩锁效应是 ESD 单元或寄生通路导通造成的。ESD 单元是一个载波容器，当输入端存在触发因素时，载波容器可能会溢出布局 and 基板。

使用防护环可以缓解 IC 中的闩锁效应。防护环充当载流阱，以防止载波进入器件基板。如果载波太多，闩锁效应可能发生于防护环下方或上方。所有 ESD 单元都可以拥有自己的防护环。

然而，只有当电源引脚为低阻抗，并且去耦电容足够大时，防护环才能正常工作。因此，如果不采用基本布局技术，放大器可能会变得更容易发生闩锁效应。

如需了解更多信息，请参考[闩锁效应](#)白皮书，其中介绍了 IC 闩锁效应的理论和实践。

3 电流检测放大器的高风险应用

按照推荐的方式使用时，在大多数应用中，电流检测放大器损坏或异常运行的风险非常低。然而，有些应用确实需要某些基本的预防措施和风险缓解技术。

3.1 具有过压瞬态浪涌 (EOS) 的应用

对于输入电压可能超过输入额定值的应用，最简单的方法是选择可承受该电压的 CSA (甚至是基于霍尔效应的传感器或隔离式电流传感器)；不过，这种做法并不总是可行。如果不可行，最佳实践是使用 图 3-1 中所示的以下输入保护方案。

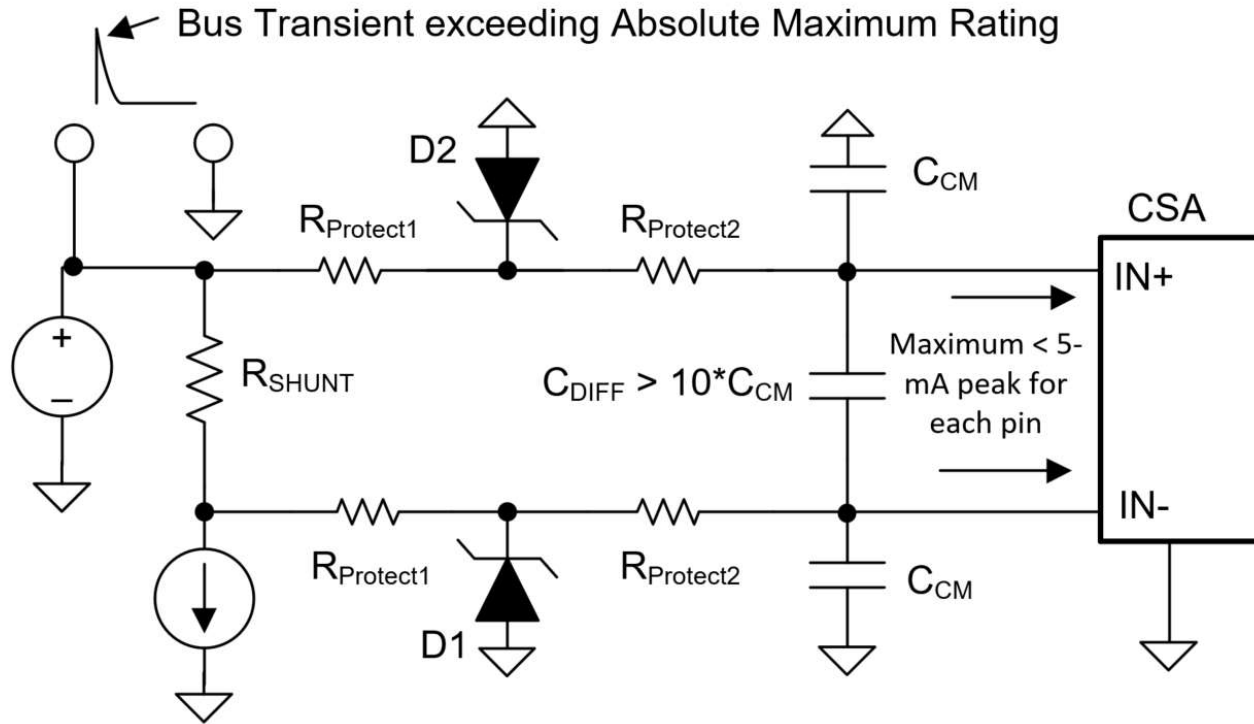


图 3-1. EOS 输入保护

在图 3-1 中，D1 和 D2 需要在 CSA 达到绝对最大 V_{CM} 电压之前提供反向击穿电压。理想情况下，输入引脚上的电压在达到最大 V_{CM} 额定值之前被钳制。如果 D1 和 D2 在达到 V_{CM} 额定值之后钳制，R_{Protect2} 电阻器可以将流入 ESD 引脚的剩余电流限制在小于 5mA 峰值。方程式 1 展示了用于确定 R_{Protect2} 的一般公式。

$$1 R_{Protect2_PositiveVCM} > (V_{Clamp} - V_{CM, Max})/5mA \quad (1)$$

图 3-1 所示为单向二极管而不是双向 TVS 二极管，因为在负电压事件期间，钳位二极管会利用其正向偏置特性击穿，这比较大的击穿电压好得多。产生的正向偏置电压 (V_F) 可能小于低侧 CSA 的 -0.3V 最小 V_{CM} 额定值。因此，对于负电压浪涌，R_{Protect2} 可能仍然需要根据方程式 2 来限制电流。

$$2 R_{Protect2_NegativeVcm} > (V_F - 0.3V)/5mA \quad (2)$$

如果 CSA 要达到 IEC61000-4-2 等系统级标准，D1 和 D2 需要是 TVS 二极管。对于任何不太严格和/或较慢的 EOS 事件，D1 和 D2 可以是齐纳二极管，它们的额定值可在发生 EOS 的时间内承受电流消耗。最好保守地假设 EOS 状态可以无限期持续下去。

R_{Protect1} 有助于限制主要流入 D1 和 D2 的电流 (从而降低所需的额定功率)。然而，由于存在 D1 和 D2 漏电流，可能会随着温度的变化产生电路失调电压误差。这些漏电流的不匹配，以及 R_{Protect1} 电阻器的不匹配，可能在 R_{Protect1} 电阻器中产生可变压降，从而导致输入失调电压误差。

输入电容 (C_{CM} 和 C_{DIFF}) 可以衰减快速电压浪涌，从而提高系统级测试的稳健性和抗噪性。

大多数 CSA (INA190 或 INA186 等高输入阻抗的 CSA 除外) 可能要求输入端的总电阻 ($R_{\text{Protect1}}+R_{\text{Protect2}}$) 小于 $10\ \Omega$, 以避免任何明显的误差变化。不过, 有一些方法可以限制此误差。有关详细信息, 请参阅 [电流检测放大器的输入电阻误差](#) 用户指南。

在 [电流并联监视器的瞬态稳定性](#) 参考设计中可以找到针对 IEC 浪涌的附加 CSA 测试。

3.2 脉宽调制电流检测风险

检测直列式元件意味着分流电阻器位于源极旁边, 并受到开关输入共模电压的影响, 例如高侧和低侧 FET 之间电机旁边的分流器。对于直列式检测, TI 建议使用具有 PWM 增强抑制功能的电流检测放大器, 例如 INA240、INA241、INA253、INA254 和 INA790。从功能上讲, 由于交流共模抑制有限, 其他 CSA 也不能正常工作, 因为这种抑制会产生较大的输出干扰。

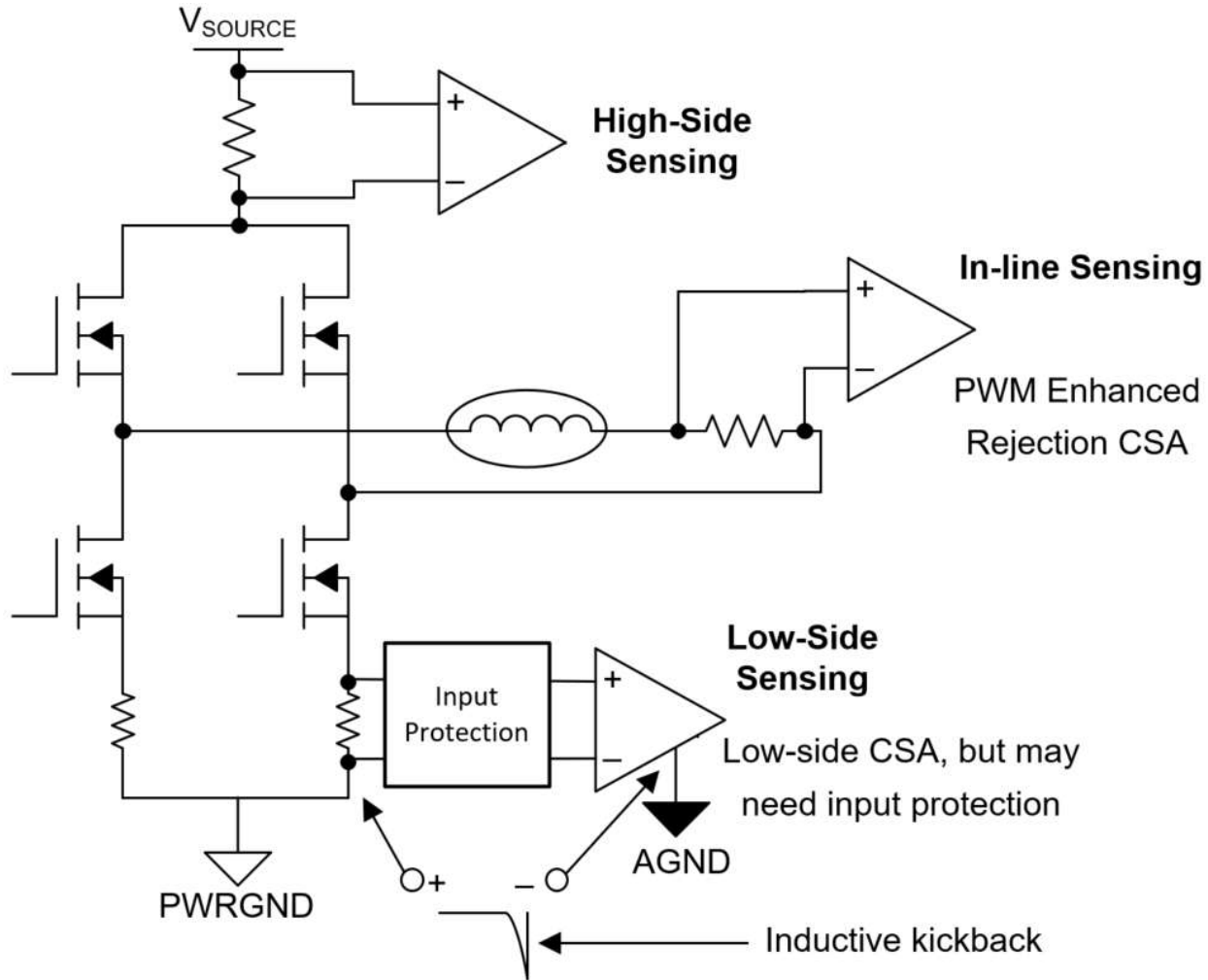


图 3-2. H 桥中的电流检测风险

此外, 测量 FET 的直列侧甚至低侧可能会使 CSA 受到电感反冲的影响, 从而将输入 V_{CM} 拉至 -0.3V 以下。如果在 FET 的低侧使用低侧 CSA (V_{CM} 额定值最小为 $\text{GND}-0.3\text{V}$), 请注意考虑电感反冲。

虽然假设 FET 接地 (PWRGND) 和 CSA 接地 (AGND) 必须相同, 因此 V_{CM} 必须始终为 0V , 这似乎很简单, 但如果 PWRGND 和 AGND 之间存在高阻抗连接, 就不可能做到这一点, 因为高阻抗连接会产生接地环路, 而电感反冲又会加剧这种情况。

如果测量到低侧 CSA 的电感反冲电压较大, 则 CSA 可能需要输入保护, 如图 3-1 所示, 在低电感反冲电压下不需要 D1 和 D2, 或者可以使用快速作用的肖特基二极管代替以进行钳位。

3.3 具有严重电磁干扰的应用

这些应用面临两种不同的风险：电磁干扰 (EMI) 引起的噪声和 EMI 引起的闩锁效应。显然，与信号噪声升高相比，闩锁效应是更严重的结果；然而，推荐用于缓解这两种风险的最佳布局实践是相同的。

尽管 EMI 噪声听起来不危险，但当与不良布局实践结合时，EMI 噪声会增加 CSA 闩锁效应的可能性，尤其是在 V_S 引脚处。简单的布局技术可以完全消除该风险。究其原因，还是要回到节 2.3 中讨论的防护环，以及内部 ESD 防护环如何在 ESD 防护环溢出基板之前吸收多余的载波，从而帮助防止闩锁效应。简而言之，要确保防护环按预期运行并降低闩锁风险，就必须进行适当的布局。

电机或其他开关 FET 的快速大电压或大电流开关布线是 EMI 噪声的主要来源。因此，当 V_S 布线较长并绕过 EMI 源时， V_S 引脚可能更容易受到 EMI 耦合的影响。

3.3.1 减少 EMI 感应闩锁效应或噪声的布局最佳实践

3.3.1.1 正确接地和去耦电容技术

1. GND 引脚具有到去耦电容器焊盘的直接低阻抗路径。
2. 从去耦接地焊盘到系统接地覆铜之间存在低阻抗直接路径。
3. 电源引脚 (V_S) 的电源布线必须经过去耦电容器。

图 3-3 是标准 CSA 上电源和输入引脚处正确滤波器布局的示例。C12 是标准 0.1 μF 去耦电容器。

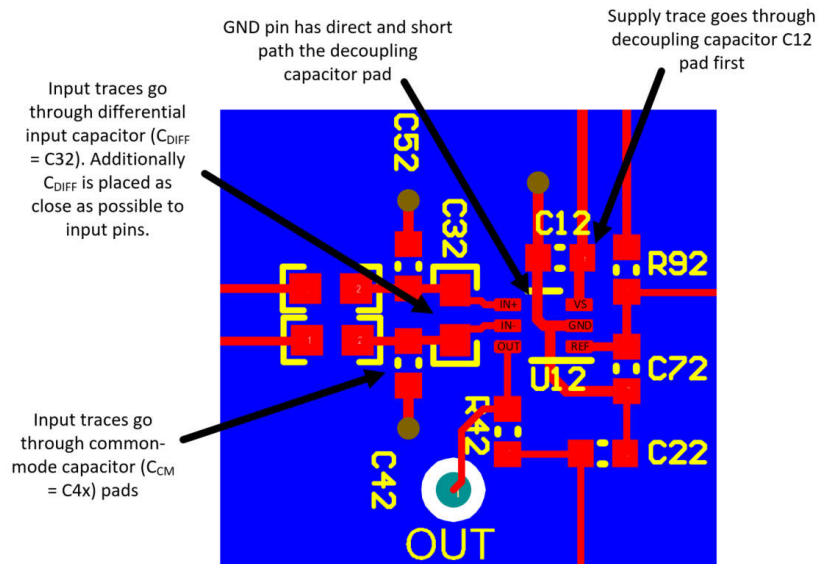


图 3-3. 良好的去耦电容布局

图 3-4 展示了不良布局，其中 GND 引脚和去耦电容器之间具有显著的阻抗，使得该器件易受 EMI 环境中闩锁效应的影响。

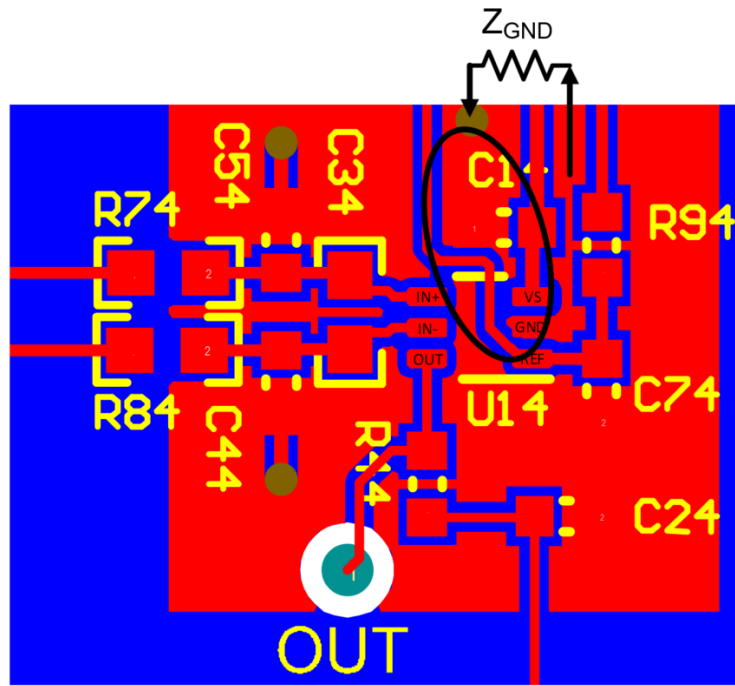


图 3-4. 具有引脚到电容器阻抗的不良去耦电容器布局

3.3.1.2 额外的高级布局技术

大多数情况下，上述基本布局技术将消除 EMI 在 VS 上引起的闩锁效应所带来的风险；不过，对于过大的噪声耦合，最好遵循这些额外的布局技术，尽可能减少信号中的噪声。

1. 对输入引脚使用尽可能短而宽的布线。
2. 使用多个过孔（或使用更大的过孔进行平面连接）。
 - a. 在顶层和平面之间使用更薄的电介质间距，以减小过孔电感。
 - b. 添加更多并联电容器可以减少 ESL 并改进滤波；但是，最佳实践是让这些电容器具有相同的值，因为目前制造的大多数陶瓷电容器（尺寸相同）都具有相同的阻抗，而不考虑指定的电容值。因此，尝试使用多个不同电容的并联电容器可能会产生不可预测的谐振。
3. 在 VS 引脚处使用 LC 或 π 型滤波器进一步衰减噪声。
4. 用接地线或覆铜和过孔屏蔽或保护敏感布线，以形成垂直屏蔽墙。

3.3.1.3 用于降低噪声的适当输入滤波布局技术

1. 输入布线被认为是一种差分网，并且尽可能靠近。
2. 输入布线经过输入共模电容器 (C_{CM}) 和差分电容器 (C_{DIFF}) 焊盘。
3. 输入电阻器 (R_{FILTER}) 保持在 $10\ \Omega$ （电容耦合输入 CSA 为 $1k\ \Omega$ ，如 INA186、INA190 或 INAx191）以下。如果需要更大的输入电阻器，请参考此 [电流检测放大器的输入电阻误差](#) 用户指南，了解如何计算误差的增加。
4. C_{CM} 和 C_{DIFF} 靠近 CSA 输入引脚放置。
5. C_{CM} 具有到 CSA 接地引脚的低阻抗直接路径。
6. C_{DIFF} 超过 C_{CM} 值的 10 倍。这样做的原因是为了消除 C_{CM} 不匹配的情况，以及由此产生的动态偏移的影响，从而在 V_{CM} 突然变化期间保持检测电压稳定。
7. 如果使用电容耦合 CSA，则通常需要添加一个大于 $1nF$ 的 C_{DIFF} ，以使输入前端电容器在具有周期性电流瞬态负载，或者在输入电阻器为高电平，或输入布线较长而产生高输入电感时保持稳定。有关详细信息，请参阅数据表 and 此 [电流检测放大器的输入电阻误差](#) 用户指南。

图 3-5 展示了滤除 CSA 输入噪声的一般原理图。

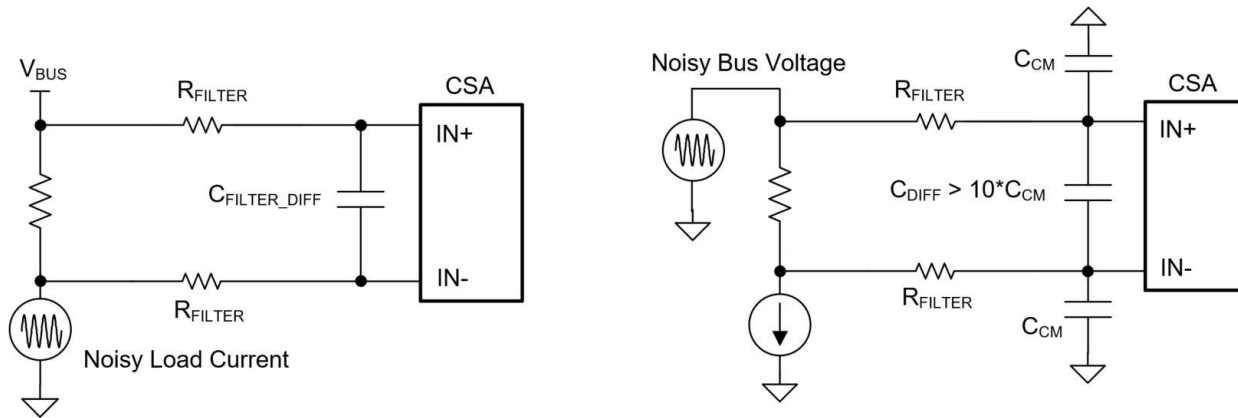


图 3-5. 针对 EMI 感应噪声的输入滤波

3.4 CSA 电源 (VS 或 GND) 引脚悬空的应用

通常，由于存在闩锁效应的固有风险，TI 不建议使用开关或 FET 将 CSA 的电源引脚悬空，如图 3-6 所示。专为 VS 设计的电路在关断时需要驱动至 GND，在这种情况下，CSA 不需要电源序列。VS 和 IN+/IN- 可以相互独立地开启或关断。

当输入引脚 (IN+ 和 IN-) 连接到电压 (总线打开)，并且悬空 VS 或 GND 突然通过 FET 切换或物理连接到模拟电源时，可能会发生这种闩锁效应。这可以称为热插拔或热交换。这种情况存在两个基本问题：

- 当 VS 悬空且输入引脚连接到带电总线电压时，CSA VS 引脚可能会悬空至某个未知状态，通常比 GND 引脚最高 1V。
- 当发生热插拔时，这会产生一个噪声非常大且不受控制的充电电路。

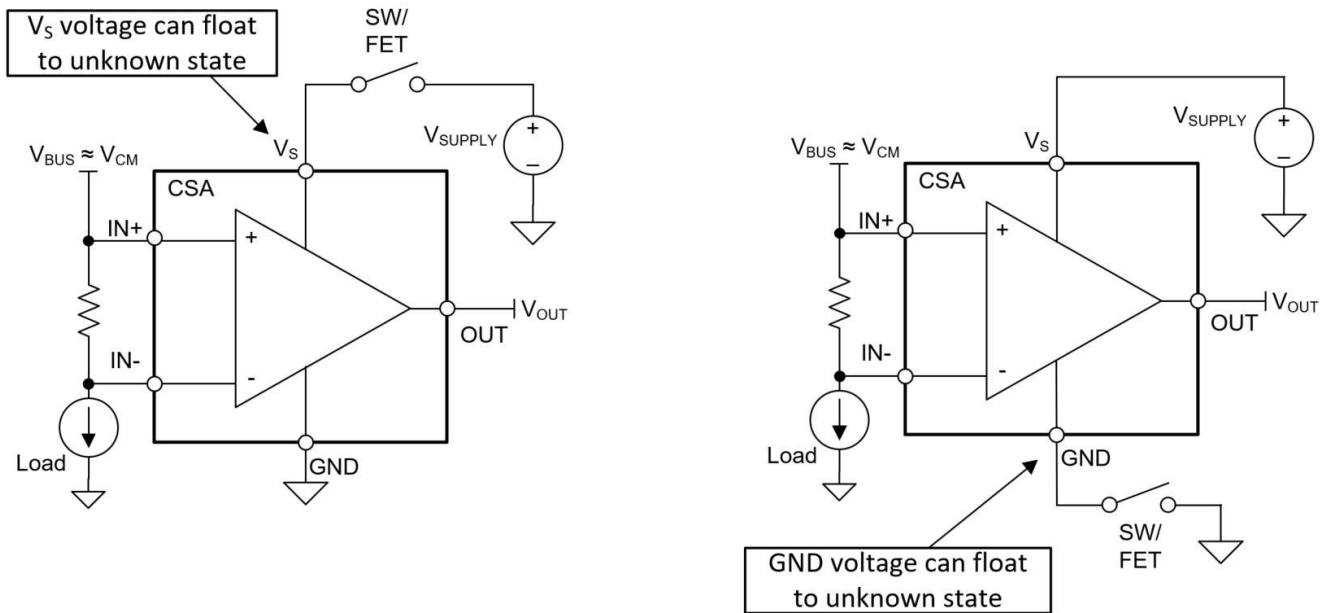


图 3-6. 避免电源引脚悬空

对于许多工程师来说，关断 CSA 有利于降低整体系统功耗，因此使用 FET 打开 VS 很有吸引力。如果工程师采用这种方法，则最佳实践是在 VS 引脚和 GND 引脚之间放置一个 5kΩ 电阻，如图 3-7 中所示。该下拉电阻器可用作 Vs 引脚的软接地，将 Vs 保持在确定的状态，并为在 FET 导通时的突然电流放电提供一条路径。

请注意，使用 LDO 为 CSA 供电的常见情况如图 3-7 所示，说明 LDO 在禁用时通常具有较小的接地漏电流，并且还具有稳定的导通电压。

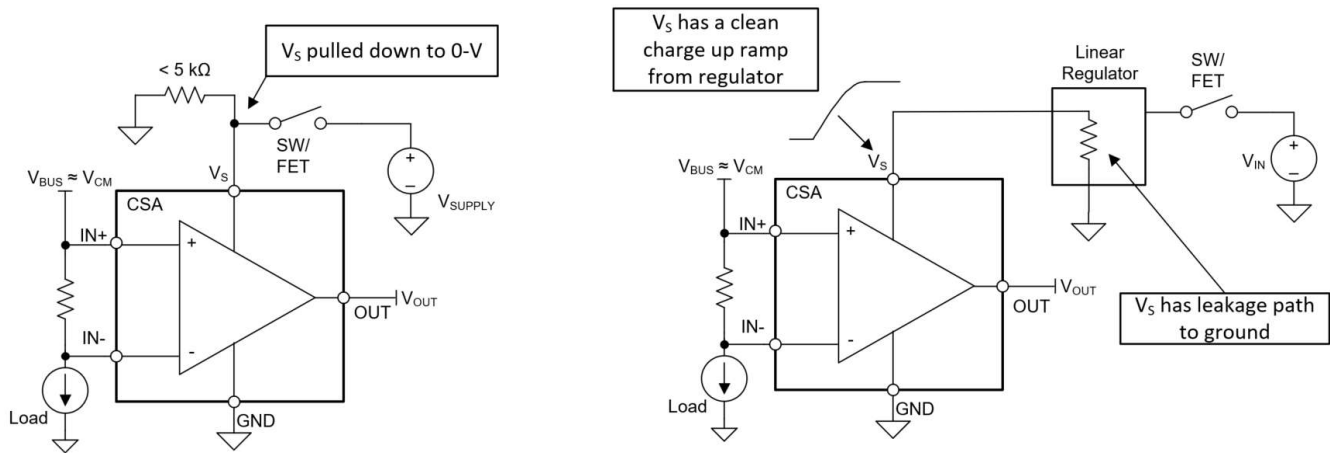


图 3-7. 可接受的电源禁用/启用

将 GND 引脚悬空不是一个好主意，除非您的系统能够控制电源时序，以及器件的所有引脚（包括用于数字电源监控器的数字引脚）的打开/关闭，而这通常是不切实际的。通常，GND 引脚必须是第一个与系统连接的引脚，也是最后一个与系统断开连接的引脚。基本上，您可以将接地引脚的打开/关闭视为将 EVM（评估模块）的引脚连接到工作台设置的方式。

4 总结

CSA 专为许多环境而设计，但就像所有放大器一样，CSA 仍需要适当的布局技术，并考虑 BOM 注意事项。

5 参考资料

- 德州仪器 (TI), [系统级 ESD 电路保护的设计注意事项](#) 模拟应用期刊。
- 德州仪器 (TI), [通用硬件设计/BGA PCB 设计/BGA 去耦](#) 应用手册。
- 德州仪器 (TI), [闩锁效应](#) 白皮书。
- 德州仪器 (TI), [高精度实验室系列：运算放大器](#) 视频系列。
- 德州仪器 (TI), [高精度实验室系列：模数转换器 \(ADC\)](#) 视频系列
- 德州仪器 (TI), [电流分流监测器的瞬态稳定性](#) 参考设计。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司