

TPS548C26 上电时序对 Pin Strap 的影响

Nison Wang, Len Zhang

North West China OEM Team

摘要

负载点电源（Point-of-load, POL）广泛应用于服务器中，为服务器主板上的各种负载提供不同的电压。为保证服务器电源系统的可靠稳定工作，POL 的上电时序至关重要。对于 TPS548C26 而言，上电时序不正确会导致某些引脚的 Pin Strap 失败，从而影响系统的正常工作。

本文首先介绍了 TPS548C26 Pin Strap 的基本原理，然后详细阐述了正常的上电时序，最后说明了异常上电时序导致的问题，并通过实测波形和寄存器读取两种方式进行验证，从而为其他 POL 设计者提供借鉴。

目录

1	Pin Strap 的基本原理	2
2	TPS548C26 的推荐上电时序	4
3	TPS548C26 异常上电时序导致的问题	5
4	TPS548C26 的寄存器读取工具	8
5	小结	10
	参考文献	10

图例

图 1	TPS548C26 Pin Strap 功能框图	2
图 2	MODE Pin 内部的 Pin Strap 电路	2
图 3	Mode Pin Strap 时序图	3
图 4	Mode Pin Strap 实测波形	3
图 5	ILIM Pin Strap 实测波形	3
图 6	SS Pin Strap 实测波形	4
图 7	TPS548C26 的推荐上电时序	4
图 8	异常上电时序的波形（MODE）	6
图 9	3A 负载时的稳态波形	6
图 10	异常上电时序的波形（ILIM）	7
图 11	21A 负载→22A 负载时的掉电波形	7
图 12	异常上电时序的波形（SS）	8
图 13	过流保护模式波形	8
图 14	寄存器读取结果 1	9
图 15	寄存器读取结果 2	10
图 16	Register 界面的寄存器值	10

1 Pin Strap 的基本原理

Strap Pin 是一种特殊类型的引脚，它用于在 POL 的启动或复位阶段设置特定的硬件配置或模式。这些设置通常是非易失性的，可以在 POL 的后续工作期间保持不变，一般通过不同的外部接地电阻选定特定的配置选项。图 1 是 TPS548C26 的 Pin Strap 功能框图^[1]，TPS548C26 共有 3 个 Pin 可以做 Pin Strap，分别是 SS，ILIM 和 MODE。接下来以 MODE Pin 为例介绍 Pin Strap 的基本原理。

图 2 是 MODE Pin 内部的 Pin Strap 电路。MODE Pin 在芯片外部通过 R_{MODE} 接地，在芯片内部有可变的电流源 I_{VAR} 和比较器。在上电过程中，芯片将会控制 I_{VAR} 的电流从小往大变化，因此 MODE Pin 的电压也会从小往大变化，直到电压达到比较器的阈值电压 1.2V，此时比较器会发出一个脉冲，此时 I_{VAR} 的电流会被锁定，因此芯片内部的控制器就可以计算出 R_{MODE} 的阻值，进行对应的功能设置。

$$R_{MODE} = \frac{1.2V}{I_{VAR}}$$

有两种比较特殊的情况需要注意：当 MODE Pin 悬空时，此时任一微小的 I_{VAR} 都会导致 MODE Pin 电压超过 1.2V，因此计算出来 R_{MODE} 的阻值为无穷大。当 MODE Pin 通过 0Ω 电阻接地时，此时无论 I_{VAR} 电流多大都会导致 MODE Pin 电压为 0，因此计算出来 R_{MODE} 的阻值为 0。如果 MODE Pin 出现以上两种情况都是可以被接受的，因为芯片同样能够解析出此时 R_{MODE} 的阻值。

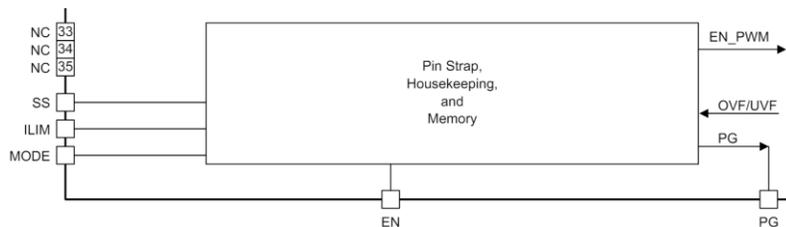


图 1 TPS548C26 Pin Strap 功能框图

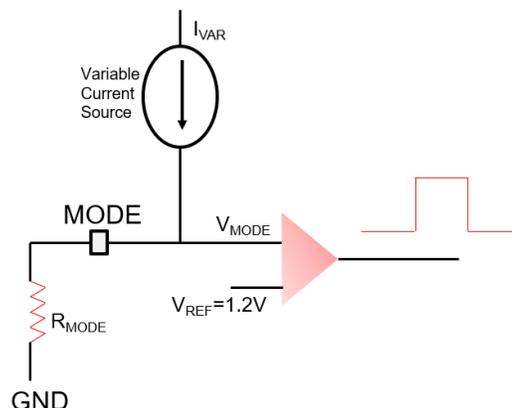


图 2 MODE Pin 内部的 Pin Strap 电路

图 3 是 Pin Strap 的时序图。在上电时 Pin Strap 发生的时刻为 VCC 刚刚达到 VCC_OK UVLO (典型值为 3.15V)，在此之后会用 $300\mu\text{s}$ 的时间来完成 Pin Strap。图 4 为 MODE Pin Strap 实测波形，此时 MODE Pin 通过 12.1k Ω 电阻接地，可以发现当 VCC 电压达到 3.22V 时开始进行 Pin Strap，历经 248 μs 完成 Pin Strap。图 5 为 ILIM Pin Strap 实测波形，此时 ILIM Pin 通过 12.1k Ω 电阻接地，可以发现当 VCC 电压达到 3.22V 时开始进行 Pin Strap，历经 148 μs 完成 Pin Strap。图 6 为 SS Pin Strap 实测波形，此时 SS Pin 通过 5.76k Ω 电阻接地，可以发现当 VCC 电压达到 3.22V 时开始进行 Pin Strap，历经 252 μs 完成 Pin Strap。输入电压为 12V, 输出电压为 3.3V, 输出电流为 0A。

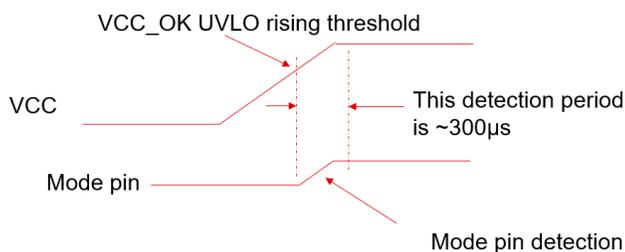


图 3 Mode Pin Strap 时序图

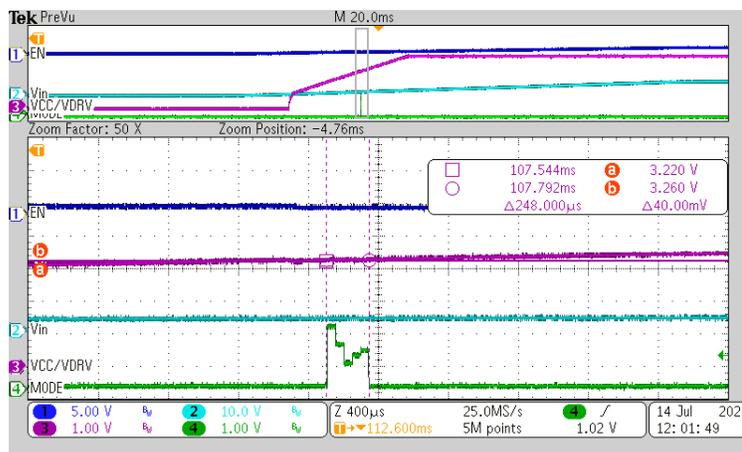


图 4 Mode Pin Strap 实测波形

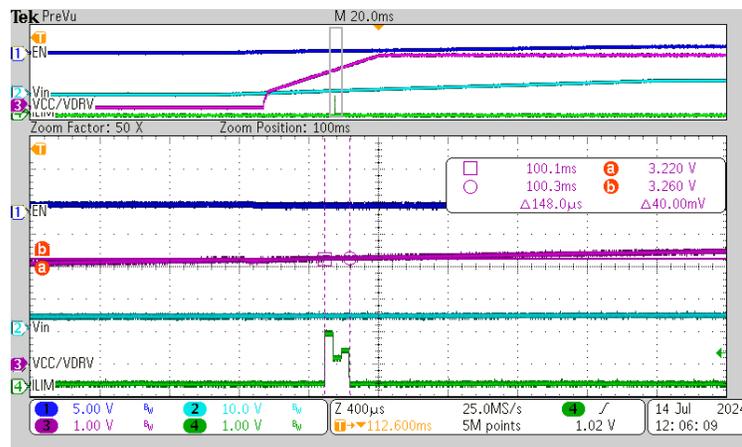


图 5 ILIM Pin Strap 实测波形

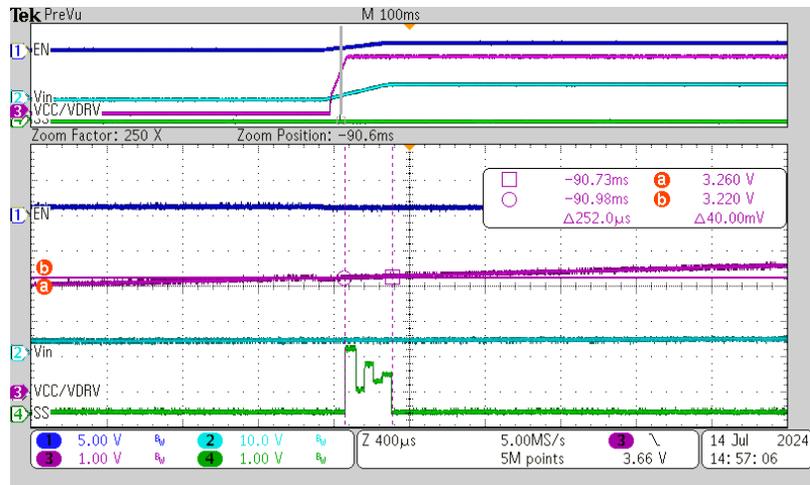


图 6 SS Pin Strap 实测波形

2 TPS548C26 的推荐上电时序

TPS548C26 的上电时序包括三个阶段。在第一个阶段进行初始化，包括建立内部 LDO 和参考源、内部 Memory 初始化、Pin Strap 等。只要 VCC 引脚电压高于 VCC_OK UVLO 上升阈值（典型值为 3.15 V），Memory 初始化就会开始，初始化不受 EN 引脚电压控制，大约需要 300us。初始化完成后，只要 VCC 电压保持在 VCC_OK 下降阈值以上，Pin Strap 结果就会锁定。锁定后更改外部电阻值不会影响现有的 Pin Strap 结果，除非进行 Power Cycle。在 EN 引脚电压超过 EN 上升阈值（典型值为 1.2 V）后，器件进入第二阶段，这个过程大约需要 0.5ms 去激活控制环路和驱动电路。VOUT 软启动是第三个阶段，内部参考电压从 0 V 线性上升到 0.8 V，因此 VOUT 从 0 V 上升到设定值（由 FB 分压电阻设定）。

VCC 上电和 Pin Strap 在第一阶段，EN 使能在第二阶段，因此 EN 使能（ $EN > 1.19V$ ）应该晚于 VCC 使能（ $VCC > 3.15V$ ）。基于 TPS548C26EVM 进行测试^[2]，EN 与 PVIN 通过分压电阻相连。可以发现，其上电时序满足如上要求。

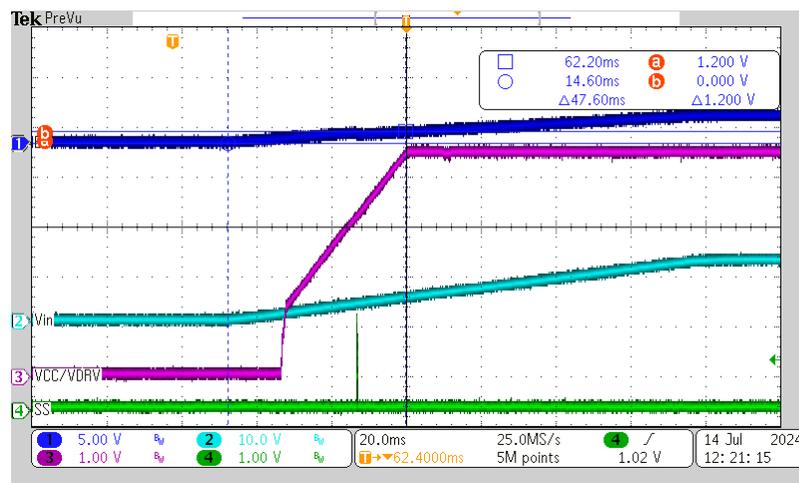


图 7 TPS548C26 的推荐上电时序

表 1-表 3 分别为 MODE、ILIM 和 SS 和 Pin Strap 选项，如果按照如上正常的上电时序，则 Pin Strap 都可以配置成功。

表 1 MODE Pin Strap 选项

MODE Pin to AGND Resistor (kΩ)	Switching Frequency (kHz)	Operation Mode
0	600	FCCM
1.50	800	
2.49	1000	
3.48	1200	
10.5	600	Auto-skipping Eco-mode (DCM)
12.1	800	
14	1000	
16.2	1200	
Floating	800	FCCM

表 2 ILIM Pin Strap 选项

ILIM Pin to AGND Resistor (kΩ)	OCL Threshold (Valley Current Detection)
7.5	12 A
12.1	19 A
16.2	26 A
21.5	33 A
24.9	39 A

表 3 SS Pin Strap 选项

SS Pin to AGND Resistor (kΩ)	Soft-start time (ms)	Internal Compensation	VOUT OV, UV Fault Response
0	1	Compensation1	Latch-off
1.50	2		
2.49	4		
3.48	8		
4.53	1	Compensation2	
5.76	2		
7.32	4		
8.87	8		
10.5	1	Compensation1	Hiccup
12.1	2		
14.0	4		
16.2	8		
18.7	1	Compensation2	
21.5	2		
24.9	4		
28.7	8		

3 TPS548C26 异常上电时序导致的问题

本章节主要研究 EN 使能 (EN>1.19V) 早于 VCC 上电 (VCC>3.15V) 时，MODE、ILIM 和 SS 的 Pin Strap 会受到什么影响。

3.1 异常上电时序对 MODE Pin Strap 的影响

参考表 1，当 MODE 接地电阻为 2.49kΩ 时，选择开关频率为 1000kHz，工作模式为 FCCM。图 8 为异常上电时序的波形，EN 先拉高为 3.3V，然后 VCC 开始上电，此时 MODE Pin Strap 依旧会发生。可以发现，此时工作模式为 Skip Mode 而非 FCCM。在输出加 3A 负载，波形如图 9，

工作模式由 Skip Mode 变为 FCCM，开关频率为 952.4kHz。因此在上电时序异常时，工作模式无法设置成功，但是开关频率可以设置成功。

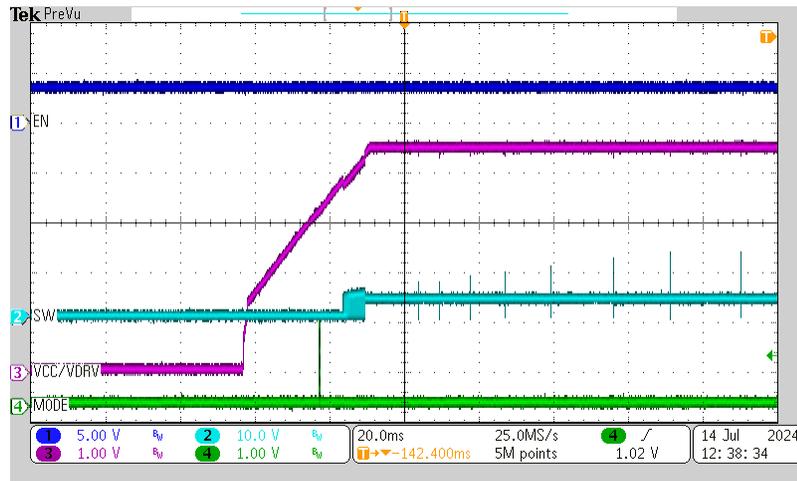


图 8 异常上电时序的波形 (MODE)

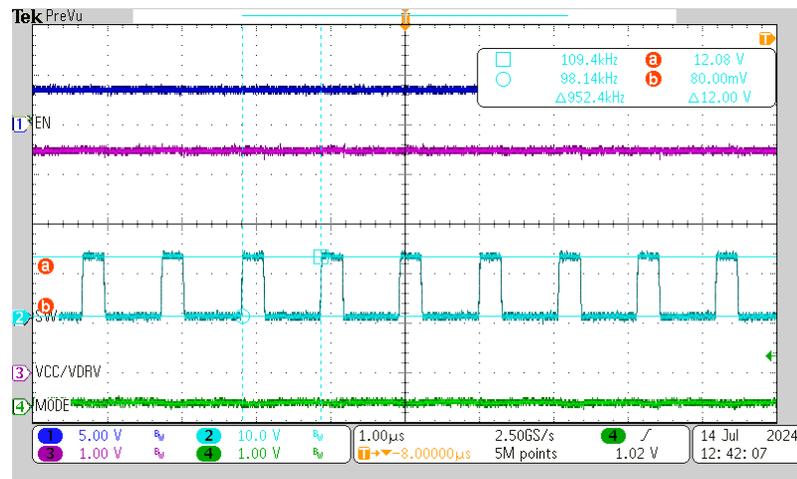


图 9 3A 负载时的稳态波形

3.2 异常上电时序对 ILIM Pin Strap 的影响

参考表 2，当 ILIM 接地电阻为 12.1kΩ 时，选择 OCL 阈值为 19A，对应的输出电流为

$$I_{o,max} = I_{OCL} + \frac{1}{2} * \left[\frac{(V_{in} - V_o)}{L} * \frac{V_o}{V_{in}} * \frac{1}{f_s} \right] = 19A + \frac{1}{2} * \left[\frac{(12V - 3.3V)}{400nH} * \frac{3.3V}{12V} * \frac{1}{1000kHz} \right] = 21.99A$$

工作模式为 FCCM。图 10 为异常上电时序的波形，EN 先拉高为 3.3V，然后 VCC 开始上电，此时 ILIM Pin Strap 依旧会发生。在输出加 21A 负载，芯片没有触发 OCL。在输出加 22A 负载，芯片触发 OCL，输出电压降为 0。因此，可以判断此时芯片的 OCL 阈值为 19A，说明 OCL 阈值设置成功。因此异常上电时序不会导致 ILIM 的 Pin Strap 失败。

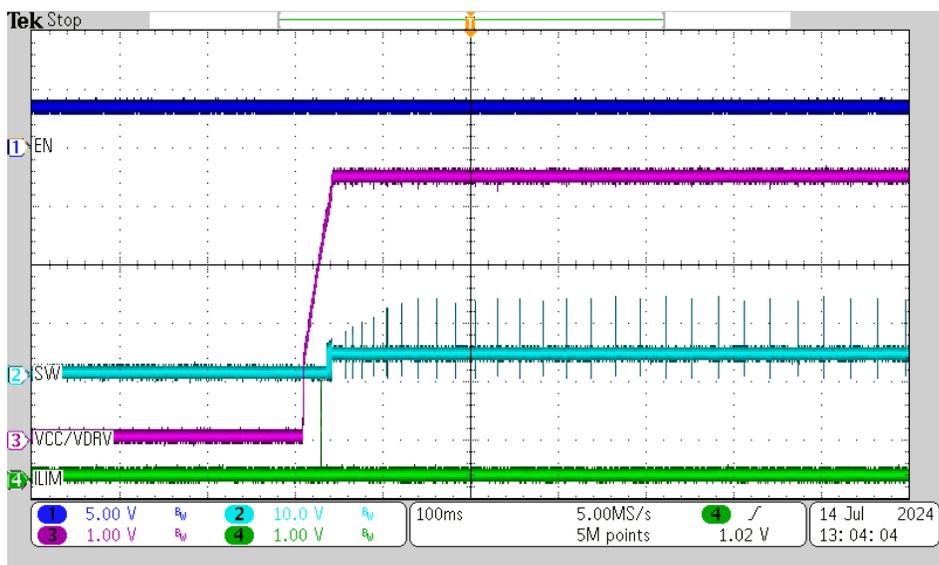
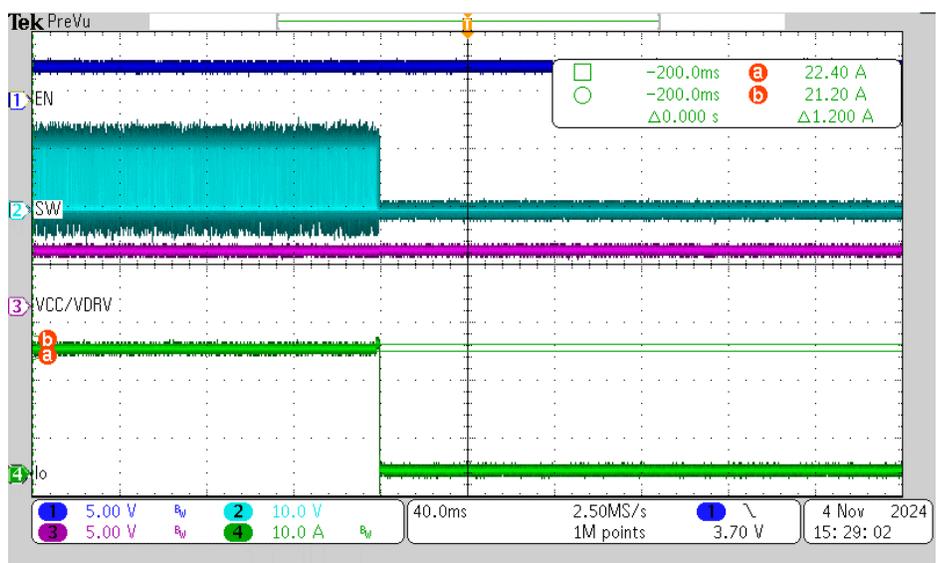


图 10 异常上电时序的波形 (ILIM)



DPO3054 - 6:12:46 PM 11/4/2024

图 11 21A 负载→22A 负载时的掉电波形

3.3 异常上电时序对 SS Pin Strap 的影响

参考表 3，当 SS 接地电阻为 12.1kΩ 时，选择软启时间为 2ms，保护模式为 Hiccup，补偿参数为 1。由于补偿参数不易观测，因此本文不做研究。图 12 为异常上电时序的波形，EN 先拉高为 3.3V，然后 VCC 开始上电，此时 SS Pin Strap 依旧会发生。可以发现，此时软启时间为 2ms。将输出短路，波形如图 13，保护模式为 Hiccup。因此在上电时序异常时，软启时间和保护模式

都可以设置成功。注意，虽然保护模式只针对输出欠压和输出过压两种故障，但是输出过流或短路最终会触发输出欠压保护，因此也适用此 Pin Strap 设置^[1]。

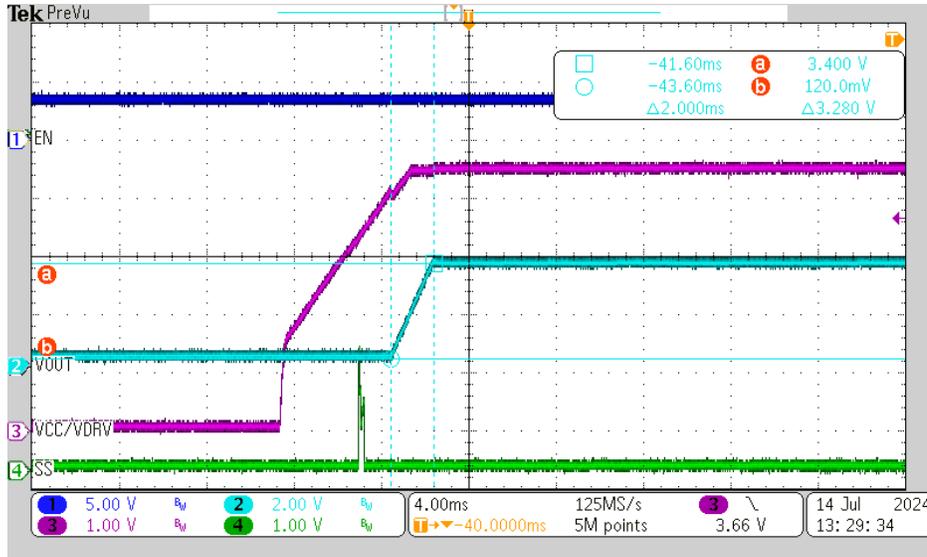


图 12 异常上电时序的波形 (SS)

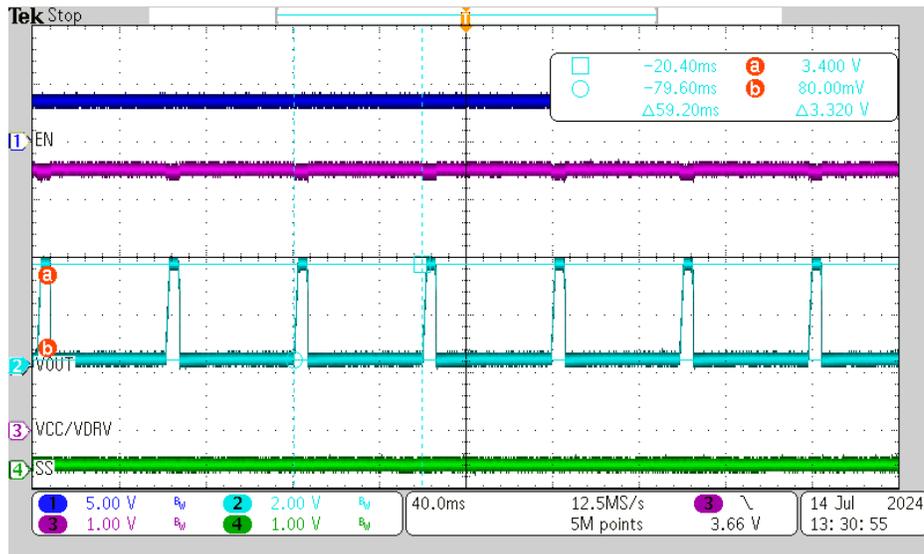


图 13 过流保护模式波形

4 TPS548C26 的寄存器读取工具

TPS548C26 是 TPS544C26 的特殊版本，因此其寄存器是完全一致的。除了通过测量波形去判断 Pin Strap 是否设置成功，我们还可以用 TPS544C26 的寄存器读取工具去读取 TPS548C26 的寄存器，从而判断 Pin Strap 是否成功。硬件层面，TPS548C26 的 MODE Pin 对应 CLK，ILIM pin 对应 DATA，为确保读取成功，首先要把 MODE 和 ILIM 的 Pin Strap 电阻去掉。因为 USB-TO-

GPIO2 的 CLK 和 DATA 已经通过上拉电阻上拉到 3.3V 了^[3]，如果有 Pin Strap 电阻，会造成分压。软件层面，需要安装 I2C Device GUI，并遵循 TPS544C26EVM User's Guide 里面的第五章节^[4]。根据 TPS544C26 的规格书，相关寄存器总结如下表：

表 4 Pin Strap 相关寄存器

寄存器地址	Bit	默认值	默认值含义
33h	1:0	01h	800kHz fsw
A0h	7	10h	Skip Mode
46h	3:0	09h	35A OCL
41h	3	00h	OV Latch Off
45h	3	02h	UV Latch Off
61h	2:0	00h	Soft Start 1ms

在 MODE 和 ILIM 悬空的情况下（为保证读取成功），当上电时序异常时，对表 4 中的寄存器进行读取，GUI 中 TPS548C26 Device Specific 中结果如图 14 和图 15。另外，也可以在 GUI 中 Register 界面去查看寄存器值，如图 16，0xA0 的 7bit 值为 0，代表 Skip Mode。

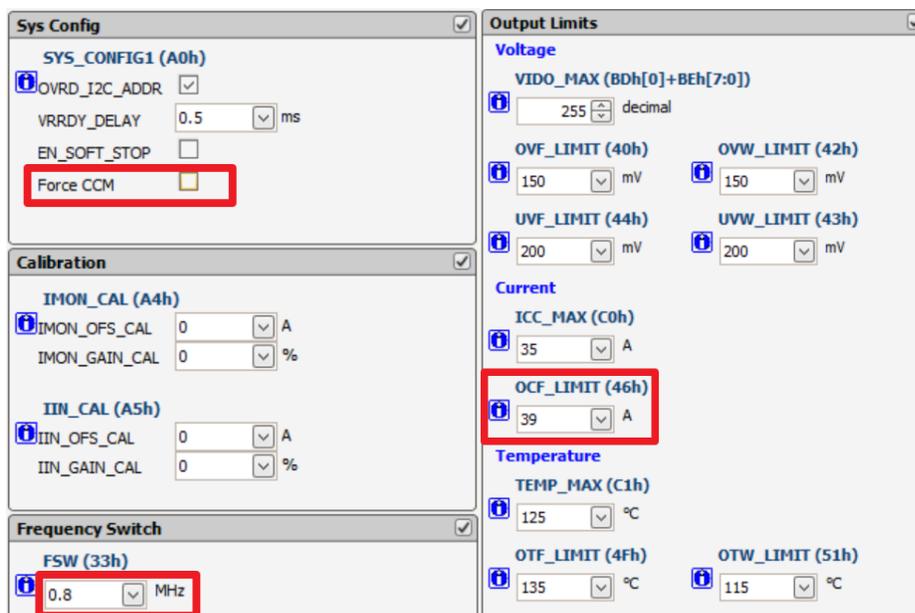


图 14 寄存器读取结果 1

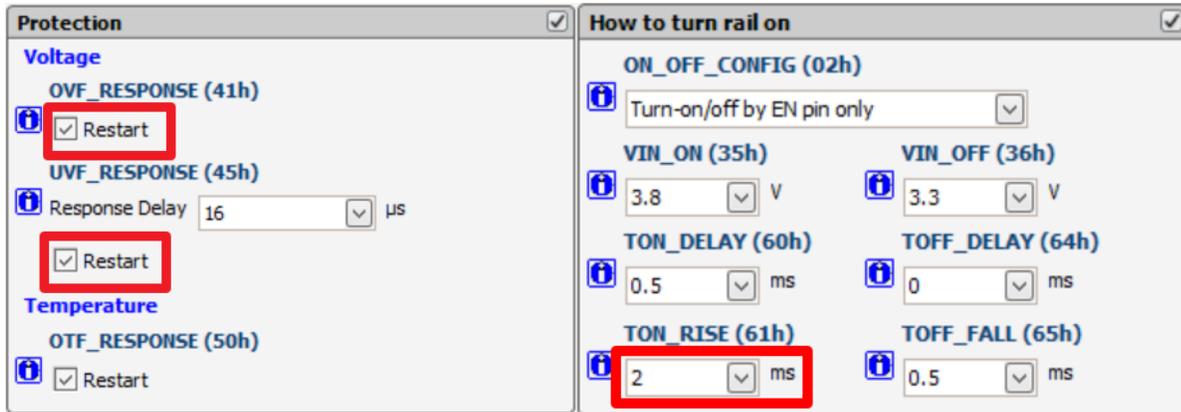


图 15 寄存器读取结果 2

Code	Register Name	Group	Value (Hex)	Bit Fields								Poll	
0xA0	SYS_CONFIG1	Config	0x05	7	6	5	4	3	2	1	0	0	
				FCM	VOUT_CTRL	BI_SOFT_STO_P	VRRDY_DELAY	OVRD_SVID_A_OOR	OVRD_IIC_AD_DR				
				0	0	0	0	0	1	0	1		

图 16 Register 界面的寄存器值

因此，通过寄存器读取的方式也可以证明异常上电时序只会导致 MODE Pin Strap 中的工作模式设置失败，不会导致 MODE Pin Strap 中的开关频率、ILIM Pin Strap 和 SS Pin Strap 设置失败。

5 小结

POL 的上电时序至关重要。本文首先介绍了 TPS548C26 Pin Strap 的基本原理，然后详细阐述了正常的上电时序，最后说明了异常上电时序导致的问题，并通过实测波形和寄存器读取两种方式进行验证，从而为其他 POL 设计者提供借鉴。

参考文献

- [1]. TPS548C26 Datasheet. <https://www.ti.com/lit/gpn/tps548c26>
- [2]. TPS548C26EVM User's Guide. <https://www.ti.com/lit/ug/sluucg4/sluucg4.pdf>
- [3]. USB-TO-GPIO2 User's Guide. <https://www.ti.com/lit/ug/sllu349/sllu349.pdf>
- [4]. TPS544C26EVM User's Guide. <https://www.ti.com/lit/ug/slvuc28/slvuc28.pdf>
- [5]. TPS544C26 Datasheet. <https://www.ti.com/lit/ds/symlink/tps544c26.pdf>

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司