

M-LVDS 背板总线和端接设计考量

Yunjing Wang

Analog FAE

摘要

TIA/EIA-899 协议介绍了一种多点低电压差分信令 M-LVDS (Multi-point LVDS)，因其面向多节点应用的拓扑结构、低功耗特性和高速特性而广泛应用于工业背板高速通信方式。在实际应用中，合理的背板总线设计和端接是实现可靠 M-LVDS 通信的必要前提，本文将从 M-LVDS 的信号标准和电气特性出发，分析 M-LVDS 背板带载总线的特性，介绍 M-LVDS 背板和端接的设计要点。

修改记录

Version	Date	Author	Notes
1.0	Oct 8 th 2024	Yunjing Wang	First version

目录

1. M-LVDS 拓扑及电气特性	3
1.1 Multi-point 拓扑结构.....	3
1.2 M-LVDS 驱动器电气特性.....	3
1.3 M-LVDS 接收器电气特性.....	3
2. M-LVDS 背板和端接的设计考量	4
2.1 M-LVDS 背板带载总线的等效差分阻抗.....	4
2.2 M-LVDS 背板和端接的设计建议.....	6
3. 总结	7
参考文献.....	7

图

图 1. Multi-point 拓扑结构.....	3
图 2. M-LVDS 接收器阈值标准.....	3
图 3. 无损传输线等效模型.....	4
图 4. M-LVDS 带载总线的传输线等效模型.....	5
图 5. 负载节点分布电容.....	5
图 6. M-LVDS 背板带载总线的等效差分阻抗 VS 节点数量, 节点间距.....	6
图 7. 驱动端和最远接收节点差分波形仿真($Z_{diff} = 130\Omega$, 端接阻抗 80Ω , 节点数 $N=32$).....	7

表

表 1. M-LVDS 驱动器和接收器电气特性.....	4
------------------------------	---

1. M-LVDS 拓扑及电气特性

M-LVDS (Multi-point LVDS) 通信由 TIA/EIA-899 协议定义, 该协议规定了 M-LVDS 的拓扑结构及其驱动器和接收器的电气特性, 本节总结了 M-LVDS 的拓扑结构, 以及 M-LVDS 驱动器和接收器的主要电气特性。

1.1 Multi-point 拓扑结构

图 1 为 Multi-point 拓扑结构, Multi-point 拓扑允许多个驱动器和接收器连接到同一传输媒介, 可以通过一条通信线实现双向、半双工通信。由于线路上每个节点都可能配置为驱动器, 需要在线路两端进行合理端接。

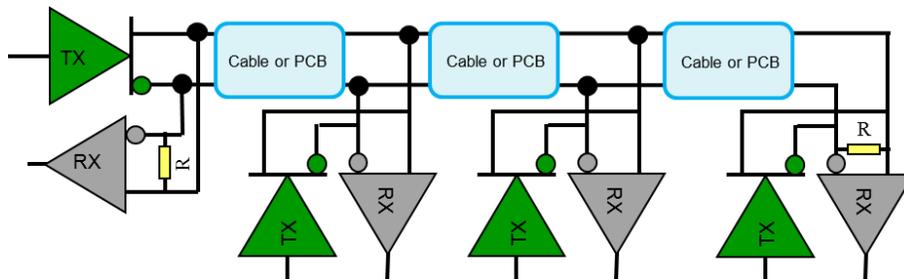


图 1. Multi-point 拓扑结构

1.2 M-LVDS 驱动器电气特性

TIA/EIA-899 标准规定, M-LVDS 驱动器的输出差分电压范围为 480~650 mV 振幅, 共模偏移电压范围为 0.3~2.1 V; 并且, 为了降低多点拓扑中总线分支对信号完整性的影响, 要求输出信号上升和下降转换时间 (trise 对应 10%~90% 转换, tfall 对应 90%~10% 转换) 不小于 1 ns, 最大不超过 0.5UI。

1.3 M-LVDS 接收器电气特性

M-LVDS 接收器电气特性主要包括接收阈值、输入共模电压范围和输入漏电流。

M-LVDS 接收器定义了两种接收阈值标准: 如图 2 所示, Type-1 接收器以 0V 为中心点, VID>50mV 判定为高状态, VID<-50mV 判定为低状态; Type-2 接收器内置了一个 100mV 的偏置, VID>150mV 判定为高状态, VID<50mV 判定为低状态。Type-2 接收器的 100mV 偏置使其相比于 Type-1 的噪声裕量更低, 但是 Type-2 接收器提供了总线故障安全机制 (fail-safe), VID=0V 时, 接收器输出为低, 因此在总线空闲或者未被驱动时, Type-2 接收器能够提供确定的输出状态给后级 MCU 或者处理器。在实际应用中, Type-1 接收器相比 Type-2 接收器而言, 能够提供更大的噪声容限, 更适合面向时钟/数据传输等不需要故障安全防护的应用, Type-2 接收器提供了总线故障安全机制, 并且能够支持 M-LVDS 线或逻辑 (Wired-OR Logic), 更适合面向控制信号传输的应用。

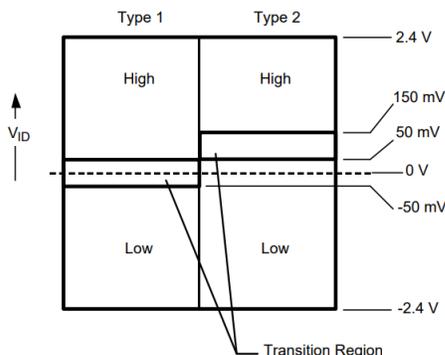


图 2. M-LVDS 接收器阈值标准

输入共模电压范围定义了接收器可以容忍的地电压偏移。M-LVDS 接收器总线引脚的输入共模电压范围为-1.4~3.8V，接收器可以容忍±1V 的地电压偏移。

输入漏电流规格定义了每个接收器的等效负载大小和最大允许节点数量。由于 M-LVDS 为面向多点拓扑应用的标准，每个接收器对于多点总线来说都是一个负载，因此 M-LVDS 标准规定了接收器的最大输入漏电流<20uA，等效于 2.4V 电压源下的 120kR 负载，最多允许总线上存在 32 个节点。

表 1 总结了 M-LVDS 驱动器和接收器的主要电气特性。

M-LVDS 驱动器		M-LVDS 接收器	
参数	规格值	参数	规格值
V _{OD} (V)	0.48~0.65	V _{ID} (V)	0.1~2.4
V _{OS} (V)	0.3~2.1	V _{CM} (V)	-1.4~3.8
I _{OD} (mA)	9~13	I _{IN} (uA)	20
I _{OS} (mA)	<43	I _{ID} (uA)	4
t _{rise} /t _{fall} min (ns)	1	V _{Ith} (V)	0.05-Type 1
t _{rise} /t _{fall} max (ns)	0.5 UI		0.15-Type 2

表 1. M-LVDS 驱动器和接收器电气特性

2. M-LVDS 背板和端接的设计考量

M-LVDS 面向多节点应用的拓扑结构、低功耗特性和高速特性，使其广泛应用于工业背板通信。然而，与 RS485 通信不同的是，M-LVDS 信号速率更高，噪声容限也更低，因此背板和端接的设计对于 M-LVDS 信号质量和可靠通信是至关重要的。本节将讨论 M-LVDS 背板总线和端接的设计考量，对重载情况下的背板等效阻抗进行分析，介绍 M-LVDS 背板总线和端接的设计建议。

2.1 M-LVDS 背板带载总线的等效差分阻抗

对于高速信号而言，需要考虑 PCB 走线的分布参数效应，对 PCB 走线进行 RLGC 传输线模型等效。对于百 Mbps 速率等级 M-LVDS 信号，RG 参数带来的传输线损耗在等效过程中可以被忽略；因此 M-LVDS 差分总线可以等效为两条由单端传输线模型组成的差分对（如图 3），公式(1)为该单端传输线的特征阻抗。

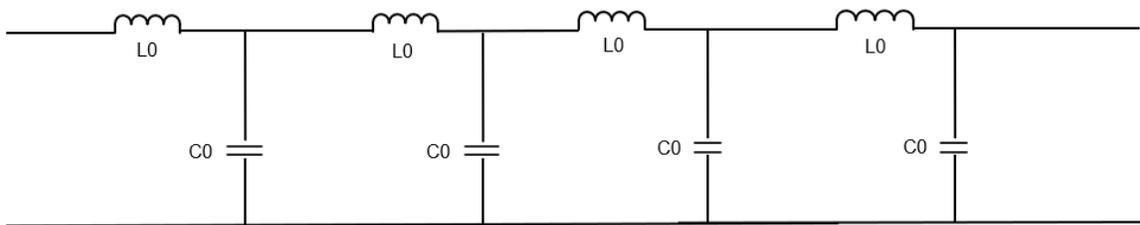


图 3.无损传输线等效模型

单端传输线特征阻抗：

$$Z_0 = 2 \sqrt{\frac{L_0}{C_0}} \quad \text{公式(1)}$$

那么微带线差分对走线的差分阻抗可以由公式(2) 计算得到：

$$Z_{diff} = 2 \times Z_0 \times (1 - 0.48e^{-\frac{0.96s}{h}}) = 2 \sqrt{\frac{L_0}{C_0}} (1 - 0.48e^{-\frac{0.96s}{h}}) \quad \text{公式(2)}$$

其中 L_0 和 C_0 为每条单端传输线每英寸的等效分布电感和分布电容值，s 为差分线的内间距，h 为介质材料厚度。

多数设计者常见的设计习惯是使用 100Ω 阻抗的差分阻抗来设计 M-LVDS 背板差分总线，并且在总线两端使用 100Ω 端接电阻来进行阻抗匹配，期望在 M-LVDS 的驱动器输出端得到大约 $V_{od}=12mA \times (100\Omega // 100\Omega) = 600mV$ 的差分电压以及阻抗匹配良好的信号质量。

在总线节点比较少数的情况下，这种设计通常不会出现明显问题；但是在重载总线（总线上的带载节点很多）情况下，随着节点数的增加，背板总线的等效差分阻抗会显著减小，原有端接将不再匹配，M-LVDS 差分信号质量会显著恶化，这时如果一味减小端接电阻去匹配新的重载总线等效阻抗，还会进一步降低差分电压低于接收器阈值，导致 M-LVDS 接收出现误码。

本节将对带载情况下背板总线的等效阻抗进行分析，说明带载 M-LVDS 背板的特征阻抗变化和背板差分阻抗的设计建议。

背板上的每个节点将在总线上引入一个等效负载电容，考虑负载节点的影响，原本背板总线的每条传输线等效将变为图 4 所示。

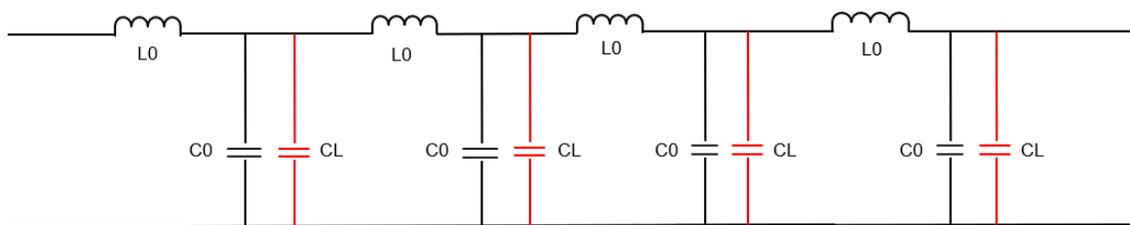


图 4. M-LVDS 带载总线的传输线等效模型

公式(3) 为此时背板总线的带载等效差分阻抗：

$$Z_{diff_effective} = 2 \sqrt{\frac{L_0}{C_0 + C_L}} \left(1 - 0.48 e^{-\frac{0.965}{h}} \right) = \frac{Z_{diff}}{\sqrt{1 + \frac{N C_{point}}{L C_0}}} \quad \text{公式(3)}$$

其中 C_{point} (pF) 为每个负载节点的负载电容，背板总线总长为 L (inches)，负载节点总数为 N ， $C_L = \frac{N C_{point}}{L}$ 为每英寸的等效负载电容值。

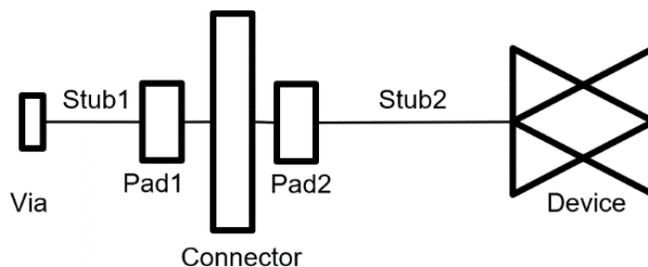


图 5. 负载节点分布电容

节点负载电容 C_{point} 通常由图 5 所示元件电容组成，通常过孔电容 $C_{via} = 0.5pF$ ，焊盘电容 $C_{pad1} = C_{pad2} = 0.5pF$ ，高速连接器过孔电容 $C_{connector}$ 大约 0.74 pF；分支 stub 长度通常建议小于 1”，取 0.8”，那么对于 FR4 板材 $C_{stub1} + C_{stub2} = 0.8'' \times 3pF = 2.4pF$ ；节点处的器件电容取 M-LVDS 收发器 SN65MLVD206 的总线电容 $C_{device} = 3pF$ ，可以得到公式(4)为节点负载电容 C_{point} 。

$$C_{point} = C_{via} + C_{stub1} + C_{pad1} + C_{connector} + C_{pad2} + C_{stub2} + C_{device} = 8.14 pF \quad \text{公式(4)}$$

使用 FR4 板材，5mil 介质厚度，0.5oz 铜厚，8mil 线宽的情况下， $Z_0 = 50\Omega$ ， $C_0 = 3.1pF$ ，如图 6 所示，按照多数设计习惯将空载背板总线的差分阻抗设计为 $Z_{diff} = 100\Omega$ ，M-LVDS 背板总线的等效差分阻抗 $Z_{diff_effective}$ 会随带载节点数和节点间距的变化而相应变化。

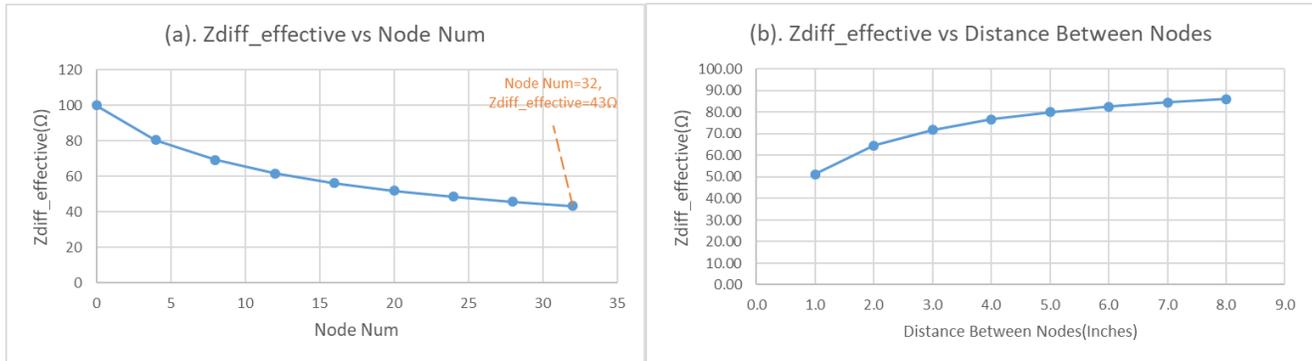


图 6. M-LVDS 背板带载总线的等效差分阻抗 VS 节点数量, 节点间距

图 6.(a) 为背板总线长度固定在 20 英寸时, 背板等效差分阻抗随节点数量的变化: 当带载节点数增加, 背板带载总线的等效差分阻抗值会相应减小。如果按照多数设计习惯将空载背板总线的差分阻抗设计为 $Z_{diff} = 100\Omega$, 如图 6.(a)所示, 当节点数增大到 TTIA/EIA-899 标准规定的 32 个最大节点时, 背板等效差分阻抗 $Z_{diff_effective}$ 已经小于 50Ω , 此时按照阻抗匹配在总线两端端接 50Ω 电阻, 驱动端的差分电压 $V_{OD} = 13mA \times (\frac{50 \times 50}{50 + 50})\Omega = 325mV$ 已经低于表 1 所示的 M-LVDS 驱动电压范围, 经过传输后到达接收端已经无法被正确接收了。图 6. (b)表示节点数量固定在 5 个, 背板等效差分阻抗随节点间距的变化: 可以看到节点间距越小, 最终背板带载总线的等效差分阻抗会越小。

2.2 M-LVDS 背板和端接的设计建议

为了满足 M-LVDS 标准规定的驱动电压范围, 同时保证接收端能够准确接收到发送数据, 设计者需要考虑满载背板的负载效应, 保证满载情况的背板等效差分阻抗足够大, 为 M-LVDS 背板选择合适的差分对阻抗、节点间距以及端接阻抗。本节将介绍 M-LVDS 背板阻抗和端接的计算方式和设计建议。

如表 1 所示, M-LVDS 驱动电压要求最低 $480mV$, 驱动电流大小取 SN65MLVD206 M-LVDS 收发器的驱动电流值 $13mA$ [2], 因此要求总线等效差分阻抗满足:

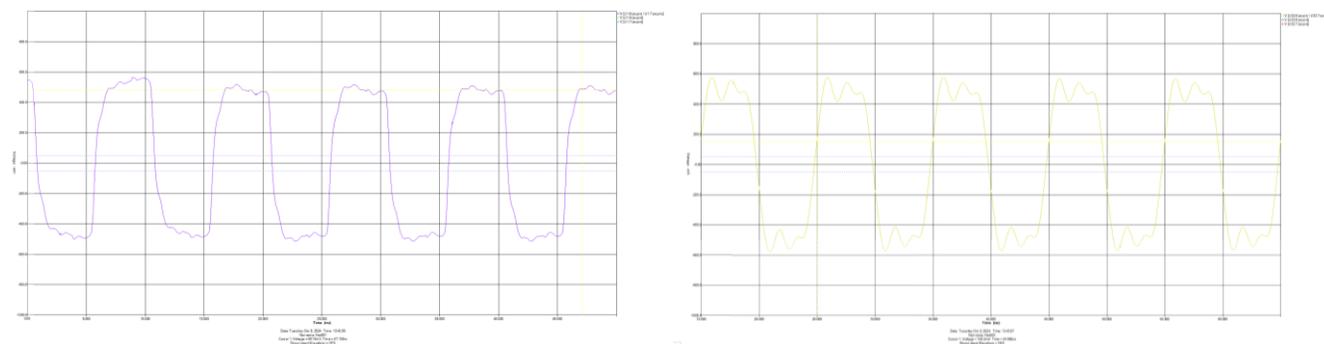
$$Z_{diff_effective} > \frac{V_{OD_min}}{13mA} \times 2 = \frac{480mV}{13mA} \times 2 = 74\Omega$$

一般来说, 传输距离越长抖动越大, 对于特定允许的抖动值, 器件能够达到的最大数据速率随着传输距离的增加而稳步下降^[4]。在器件标称数据率下保证 $<20\%$ jitter 需要传输距离小于 $100cm$ ^[3], 因此这里取背板长度为 $100cm$, 考虑协议定义的最大节点数 $N=32$, 代入 Equation(3), 可以得到满载情况下 M-LVDS 背板差分对的差分走线阻抗需要满足:

$$Z_{diff} \geq 130\Omega$$

匹配端接电阻后, 可以得到驱动电压为 $V_{OD} = 13mA \times (\frac{74 \times 74}{74 + 74})\Omega = 481mV$, 满足 M-LVDS 的驱动电压要求。

图 7 为 $100cm$ (39.3 英寸) 背板长度下, 背板差分对的差分走线阻抗控制在 130Ω , 端接 80Ω 设计下, 带载节点为 32 点的 M-LVDS 总线发送端 U1 和最远接收节点 U32 的差分波形仿真, 发送端的差分驱动电压 $V_{OD} > 480mV$ 满足 M-LVDS 驱动端差分电压要求, 并且最远接收节点 U32 的差分接收电压能够满足 M-LVDS 接收阈值要求。



(a)总线驱动端 U1 差分输出波形

(b)最远接收节点 U32 差分输入波形

图 7. 驱动端和最远接收节点差分波形仿真($Z_{diff} = 130\Omega$,端接阻抗 80Ω , 节点数 $N=32$)

3. 总结

本文从 M-LVDS 协议的原理和电气特性出发, 分析了 M-LVDS 背板带载总线的特性, 介绍 M-LVDS 背板和端接的设计分析方法, 对于不同的背板长度, 节点数量和节点间距, 设计者可以根据以上分析过程进行设计分析。基于 2.2 描述的满载总线情况 (32 个负载节点数, 20% Jitter 对应的最大传输距离), 通常建议重载/多节点 M-LVDS 背板差分对的差分阻抗控制在 130Ω 左右, 匹配端接阻抗为 80Ω 左右, 以满足重载总线情况下负载效应带来的总线等效阻抗变化。

参考文献

1. [Introduction to M-LVDS \(TIA/EIA-899\)- SLLA108A](#)
2. [SN65MLVD206 Multipoint-LVDS Line Driver and Receiver datasheet \(Rev. C\)- SLLS558C](#)
3. [How Far, How Fast Can You Operate M-LVDS Transceivers- SLAA845](#)
4. [Signaling Rate vs. Distance for Differential Buffers](#)

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司