

## Application Note

## 改善 MSPS ADC 的 SFDR，同时放宽 AAF 要求并使用集成 DDC 功能



Rob Reeder

## 摘要

本文探讨了如何使用高速 MSPS 转换器在无伪波动态范围 (SFDR) 方面实现出色的动态范围。

其中涵盖了在较低和较高转换器采样率下的抗混叠滤波器 (AAF) 技术，以及对滤波器设计要求的意义。

在将 ADC 前的外部 AAF 与当今市场上大多数 MSPS 转换器中包含的数字功能结合使用时，需要考虑利弊，并做出取舍。

## 内容

1 简介.....	2
2 低频率和低采样率下的 AAF 性能取舍.....	2
3 低频率和较高采样率下的 AAF 性能取舍.....	5
4 ADC 的集成 DDC 的功能.....	7
5 总结.....	8
6 参考资料.....	8

## 商标

所有商标均为其各自所有者的财产。

## 1 简介

随着高速 MSPS ADC 的出现及其工艺尺寸的不断缩小，制造商正在向 65nm 及更小的工艺尺寸努力。这使得数字降压转换器 (DDC) ( 更常见于 GPS ADC IC 设计 ) 等的固有数字功能可应用于采样率较低的同类产品上。本应用说明将介绍如何显著改善后续 MSPS 转换器信号链设计中的伪波性能。其中也可探讨诸多信号链应用中常用的抗混叠滤波器要求与 DDC 等固有数字功能的真实性能之间的关系。使用其中一种技术或者结合使用两种技术可以从根本上改善市场上下一代 MSPS 转换器中的无伪波动态范围。

## 2 低频率和低采样率下的 AAF 性能取舍

在系统应用中创建更大的动态范围 (DR) 很简单，消除噪底中麻烦的伪波即可。通常情况下，HD2 和 HD3 ( 分别为二次谐波失真和三次谐波失真 ) 定义了转换器的 DR 限制。消除伪波听起来容易，但这一概念可能会导致其他限制因素，使其难以运用在实际 *模拟* 应用中。

众所周知，在现当代 MSPS 转换器技术中，实现  $-75\text{dB}$  左右的无伪波动态范围 (SFDR) 相对轻松。具体请参阅图 2-1。在提供无干扰电源、时钟信号和输入信号的假设情况中，下例显示了 ADC3664 在第二奈奎斯特区中以 125MSPS 的速度采样，期间模拟输入约 70MHz。有关在第二奈奎斯特区采样或下采样 ADC 技术的更多信息，请参阅 [高精度实验室系列：模数转换器 \(ADC\)](#) 和 [Ansys Nuhertz FilterSolutions](#)。

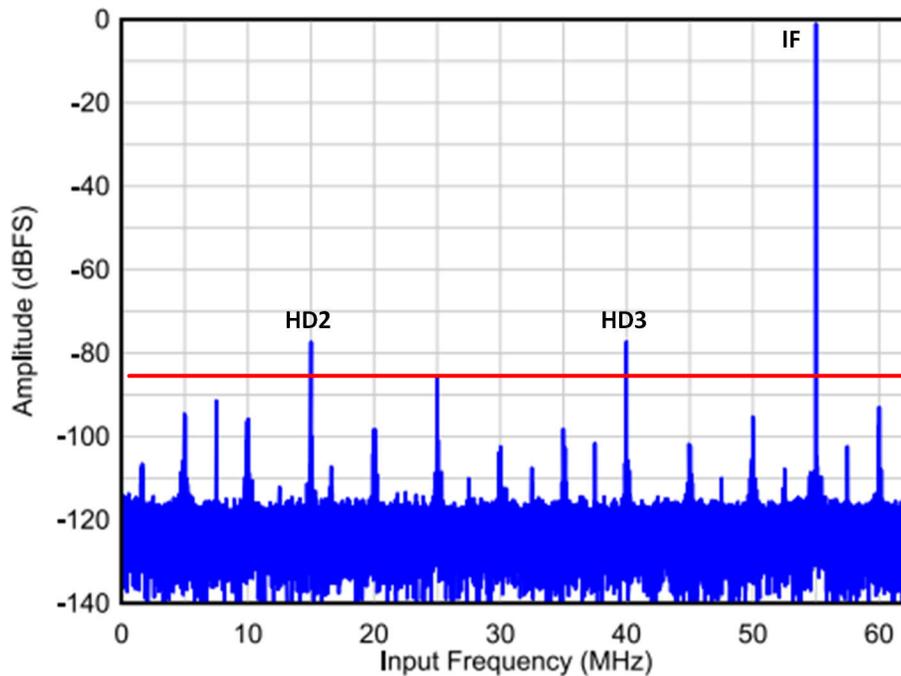


图 2-1. 应用 70MHz 模拟输入信号的 14 位 125MSPS ADC3664 示例

但是，应用中可能需要更大的 DR，例如  $-85\text{dB}$  或更大的 SFDR。模拟领域中通常会提供两种选项，我们需要做出取舍，选择其中一种。在相关中心频率附近创建一个窄带抗混叠滤波器 (AAF)。或者采用采样率更高的 ADC，这种情况下仍然需要使用 AAF，但会相对放宽对 AAF 的限制。下文将更深入地探讨这些概念。

假设要使用 125MSPS ADC 在第二奈奎斯特区对 94MHz 中频进行滤波。这意味着需要设计一个具有足够滚降特性的滤波器，在低于 62.5MHz ( $\pm 31.25\text{MHz}$ ) 的通带或奈奎斯特区中降低  $-85\text{dB}+$  SFDR 动态范围要求。具体请参阅图 2-2。这样会显著提高 AAF 设计的阶数，元件数量和元件容差的变化也会因此增加，最终创建的滤波器将难以实现和重复。

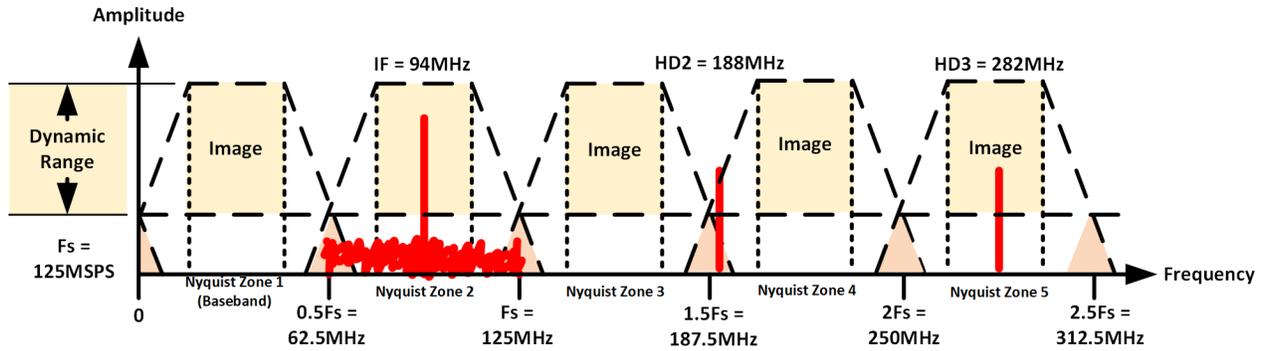


图 2-2. 125MSPS AAF/DR 示例

为证明这一点，不妨使用一个简单的滤波器建模工具，具体可参阅[抗混叠滤波器设计技术如何改进有源射频转换器前端](#)。我们至少需要设计和创建一个九阶滤波器，这样才能尽可能满足  $-85\text{dB}$  SFDR 要求。有关滤波器设计的模拟频率响应图，请参阅图 2-3。这是一种九阶巴特沃斯拓扑，中心频率为  $94\text{MHz}$ ，通带为  $10\text{MHz}$  (或  $\pm 5\text{MHz}$ )。

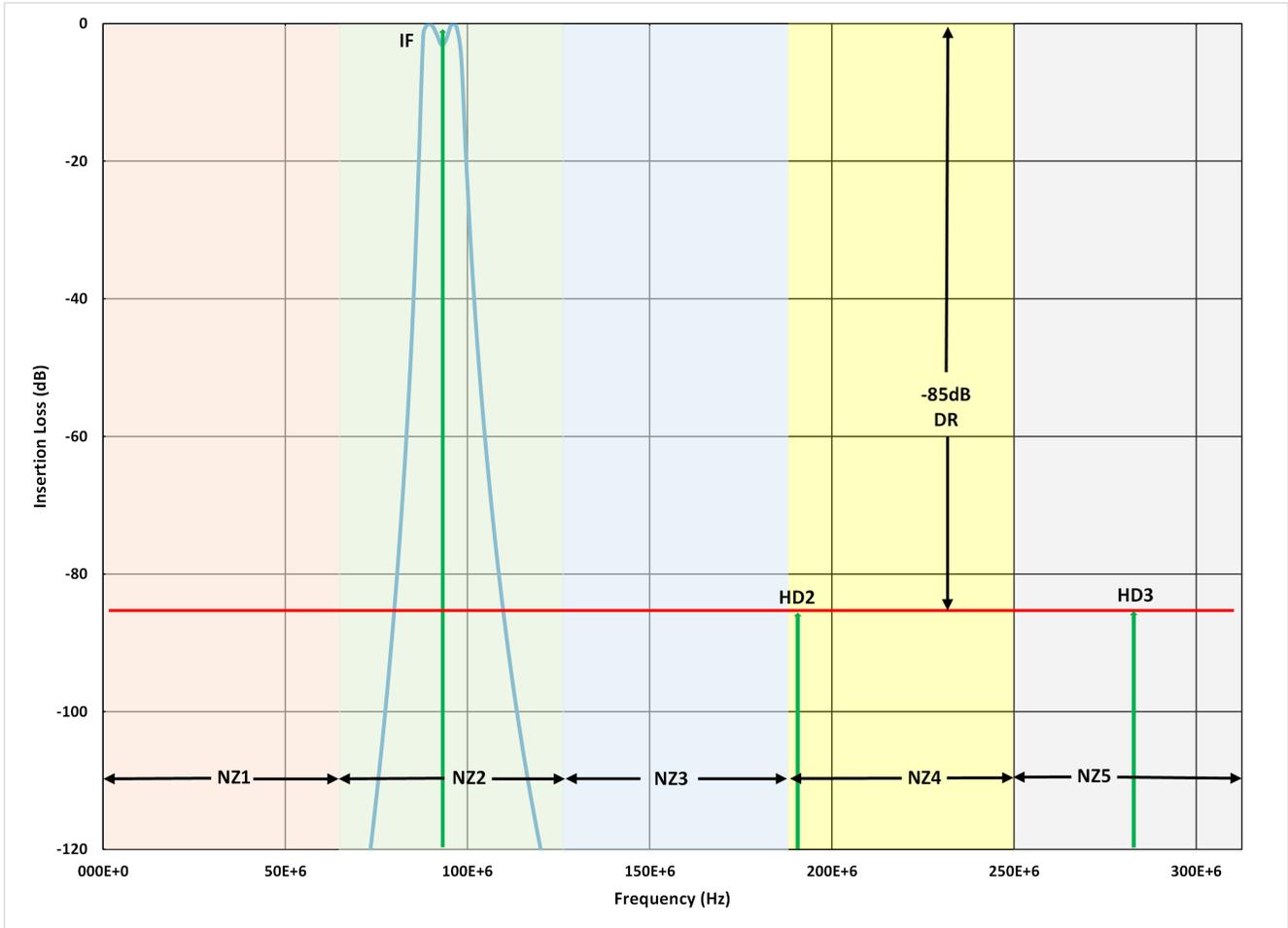


图 2-3. 通带为  $10\text{MHz}$  的  $94\text{MHz}$  九阶巴特沃斯滤波器拓扑的模拟响应

如前文所述，使用高阶滤波器时，元件数量也会相应增加。在这种情况下，根据图 2-4，可能需要配置 28 个元件。请注意，这个元件数量仅针对滤波器，不包括还可能添加的任何电阻元件，具体取决于 ADC 的共模电压需求、任何背向端接或其他数据表建议。此尺寸的滤波器还会在印刷电路板 (PCB) 上占用大量空间，此特定示例的总占用空间至少为  $1085\text{mil} \times 200\text{mil}$ 。具体请参阅图 2-5。

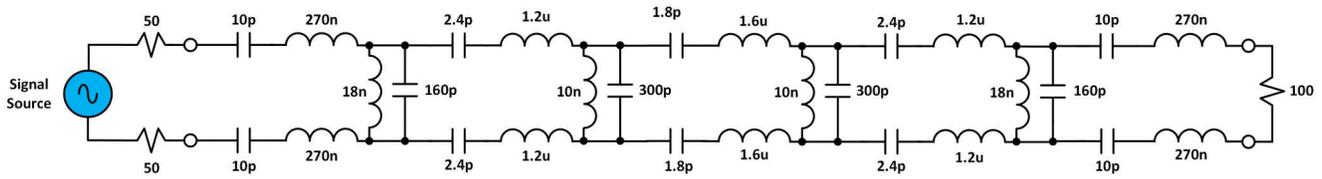


图 2-4. 九阶模拟滤波器，合成

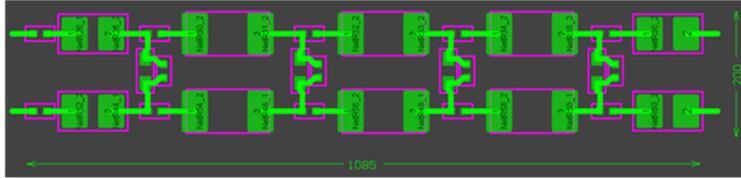


图 2-5. 九阶模拟滤波器，PCB/布局模型

另一点也值得一提：低频滤波器的尺寸通常会达到物理极限。因此，nH 和 uH 级中的元件尺寸通常会更大，这样才能应对较低的频率，所以封装尺寸通常不小于 0805。这也是需要为此类高阶低频 AAF 设计分配大量面积的另一个原因。

最后，图 2-5 中所示的 AAF 设计是差动设计，这是一种常用于放大器和 ADC 接口之间的实现方式。如果使用单端 AAF 方法和平衡-非平衡变压器来连接 ADC 的模拟输入，就可以将所需的 AAF 元件数量减少一半，具体情况如上所示。但是，平衡-非平衡变压器和用于完成此类连接的额外 ADC 元件的尺寸可能会有所不同。如需深入了解 AAF 设计，请参阅[抗混叠滤波器设计技术如何改进有源射频转换器前端](#)

### 3 低频率和较高采样率下的 AAF 性能取舍

现在，让我们改变思路，使用更高的采样率（如 500MSPS ADC）来缓解前文讨论到的 AAF 难题。我们现在获得了一个更宽的奈奎斯特区，因此会将麻烦的谐波信号 HD2/HD3 置于同一奈奎斯特区内。它们实际上不会相离太远，但因为它们现在处于同一区域内，所以不会在相关频带内混叠。这样就可以将 AAF 设计从九阶滤波器简化为四阶滤波器，如图 3-1 中所示。

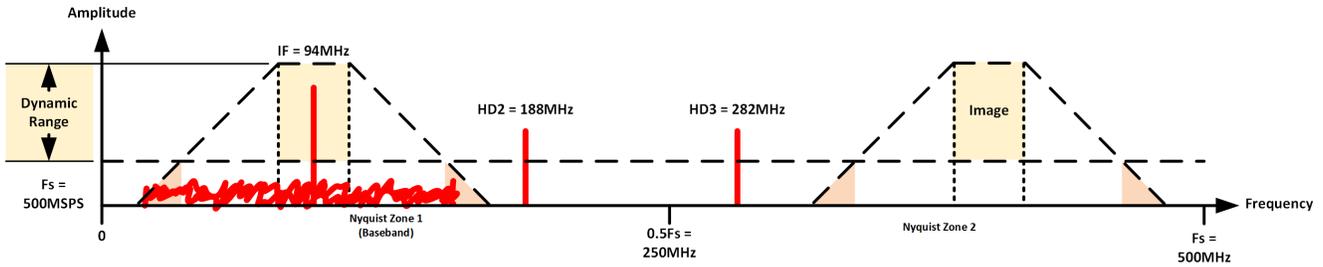


图 3-1. 500MSPS AAF 和 DR 示例

再次使用简单的滤波器建模工具，我们现在只需要设计和创建一个四阶滤波器，即可尽可能满足 -85dB SFDR 要求。有关滤波器设计的模拟频率响应图，请参阅图 3-2。这是一种四阶巴特沃斯拓扑，中心频率为 94MHz，通带为 10MHz (或 +/-5MHz)。

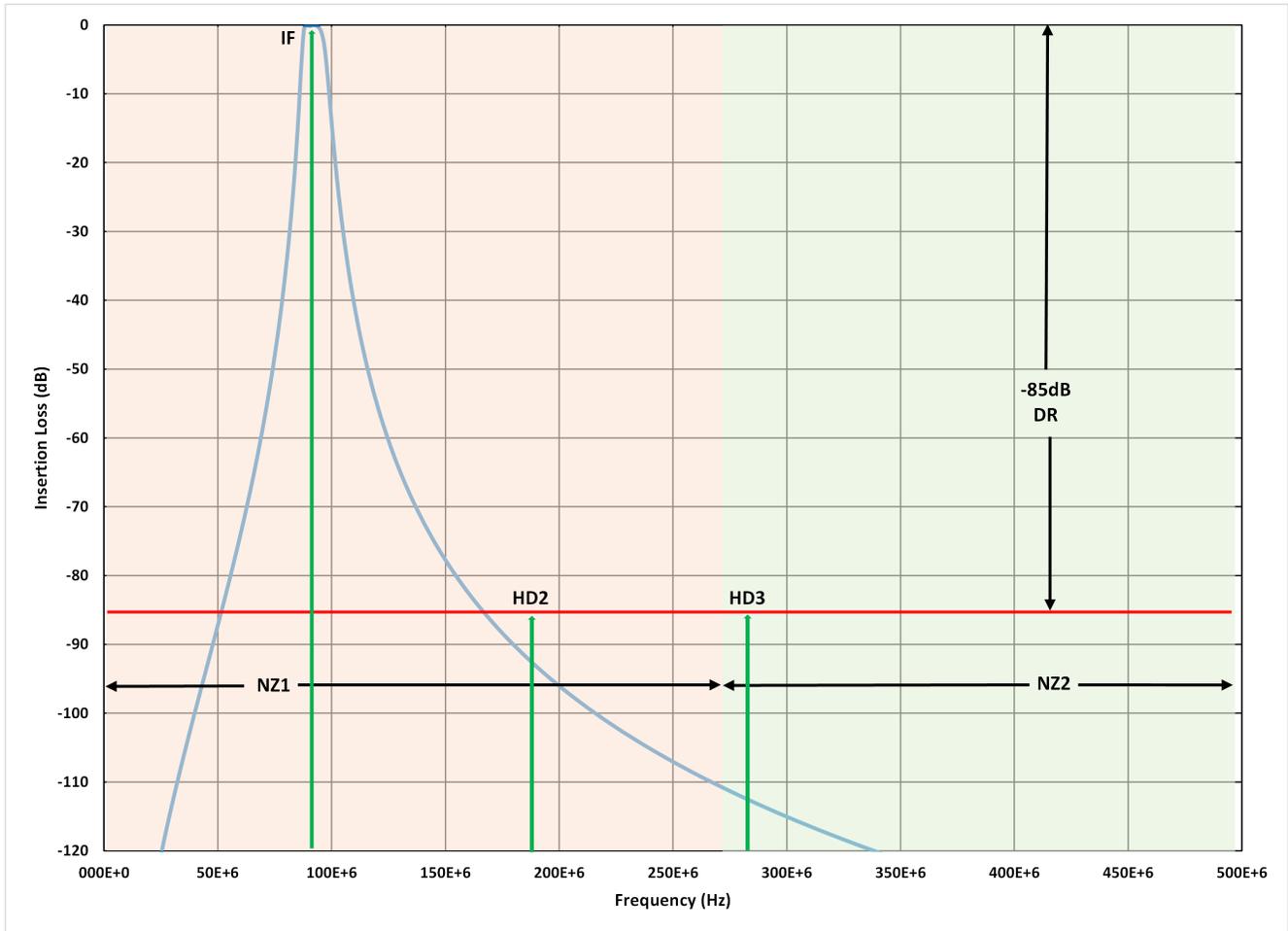


图 3-2. 通带为 10MHz 的 94MHz 四阶巴特沃斯滤波器拓扑的模拟响应

元件数量减少，元件公差之间的偏差相对于差动元件也会减小，所以滤波器设计的可实现性和可重复性均会增强，具体可参阅图 3-3。至此，工作所需的元件数量减少大半，HD2/HD3 谐波也可得到有效抑制。这种滤波器设计缩小了尺寸，现在的总面积为 530mil x 200mil，大约是等效差动滤波器设计尺寸的一半，具体可参阅图 3-4。

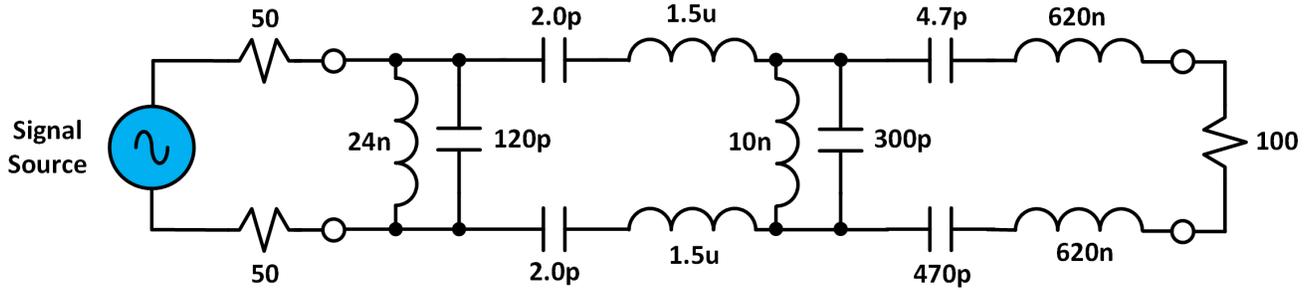


图 3-3. 四阶模拟滤波器，合成

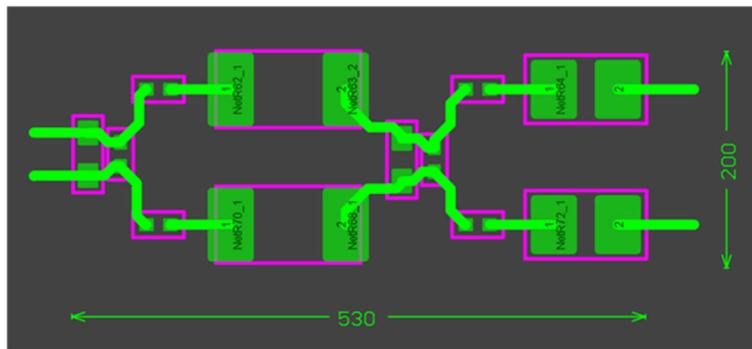


图 3-4. 四阶模拟滤波器，PCB 或布局模型

上文同样提到，图 3-4 中显示了差动滤波器方法，这是一种常用于放大器和 ADC 接口之间的实现方式。如果使用单端 AAF 方法，就可以将 AAF 设计和连接到 ADC 的平衡-非平衡变压器接口中所需的元件数量减少一半。

## 4 ADC 的集成 DDC 的功能

随着缩小 IC 工艺几何尺寸的能力日渐成熟，我们现在可以设计出高速 (MSPS) 且具有丰富数字功能的 ADC，它们与当前市场上的 GSPS 转换器类似。数字降压转换器 (DDC) 是这些新增数字功能不可或缺的一部分，用户借此能够以多种方式进行数字后端处理。通过适当的频率规划 (具体可参阅 [FREQ-DDC-FILTER-CALC 射频采样频率规划器](#)、[模拟滤波器](#)和 [DDC Excel™ 计算器](#))，用户可以对信号进行采样，在 ADC 中运用集成 DDC，并仅以数字方式移动部分相关带宽，而几乎不需要进行模拟滤波。

例如，使用 ADC3669 16 位 500MSPS ADC 时，我们可以将 ADC 配置为仅对部分频带采样 (如 [图 4-1](#) 中所述)，以便将 HD2 和 HD3 谐波排除在频带外。第一个示例显示了 ADC 处于 DDC 旁路模式时未抽取的信号。忽略突出显示的区域后，可以看到不需要的谐波也包括在了频带内，而这会对 ADC 动态范围性能产生负面影响。

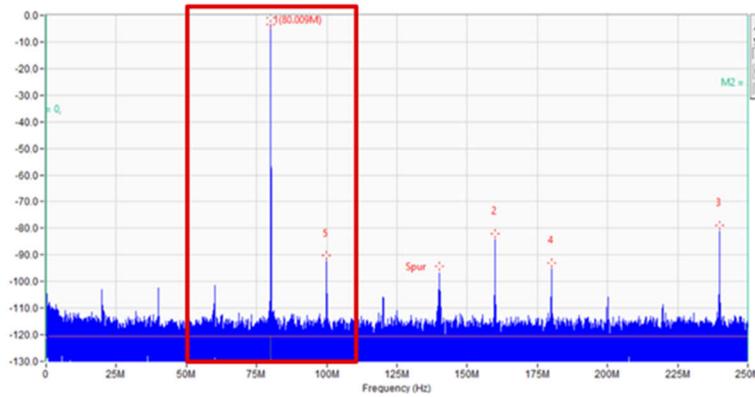


图 4-1. 处于完全 DDC 旁路模式下的 ADC3669 500MSPS ADC

以下这个示例则显示了在使用同一 ADC3669 设备 (处于实时抽取模式下) 以及复杂抽取因子为 8 时的 FFT 采集。由此可见，不需要的谐波伪波现在排除在了频带外，并从数字域中有效滤除。这提高了两个方面的性能：SNR 提高了 +6dB，原因在于 [方程式 1](#) 或 [方程式 2](#) 中的处理增益。

$$10 \times \log_{10}\left(\frac{F_s}{2 \times BW}\right) \quad (1)$$

$$SNR = 6.02 \times N + 1.76dB + 10 \times \log_{10}\left(\frac{F_s}{2 \times BW}\right) \quad (2)$$

其中：N = ADC 位数

Fs = ADC 采样频率

BW = 奈奎斯特区内的相关带宽

同时还将不需要的谐波伪波 (HD2/HD3) 排除在频带外，从而产生 -85dB 或更佳 SFDR。这一切都有赖于 DDC！查看 [图 4-2](#) 和 [应对高数据处理量挑战, Chase Wood, 嵌入式计算设计](#)、[利用降压转换器激发射频潜力, Chase Wood, 嵌入式计算设计](#)，以及 [分析高带宽频谱集群, Chase Wood, 嵌入式计算设计](#)，深入了解有关抽取的基础知识和利弊。

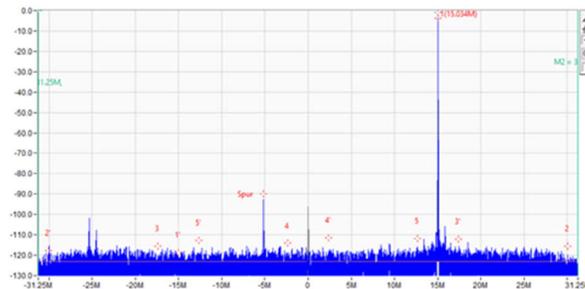


图 4-2. 复杂抽取因子为 8 的 ADC3669 500MSPS

## 5 总结

总而言之，在改善整体系统 DR 性能方面，提高 ADC 的采样率和/或使用具有数字处理功能的 ADC 均可发挥重要作用。前期会有一处不足，即：如果采用 DDC，ADC 的功耗会略有增加。导致该结果的原因在于 ADC 采样率较高，并且在 ADC 内使用了额外的数字功能。不过，如果应用仍在使用版本较老的 ADC，那么在性能方面并不会有所改善。

本文还揭示了在模拟 AAF 设计中需要取舍的因素，以及使用 DDC 功能应对动态范围限制时的优势。请注意，经过取舍的方案有助于应对麻烦的 HD2 和 HD3 谐波，但如果使用多音信号，它们将无法对 IMD3 伪波充分发挥作用，因此某些应用中可能需要进一步滤波。

无论使用其中一种技术，还是结合使用两种技术，均将有助于为后续高速信号链应用提供性能更优秀的动态范围，而不会受到所用模数转换器的影响，因此市场上最新的 MSPS ADC 或者 GPS ADC 均可使用。

## 6 参考资料

1. 德州仪器 (TI), [高精度实验室系列：模数转换器 \(ADC\)](#)
2. [Ansys Nuhertz FilterSolutions](#)
3. 德州仪器 (TI), [抗混叠滤波器设计技术如何改进有源射频转换器前端](#), 模拟设计期刊 [抗混叠滤波器设计技术如何改进有源射频转换器前端](#), 模拟设计期刊
4. [应对高数据处理量挑战](#), Chase Wood, 嵌入式计算设计
5. [利用降压转换器激发射频潜力](#), Chase Wood, 嵌入式计算设计
6. [分析高带宽频谱集群](#), Chase Wood, 嵌入式计算设计
7. 德州仪器 (TI), [TIPL4701：高速数据转换器 RR 中的采样与数据速率、抽取 \(DDC\) 和内插 \(DUC\)：高精度实验室中的视频](#)
8. 德州仪器 (TI), [探讨测试和测量应用中射频采样数据转换器的快速跳频](#), 模拟设计期刊
9. 德州仪器 (TI), [ADC3664 14 位 125MSPS 低噪声、低功耗双通道 ADC 数据表](#)
10. 德州仪器 (TI), [ADC3668、ADC3669 双通道 16 位 250MSPS 和 500MSPS 模数转换器 \(ADC\) 数据表](#)
11. 德州仪器 (TI), [DATA CONVERTER PRO-SW 高速数据转换器专业软件](#)
12. 德州仪器 (TI), [FREQ-DDC-FILTER-CALC 射频采样频率规划器、模拟滤波器和 DDC Excel™ 计算器](#)

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
版权所有 © 2025，德州仪器 (TI) 公司