

流媒体后视镜 **FPDlink 935+934** 系统解决方案

张颖 Imelda Zhang / 周豪 Haury Zhou / 夏伦腾 Alan Xia

FAE Auto Tier1

ABSTRACT

流媒体后视镜是一种利用摄像头和显示屏取代传统后视镜或侧视镜的新型摄像头监控系统 CMS (Camera Monitor System)。本应用手册主要帮助用户了解车载流媒体后视镜 FPLINK III DS90UB935-Q1 和 DS90UB934-Q1 系统解决方案，介绍串行解串器工作原理、产品搭配使用示例代码及验证测试方法，帮助用户缩短调试时间，设计出更加稳定的系统。

Contents

1	流媒体后视镜常见系统解决方案.....	2
2	系统方案介绍	2
2.1	DS90UB935-Q1 速率评估	3
2.2	DS90UB935-Q1 Raw 10 模式 YUV422 数据传输原理	3
3	DS90UB935-Q1 和 DS90UB934-Q1 初始化代码配置.....	5
3.1	DS90UB935-Q1 初始化配置	5
3.2	DS90UB934-Q1 初始化配置	5
4	CLKIN 数值计算	5
5	DS90UB935-Q1+DS90UB934-Q1 输出正常验证方法	6
6	参考文献	10

Figures

Figure 1.	视频处理单元座舱 SOC	2
Figure 2.	视频处理单元集成到屏幕	2
Figure 3.	双视频处理单元	2
Figure 4.	YUV422 像素格式	3
Figure 5.	RAW 10 在 CSI 总线中的传递方式	3
Figure 6.	RAW 10 帧格式	4
Figure 7.	YUV422 10bit 数据传递方式	4
Figure 8.	YUV422 10bit 帧格式	5
Figure 9.	935 CLKIN 工作正常，934 PCLK 120Mhz	6
Figure 10.	935 CLKIN 移除，934 PCLK 50Mhz	7
Figure 11.	934 DVP Vsync 信号频率	7
Figure 12.	934 DVP Hsync 脉冲计数	7
Figure 13.	934 DVP Hsync 脉冲持续时间	8
Figure 14.	934 DVP Hsync 一个周期波形	8
Figure 15.	DS90UB935-Q1 数据手册 CSI 长包格式	9
Figure 16.	DS90UB935-Q1 数据手册 CSI 有效数据计数寄存器	9

1 流媒体后视镜常见系统解决方案

流媒体后视镜是一种利用摄像头和显示屏取代传统后视镜或侧视镜的新型摄像头监控系统 CMS (Camera Monitor System)。相比于传统光学镜面，流媒体后视镜具备扩展视野，消除盲区，夜市增强等功能，并显著提高了雨雪天气及夜间行车的安全性。市面上流媒体后视镜的系统解决方案多种多样，最核心的系统控制器是 SOC 和 ISP(Image signal processor)。

部分客户选用座舱侧 SOC 作为视频处理单元，降低成本。



Figure 1. 视频处理单元座舱 SOC

而部分客户选择将 ISP 集成到屏端作为视频处理单元，提高屏幕集成度。

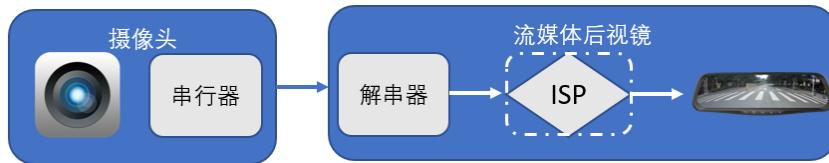


Figure 2. 视频处理单元集成到屏幕

如果 SOC 不具备直接输出流媒体后视镜需要的数据格式，屏幕后端仍需要一个 ISP 进行数据格式调整视频数据格式。本文以 Figure 3 为例，介绍 TI FPDlink 935+934 流媒体后视镜智能解决方案。



Figure 3. 双视频处理单元

2 系统方案介绍

本例中屏端使用 ISP 集成在屏幕端的方案，DS90UB934-Q1 输出 DVP 数据格式，而前端 SOC 不具备直接输出 DVP 数据格式的能力，本例使用 DS90UB935-Q1 工作在 Raw10 模式搭配 DS90UB934-Q1 实现 CSI 转 DVP，降低座舱端的系统成本。本例选用流媒体后视镜参数为 1440 x 300 @60fs，需要接收 DVP 格式信号，无 BT656 要求。前级 CSI 输入带宽最小为 300Mbps/lane 共 4line。

2.1 DS90UB935-Q1 速率评估

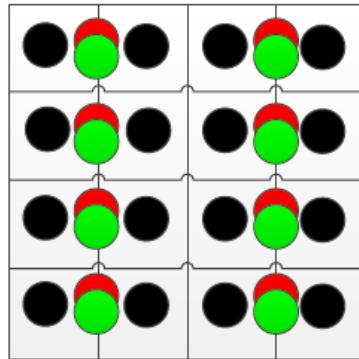


Figure 4. YUV422 像素格式

每个像素都有独立的 YUV 分量，黑圈代表 Y，红圈代表 U，绿圈代表 V，每个分量用 8bit 表示。如图 4 所示，16 个 Pixel 每个像素都有独立的 Y 分量，但是每两个像素共享一个 U、V 分量，因此则共需要 32byte 数据，等效于每个像素需要 2byte。一个像素需要两个 PCLK 输出来分别传输 2 个 byte，即 Y 分量和 UV 分量，这种情况下计算 DS90UB935-Q1 的 PCLK 需要 $\times 2$ 。关于数据格式的详细介绍见[深入理解 FPD-LINK 产品的速率评估方法](#)。Blanking 为 25% 的情况下，DS90UB935-Q1 PCLK= $1440 \times 300 \times 60 \times 1.25 \times 2 = 68.12\text{Mhz}$ 该频率小于 DS90UB935-Q1 PCLK 100Mhz。

2.2 DS90UB935-Q1 Raw 10 模式 YUV422 数据传输原理

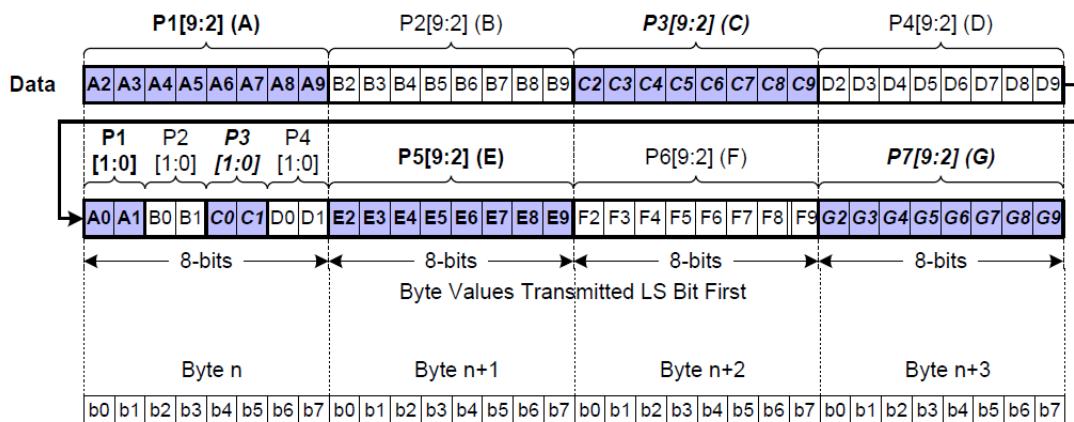


Figure 5. RAW 10 在 CSI 总线中的传递方式

图 5 为 mipi alliance raw10 和 YUV422 数据格式和传递方式示例。由图 5-8 可以看出 Raw10 的数据打包格式和 YUV422 10bit 数据打包格式一致。每传递 4 个有效数据的[2:9]位，再传递前 4 个数据的[0:1]位。由此我们可以得出，实际 935 CSI 的数据线 0-9 对应 934 DVP 0-9，即可以通过该方式实现 CSI 转 DVP。此外，实际使用中屏幕端 ISP 接收数据格式需要为 YUV422 8bit。

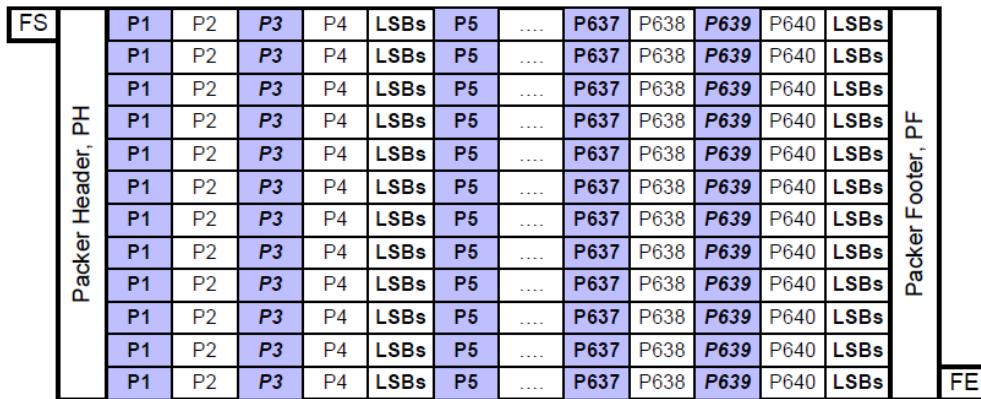


Figure 6. RAW 10 帧格式

在前端 SOC 对 YUV422 10bit 进行数据填充时，可以选择只对 935 数据线 2-9 进行填充，数据线 0-1 为数据 0。以上填充可以在解串器 934 端可以实现数据线 2-9 为有效数据，传递 YUV8bit。此外，某些 ISP 对于接收 DVP 信号的数据格式有要求，如 BT.656 或者 BT.601 等数据格式。需要注意的是，针对 CSI+DVP 的串行解串组合方式，不存在 BT.656 和 BT.601 的说法，CSI 输入没有内嵌 BT656 等信号的能力。如果需要 BT656 的格式，可以使用 933+934，前级 ISP 需要具备产生 BT656 数据格式的能力。

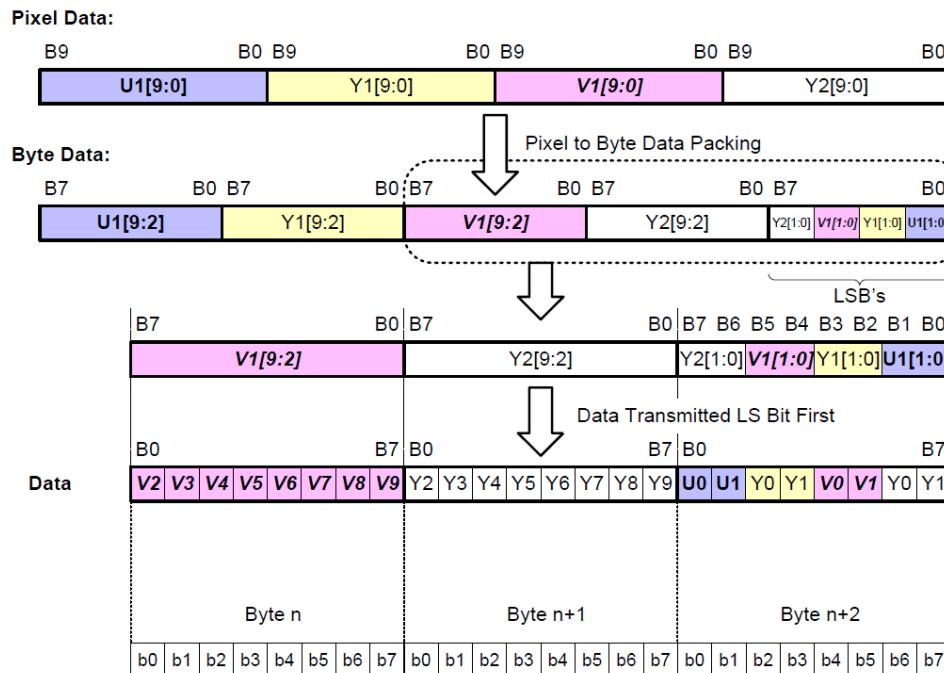


Figure 7. YUV422 10bit 数据传递方式

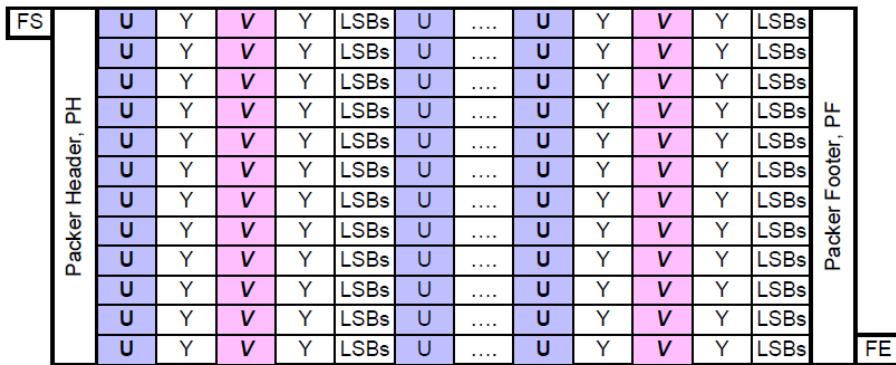


Figure 8. YUV422 10bit 帧格式

3 DS90UB935-Q1 和 DS90UB934-Q1 初始化代码配置

935 和 934 软件初始化配置代码见下，具体原因见数据手册和 DS90UB953-Q1 Backwards Compatibility Modes for Operation With Parallel Output Deserializers.

3.1 DS90UB935-Q1 初始化配置

```
0x02 0x73 // Set CSI-2 continuous clock, 4 lane  
0x03 0x5D // Set DVP External Clock Backwards Compatible Mode  
0x04 0x05 // Set Raw 10 HF MODE  
0x10 0x10 // Pass all packets regardless of data type
```

3.2 DS90UB934-Q1 初始化配置

0x02 0x3C // Output Control Override Enable, Output enable, Output Sleep State Select
0x6D 0x7f // Set Coax mode, RAW10 mode

4 CLKIN 数值计算

CLKIN 的数值和前端 CSI-2 的带宽是直接相关的，和实际屏幕参数没有关系。本例中 CSI-2 的 Data rate 为 300Mbps/Lane，共计 4 条 lane，则整体 CSI-2 的吞吐量为 1.2Gbps。DS90UB935-Q1 在 Raw 10 的工作模式下，实际 CLKIN 和 CSI-2 的吞吐量为 20 倍的关系，则实际选用 CLKIN=60Mhz，CSI-2 CLK=150Mhz。详细公式推导过程见应用手册 [DS90UB935-Q1 FPD-Link III 3Gbps Serializer With CSI-2 Interface datasheet \(Rev. C\)](#)。

RAW10: CSI-2 Throughput = CLKIN × 20

CSI-2 Throughput = CSI-2 Data Rate × # of Lanes

CSI-2 Data Rate = 2 × CSI-2 CLK

5 DS90UB935-Q1+DS90UB934-Q1 输出正常验证方法

DS90UB935-Q1 和 DS90UB934-Q1 配合无法使用 Pattern，需要使用示波器进行波形测试。首先，可以测试一下 DS90UB934-Q1 Lock pin 电平是否为高。935 和 934 在信号链路质量没问题的情况下，只要 934 和 935 硬件模式匹配即可 lock。TI 目前不支持 DVP 输出格式的 pattern，我们可以通过在 934 端测量实际输出信号来验证 DVP 是否正常。934 PCLK pin 的频率可以使用下述计算方法计算：

$$\text{RAW10: RX PCLK} = \text{CLKIN} \times 2$$

本例 RX PCLK=60Mhz \times 2=120Mhz，需要注意的是，如果 CLKIN 晶振虚焊，935 会参考内部 25Mhz 时钟，934 端输出时钟为 50Mhz。

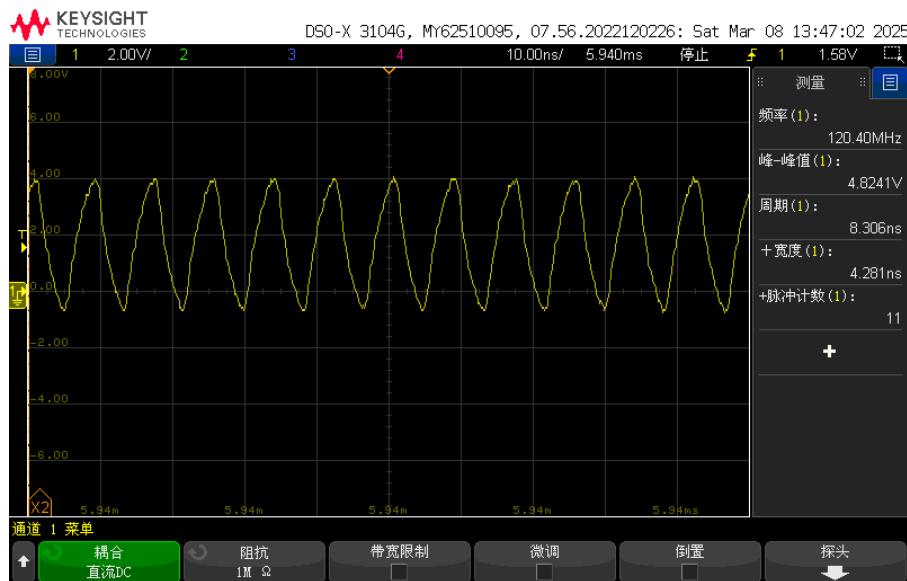


Figure 9. 935 CLKIN 工作正常，934 PCLK 120Mhz

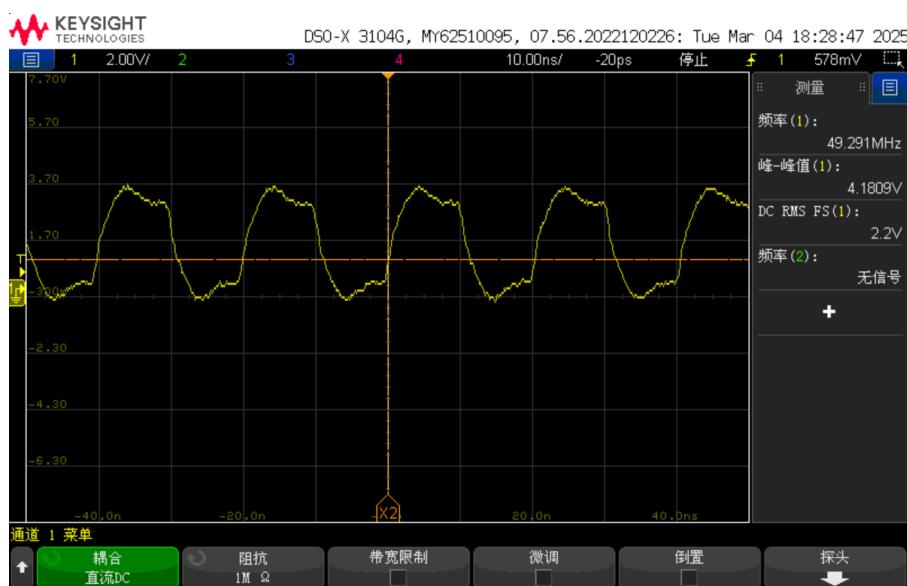


Figure 10. 935 CLKIN 移除, 934 PCLK 50Mhz

DVP 协议中 Vsync 信号表示一帧的开始，为帧同步信号（Vertical synchronization），60Hz 屏幕分辨率下，1S 内有 60 帧，可以通过测量 934 端 Vsync 信号频率验证屏幕分辨率 60Hz。

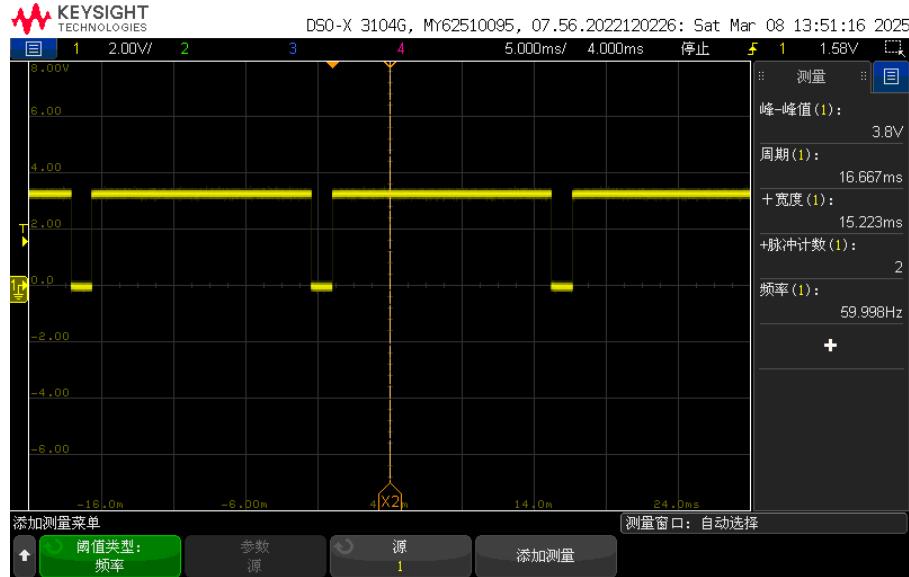


Figure 11. 934 DVP Vsync 信号频率

DVP 协议中 Hsync 信号表示一行的开始，为行同步信号（Horizontal synchronization）通过数 Hsync 个数可以得出 Vactive，即 Hsync 表示发送了多少行。如果示波器含有计数功能，可以直接计数得出结果。如果没有，可以测量一帧内 Hsync 持续时间，除以 Hsync 周期。

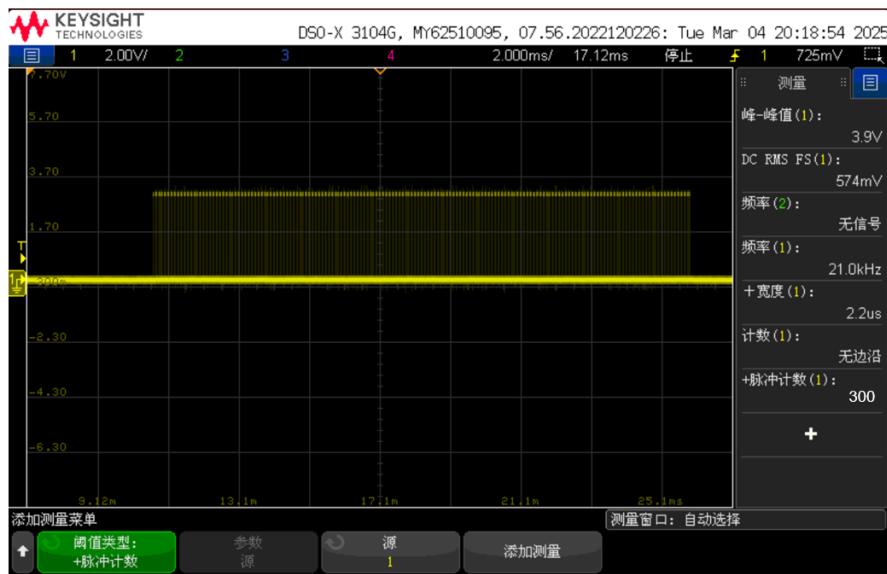


Figure 12. 934 DVP Hsync 脉冲计数

如图 13 所示，一帧中 DVP Hsync 信号持续的时间约为 15.26ms。如图 14 所示，测量 Hsync 一个周期为 51us。则 Hsync 脉冲计数为 $15.26\text{ms}/51\text{us}=300$ 。

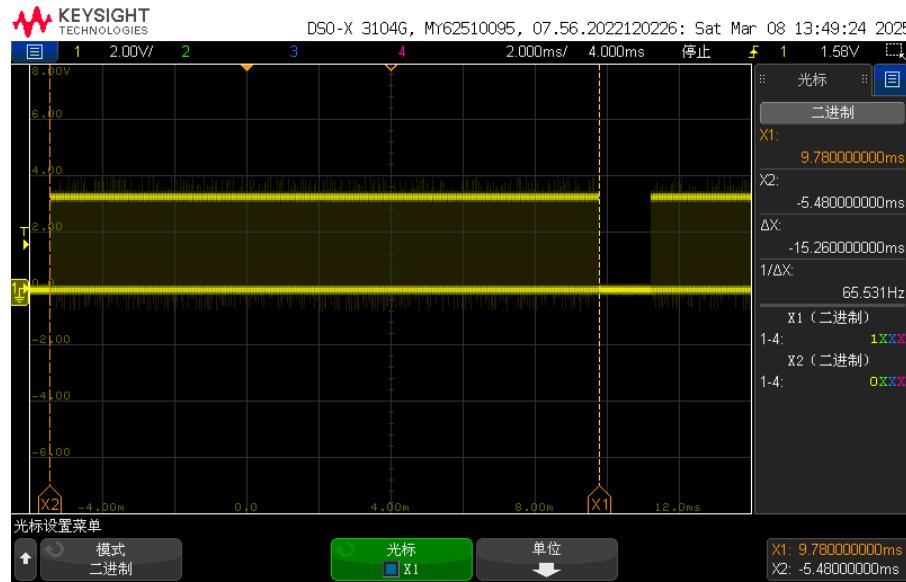


Figure 13. 934 DVP Hsync 脉冲持续时间

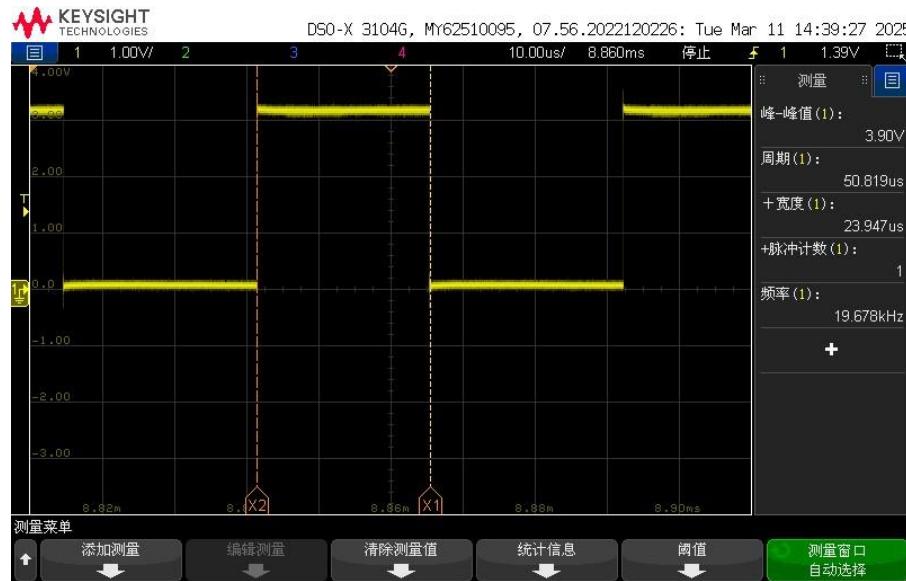


Figure 14. 934 DVP Hsync 一个周期波形

当一个周期内 Hsync 为高，表示 Horizontal Active 信号被传输。当 Hsync 为低，意味着 Horizontal blanking 被传输。如图 13 所示，Hsync 为高的时间为 24us，则 UB934 DVP 有效数据量计算如下：

UB934 DVP bandwidth: $120\text{MHz}(\text{PCLK}) * 24\mu\text{s}(\text{HSYNC Active}) * 10\text{bit}(\text{Parallel width}) = 28800\text{bit}$

由 DS90UB935-Q1 数据手册可知，由 0x62 0x63 寄存器可以得出来 CSI 包头中有效数据的 word count。根据寄存器回读数值，0x62=0x10，0x63=0x0E，即一整个数据包中的有效数据为 3600 个，则 UB935 CSI 有效数据量计算如下：

UB935 CSI active through input: $3600(0xE10)*8\text{bit}(1\text{byte})=28800\text{bit}$

如图 13 所示，一帧中 DVP Hsync 信号持续的时间约为 15.26ms。如图 14 所示，测量 Hsync 一个周期为 51us。则 Hsync 脉冲计数为 $15.26\text{ms}/51\text{us}=300$ 。

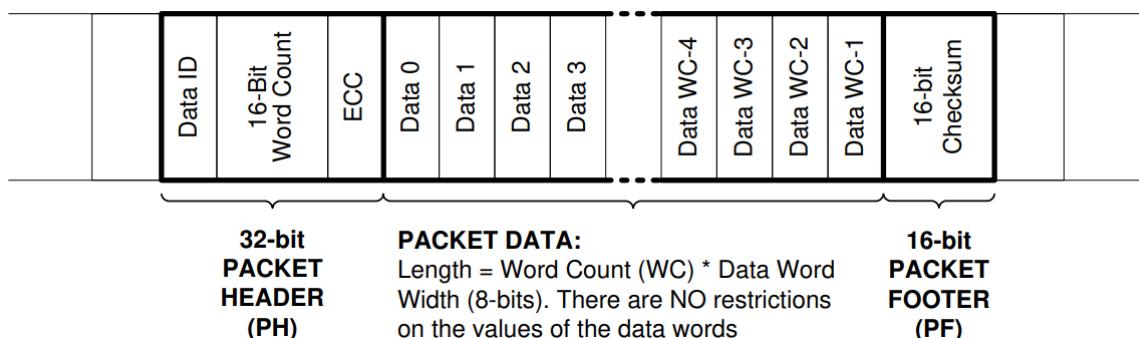


Figure 6-3. CSI-2 Long Packet Structure

Table 6-1. CSI-2 Long Packet Structure Description

PACKET PART	FIELD NAME	SIZE (BIT)	DESCRIPTION
Header	VC / Data ID	8	Contains the virtual channel identifier and the data-type information.
	Word Count	16	Number of data words in the packet data. A word is 8 bits.
	ECC	8	ECC for data ID and WC field. Allows 1-bit error recovery and 2-bit error detection.
Data	Data	$WC \times 8$	Application-specific payload (WC words of 8 bits).
Footer	Checksum	16	16-bit cyclic redundancy check (CRC) for packet data.

Figure 15. DS90UB935-Q1 数据手册 CSI 长包格式

6.7.1.73 Packet Header Word Count 0

Table 6-85. PKT_HDR_WC_LSB (Address 0x62)

BIT	FIELD	TYPE	DEFAULT	DESCRIPTION
7:0	LONG_PKT_WRD_CNT_LSB	R	0x00	Payload count lower byte from CSI-2 Packet header.

6.7.1.74 Packet Header Word Count 1

Table 6-86. PKT_HDR_WC_MSB (Address 0x63)

BIT	FIELD	TYPE	DEFAULT	DESCRIPTION
7:0	LONG_PKT_WRD_CNT_MSB	R	0x00	Payload count upper byte from CSI-2 Packet header.

Figure 16. DS90UB935-Q1 数据手册 CSI 有效数据计数寄存器

综上，TI FPDlink 芯片 DS90UB935-Q1 和 DS90UB934-Q1 提供了成熟系统解决方案，实现视频信号的长距离传输，保证图像信号的准确性，为安全驾驶提供了更多保障。

6 参考文献

1. DS90UB934-Q1 12-Bit, 100-MHz FPD-Link III Deserializer for 1MP/60fps and 2MP/30fps Cameras (SNLS507C)
2. DS90UB935-Q1 FPD-Link III 3Gbps Serializer With CSI-2 Interface (SNLS605C)
3. DS90UB953-Q1 Backwards Compatibility Modes for Operation With Parallel Output Deserializers (SNLA270A)
4. 深入理解 FPD-LINK 产品的速率评估方法 (ZHCAA76)

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#))、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025 , 德州仪器 (TI) 公司

最后更新日期 : 2025 年 10 月