

时钟抖动时域分析，第 2 部分

作者：Thomas Neu, 德州仪器 (TI) 系统与应用工程师

滤波采样时钟测量

我们建立了一个试验，目的是检查测得时钟相位噪声与提取自 ADC 测得 SNR 的时钟抖动的匹配程度。如图 11 所示，一个使用 Toyocom 491.52-MHz VCXO 的 TI CDCE72010 用于产生 122.88-MHz 采样时钟，同时我们利用 Agilent 的 E5052A 来对滤波相位噪声输出进行测量。利用一个 SNR 主要受限于采样时钟抖动的输入频率对两种不同的 TI 数据转换器 (ADS54RF63 和 ADS5483) 进行评估。快速傅里叶变换 (FFT) 的大小为 131000 点。

图 11 滤波后时钟相关性测试装置结构

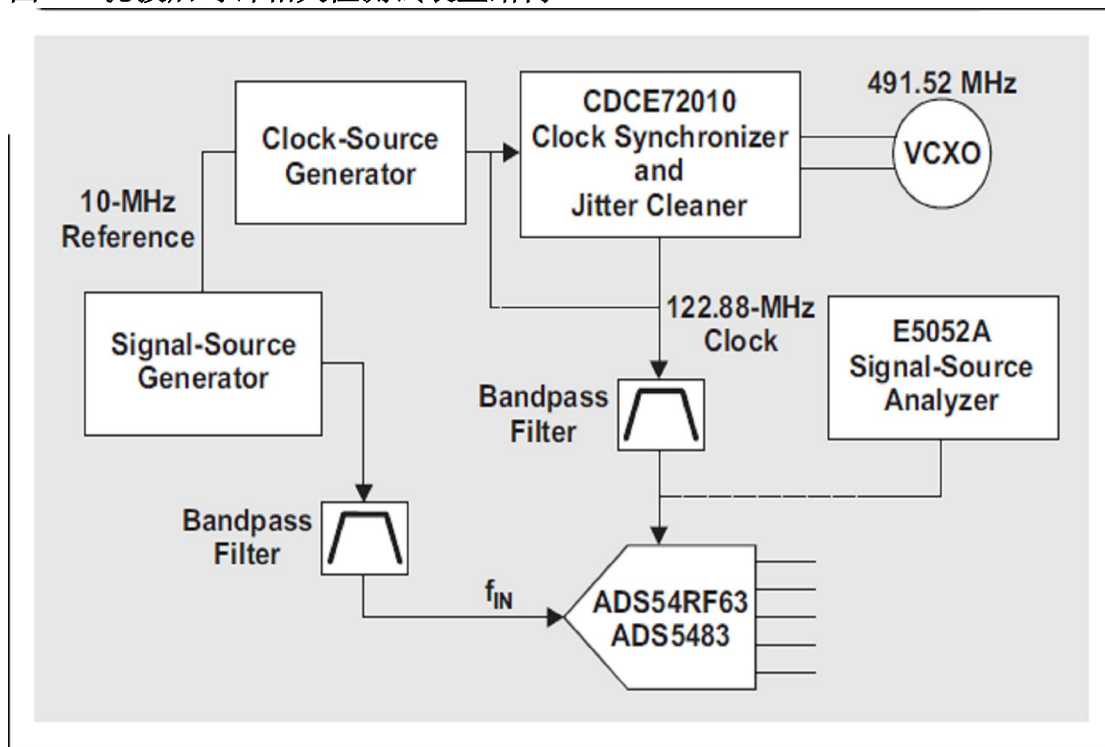
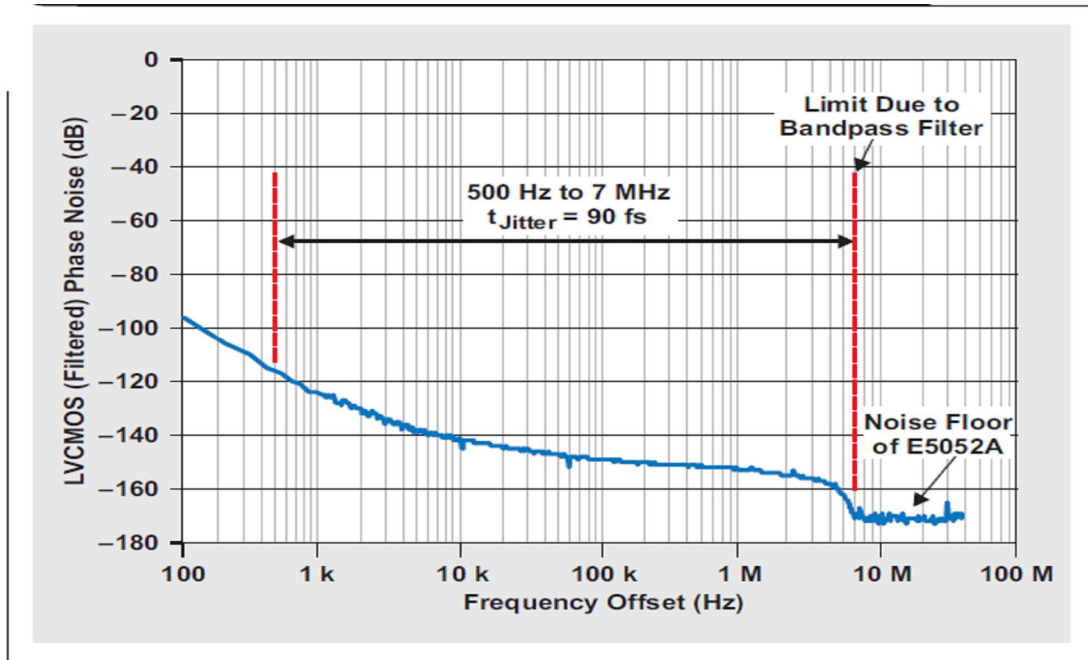


图 12 所示曲线图描述了滤波后 CDCE72010 LVCMOS 输出的测得输出相位噪声。131000 点的 FFT 大小将低积分带宽设定为 ~500 Hz。积分上限由带通滤波器设定，其影响在相位噪声曲线图中清晰可见。超出曲线图所示带通滤波器限制的相位噪声为 E5052A 的噪声底限，不应包括在抖动计算中。滤波后相位噪声输出的积分带来 ~90 fs 的时钟抖动。

图 12 滤波后时钟的测得相位噪声



接下来，我们建立起了热噪声基线。我们直接从 ~ 35 fs 抖动的时钟源生成器使用滤波后采样时钟对两种 ADC 采样，而 CDCE72010 被绕过了。将输入频率设定为 10 MHz，预计对时钟抖动 SNR 无影响。然后，通过增加输入频率至 SNR 主要为抖动限制的频率，确定每个 ADC 的孔径抖动。由于采样时钟抖动远低于估计 ADC 孔径抖动，因此计算应该非常准确。另外还需注意，时钟源的输出振幅应会增加（但没有多到超出 ADC 的最大额定值），从而升高时钟信号的转换率，直到 SNR 稳定下来为止。

我们知道时钟源生成器滤波后输出的外部时钟抖动为 ~ 35 fs，因此我们可以利用测得的 SNR 结果，然后对第 1 部分（请参见参考文献 1）中的方程式 1、2 和 3 求解孔径抖动值，从而计算得到 ADC 孔径抖动，请参见下面的方程式 4。表 3 列举了每种 ADC 测得的 SNR 结果以及计算得孔径抖动。

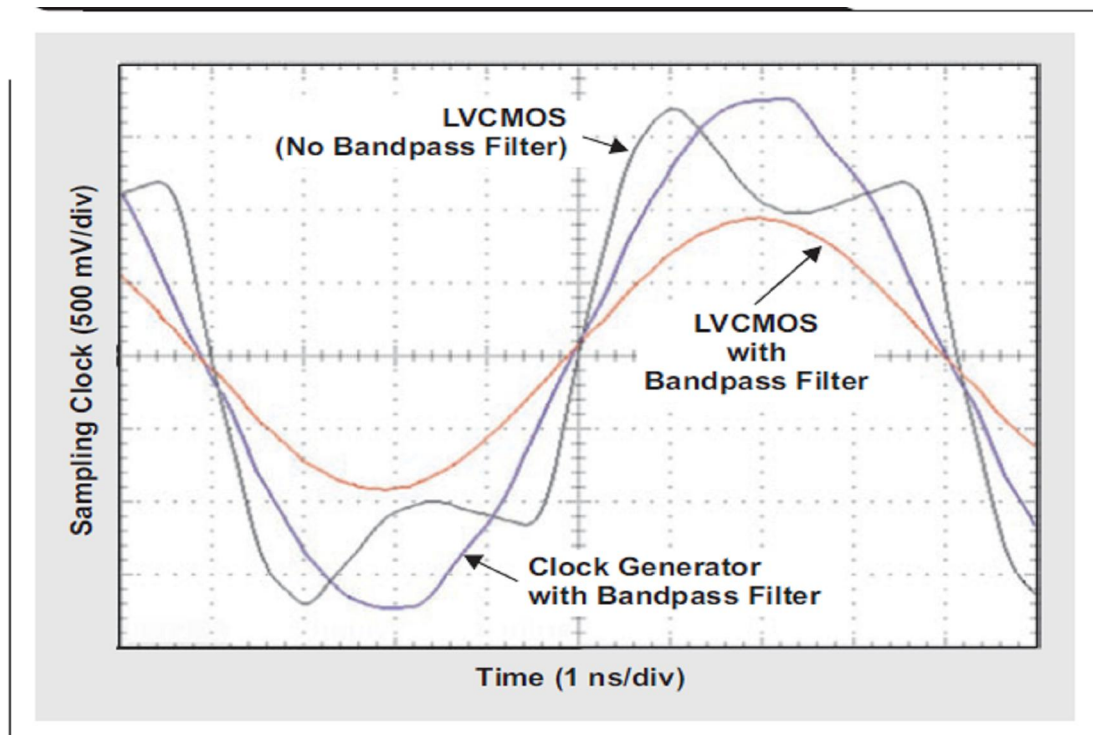
表 3 测得的 SNR 和计算得抖动

DEVICE	THERMAL NOISE (MEASURED SNR AT $f_{IN} = 10$ MHz) (dBFS)	MEASURED SNR AT HIGH f_{IN} (JITTER-LIMITED) (dBFS)	CALCULATED APERTURE JITTER (fs)
ADS54RF63	64.4	61.0 ($f_{IN} = 1$ GHz)	~ 115
ADS5483	79.1	78.2 ($f_{IN} = 100$ MHz)	~ 85

利用 ADC 孔径抖动和 CDCE72010 的采样时钟抖动，可以计算出 ADC 的 SNR，并与实际测量结果对比。使用 ADC 孔径抖动可以通过测得 SNR 值计算出 CDCE72010 的采样时钟抖动，如表 4 所列。乍一看，预计 SNR 值有些接近测得值。但是，将两种 ADC 计算得出的采样时钟抖动与 90 fs 测得值对比时，出现另一幅不同的场景，其有相当多的不匹配。

不匹配的原因是，计算得出的孔径抖动是基于时钟源生成器的快速转换速率。CDCE72010 的 LVCMOS 输出消除了时钟信号的高阶谐波，其有助于形成快速升降沿。图 13 所示波形图表明了带通滤波器急剧降低未滤波 LVCMOS 输出转换速率，以及将方波转换为正弦波的过程。

图 13 时钟抖动对采样时钟转换速率的影响



$$t_{\text{Aperture_ADC}} = \sqrt{\left[\frac{\sqrt{\left(10 \frac{\text{SNR}_{\text{Measured}}}{20}\right)^2 - \left(10 \frac{\text{SNR}_{\text{Thermal Noise}}}{20}\right)^2}}{2\pi \times f_{\text{IN}}}\right]^2 - (t_{\text{Jitter,Clock_Input}})^2} \quad (4)$$

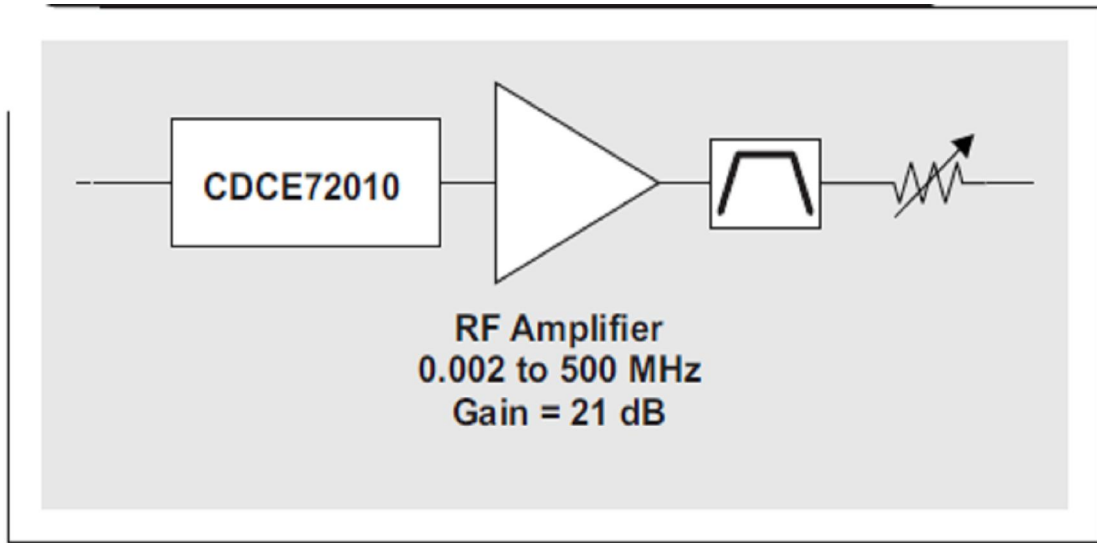
表 4 90-fs 时钟抖动的 SNR 结果

DEVICE	CALCULATED SNR WITH 90-fs CLOCK JITTER (dBFS)	MEASURED SNR (dBFS)	CALCULATED JITTER FROM MEASURED SNR (fs)
ADS54RF63 ($f_{\text{IN}} = 1 \text{ GHz}$)	59.9	58.7	~130
ADS5483 ($f_{\text{IN}} = 100 \text{ MHz}$)	77.8	77.1	~125

改善转换速率的一种方法是：在 CDCE72010 的 LVCMOS 输出和带通滤波器之间添加一个具有相当量增益的低噪声 RF 放大器，参见图 14。该放大器应该放置于滤波器前面，这样便可以将其对时钟信号的噪声影响程度限定在滤波器带宽，而非 ADC 的时钟输入带宽。由于下一个试验的放大器具有 21 dB 的增益，因此我们在带通滤波器后面增加了一个可变衰减器，旨在匹配滤波后 LVCMOS

信号到时钟生成器滤波后输出的转换速率。该衰减器可防止 ADC 的时钟输入超出最大额定值。

图 14 带通滤波器前面添加 RF 放大器来降低转换速率



通过在时钟输入通路中安装低噪声 RF 放大器，两个数据转换器重复进行了高输入频率的 SNR 测量，其结果如表 5 所示。我们可以看到，测得 SNR 和预计 SNR 匹配的非常好。使用下面的方程式 5，计算得到的时钟抖动值在 90-fs 时钟抖动的 5 fs 以内，其结果通过相位噪声测得推导得出。

表 5 90-fs 时钟抖动和 RF 放大器的 SNR 结果

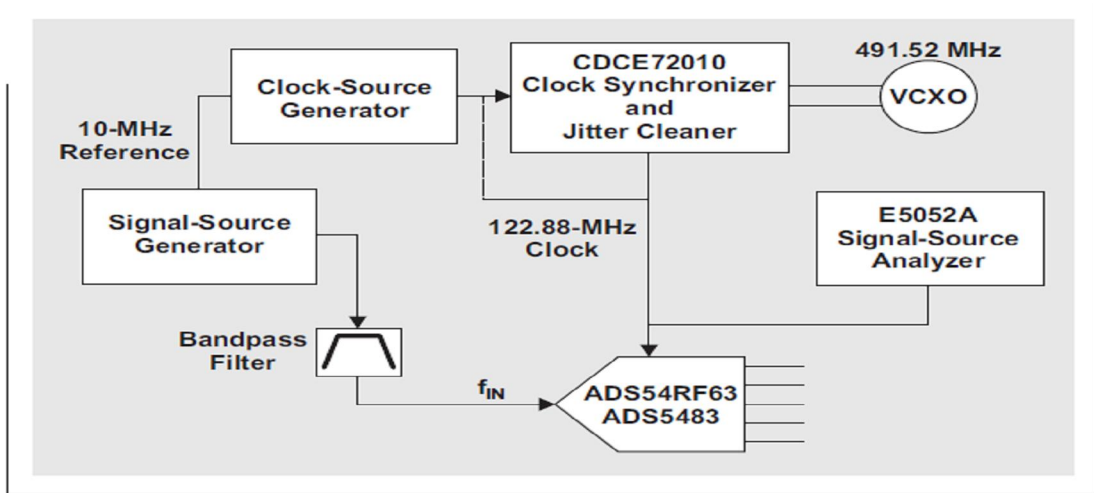
DEVICE	CALCULATED SNR WITH 90-fs CLOCK JITTER (dBFS)	MEASURED SNR WITH RF AMPLIFIER (dBFS)	CALCULATED JITTER FROM MEASURED SNR (fs)
ADS54RF63 ($f_{IN} = 1 \text{ GHz}$)	59.9	60.0	~85
ADS5483 ($f_{IN} = 100 \text{ MHz}$)	77.8	77.6	~95

$$t_{\text{Jitter,Clock_Input}} = \sqrt{\left[\frac{\sqrt{\left(10^{\frac{-\text{SNR}_{\text{Measured}}}{20}}\right)^2 - \left(10^{\frac{-\text{SNR}_{\text{Thermal Noise}}}{20}}\right)^2}}{2\pi \times f_{IN}} \right]^2 - (t_{\text{Aperture_ADC}})^2} \quad (5)$$

未滤波采样时钟试验

为了强调滤波采样时钟的重要性，在下一个试验中，我们将时钟带通滤波器从 CDCE72010 输出端去除。在图 15 所示结构中，我们使用了 E5052A 相位噪声分析仪来捕获时钟相位噪声。但是不幸的是，该分析仪对相位噪声的测量仅达到 40-MHz 载波频率偏移，并且在这点以外没有给出任何相位噪声特性的相关信息。

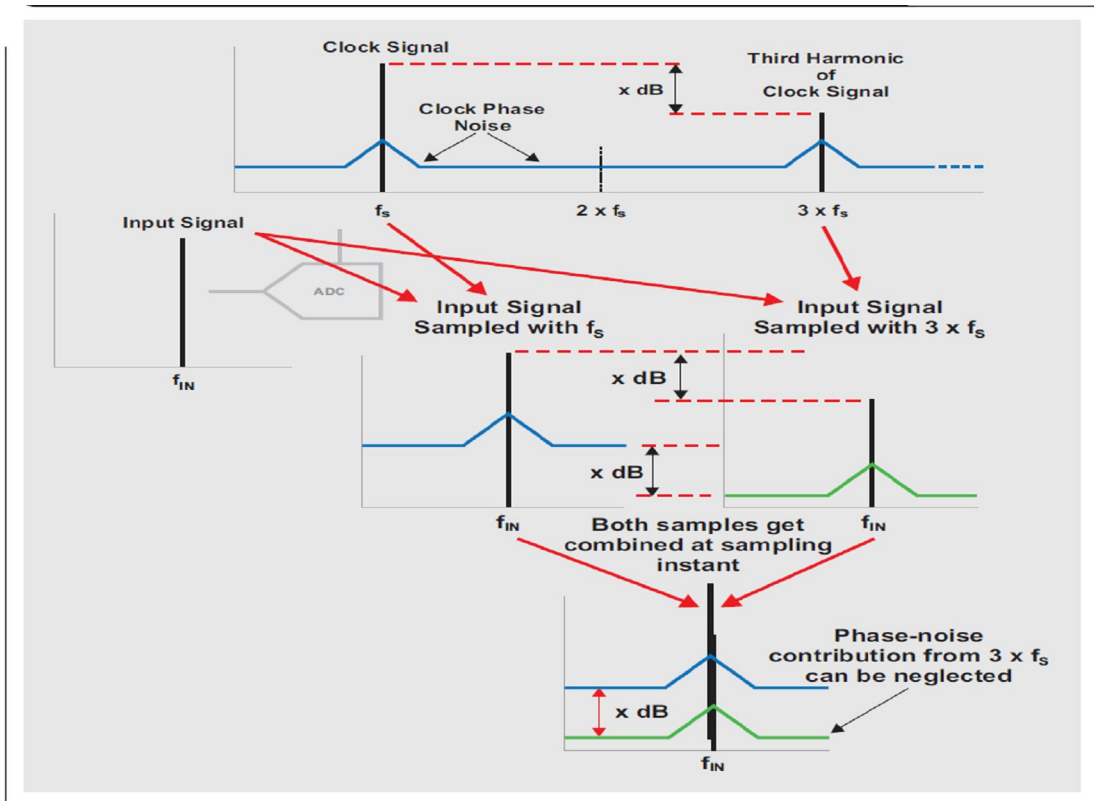
图 15 未滤波采样时钟输入的测试装置结构



要设定使用未滤波时钟时的正确积分上限，我们必须再一次复习一下采样理论。CDCE72010 的未滤波时钟输出看起来像一种具有快速升降沿的方波，而其升降沿由时钟频率的基频正弦波高阶谐波引起。这些谐波的振幅比基频低，且其振幅随谐波阶增加而下降。

在采样时间，基频正弦波及高阶谐波与输入信号混频，如图 16 所示。（为了简单起见，仅显示了一个谐波。）因此，三阶谐波周围的相位噪声与输入信号混频，而第三谐波也形成一个混频结果。但是，由于时钟信号的第三谐波的振幅更低，因此该混频结果的振幅也被降低。

图 16 采样时间时钟基频及其谐波与输入信号混频



两个采样信号组合在一起时，我们可以看到，一旦振幅差异超出 ~ 3 dB 时，由第三谐波引起的总相位噪声减弱为最小。由于基频和第三谐波之间的交叉点为 $2 \times f_s$ ，将宽带相位噪声积分至 $2 \times f_s$ 可以得到相当准确的结果。

如后面图 19 所示，CDCE72010 的未滤波 LVC MOS 输出相位噪声在 -153 dBc/Hz 附近稳定，其始于 ~ 10 MHz 偏移频率，原因可能是 LVC MOS 输出缓冲器的热噪声。ADS54RF63 EVM 具有 ~ 1 GHz（受限于变压器）的时钟输入带宽；因此理论上而言，应该可以对相位噪声求积分为 ~ 1 GHz（在 900-MHz 偏移频率的 3dB 时下降）。这会带来 ~ 1.27 ps 的采样时钟抖动，并将 $f_N = 1$ GHz 的 SNR 降至 ~ 42.8 dBFS!

图 17 低通滤波器前面添加 RF 放大器来降低转换速率

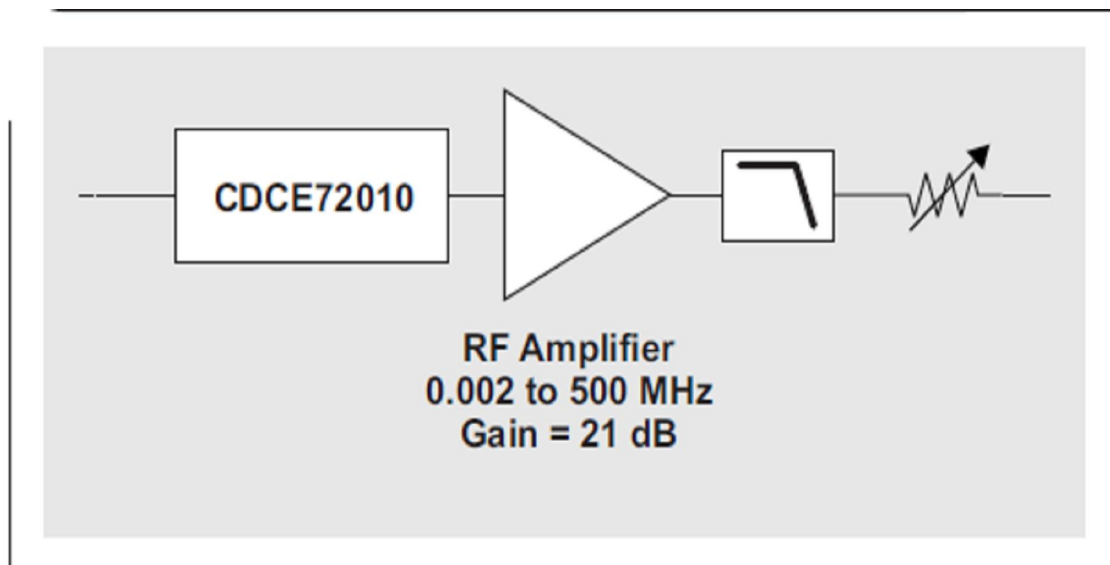


图 18 不同低通滤波器限制相位噪声

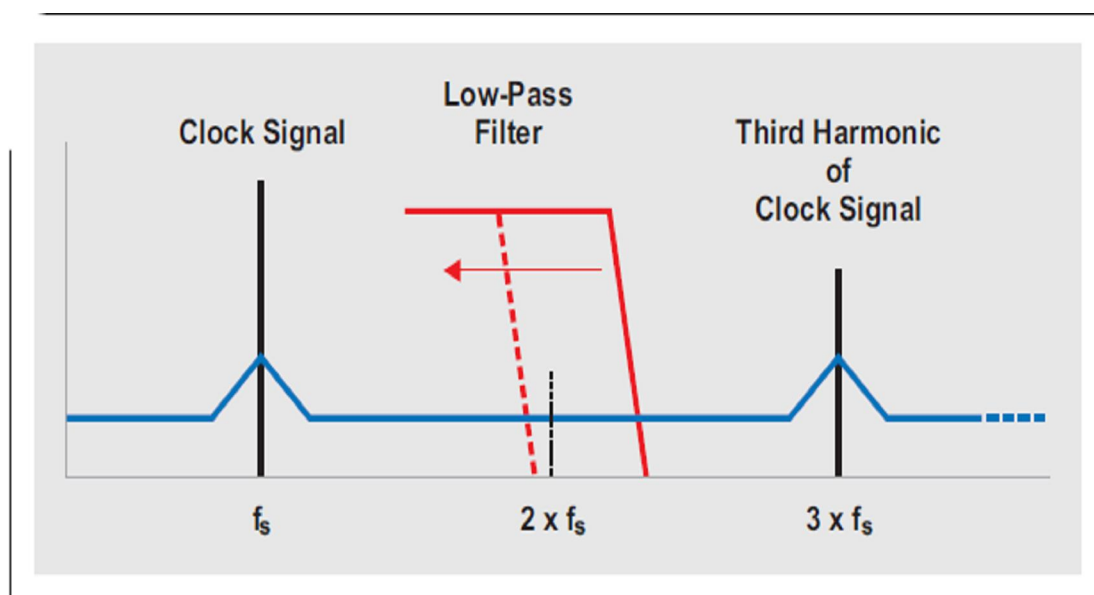
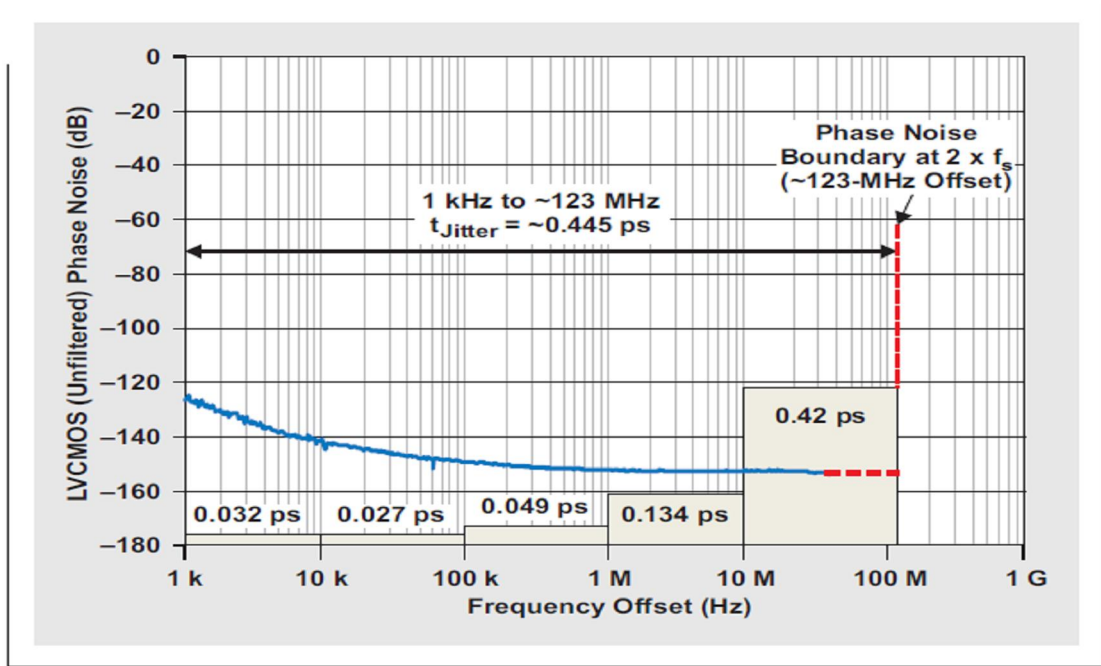


图 19 外推 (extrapolate) 123-MHz 偏移频率的未滤波相位噪声



实际 SNR 测量结果比表 6 所列要好不少。对比实际测量结果，计算得时钟抖动和 SNR 之间存在巨大的差异。这表明，LVC MOS 输出的相位噪声实际较好地限定在由变压器决定的 900-MHz 偏移频率界限以内。

表 6 1.27-ps 时钟抖动的 SNR 结果

DEVICE	CALCULATED SNR WITH 1.27-ps CLOCK JITTER (dBFS)	MEASURED SNR (dBFS)	CALCULATED JITTER FROM MEASURED SNR (fs)
ADS54RF63 ($f_{IN} = 1 \text{ GHz}$)	42.8	51.35	~450

为了证明未滤波时钟信号的相位噪声需要积分至约两倍采样频率，我们实施了如下试验：在 CDCE72010 输出和 ADS54RF63 时钟输入之间添加不同的低通滤波器。

需要注意的是，与先前试验中的带通滤波器一样，3X 时钟频率以下带宽的低通滤波器降低了时钟信号的转换速率。低通滤波器消除了会产生更快速时钟信号升时间和转换速率的高阶谐波，从而增加了 ADC 的孔径抖动。正因如此，我们将前面试验的相同低噪声 RF 放大器添加到时钟通路，并且利用可变衰减器让转换速率匹配信号生成器（参见图 17）。

将不同转角频率的低通滤波器用于 ADS54RF63 的采样时钟（如图 18 所示），得到了一些如表 7 所列有趣值。该试验结果表明，LVC MOS 输出对时钟抖动的相位噪声影响被限制在约 200 到 250 MHz，其相当于 122.88-MHz 时钟信号的 80-MHz 到 130-MHz 偏移频率，并约为 2x 采样频率。因此，将宽带相位噪声扩至 123-MHz 偏移频率，会产生 ~445 fs 的时钟抖动，如图 19 所示。理想情况下，积分下限应该位于 500 Hz 处（原因是选择的 131000 点 FFT）；但是，

500-Hz 到 1 kHz 偏移频率的抖动贡献值极其低，因此为了简单起见其在本测量中被忽略。

表 7 ADS54RF63 的测得 SNR

FILTER TYPE	MEASURED SNR AT $f_{IN} = 1$ GHz (dBFS)
Unfiltered Clock	51.35
140-MHz Low-Pass Filter	54.01
200-MHz Low-Pass Filter	51.81

利用调节后的相位噪声曲线图，计算得抖动较好地匹配了 SNR 测量结果，其在 ADS54RF63 和 ADS5483 的 10 到 30 fs 范围内（参见表 8）。考虑到在第三谐波周围可能存在相位噪声的较小时钟抖动影响，该计算得 SNR 只是一种非常接近的估算结果。

表 8 445-fs 时钟抖动的 SNR 结果

DEVICE	CALCULATED SNR WITH 445-fs CLOCK JITTER (dBFS)	MEASURED SNR (dBFS)	CALCULATED JITTER FROM MEASURED SNR (fs)
ADS54RF63 ($f_{IN} = 1$ GHz)	51.6	51.35	~460
ADS5483 ($f_{IN} = 100$ MHz)	71.2	70.60	~480

表 9 滤波后及未滤波时钟的测得 SNR

DEVICE	BANDPASS-FILTERED CLOCK (dBFS)	UNFILTERED CLOCK (dBFS)	BANDPASS-FILTERED CLOCK WITH EXTERNAL AMPLIFIER (dBFS)
ADS54RF63 ($f_{IN} = 1$ GHz)	58.7	51.35	60.0
ADS5483 ($f_{IN} = 100$ MHz)	77.1	70.60	77.6

重要声明

德州仪器 (TI) 及其下属子公司有权在不事先通知的情况下, 随时对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权随时中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的 TI 销售条款与条件。

TI 保证其所销售的硬件产品的性能符合 TI 标准保修的适用规范。仅在 TI 保修的范围内, 且 TI 认为有必要时才会使用测试或其它质量控制技术。除非政府做出了硬性规定, 否则没有必要对每种产品的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或其它与使用了 TI 产品或服务的组合设备、机器、流程相关的 TI 知识产权中授予的直接或隐含权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从 TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它知识产权方面的许可。

对于 TI 的数据手册或数据表, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。在复制信息的过程中对内容的篡改属于非法的、欺诈性商业行为。TI 对此类篡改过的文件不承担任何责任。

在转售 TI 产品或服务时, 如果存在对产品或服务参数的虚假陈述, 则会失去相关 TI 产品或服务的明示或暗示授权, 且这是非法的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

可访问以下 URL 地址以获取有关其它 TI 产品和应用解决方案的信息:

产品

放大器	http://www.ti.com.cn/amplifiers
数据转换器	http://www.ti.com.cn/dataconverters
DSP	http://www.ti.com.cn/dsp
接口	http://www.ti.com.cn/interface
逻辑	http://www.ti.com.cn/logic
电源管理	http://www.ti.com.cn/power
微控制器	http://www.ti.com.cn/microcontrollers

应用

音频	http://www.ti.com.cn/audio
汽车	http://www.ti.com.cn/automotive
宽带	http://www.ti.com.cn/broadband
数字控制	http://www.ti.com.cn/control
光纤网络	http://www.ti.com.cn/opticalnetwork
安全	http://www.ti.com.cn/security
电话	http://www.ti.com.cn/telecom
视频与成像	http://www.ti.com.cn/video
无线	http://www.ti.com.cn/wireless

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2006, Texas Instruments Incorporated