

Product Overview

采用 TPS6522312-Q1 PMIC 的 J722S/AM67x/TDA4VEN/TDA4AEN 处理器汽车电源设计



摘要

本文介绍了用于支持 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 系列处理器的推荐电源设计，以及它们在 [J722SXH01EVM - TDA4VEN](#)、[TDA4AEN](#) 和 [AM67 评估模块](#) 上的使用情况。本文随附了一个选择指南，其中介绍了系统权衡和设计优势，以帮助您选择电源设计、进行优化和比较功能集。同时，本文还提供了电源资源和控制信号映射方框图，以加速最终产品的设计过程。

引言

[J722S/AM67x/TDA4VEN/TDA4AEN](#) 处理器系列为广泛的汽车和工业应用提供高度灵活、实时和低延迟的处理能力。[J722S/AM67x/TDA4VEN/TDA4AEN](#) 视觉和显示处理器具备可扩展的 [Arm® Cortex®-A53](#) 性能、速率高达 600MP/s 的图像信号处理器 (ISP)、每秒执行多达 4 万亿次运算 (TOPS) 的深度学习 AI 加速器、深度和运动处理加速器 (DMPAC)、视觉处理加速器 (VPAC) 以及嵌入式特性，如三路高清显示支持、高性能 3D-GPU、4K 视频加速和许多其他外设接口。

本文介绍的所有配电网 (PDN) 方案都采用 TI 电源管理 IC (PMIC) 以及一系列分立式功率元件来支持 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 系统。所有功率元件均通过了汽车 AEC-Q100 认证。PDN 主要用于支持所有必需的处理元件 (称为 SoC 平台)，其中包括：

- [J722S/AM67x/TDA4VEN/TDA4AEN](#) SoC 处理器
- LPDDR4 SDRAM
- OSI 或八路 NAND 引导闪存
- eMMC 大容量存储闪存
- PDN 功率器件

符合功能安全标准的 [TPS6522x12-Q1](#) PMIC 和 [TPS6287x-Q1](#) 快速瞬变高电流功率级 (HCPS) 构成了 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 平台的 PDN 基本功率器件。根据系统的最大使用情况和所需的特性，可以使用不同的 PDN 方案来支持 SoC 平台。我们创建了一个选择指南，其中重点介绍了以 PMIC 为中心的 PDN 设计的价值和灵活性。该设计使用一个通用 PMIC PN 并根据需要添加分立式功率器件来添加可选功能。

PDN 选择指南

选择 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 电源设计时，首先要回答一些关于最终产品的问题：

1. 所需的处理器性能是多少？
2. 所需的内核电压灵活性水平是多少？
3. 所需的 PDN 输入电压是多少？
4. 预期可选功能是什么？
 - a. 低功耗模式：(仅部分 IO 保持、部分 IO 和 DDR 保持)
 - b. 主要功能：(PMIC 内核温度监测、HS SoC 电子保险丝编程、UHS-1 SD 卡)
 - c. 目标功能安全等级：(无或 ASIL-B)

确定系统所需的特性后，可以使用下面的表格来优化推荐的电源设计，其中提供了：

1. SoC 处理峰值功率需求

2. SoC 平台 (SoC、LPDDR4、闪存、基本功率器件) 电压和控制信号
3. 能够灵活地进行设计权衡：PDN 特性与 PCB 面积和 BOM 成本

定义 PDN 的关键属性包括：基本功率器件、处理性能、输入电压和可选特性。为了便于参考，我们使用了一个由 2 部分组成的 PDN 标识代码 (例如 PDN-123.456x) 来定义 PDN 的属性。

第一组字符 (-123) 称为“ID”字段，定义了基本功率器件、处理性能和输入电压，如下所示：

1. 基本功率器件的数值：
 - a. 5 = TPS62870/1/2/3-Q1 (HCPS) + TPS65223/112-Q1 (PMIC)
 - b. 7 = TPS62874/5/6/7-Q1 (HCPS) + TPS65223/112-Q1 (PMIC)
2. 处理性能和资源映射的字母：
 - a. A - D = 具有 0.85V 内核启动电压的 1.4GHz 时钟
 - b. L - P = 具有 0.75V 内核启动电压的 1.25GHz 时钟
3. PDN 输入电压的数值：
 - a. “无” = 3.3V 默认值
 - b. 5 = 5V

第二组字符 (.456x) 称为“Variant”字段，定义了需要附加分立式功率器件的可选功能，如下所示：

D = 部分 IO 和 DDR 保持低功耗模式 (LPM)

E = 现场高安全性 SoC 的板载电子保险丝编程

S = UHS-I SD 存储卡

[J722S/AM67x/TDA4VEN/TDA4AEN](#) EVM 系统 ([J722SXH01EVM](#) - [TDA4VEN](#)、[TDA4AEN](#) 和 [AM67](#) 评估模块) 使用 PDN-7D.DES 方案来演示灵活的处理性能以及所有可选功能。

处理器性能

[J722S/AM67x/TDA4VEN/TDA4AEN](#) 处理器可以提供 2 个基本性能级别，具体取决于主时钟速率为 1.25GHz 或 1.4GHz，这分别需要 0.75V 或 0.85V 的 2 个不同的 VDD_CORE 电源电压电平，详见表 1。我们还定义了一种灵活的处理 PDN 方案，该方案允许处理器在一个性能级别 (1.4GHz、0.85V 或 1.25GHz、0.75V) 下启动，然后使用系统软件转换到另一个性能级别。要在较低的时钟频率和 VDD_CORE 电压下灵活地操作处理器，需要使用 0.85V 的固定输入电源 (VDDR_CORE、VDD_MMC0 和 VDDA_0P85_xxx) 作为独立电源，详见表 1 中的 VDD_RAM_0V85 电源轨。如果为 VDD_CANUART 使用独立电源以允许禁用所有其他低压电源来降低 SoC 功率，则可以支持可选的处理器低功耗模式 (LPM)，详见表 1 中的 VDD_IORET_0V75 电源轨。

表 1. 低压电源与性能和低功耗模式

性能用例	PDN-ID	电源电压	电源轨	SoC 低压电源输入
1.4GHz	PDN-7A、7B、7C	0.85V	VDD_CORE	VDD_CORE、VDD_CANUART、VDDR_CORE、VDD_MMC0、VDDA_CORE_xxx、VDDA_0P85_xxx
1.25GHz	PDN-7L、7N、7M	0.75V 0.85V	VDD_CORE VDD_RAM_0V85	VDD_CORE、VDD_CANUART、VDDA_CORE_xxx、VDDR_CORE、VDD_MMC0、VDDA_0P85_xxx
灵活的 1.4GHz 或 1.25GHz	PDN-7D、7P	0.85V/0.75V 0.85V	VDD_CORE VDD_RAM_0V85	VDD_CORE、VDD_CANUART、VDDA_CORE_xxx、VDDR_CORE、VDD_MMC0、VDDA_0P85_xxx
低功耗模式	PDN-7C、7D、PDN-7N、7P	0.85V/0.75V 0.85V 0.75V	VDD_CORE VDD_RAM_0V85 VDD_IORET_0V75	VDD_CORE、VDDA_CORE_xxx、VDDR_CORE、VDD_MMC0、VDDA_0P85_xxx、VDD_CANUART

备注

- VDD_CORE 电源电压由 HCPS 分立式降压转换器的 VSEL 输入设置进行设置
- VDD_CORE 和 VDD_CANUART 是独立的双电压数字电源，工作电压为 0.75V 或 0.85V
- VDDA_CORE_xxx 是模拟电源，必须通过使用直列式电源滤波从 VDD_CORE (0.75V/0.85V) 生成
- VDDR_CORE 和 VDD_MMC0 是固定的 0.85V 数字电源
- VDDA_0P85_xxx 是固定的 0.85V 模拟电源，由用于 VDDR_CORE 和 VDD_MMC0 的相同电源（通常为 VDD_RAM_0V85 电源轨）通过使用直列式电源滤波生成
- VDD_CANUART 和 VDDSHV_CANUART 是在部分 IO 保持 LPM 期间唯一启用的电源。部分 IO 和 DDR 保持 LPM 需要启用 2 个额外的电源：VDDS_DDR (1.1V) 和 VDD1_DDR_1V8 (1.8V)。

[J722S/AM67x/TDA4VEN/TDA4AEN](#) 处理器在汽车和工业市场有 3 个主要用例，具体详见表 2。稳健的 PDN 设计必须能够在峰值功率条件下支持这些处理器用例运行，此时最高的器件结温会导致最大漏电流，而极端的处理器资源使用会导致峰值动态电流。

[J722S/AM67x/TDA4VEN/TDA4AEN](#) 功耗估算工具 (PET) 可用于估算每个用例的不同资源负载下处理器的功率损耗。该 PET 可以提供 PDN 和热功率估计。PDN 估算反映了在高处理器资源需求条件下极短时间 (1us-10us) 内的峰值 SoC 负载。PDN 或峰值估算用于 PDN 设计，以确保所有输入电源都能提供足够的输出电流来支持峰值负载。热估算反映了在最大用例条件下几分钟内的平均持续功率。热或平均功率估算用于设计处理器的热管理系统，以避免超过器件结温 (T_j) 的最大值。

表 2. 主要用例条件和峰值负载电流

用例和时钟	SoC T _J [C]	内核电源 [V]	Lkg 负载 [A]	负载阶跃 [A]	峰值负载 [A]
EVM 超集 1.4GHz	+125	0.85	3.7	12.7	16.4
AI 盒 1.25GHz	+125	0.75	3.5	10	13.5
前置摄像头 1.25GHz	+125	0.75	3.2	9.2	12.4

备注

- 漏电流是根据 PET 估算的，表示由于向 SoC 的内部晶体管施加电源电压而导致的漏电流或恒定功率消耗。
- 动态电流是根据 PET 估算的，表示由于 SoC 内部晶体管的动态切换而产生的动态或瞬态功率消耗。
- 峰值负载电流等于极短时间 (1us - 10us) 内的漏电流加上动态电流之和。
- 负载阶跃是负载电流从恒定负载电流变为峰值负载电流的变化。

平台支持

PDN 设计必须支持 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 处理器、SDRAM、引导和存储闪存，详见表 3。基本功率器件包括符合功能安全标准的 PMIC ([TPS6522312-Q1](#)) 和使用功能安全型快速瞬变可堆叠降压转换器 ([TPS62875B-Q1](#)) 从 VDD_CORE 电源为最大处理器负载供电的高电流功率级 (HCPS)。

表 3. J722S EVM 平台 PN 和特性

平台器件	参数	PN 和特性
SoC	处理	TDA4VENx-Q1/TDA4AENx-Q1 多达四核 64 位 Arm@Cortex@-A53 微处理器，0.85V 时性能高达 1.4GHz，0.75V 时性能高达 1.25Ghz 3 个不同的 Arm@Cortex@-R5F，性能高达 800MHz，可用于支持具有 FFI 的 MCU 通道，从而实现设备管理和运行时管理 两个深度学习加速器（总计可高达 4TOPS），每个加速器包括：C7x 浮点和矩阵乘法加速器 (MMA)、深度和运动处理加速器 (DMPAC)、视觉处理加速器 (VPAC) 和图像信号处理器 (ISP)
SDRAM 存储器	类型和大小	MT53E2G32D4DE-046 AUT:C 1 EMIF/双组 LPDDR4 (32b, 64Gb, 4000MTs)
引导闪存	类型和大小	S28HS512TGABHM010 OSPI : 512Mb xSPI 或 W35N01JWTBAG Octal-NAND : 1Gb
存储闪存	类型和大小	MTFC32GAZAQHD-AAT eMMC : 32GB
基本功率器件	PMIC	TPS6522312RAHRQ1 “223” = 内部 ADC 用于 PMIC T _J 监测 或 TPS6522112RAHRQ1 “221” = 无 ADC
	HCPS	TPS62875B2QWRZVRQ1 , 可扩展输出电流：“74” = 15A、“75” = 20A、“76” = 25A、“77” = 30A Pkg = WQFN-24 或 TPS62873Y1QWRXSRQ1 , 可扩展输出电流：“70” = 6A、“71” = 9A、“72” = 12A、“73” = 15A, Pkg = VQFN-16

PDN 比较

所有 PDN 比较表都介绍了具有以下特性的设计：

1. 具有 ADC 功能的 [TPS6522312-Q1](#) PMIC
2. 一个第一级电池电源转换器，可提供 3.3V 和 5.0V 输出电压。用于一些 PDN 型号以支持 UHS-I SD 卡的分立式双电压 LDO ([TLV7103318-Q1](#)) 和一些汽车 CAN 收发器需要 5.0V 输入。如果使用单个 3.3V 第一级转换器，则可以根据需要添加分立式升压转换器 ([TPS61240-Q1](#))。
3. 三个 PDN 方案对具有类似的 PMIC 资源分配，只有细微差别，根据不同的处理性能 (0.75V 或 0.85V) 和相关的电源映射变化而有所调整：
 - a. A 和 L
 - b. B 和 M
 - c. C 和 N
4. 可以在 HCPS 中使用不同的降压转换器 PN，以支持较高性能的 PDN-7x 方案和较低性能的 PDN-5x 方案，从而实现成本更低、面积更小的设计。

表 4. PDN-7A/B 和 PDN-5L/M 特性

		PDN 型号								
特性		7A	7A.S	7A5	7B	7B.E	5L	5L.S	5M	5M.E
安全	ASIL-B	是	是	是	是	是	是	是	是	是
输入电压	3.3V	是	是		是	是	是	是	是	是
	5.0V			是						
处理器性能	1.4GHz , 0.85V	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1				
	1.25GHz , 0.75V						是 TPS62873 -Q1	是 TPS62873 -Q1	是 TPS62873 -Q1	是 TPS62873 -Q1
灵活	1.4GHz 或 1.25GHz									
PMIC	可用资源	Buck3、 Buck4、 GPIO2、 GPIO4	Buck3、 Buck4、 GPIO2、 GPIO4	Buck3、 GPIO2、 GPIO4、	Buck3、 Buck4、 GPIO2、 GPIO4	Buck3、 Buck4、 GPIO2、 GPIO4	Buck4、 GPIO2、 GPIO4	Buck4、 GPIO2、 GPIO4	Buck4、 GPIO2、 GPIO4	Buck4、 GPIO2、 GPIO4
可选功能										
低功耗模式	仅部分 IO 保持									
	部分 IO 和 DDR 保持									
安全性	板载电子 保险丝编程	是	是	是		是 TPS7A21 P-Q1	是	是		是 TPS7A21 P-Q1
移动存储	UHS-I SD 卡		是 TLV71033 18-Q1		是	是		是 TLV71033 18-Q1	是	是
电源 IC 成本比与 EVM		0.88	0.91	0.88	0.88	0.91	0.78	0.81	0.78	0.81
电源 IC 面积比与 EVM		0.63	0.66	0.63	0.63	0.77	0.58	0.61	0.63	0.72
电源 IC 面积 [mm ²]		42.4	44.8	42.4	42.4	52.0	39.1	41.5	39.1	48.7

表 5. PDN-7C 特性

		PDN 型号							
特性		7C	7C.E	7C.S	7C.ES	7C.D	7C.DE	7C.DS	7C.DES
安全	ASIL-B	是	是	是	是	是	是	是	是
输入电压	3.3V	是	是	是	是	是	是	是	是
	5.0V								
处理器性能	1.4GHz , 0.85V	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1
	1.25GHz , 0.75V								
灵活	1.4GHz 或 1.25GHz								
PMIC	可用资源	Buck3 GPIO2	Buck3 GPIO	Buck3 GPIO	Buck3 GPIO	Buck3 GPIO	Buck3 GPIO	Buck3 GPIO	Buck3 GPIO
可选特性和器件型号									
低功耗模式	仅部分 IO 保持	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1
	部分 IO 和 DDR 保持					是 TLV73318P -Q1	是 TLV73318P -Q1	是 TLV73318P -Q1	是 TLV73318P -Q1
安全性	板载电子保险丝编程		是 TPS7A21P- Q1		是 TPS7A21P- Q1		是 TPS7A21P- Q1		是 TPS7A21P- Q1
移动存储	UHS-I SD 卡			是 TLV710331 8-Q1	是 TLV710331 8-Q1			是 TLV710331 8-Q1	是 TLV710331 8-Q1
电源 IC 成本比与 EVM		0.92	0.95	0.96	0.99	0.94	0.97	0.97	1.00
电源 IC 面积比与 EVM		0.69	0.83	0.72	0.86	0.82	0.96	0.86	1.00
电源 IC 面积 [mm ²]		46.4	56.0	48.8	58.4	55.5	65.1	57.9	67.5

表 6. PDN-5N 特性

		PDN 型号							
特性		5N	5N.E	5N.S	5N.ES	5N.D	5N.DE	5N.DS	5N.DES
安全	ASIL-B	是	是	是	是	是	是	是	是
输入电压	3.3V	是	是	是	是	是	是	是	是
	5.0V								
处理器性能	1.4GHz , 0.85V								
	1.25GHz , 0.75V	是 TPS62873- Q1	是 TPS62873- Q1	是 TPS62873- Q1	是 TPS62873- Q1	是 TPS62873- Q1	是 TPS62873- Q1	是 TPS62873- Q1	是 TPS62873- Q1
灵活	1.4GHz 或 1.25GHz								
PMIC	可用资源	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2
可选特性和器件型号									
低功耗模式	仅部分 IO 保持	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1
	部分 IO 和 DDR 保持					是 TLV73318P -Q1	是 TLV73318P -Q1	是 TLV73318P -Q1	是 TLV73318P -Q1
安全性	板载电子保 险丝编程		是 TPS7A21P- Q1		是 TPS7A21P- Q1		是 TPS7A21P- Q1		是 TPS7A21P- Q1
移动存储	UHS-I SD 卡			是 TLV710331 8-Q1	是 TLV710331 8-Q1			是 TLV710331 8-Q1	是 TLV710331 8-Q1
电源 IC 成本比与 EVM		0.83	0.86	0.86	0.89	0.84	0.87	0.87	0.90
电源 IC 面积比与 EVM		0.64	0.78	0.67	0.82	0.77	0.92	0.81	0.95
电源 IC 面积 [mm ²]		43.1	52.7	45.5	55.1	52.2	61.8	54.6	64.2

表 7. PDN-7D 特性

		PDN 型号							
特性		7D	7D.E	7D.S	7D.ES	7D.D	7D.DE	7D.DS	7D.DES (EVM)
安全	ASIL-B	是	是	是	是	是	是	是	是
输入电压	3.3V	是	是	是	是	是	是	是	是
	5.0V								
处理器性能	1.4GHz , 0.85V								
	1.25GHz , 0.75V								
灵活	1.4GHz (引导) 或 1.25GHz	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1	是 TPS62875 B2-Q1
PMIC	可用资源	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2
可选特性和器件型号									
低功耗模式	仅部分 IO 保持	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1	是 TPS22965- Q1
	部分 IO 和 DDR 保持					是 TLV73318P -Q1	是 TLV73318P -Q1	是 TLV73318P -Q1	是 TLV73318P -Q1
安全性	板载电子保 险丝编程		是 TPS7A21P- Q1		是 TPS7A21P- Q1		是 TPS7A21P- Q1		是 TPS7A21P- Q1
移动存储	UHS-I SD 卡			是 TLV710331 8-Q1	是 TLV710331 8-Q1			是 TLV710331 8-Q1	是 TLV710331 8-Q1
电源 IC 成本比与 EVM		0.92	0.95	0.96	0.99	0.94	0.97	0.97	1.00
电源 IC 面积比与 EVM		0.69	0.83	0.72	0.86	0.82	0.96	0.86	1.00
电源 IC 面积 [mm ²]		46.4	56.0	48.8	58.4	55.5	65.1	57.9	67.5

表 8. PDN-7M 特性

PDN 型号			
特性		7M	7M.E
安全	ASIL-B	是	是
输入电压	3.3V	是	是
	5.0V		
处理器性能	1.4GHz , 0.85V		
	1.25GHz , 0.75V		
灵活	1.4GHz 或 1.25GHz (引导)	是 TPS62875B2-Q1	是 TPS62875B2-Q1
PMIC	可用资源	Buck4 GPIO2、GPIO4	Buck4 GPIO2、GPIO4
可选特性和器件型号			
低功耗模式	仅部分 IO 保持		
	部分 IO 和 DDR 保持		
安全性	板载电子保险丝编程		是 TPS7A21P-Q1
移动存储	UHS-I SD 卡	是	是
	电源 IC 成本比与 EVM	0.88	0.91
	电源 IC 面积比与 EVM	0.63	0.77
	电源 IC 面积 [mm ²]	42.4	52.0

基本功率器件

所有 PDN 设计都依赖于 *TPS6522x12-Q1 PMIC*，该 PMIC 针对 *J722S/AM67x/TDA4VEN/TDA4AEN* 处理器和 *TPS6287x-Q1* 系列中的快速瞬变分立式降压转换器进行了优化，用于构成高电流功率级 (HCP) 来为最大的 *VDD_CORE* 负载供电。

PMIC TPS6522x12-Q1

常见的 *TPS6522x12-Q1* PMIC 可以使用 2 种型号 PN 中的 1 种：1) *TPS6522312X-Q1*，具有内部 ADC，用于监测 PMIC T_J 或通过 I2C 连接到专用 PMIC GPIO 输入的板载网络电压。2) *TPS6522112-Q1*，没有 ADC。PMIC 内部 NVM 设置（由 PN 字符“12”标识）和可预配置的有限状态机 (PFSM) 使用四个资源选择 (RS) 控制信号来根据需要指示 PMIC 电源和 GPIO 资源分配，从而实现不同的 PDN 方案。经过优化的 *TPS6522x12-Q1* PMIC 可简化设计过程，支持多种 PDN 方案，实现推荐的电源设计并缩短产品上市时间。表 9 汇总了该 PMIC 的基本特性。

表 9. TPS6522x12-Q1 基本特性

特性	特性
结温范围	-40C 到 +150C
输入电压范围	3.0V 至 5.5V
稳压器总数	7
直流/直流降压转换器	数量 = 4， 2 个降压稳压器，单相：Vo = 0.5V - 3.3V，高达 1.2V 时为 3.5A，1.2V 以上时为 2.5A 双相：Vo = 0.5V - 1.2V，电流 = 7A 最大值 2 个降压稳压器，单相：Vo = 0.5V - 3.3V，电流 = 2A 最大值 开关频率：2.2MHz 至 4.4MHz 远程电压检测 OV/VMON UV
LDO	数量 = 3， 2 个 LDO，稳压器：Vo = 0.6V - 3.3V，电流 = 400mA 最大值 负载开关：Vo = 1.5V - 3.3V，Ron = 200mΩ - 250mΩ 1 个低噪声 LDO，稳压器：Vo = 1.2V - 3.3V，电流 = 300mA 最大值 负载开关：Vo = 2.2V - 3.6V，Ron = 1Ω
附加特性	符合 AEC-Q100 标准 以符合功能安全标准为目标 <ul style="list-style-type: none"> • 专为功能安全应用开发 • 在产品发布时将会提供有助于 ISO26262 和 IEC61508 系统设计的文档 • 系统功能和硬件完整性符合 ASIL-B 和 SIL-2 要求 • 所有输出电源轨上的欠压和过压监测和电流限制 • 适用于两个外部电源轨和输入电源的欠压和过压监控器 • 看门狗（触发或 Q&A） • 误差信号监控器（电平或 PWM） • 温度警告和热关断 • 电压监测器内置自检 非易失性存储器 (NVM) 中的可配置电源序列和 GPIO 控制 6 个可配置 GPIO、复位、中断和使能信号 一个 12 位 ADC 功能可映射到 GPIO (PN : TPS6522312-Q1) I2C 串行接口控制 具有可编程屏蔽功能的中断功能 输出短路和过载保护 过热警告和保护 用于指示电源和 GPIO 资源分配的 4 个资源选择控制信号

PMIC 资源选择 (RS[3:0]) 信号指示 PMIC 电源和 GPIO 资源分配，以支持不同的 RS 型号，并根据需要添加分立式电源以实现可选功能。在每个 PMIC 冷启动上电序列期间都会捕获所有四个 RS 控制信号。当 PMIC 的可预配置有限状态机 (PFSM) 执行两个序列，利用连接到 *VCCA* 和 *VMON1* 输入的内部电压比较器来分别确定 PDN 输入电压和 *VDD_CORE* 电源电平，RS3 和 RS2 位会被置位。RS1 和 RS0 位是 PMIC GPIO1 和 GPIO2 输入上的

锁存逻辑电平。这些逻辑电平根据 PMIC 弱内部上拉电阻器 (R_{pu} 约为 400k) 到 VIO 电源和任何板载下拉电阻器 (R_{pd} = 10k) 到地形成的电阻分压器网络的输出电压来设置。表 10 总结了 PMIC RS[3:0] 操作和分配。

表 10. PMIC 资源选择

RS[3:0]	方法	灵敏度	逻辑	电源分配	GPIO 分配
RS3	VCCA 内部电压比较器确定上电序列期间的电平	V _{in} = 5V V _{in} = 3.3V	1 0	Buck4 Vo = 3.3V Buck4 Vo = 0.75V 根据 PDN	
RS2	VMON1 内部电压比较器确定上电序列期间的电平	VDD_CORE = 0.85V VDD_CORE = 0.75V	1 0	0.85V 时的 VMON1 V _{THRSH} 0.75V 时的 VMON1 V _{THRSH}	
RS1	GPIO 上拉至 3.3V GPIO 下拉至 0V	未安装板 R _{pd} 安装板 10k R _{pd}	1 0	Buck4 Vo = 0.75V (对于 LPM) Buck4 = 禁用	GPIO1 = GPI/ PMIC_nLPM_EN GPIO4 = VMON2/ VDD_IO_3V3
RS0	GPIO 上拉至 3.3V GPIO 下拉至 0V	未安装板 R _{pd} 安装板 10k R _{pd}	1 0	LDO2 Vo 用于电子保险丝编程 LDO2 Vo 用于 SD 卡	GPIO1 = GPI/ EN_EFUSE_VPP GPIO1 = GPI/ VSEL_SD_VIO

备注

- GPIO# = NVM 功能/PDN 板网连接。
- RS1=1 和 RS0=1 状态可实现灵活的 VDD_CORE 性能，此时 Buck3 设置为固定的 0.85V，以便为 VDD_RAM_0V85 电源轨供电。

此外，TPS6522x12-Q1 PMIC 支持一个硬件选项，以在系统冷启动之前禁用看门狗计时器，这在产品开发和调试期间很有用。PMIC 在执行 SoC 上电序列期间锁存 GPIO6 引脚上的逻辑电平。

该逻辑电平决定看门狗计时器操作，具体如下：

- 高电平通过设置 WD_PWRHOLD 位来禁用看门狗计时器，以禁用计时器的长窗口超时。
- 低电平通过设置 WD_PWRHOLD 位来启用看门狗计时器以启用计时器的长窗口超时。

在 PMIC 的 VCCA 输入电源通电并完成 NVM 初始化后，GPIO6 引脚配置为具有弱下拉电阻的输入，并设置为 nERR_MCU 功能，以监测 SoC 处理错误。J722SXH01EVM - TDA4VEN、TDA4AEN 和 AM67 评估模块原理图展示了如何通过三态缓冲器连接到 SoC 的 ERRORn 输出信号，以在上电序列的早期阶段将 SoC 的输出与 GPIO6 输入引脚隔离。这样可以使 GPIO6 输入被上拉至 PMIC 的 VCCA 电源 (3.3V 或 5V) 以禁用看门狗计时器，或者 PMIC 的内部弱下拉电阻设置低逻辑电平，以启用看门狗计时器。每当需要在系统冷启动时禁用看门狗计时器时，都需要使用三态缓冲器来避免电流馈入未通电的 SoC 输出引脚。GPIO6 电平的锁存发生在 PMIC 以 2.5ms 的时间阶跃启用 VDD_IO_1V8 电源之前。在 VDD_IO_1V8 通电后，三态缓冲器便会启用，从而根据主动系统运行的需要将 SoC 的 ERRORn 输出信号连接至 GPIO6。

HCPS TPS6287x-Q1

该 HCPS 使用高电流、快速转换分立式降压转换器 TPS6287x-Q1 PN 系列，该系列能够在单相配置中提供 6A 至 30A 的输出电流。两个类似的降压转换器系列具有出色的快速瞬态性能、不同的输出电流范围、功耗优化的封装类型和类似的寄存器映射，并可以堆叠以进行多相操作。在非常苛刻的高处理器资源使用情况下，最终产品的峰值负载决定了应该使用哪种降压转换器 PN，详见表 11。所选的降压转换器 PN 以及是否使用多相配置取决于提供正电流裕度所需的总输出电流容量与峰值负载间的关系。一种良好的电源设计做法是在开发过程中为每个电源轨设计 +15% 的电流裕度，从而应对潜在的处理资源增加或用例功能增长。

表 11. HCPS 降压转换器 PN 选项和设置

PDN-ID	降压转换器 PN	最大输出电流 [A]	封装：类型、引脚数量、高 x 宽 x 长 [mm ²]	输出电压 [V]	I2C 地址	VSEL 连接
PDN-7x	TPS62874	15	WQFN- FCRLF 24 引脚 0.65 x 3.05 x 4.05	0.85	0x44	6.2K 至 Gnd
	TPS62875	20				
	TPS62876	25				
	TPS62877	30				
				0.75	0x45	0 Ω 至 Gnd
PDN-5x	TPS62870	6	VQFN- FCRLF 16 引脚 1.0 x 2.55 x 3.55	0.85	0x40	6.2K 至 Gnd
	TPS62871	9				
	TPS62872	12				
	TPS62873	15				
				0.75	0x41	0 Ω 至 Gnd

表 12 显示了不同 TPS6522x12X-Q1 NVM 所经历的时间阶跃设置条件下的 PMIC 和 HCP 输出电压，以及启动启用和关断禁用序列延迟。有关 PMIC 寄存器和 NVM 设置的更多信息，请参阅 TPS6522x12X-Q1 用户指南。

表 12. 基本电源电压和时序

PDN	HCPS	PMIC		
电源轨/网络名称	资源	资源	输出电压 [V]	启动/关闭延迟 [ms]
EN_3V3_VIO		LDO2	旁路模式，Vin = 3.3	0/2.5
VDD_IO_1V8		Buck1	1.8	2.5/2.0
VDA_PLL_1V8		LDO1	1.8	2.5/2.0
VDA_PHY_1V8		LDO3	1.8	2.5/2.0
VDD_DDR_1V1		Buck2	1.1	4.8/1.5
VDD_IORET_0V75		Buck4	0.75	5.4/1.0
EN_CORE_BUCK		GPIO5	推挽，VSY5_3V3 基准	5.95/1.0
VDD_CORE	Buck-A		0.75/0.85 (VSEL R 设置)	5.95/1.0
VDD_RAM_0V85		Buck3	0.85	7.45/0.5
MCU_PORz		nRSTOUT	开漏，Rpu 至 VDD_IO_1V8 (1)	14.8/0

备注

GPIO5 和 nRSTOUT 控制信号具有 NVM 设置，可选择以 PMIC 的 VIO 输入电源为基准的推挽 (PP) 缓冲器类型，也可选择带有外部上拉电阻器 (Rpu) 以上拉至所需电压的开漏 (OD) 缓冲器类型。Buck3 和 Buck4 的运行以及是否包含在电源时序中取决于 PMIC RS[3:0] 设置。

示例电源图

我们捕获了多个 PDN-7x 型号电源资源和控制信号映射图，以展示 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 平台 (SoC、LPDDR4 和闪存、电源资源) 对 1.4GHz 或 1.25GHz 处理性能以及有可选 PDN 功能的支持。

所有将来自第一级电池电源转换器的 3.3V 电压施加到 SoC 接口输入电源 (VDDSHV_CANUART、VDDSHV5) 的 PDN 方案，均必须确保在施加 3.3V 电压时，PMIC 会开始完整的 SoC 上电序列。这样可以避免 SoC 处于部分供电状态。

所有 PDN 方案都支持在系统冷启动之前禁用看门狗计时器的硬件选项，这在产品开发和调试期间非常有用。PMIC 在执行 SoC 上电序列期间锁存 GPIO6 引脚上的逻辑电平；有关详细信息，请参阅上面的“PMIC TPS6522x12-Q1”部分。

所有 PDN-5x 方案都支持与下面所示的 PDN-7x 示例类似的功能集。主要区别在于 HCP 使用支持较小输出电流的降压转换器 PN；有关详细信息，请参阅上面的“HCP TPS6287x-Q1”部分。

一些 PDN 方案可能会使用一个提供 3.3V 和 5.0V 输出电压的第一级电池电源转换器。用于一些 PDN 型号以支持 UHS-I SD 卡的分立式双电压 LDO ([TLV7103318-Q1](#)) 和一些汽车 CAN 收发器需要 5.0V 输入来提供 3.3V 稳压输出。如果使用单个 3.3V 第一级转换器，则可以根据需要添加分立式升压转换器 ([TPS61240-Q1](#))。

具有 3.3V 输入的 J722S PDN-7A

PDN-7A 使用 3.3V 输入电压并仅使用基本功率器件，为支持现场电子保险丝编程可选功能的 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 平台提供 1.4GHz 的处理能力，详见表 13。

表 13. 1.4GHz、3.3V 输入、PDN-7A 特性和 PMIC 资源选择设置

PDN 特性	PDN-7A (仅限基本)	电源	PMIC 资源选择 RS[3:0]				
			RS3	RS2	RS1	RS0 (RS1 = 0 时)	RS0 (RS1 = 1 时)
处理性能	1.4GHz, 0.85V	TPS62875B2-Q1 20A 降压转换器	Vin/VCCA 自动检测	内核/ VMON1 自动检测	GPIO1 LPM 状态	GPIO2 LDO2 使用 情况	GPIO2 Flex Core V
ASIL-B	是	TPS6522312X-Q1 PMIC	0 = 3.3V	0 = 0.75V	0 = 无	0 = 电子保 险丝	0 = 固定电压
3.3V 或 5V 输入	3.3V		1 = 5V	1 = 0.85V	1 = 是	1 = SD 卡	1 = 0.75V 或 0.85V
平台支持	是						
HS SoC 电子保 险丝编 程	是		0	1	0	0	

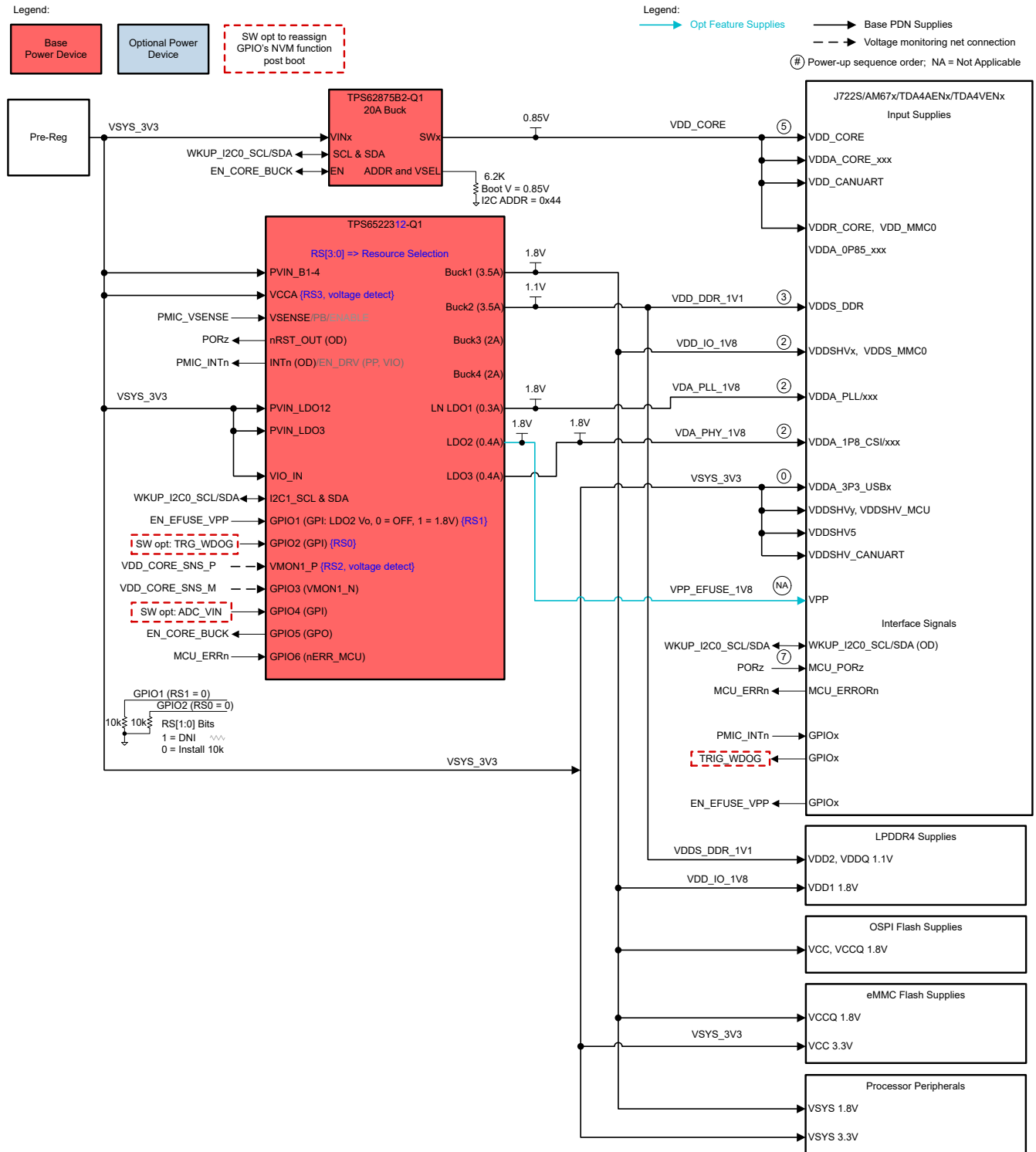


图 1. 具有可选电子保险丝编程功能的 1.4GHz、3.3V 输入、PDN-7A

具有 3.3V 输入的 J722S PDN-7A.S

PDN-7A.S 使用 3.3V 输入电压和基本功率器件来为 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 平台以及 1 个分立式器件提供 1.4GHz 处理能力，从而实现 UHS-I SD 卡可选功能，详见表 14。

表 14. 1.4GHz、3.3V 输入、PDN-7A.S 型号特性和 PMIC 资源选择设置

PDN 特性	PDN-7A.S (基本 + 附加)	电源	PMIC 资源选择 RS[3:0]				
			RS3	RS2	RS1	RS0 (RS1 = 0 时)	RS0 (RS1 = 1 时)
处理性能	1.4GHz , 0.85V	TPS62875B2-Q1 , 20A 降压 转换器	VIN/VCCA 自 动检测	内核/VMON1 自动检测	GPIO1 LPM 状态	GPIO2 LDO2 使用情 况	GPIO2 Flex Core V
ASIL-B	是	TPS6522312X-Q1 , PMIC	0 = 3.3V	0 = 0.75V	0 = 无	0 = 电子保险 丝	0 = 固定电压
3.3V 或 5V 输 入	3.3V		1 = 5V	1 = 0.85V	1 = 是	1 = SD 卡	1 = 0.75V/ 0.85V
平台支持	是						
HS SoC 电子 保险丝编程	是		0	1	0	0	
可选功能需要附加分立式功率器件							
UHS-I SD 卡	是	TLV7103318-Q1 , 200mA 双路 Vo LDO					

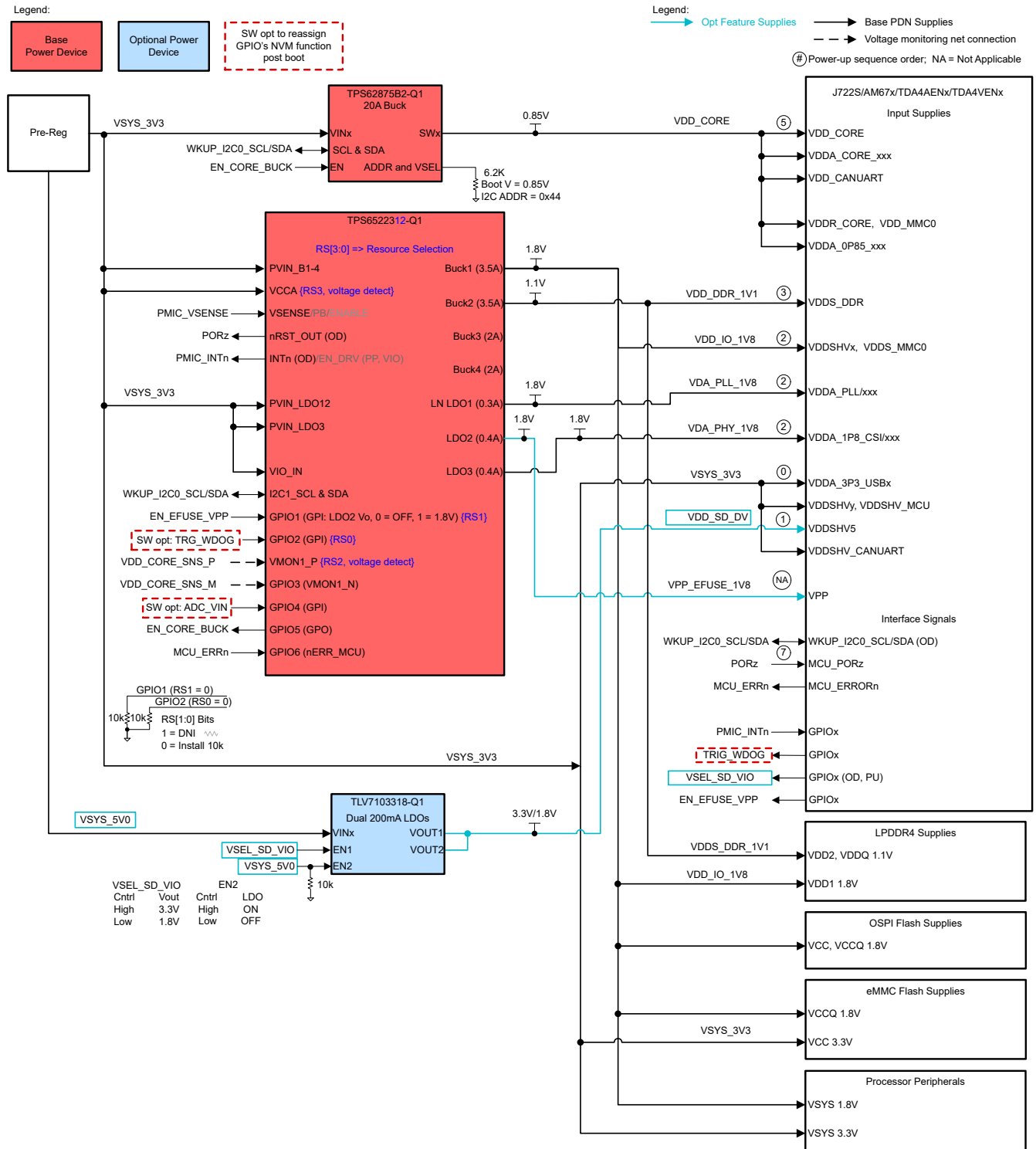


图 2. 1.4GHz、3.3V 输入、PDN-7A.S 型号添加了可选的 UHS-I SD 卡

具有 3.3V 输入的 J722S PDN-7B

PDN-7B 使用 3.3V 输入电压并仅使用基本功率器件，为支持 UHS-I SD 卡可选功能的 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 平台提供 1.4GHz 的处理能力，详见表 15。

表 15. 1.4GHz、3.3V 输入、PDN-7B 特性和 PMIC 资源选择设置

PDN 特性	PDN-7B (仅限基本)	电源	PMIC 资源选择 RS[3:0]				
			RS3	RS2	RS1	RS0 (RS1 = 0 时)	RS0 (RS1 = 1 时)
处理性能	1.4GHz, 0.85V	TPS62875B2-Q1 , 20A 降压转换器	VIN/VCCA 自动检测	内核/VMON1 自动检测	GPIO1 LPM 状态	GPIO2 LDO2 使用情况	GPIO2 Flex Core V
ASIL-B	是	TPS6522312X-Q1 , PMIC	0 = 3.3V	0 = 0.75V	0 = 无	0 = 电子保险丝	0 = 固定电压
3.3V 或 5V 输入	3.3V		1 = 5V	1 = 0.85V	1 = 是	1 = SD 卡	1 = 0.75V/0.85V
平台支持	是						
UHS-I SD 卡	是						

备注

RS 位逻辑电平的“灰色”单元格突出显示了与基准 PDN-7A 方案相比的 PMIC 资源差异，如图所示

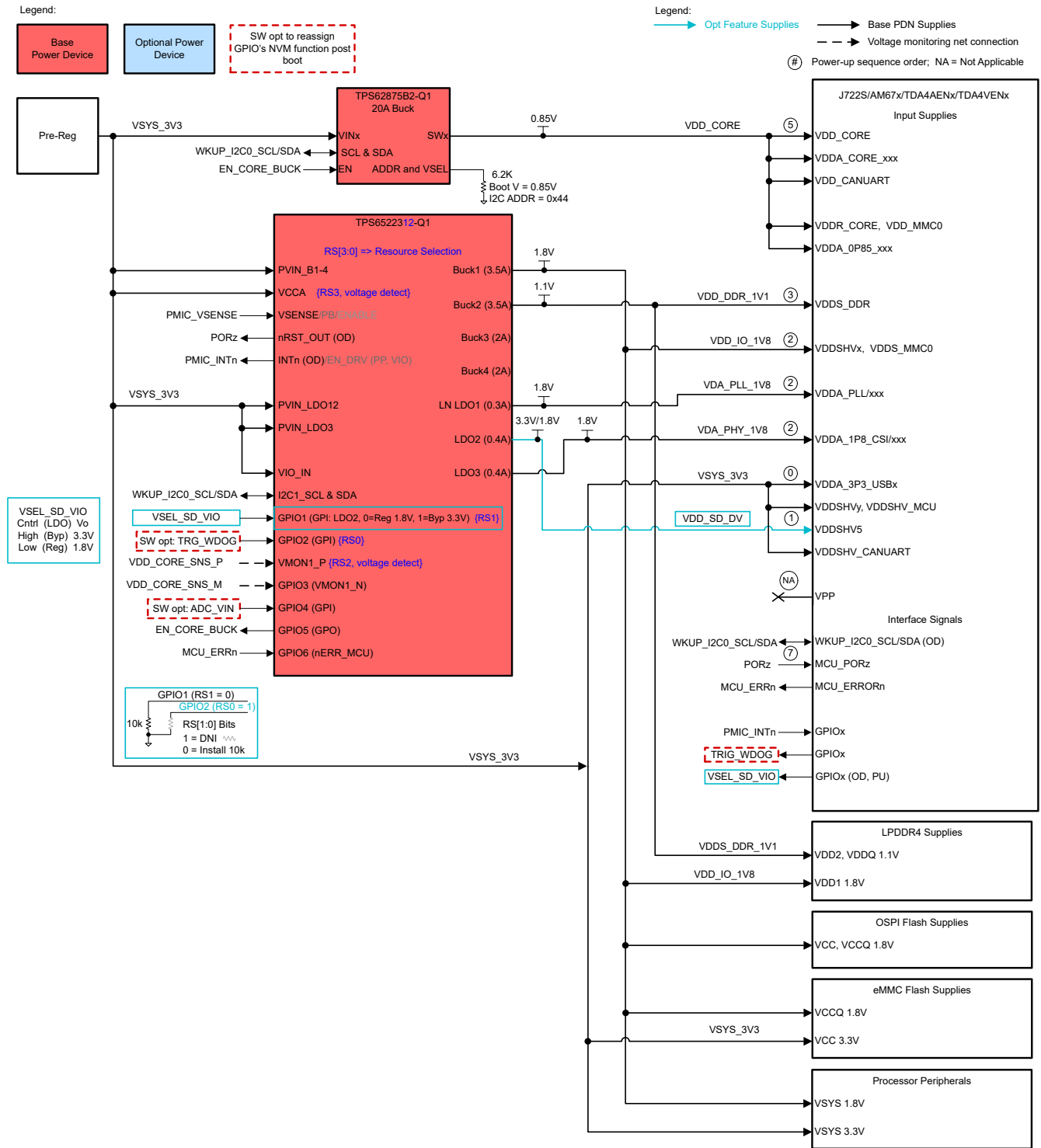


图 3. 具有可选的 UHS-I SD 卡的 1.4GHz、3.3V 输入、PDN-7B

具有 3.3V 输入的 J722S PDN-7B.E

PDN-7B.E 使用 3.3V 输入电压和基本功率器件为 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 平台以及 1 个分立式器件提供 1.4GHz 处理能力，从而实现现场 HS 电子保险丝编程可选功能，详见表 16。

表 16. 1.4GHz、3.3V 输入、PDN-7B.E 型号特性和 PMIC 资源选择设置

PDN 特性	PDN-7B.E (基本 + 附加)	电源	PMIC 资源选择 RS[3:0]				
			RS3	RS2	RS1	RS0 (RS1 = 0 时)	RS0 (RS1 = 1 时)
处理性能	1.4GHz , 0.85V	TPS62875B2-Q1 , 20A 降压转换器	VIN/VCCA 自动检测	内核/VMON1 自动检测	GPIO1 LPM 状态	GPIO2 LDO2 使用情况	GPIO2 Flex Core V
ASIL-B	是	TPS6522312X-Q1 , PMIC	0 = 3.3V	0 = 0.75V	0 = 无	0 = 电子保险丝	0 = 固定电压
3.3V 或 5V 输入	3.3V		1 = 5V	1 = 0.85V	1 = 是	1 = SD 卡	1 = 0.75V/ 0.85V
平台支持	是						
UHS-I SD 卡	是		0	1	0	1	
可选功能需要附加分立式功率器件							
HS SoC 电子保险丝编程	是	TPS7A21P-Q1 , 500mA LDO					

备注

RS 位逻辑电平的“灰色”单元格突出显示了与基准 PDN-7A 方案相比的 PMIC 资源差异，如图所示

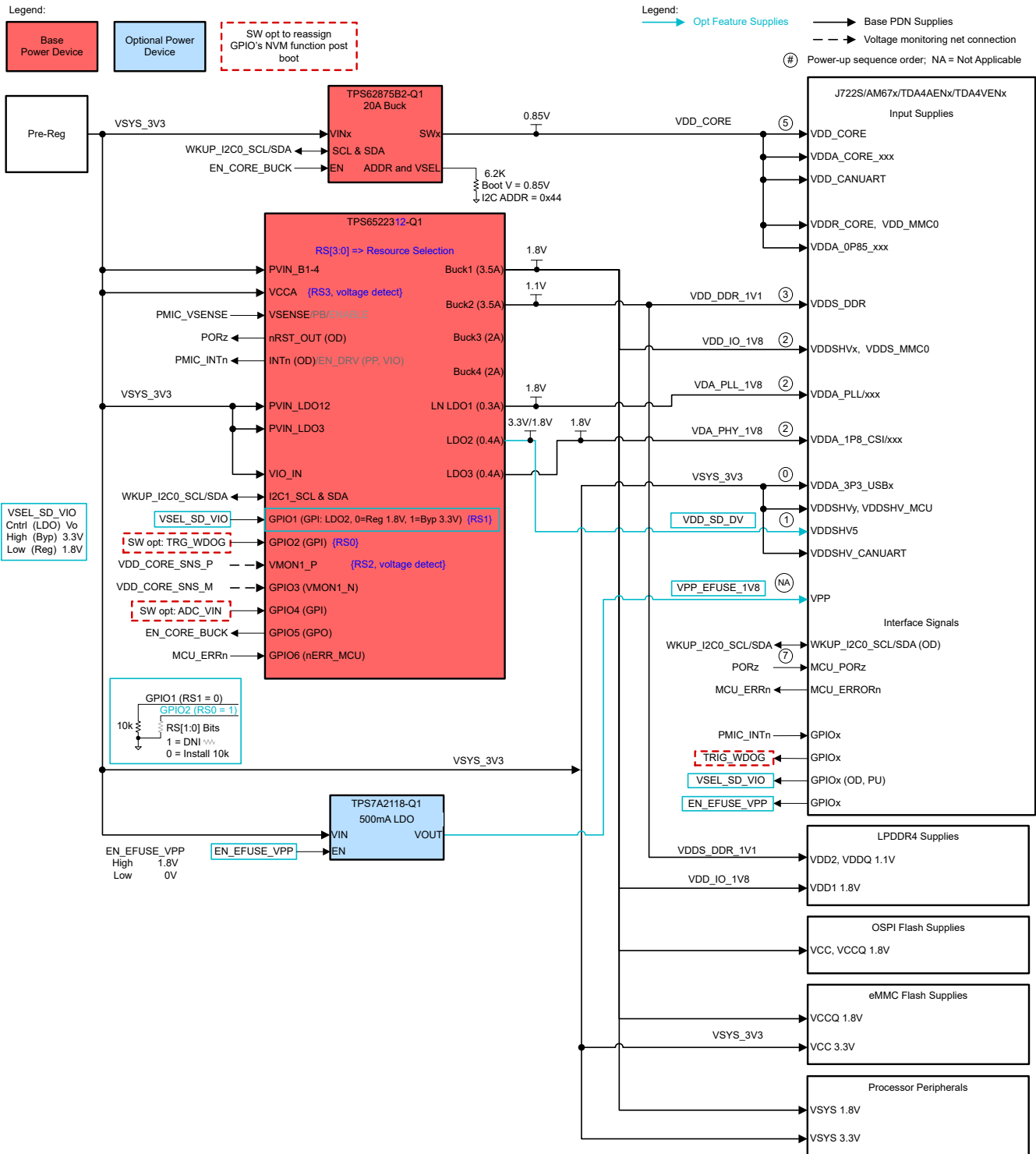


图 4. 1.4GHz、3.3V 输入、PDN-7B.E 型号添加了可选的电子保险丝编程

具有 3.3V 输入的 J722S PDN-7C

PDN-7C 使用 3.3V 输入电压和基本功率器件来为 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 平台以及 1 个分立式器件提供 1.4GHz 性能，从而实现部分 IO LPM 可选功能，详见表 17。

表 17. 1.4GHz、3.3V 输入、PDN-7C 特性和 PMIC 资源选择设置

PDN 特性	PDN-7C (基本 + 附加)	电源	PMIC 资源选择 RS[3:0]				
			RS3	RS2	RS1	RS0 (RS1 = 0 时)	RS0 (RS1 = 1 时)
处理灵活性能	1.4GHz , 0.85V	TPS62875B2-Q1 , 20A 降压转换器	VIN/VCCA 自动检测	内核/VMON1 自动检测	GPIO1 LPM 状态	GPIO2 LDO2 使用情况	GPIO2 Flex Core V
ASIL-B	是	TPS6522312X-Q1 , PMIC	0 = 3.3V	0 = 0.75V	0 = 无	0 = 电子保险丝	0 = 固定电压
3.3V 或 5V 输入	3.3V		1 = 5V	1 = 0.85V	1 = 是	1 = SD 卡	1 = 0.75V/0.85V
平台支持	是		0	1	1		0
可选功能需要附加分立式功率器件							
部分 IO 保持	是	TPS22965-Q1 , 4A 负载开关					

备注

RS 位逻辑电平的“灰色”单元格突出显示了与基准 PDN-7A 方案相比的 PMIC 资源差异，如图所示

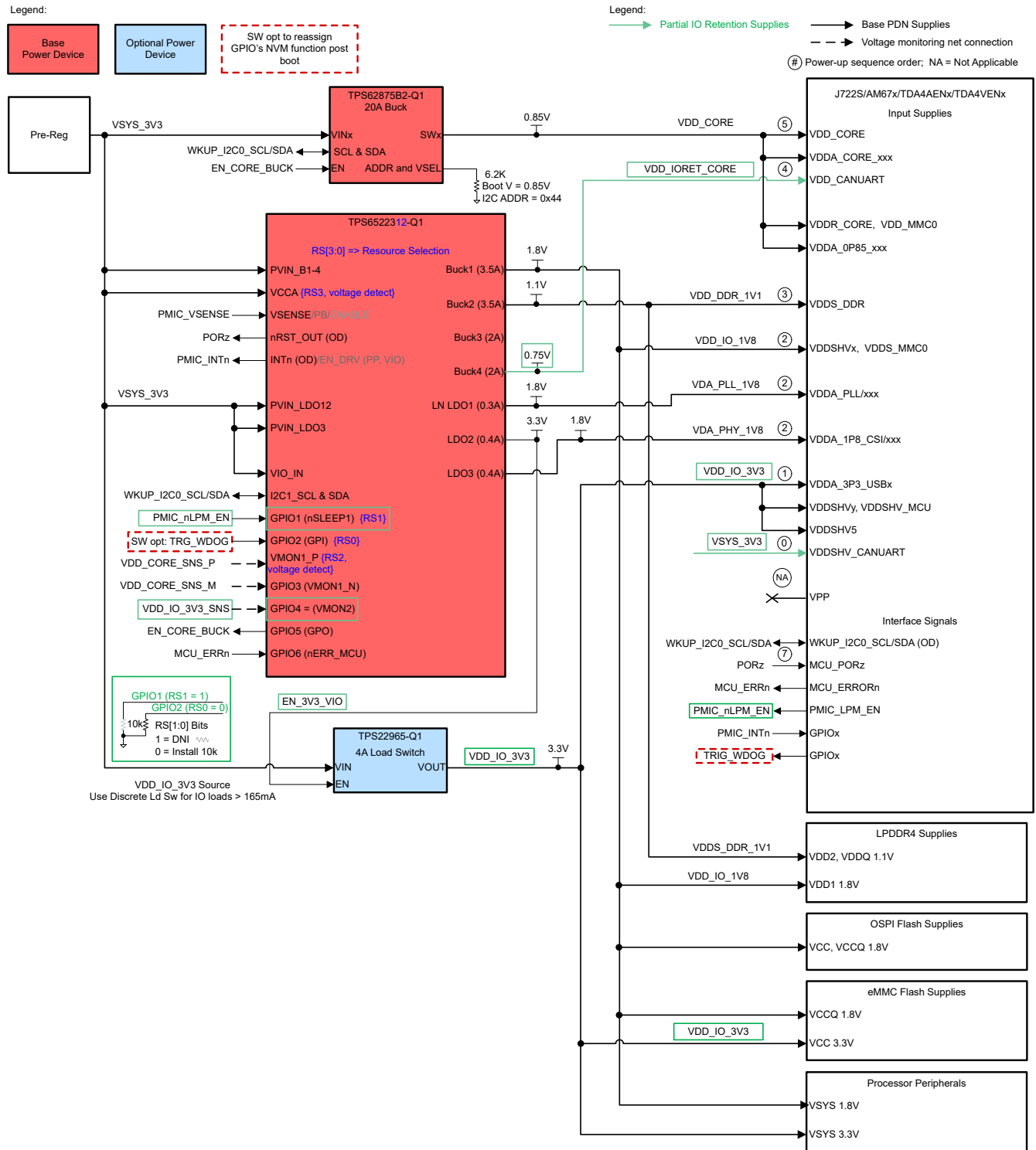


图 5. 具有部分 IO 保持 LPM 的 1.4GHz、3.3V 输入、PDN-7C

具有 3.3V 输入的 J722S PDN-7D

PDN-7D 使用 3.3V 输入电压和基本功率器件来为 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 平台以及 1 个分立式器件提供灵活的 1.4GHz 引导和 1.25GHz 运行时可调节性能，从而实现部分 IO LPM 可选功能，详见表 18。

表 18. 1.4GHz、3.3V 输入、灵活 PDN-7D 特性和 PMIC 资源选择设置

PDN 特性	PDN-7D (基本 + 附加)	电源	PMIC 资源选择 RS[3:0]				
			RS3	RS2	RS1	当 RS1 = 0 时为 RS0	当 RS1 = 1 时为 RS0
处理灵活性能引导软件调整	1.4GHz , 0.85V 1.25GHz , 0.75V	TPS62875B2-Q1 , 20A 降压转换器	VIN/VCCA 自动检测	内核/VMON1 自动检测	GPIO1 LPM 状态	GPIO2 LDO2 使用情况	GPIO2 Flex Core V
ASIL-B	是	TPS6522312X-Q1 , PMIC	0 = 3.3V	0 = 0.75V	0 = 无	0 = 电子保险丝	0 = 固定电压
3.3V 或 5V 输入	3.3V		1 = 5V	1 = 0.85V	1 = 是	1 = SD 卡	1 = 0.75V/0.85V
平台支持	是		0	1	1		1
可选功能需要附加分立式功率器件							
部分 IO 保持	是	TPS22965-Q1 , 4A 负载开关					

备注

RS 位逻辑电平的“灰色”单元格突出显示了与基准 PDN-7A 方案相比的 PMIC 资源差异，如图所示

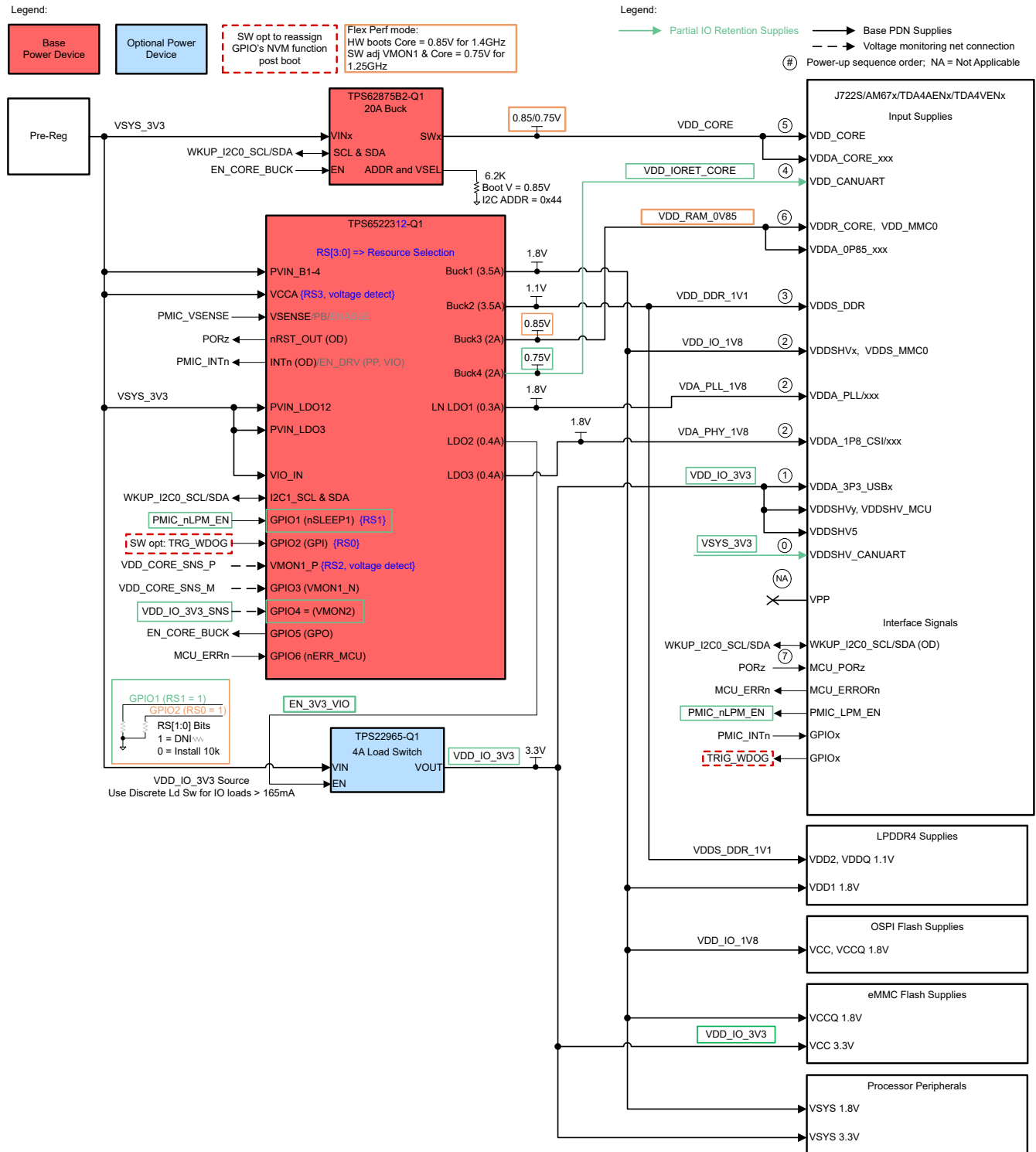


图 6. 具有部分 IO 保持 LPM 的 1.4GHz、3.3V 输入、灵活 PDN-7D

具有 3.3V 输入的 J722S PDN-7D.DES (EVM)

PDN-7D.DES 使用 3.3V 输入电压和基本功率器件来为 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 平台提供灵活的 1.4GHz 引导和 1.25GHz 运行时可调节性能。PDN-7D.DES 添加了 4 个分立式器件以启用部分 IO 和 DDR 保持 LPM、HS SOC 电子保险丝编程和 UHS-I SD 卡可选功能，详见表 19。TI EVM 演示了该 PDN 方案。

表 19. 1.4GHz、3.3V 输入、灵活 PDN-7D.DES 型号特性和 PMIC 资源选择设置图

PDN 特性	PDN-7D.DES (基本 + 附加)	电源	PMIC 资源选择 RS [3:0]				
			RS3	RS2	RS1	RS0 (RS1 = 0 时)	RS0 (RS1 = 1 时)
处理灵活性能 引导软件调整	1.4GHz , 0.85V 1.25GHz , 0.75V	TPS62875B2-Q1 , 20A 降压 转换器	VIN/VCCA 自 动检测	内核/VMON1 自动检测	GPIO1 LPM 状态	GPIO2 LDO2 使用情 况	GPIO2 Flex Core V
ASIL-B	是	TPS6522312X-Q1 , PMIC	0 = 3.3V	0 = 0.75V	0 = 无	0 = 电子保险 丝	0 = 固定电压
3.3V 或 5V 输 入	3.3V		1 = 5V	1 = 0.85V	1 = 是	1 = SD 卡	1 = 0.75V/ 0.85V
平台支持	是		0	1	1		1
可选功能需要附加分立式功率器件							
部分 IO 保持	是	TPS22965-Q1 , 4A 负载开关					
和 DDR 保持	是	TPS73318P-Q1 , 300mA LDO					
HS SoC 电子 保险丝编程	是	TPS7A21P-Q1 , 500mA LDO					
UHS-I SD 卡	是	TLV7103318-Q1 , 双路 Vo LDO					

备注

RS 位逻辑电平的“灰色”单元格突出显示了与基准 PDN-7A 方案相比的 PMIC 资源差异，如图所示。

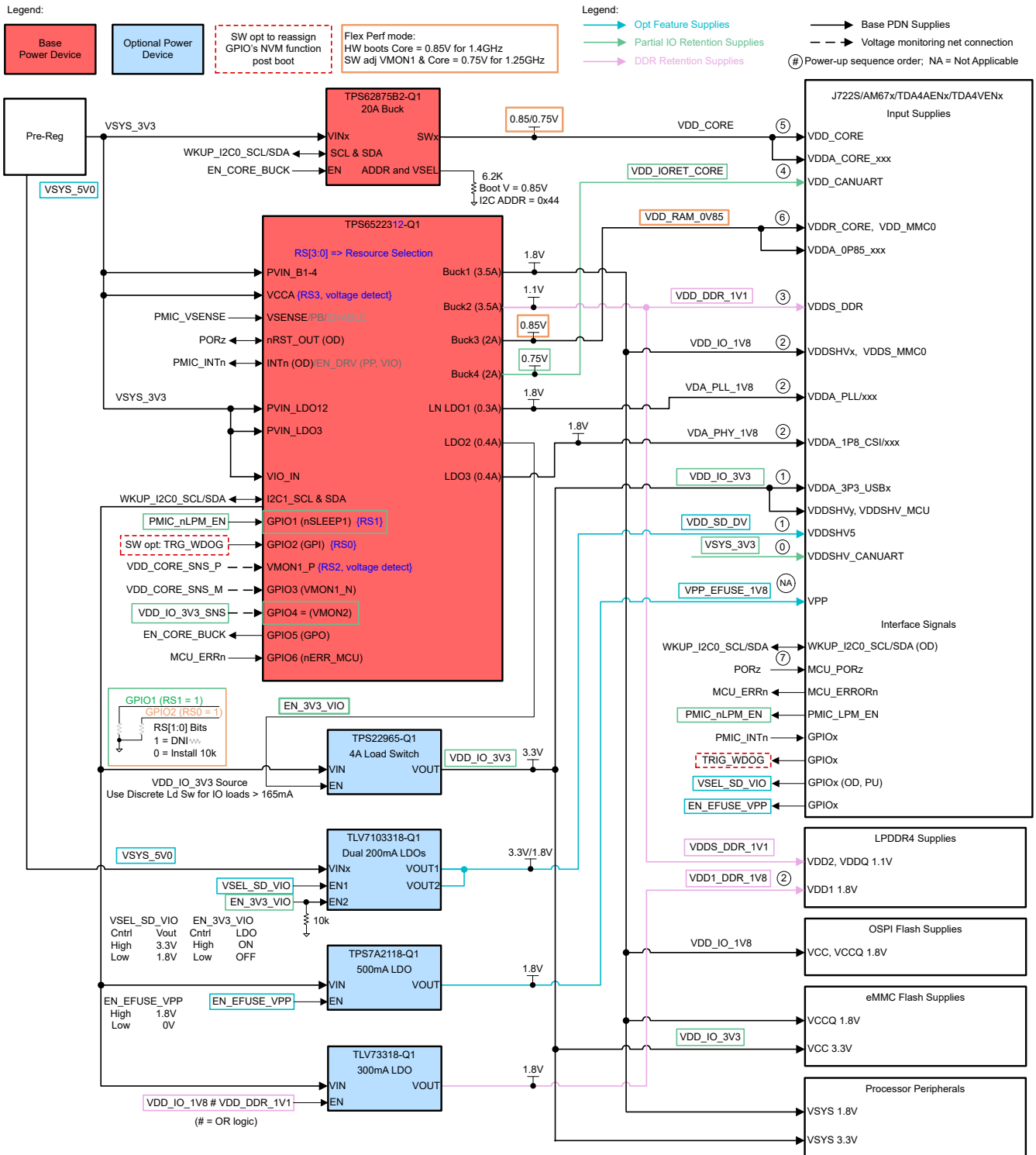


图 7. 1.4GHz、3.3V 输入、灵活 PDN-7D.DES 型号添加了可选的部分 IO 和 DDR 保持 LPM、电子保险丝编程和 UHS-I SD 卡

具有 3.3V 输入的 J722S PDN-5L

PDN-5L 使用 3.3V 输入电压并仅使用基本功率器件，为支持现场电子保险丝编程可选功能的 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 平台提供 1.25GHz 性能，详见表 20。

表 20. 1.25GHz、3.3V 输入、PDN-5L 特性和 PMIC 资源选择设置

PDN 特性	PDN-5L (仅限基本)	电源	PMIC 资源选择 RS[3:0]				
			RS3	RS2	RS1	当 RS1 = 0 时 为 RS0	当 RS1 = 1 时 为 RS0
处理性能	1.25GHz	TPS62873-Q1 ，15A 降压转换器	VIN/VCCA 自动检测	内核/VMON1 自动检测	GPIO1 LPM 状态	GPIO2 LDO2 使用情况	GPIO2 Flex Core V
ASIL-B	是	TPS6522312X-Q1 ，PMIC	0 = 3.3V	0 = 0.75V	0 = 无	0 = 电子保险丝	0 = 固定电压
3.3V 或 5V 输入	3.3V		1 = 5V	1 = 0.85V	1 = 是	1 = SD 卡	1 = 0.75V/ 0.85V
平台支持	是						
HS SoC 电子保险丝编程	是		0	0	0	0	

备注

RS 位逻辑电平的“灰色”单元格突出显示了与基准 PDN-7A 方案相比的 PMIC 资源差异，如图所示

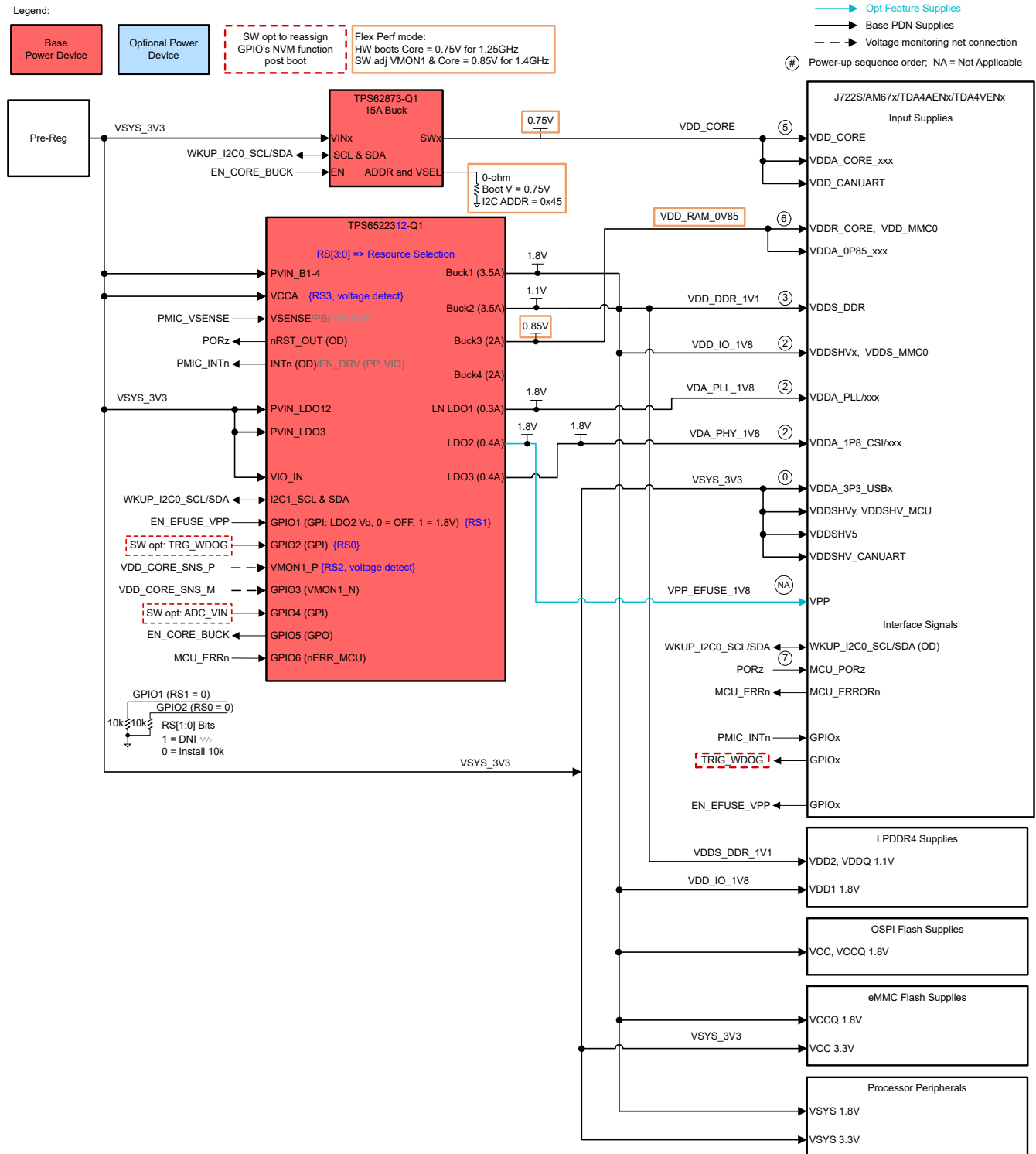


图 8. 具有可选电子保险丝编程功能的 1.25GHz、3.3V 输入、PDN-5L

具有 3.3V 输入的 J722S PDN-5M

PDN-5M 使用 3.3V 输入电压并仅使用基本功率器件，为支持 UHS-I SD 卡可选功能的 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 平台提供 1.25GHz 性能，详见表 21。

表 21. 1.25GHz、3.3V 输入、PDN-5M 特性和 PMIC 资源选择设置

PDN 特性	PDN-5M (仅限基本)	电源	PMIC 资源选择 RS[3:0]				
			RS3	RS2	RS1	当 RS1 = 0 时 为 RS0	当 RS1 = 1 时 为 RS0
处理性能	1.25GHz	TPS62873-Q1 ，15A 降压转换器	VIN/VCCA 自动检测	内核/VMON1 自动检测	GPIO1 LPM 状态	GPIO2 LDO2 使用情况	GPIO2 Flex Core V
ASIL-B	是	TPS6522312X-Q1 ，PMIC	0 = 3.3V	0 = 0.75V	0 = 无	0 = 电子保险丝	0 = 固定电压
3.3V 或 5V 输入	3.3V		1 = 5V	1 = 0.85V	1 = 是	1 = SD 卡	1 = 0.75V/ 0.85V
平台支持	是						
HS SoC 电子保险丝编程	是		0	0	0	1	

备注

RS 位逻辑电平的“灰色”单元格突出显示了与基准 PDN-7A 方案相比的 PMIC 资源差异，如图所示。

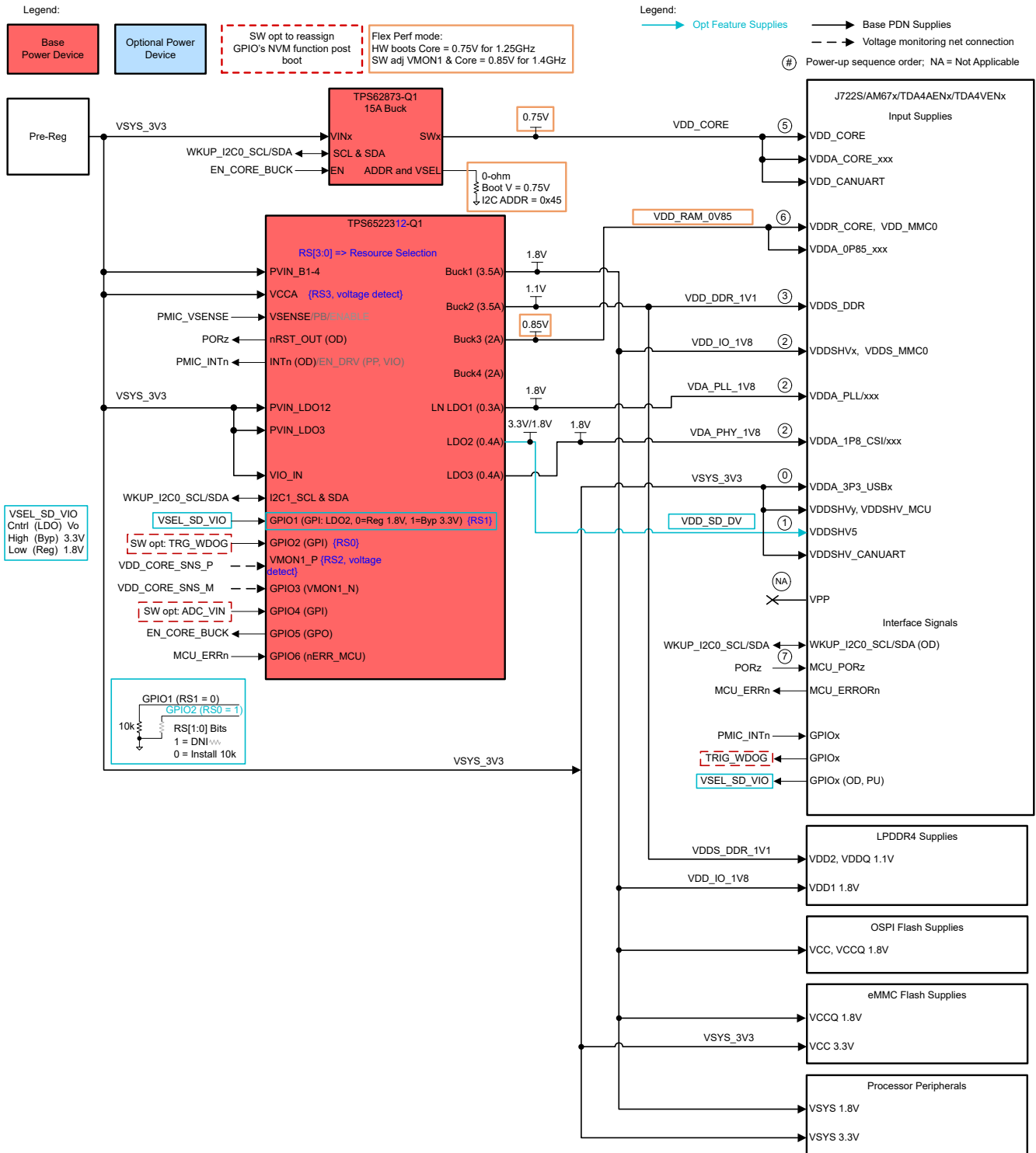


图 9. 具有可选的 UHS-I SD 卡的 1.25GHz、3.3V 输入、PDN-5M

具有 3.3V 输入的 J722S PDN-5N

PDN-5N 使用 3.3V 输入电压和基本功率器件来为 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 平台以及 1 个分立式器件提供 1.25GHz 性能，从而实现部分 IO LPM 可选功能，详见表 22。

表 22. 1.25GHz、3.3V 输入、PDN-5N 特性和 PMIC 资源选择设置

PDN 特性	PDN-5N (基本 + 附加)	电源	PMIC 资源选择 RS[3:0]				
			RS3	RS2	RS1	当 RS1 = 0 时为 RS0	当 RS1 = 1 时为 RS0
处理性能	1.25GHz , 0.75V	TPS62873-Q1 , 15A 降压转换器	VIN/VCCA 自动检测	内核/VMON1 自动检测	GPIO1 LPM 状态	GPIO2 LDO2 使用情况	GPIO2 Flex Core V
ASIL-B	是	TPS6522312X-Q1 , PMIC	0 = 3.3V	0 = 0.75V	0 = 无	0 = 电子保险丝	0 = 固定电压
3.3V 或 5V 输入	3.3V		1 = 5V	1 = 0.85V	1 = 是	1 = SD 卡	1 = 0.75V/ 0.85V
平台支持	是		0	0	1		0
可选功能需要附加分立式功率器件							
部分 IO 保持	是	TPS22965-Q1 , 4A 负载开关					

备注

RS 位逻辑电平的“灰色”单元格突出显示了与基准 PDN-7A 方案相比的 PMIC 资源差异，如图所示。

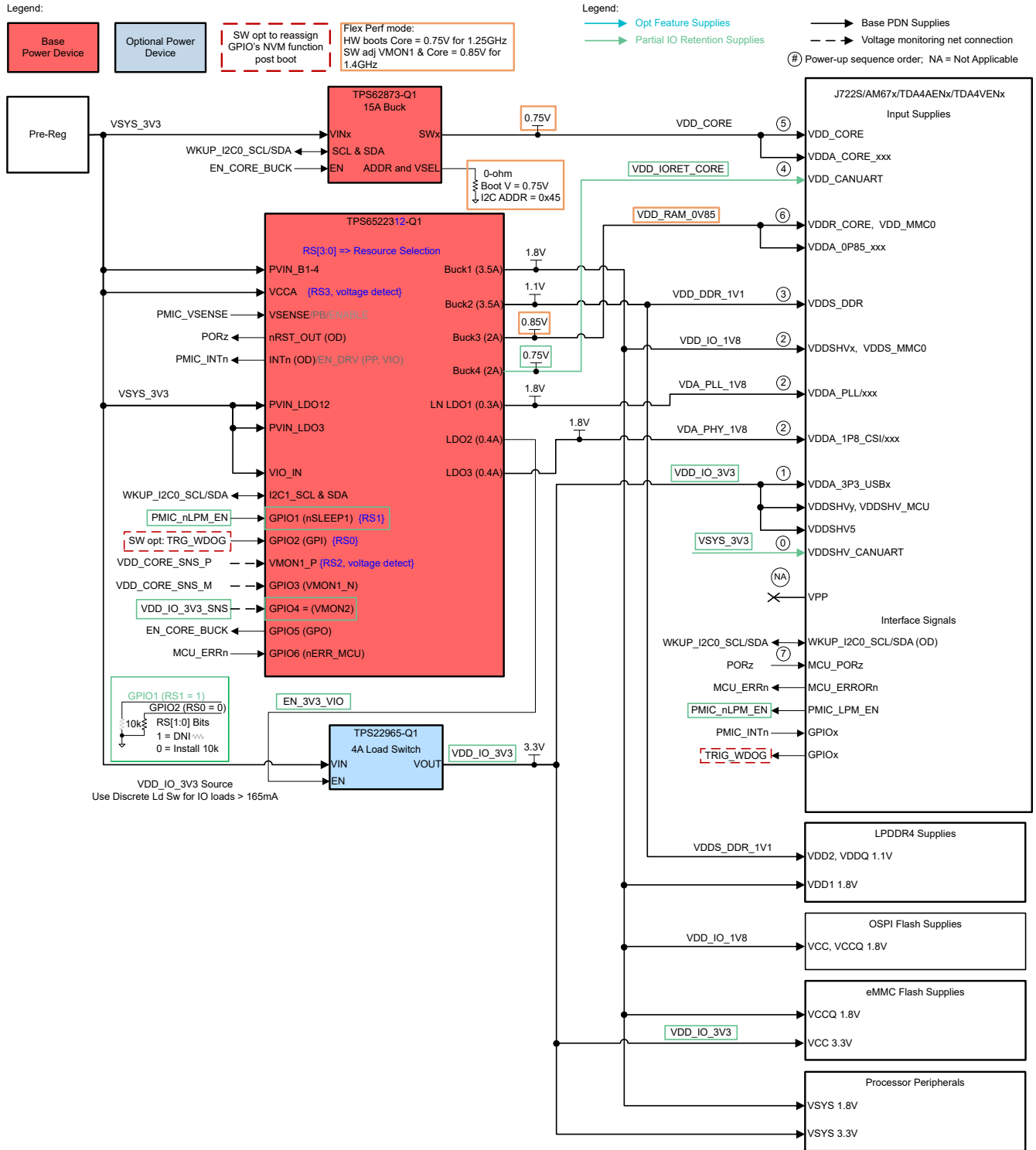


图 10. 具有部分 IO 保持 LPM 的 1.25GHz、3.3V 输入、PDN-5N

具有 3.3V 输入的 J722S PDN-5N.DES

PDN-5N.DES 使用 3.3V 输入电压和基本功率器件来为 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 平台以及 4 个分立式器件提供 1.25GHz 性能，从而实现部分 IO 和 DDR 保持 LPM、HS SOC 电子保险丝编程和 UHS-I SD 卡功能，详见表 23。

表 23. 1.25GHz、3.3V 输入、PDN-5N.DES 型号特性和 PMIC 资源选择设置

PDN 特性	PDN-5N.DES (基本 + 附加)	电源	PMIC 资源选择 RS[3:0]				
			RS3	RS2	RS1	当 RS1 = 0 时为 RS0	当 RS1 = 1 时为 RS0
处理灵活性能引导软件调整	1.25GHz , 0.75V 1.4GHz , 0.85V	TPS62873-Q1 , 15A 降压转换器	VIN/VCCA 自动检测	内核/VMON1 自动检测	GPIO1 LPM 状态	GPIO2 LDO2 使用情况	GPIO2 Flex Core V
ASIL-B	是	TPS6522312X-Q1 , PMIC	0 = 3.3V	0 = 0.75V	0 = 无	0 = 电子保险丝	0 = 固定电压
3.3V 或 5V 输入	3.3V		1 = 5V	1 = 0.85V	1 = 是	1 = SD 卡	1 = 0.75V/ 0.85V
平台支持	是		0	0	1		0
可选功能需要附加分立式功率器件							
部分 IO 保持	是	TPS22965-Q1 , 4A 负载开关					
和 DDR 保持	是	TPS73318P-Q1 , 300mA LDO					
HS SoC 电子保险丝编程	是	TPS7A21P-Q1 , 500mA LDO					
UHS-I SD 卡	是	TLV7103318-Q1 , 双路 Vo LDO					

备注

RS 位逻辑电平的“灰色”单元格突出显示了与基准 PDN-7A 方案相比的 PMIC 资源差异，如图所示。

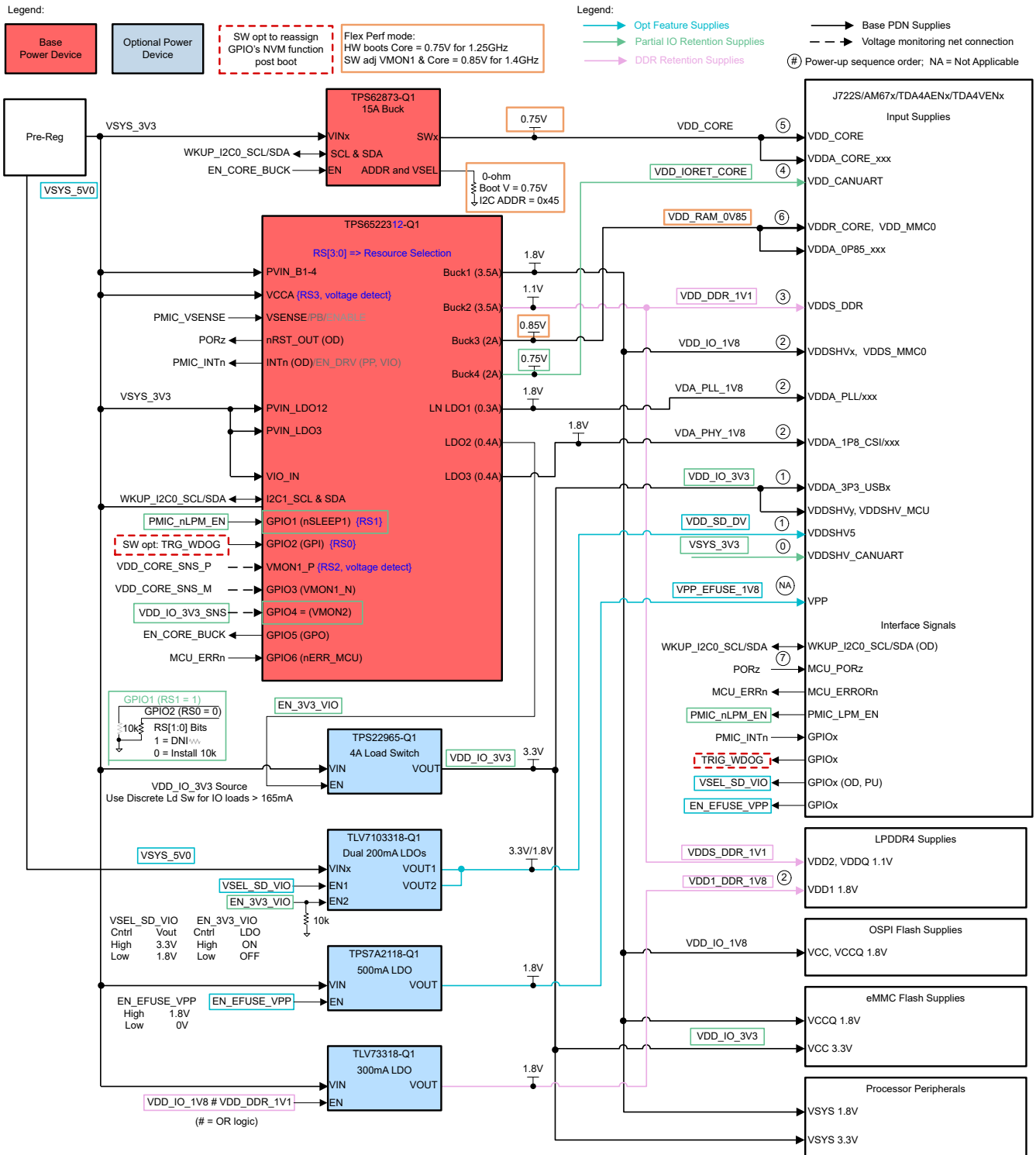


图 11. 1.25GHz、3.3V 输入、PDN-5N.DES 型号添加了部分 IO 和 DDR 保持 LPM、电子保险丝编程和 UHS-I SD 卡

具有 5.0V 输入的 J722S PDN-7A5

PDN-7A5 使用 5.0V 输入电压并仅使用具有 5.0V 输入电压的基本功率器件，为支持现场电子保险丝编程可选功能的 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 平台提供 1.4GHz 的处理能力，详见表 24。

表 24. 1.4GHz、5V 输入、PDN-7A5 特性和 PMIC 资源选择设置

PDN 特性	PDN-7A5 (仅限基本)	电源	PMIC 资源选择 RS[3:0]				
			RS3	RS2	RS1	当 RS1 = 0 时 为 RS0	当 RS1 = 1 时 为 RS0
处理性能	1.4GHz , 0.85V	TPS62875B2-Q1 , 20A 降压 转换器	VIN/VCCA 自 动检测	内核/VMON1 自动检测	GPIO1 LPM 状态	GPIO2 LDO2 使用情 况	GPIO2 Flex Core V
ASIL-B	是	TPS6522312X-Q1 , PMIC	0 = 3.3V	0 = 0.75V	0 = 无	0 = 电子保险 丝	0 = 固定电压
3.3V 或 5V 输 入	5.0V		1 = 5V	1 = 0.85V	1 = 是	1 = SD 卡	1 = 0.75V/ 0.85V
平台支持	是						
HS SoC 电子 保险丝编程	是			1	1	0	0

备注

RS 位逻辑电平的“灰色”单元格突出显示了与基准 PDN-7A 方案相比的 PMIC 资源差异，如图所示。

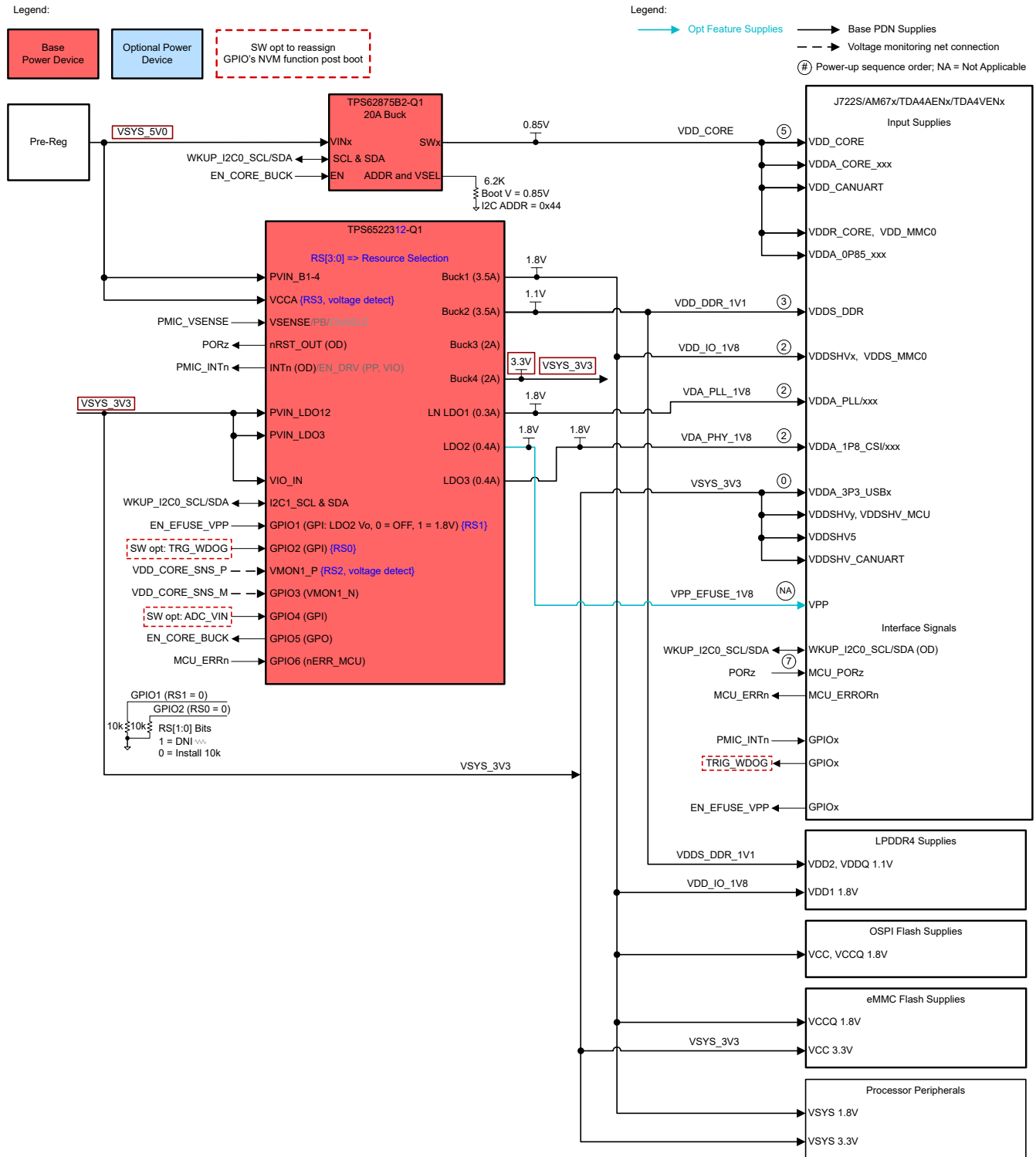


图 12. 具有可选电子保险丝编程功能的 1.4GHz、5V 输入、PDN-7A5

结语

本文介绍了多种推荐的电源设计，它们可为 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 平台提供峰值处理能力。一款资源可配置的 [TPS6522x12-Q1](#) PMIC 被确定为中央功率器件，它具有灵活的 HCP，可进行扩展以满足各种最大用例下的峰值负载，从而实现低成本、小尺寸的 PDN 方案。符合功能安全标准的 [TPS6522x12-Q1](#) PMIC 和 HCPS 内所用的快速瞬变、高电流降压转换器 [TPS6287x-Q1](#) 构成汽车 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 产品的基本功率器件。PDN 选择指南可用于优化 [J722S/AM67x/TDA4VEN/TDA4AEN](#) 处理器在不同峰值负载和可选最终产品功能下的用例。本文还提供了每种 PDN 型号的电源图示例，以阐明不同的电源设计、展示其灵活性并帮助加快设计过程。

参考文献

汽车元件

- 德州仪器 (TI), [TDA4AEN-Q1、TDA4VEN-Q1 Jacinto™ 处理器数据表](#)
- 德州仪器 (TI), [TPS65224-Q1 具有 4 个降压稳压器和 3 个 LDO 且适用于安全相关汽车类应用的电源管理 IC \(PMIC\) 数据表](#)
- 德州仪器 (TI), [TPS6287x-Q1 具有快速瞬态响应功能的 2.7V 至 6V 输入, 6A、9A、12A、15A 可堆叠同步降压转换器数据表](#)
- 德州仪器 (TI), [TPS6287x-Q1 具有 I2C 接口的 2.7V 至 6V 输入, 15A、20A、25A 和 30A 汽车类快速瞬态响应同步降压转换器数据表](#)
- 德州仪器 (TI), [TPS22965x-Q1 5.5V、4A、16mΩ 导通电阻汽车类负载开关数据表](#)
- 德州仪器 (TI), [TLV733P-Q1 无电容 300mA 低压降 \(LDO\) 线性稳压器数据表](#)
- 德州仪器 (TI), [TLV7103318-Q1 用于便携式器件的双路 200mA、低 I_Q、低压降稳压器数据表](#)
- 德州仪器 (TI), [TPS7A21-Q1 汽车类、500mA、低噪声、低 IQ、高 PSRR LDO 数据表](#)
- 德州仪器 (TI), [TPS61240-Q1 3.5MHz 高效升压转换器数据表](#)

工业元件

- 德州仪器 (TI), [AM67x 处理器数据表](#)
- 德州仪器 (TI), [TPS6287x 具有快速瞬态响应功能的 2.7V 至 6V 输入, 6A、9A、12A、15A 可堆叠同步降压转换器数据表](#)
- 德州仪器 (TI), [TPS22965 5.7V、6A、16mΩ 导通电阻负载开关数据表](#)
- 德州仪器 (TI), [TLV7103318 用于便携式器件的双路 200mA、低 I_Q、低压降稳压器数据表](#)
- 德州仪器 (TI), [TLV733P 无电容 300mA 低压降稳压器](#)
- 德州仪器 (TI), [TPS7A21 500mA、低噪声、低 IQ、高 PSRR LDO 数据表](#)
- 德州仪器 (TI), [TPS6124x 3.5MHz 高效升压转换器数据表](#)

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司