



Xiaoxiang Liu

摘要

随着系统级芯片 (SoC) 和显示屏技术的不断进步，两者间视频信号的兼容性成为设计挑战。为解决这一问题，视频信号桥接芯片 (Bridge) 应运而生，它们作为中介，将 SoC 或图形处理单元 (GPU) 产生的视频信号转换为显示屏所能接收的格式，确保信号的顺利传输与显示。TI 作为世界领先的半导体器件公司，其产品 SN65DSI8x 系列桥接芯片不仅解决了现代电子设备中信号转换的难题，更为设计者提供了构建高质量显示系统的有力工具。本文总结了 SN65DSI8x 系列选型方法，软件使用指南，有助于工程师更高效地设计出更具竞争力的显示产品。

SN65DSI8x 的分类

SN65DSI8x 包含 SN65DSI83, SN65DSI84, SN65DSI85 三个不同的型号，SN65DSI83-Q1, SN65DSI84-Q1, SN65DSI85-Q1 为对应的车规版本。

三者主要特点如下：

SN65DSI83:

- 单通道 MIPI DSI 输入，单通道 LVDS 输出
- 输入 DSI 时钟：40 - 500 MHz; LVDS 输出时钟范围：25 - 154 MHz
- DSI 支持最多 4 个通道，每个通道 1 Gbps

SN65DSI84:

- 单通道 MIPI DSI 输入，双通道 LVDS 输出
- 输入 DSI 时钟：40 - 500 MHz; 每个 LVDS 输出时钟范围：25 - 154 MHz
- DSI 支持最多 4 个通道，每个通道 1 Gbps

SN65DSI85:

- 双通道 MIPI DSI 输入，双通道 LVDS 输出
- 输入 DSI 时钟：40 - 500 MHz; 每个 LVDS 输出时钟范围：25 - 154 MHz
- 两个 DSI 通道，每个 DSI 通道支持最多 4 个通道，每个通道 1 Gbps；

三者主要区别如图 1 所示：

Video Configurations	DSI Input Option – Left/Right(LR), Odd/Even(OE)	Number of DSI Input Channels	Number of DSI Output Channels	SN65DSI83	SN65DSI84	SN65DSI85
1 Ch DSI to 1 Ch LVDS	N/A	1	1	x	X	x
1 Ch DSI to 2 Ch LVDS	N/A	1	2	N/A	X	x
2 Ch LR DSI to 1 Ch LVDS	LR	2	1	N/A	N/A	x
2 Ch OE DSI to 1 Ch LVDS	OE	2	1	N/A	N/A	x
2 Ch LR DSI to 2 Ch LVDS	LR	2	2	N/A	N/A	x
2 Ch OE DSI to 2 Ch LVDS	OE	2	2	N/A	N/A	x

图 1. SN65DSI83/84/85 区别

根据应用场景选择对应的 **SN65DSI8x** 型号

应用 1 : **SN65DSI83** 单通道输入，单通道输出 **Single-channel DSI to Single-channel LVDS**

选型前，需要了解屏幕的具体参数信息，以应用 1 屏幕参数示例,其屏幕刷新率为 60Hz 所示的屏幕参数为例，先确认屏幕分辨率和 Blanking 等信息。

Parameter	Symbol	Min.	Typ.	Max	Unit	Note
Horizontal Display Area	thd	-	1024	-	DCLK	
DCLK frequency	fclk	40.8	51.2	67.2	MHz	
HSD Period	th	1114	1344	1400	DCLK	
HSD Blanking	Thb+thfp	90	320	376	DCLK	
Vertical Display Area	tvd	600			TH	
VSD Period	th	610	635	800	TH	
VSD Blanking	Thb+thfp	10	35	200	TH	

图 2. 应用 1 屏幕参数示例,其屏幕刷新率为 60Hz

根据屏幕参数，能够计算出输出的 LVDS LCK。根据应用 1 屏幕参数示例,其屏幕刷新率为 60Hz 的参数可以计算出 LVDS CLK = Htotal × Vtotal × 60 = 51.2MHz，如果没有 Total 值可以用公式 (1)，Blanking 取 20%，建议能够拿到完整的 blanking 信息，这样计算才准确。而 SN65DSI83 的输出时钟频率范围是 25-154 MHz, 所以满足 SN65DSI83 的输出要求。

$$LVDS\ CLK = H_{Active} \times V_{Active} \times frame\ rate \times (1 + \%blanking)$$

对应的输入要求呢, SN65DSI83-Q1 为单通道输出, bpp 取 24，需要用到公式 (2)：

$$DSI\ CLK = \frac{2 \times LVDS\ CLK \times bpp}{2 \times \#\ of\ DSI\ DataLanes}$$

假设 LVDS CLK 频率为之前提供的 51.2 MHz，同时假设屏幕是 24 bpp (使用 4 个 LVDS 数据通道) 并且 SN65DSI83 上的所有 4 个 DSI 数据通道都将被使用。将这些数据代入公式，我们得到 DSI CLK 频率为 153.6 MHz。SN65DSI83 支持的 DSI CLK 输入范围是 40-500 MHz，所以输入也满足 SN65DSI83 要求。

应用 2 : **SN65DSI84** 单通道输入，双通道输出 **Single-channel DSI to dual-channel LVDS**

单通道输入双 LVDS 显示的应用场景时，选择 SN65DSI84 桥接芯片。基于按照应用 2 屏幕参数示例,其屏幕刷新率为 60Hz 给的屏幕参数来计算，对于双 LVDS 显示器，这种情况下，显示器有两组 LVDS 时钟。如果需要的频率是 45.3 MHz.

Item	Symbol	Min.	Typ.	Max.	Unit
Frame Rate	--	55	60	65	Hz
Vertical Total Time	Tv	730	738	764	line
Vertical Display Time	Tvd	720			
Vertical Blanking Time	Tvb	10	18	44	line
Horizontal Total Time	Th	1022	1024	1080	clock
Horizontal Display Time	Thd	960			
Horizontal Blanking Time	Thb	62	64	120	clock
Clock Rate	1/ T _{clock}	45.4	45.3	48.5	MHz

图 3. 应用 2 屏幕参数示例,其屏幕刷新率为 60Hz

在 DSI 到双通道 LVDS 的应用场景下，DSI CLK 频率的计算与单通道应用不同，因为当涉及到双通道 LVDS 时，DSI CLK 需要同时支持两个 LVDS CLK 的需求，DSI CLK 需要参考公式 (3)。带入应用 2 屏幕参数示例,其屏幕刷新率为 60Hz 的参数进行计算，得到 DSI 时钟频率大约是 271.8 MHz。SN65DSI84 支持的 DSI 时钟频率范围是 40 MHz 到 500 MHz，所以 271.8 MHz 在这个范围内符合芯片要求。

$$DSI\ CLK = \frac{2 \times LVDS\ CLK \times bpp}{2 \times \#\ of\ DSI\ DataLanes}$$

应用 3 : SN65DSI85 双通道输入，双通道输出 Dual-channel DSI to dual-channel LVDS

Item	Symbol	Min.	Typ.	Max.	Unit
Frame Rate	--	55	60	65	Hz
Vertical Total Time	T _v	730	738	764	line
Vertical Display Time	T _{VD}	720			
Vertical Blanking Time	T _{VB}	10	18	44	line
Horizontal Total Time	T _H	1022	1024	1080	clock
Horizontal Display Time	T _{HD}	960			
Horizontal Blanking Time	T _{HB}	62	64	120	clock
Clock Rate	1/ T _{clock}	45.4	45.3	48.5	MHz

图 4. 应用 3 屏幕参数示例,其屏幕刷新率为 60Hz(同应用 2)

使用与单通道 DSI 到双通道 LVDS 部分相同的情况相同，都涉及到双 LVDS 显示屏，但是输入部分变成双 DSI，这时就要选择 SN65DSI85，且 SN65DSI85 的两个时钟每一个都能支持 25 - 154 MHz 范围内的频率。由于现在有两个 LVDS 时钟，DSI CLK 频率的计算公式将与单通道 DSI 转双通道 LVDS 部分的公式相同，参考公式 (4)，计算得出 DSI CLK 为 135.9 MHz。

$$DSI\ CLK = \frac{2 \times LVDS\ CLK \times bpp}{2 \times \#\ of\ DSI\ DataLanes}$$

通过 DSI-TUNER 生产对应配置代码

下面以 SN65DSI83 为例说明，如何使用 DSI Tuner 软件工具来完成 SN65DSI8x 的软件配置，并完成初始化代码的导出。其中 DSI Tuner 生成的代码能够直接用于视频信息和相关寄存器的配置。[SN65DSI83 初始化流程](#) 是其初始化流程，需要对应规格书中正确的推荐顺序来设置，在 int seq5 的时候需要对寄存器 Control and Status Registers (CSR) 进行配置，此步骤可以直接使用 DSI Tuner 生成的代码。

INITIALIZATION SEQUENCE NUMBER	INITIALIZATION SEQUENCE DESCRIPTION
Init seq 1	Power on
Init seq 2	After power is applied and stable, the DSI CLK lanes MUST be in HS state and the DSI data lanes MUST be driven to LP11 state
Init seq 3	Set EN pin to Low
Wait 10 ms ⁽¹⁾	
Init seq 4	Tie EN pin to High
Wait 10 ms ⁽¹⁾	
Init seq 5	Initialize all CSR registers to their appropriate values based on the implementation (The SN65DSI8x is not functional until the CSR registers are initialized)
Init seq 6	Set the PLL_EN bit (CSR 0x0D.0)
Wait 10 ms ⁽¹⁾	
Init seq 7	Set the SOFT_RESET bit (CSR 0x09.0)
Wait 10 ms ⁽¹⁾	
Init seq 8	Change DSI data lanes to HS state and start DSI video stream
Wait 5 ms ⁽¹⁾	
Init seq 9	Read back all registers and confirm they were correctly written
Init seq 10	Write 0xFF to CSR 0xE5 to clear the error registers
Wait 1 ms ⁽¹⁾	
Init seq 11	Read CSR 0xE5. If CSR 0xE5!= 0x00, then go back to step #2 and re-initialize

图 5. SN65DSI83 初始化流程

DSI Tuner 使用流程详解

1. 打开软件后，选择对应的器件，并点击 OK，如图 2 所示。

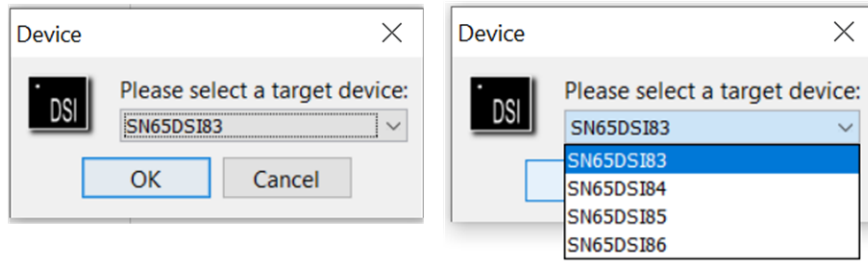


图 6. 设备选择

2. 输入屏幕信息，如图 3 所示。

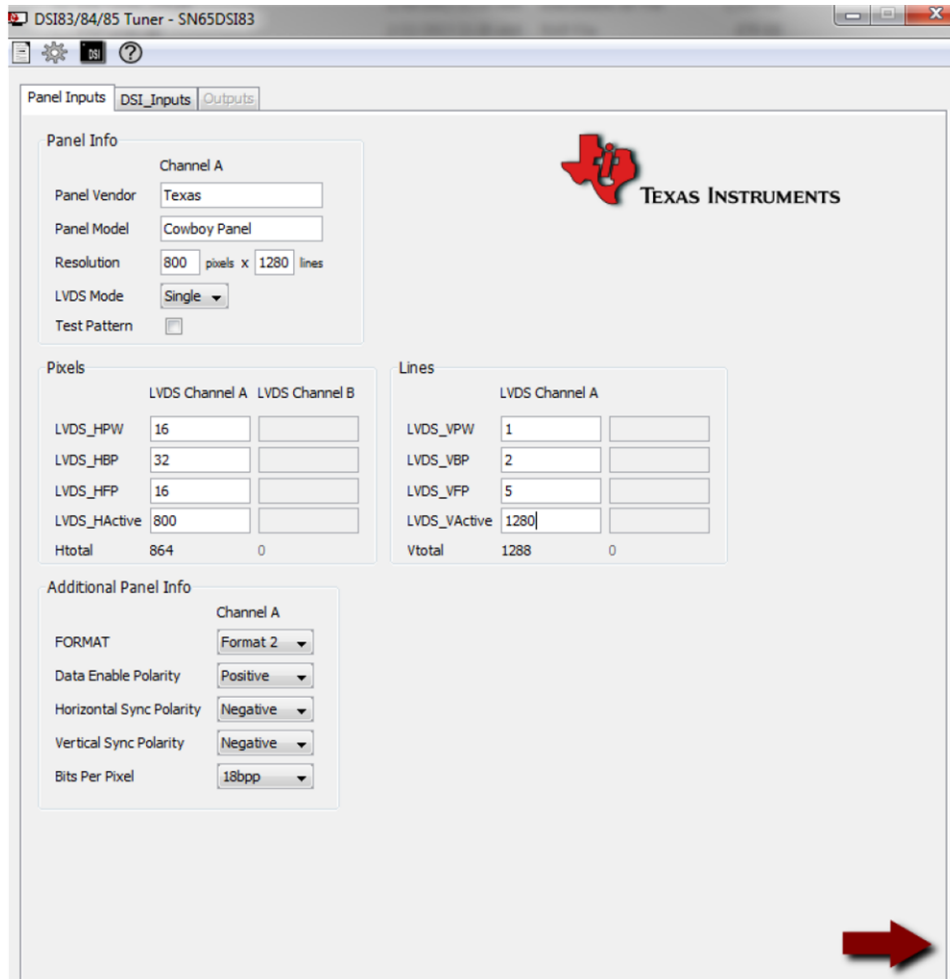


图 7. 屏幕信息输入

Panel Vendor & Panel Model: 输入屏幕供应商和屏幕型号。

Resolution: 水平像素数×垂直线数。当输入分辨率后，LVDS_HActive (水平有效像素数) 和 LVDS_VActive (垂直有效行数) 会自动更新。

LVDS Mode: 选择 LVDS 输出为单通道或双通道。对于 SN65DSI83，仅支持“单通道” LVDS 模式。

Test Pattern: 勾选这里会启用测试图案生成功能，仅用于调试。如果不需要发送测试图案，不需要勾选。

3. Pixels and Lines 输入

输入对应的 LVDS 参数，需要根据屏幕的实际情况来填写。这个信息在屏幕的规格书中能够找到。

Pixels		LVDS Channel A	LVDS Channel B	Lines		LVDS Channel A	LVDS Channel B
LVDS_HPW	16			LVDS_VPW	1		
LVDS_HBP	32			LVDS_VBP	2		
LVDS_HFP	16			LVDS_VFP	5		
LVDS_HActive	800			LVDS_VActive	1280		
Htotal	864		0	Vtotal	1288		0

图 8. LVDS 信息输入

4. Additional Panel Info

FORMAT (格式)：在 Format 1 和 Format 2 之间选择。如果选择了 RGB666 数据作为 DSI 视频模式，则必须选择 Format 2，如图 5。如果从 DSI 接收到的是 RGB888 24 bpp 数据，并且选择了 18 bpp 的屏幕，同时 CH*_24BPP_MODE 为 0 (默认值)，则必须选择 Format 1。关于 Format 的详细描述，见参考资料中的 SN65DSI83-Q1 的规格书。

Additional Panel Info

Channel A

FORMAT Format 2 ▼

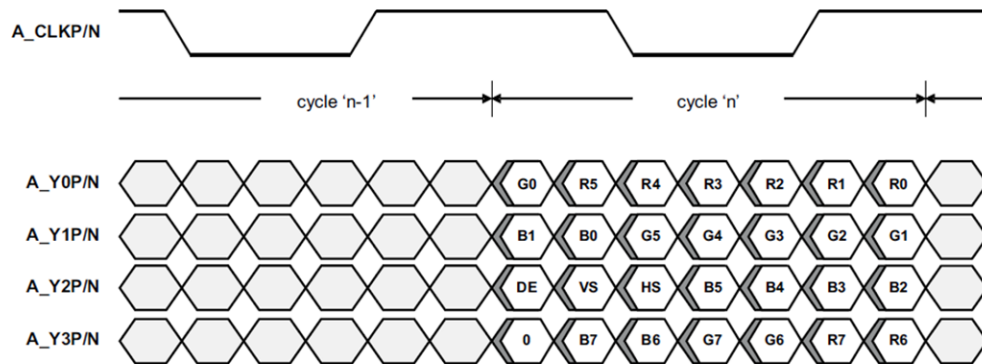
Data Enable Polarity Positive ▼

Horizontal Sync Polarity Negative ▼

Vertical Sync Polarity Negative ▼

Bits Per Pixel 18bpp ▼

图 9. 其他信息输入



DE = Data Enable

图 10. 6 LVDS Output Data (Format2); Single-Link 24 bpp

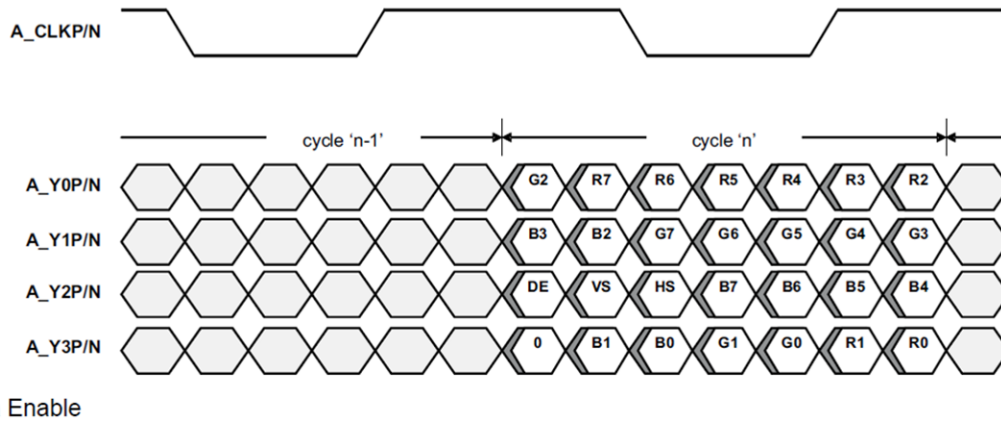


图 11. LVDS Output Data (Format1); Single-Link 24 bpp

Data Enable Polarity (数据使能极性)、Horizontal Sync Polarity (水平同步极性)、Vertical Sync Polarity (垂直同步极性) 和 Bits per Pixel (每像素位数) 需要根据屏幕要求来选择。



1- 5 输入完成后选择 进行下一步。

5. DSI 参数输入

所有与 DSI 相关的输入信息都在这个窗口中输入，如 DSI Input 窗口 所示。

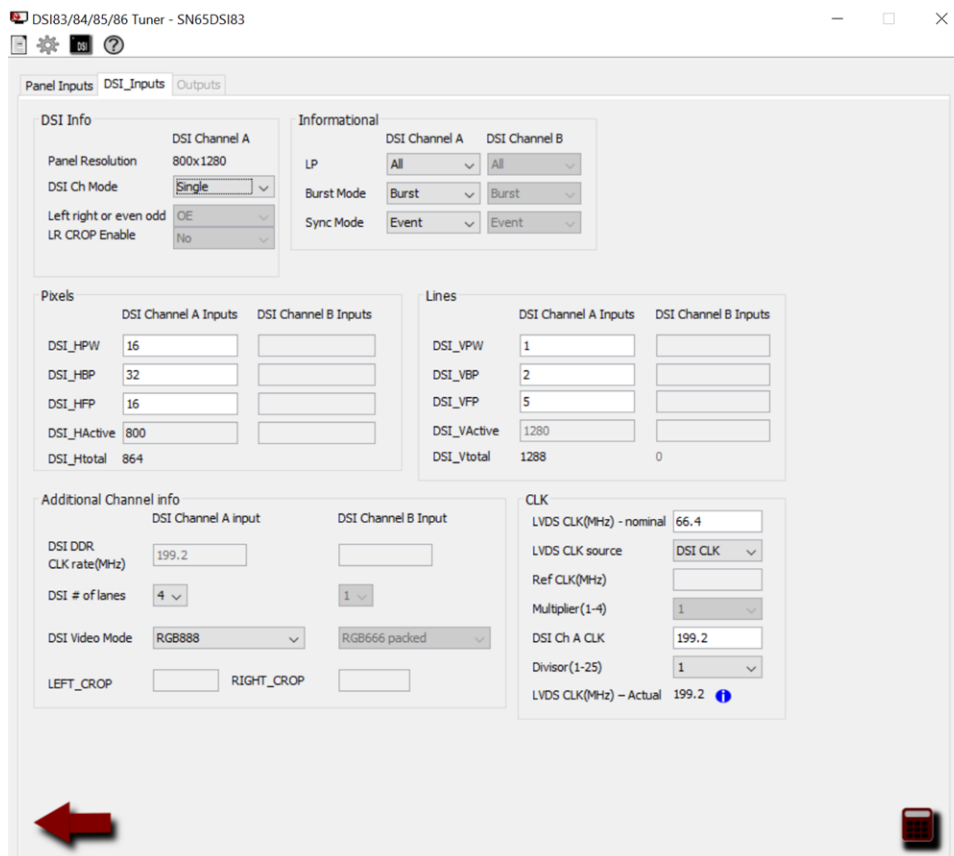


图 12. DSI Input 窗口

6. DSI Info 输入

- 根据屏幕要求输入窗口中的 LVDS 信息。
- 选择 DSI 通道模式：单通道、双通道或两个单通道。对于 SN65DSI83 和 SN65DSI84，只有单通道模式是有效的。
- 选择左右 (LR) 或偶奇 (OE)：注意如果 DSI 通道模式不是双通道，将会无法选择。
- 选择是否启用 LR CROP：是或否。通常需要禁用 LR CROP (选择否)。

7. Pixels & Lines 输入

如 [Pixels & Lines 输入](#) 所示。

图 13. Pixels & Lines 输入

8. Additional Channel Info

图 14. Additional Channel Info 输入

- DSI DDR CLK rate (CLK) 这栏输入 DSI Channel A 的速率，其速率默认等于 CLK 栏中的 DSI CH A CLK 的值 (此时 LVDS CLK 输出参考 DSI CLK)。如果 CLK 中选择 Ref CLK(LVDS CLK 参考外部时钟)，则 DSI DDR CLK rate (CLK) 这栏需要手动写对应的 DSI CLOCK 值。
- DSI #of Lanes 选择对应的 DSI 通道数量：1~4。
- DSI Video Mode 选择 DSI 视频模式：RGB666、RGB666 或 RGB888。

9. 时钟配置

此栏需输入时钟配置信息。DSI_TUNNR 软件根据非突发模式的选择计算 LVDS 时钟速率 (MHz) 及建议的最低 DSI 时钟速率。SN65DSI8x 可以配置为使用外部参考时钟或 DSI Ch A CLK 作为 LVDS 时钟源。如[时钟配置](#)所示。

The screenshot shows a configuration window titled "CLK" with the following fields and values:

LVDS CLK(MHz) - nominal	66.4
LVDS CLK source	DSI CLK
Ref CLK(MHz)	
Multiplier(1-4)	1
Suggested DSI CLK	199.2000
DSI Ch A CLK	199.2
Divisor(1-25)	3
LVDS CLK rate(MHz)	66.4

图 15. 时钟配置

- 在“LVDS CLK (MHz)-nominal”处输入屏幕的 LVDS PCLK。
- 选择 LVDS 时钟源：DSI 时钟或参考时钟。
- 如果选择了参考时钟，需在“Ref CLK(MHz)”栏中输入参考时钟频率，然后选择倍数 (1-4)：参考时钟 (MHz) × 倍数 = LVDS CLK。如果选择了 DSI 时钟，需在“DSI Ch A CLK”栏中输入 DSI 通道 A 的时钟频率，然后选择分频 (1-25)，DSI DDR CLK rate (MHz) 会根据前面输入的值自动计算出结果。完

成所有信息输入后，点击  确认。

10. 输出 Outputs

所有参数都完成输入后，点击计算器图标，将会跳转到输出窗口。输出窗口将输出行时间 (从 SYNC 到 SYNC) 要求、最小 DSI 通道时钟要求和基于实际 DSI 通道时钟和实际速率的突发时间。这些结果对确保显示器正确配置和时序同步至关重要，如[输出窗口](#)所示。

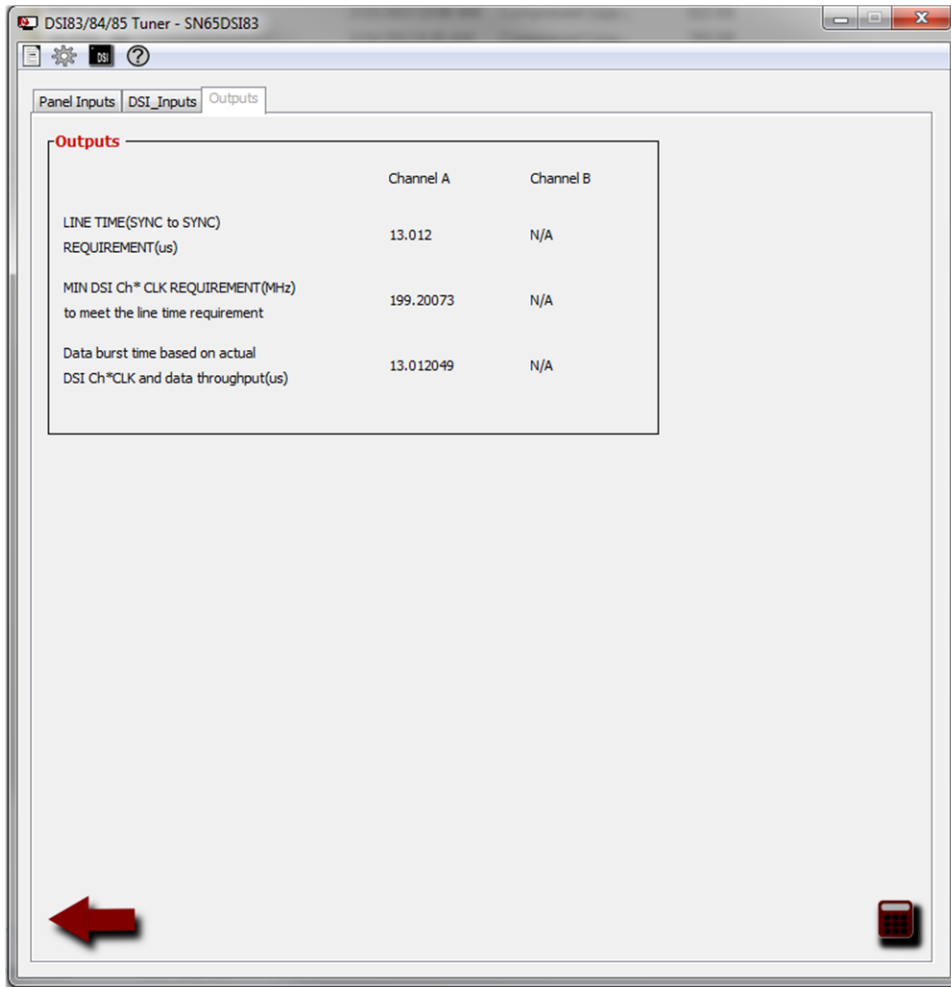


图 16. 输出窗口

- Line Time (SYNC to SYNC) Requirement (us) 行时间

Line time 代表了 DSI 输入端从一个 HSYNC (或 VSYNC) 到下一个 HSYNC 行的时间要求。SoC 或者 GPU 等 DSI 信号源必须确保行时间符合本窗口计算出的行时间要求。


- MIN DSI Ch* CLK REQUIREMENT (MHz) 最小 DSI 通道时钟

最小 DSI 通道时钟需是指在行时间内，采样 DSI 数据所必需的最低 DSI 时钟频率。此值基于 DSI 速率和行时间计算得出。这个值等同于非突发操作模式下应使用的 DSI 时钟速率。

- Data Burst Time 数据突发时间

数据突发速率是根据实际的 DSI DDR CLK 速率和 DSI 数据量计算得出的。如果突发时间小于行时间，则剩余的行时间周期会用空白数据包填充。如果突发时间大于行时间，则需要增加 DSI DDR CLK 速率以满足行时间要求。在非突发操作模式下，数据突发时间通常等于行时间；而在突发模式操作中，它则少于行时间。这种模式下发送 RGB 数据包的时间被压缩，以留出更多的时间用来传送其他的数据。

11. 完成配置后输出结果

结果计算结束后，在菜单栏选择  并选择 Generate CSR List 能够看到完整的 Control and Status Registers 列表。

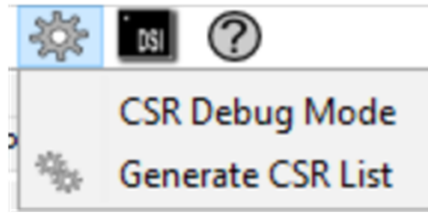


图 17. 工具菜单

Control and Status Registers

Control and Status Registers

ID Registers

ADDRESS	BIT(S)	CSR Names	Access	Bit Field Value	CSR ADDR VALUE
0x00	7:0	Reserved	RO	00110101	0x33
0x01	7:0	Reserved	RO	00111000	0x38
0x02	7:0	Reserved	RO	01001001	0x49
0x03	7:0	Reserved	RO	01010011	0x53
0x04	7:0	Reserved	RO	01000100	0x44
0x05	7:0	Reserved	RO	00000010	0x20
0x06	7:0	Reserved	RO	00000010	0x20
0x07	7:0	Reserved	RO	00000010	0x20
0x08	7:0	Reserved	RO	00000001	0x01


Reset and Clock Registers

ADDRESS	BIT(S)	CSR Names	Access	Bit Field Value	CSR ADDR VALUE
0x09	0	*SOFT_RESET	WO	0	0x00
	7	PLL_LOCK	RO	0	
0x0A	3:1	LVDS_CLK_RANGE	RW	010	0x05
	0	HS_CLK_SRC	RW	1	
0x0B	7:3	DSI_CLK_DIVIDER	RW	00010	0x10
	1:0	REFCLK_MULTIPLIER	RW	00	
0x0D	0	*PLL_EN	RW	0	0x00

DSI Registers

ADDRESS	BIT(S)	CSR Names	Access	Bit Field Value	CSR ADDR Value
	7	LEFT_RIGHT_PIXELS	RW	0	
	6:5	DSI_CHANNEL_MODE	RW	01	
0x10	4:3	CHA_DSI_LANES	RW	00	0x26
	2:1	CHB_DSI_LANES	RW	11	
	0	SOT_ERR_TOL_DIS	RW	0	
	7:6	CHA_DSI_DATA_EQ	RW	00	

图 18. 输出窗口

为了方便用户配置，选择对应的  按键可以保持对应的寄存器配置文本。

注意：PLL_EN 位和 SOFT_RESET 位没配置，需要用户按照数据手册中推荐的顺序来设置。

```
=====
// Filename   : CSR.txt
//
// (C) Copyright 2013 by Texas Instruments Incorporated.
// All rights reserved.
//
=====
0x09          0x00
0x0A          0x05
0x0B          0x10
0x0D          0x00
0x10          0x26
0x11          0x00
0x12          0x00
0x13          0x00
0x18          0x70
0x19          0x00
0x1A          0x03
0x1B          0x00
0x20          0x20
0x21          0x03
0x22          0x00
0x23          0x00
0x24          0x00
0x25          0x00
0x26          0x00
0x27          0x00
0x28          0x21
0x29          0x00
0x2A          0x00
0x2B          0x00
0x2C          0x10
0x2D          0x00
0x2E          0x00
0x2F          0x00
0x30          0x01
0x31          0x00
0x32          0x00
0x33          0x00
0x34          0x20
0x35          0x00
0x36          0x00
0x37          0x00
0x38          0x00
0x39          0x00
0x3A          0x00
0x3B          0x00
0x3C          0x00
0x3D          0x00
0x3E          0x00
```

图 19. 输出的寄存器文本

总结

本文介绍了 TI 视频转换芯片 SN65DSI8x 系列选型方法和提供了 DSI Tuner 视频配置工具的相关方法，有助于工程师更高效地设计出更具竞争力的显示产品。

参考资料

[SN65DSI83-Q1 汽车类单通道 MIPI® DSI 转单链路 LVDS 桥接器 数据表 \(Rev. A\)](#)

[SN65DSI8x Video Configuration Guide and Configuration Tool Software Users Manual \(Rev. B\)](#)

DSI TUNNER 下载链接: <https://e2e.ti.com/support/interface-group/interface/f/interface-forum/825302/sn65dsi83-dsi-tuner-tool-needed>

<https://e2e.ti.com/support/interface-group/interface/f/interface-forum/945185/faq-sn65dsi84-sn65dsi83-sn65dsi84-and-sn65dsi85-resolution-guide>

商标

所有商标均为其各自所有者的财产。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司