

适用于 DSO、雷达和 5G 无线测试系统的灵活 3.2GSPS 多通道 AFE 参考设计



说明

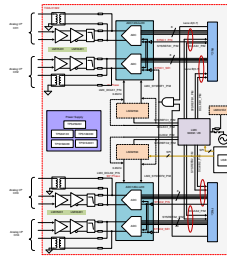
此参考设计主要侧重于多通道高速模拟前端，通常应用于数字存储示波器 (DSO)、无线通信测试设备 (WCTE) 以及雷达等终端设备。此设计列出了多通道模拟前端的关键设计规格和设计难题，例如高采样率、通道间偏斜、确定性延迟和输入动态范围。此设计采用 3.2Gsp/s 双通道模数转换器 (ADC) ADC12DJ3200，该器件具有引脚兼容规划器件，每通道采样率高达 5GSPS。本设计展示了确定性延迟以及小于 5ps 的最小通道间偏斜。在此设计中，有源平衡-非平衡变压器实现了 1.5GHz 的系统带宽。该设计还具有可选的变压器输入，允许对有源和无源模拟进行前端性能评估。

资源

TIDA-01022			设计文件夹
ADC12DJ3200			产品文件夹
LMK04828	LMX2594	LMK61E2	产品文件夹
LMH6401	LMH5401	BUF802	产品文件夹
TPS82130	TPS259261		产品文件夹
TPS7A8400	TPS7A8300	TPS7A3301	产品文件夹



请咨询我司 E2E 专家

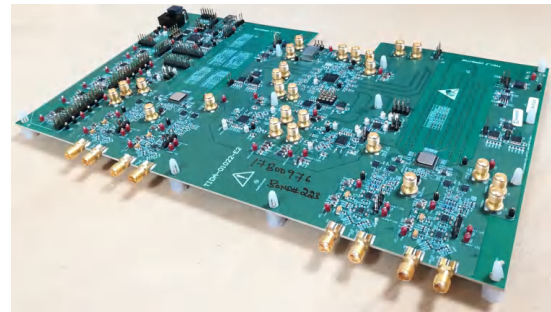


特性

- 3.2GSPS 1.5GHz 多通道高速模拟前端
- 通道间时钟偏斜小于 5ps
- 符合 JESD204B 标准的多通道时钟
- 确定性延迟
- 支持 TI 高速采集卡 (具有 FMC+ 转 FMC 适配器的 TSW14J56 以及 TSW14J57)
- 8、16 或 32 JESD 通道；运行速率高达 12.8Gbps 并在速率为 12Gbps 时进行检测
- 用于引脚兼容的 ADC12DJxx00 系列的可扩展平台
- 包含理论、计算、元件选择、PCB 设计和测量结果

应用

- 高性能示波器
- 无线通信测试设备
- 软件定义的无线电
- 雷达



1 系统说明

本参考设计旨在演示一款多通道模拟前端 (AFE)，采用引脚兼容的模数转换器 (ADC) 系列，以满足不同的采样率要求。系统信噪比 (SNR) 测量了 AFE 性能，然后将其与板载无源平衡-非平衡变压器和有源平衡-非平衡变压器以及具有 LMH6401 可编程可变增益放大器 (PVGA) 的 LMH5401 全差分放大器 (FDA) 进行了比较。基于 TI 高性能时钟器件 LMK61E2、LMK4828 和 LMX2594，设计了完整的多通道板载时钟解决方案。表 1-1 从多通道时钟角度，列出了 AFE 的关键系统级规格。

多通道高速千兆采样采集应用 (如数字存储示波器 (DSO)、相控阵无线电探测和测距 (雷达))、适用于无线通信的多输入多输出 (MIMO) 和 5G 无线测试器) 都需要实现通道间的准确相位相干, 从而在高输入信号带宽下进行精确的数据采集。

大多数高速数字转换器 (DSO) 只有少数几个通道。在需要数十或数百个通道并且需要通道间具有时间关联的应用中, 同步多通道系统中的采样时钟是必要的。在只有少数几个通道的系统中实现时钟同步本身就非常具有挑战性, 随着通道数量增加, 情况就更加复杂。

1.1 关键系统规格

表 1-1. 关键系统规格

参数	规格	
输入通道	四	
输入类型	单端或差分端	
输入模拟带宽 (-3dB)	直流 1.5GHz	
最大输入电压	7.6V _{P-P}	
最大采样率	3.2GSPS	
分辨率	12 位	
最大系统电压增益	24.4dB 或 16.5V/V	
通道间偏斜 (F _s = 2700MHz)	< 5ps	
系统 SNR ⁽¹⁾ (-1dB 满量程) F _s = 3000MHz	变压器输入	FDA 输入 : (LMH5401 = 12dB, LMH6401 = 10dB)
	在 757 MHz 时为 56.2dB	在 757 MHz 时为 51.6dB
	在 997 MHz 时为 55.5dB	在 997 MHz 时为 51.6dB
	在 1497 MHz 时为 55.0dB	在 1497 MHz 时为 51.1dB
工作温度	0°C 至 60°C	
存储温度	-40°C 至 85°C	
连接器	560 引脚 FMC 接口连接器, 支持 TSW14J56/57 高速采集卡	
功率	12V 直流, 4A	
尺寸 (长 × 宽)	295mm × 176mm	

(1) 有关更多详细信息, 请参阅 [测试和结果](#)。

2 系统概述

2.1 方框图

图 2-1 显示了 TIDA-01022 设计接口的系统级方框图，其中两个高速采集卡 (TSW14J56) 采用主/从模式。此参考设计使用 FMC+ 转 FMC 适配器印刷电路板 (PCB) 连接 TIDA-01022 电路板和采集卡。

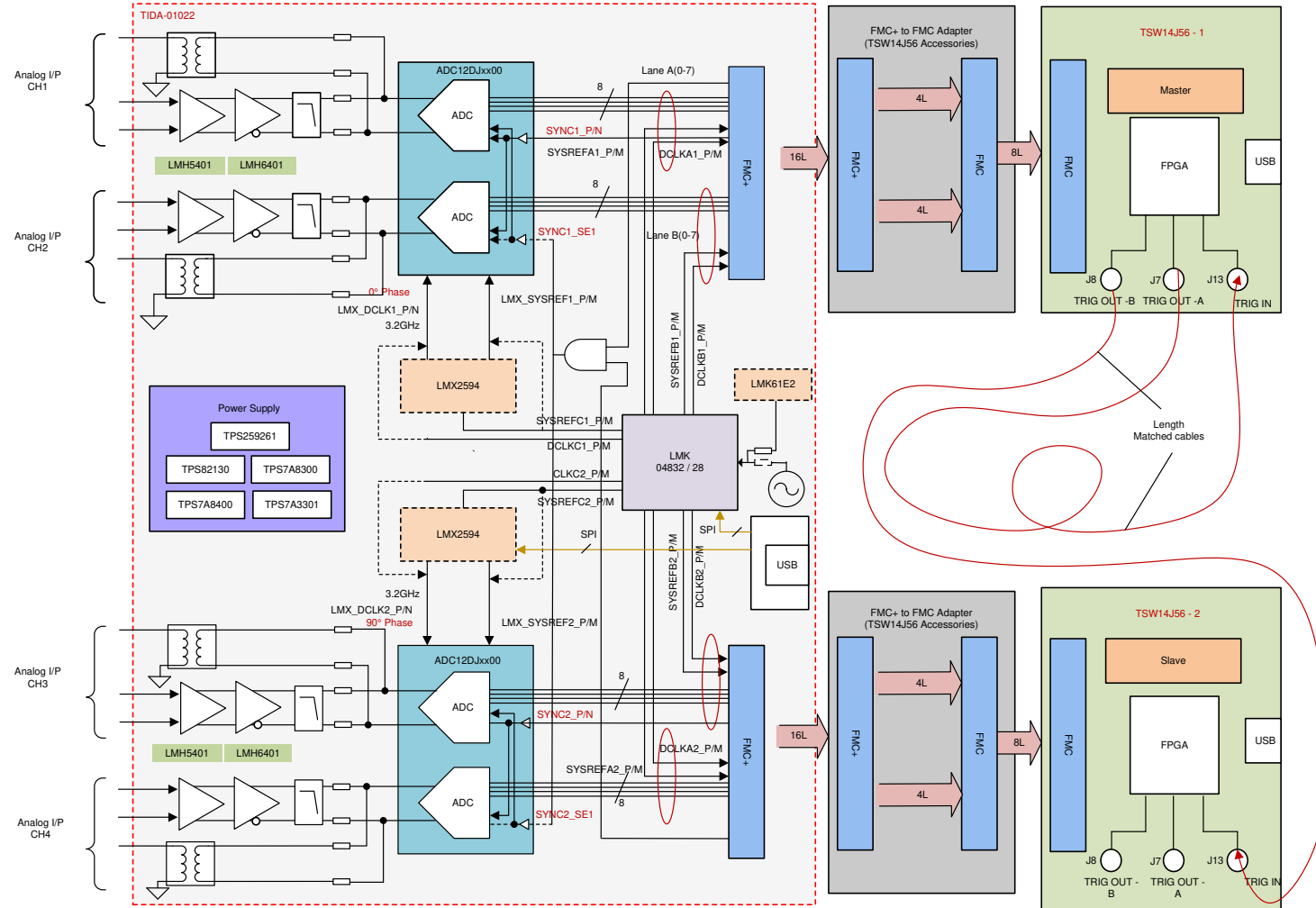


图 2-1. TIDA-01022 系统方框图

2.2 系统级说明

图 2-2、图 2-3 和图 2-4 分别显示了高性能 DSO、相控阵雷达和无线测试器的子系统方框图。AFE 和系统时钟架构在每个方框图中都突出显示，并且在所有三个终端设备中很常见。

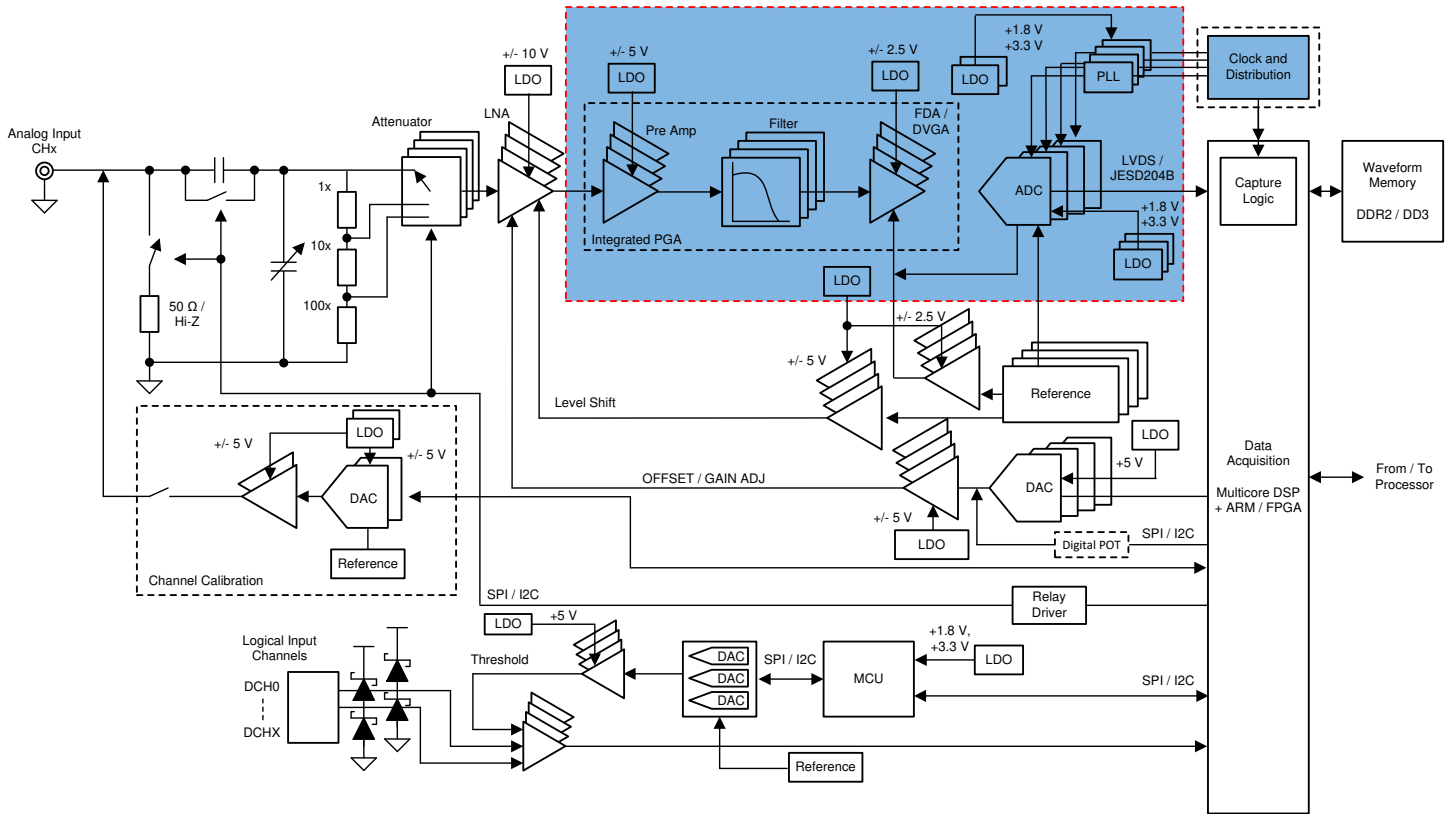


图 2-2. 高性能 DSO AFE 子系统

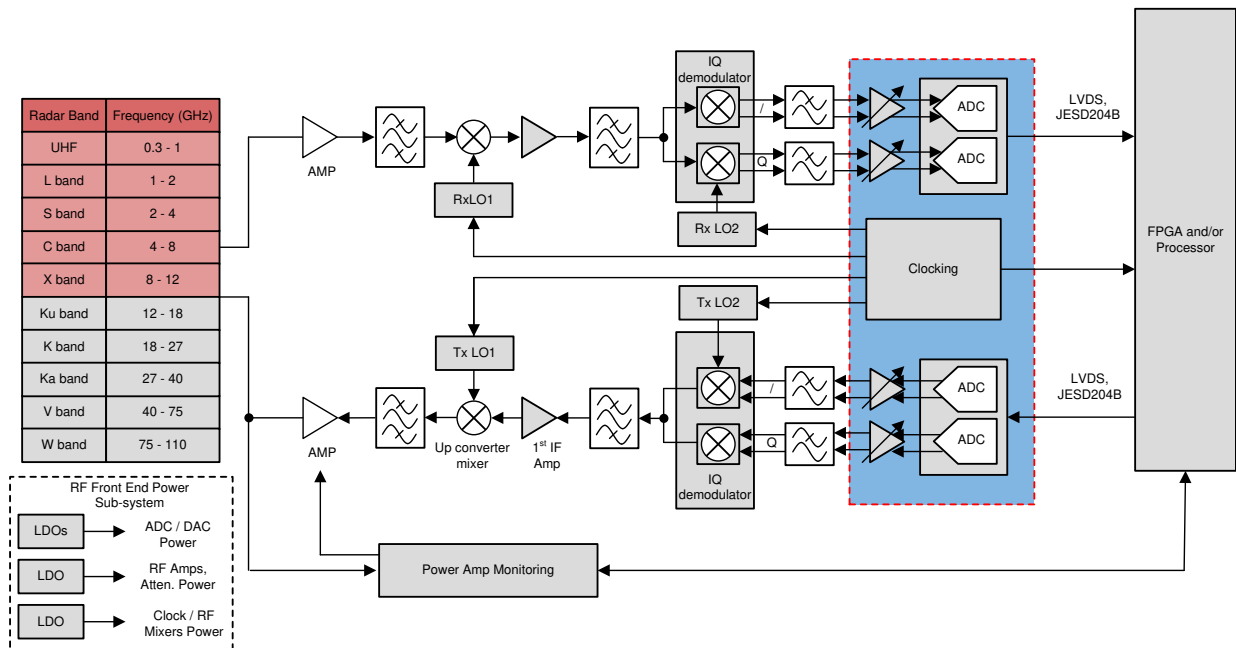


图 2-3. 雷达射频前端子系统

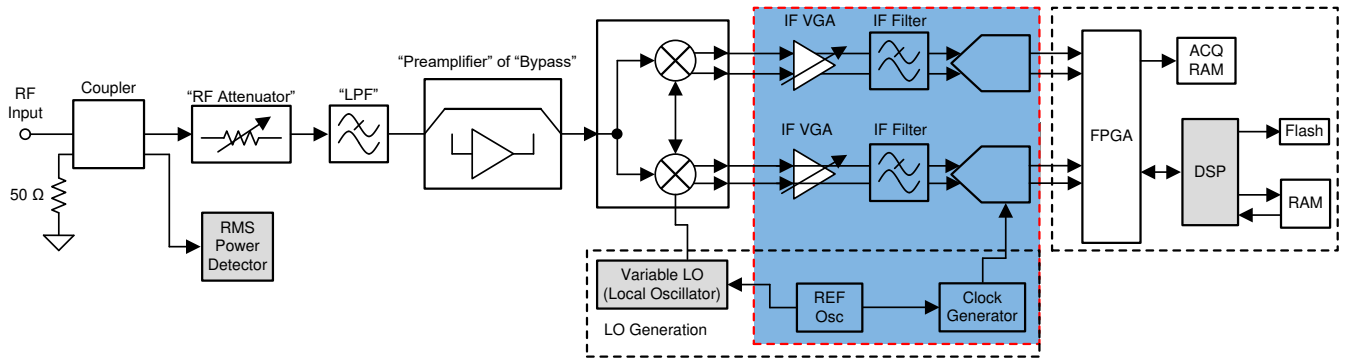


图 2-4. 无线电测试器 AFE 子系统

高性能多通道数字存储示波器需要具有宽带 AFE、高动态范围、高 SNR 和低通道间偏斜的信号链。模拟带宽在 200MHz 至 5GHz 的范围内，采样率需要 5Gsps 至 10Gsps。

无线测试器需要高动态范围和宽带接收器来测试 5G 及更高标准的无线兼容设备。这些测试器需要新的高性能 DAC 和 ADC 才能获得真正的高精度性能。与当今低于 6GHz 的蜂窝实施相比，对更高数据容量和用户数据的要求需要更高的载波频率。截止本文撰写之时，最终的 5G 标准规范尚未公布；然而，有关部门目前正在考虑大约 500MHz 至 2GHz 的带宽。

相控阵雷达应用需要高动态范围、宽接收器带宽、低延迟和出色的通道间同步。此参考设计前端采用雷达的较低频段范围 0.3GHz 至 4GHz (超高频、L 频段和 S 频段)。

2.3 重点产品

系统包含一些重点器件，这些器件可以确定总体系统性能。这些器件按以下子块分组：

- 模拟信号链
- 时钟
- 功率

2.3.1 模拟信号链

2.3.1.1 LMH5401

LMH5401 是一款性能极高的差分放大器，针对射频 (RF)、中频 (IF) 或高速直流耦合时域应用进行了优化。该器件是单端到差分转换 (SE-DE) 的理想选择，取代了可用带宽高达 2GHz 的平衡-非平衡变压器。该器件在增益为 12dB 时可提供了出色的直流至 2GHz 线性性能。该器件在单电源或双电源供电下工作，且功耗低。使共模基准引脚能够满足 ADC 共模输入要求。此特征使得设计人员能够驱动 GSPS ADC，以用于测试和测量、宽带通信和高速数据采集等应用。

2.3.1.2 LHM6401

LMH6401 是一种数字控制可变增益宽带放大器 (DVGA)，专为直流到射频应用而设计。对噪声和失真性能进行了优化，以便驱动超宽带 ADC。该器件提供直流 4.5GHz 带宽，增益为 26dB，增益范围为 -6dB 至 26dB，步长为 1dB。可以使用标准串行外设接口 (SPI) 来实现增益控制，并且用户可以使用断电引脚或 SPI 切断器件电源。

2.3.1.3 BUF802

BUF802 器件是一款具有结型场效应管 (JFET) 输入级的开环、单位增益缓冲器，能够为数据采集系统 (DAQ) 前端提供低噪声、高阻抗缓冲。该器件支持直流至 3.1GHz 的带宽，同时在整个频率范围内提供出色的失真和噪声性能。

BUF802 可用作独立缓冲器 (即缓冲模式/BF 模式)，也可用于具有精密放大器的复合环路 (即复合环路模式/CL 模式) 中，以实现直流精度和大信号宽带宽。低输出阻抗和高输出电流驱动强度使 BUF802 能够驱动高达 50 Ω 的负载。BUF802 提供可调静态电流，以优化系统级功率和性能。

2.3.2 时钟

2.3.2.1 LMK61E2

LMK61E2 可编程振荡器具有以下特性：

- 超低噪声、高性能 (频率大于 100MHz 时具有 90fs RMS 抖动)
- 频率容差为 ±50ppm
- 频率输出为 10MHz 至 1GHz
- I²C 接口

2.3.2.2 LMK04828

LMK04828 是一款符合 JESD204B 标准且具有双锁相环 (PLL) 的超低噪声时钟抖动清除器。14 路输出驱动七个 JESD204B 器件或其他逻辑器件。双路 VCO、动态数字延迟和无干扰模拟延迟提供了灵活的高性能时钟解决方案。LMK04828 支持两个范围的 VCO，即 2370MHz 至 2630MHz 以及 2920MHz 至 3080MHz。

2.3.2.3 LMX2594

LMX2594 是具有集成 VCO 的高性能宽带 PLL，无需使用内部倍频器即可生成 10MHz 至 15GHz 的频率。品质因数为 -236dBc/Hz 的高性能 PLL 和高相位检测器频率可实现非常低的带内噪声和集成抖动。高速 N 分频器没有预分频器，因此大大减少了杂散的振幅和数量。还有一个可编程输入乘法器，以减轻整数边界杂散。LMX2594 增加了对生成或重复 SYSREF (符合 JESD204B 标准) 的支持，使其成为高速数据转换器的理想低噪声时钟源。此配置中提供了精细的延迟调节 (9ps 分辨率)，以解决电路板迹线的延迟差异。LMX2594 中的输出驱动器在载波频率为 15GHz 时提供高达 7dBm 的输出功率。该器件由单个 3.3V 电源供电，并且集成了 LDO，无需板载低噪声 LDO。

2.3.3 功率

2.3.3.1 TPS82130

TPS82130 是一款 17V 输入 3A 降压转换器 MicroSiP™ 电源模块，经优化后，解决方案尺寸小，且效率高。该电源模块集成了同步降压转换器和电感器，可简化设计，减少外部元件并节省印刷电路板 (PCB) 面积。可调节的额定输出电压范围为 0.9V 至 6V。

2.3.3.2 TPS7A84

TPS7A84 是一款低噪声 ($4.4\mu\text{V}_{\text{RMS}}$) LDO，可提供 3A 负载电流，其最高压降仅为 180mV。该器件的输出电压可通过引脚在 0.8V 至 3.95V 的范围内进行编程并可通过外部电阻分压器在 0.8V 至 5.0V 范围内进行调节。500kHz 频率下的电源抑制为 40dB。

2.4 系统设计原理

通道间延迟在多通道系统中至关重要。诸如高速数据采集、相控阵雷达以及测试和测量等应用都需要同步测量多个通道上的高频信号。必须对通道的采样时钟进行同步，以实现通道间的低偏斜。

通过在数字转换器中使用专用触发器和时钟分配系统实现同步采样；然而应注意这种实现方式支持的通道数量有限，不适用于大规模多通道系统。

为所有可能的模块和仪表分配一个共模高稳定性、低频率的时钟基准，从而在多个通道间实现同步采样的做法在高频率下会面临一项主要技术挑战。例如，接口总线和连接器的背板类型可能不适合高频信号。时钟脉冲在超过 100MHz 时显著下降，并引入抖动。使用高频同轴电缆会导致系统复杂且成本高昂。

2.4.1 高速低相位噪声时钟生成

高性能的数据转换器需要具有超低相位噪声的高精度时钟。通过 PCB、连接器和其他器件生成这些时钟以及向各种元件分配时钟都需要阻抗匹配、信号电源隔离和高扇出时钟缓冲来远距离驱动接收器。时钟生成架构会根据系统要求而变化。时钟生成和分配在示波器等低通道计数系统中比较常见，可使用单个器件执行；然而，为了获得最佳性能，需谨慎布线并保证时钟到时间之间的匹配。

大多数高速数字转换器（即 DSO）只有少数几个通道。在需要数十或数百个通道并且需要这些通道之间具有时间关联的应用中，同步多通道系统中的采样时钟是必要的。在只有少数几个通道的系统中实现时钟同步本身就非常具有挑战性，随着通道数量增加，情况就更加复杂。

此参考设计使用[适用于 DSO、雷达和 5G 无线测试器的多通道 JESD204B 15GHz 时钟参考设计](#)中提供的时钟解决方案。

2.4.2 通道间偏斜

对于高速多通道采集而言，延迟（通道间偏斜）或通道间的相位关系是非常重要的规格。采样时钟延迟包括延迟线、数据路径延迟和 ADC 孔径延迟。延迟为亚皮秒级的通道间精确采样给设计带来了挑战。使用采集的信号作为时间基准以测量采样时钟延迟。使用 MathLab 程序通过快速傅里叶变换 (FFT) 提取时序信息。在任意一个时钟路径元件（时钟生成、分配路径和接收器端）或这些元件组合中调节此信息。

ADC12DJ3200 提供无噪声孔径延迟调节 (t_{AD} 调节) 功能，以精确的步长来移动 ADC 的采样实例，从而同步多个 ADC12DJ3200 器件或对系统延迟和通道间偏斜进行微调。

此参考设计使用 ADC t_{AD} 来匹配小于 5ps 的通道间延迟。有关测量 TIDA-01022 设计的通道间偏斜的测试设置，请参阅[节 7.3](#)。根据系统要求和 LMK4828 器件中可用的延迟调节功能，设计人员还可以使用 LMX2594 器件来满足亚纳秒级的延迟要求。

2.4.3 确定性延迟

延迟是从 A 点到 B 点持续的时间。系统确定性延迟是指在每次系统启动过程中和每次后续系统上电过程中，系统从 A 点到 B 点的延迟固定。系统中的过程变化（例如温度和电源电压）会导致传输链路和接收器链路之间的延迟以及多通道系统中多个链路机制之间的延迟发生变化。

2.4.3.1 确定性延迟的重要性

任何需要反馈回路进行数字采集或自动过程控制的系统都对延迟变化很敏感。延迟变化会影响闭环控制系统的相位裕度、增益裕度以及稳定性。如果发生延迟，有可能会因不可避免的增益衰减而降低稳定性和控制质量。

JESD204B 接口满足这些要求并解决了如何在逻辑器件和多个数据转换器之间链路建立确定性延迟。通过使用子类 1 或 2 可以建立此链路。根据子类的不同，JESD 使用 SYSREF 或 SYNC 时序信号作为参考。

ADC12DJ3200 器件具有 JESD204B 接口特性，该特性使用 DEV CLK 和 SYSREF 信号来实现多通道同步和确定性延迟。

子类 1 要求如下：

- 子类 1 使用外部 SYSREF 信号作为 JESD204B 系统中多个器件的通用时序基准来实现确定性延迟。SYSREF 信号与器件时钟源同步。
- 为了正确对齐，SYSREF 信号必须满足器件时钟的设置和保持时间要求，并且必须分配给布线长度和信号类型与器件时钟相匹配的每个 TX/RX 器件（请参阅图 2-5）。TX/RX 器件必须相对于输入端的器件时钟，指定 SYSREF 信号的设置和保持时间要求。

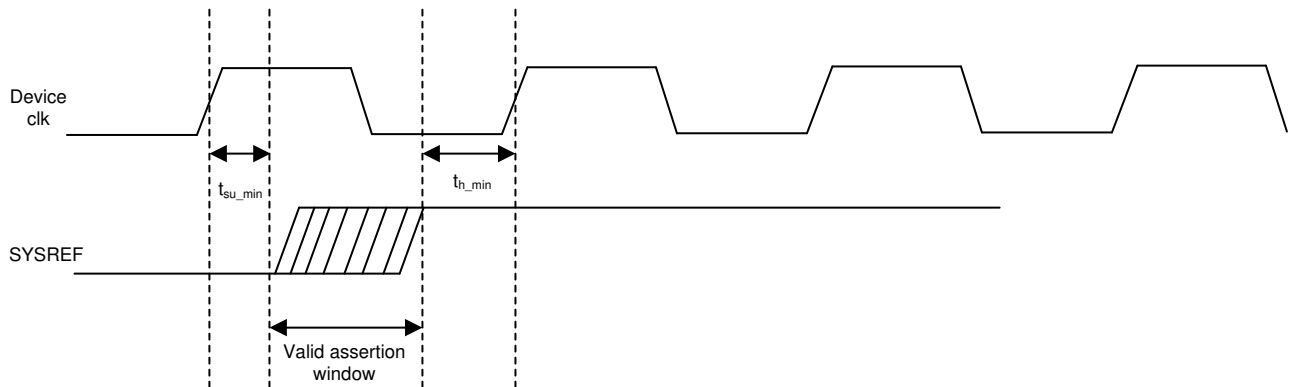


图 2-5. JESD DEVCLK 和 SYSREF 时序

- 下一个需满足的要求是器件时钟（采样时钟）和 SYSREF 信号应与所有数据转换器和逻辑器件相对齐。对于所有器件，此相对齐要求布线长度与 DEVCLK 和 SYSREF 信号相匹配。来自多个逻辑器件的 SYNC 信号结合为 AND 逻辑，然后传输到 ADC（请参阅图 2-6）。

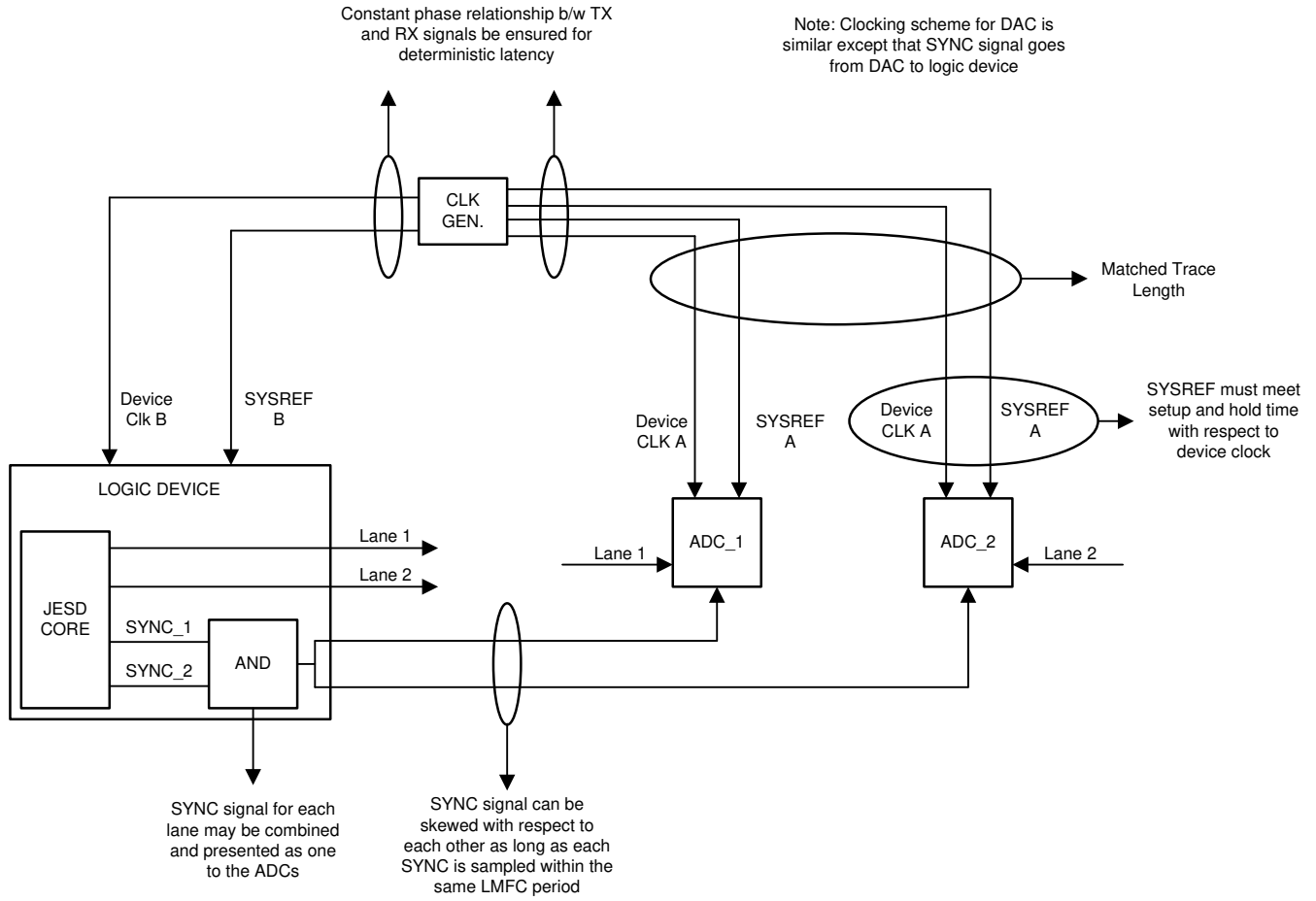


图 2-6. JESD 系统级 DEVCLK、SYSREF 和 SYNC 接口

- 在 JESD204B 接收器中选择合适的弹性缓冲器释放点，以保证确定性延迟。

TIDA-01022 参考设计满足了这些要求，实现了确定性延迟和最小的通道间偏斜这些要求。有关更多详细信息，请参阅以下资源：[JESD204B 确定性延迟](#)。

2.4.4 模拟前端

前端模拟信号链确定了多通道接收器或数据捕获系统的性能，对其而言，SNR 和 SFDR 至关重要。输入信号带宽上的前端增益和衰减块确定了整个系统的动态范围。

图 2-7 显示了高速数字转换器和 DSO 的典型 AFE 模块。前端包含前置放大器、模拟或数字可变增益放大器 (DVGA) 和多级带通滤波器。前置放大器和 DVGA 可确定系统动态范围，滤波器可改善单频的谐波失真。信号链 SNR 设计为高于 10dB 的 ADC SNR。

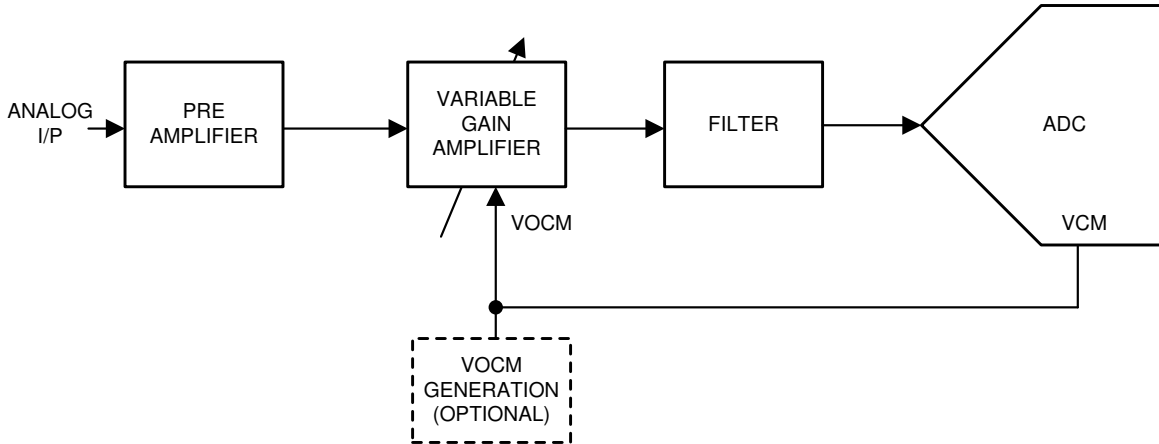


图 2-7. 典型 AFE

确保前端正确偏置，以便在满量程输入时实现 ADC 的额定性能。ADC 的集成缓冲器具有共模偏置输出，用户可以实现直接驱动前端放大器，而无需外部电路。无缓冲 ADC 的输入需要外部偏置，而设计人员可以使用各种方法来产生外部偏置。此偏置电压通常为输入电压的一半，因此简单的电阻分压器就足以产生此外部偏置。有关建议的 VCM 生成指南，请参阅相关器件数据表。

如果无法保持共模电压，将导致 ADC 失调电压和增益误差，从而降低系统的满量程动态性能。

2.4.5 多通道系统电源要求

典型的多通道系统需要多个电源轨为模拟、数字和混合信号电路供电。总系统功耗要求随所需通道数量的增加而提高。图 2-8 和图 2-9 显示了典型多通道系统和子系统的电源树。

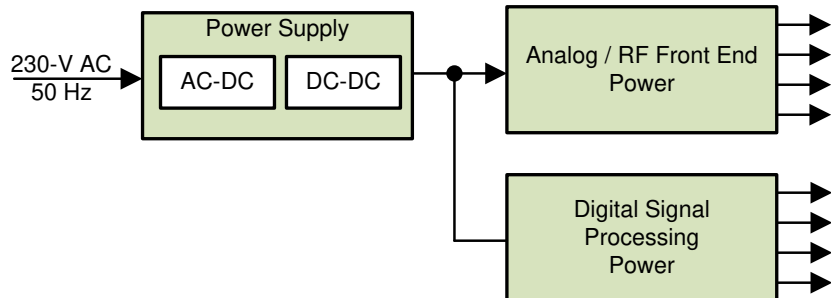


图 2-8. 系统电源

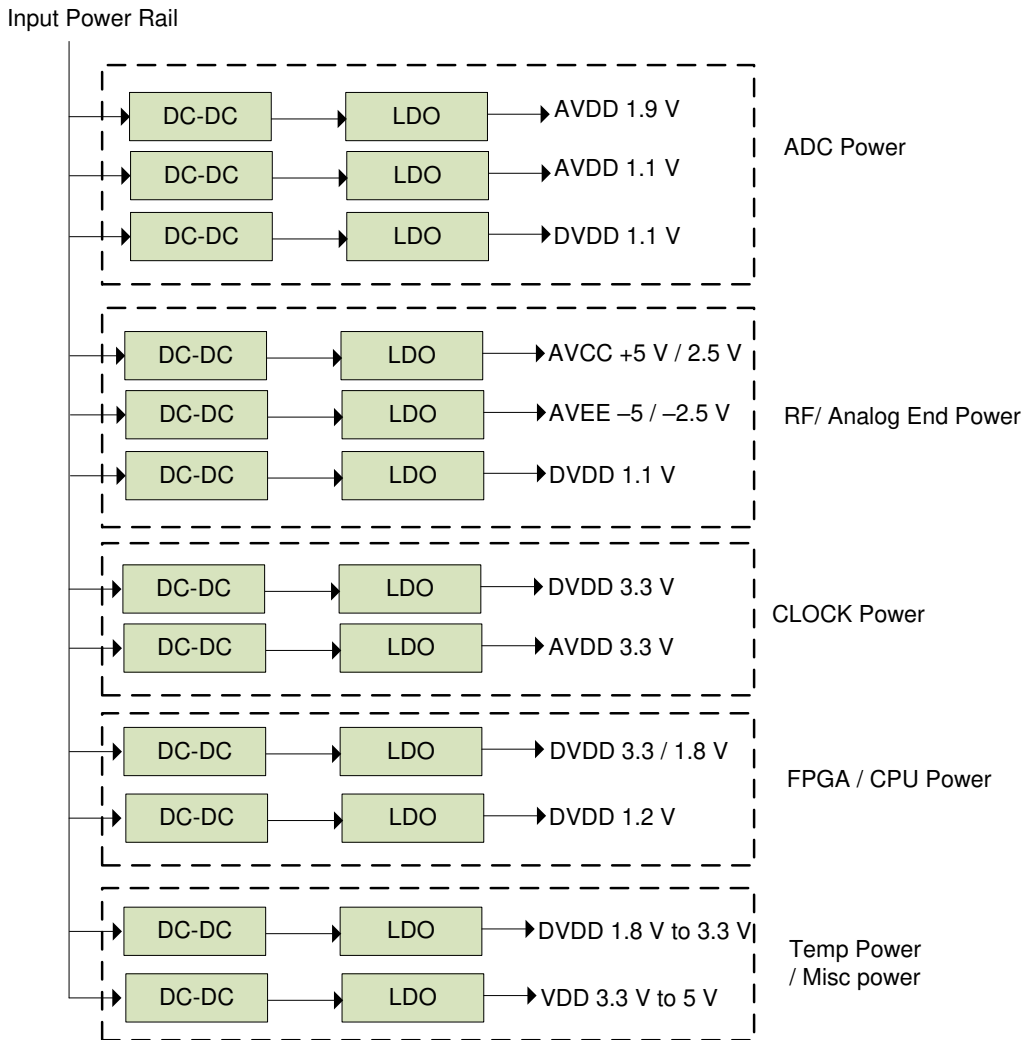


图 2-9. 子系统电源轨

要提高系统效率，请使用直流/直流降压开关稳压器对输入直流电源轨进行降频转换，然后使用 LDO 调节电压。纹波和噪声在使用低纹波 LDO 的射频或模拟子系统中至关重要。根据系统要求，现场可编程门阵列 (FPGA) 或中央处理单元 (CPU) 等数字子系统可通过开关稳压器或 LDO 直接供电。

2.4.6 硬件编程

TIDA-01022 硬件具有板载 FTDI 品牌 USB 控制器，用于使用 SPI 或 I²C 接口对 LMK61E2、LMK4828 和 LMX2594 时钟器件和 LMH6401 放大器进行编程。高速数据转换器 (HSDC TID) 图形用户界面 (GUI) 支持 Low-Level 页面，可用于对这些器件进行编程。

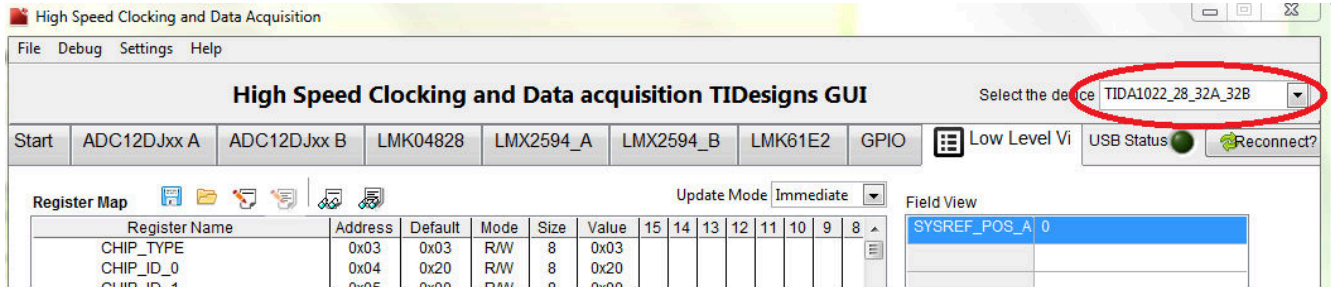
该电路板还具有 USB2ANY 编程接口，可帮助用户使用相应评估模块 (EVM) GUI 来评估硬件。表 2-1 列出了使用 USB2ANY 编程器进行外部编程的并带有跳线设置的连接器的详细信息。

表 2-1. 外部编程接口

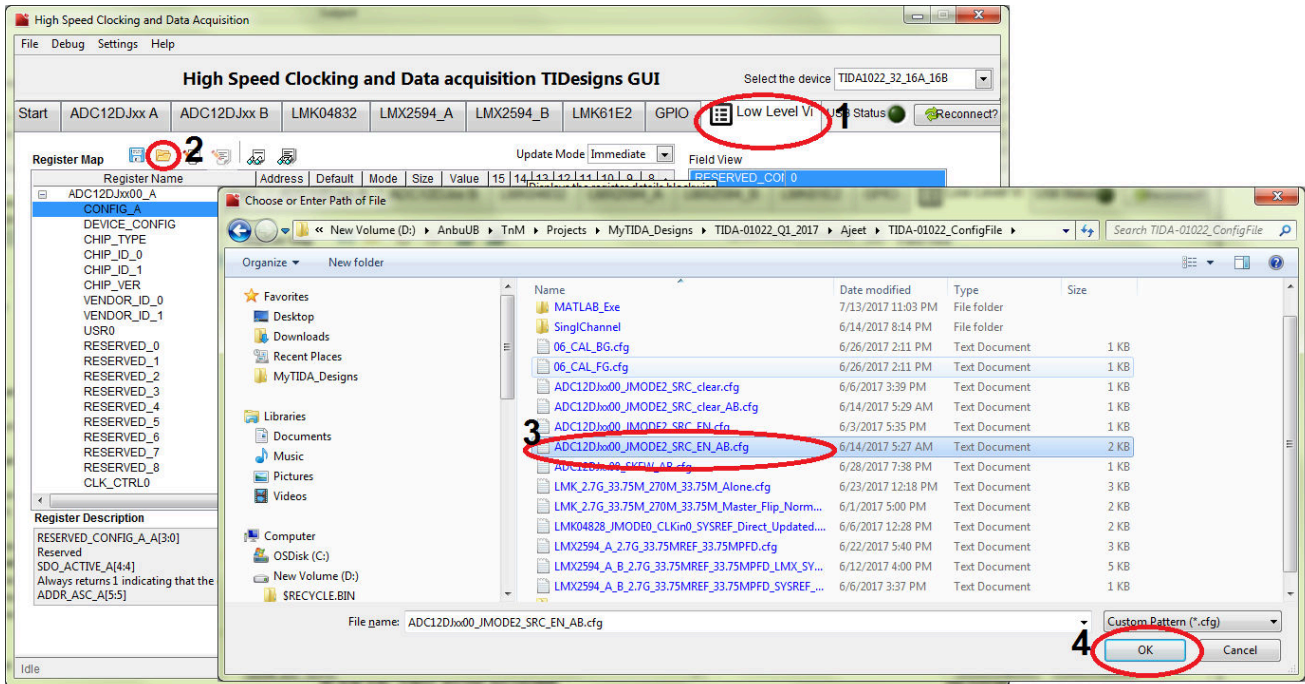
接口连接器	模式选择	接口	器件参考	器件	芯片选择
J31	J36 = 开路 J38 = 开路	SPI	U2、U5、U11、U14	LMH6401	J34 用于选择芯片
J32	—	I ² C	U9、U18、U25	LM95233、LMK61E2	—
J32	J35 = 开路 J37 = 开路	SPI	U17、U18	ADC12DJ3200	J33 用于选择 U17 或 U18
J39	移除电阻 R445、R447、R449、R451、R452、R454	SPI	U24A、U19、U21	LMK04828、LMX2594	J40 用于选择芯片

内置编程接口的编程过程如下：

1. 打开 HSDC TID GUI 并在器件选择下拉菜单中选择 “TIDA1022_28_32A_32B”。



2. 导航到 “Low Level” 选项卡，选择待编程的配置文件，然后点击确定按钮。按照下述屏幕截图中编号和步骤进行操作。



3 电路设计

3.1 模拟输入前端

TIDA-01022 平台具有灵活的模拟输入，可通过两种不同的输入路径验证系统性能。

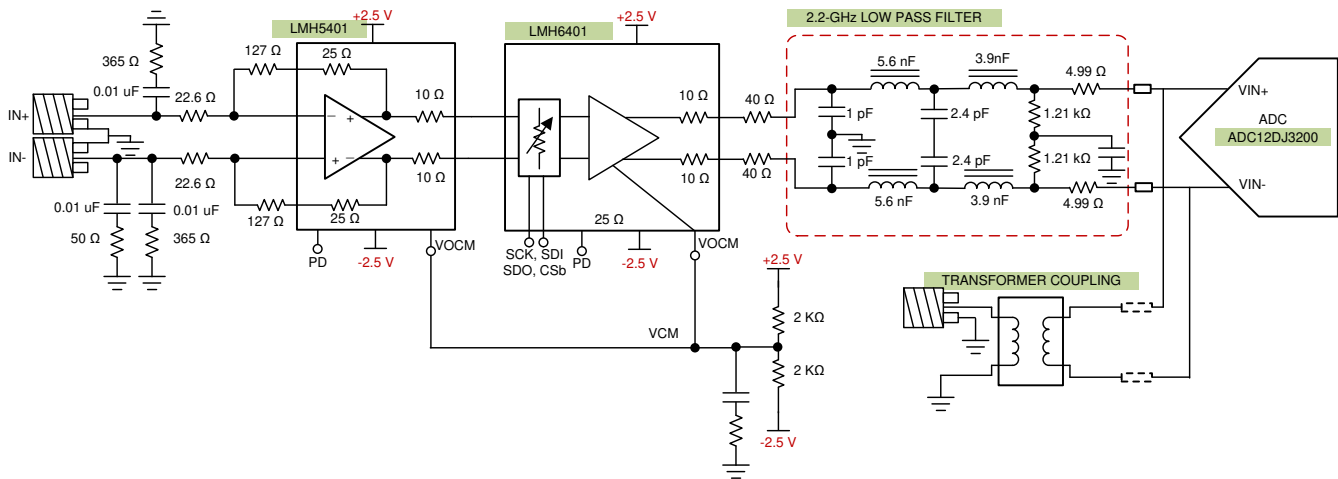
- 变压器耦合：

变压器耦合包含一个板载 Marki 平衡-非平衡变压器，它支持插入损耗为 6dB 的 500kHz 至 6GHz 输入带宽。变压器耦合功能用于验证 ADC12DJ3200 器件在交流输入信号下的性能。

- 全差分放大器 (LMH5401 + LMH6401)：

驱动 ADC12DJ3200 的 LMH5401 + LMH6401 路径在输入端可以是直流耦合，也可以是交流耦合。典型的直流耦合配置使用 LMH6401 器件为 ADC12DJ3200 输入产生平衡差分输出信号。通常，使用变压器是为了提供 SE-DE 转换；然而，这些变压器本质上是带通，不适用于直流耦合应用。因此，一种常见的解决方案是使用高速放大器来实现直流耦合，而不影响更高频率下的 ADC 性能。当应用需要增益、具有低纹波的平坦通带、直流电平转换或直流耦合信号路径时，放大器可提供具有成本效益的灵活解决方案。如需对 LMH6401 输入路径进行直流耦合，请务必确保共模电压设置在 LMH6401 器件的输入共模范围内。

图 3-1 显示了设计 AFE，它能够支持用于高性能数字示波器、直接射频输入、多通道雷达和 5G 无线测试仪的交流 and 直流应用。前端设计由 LMH5401 和 LMH6401 器件以级联模式组合而成。在 TIDA-01022 参考设计中，LMH5401 器件配置了 SE-DE 以接受 50Ω 输入信号。LMH5401 输出可驱动 LMH6401 (DVGA) 进行精确的增益调整，进而驱动五阶 2.2GHz 低通滤波器。ADC (ADC12DJ3200) 对滤波信号输出进行数字化处理。



Copyright © 2017, Texas Instruments Incorporated

图 3-1. TIDA-01022 AFE

在此级联配置的第一级中，LMH5401 器件的增益为 4V/V (12dB)。然而，SE-DE 配置中的最高信号带宽为 6GHz。LMH6401 的 3dB 带宽为 4.5GHz，这限制了总体信号带宽，并使其作为低通滤波器工作，以滤除 LMH5401 的谐波。LMH6401 在步进为 1dB 时的增益范围为 -6dB 至 26dB，可实现 32dB 动态范围。LMH6401 器件在增益设置中表现出恒定的输入阻抗，因此非常适合驱动宽带数据转换器。

±2.5V 双电源可为 LMH5401 和 LMH6401 器件供电。ADC12DJ3200 要求共模输入电压为零，由简单的电阻分压器电路产生。请参阅 [级联 LMH5401 和 LMH6401 参考设计](#) 中级联 LMH5401 + LMH6401 放大器的详细设计过程和计算。

3.1.1 使用 BUF802 的高输入阻抗缓冲器实施

此参考设计主要针对采用 50Ω 输入的模拟前端的设计（如前所述），而在一些使用案例（如 DSO）中，通常需要为 1MΩ 的调优提供高输入阻抗输入。BUF802 通过使用 JFET 输入单位增益缓冲器来帮助实现此要求。

需要高输入阻抗模式的数据采集系统通常遵循下述两种方法之一：定制前端 ASIC 或分立式 JFET 实施。在开发和制造定制 ASIC 或面临独特设计挑战的复杂分立式电路时，这些方法都会产生较高的成本。BUF802 通过提供一体式解决方案（更加简单且更具成本效益，同时不会牺牲性能），提供 ASIC 和基于 FET 的实施的单芯片替代品。

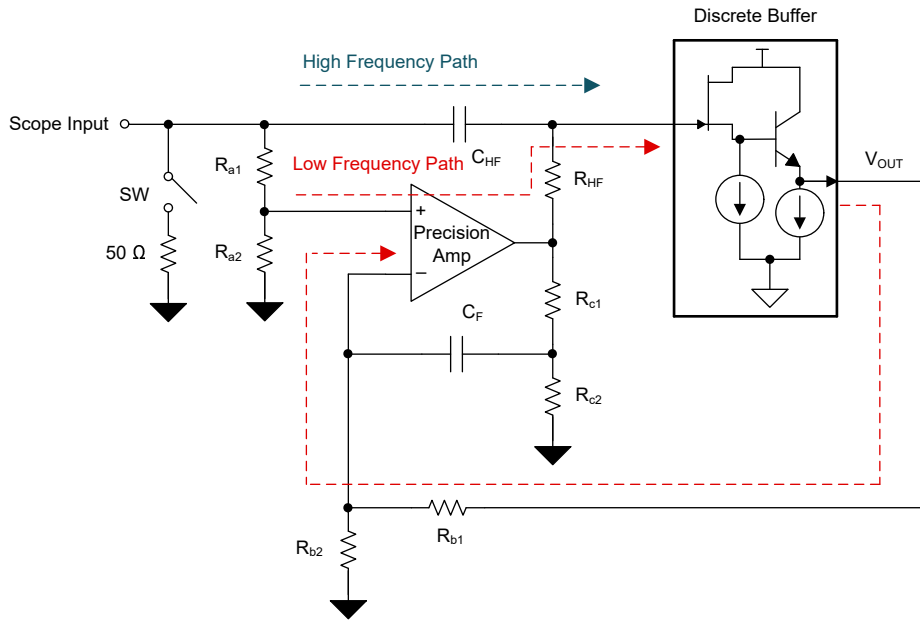


图 3-2. 分立式 JFET 架构

典型分立式实施 (如图 3-2 所示) 使用在复合环路中配置的精密放大器和分立式 JFET。复合环路架构的目的是将输入信号分离为低频和高频信号路径, 通过两个不同的电路推动信号路径, 并在输出端将其重新组合。图 3-3 中所示的复合环路架构面临的一个主要挑战是实现两条路径的顺利交错, 以确保平坦的频率响应。两条路径的传输功能中的任何不匹配都将导致网络传输功能频率响应中断, 从而丧失信号保真度, 请参阅图 3-3。

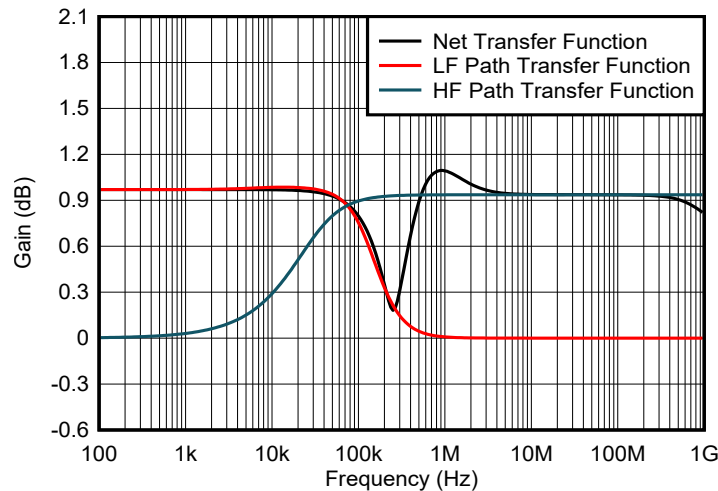


图 3-3. 交叉频率区域

实施分立式设计的其他缺点包含但不限于: 需要处理复杂的系统响应、更高的电源轨、元件和通道不匹配、对输入和输出保护的额外补偿。如需深入了解分立式设计挑战以及 BUF802 如何帮助解决这些问题, 请参阅 [使用 Hi-Z 缓冲器简化模拟前端设计 E2E™ 论坛](#)。

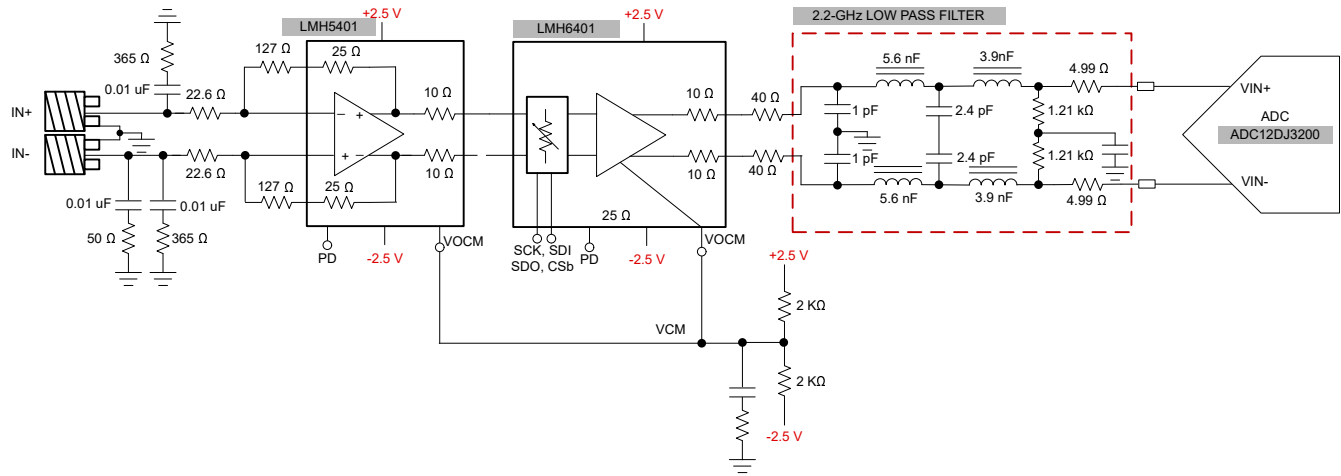


图 3-4. TIDA-01022 模拟前端

图 3-4 显示了 TIDA-01022 全差分 AFE，其配置为 1.5GHz 的 BW (带宽) 应用和 50Ω 的输入阻抗。在默认配置中，AFE 无法用于实现较低频率的高阻态模式。通过在 AFE 信号链开始时实现 BUF802 复合环路，可以增加高输入阻抗模式的功能。

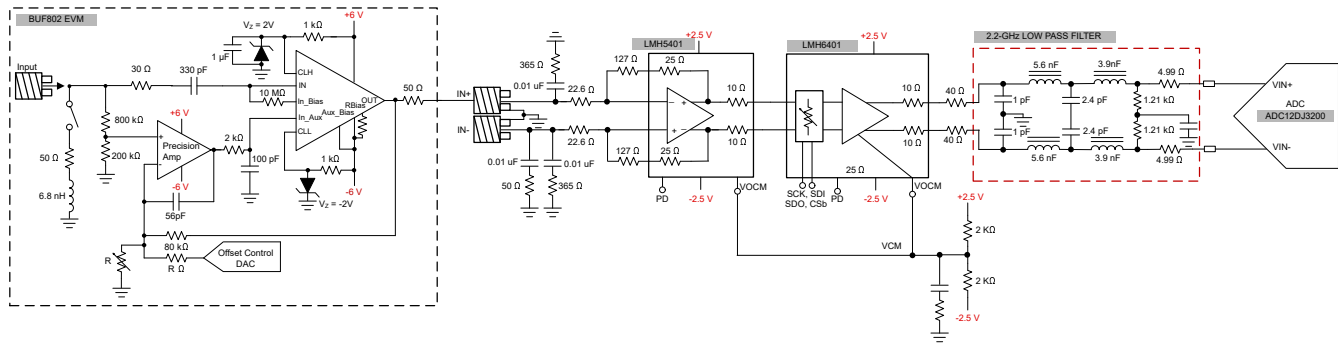


图 3-5. 具有 BUF802 的模拟前端

图 3-5 是将 BUF802 融合在现有参考设计中的 1GHz 前端设计。在信号链中增加 BUF802 可为系统提供 50Ω || 2.4pF 的高输入阻抗，同时将初始设计的性能保持在高达 1GHz。在高阻态和 50Ω 阻抗模式间切换的功能是通过输入端的开关或继电器实现的。

通过使用 BUF802 EVM 和 TIDA-01022 硬件，可以测量信号链 (带/不带 BUF802) 的性能。图 3-6 至图 3-8 显示了不同性能指标。

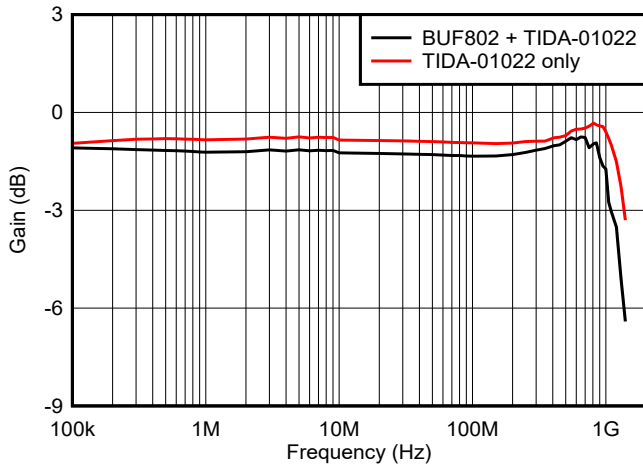


图 3-6. 频率响应比较

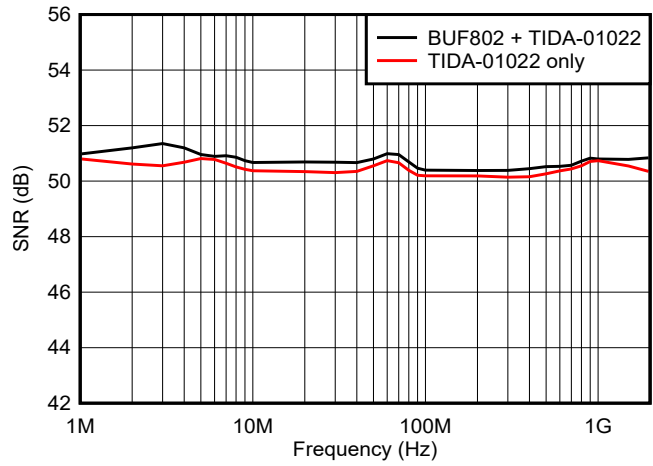


图 3-7. 信噪比 (SNR) 与频率间的关系

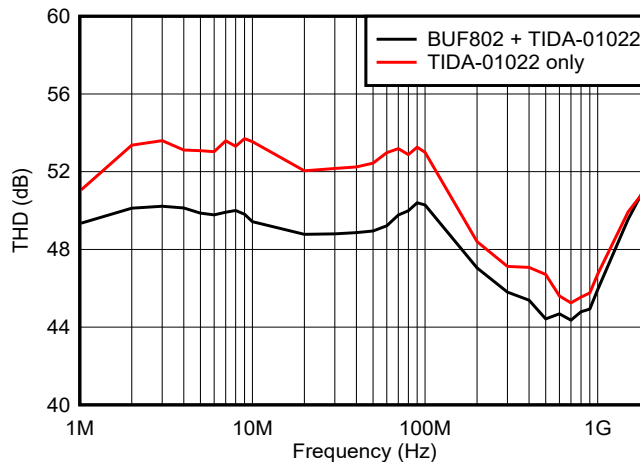


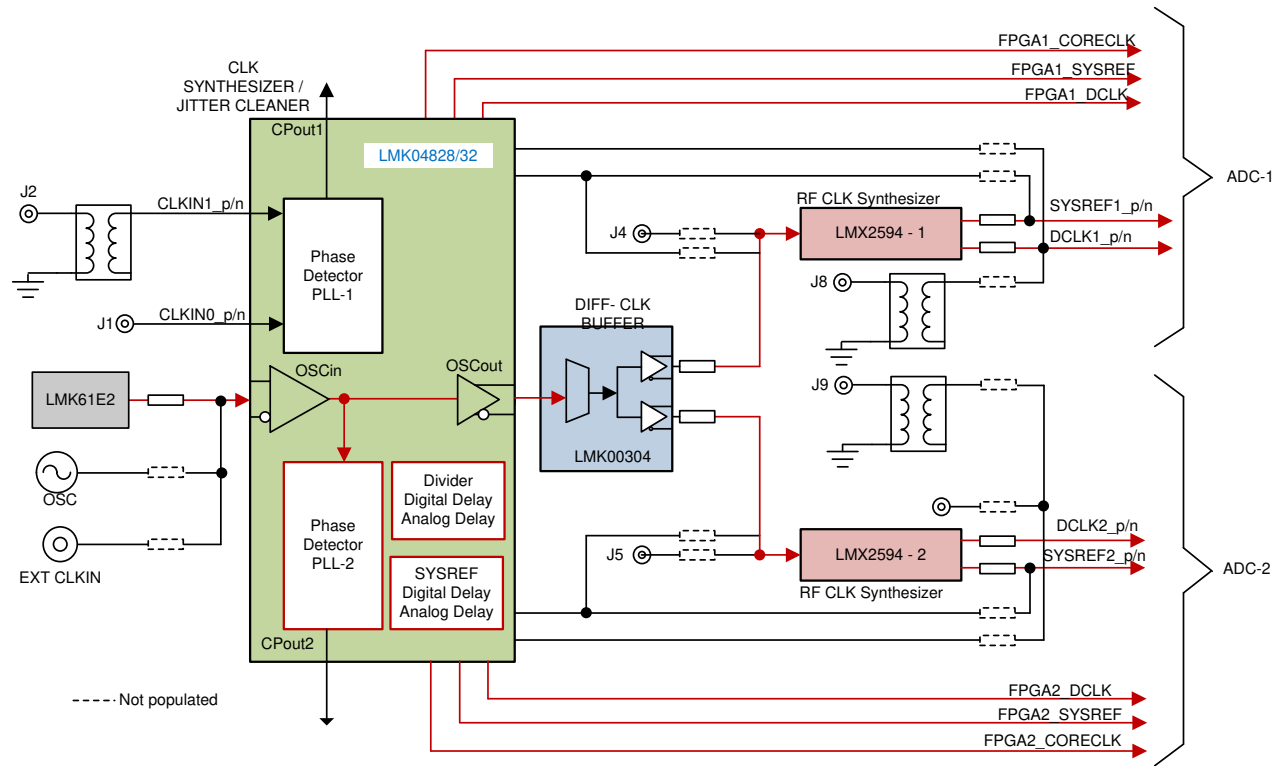
图 3-8. 总谐波失真 (THD) 与频率间的关系

3.2 高速多通道时钟

图 3-9 显示了 TIDA-01022 设计的时钟树。时钟源是信号链设计中的必备元件，尤其是在驱动 ADC 采样时钟时。时钟抖动直接影响 ADC 的 SNR 性能，输入信号频率增大时，时钟抖动成比例变大。当对多条通道计时时，通道间偏斜是重要的设计考虑事项。时钟抖动和相位不匹配会导致偏离理想的通道采样时刻，进而导致通道间偏斜。此设计使用的 LMX2594 合成器在高频率下具有出色的相位噪声性能，从而将时钟抖动降低到大约 45fs。而且，LMX2594 的相位同步功能有助于改善通道间偏斜。

这个灵活的时钟平台可帮助设计人员通过各种输入时钟路径和来源验证系统性能。TIDA-01022 设计具有三个不同的时钟功能，可使用 LMK4828、LMX2594 等时钟器件或外部时钟输入为 ADC12DJ3200 器件生成时钟。在此设计中，LMK4828 器件配置为分配模式，可为 LMX2594 器件和 FPGA_SYSREF 信号生成 33.75MHz 参考时钟。LMK4828 分频器还会为 FPGA DCLK、FPGA CORE CLK 生成 270MHz FPGA 时钟，为 TSW14J56 采集卡生成 33.75MHz 时钟。

LMK4828 的输出驱动时钟缓冲器，为两个 LMX2594 器件分配基准，此时，两个 LMX 器件都运行在双路 PLL 模式下，为 ADC (ADC12DJ3200) 的 DEVCLK 和 SYSREF 分别生成 270MHz 和 33.75MHz 的低相位噪声时钟。



Copyright © 2017, Texas Instruments Incorporated

图 3-9. TIDA-01022 时钟树

3.3 电源部分

图 3-10 显示了参考设计的电源树。该设计需要外部 +12V 直流电源为 ADC 生成 1.9V 和 1.1V 电压；为时钟器件 (LMK61E2、LMK4828 和 LMX2594) 生成 3.3V 电压；为 LMH5401 和 LMH6401 放大器生成 $\pm 2.5V$ 电压。此设计通过电子保险丝 (TPS259261) 和外部双向过瞬态电压抑制(TVS) 二极管 (SMBJ15CA) 提供输入过压、过流、高浪涌电流保护。

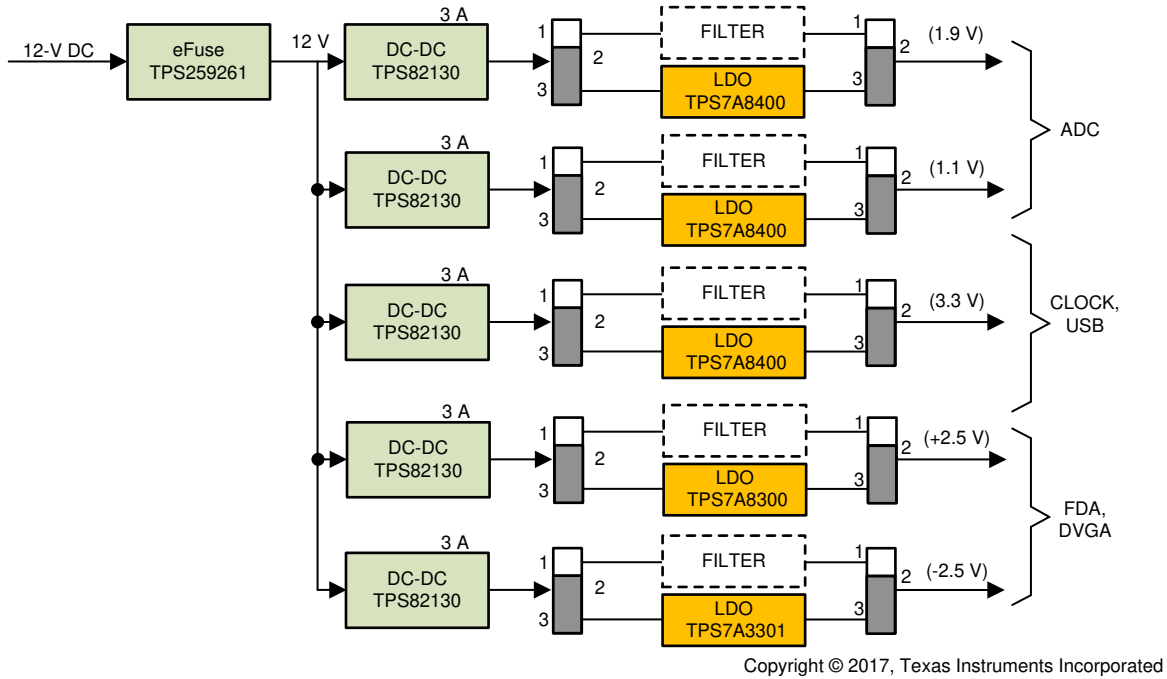


图 3-10. TIDA-01022 电源模块

直流/直流转换器和 LDO 生成电源轨，如表 3-1 详细所示。

表 3-1. 电源轨

SI 编号	类型	器件型号	电源轨
1	DC-DC	TPS82130	3.3V、1.9V 和 1.1V 的中间轨
2	LDO	TPS7A8400	3.3V、1.9V 和 1.1V
3	LDO	TPS7A8300	+2.5V
4	LDO	TPS7A3301	- 2.5V

以下子部分详细显示了各种电源轨的设计流程。

3.3.1 DC-DC

TPS82130 是具有集成电感器的 3A 降压转换器 MicroSiP™ 模块，可接受 3V 至 17V 直流输入，并提供 0.9V 至 6V 的高效率输出。LDO 需要最低 2.1V 输入电压来生成 1.9V 电压。图 3-11 显示了生成 2.1V 电压的电路图。

3.3.1.1 如何设置 2.1V 输出电压

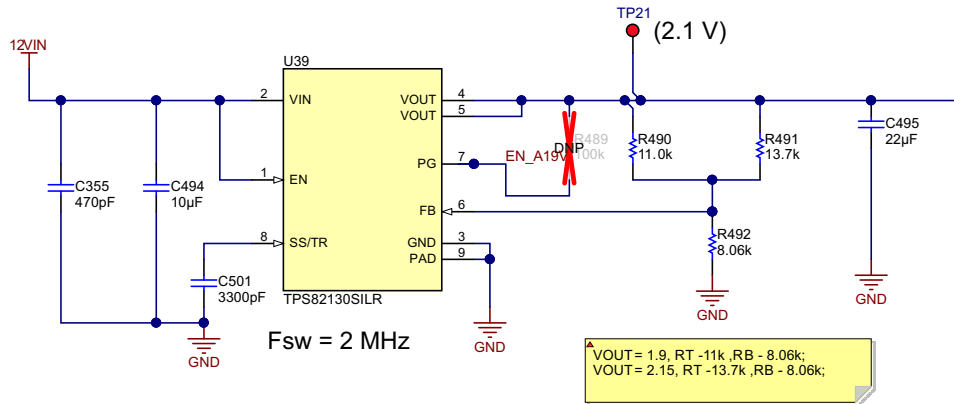
使用电阻 R_{FBT} (R491) 和 R_{FBB} (R492)，以确定 TPS82130 器件的输出电压，如以下方程式 1 至方程式 3 所示。

$$\frac{R_{FBT}}{R_{FBB}} = \left(\frac{2.15}{0.8} \right) - 1 \tag{1}$$

$$\frac{R_{FBT}}{R_{FBB}} = 1.687 \tag{2}$$

$$R_{FBT} = \frac{13700}{1.687} = 8118 \Omega \tag{3}$$

根据这些计算结果，选择的最接近的值为 $R_{491} = 13.7k\Omega$ 和 $R_{492} = 8.06k\Omega$ 。



Copyright © 2016, Texas Instruments Incorporated

图 3-11. 直流/直流电源

表 3-2 列出了 TPS82130 直流/直流转换器生成的其他中间电源轨的值。

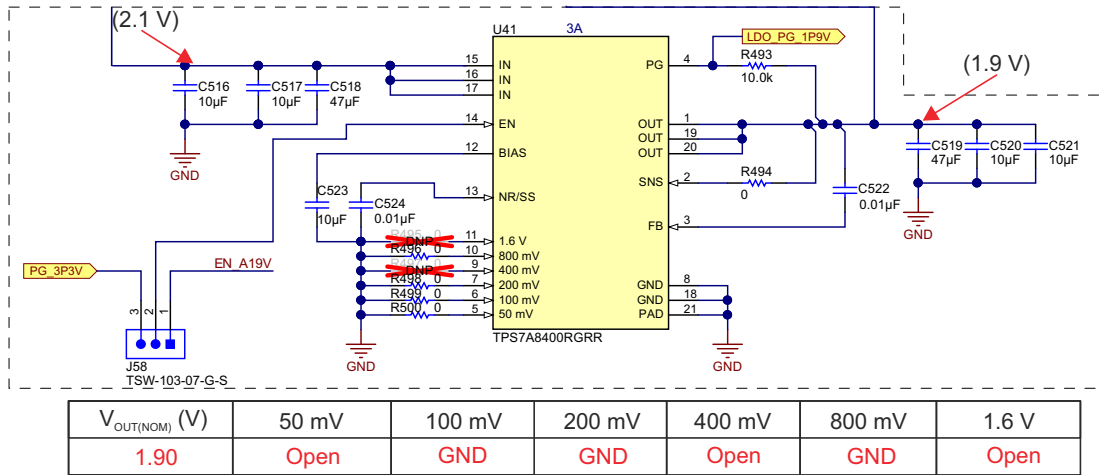
表 3-2. 中间电源轨

SI 编号	输出电源轨	中间电源轨
1	1.9V	2.15V
2	1.1V	1.35V
3	3.3V	3.55V
4	+2.5V	3.00V
5	-2.5V	-3.30V

3.3.2 LDO

TPS7A8400 是正电压 (5V)、超低噪声 ($4.4 \mu V_{RMS}$) LDO，能够以 180mV 的低压降提供 3A 的负载 (请参阅图 3-12)。TPS7A8x00 主要为高精度、高精度仪器仪表应用而设计的。在此类应用中，干净的电压轨对于最大程度地提高系统性能至关重要。此特性使得该器件非常适用于为运算放大器 (或放大器)、ADC、DAC 和其他高性能模拟电路供电。

TPS7A8400 具有 ANY-OUT™ 可编程引脚，可对所需的输出电压进行编程。将内部基准电压 ($V_{REF} = 0.8V$) 加上各自电压的累加之和分配给每个有效引脚。将 ANY-OUT 引脚 (引脚 10、7 和 6) 编程为低电平有效，以在输出端获得 1.9V 的电压。其他正电源轨 (1.1V、3.3V 和 2.5V) 以类似的方式生成。



Copyright © 2016, Texas Instruments Incorporated

图 3-12. LDO 电源电路 (1.9V 电源轨)

TPS7A33 系列线性稳压器是负电压 (-36V)、超低噪声 ($16 \mu V_{RMS}$, 72dB 电源抑制比 (PSRR)) 线性稳压器，能够提供最大 1A 的负载。输出设置电阻产生 -2.5V 的电压。

4 主机接口

使用 TI 的 TSW14J56 JESD204B 高速数据采集和图形发生器卡评估设计系统的性能。TSW14J56 具有一个固件版本，利用 Altera FPGA JESD204B 知识产权 (IP) 内核，通过动态配置可在 1 至 8 个通道实现 600Mbps 至 12.5Gbps 的速率，并支持 1 到 16 个转换器以及每帧 1 到 4 个八位字节。TSW14J56 是一套完整的系统，与附带的 HSDC Pro GUI 配合使用，可从 TIDA-01022 设计中采集和评估数据样本。TIDA-01022 设计可通过 FMC+ 转 FMC 适配器 PCB 与 TSW14J56 EVM 连接。

有关 TSW14J56 EVM 的更多信息，请参阅 [TSW14J56 JESD204B 高速数据采集/图形发生器卡用户指南](#)。

5 硬件功能块

图 5-1 显示了 TIDA-01022 设计的各种硬件功能模块和每个模块的功能：

1. 12V 直流电源输入连接器支持 9V 至 12V 直流输入为 TIDA-01022 供电
2. 电源部分配有开关稳压器 (直流/直流) 和 LDO，可通过 12V 输入生成多个电源轨 (1.1V、1.9V、3.3V、+2.5V 和 -2.5V)
3. 四个模拟输入通道，设计人员可以将其配置为接受 50 Ω 单端或差分输入
4. AFE 块包含 LMH5401 + LMH6401 的组合，可接受高达 1.5GHz 的交流和直流耦合输入；针对交流耦合应用，也可选择高达 6GHz 的变压器耦合输入
5. FMC+ 连接器通过 FMC+ 转 FMC 适配器 PCB 连接 TI 高速数据采集卡 TSW14J56
6. 包含了对 LMK04828、LMK2594、LMK00304 和 LMK61E2 时钟器件的本地高性能时钟解决方案的时钟子模块
7. Mini-USB 接口连接器有助于为各种模式配置 ADC 和时钟器件

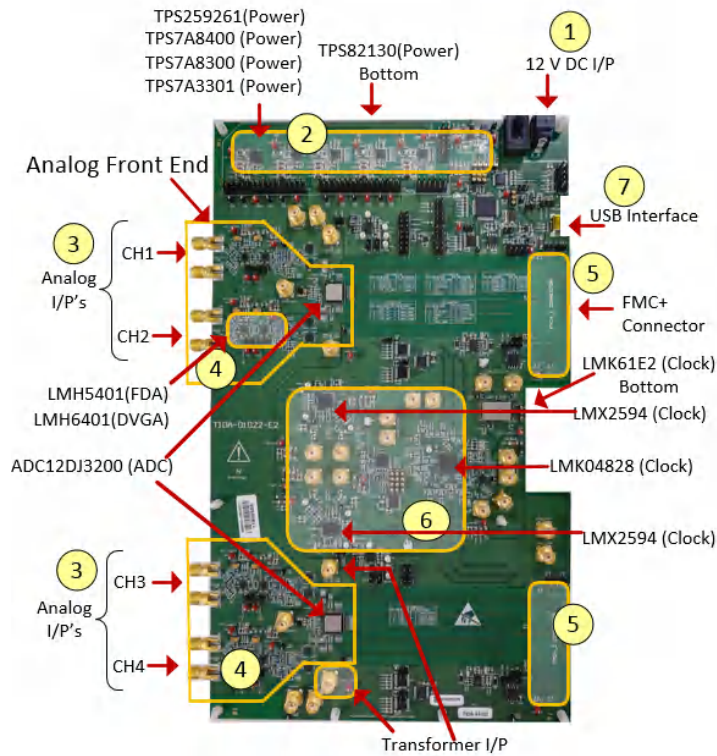


图 5-1. TIDA-01022 硬件功能块

6 入门应用程序 GUI

验证 TIDA-01022 板需要使用三个应用程序软件 GUI：HSDC TID GUI、HSDC Pro GUI 和 LMK61xx 振荡器编程工具。

1. 使用 HSDC TID GUI 来配置数据转换器 (ADC12DJ3200)、时钟器件 (LMK4828、LMX2594 和 LMK61E2) 和数字 VGA (LMH6401)。使用 Low-Level 页面，借助相应配置文件对器件进行编程。在以下网址下载最新的 HSDC TID GUI 软件：<http://www.ti.com/cn/lit/zip/tidcdr5>。
2. 借助 TSW14J56 采集卡，使用 HSDC Pro GUI 采集数字化数据，并提供频谱和时域图。在以下网址下载最新的 HSDC Pro GUI 软件：<http://www.ti.com.cn/tool/cn/dataconverterpro-sw>。
3. 使用 LMK61xx 振荡器编程工具对 LMK61E2 器件进行编程。在 <http://www.ti.com/cn/lit/zip/snac074> 下载最新的 LMK61xx 软件。

图 6-1 和图 6-2 分别显示了启动 HSDC TID GUI 配置的屏幕截图和“Low Level View”的编程选项卡的屏幕截图。

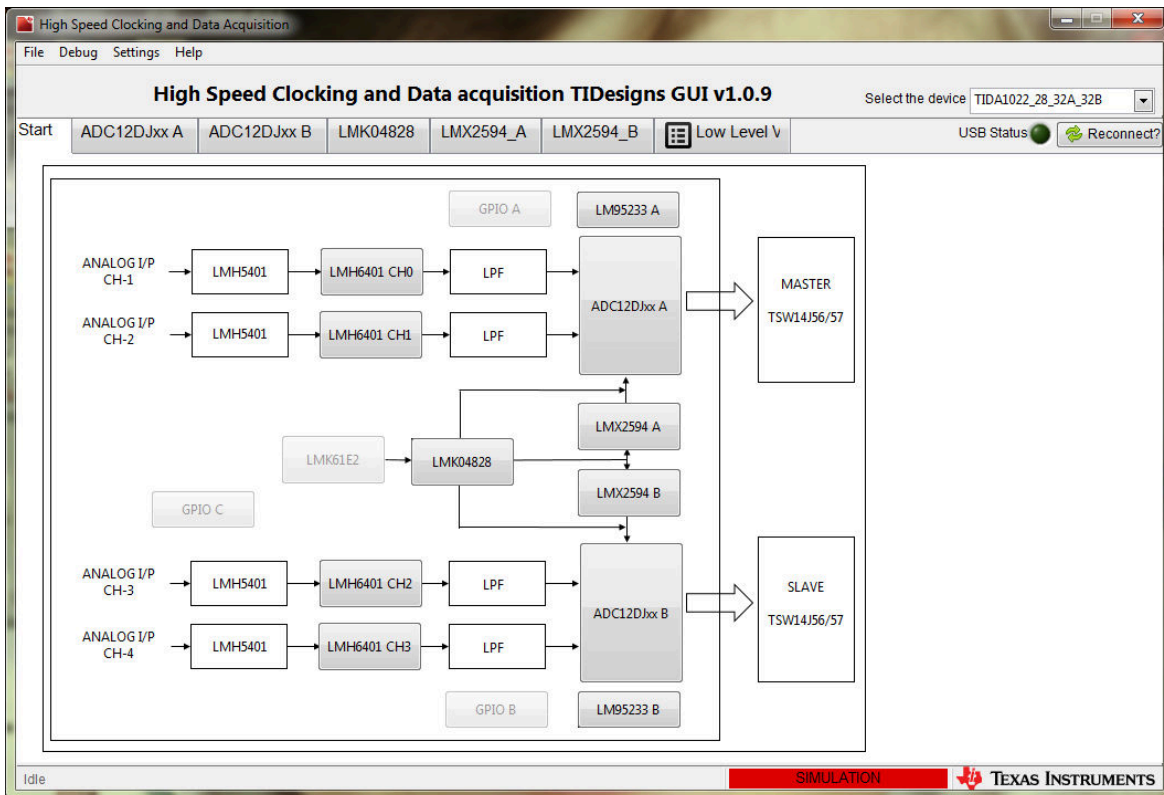


图 6-1. HSDC TID GUI - 顶层导航视图

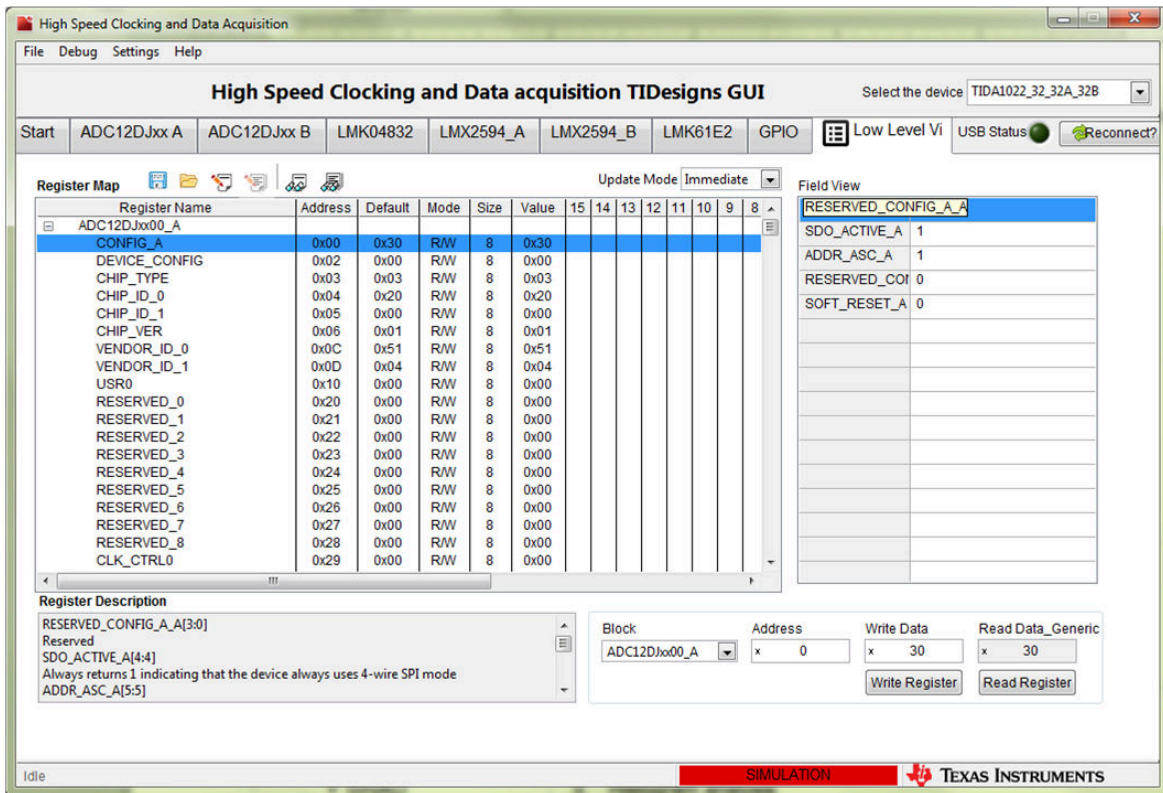


图 6-2. HSDC TID GUI - 底层编程视图

图 6-3 显示了 HSDC Pro GUI 中的 ADC 采集屏幕。

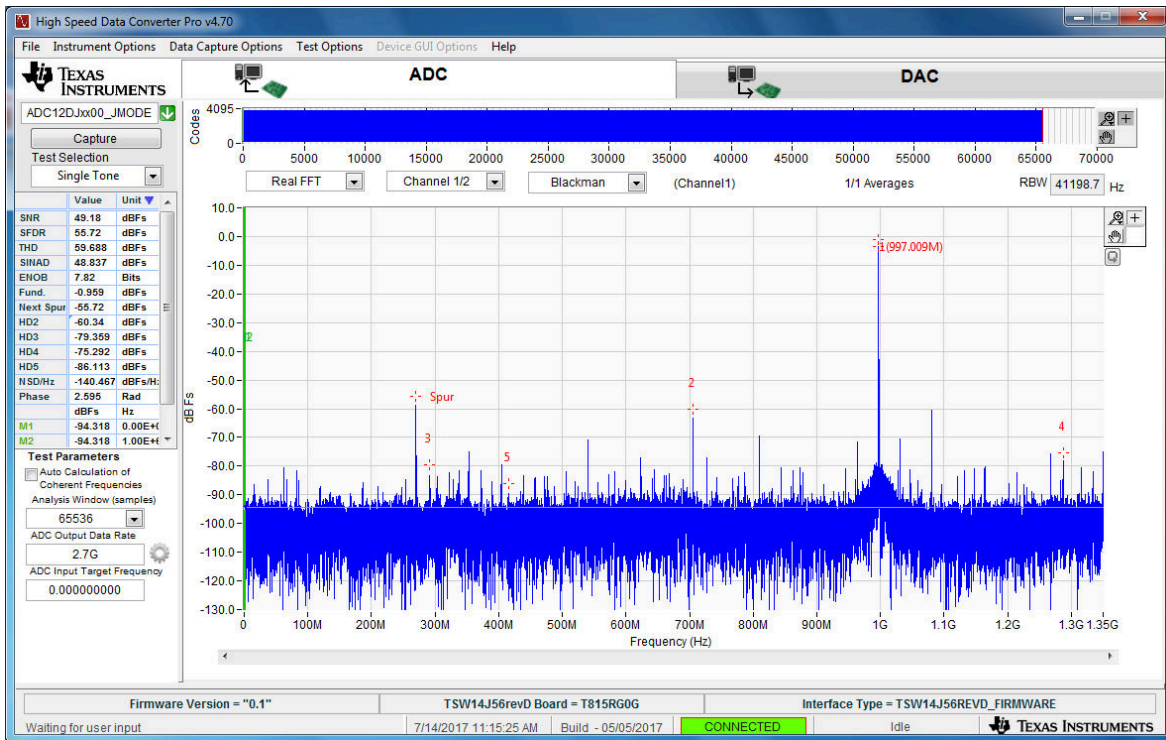
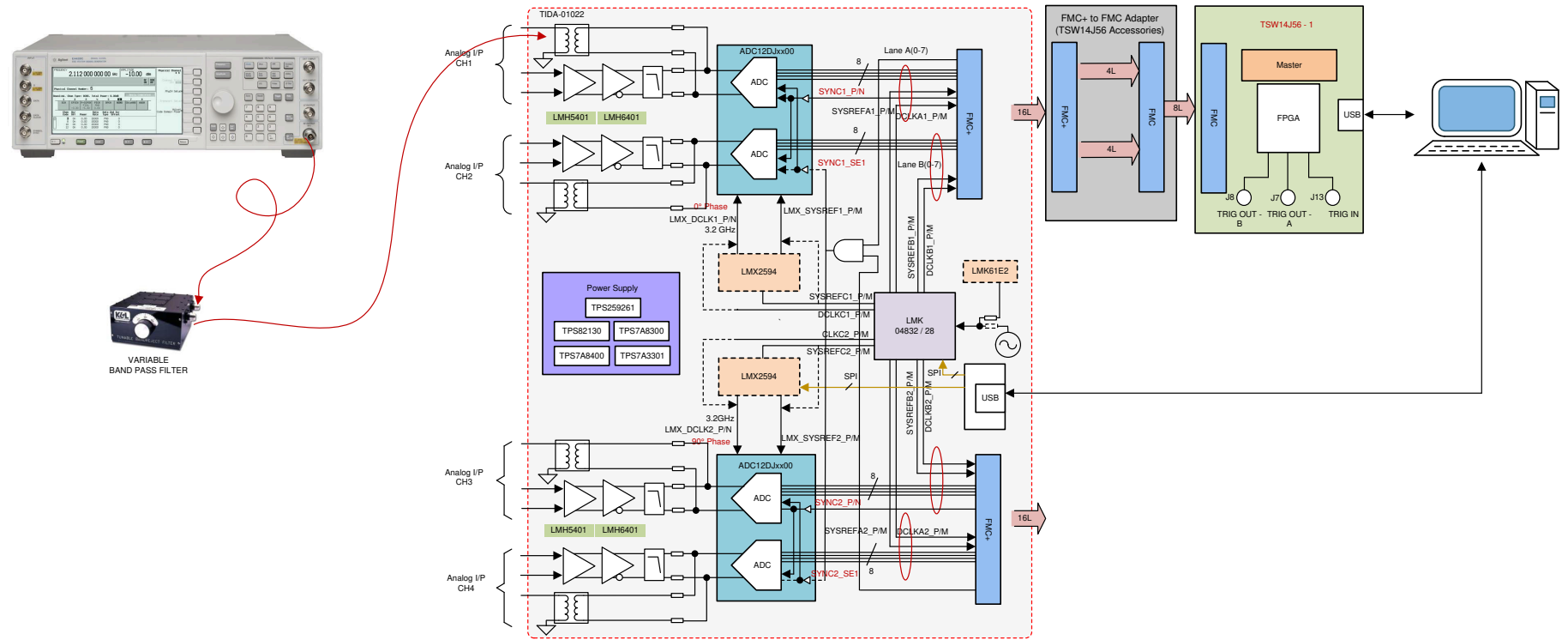


图 6-3. HSDC Pro ADC 采集 GUI (频谱、时域)

7 测试和结果

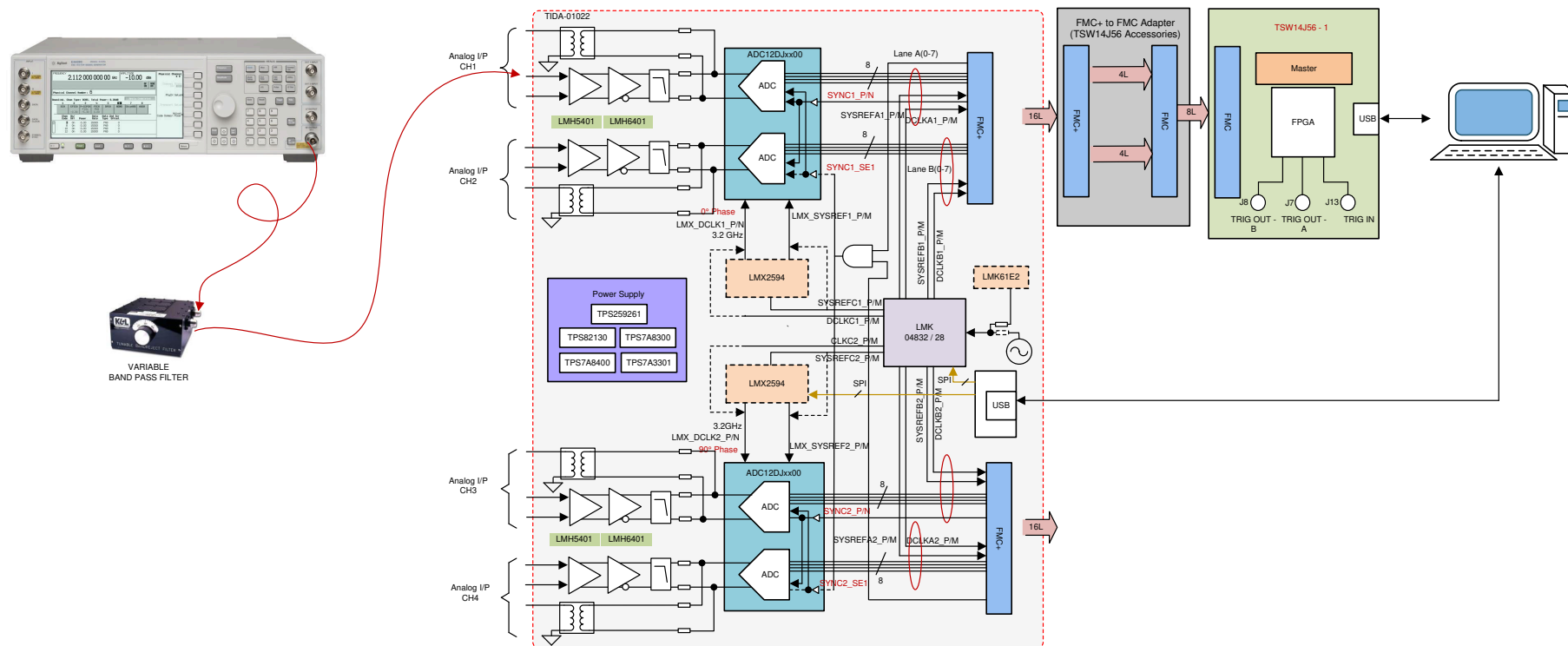
7.1 测试设置和测试计划

图 7-1、图 7-2 和图 7-3 分别显示了使用变压器输入时执行信号链 SNR 测量、使用 LMH 输入时执行信号链 SNR 测量和执行通道间时钟偏斜测量的测试设置。



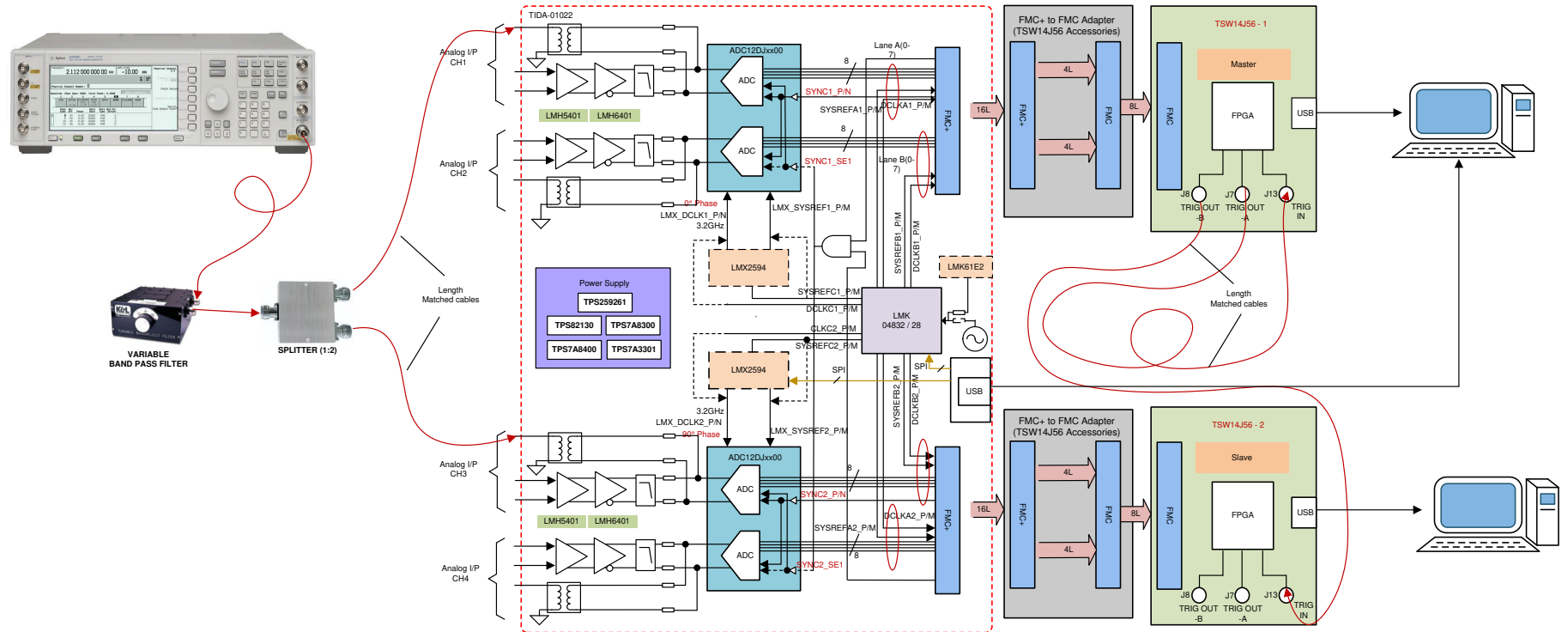
Copyright © 2017, Texas Instruments Incorporated

图 7-1. SNR 测量的测试设置 (变压器输入)



Copyright © 2017, Texas Instruments Incorporated

图 7-2. SNR 测量的测试设置 (LMH6501 + LMH5401 输入路径)



Copyright © 2017, Texas Instruments Incorporated

图 7-3. 通道间偏斜测量的测试设置

表 7-1 显示了模拟输入类型和相应的电阻跳线配置。

表 7-1. TIDA-01022 输入耦合选型

模拟输入	输入耦合	电阻跳线设置
通道 1	变压器	R551、R552 - 组装
		R592、R604 - 未组装
通道 1	FDA	R551、R552 - 未组装
		R592、R604 - 组装
通道 2	变压器	R560、R561 - 组装
		R605、R606 - 未组装
通道 2	FDA	R560、R561 - 未组装
		R605、R606 - 组装
CH3	变压器	R569、R570 - 组装
		R607、R608 - 未组装
CH3	FDA	R569、R570 - 未组装
		R607、R608 - 组装
CH4	变压器	R578、R579 - 组装
		R609、R610 - 未组装
CH4	FDA	R578、R579 - 未组装
		R609、R610 - 组装

7.2 SNR 测量测试

2.7GHz 采样率的 SNR 测量测试步骤如下：

1. 模拟图 7-1 所示的硬件设置，然后通过可变带通滤波器将输入信号提供给 TIDA-01022 设计的通道 1 的 J12 SMA 连接器。
2. 将高速 USB3.0 和 USB2.0 电缆连接到采集 PC。
3. 向 J55 电源连接器提供 12V、4A 直流电源，向 TSW14J56 采集卡提供 5V 电源。

如需测量信号链 SNR，请使用 HSDC TID GUI 进行以下配置：

1. 使用 J32 连接器，借助与 LMK61E2 振荡器编程工具关联的 USB2ANY 编程器在频率为 33.75MHz 时对 LMK61E2 器件进行编程。在编程前将器件地址设置为 0x5A。
2. 在零延迟 PLL 模式下，在 33.75MHz SYSREF 频率下对 LMK04828 进行编程，以提供 SYSREFREQ 和 SYNC 信号，同时将 33.75MHz OSCout 作为 LMX2594 的参考。
3. LMK04828 还会为 FPGA 采集卡生成 270MHz 的 FPGA 参考电压、270MHz 的 FPGA 内核时钟 以及 33.75MHz 的 FPGA SYSREF。
4. 在 33.75MHz 频率下对 LMX2594_A 的 2.7GHz DEVCLK 和 SYSREF 进行编程。
5. 通过加载“Low-Level”页面中的配置文件来配置 ADC12DJ3200 JMODE-2 (双通道模式)。

使用 HSDC Pro GUI 建立 JESD204B 链路：

1. 在为 TSW14J56 供电后，建立与双通道模式 (JMODE2) 的连接。
2. 提供 ADC 输出数据和 ADC 输入目标频率的数据速率采样频率。
3. 在建立 JESD204B 连接后，从信号发生器将输入信号馈入 J12。
4. 采集频谱并记录 SNR 性能。
5. 使用不同的输入和采样频率重复测试，并将结果制成表格。

备注

TIDA-01022 设计文件夹包含生成不同的采样率的必要配置文件：2.7 GHz 和 3 GHz。

7.3 通道间偏斜测量测试

通道间偏斜测量的测试步骤如下：

1. 模拟图 7-3 所示的硬件设置，然后通过可变带通滤波器和 2:1 分配器将输入信号提供给 TIDA-01022 设计的通道 1 和通道 3 的 J12 和 J29 SMA 连接器。
2. 将高速 USB3.0 和 USB2.0 电缆连接到采集 PC。
3. 将 TSW14J56 采集卡配置为主从配置模式：
 - 使用高速 SMA 电缆将主 TSW14J56 的 J7 (TRIG OUT - A) 连接到 J13 (TRIG IN)，以实现主自动触发。
 - 使用高速 SMA 电缆将主 TSW14J56 的 J8 (TRIG OUT - B) 连接到从 TSW14J56 模块的 J13 (TRIG IN)。
4. 向 TIDA-01022 的电源连接器 (J55) 提供 12V、4A 直流电源，为 TSW14J56 采集卡提供 5V 电源。

备注

如图 7-3 所示，电缆长度必须是长度匹配的。

要测量多通道偏斜，请使用 HSDC TID GUI 进行以下配置：

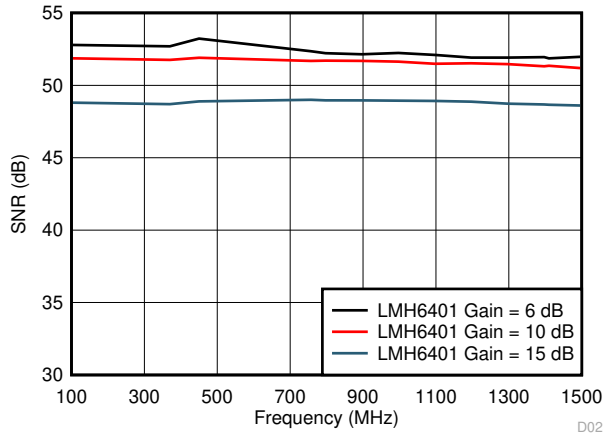
1. 使用 J32 连接器，借助与 LMK61E2 振荡器编程工具关联的 USB2ANY 编程器在频率为 33.75MHz 时对 LMK61E2 器件进行编程。在编程前将器件地址设置为 0x5A。
2. 在零延迟 PLL 模式下，在 33.75MHz SYSREF 频率时对 LMK04828 进行编程，以提供 SYSREFREQ 和 SYNC 信号以及此 33.75MHz OSCout 作为 LMX2594 的基准。
3. LMK04828 还会为 FPGA 采集卡生成 FPGA 参考电压 (270MHz)、FPGA 内核时钟 (270MHz) 以及 FPGA SYSREF (33.75MHz)。
4. 在 33.75MHz 频率下对 LMX2594_A 和 LMX2594_B 的 2.7GHz DEVCLK 和 33.75MHz SYSREF 进行编程。
5. 通过加载“Low-Level”页面中的配置文件来配置 ADC12DJ3200 JMODE-2 (双通道模式)。

使用 HSDC Pro GUI 建立 JESD204B 链路：

1. 在为 TSW14J56 供电后，建立与双通道模式 (JMODE2) 的连接。
2. 提供 ADC 输出和 ADC 输入目标频率的数据速率采样频率。
3. 在建立 JESD204B 连接后，将输入信号馈入通道 1 (J13) 和通道 3 (J76)。
4. 在从采集板上应用触发器，然后点击主采集板上的采集按钮。
5. 导出 ADC1 和 ADC2 数据，然后使用 MathLab® 程序从频谱中提取相位和振幅信息，并绘制时域中的数据以测量通道间偏斜。

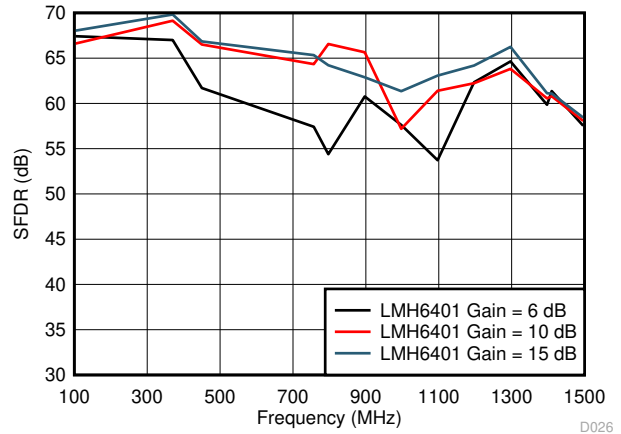
7.4 性能测试结果

图 7-4、图 7-5 和图 7-6 显示了级联 LMH5401 + LMH6401 路径的模拟信号链性能。图 7-7 显示了采用 ADC12DJ3200 ADC 实现变压器耦合输入性能。



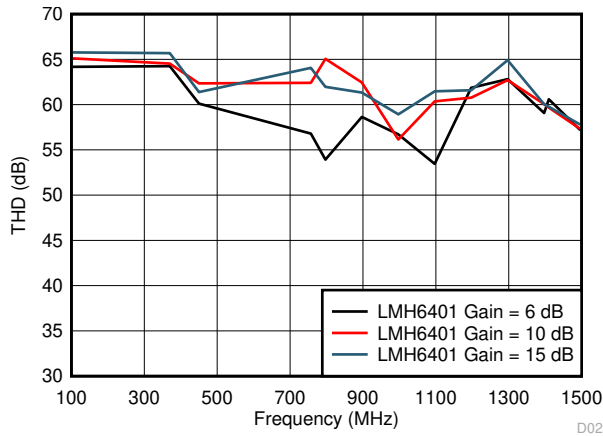
A. LMH5401 增益 = 12dB

图 7-4. SNR 与 FREQ 之间的关系 (LMH6401 I/P 路径)



A. LMH5401 增益 = 12dB

图 7-5. SFDR 与 FREQ 之间的关系 (LMH6401 I/P 路径)



A. LMH5401 增益 = 12dB

图 7-6. THD 与 FREQ 之间的关系 (LMH6401 I/P 路径)

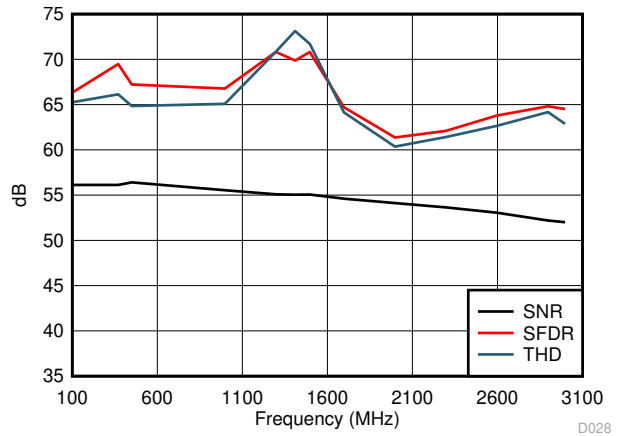


图 7-7. SNR、SFDR、THD 与 FREQ 之间的关系 (变压器 I/P)

图 7-8 和图 7-9 分别显示了 TIDA-01022 设计在 997MHz 输入信号下 LMH5401+LMH6401 组合和变压器耦合的测量频谱。

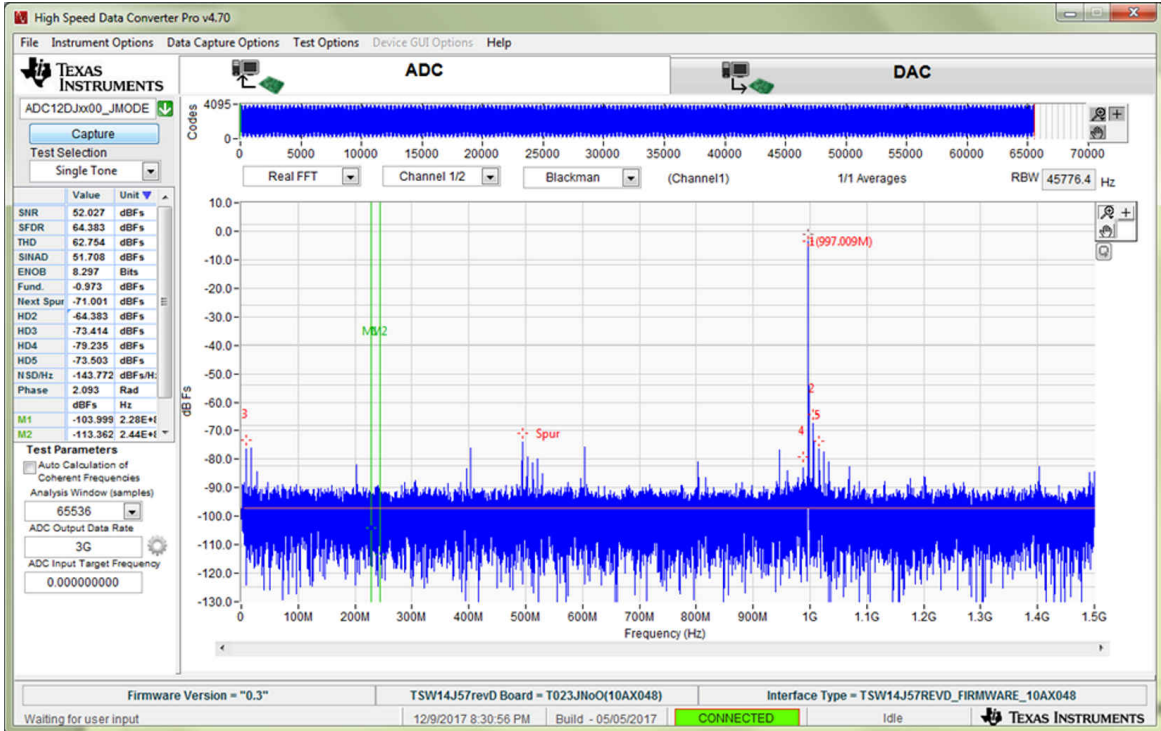


图 7-8. 997MHz 频谱 (LMH5401 + LMH6401)

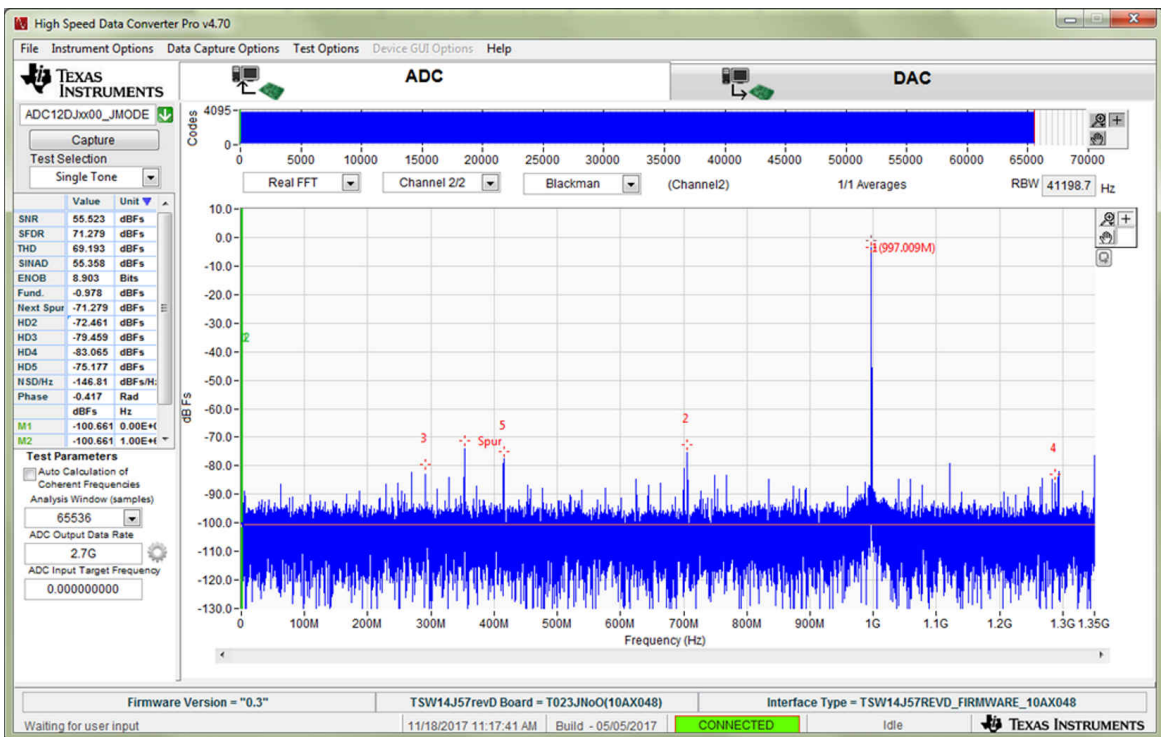


图 7-9. 997MHz 频谱 (变压器耦合)

7.5 多通道偏斜测量

表 7-2 列出了输入信号为 997MHz，采样频率为 2700MHz 时，在室温下测量的 TIDA-01022 设计的两个通道 (CH1 和 CH3) 之间的时间偏差。通过计算从每个 ADC 采集的信号之间的相位差来评估这种偏差。两个信号链输入的测量结果和测量的时间偏差均小于 5ps。表 7-2 显示了使用变压器输入和 FDA 输入路径时测量的两个通道之间的偏斜。图 7-10 显示了相应的偏斜测量数据图，图 7-11 显示了时域图中的采样信号。

表 7-2. TIDA-01022 CH1 和 CH3 偏斜测量

采样周期	变压器耦合输入	FDA 输入 (LMH5401+6401)
1	0.243 ps	0.623 ps
2	0.156 ps	0.695 ps
3	0.575 ps	0.749 ps
4	0.511 ps	0.265 ps
5	0.824 ps	0.484 ps
6	0.669 ps	0.339 ps
7	0.83 ps	1.04 ps
8	0.623 ps	0.795 ps
9	0.72 ps	0.712 ps
10	0.629 ps	0.835 ps

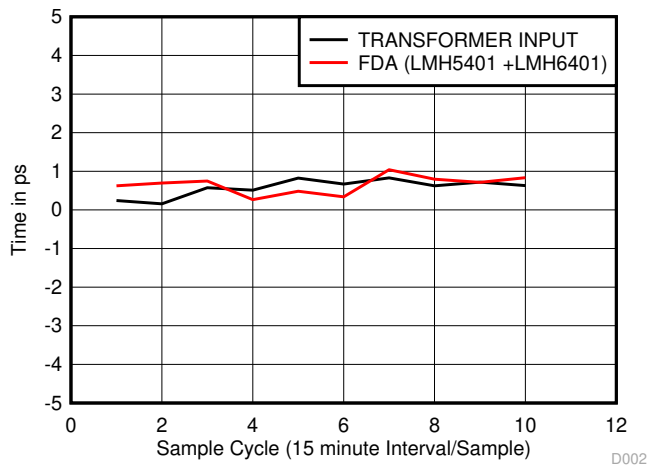


图 7-10. 通道间测量图

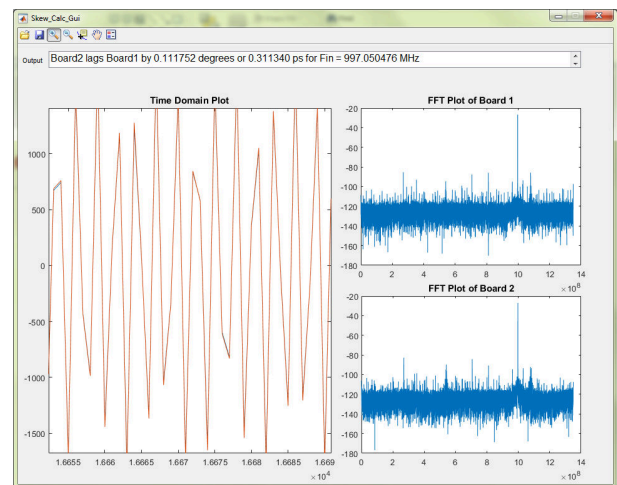


图 7-11. 通道间偏斜测量 GUI

图 7-12 显示了 ADC1 和 ADC2 的时域测量图与 TIDA-01022 设计的 CH1 和 CH3 相对应。

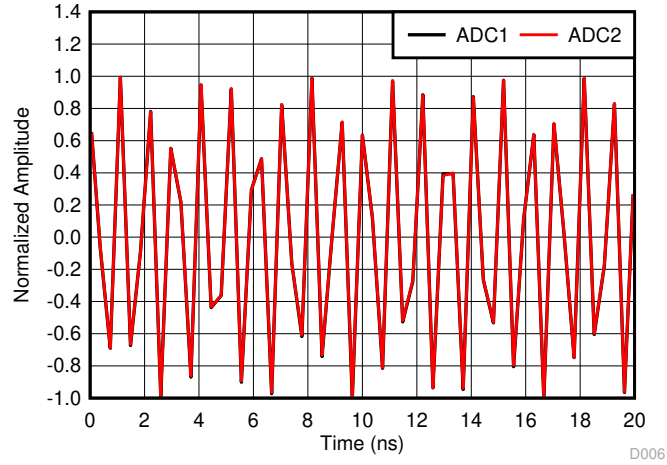


图 7-12. 997MHz 频率下的采样信号

7.6

总的来说，TIDA-01022 是一款多通道 AFE 参考设计，具有 3.2GHz 高性能板载时钟解决方案，可用于 DSO、雷达和 5G 无线测试系统。此参考设计展示了使用 LMH5401 + LMH6401 的直流耦合宽带 DVGA，满足高速数字示波器 AFE 的要求。此设计还展示了确定性延迟，并通过调优 t_{AD} 调节实现了小于 5ps 的通道间偏斜。

8 设计文件

8.1 原理图

如需下载原理图，请参阅 [TIDA-01022](#) 中的设计文件。

8.2 物料清单

如需下载物料清单 (BOM)，请参阅 [TIDA-01022](#) 的设计文件。

8.3 Altium 项目

如需下载 Altium 工程文件，请参阅 [TIDA-01022](#) 中的设计文件。

8.4 Gerber 文件

如需下载 Gerber 文件，请参阅 [TIDA-01022](#) 中的设计文件。

8.5 装配图

如需下载装配图，请参阅 [TIDA-01022](#) 的设计文件。

9 软件文件

如需下载软件文件，请参阅 [TIDA-01022](#) 中的设计文件。

10 相关文档

1. 德州仪器 (TI), [级联 LMH5401 和 LMH6401 参考设计](#)
2. 德州仪器 (TI), [JESD204B 确定性延迟](#)
3. 德州仪器 (TI), [JESD204B 多器件同步：分解要求](#)
4. 德州仪器 (TI), [适用于 DSO、雷达和 5G 无线测试器的多通道 JESD204B 15GHz 时钟参考设计](#)
5. 德州仪器 (TI), [50 欧姆 2GHz 示波器前端参考设计](#)
6. 德州仪器 (TI), [ADC12DJ3200 评估模块](#)
7. 德州仪器 (TI), [TSW14J56 JESD204B 高速数据采集和图形发生器卡用户指南](#)
8. 德州仪器 (TI), [TSW14J57 JESD204B 高速数据采集和图形发生器卡用户指南](#)

10.1 商标

MicroSiP™, E2E™, and ANY-OUT™ are trademarks of Texas Instruments.

MathLab® is a registered trademark of PTC Inc..

所有商标均为其各自所有者的财产。

11 关于作者

ANBU MANI 是德州仪器 (TI) 工业系统工程团队的一位系统工程师，负责为工业部门开发参考设计解决方案。Anbu 在模块化平台自动测试设备的模拟电路设计和数字电路设计领域拥有十五年的经验。他还从事嵌入式产品的设计和开发工作。Anbu 获得了金奈安纳大学电子与通信工程的工程学士学位 (BE)。

SANKAR SADASIVAM 是德州仪器 (TI) 工业系统工程团队的一位系统架构师，负责为工业系统设计和开发参考设计解决方案，主要关注测试和测量方面的工作。Sankar 在模拟、RF、无线、信号处理、高速数字和电力电子设备领域拥有丰富的经验。Sankar 获得了印度马德拉斯理工学院电气工程 (MS) 理学硕士学位。

11.1 致谢

在此设计的开发过程中，同事 Bryan Bloodworth、Taras Dudar、Ajeet Pal、Timothy Toroni、Jim Brinkhurst、Ken Chan、Chis Glaser、Oliver Nachbaur 和 Rohit Bhat 提供了无条件的支持和重要反馈，作者在此表示感谢。

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2017) to Revision A (January 2022)	Page
• 在 资源 部分新增了 BUF802 。.....	1
• 新增了 BUF802 部分。.....	6
• 新增了 使用 BUF802 的高输入阻抗缓冲器实施 部分。.....	14

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司