

## Design Guide: TIDA-080010

## 360 万像素 3D 打印机参考设计



## 说明

此参考设计采用适用于 3D 打印机的 DLP® Pico® 产品 0.3 英寸 360 万像素近紫外数字微镜器件 (DMD) 芯片组。该设计包含 [DLP300S](#) 或 [DLP301S](#) 2560 x 1440 (WQHD) DMD、[DLPC1438](#) 显示控制器和 [DLPA2005](#) PMIC/LED 驱动器。DLPC1438 3D 打印控制器可为适用于 DLP 3D 打印机应用的 DLP300S 和 DLP301S 数字微镜器件 (DMD) 的可靠运行提供支持。DLPC1438 控制器可在用户电子产品和 DMD 之间提供一个便捷的接口，以支持快速、可靠的高分辨率 DLP 3D 打印机。

## 资源

<a href="#">TIDA-080010</a>	设计文件夹
<a href="#">DLP300S</a>	产品文件夹
<a href="#">DLPC1438</a>	产品文件夹
<a href="#">DLPA2005</a>	产品文件夹



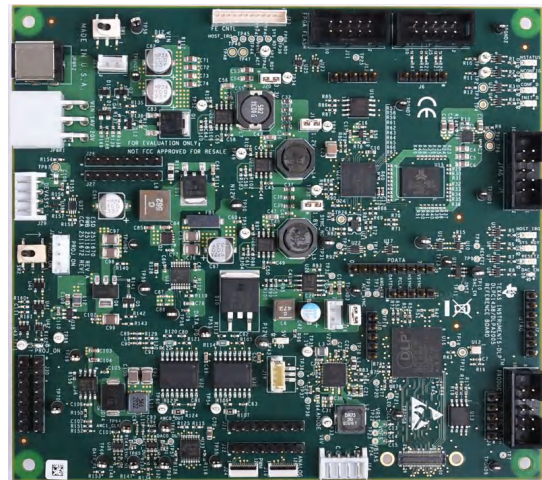
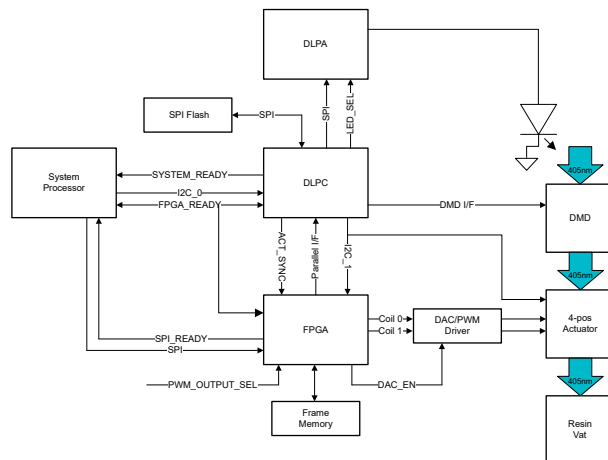
请咨询我司 TI E2E™ 支持专家

## 特性

- 适用于 DLP300S 和 DLP301S (0.3 英寸 360 万像素) DMD 的数字控制器
- 3D 打印特性：
  - 经过优化的线性伽马模式，用于优化照明均匀性和灰度打印
  - 可编程层曝光时间
  - 8 位单色灰度输出
- 系统特性：
  - 带有低成本 SPI 数据输入接口的前端 FPGA
  - 传动器控制
  - 器件配置的 I<sup>2</sup>C 控制
  - 可编程 LED 电流控制
- 针对 DLP 3D 打印机应用中的可靠性能进行了运行优化
- 与 DLPA2000、DLPA2005、DLPA3000 或 DLPA3005 PMIC (电源管理集成电路) 和 LED 驱动器配对使用

## 应用

- [TI DLP 3D 打印机](#)



## 1 系统说明

DLPC1438 3D 打印控制器可为适用于 DLP 3D 打印机应用的 DLP300S 和 DLP301S 数字微镜器件 (DMD) 的可靠运行提供支持。DLPC1438 控制器可在用户电子产品和 DMD 之间提供一个便捷的接口，以支持快速、可靠的高分辨率 DLP 3D 打印机。进入 TI DLP 光控制技术页面，了解如何开始使用 DLP300S。ti.com 上的 DLP 先进光控制资源可加快产品上市速度，这些资源包括参考设计、光学模块制造商和 DLP 设计网络合作伙伴。借助此参考设计，开发人员能够快速实现将 DLP300S DMD 与 DLPC1438 控制器和 DLPA2005 PMIC/LED 驱动器配合使用的紧凑型 3D 打印机。

## 2 系统概述

该参考设计采用适用于 3D 打印机的 DLPC1438 显示控制器以及 DLPA2005 PMIC/LED 驱动器。该参考设计可提供用于驱动 DLP300S 或 DLP301S DMD 器件的连接。DLP1438 芯片组要求 DLP 显示控制器和前端处理器之间使用 FPGA 来处理图像。系统控制器通过 I<sup>2</sup>C 总线命令 DLPC1438。帧数据通过 SPI 总线从系统控制器发送到 FPGA。

### 2.1 方框图

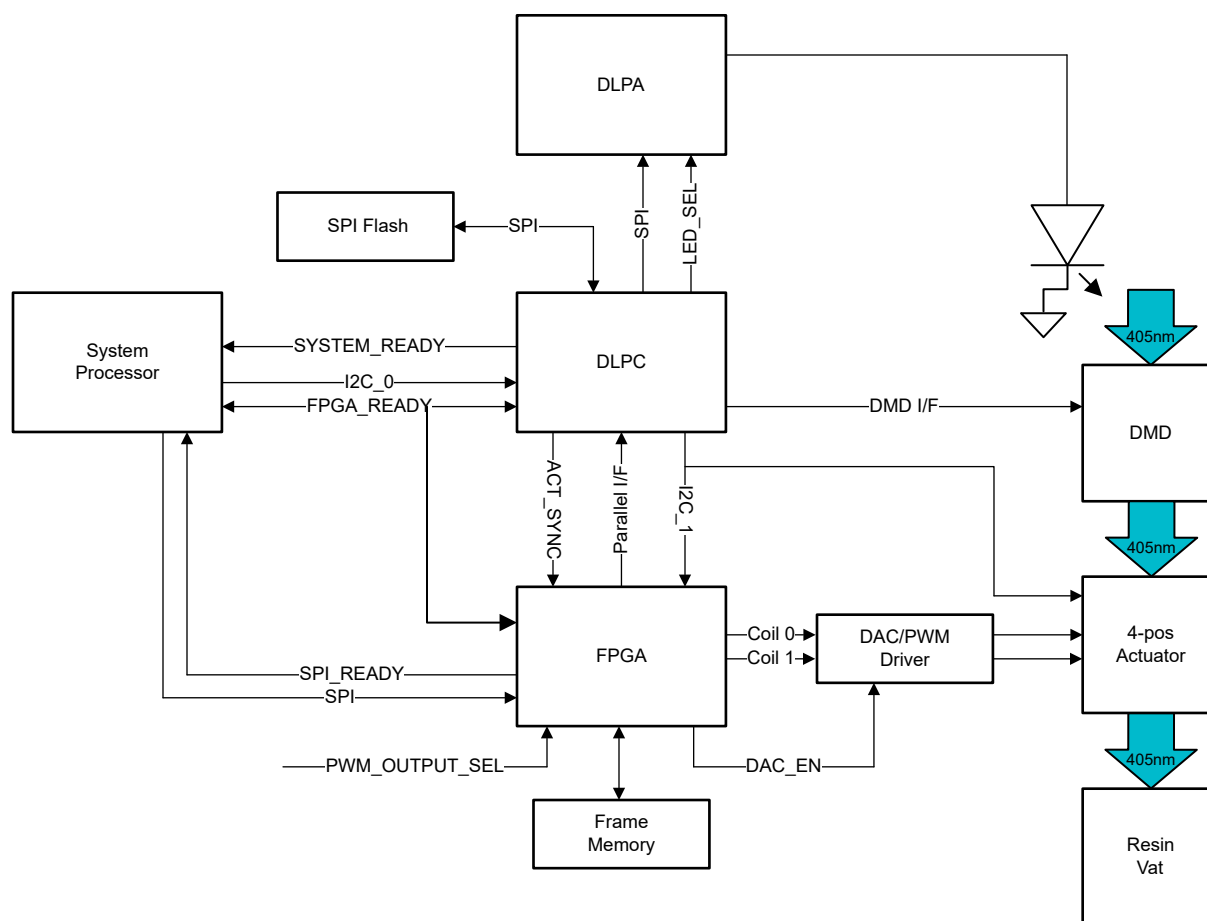


图 2-1. DLPC1438 参考设计方框图

表 2-1. 连接器、跳线、接头、开关

跳线	连接器、接头、开关
J1	FPGA JTAG 连接
J2	DLPC JTAG 连接
J3	DLPC 闪存编程接头
J4	SPIO 测试点
J5	FPGA SPI 输入
J6	FPGA SPI 测试点
J7	PDATA 控制测试点
J8	DMD 连接
J9	PDATA 测试点
J10	DLPC SPI1 测试点
J11	FPGA 闪存编程接头
J12	FPGA 闪存编程测试点
J13	5V 跳线
J14	照明功率
J15	1.8V 跳线
J16	5V 风扇电源
J17	1.2V 跳线
J18	热敏电阻
J19	DAC 执行器连接
J20	3.3V 跳线
J21	DAC 执行器信号
J22	H 桥执行器信号
J23	FPGA/前端测试点
J24	H 桥执行器连接
J25	外部 VIN 开/关连接
J26	FPGA TSTMUX
J27	FPGA TSTMUX
J28	EXT PROJ_ON 连接
J29	IICO EXT 连接
J30	未使用的 DLPC GPIO
J31	DLPC TSTPT 访问
JPWR1	电源输入 14V-20V
JPWR2	备选电源输入 14V-20V
SW1	使能电源输入
SW2	PROJ_ON ( 打开和关闭系统 )

## 2.2 设计注意事项

请参阅以下应用手册来了解 DLP 系统设计中的考虑因素：

- TI DLP® PICO™ 系统概述：光学模块规格
- TI DLP® 系统设计：亮度要求和权衡

## 2.3 总体布局建议

此设计指南中列出的布局指南是组件数据表中所含指南的子集。更多相关信息，请参阅 [DLPC1438 显示控制器](#)、[DLP300S DMD](#) 以及 [DLPA2005 PMIC 和 LED 驱动器 IC 数据表](#)。

### 2.3.1 DLPC3436 布局指南

#### 2.3.1.1 PLL 电源布局

请遵循这些建议的指导原则来实现内部 PLL 可接受的控制器性能。DLPC1438 控制器包含两个内部 PLL，这两个器件具有专用模拟电源 (VDD\_PLLM、VSS\_PLLM、VDD\_PLLD 和 VSS\_PLLD)。至少使用由两个串联铁氧体磁珠和两个分流电容器构成的简单无源滤波器来隔离 VDD\_PLLx 电源和 VSS\_PLLx 接地引脚 (以扩大噪声吸收频谱)。TI 建议一个电容器选择 0.1μF，另一个电容器选择 0.01μF。所有四个组件应尽量靠近控制器放置。高频电容器的引线应尽可能短。在铁氧体磁珠的控制器端上将这两个电容器从 VDD\_PLLM 连接到 VSS\_PLLM 并从 VDD\_PLLD 连接到 VSS\_PLLD。选择具有以下特性的铁氧体磁珠：

- 直流电阻小于 0.40 Ω
- 10MHz 时的阻抗等于或大于 180 Ω
- 100MHz 时的阻抗等于或大于 600 Ω

PCB 布局对 PLL 性能至关重要。没有噪声的接地端和电源应被视为模拟信号，这一点非常重要。因此，VDD\_PLLM 和 VDD\_PLLD 都必须采用一根迹线以从 DLPC3436 控制器连接到这两个电容器，然后通过串联铁氧体连接到电源。电源和接地迹线应尽可能短、彼此平行并尽可能相互靠近。

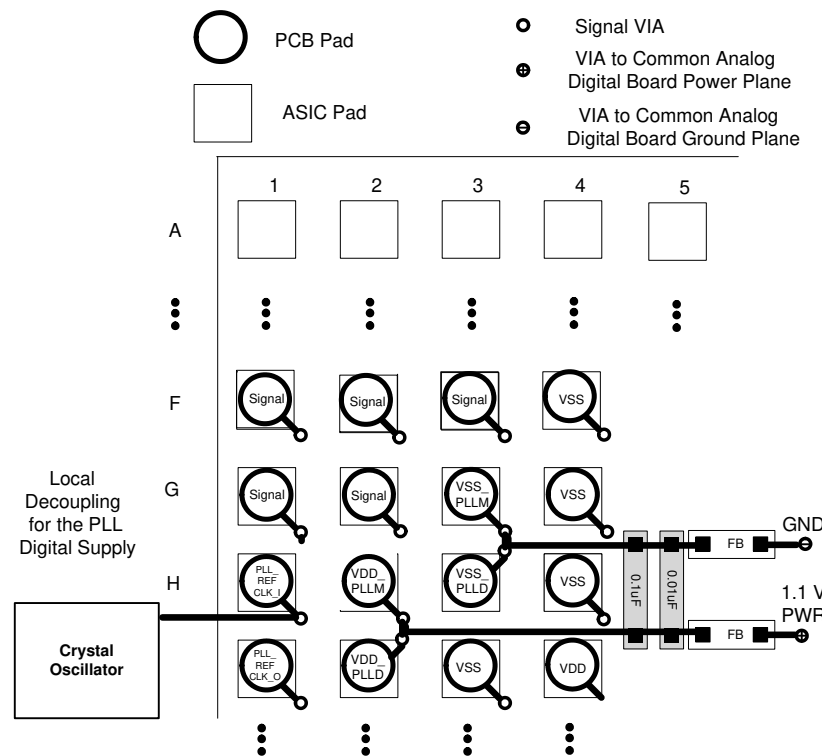


图 2-2. PLL 滤波器布局

### 2.3.1.2 I2C 接口性能

两个 DLPC3436 I<sup>2</sup>C 接口端口都支持 100kHz 波特率。按照定义，I<sup>2</sup>C 事务会以总线上最慢器件的速度运行，因此无需确保系统中的所有器件都具有匹配的速度等级。

### 2.3.1.3 DMD 控制和 Sub-LVDS 信号

表 2-2. 最大引脚对引脚 PCB 互连建议

DMD 总线信号 <sup>(1) (2)</sup>	信号互连拓扑		单位
	单板信号布线长度	多板信号布线长度	
DMD_HS_CLK_P DMD_HS_CLK_N	6.0 (152.4)	请参阅 <sup>(3)</sup>	in (mm)
DMD_HS_WDATA_A_P DMD_HS_WDATA_A_N	6.0 (152.4)	请参阅 <sup>(3)</sup>	in (mm)
DMD_HS_WDATA_B_P DMD_HS_WDATA_B_N			
DMD_HS_WDATA_C_P DMD_HS_WDATA_C_N			
DMD_HS_WDATA_D_P DMD_HS_WDATA_D_N			
DMD_HS_WDATA_E_P DMD_HS_WDATA_E_N			
DMD_HS_WDATA_F_P DMD_HS_WDATA_F_N			
DMD_HS_WDATA_G_P DMD_HS_WDATA_G_N			
DMD_HS_WDATA_H_P DMD_HS_WDATA_H_N			
DMD_LS_CLK	6.5 (165.1)	请参阅 <sup>(3)</sup>	in (mm)
DMD_LS_WDATA	6.5 (165.1)	请参阅 <sup>(3)</sup>	in (mm)
DMD_LS_RDATA	6.5 (165.1)	请参阅 <sup>(3)</sup>	in (mm)
DMD_DEN_ARSTZ	7.0 (177.8)	请参阅 <sup>(3)</sup>	in (mm)

(1) 最大信号布线长度将迂回布线计算进来。

(2) 由于连接器的影响，多板 DMD 布线长度存在更严格的限制。

(3) 由于 PCB 之间存在差异，因此无法定义这些建议。对于任何电路板设计，最佳实践是使用控制器 IBIS 模型 (可在控制器网页的工具与软件选项卡中找到) 进行 SPICE 仿真，确保布线长度不会违反信号要求。

表 2-3. 高速 PCB 信号布线匹配要求

信号组长度匹配 <sup>(1) (2) (3)</sup>				
接口	信号组	基准信号	最大失配 <sup>(4)</sup>	单位
DMD <sup>(5)</sup>	DMD_HS_WDATA_A_P DMD_HS_WDATA_A_N	DMD_HS_CLK_P DMD_HS_CLK_N	±1.0 (±25.4)	in (mm)
	DMD_HS_WDATA_B_P DMD_HS_WDATA_B_N			
	DMD_HS_WDATA_C_P DMD_HS_WDATA_C_N			
	DMD_HS_WDATA_D_P DMD_HS_WDATA_D_N			
	DMD_HS_WDATA_E_P DMD_HS_WDATA_E_N			
	DMD_HS_WDATA_F_P DMD_HS_WDATA_F_N			
	DMD_HS_WDATA_G_P DMD_HS_WDATA_G_N			
	DMD_HS_WDATA_H_P DMD_HS_WDATA_H_N			
DMD	DMD_HS_WDATA_x_P	DMD_HS_WDATA_x_N	±0.025 (±0.635)	in (mm)
DMD	DMD_HS_CLK_P	DMD_HS_CLK_N	±0.025 (±0.635)	in (mm)
DMD	DMD_LS_WDATA DMD_LS_RDATA	DMD_LS_CLK	±0.2 (±5.08)	in (mm)
DMD	DMD_DEN_ARSTZ	不适用	不适用	in (mm)

- (1) 长度匹配值仅适用于 PCB 布线长度。无需额外考虑与 DLPC34xx 控制器或 DMD 相关的内部封装布线失配。
- (2) 对 DMD HS 数据线进行训练。这就是为什么定义的匹配要求相较于 LS 数据线而言略显宽松。
- (3) DMD LS 信号为单端信号。
- (4) 信号组的失配变化始终与基准信号相关。
- (5) DMD HS 数据线是差分数据线，因此这些规格是成对的。

表 2-4. 信号要求

参数	基准	要求
源串联端接	DMD_LS_WDATA	必需
	DMD_LS_CLK	必需
	DMD_DEN_ARSTZ	可接受
	DMD_LS_RDATA	必需
	DMD_HS_WDATA_x_y	不可接受
	DMD_HS_CLK_y	不可接受
终端端接	DMD_LS_WDATA	不可接受
	DMD_LS_CLK	不可接受
	DMD_DEN_ARSTZ	不可接受
	DMD_LS_RDATA	不可接受
	DMD_HS_WDATA_x_y	不可接受
	DMD_HS_CLK_y	不可接受
PCB 阻抗	DMD_LS_WDATA	68 Ω ±10%
	DMD_LS_CLK	68 Ω ±10%
	DMD_DEN_ARSTZ	68 Ω ±10%
	DMD_LS_RDATA	68 Ω ±10%
	DMD_HS_WDATA_x_y	100 Ω ±10%
	DMD_HS_CLK_y	100 Ω ±10%
信号类型	DMD_LS_WDATA	以 DMD_LS_DCLK 为基准的 SDR ( 单一数据速率 )
	DMD_LS_CLK	以 DMD_LS_DCLK 为基准的 SDR
	DMD_DEN_ARSTZ	SDR
	DMD_LS_RDATA	以 DMD_LS_DCLK 为基准的 SDR
	DMD_HS_WDATA_x_y	sub-LVDS
	DMD_HS_CLK_y	sub-LVDS

#### 2.3.1.4 布局层变更

- 单端信号：尽可能减少层变更次数。
- 差分信号：可在不同的层上路由各个差分对。确保给定差分对的信号不会改变各层。

#### 2.3.1.5 残桩

- 避免使用残桩。

#### 2.3.1.6 终端

- DMD\_HS 差分信号无需外部端接电阻器。
- 确保 DMD\_LS\_CLK 和 DMD\_LS\_WDATA 信号路径在尽可能靠近对应控制器引脚的位置包含 43 Ω 串联端接电阻器。
- 确保 DMD\_LS\_RDATA 信号路径在尽可能靠近对应 DMD 引脚的位置包含 43 Ω 串联端接电阻器。
- DMD\_DEN\_ARSTZ 引脚无需串联电阻器。

#### 2.3.1.7 布线过孔

- DMD\_HS 信号上的过孔数量必须尽可能少。
- DMD\_HS 上的所有过孔必须尽可能靠近控制器。
- DMD\_LS\_CLK 和 DMD\_LS\_WDATA 信号上的过孔数量必须尽可能少，理想情况下不应超过两个。
- DMD\_LS\_CLK 和 DMD\_LS\_WDATA 信号上的所有过孔必须尽可能靠近控制器。

### 2.3.2 FPGA DDR2 SDRAM 接口布线

FPGA 至 DDR2 SDRAM 接口基于 400MHz DDR 时钟速率。图 2-3 展示了 Intel® Cyclone® IV E FPGA (EP4CE15M9C7N) 至 Alliance DDR2 SDRAM (AS4C64M8D2-25BIN) 的接口图，而表 2-5 中定义了推荐的接口布局指南。

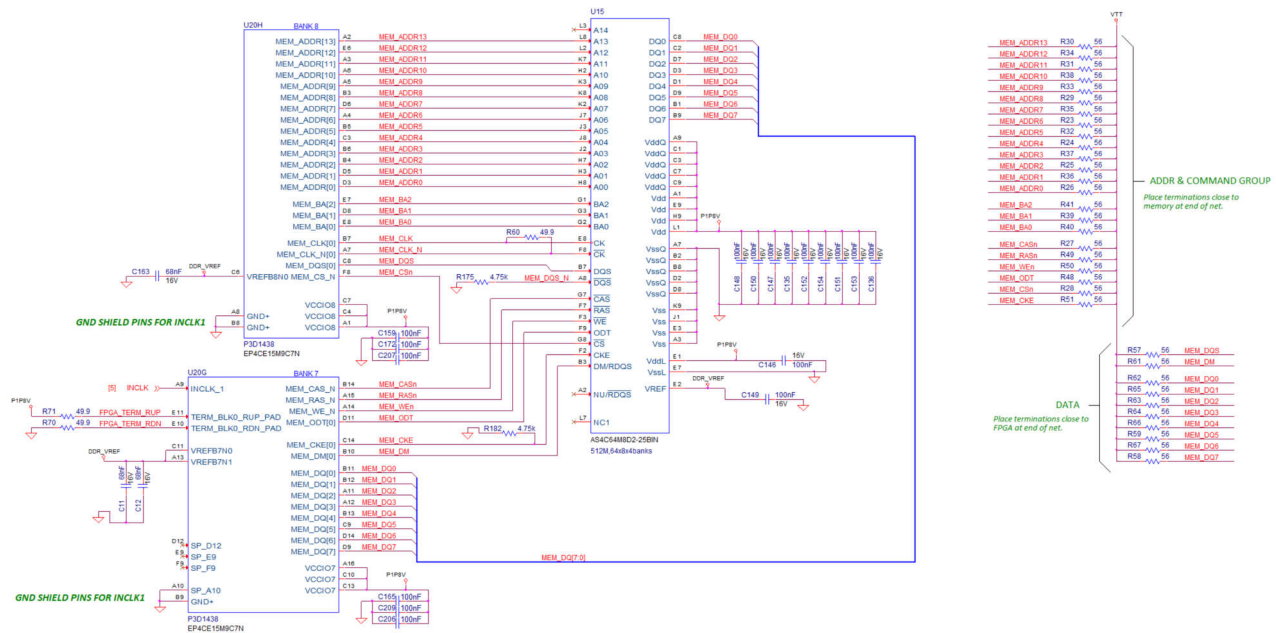


图 2-3. FPGA-DDR2 接口

表 2-5. 建议的 FPGA-DDR2 PCB 匹配和布线延迟

GROUP	组名称	组内的长度匹配	与其他信号的长度匹配	额外的布线要求
MEM_ADDR[13:0]、MEM_BA[2:0]、MEM_CASn、MEM_RASn、MEM_WE_N、MEM_ODT、MEM_CKE、MEM_CSn	地址/控制组	组内 ±50ps	比 MEM_CLK 和 MEM_CLK_N 低 0ps 至 15ps	50 Ω - 将终端放置在布线的 DDR2 末端 - 最大长度 250ps - 最小长度 200ps
MEM_DQ[7:0]、MEM_DM、MEM_DQS	数据组	组内 ±10ps	MEM_CLK、MEM_CLK_N ±10ps	50 Ω - 使用内层 - 在同一层上布线 - 将终端放置在布线的 FPGA 末端 - 最大长度 250ps - 最小长度 200ps
MEM_CLK、MEM_CLK_N	CLK 组	组内 ±2ps	MEM_DQS ±2ps 必须比 ADDR 和 CNTL 组长 0ps 至 15ps	100 差分 - 尽量缩短外层上的布线 - 使用内层 - 最大长度 250ps - 最小长度 200ps

PCB 布线最佳做法：

- 尽可能使用 PCB 内层
- 在同一层上布线 DDR\_DQ(7:0)、MEM\_DM 和 DDR\_DQS



### 2.3.3 DLPA2005 布局建议

#### 2.3.3.1 布局指南

对于所有具有开关电源的芯片，布局都是设计中的重要一步，尤其是在具有峰值电流和高开关频率的情况下。如果设计布局时不够仔细，稳压器会出现稳定性问题和 EMI 问题。因此，对于主电流路径和电源接地轨迹，应使用宽而短的迹线。输入电容器、输出电容器和电感器应放置在尽可能靠近 IC 的位置。

图 2-4 展示了关键器件尽可能靠近引脚的示例布局。下面列出了推荐的组件：

- R1** 是 RLIM 并通过宽迹线（低电阻）连接到系统接地。将引脚 5 处的模拟接地星形连接至 RLIM 连接系统接地的位置。虽然这个迹线不太重要（数十 mA），但还是应该使用低欧姆值的宽迹线。
- L1** 是 VLED 的大电感器，它通过两条宽迹线连接到引脚。
- C4** VLED 的去耦电容器。将 C4 尽可能靠近该器件放置，并将 C4 直接接地。
- L3/C20** 是用于 VCORE BUCK 的组件。L3 靠近该引脚放置并通过宽迹线连接到该器件。C20 会直接放在该电感器的旁边并连接到 PGND 引脚。
- L2** 此电感器是 DMD 重置调节器的一部分，也会尽可能靠近 DLPA2005 放置并使用宽 PCB 迹线。

#### 2.3.3.2 布局示例

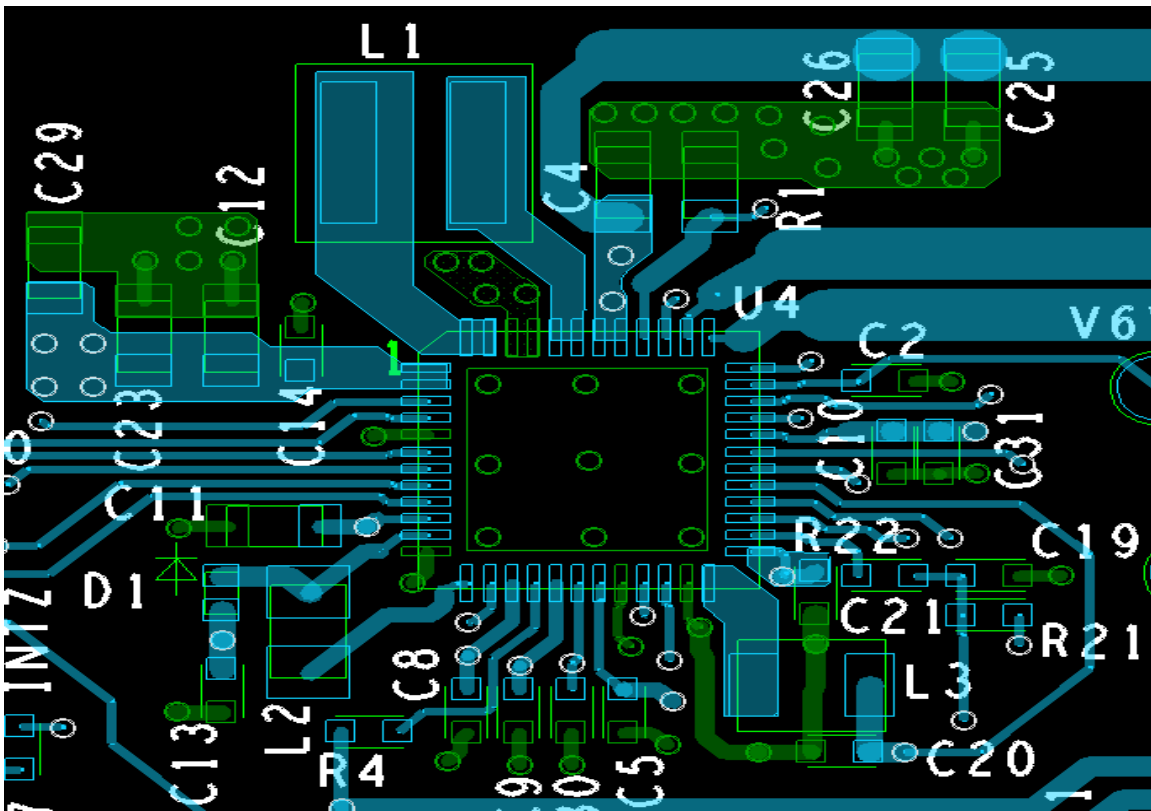


图 2-4. DLPA2005 布局示例

### 2.3.3.3 散热注意事项

图 2-5 中所示效率数字的一项重要结果是使得能够执行 DLPA2005 热计算。效率不是 100%，因此 DLPA2005 芯片中会消耗一定的功率。由于这种功率耗散，芯片温度会上升。出于稳定性原因，芯片温度应尽可能低。使用散热器和借助气流散热的方式可以有效地将芯片温度控制在较低的合理水平。如果无法使用气流和/或散热器进行散热，系统设计人员必须特别注意散热设计。正常运行期间的芯片温度需要保持在 120°C 以下。

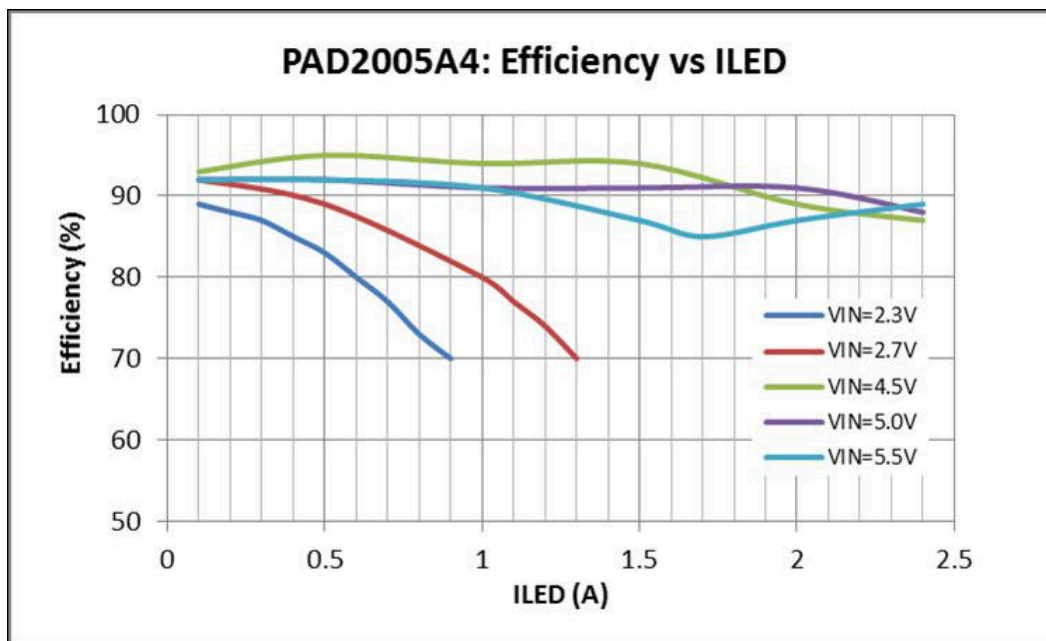


图 2-5. 多种电源电压条件下，所测典型电源转换器效率与 ILED 之间的关系 (对于每种电源， $V_{OUTmax} = 4.8V$ )

下面提供了一个此类热计算的示例。该计算首先是对 DLPA2005 中所有模块消耗的功率求和。为 LED 供电的降压/升压转换器是功率消耗的主要来源。为了便于说明，我们假设此降压/升压转换器是唯一一个功耗较大的模块。示例假设： $V_{OUT} = 4.8V$  (对于所有三个 LED)、 $I_{OUT} = 2.4A$  和  $V_{IN} = 5V$ 。根据图 2-5，可以得出相关效率约等于  $\eta_{eff} = 88\%$ 。

DLPA2005 的功耗便可通过下式得出：

$$P_{DISS} = P_{IN} - P_{OUT} = P_{OUT} \left( \frac{100\%}{\eta_{eff}} - 1 \right) = 4.8V \cdot 2.4A \cdot \left( \frac{100\%}{88\%} - 1 \right) = 1.6W \quad (1)$$

由于此功耗而导致的芯片温度上升可以使用结至环境热阻  $J_A = 27.9^\circ C/W$  来计算得出。该计算可以得出：

$$T_{JUNCTION} = T_{AMBIENT} + P_{DISS} \cdot \theta_{JA} = 25^\circ C + 1.6W \cdot 27.9^\circ C/W = 69.6^\circ C \quad (2)$$

另外，还可以计算出允许的最大环境温度，以防止超过最大芯片温度。再次假设功耗为  $P_{DISS} = 1.6W$ 。那么可通过下式得出允许的最大环境温度：

$$T_{AMBIENT-max} = T_{JUNCTION-max} - P_{DISS} \cdot \theta_{JA} = 120^\circ C - 1.6W \cdot 27.9^\circ C/W = 75.4^\circ C \quad (3)$$

再次强调一下，为了计算正确，需要考虑 DLPA2005 的总功率耗散。另外，如果靠近 DLPA2005 的组件也会消耗大量功耗，那么 (局部) 环境温度会高于系统的环境温度。

如果计算显示芯片温度可能会超过最大指定值，则存在以下两个基本选择：

- 增加散热器 (采用或不采用气流散热技术)。这会减少  $\theta_{JA}$ ，从而降低芯片温度。
- 降低 DLPA2005 的功耗，也就是说减少允许的最大 LED 电流。

### 2.3.4 DMD 柔性电缆接口布局指南

DLP300S DMD 使用中介层连接到 PCB 或柔性电路。对于长度匹配、阻抗等方面的其他布局指南，请参阅 [DLPC1438 数字控制器数据表](#)。有关 [DLP300S DMD](#) 或 [DLP301S](#) 的布局指南，请参阅相关数据表。

路由到 DLP300S 或 DLP301S DMD 的一些布局指南包括：

- 匹配 LS\_WDATA 和 LS\_CLK 信号的长度。
- 尽可能减少过孔、层变更和用于 HS 总线信号的转数。
- 最少两个 100nF (25V) 电容器 -  $V_{BIAS}$  引脚附近各一个。
- 最少两个 100nF (25V) 电容器 - 每个  $V_{RST}$  引脚附近各一个。
- 最少两个 220nF (25V) 电容器 - 每个  $V_{OFS}$  引脚附近各一个。
- 最少四个 100nF (6.3V) 电容器 - DMD 的每端各两个

## 2.4 重点产品

本芯片组参考设计指南利用了与 DLP300S 和 DLP301S DLP 芯片组相关的多个其他已发布文档中的数字和内容。如需获取这些文档的列表，请参阅 [节 4.3](#)

## 3 硬件

### 3.1 硬件要求

1. 向 JPWR1 连接器施加外部直流电源 ( 14V 至 20V 直流 )，以便为 DLPC1438 参考设计加电。

外部电源要求：

- 标称输出电压：14V 至 20V 直流
- 最小输出电流：3A；最大输出电流：4A
- 效率等级：VI

#### 备注

TI 建议使用符合适用地区安全标准 ( 如 UL、CSA、VDE、CCC 和 PSE 等 ) 的外部电源。

2. SW1 为系统供电。接合后，LED D12 ( 绿色 ) 亮起。SW2 驱动 PROJ\_ON，并且在接合后打开 LED D17 ( 绿色 )。将 SW1 和 SW2 置于打开位置时，系统引导 ( 必须连接 DLP300S 或 DLP301S DMD 才能完成系统引导。 )

DLPC1438 参考设计上有多个指示灯 LED，[表 3-1](#) 中定义了这些 LED。

表 3-1. DLPC1438 参考设计上的 LED

LED 参考	信号指示	说明
D5	HOST_IRQ	在 DLPC1438 引导期间点亮，并在投影仪运行时熄灭。指示 DLPC1438 启动已完成并准备好接收命令
D17	PROJ_ON	PROJ_ON 信号为高电平
D4	INIT_DONE	当 FPGA 初始化完成时点亮。熄灭表示 FPGA 处于复位状态或发生配置错误。
D3	CONF_DONE	当 FPGA 配置完成时亮起。
D9	P5V	已施加 5V 输入电压

## 4 设计和文档支持

### 4.1 设计文件

#### 4.1.1 原理图

要下载原理图，请参阅 [TIDA-080010](#) 的设计文件。

#### 4.1.2 BOM

如需下载物料清单 (BOM)，请参阅 [TIDA-080010](#) 的设计文件。

#### 4.1.3 布局文件

如需下载物料清单 (BOM)，请参阅 [TIDA-080010](#) 的设计文件。

#### 4.1.4 机械文件

如需下载物料清单 (BOM)，请参阅 [TIDA-080010](#) 的设计文件。

### 4.2 软件和 FPGA 代码

[DLPC1438](#) 固件和 [FPGA](#) 代码可从 TI 网站下载。

### 4.3 文档支持

1. 德州仪器 (TI)，[DLPC1438 适用于 TI DLP® 3D 打印机的数字控制器数据表](#)
2. 德州仪器 (TI)，[DLP300S 适用于低成本 TI DLP® 3D 打印机的 0.3 英寸 360 万像素 DMD 数据表](#)
3. 德州仪器 (TI)，[DLPA2005 电源管理和 LED/灯驱动器 IC 数据表](#)

### 4.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

### 4.5 商标

TI E2E™ is a trademark of Texas Instruments.

DLP® and Pico® are registered trademarks of Texas Instruments.

Intel® and Cyclone® are registered trademarks of Intel.

所有商标均为其各自所有者的财产。

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司