



摘要

本用户指南介绍了适用于 TI 的 ISO1640 和 ISO1641 隔离式 I2C 收发器的 ISO1640DEVM 评估模块 (EVM)。该 EVM 可帮助设计人员评估器件的性能，以便快速开发和分析使用 TI ISO1640 和 ISO1641 隔离式 I2C 器件 (采用 8 引脚 D 封装和 16 引脚 DW 封装) 的数据传输系统。

内容

1 引言.....	2
2 概述.....	2
3 隔离式 I2C 收发器的引脚配置.....	3
4 EVM 设置和操作.....	4
5 物料清单.....	6
6 EVM 原理图和 PCB.....	6

插图清单

图 3-1. ISO1640 和 ISO1641 引脚排列.....	3
图 3-2. ISO1640DEVM 顶视图.....	4
图 4-1. 基本 EVM 操作.....	5
图 6-1. ISO1640DEVM 原理图.....	7
图 6-2. ISO1640DEVM 顶层 PCB 布局.....	8
图 6-3. ISO1640DEVM 底层 PCB 布局.....	8

表格清单

表 4-1. 跳线说明.....	5
表 5-1. ISO164xDEVM EVM 物料清单.....	6

商标

所有商标均为其各自所有者的财产。

1 引言

本用户指南介绍了用于此 EVM 的典型实验室设置。

CAUTION

此评估模块 (EVM) 仅用于隔离器参数性能评估，不适用于隔离电压测试。即使 I2C 器件具有电隔离保护，也不要使用该 EVM 进行隔离电压测试。为防止损坏此 EVM，任何用作电源或数字输入/输出的电压都必须保持在 0V 至 5.5V 的建议工作电压范围内。

超出指定输入电压范围并施加超出指定输出范围的负载可能会导致 EVM 出现意外运行和不可逆转的损坏。如果对输入电压范围或负载规格有疑问，请在连接电源之前联系 TI 现场代表或在 e2e.ti.com/ 上创建新问题。

2 概述

ISO164x 系列器件为兼容 I2C 接口的低功耗双向隔离器。通过德州仪器 (TI) 隔离技术，这些器件的逻辑输入和输出缓冲器由二氧化硅 (SiO₂) 隔离栅进行隔离。带有 B 后缀的器件是 3kVRMS 基本隔离式收发器，而不带 B 后缀的器件是 5kVRMS 增强型隔离式器件。与隔离式电源搭配使用时，这些器件可阻断高电压，隔离不同的接地端并防止噪声电流进入隔离式接地端，从而避免其干扰或损坏敏感电路。

ISO1640 具有两个用于时钟和数据线的双向通道，适用于多主器件和时钟扩展应用。ISO1641 具有双向数据和单向时钟通道，适用于具有单个主器件且不实现时钟扩展功能的应用。

这些器件通过引入静态电压偏移 (SVO) 实现隔离式双向通信，使 1 侧低电平输出大于 1 侧低电平输入，从而避免标准数字隔离器发生内部逻辑锁存。

该 EVM 可用于评估 ISO1640 和 ISO1641 器件的不同系统参数。测试信号和序列可以应用于器件通道，以评估不同器件条件下的传播延迟、上升/下降时间和功耗等参数的性能特征。用户可以在自己的实验室环境中评估这些参数。

通过将 ISO1640DW 或 ISO1641DW 器件焊接到 U2 着陆焊盘元件中并从 U1 位置移除 ISO164xD 器件，该 EVM 可在物理上支持对这两款器件进行评估。

备注

确保不同时在 U1 和 U2 安装器件。

如果 ISO1641 器件由用户进行评估，请注意 SCL 通道不支持双向操作，尽管 DW-IC 焊盘图案与其他隔离器器件相同，但这些器件的引脚配置可能与 ISO1640DW 和 ISO1641DW 不同，**不应该**安装在该 EVM 上。

3 隔离式 I2C 收发器的引脚配置

图 3-1 显示了采用 D 和 DW 封装的 ISO1640 和 ISO1641 的引脚配置。

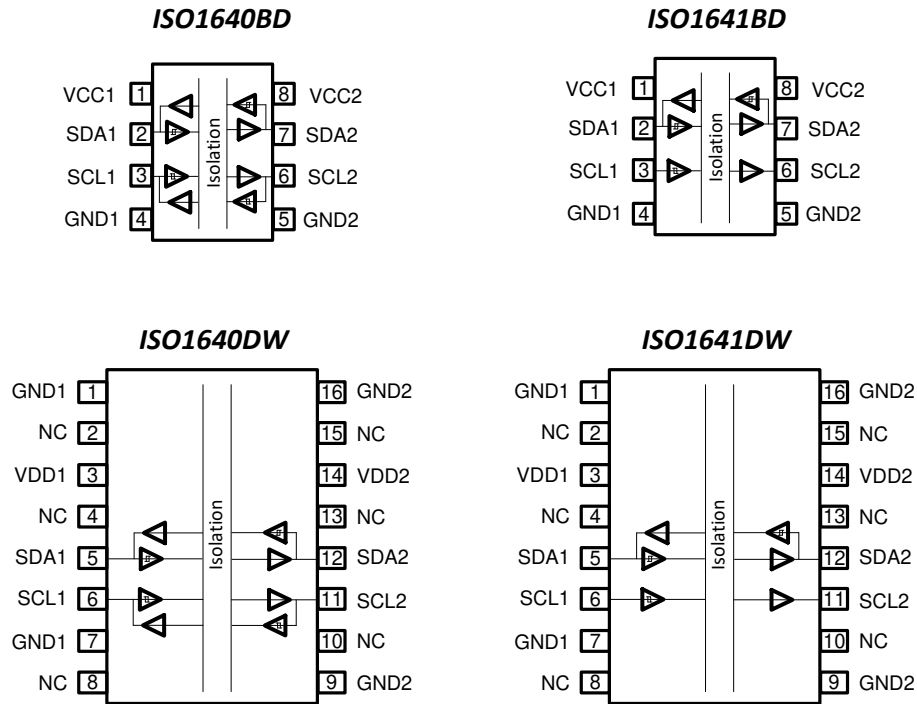


图 3-1. ISO1640 和 ISO1641 引脚排列

EVM PCB 如图 3-2 所示，随附一个安装在 U1 位置的 ISO1640D。不过，也可以通过替换 U1 位置随附的 ISO1640D 器件来将该 EVM 配置为评估 ISO1641D，或通过移除 U1 位置的器件并在 U2 位置焊接 ISO1640DW 或 ISO1641DW 来将该 EVM 配置为评估 ISO1640DW 和 ISO1641DW 器件。

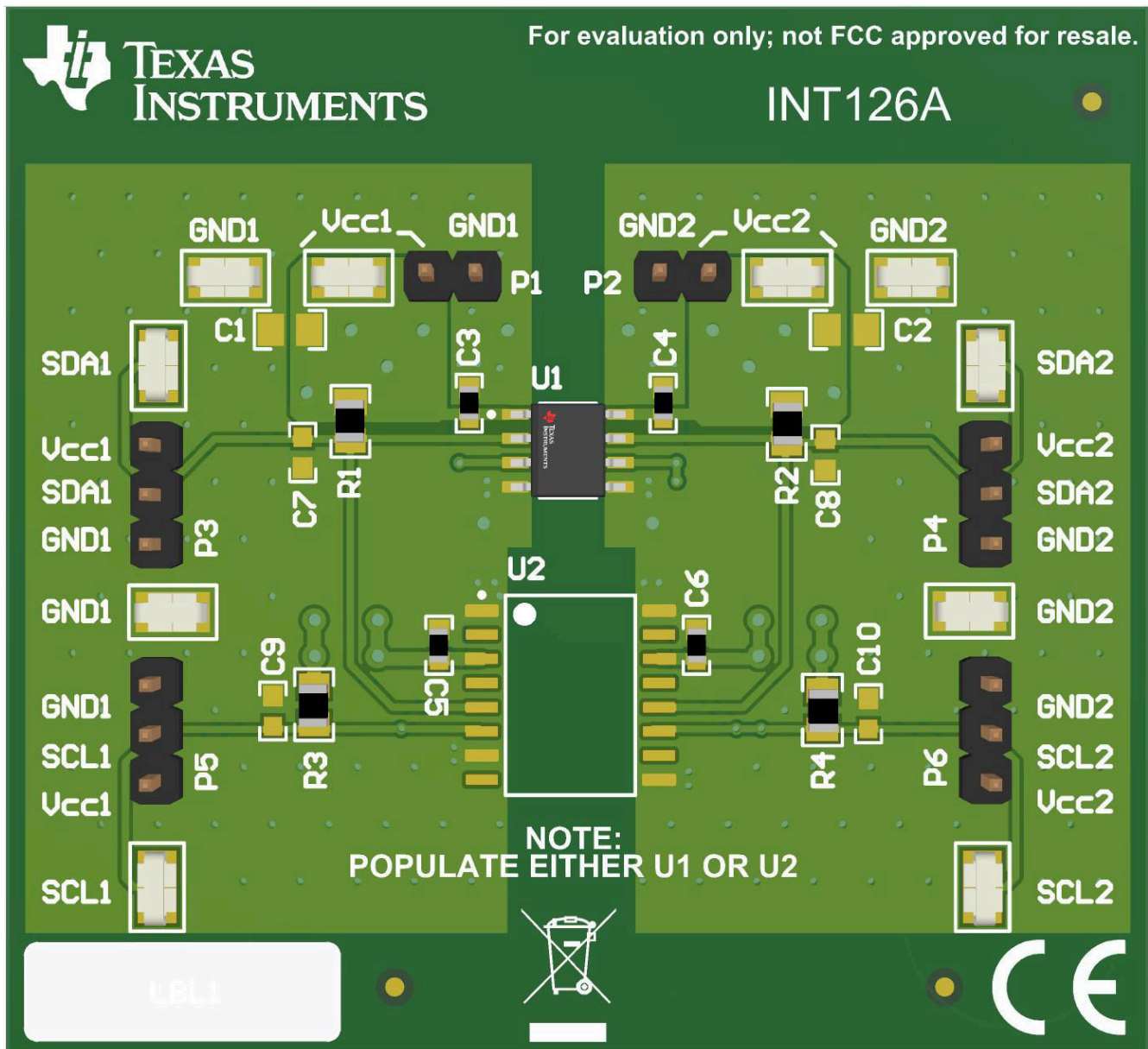


图 3-2. ISO1640DEVM 顶视图

4 EVM 设置和操作

CAUTION

请注意，该 EVM 仅用于运行参数性能评估，不适用于隔离电压测试。施加超出隔离器最大建议工作电压 5.5V 的电压可能会损坏 EVM。

本部分描述了用于参数性能评估的 EVM 设置和操作。图 4-1 显示了 EVM 的基本设置，其中包含评估隔离器性能所需的两个电源。通过将电压连接到 ISO164x 器件数据表中建议工作范围内的 Vcc1 和 Vcc2 来为该评估模块供电。Vcc1 和 Vcc2 电源的典型电压电平为 3.3V 和 5V。可以使用单独的电源来提供每个电源电压，并且它们不需要具有相同的值。如果要在相同的电源电压下评估两侧，则只需一个电源即可为 EVM 的两侧供电。

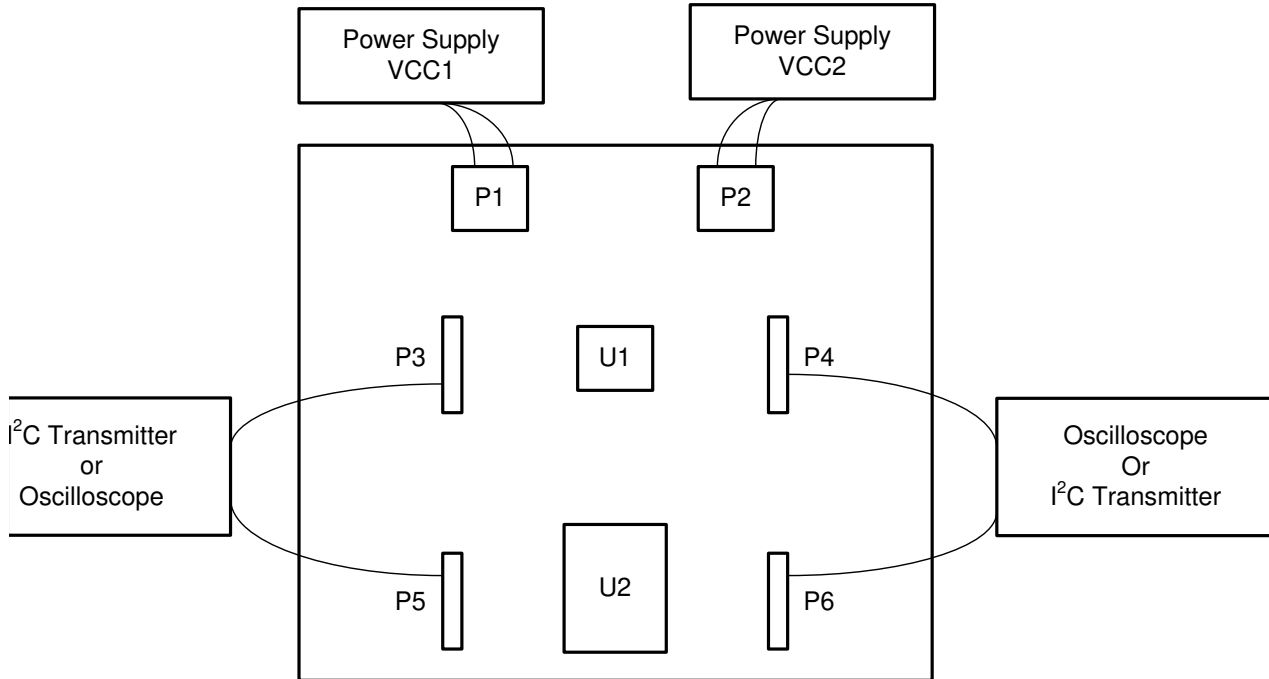


图 4-1. 基本 EVM 操作

尽管 ISO1640 和 ISO1641 器件具有双向数据通道，但当 1 侧 (SDA1 和 SCL1) 连接到 I2C 网络的单个控制器或节点，而 2 侧 (SDA2 和 SCL2) 连接到 I2C 总线时，器件性能最佳。请注意，如果使用 ISO1641，在 SCL2 引脚上提供输入信号不会在 SCL1 上产生任何变化的输出：SCL1 保持上拉至 Vcc1

表 4-1 显示了基本测试的跳线配置信息。

表 4-1. 跳线说明

标签	说明
U1	ISO164xD，默认安装 ISO1640D
U2	ISO1640DW/ISO1641DW，默认不安装
P1	用于 1 侧电源 Vcc1 的 2 引脚跳线
P2	用于 2 侧电源 Vcc2 的 2 引脚跳线
P3	连接至 Vcc1、GND1 和 SDA1 的 3 引脚跳线
P4	连接至 Vcc2、GND2 和 SDA2 的 3 引脚跳线
P5	连接至 Vcc1、GND1 和 SCL1 的 3 引脚跳线
P6	连接至 Vcc2、GND2 和 SCL2 的 3 引脚跳线

5 物料清单

表 5-1 列出了 ISO1640EVM 的物料清单 (BOM)。

表 5-1. ISO164xDEV EVM 物料清单

项目	数量	标识符	说明	制造商	器件型号
1	4	C3、C4、C5、C6	电容, 陶瓷, 0.1 μ F, 25V, +/-10%, X7R, 0603	TDK	C1608X7R1E104K080AA
2	4	R1、R2、R3、R4	电阻, 4.75k, 1%, 0.125W, AEC-Q200 0级, 0805	Panasonic	ERJ-6ENF4751V
3	2	P1、P2	插头, 2.54mm, 2x1, 金, TH	伍尔特电子 (Würth Elektronik)	61300211121
4	4	P3、P4、P5、P6	接头, 2.54mm, 3x1, 金, TH	Würth Elektronik	61300311121
5	10	TP1、TP2、TP3、TP4、TP5、TP6、TP7、TP8、TP9、TP10	测试点, 微型, SMT	Keystone	5019
6	4	H1、H2、H3、H4	Bumpon, Hemisphere, 0.44 X 0.20, Clear	3M	SJ-5303 (CLEAR)
7	1	U1	IC, ISO1640, SMT, SOIC8D EMC 性能优异的双向 I2C 数字隔离器	德州仪器 (TI)	ISO1640D

6 EVM 原理图和 PCB

ISO1640 隔离式 I2C EVM 随附一个安装在 U1 位置的 ISO1640D。该 EVM 还可以配置为与 ISO1641D、ISO1640DW 或 ISO1641DW 配合使用。

每条信号线 (SDAx、SCLx) 都配置有一个连接到相应电源 (Vccx) 的 4.75k Ω 上拉电阻器 (R1 至 R4)。可以根据应用要求将这些电阻器替换为具有其他值的 0805 电阻器；有关计算 I2C 总线的相应上拉电阻器阻值的详细信息，请参阅 [I2C 总线上拉电阻器计算 \(SLVA689\)](#)。

备注

ISO164x 器件用于在 1 侧和 2 侧灌入不同大小的电流，因此如果更换电阻器 R1 至 R4，请谨慎选择电阻器，确保 I_{OL1} 和 I_{OL2} 保持在建议工作范围内。

可以使用接地跳线 (1 侧的 P3 和 P5；2 侧的 P4 和 P6) 将信号引脚直接连接到接地端，以模拟将 I2C 线拉低的器件。这些线不会被主动驱动为低电平，将通过包含的上拉电阻器被上拉。不应在不使用上拉电阻器限制输入电流的情况下将信号线直接连接至电源电压。这些跳线还提供每个引脚的输入/输出信号访问 (包括示波器探头)。

备注

确保 SDAx 和 SCLx 信号线没有直接连接到 Vccx。需要使用限流上拉电阻器，默认情况下已安装这些电阻器，以在器件引脚驱动低电压的情况下限制电流。

下面的图 6-1 显示了该 EVM 的原理图，图 6-2 和图 6-3 显示了印刷电路板 (PCB) 布局。

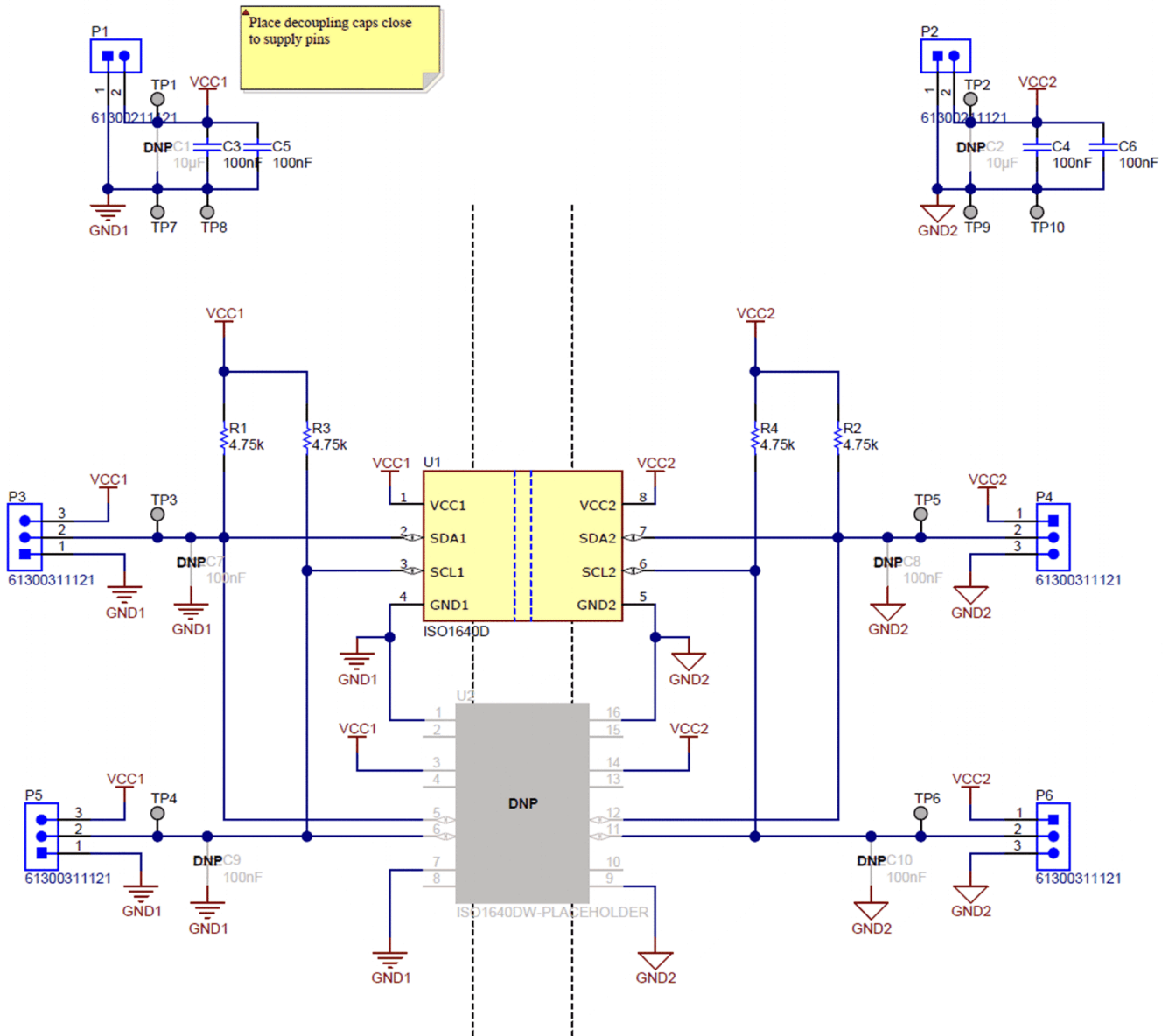


图 6-1. ISO1640EVM 原理图

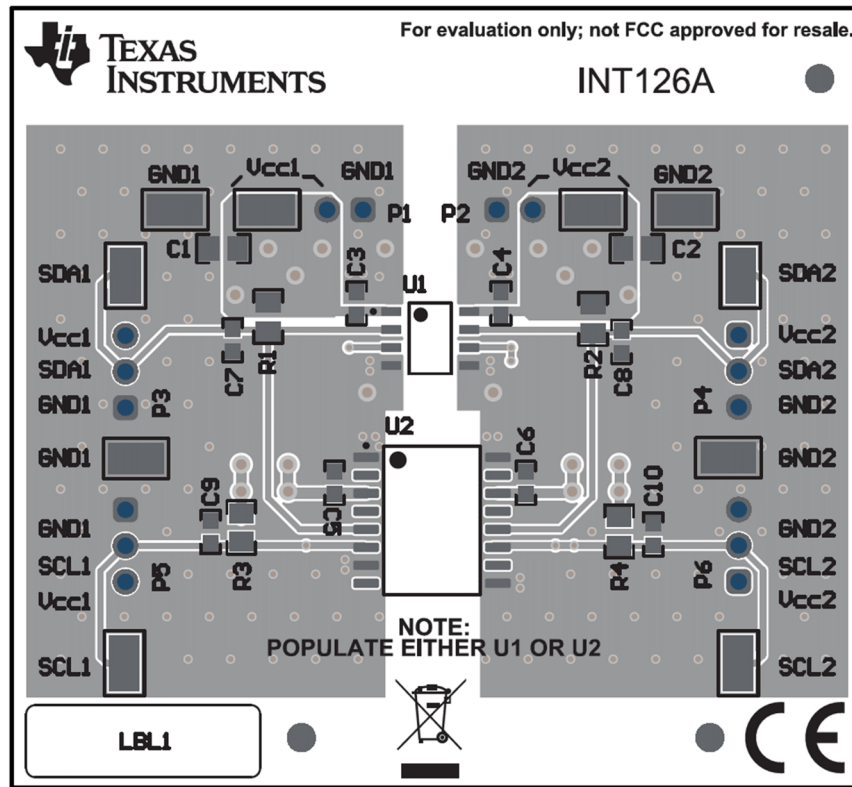


图 6-2. ISO1640DEVM 顶层 PCB 布局

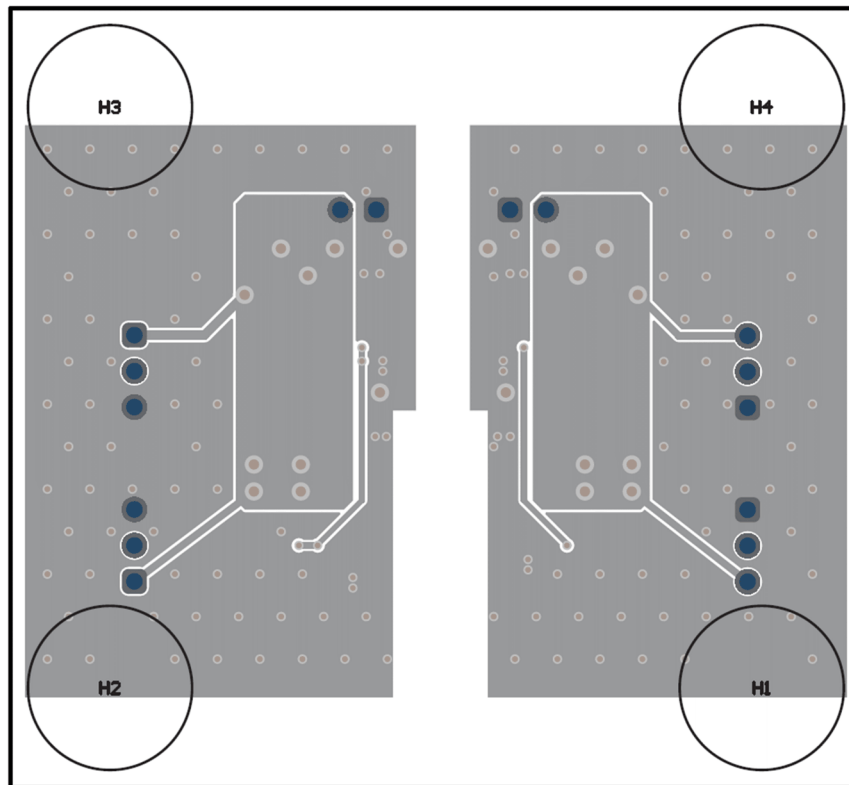


图 6-3. ISO1640DEVM 底层 PCB 布局

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司