

摘要

LMK5B33216EVM 是一款用于评估 LMK5B33216 网络时钟发生器和同步器的评估模块。该 EVM 可用于器件评估、合规性测试和系统原型设计。

内容

1 引言	2
2 EVM 快速入门	4
3 EVM 配置	6
3.1 电源.....	8
3.2 逻辑输入与输出.....	9
3.3 在 I2C 和 SPI 之间切换.....	10
3.4 生成 SYSREF 请求.....	11
3.5 XO 输入.....	11
3.6 基准时钟输入.....	13
3.7 时钟输出.....	13
3.8 状态输出和 LED.....	13
3.9 进行测量的要求.....	13
3.10 典型相位噪声特性.....	14
4 EVM 原理图	15
4.1 电源电路原理图.....	15
4.2 备选电源原理图.....	15
4.3 配电原理图.....	16
4.4 LMK5B33216 和输入基准输入 IN0 至 IN1 原理图.....	17
4.5 时钟输出 OUT0 至 OUT3 的原理图.....	18
4.6 时钟输出 OUT4 至 OUT9 的原理图.....	19
4.7 时钟输出 OUT10 至 OUT15 的原理图.....	20
4.8 XO 原理图.....	21
4.9 逻辑 I/O 接口原理图.....	22
4.10 USB2ANY 原理图.....	23
5 EVM 物料清单	24
5.1 环路滤波器和对振动不敏感的电容器.....	32
6 附录 A - TICS Pro LMK5B33216 软件	33
6.1 使用开始页面.....	33
6.2 使用状态页面.....	36
6.3 使用输入页面.....	37
6.4 使用 APLL1、APLL2 和 APLL3 页面.....	39
6.5 使用 DPLL1、DPLL2 和 DPLL3 页面.....	41
6.6 使用验证页面.....	44
6.7 使用 GPIO 页面.....	44
6.8 使用输出页面.....	45
6.9 EEPROM 页面.....	47
6.10 设计报告页面.....	48
7 修订历史记录	48

商标

所有商标均为其各自所有者的财产。

1 引言

概述

LMK5B33216EVM 是一款用于评估 LMK5B33216 网络时钟发生器和同步器的评估模块。该 EVM 可用于器件评估、合规性测试和系统原型设计。LMK5C33216 集成了三个模拟 PLL (APLL) 和三个具有可编程环路带宽的数字 PLL (DPLL)。该 EVM 包含用于时钟输入、可选非板载 APLL 基准输入和时钟输出的 SMA 连接器，可连接到具有 50 Ω 测试设备的器件。通过板载 TCXO，可在自由运行、锁定或保持模式下评估 LMK5B33216。通过板载 USB 微控制器 (MCU) 接口，可在 PC 上使用 TI 的 TICS Pro 软件图形用户界面 (GUI) 来配置该 EVM。TICS Pro 可用于对 LMK5B33216 寄存器进行编程。

特性

- LMK5B33216

包装内容

- LMK5B33216EVM
- 3 英尺微型 USB 电缆 (MPN 3021003-03)

需要的设备

- Windows PC，安装 [TICS Pro 软件 GUI](#)
- 测试设备
 - 直流电源 (12V、1A)

推荐使用

- 测试设备：
 - 源信号分析仪
 - 信号发生器/基准时钟
 - 实时示波器
 - 精密频率计数器

图 1-1 显示了带有红色标识的跳线位置。图 1-1 显示了 DIP 开关位置，相应位置的绿色框代表 ON，红色框代表 OFF。

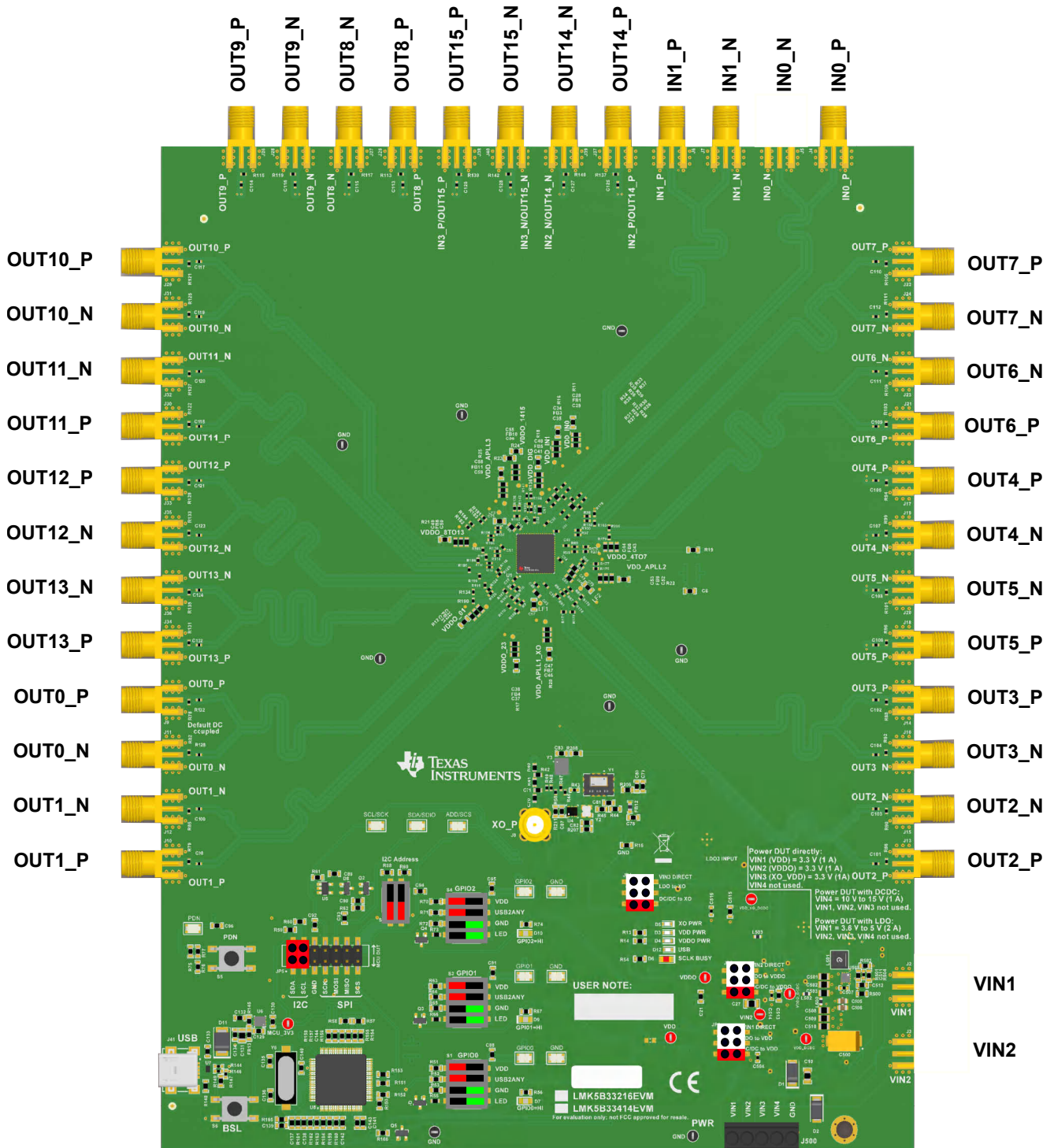


图 1-1. LMK5B33216EVM 跳线和 DIP 开关的默认设置

2 EVM 快速入门

表 2-1 介绍了 EVM 通过为 VIN4 提供的 12V 单电源为器件供电时的默认跳线位置。在有关跳线的位置信息中，“邻近位号”表示跳线位于位号旁边。“位号对面”表示跳线位于位号的对面。

表 2-1. 默认跳线和 DIP 开关设置

类别	参考位号	位置	说明
电源	JP1	1-2 (位号对面)	LMK5B33216 VDD = 3.3V, 来自 PCB 顶部的 U500 提供的 DCDC1。
	JP2	1-2 (位号对面)	LMK5B33216 VDDO = 3.3V, 来自 PCB 顶部的 U500 提供的 DCDC1。
	JP4	1-2 (位号对面)	XO VCC = 3.3V, 来自 PCB 顶部的 U500 提供的 DCDC1。
通信	JP5	1-2、3-4	将 I ² C 从板载 USB2ANY 连接到 LMK5B33216
LMK5B33216 控制引脚	S3	S3[1:2] = OFF	SCS_ADD = 没有上拉或下拉。
	S1、S2、S4	Sx[1,2] = OFF Sx[3,4] = ON	在 GPIO0、GPIO1 和 GPIO2 上启用 3.9k 下拉

要开始使用 LMK5B33216，请按照以下步骤操作。

硬件设置

- 验证图 1-1 中显示的 EVM 默认跳线和 DIP 开关设置。
- 将 12V 外部直流电源 (1A 限值) 连接到：
 - 接头 J500 上的 VIN4 和 GND 端子 (引脚 4 和 5, 请参阅图 3-2。)
- 连接基准时钟：
 - 25MHz 基准时钟连接至 IN0_P/N, 和/或
 - 25MHz 基准时钟连接至 IN1_P/N
- 将 USB 电缆连接至 J41 上的 USB 端口。

软件设置

- 如果尚未安装，请从 TI 网站安装 TICS Pro 软件：[TICS Pro 软件](#)
- 如果尚未安装 MATLAB R2015b (9.0)* 64 位运行时，请从 MathWorks 网站下载并安装。虽然对默认配置文件设置的编程和评估是可选的，但需要修改 DPLL 环路滤波器设置的任何应用都需要 Matlab Runtime。请参阅 [Matlab Runtime](#)。
- 启动 TICS Pro 软件。
- 从 *Select Device* → *Network Synchronizer Clock (Digital PLLs)* → *LMK5B33216* 中选择 LMK5B33216 配置文件。
- 通过以下步骤确认与电路板的通信：
 - 点击菜单栏中的 *USB communications*。
 - 点击 *Interface* 以启动 *Communication Setup* 弹出窗口。
 - 检查 *Communication Setup* 弹出窗口中的以下字段：
 - 确保 USB2ANY 被选为接口。
 - 如果有多个 USB2ANY，请选择所需的接口。如果 USB2ANY 当前正在另一个 TICS Pro 中使用，您必须将其接口设置更改为 *DemoMode*，释放该接口。

- iii. 点击 *Identify* 使 LED 闪烁，如图 2-1 所示。这样可确认您已连接到希望连接的电路板。请注意，已连接到 PC 但未通过 TICS Pro 实例连接的 USB2ANY 器件，可能会持续以 1 秒亮、1 秒灭的慢速闪烁。点击 *Identify* 按钮后，LED 将以约 0.5 秒亮、0.5 秒灭的频率快速闪烁约 5 秒钟。

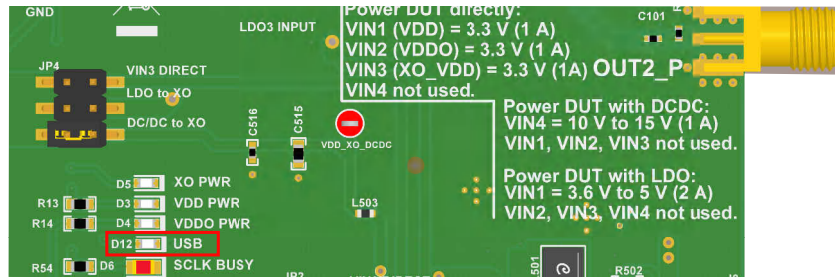


图 2-1. USB LED

对 LMK5B33216 进行编程

1. 切换开关 S5 (PDN/RESET)。
2. 对所有寄存器进行编程：
 - a. 按工具栏中的 *Write All Regs* 按钮，
 - b. 选择菜单栏中的 *USB Communications*，然后选择 *Write All Registers* 或
 - c. 按 *Ctrl + L*。
3. 检查电流消耗 (最大 1.3A)。
4. 检查 LMK5B33216 状态，如图 2-2 中所示。
 - a. 转至 GUI 的 *Status* 页面。
 - b. 点击 *Read Status Bits*。
 - c. 确保清除锁存位。要清除锁存位：
 - i. 按 *Clear Latched Bits* 按钮。
 - ii. 选择 *Read Status Bits*。
 - d. 等待更改确认。DPLL 状态位可能需要一些时间反映锁定情况。

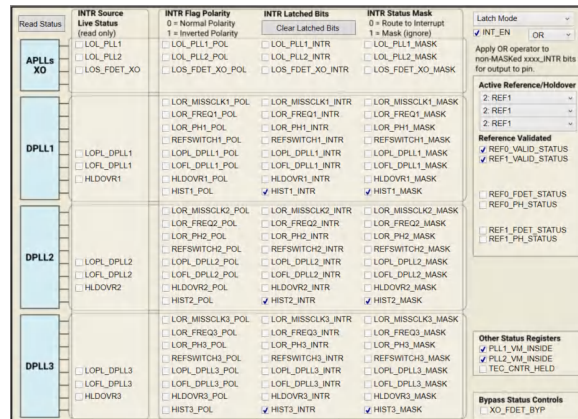


图 2-2. 读取状态位

测量

现在可以对时钟输出进行测量。

3 EVM 配置

LMK5B33216 是一款高度可配置的时钟芯片，具有多个电源域、PLL 域以及时钟输入输出域。为了支持各种 LMK5B33216 用例，EVM 的设计增加了灵活性和功能，超出在客户系统应用中实施芯片的需求。

本节介绍了此 EVM 上的电源、逻辑以及时钟输入和输出接口，以及如何连接、设置和操作 EVM。请参见图 4-1。

表 3-1. 关键元件参考位号和说明

项目编号	参考位号	说明	
1	U1	LMK5B33216	
2	J500 (VIN4 端子块接头)	外部电源，使用默认配置的 +12V 直流电源。	
3	A	Y1	板载 TCXO。与外部 XO 输入相比，Y1 将提供更高的保持稳定性，并允许使用更窄的 DPLL 环路带宽。
	B	J8	用于外部 XO 的 SMA 连接器。要使用外部 XO，请从 JP4 移除跳线。
4	J4/5、J6/7	用于时钟输入 (IN0_P/N 和 IN1_P/N) 的 SMA 端口。 IN0_N 未组装，IN0_P 配置为单端输入。IN1 配置为差分输入。	
5	J9/11、J10/12、J13/15、J14/16、 J17/19、J18/20、J21/J23、J22/24、 J25/27、J26/28、J29/31、J30/32、 J33/35、J34/36、J37/39、J38/40	用于时钟输出的 SMA 端口	
6	S5	常开。用于器件断电的按钮 (PDN 引脚)。 R76 可通过 GUI 控制 PDN 引脚。 默认情况下安装 R76。	
7	JP5	用于 I ² C/SPI 接口的跳线接头 (MCU 至 LMK5B33216)	
8	D6	SCL 或 SCK 繁忙指示 LED。	
9	J41	用于 MCU 的 USB 端口	

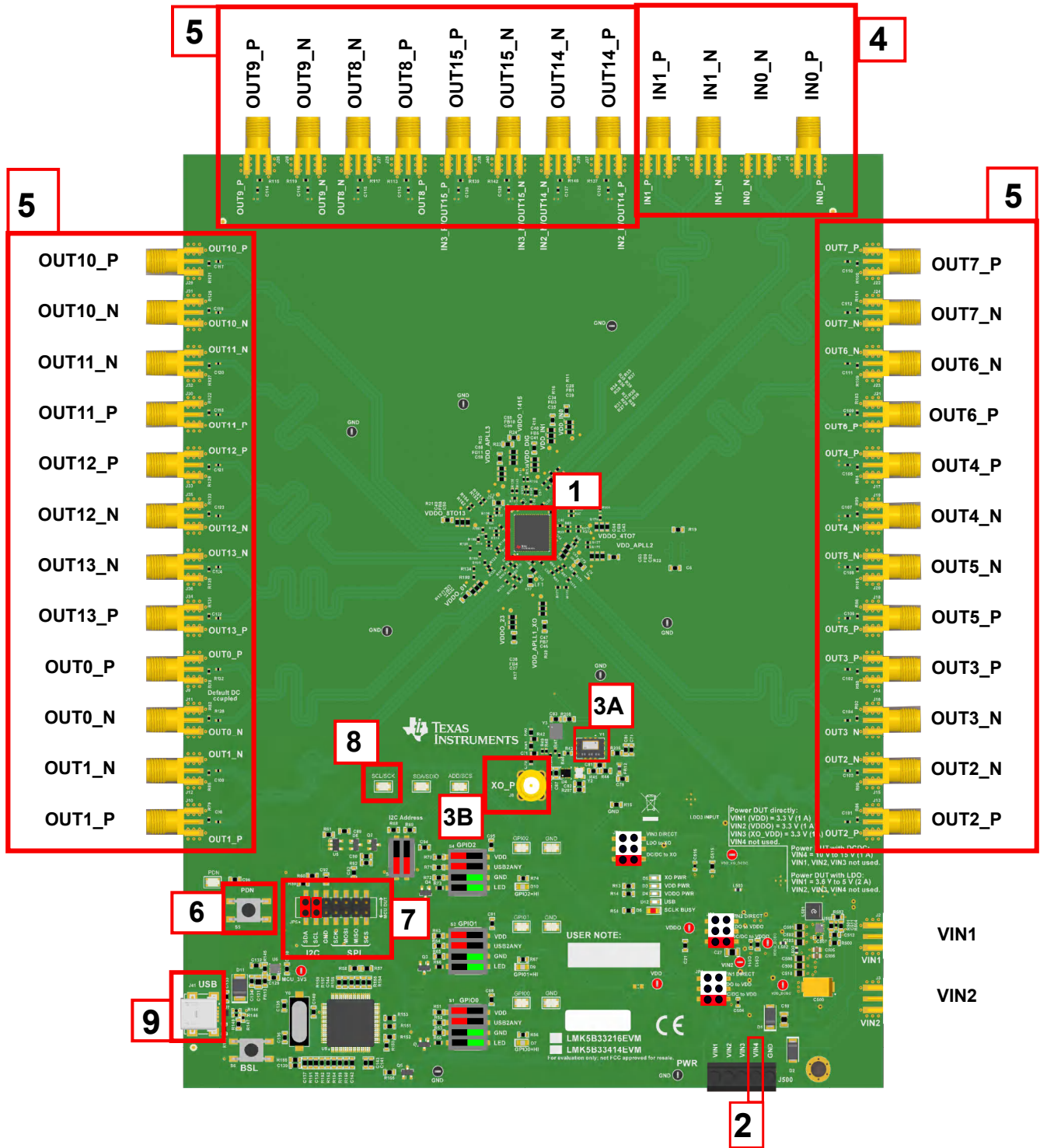


图 3-1. 主要元件 - EVM 顶面

3.1 电源

LMK5B33216 具有 VDD 和 VDDO 电源引脚，工作电压为 $3.3V \pm 5\%$ 。

J500 是外部电源的主电源端子。电源 SMA 端口 VIN1 (J2) 提供了另一种连接器类型，可通过同轴电缆供电。默认情况下不组装此 SMA 连接器。

在 EVM 上有三种供电方法。

1. 默认电源配置使用板载直流/直流电源 (U500) 为所有 VDD 和 VDDO 引脚以及板载 XO 供电，使用外部 12V 电源输入连接到 J500 上的 VIN4。
2. LDO 电源配置使用三个独立的 LDO 稳压器 (U9、U10 和 U11) 为 VDD、VDDO 和 XO 供电，使用外部 5V 电源输入连接到 J500 (或 J2) 上的 VIN1。
3. 直接电源配置允许为 VDD、VDDO 和 XO 提供单独的电压电源。在直接电源配置模式下，为 VIN1 提供 3.3V 外部电源来为 VDD 引脚供电，为 VIN2 提供 3.3V 外部电源来为 VDDO 引脚供电，为 VIN3 提供 3.3V 外部电源来为板载 XO 供电。

备注

要操作 EVM，并不需要使用每种电源连接方式。也可进行其他电源配置。请参阅图 4-1 和图 4-3 中的电源原理图。

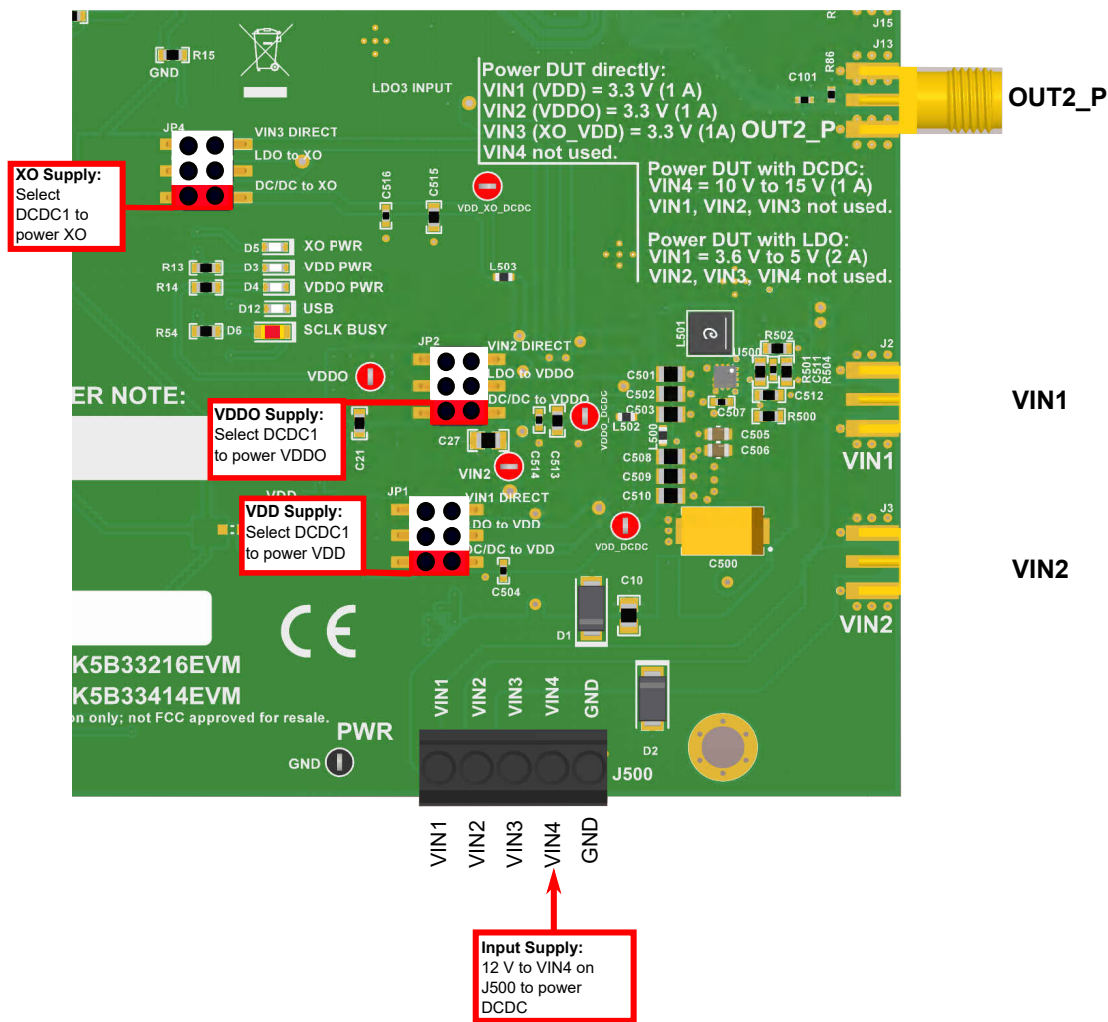


图 3-2. 默认电源跳线配置

图 3-2 显示了电源跳线的默认位置和设置。表 3-2 显示了 LMK5B33216 的建议电源配置。

表 3-2. 建议电源配置

连接	名称	板载直流/直流电源 (默认)	板载 LDO 稳压器	直接外部电源
		VDD = 3.3V (DCDC1) VDDO = 3.3V (DCDC1) XO = 3.3V (DCDC1)	VDD = 3.3V (LDO1) VDDO = 3.3V (LDO2) XO = 3.3V (LDO3)	VDD = 3.3V (外部 VIN1) VDDO = 3.3V (外部 VIN2) XO = 3.3V (外部 VIN3)
J500	PWR	<ul style="list-style-type: none"> 引脚 1 (VIN1): 不适用 引脚 2 (VIN2): 不适用 引脚 3 (VIN3): 不适用 引脚 4 (VIN4): 连接到外部 12V 电源 引脚 5 (GND): 连接到电源地 	<ul style="list-style-type: none"> 引脚 1 (VIN1): 连接到外部 5V 电源 引脚 2 (VIN2): 不适用 引脚 3 (VIN3): 不适用 引脚 4 (VIN4): 不适用 引脚 5 (GND): 连接到电源地 	<ul style="list-style-type: none"> 引脚 1 (VIN1): 连接到外部 3.3V 电源 引脚 2 (VIN2): 连接到外部 3.3V 电源 引脚 3 (VIN3): 连接到外部 3.3V 电源 引脚 4 (VIN4): 不适用 引脚 5 (GND): 连接到电源地
JP1	VDD	<ul style="list-style-type: none"> 连接引脚 1-2 (位号对面), 从 DCDC1 到 VDD 平面选择 3.3V 	<ul style="list-style-type: none"> 连接引脚 3-4 (中间引脚), 从 LDO1 到 VDD 平面选择 3.3V 	<ul style="list-style-type: none"> 连接引脚 5-6 (邻近位号), 选择外部 VIN1 至 VDD 平面
JP2	VDDO	<ul style="list-style-type: none"> 连接引脚 1-2 (位号对面), 从 DCDC1 到 VDDO 平面选择 3.3V 	<ul style="list-style-type: none"> 连接引脚 3-4 (中间引脚), 从 LDO2 到 VDDO 平面选择 3.3V 	<ul style="list-style-type: none"> 连接引脚 5-6 (邻近位号), 选择外部 VIN2 至 VDDO 平面
JP4	XO	<ul style="list-style-type: none"> 连接引脚 1-2 (位号对面), 从 DCDC1 到 XO 电源选择 3.3V 	<ul style="list-style-type: none"> 连接引脚 3-4 (中间引脚), 从 LDO3 到 XO 电源选择 3.3V 	<ul style="list-style-type: none"> 连接引脚 5-6 (邻近位号), 选择外部 VIN3 到 XO 电源

3.2 逻辑输入与输出

LMK5B33216 的逻辑 I/O 引脚支持不同的功能, 具体取决于 POR 时 GPIO1 输入电平选择的器件启动模式。

默认逻辑输入引脚状态由板载上拉或下拉电阻器决定, 但某些输入引脚可由 MCU 输出或 DIP 开关控制驱动为高电平或低电平状态。MCU 可通过运行 TICS Pro 软件的 PC 进行控制, 从而通过 I2C 或 SPI 对器件寄存器进行编程, 并驱动 LMK5B33216 逻辑输入。要使 MCU 能够控制引脚输入, 与受控 GPIO 相关的 DIP 开关的 SW[2] 必须设置为 ON。

请参阅表 3-3, 了解器件启动模式的逻辑引脚映射表。

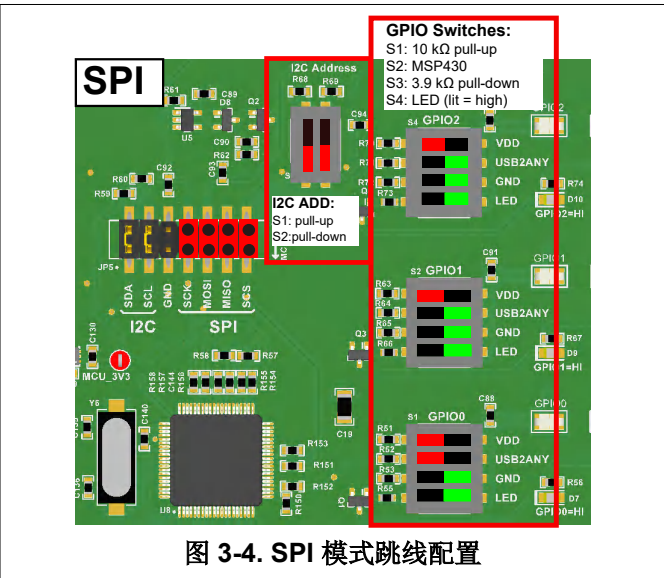
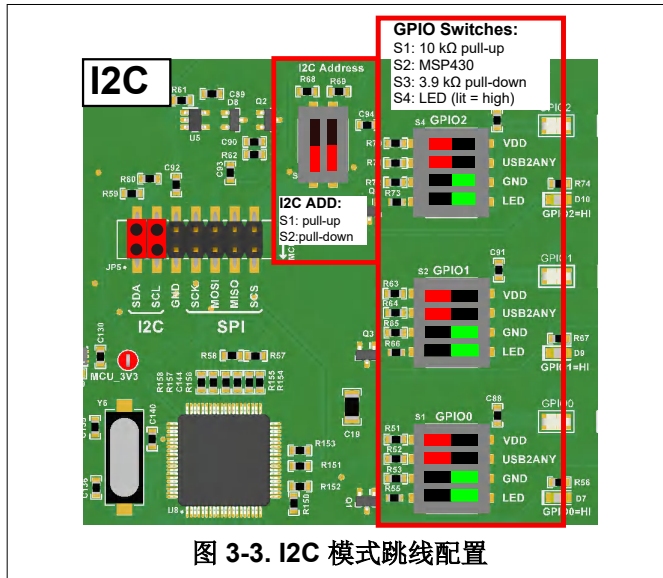
表 3-3. 器件启动模式

GPIO1 输入电平 ⁽¹⁾	启动模式
低	I ² C 模式
高	SPI 模式

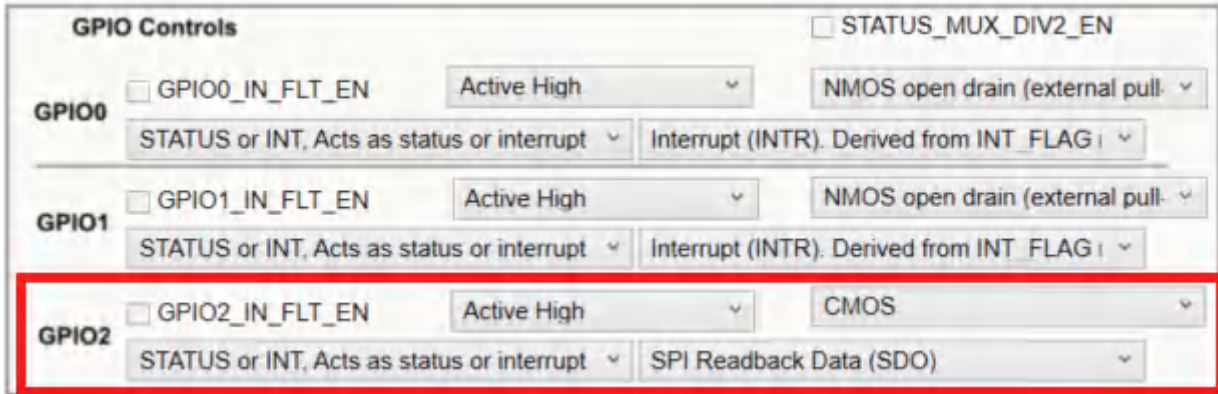
(1) 这些引脚上的输入电平仅在 POR 期间采样。

3.3 在 I2C 和 SPI 之间切换

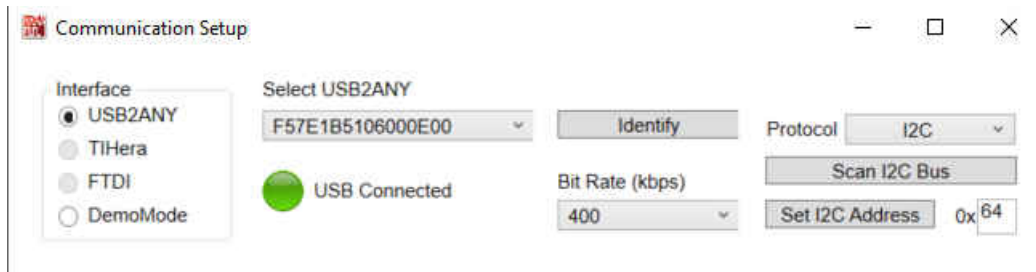
要使 EVM 在 I2C 和 SPI 模式之间切换，必须按如下方式配置开关和跳线：



在 SPI 模式下，GPIO2 也必须配置为 *STATUS or INT*、*SPI Readback Data (SDO)*、*Active High* 和 *CMOS* 以支持 SPI 回读。



必须在 TICS Pro 中设置通信协议。从菜单栏中选择 *USB communications* → *Interface*，打开 *Communication Setup* 窗口并更改协议。



3.4 生成 SYSREF 请求

软件请求 GPIO0 或 GPIO1 可用于生成 SYSREF 请求。TICS Pro 软件和 EVM 设计为使用 GPIO2 进行 SPI 回读 (SDO)。因此，GPIO2 未列于引脚中，因为它专用于 SPI 回读。在用户应用中，可以使用任何 GPIO 引脚。

在所需 GPIO 的开关部分将 S2 设置为 ON，可将所需的 GPIO 引脚连接到 MCU。然后，在 GUI 的 GPIO 选项卡上确保该 GPIO 引脚配置为 SYSREF_REQ。现在可以在 User Controls 选项卡的 Pins 部分切换 GPIO 按钮，发出 SYSREF 请求。

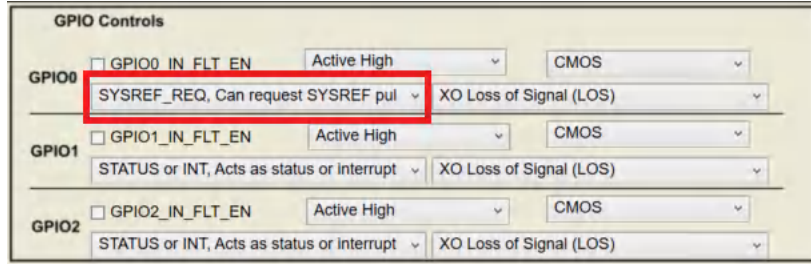


图 3-7. SYSREF 请求的 GPIO 设置

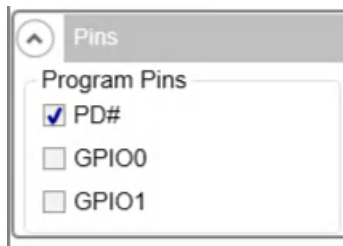


图 3-8. SYSREF 的 GPIO 引脚选择

3.5 XO 输入

LMK5B33216 有一个 XO 输入 (XO 引脚)，可接受分数 N APLL 的基准时钟。XO 输入决定了自由运行或保持模式下输出频率的精度和稳定性。对于 SyncE 或 IEEE 1588 等同步应用而言，XO 输入通常由符合应用频率精度和保持稳定性要求的低频 TCXO 或 OCXO 驱动。为了实现 DPLL 正常运行，XO 频率必须与使用此 XO 输入作为基准的任何 APLL 的 VCO 输出频率具有非整数频率关系。非整数关系应大于 0.05，远离整数边界 (即大于 0.05 并小于 0.95)。如果将 LMK5B33216 配置为时钟发生器 (未使用 DPLL)，XO 频率可以与 APLL 输出频率具有整数关系。

LMK5B33216 的 XO 输入具有可编程片上输入终端和交流耦合输入偏置选项，可支持任何时钟接口类型。

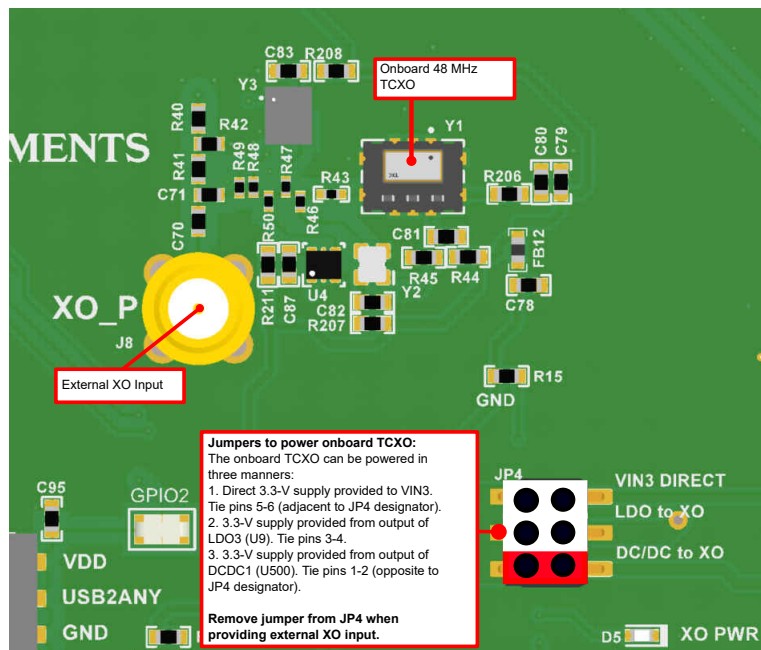


图 3-9. XO 输入

3.5.1 48MHz TCXO (默认)

默认情况下，该 EVM 组装了 48MHz、3.3V LVC MOS、低抖动 TCXO，指定为 Y1 (3.2mm x 2.5mm)，通过板载终端和交流耦合驱动 LMK5B33216 的 XO 输入。请参阅图 3-9 所有 LMK5B33216 EVM 的 Y1 都组装了 TXC 7N48071001 48MHz TCXO。Y1 可用于评估各种频率配置。

3.5.2 外部时钟输入

另一种选项是将外部时钟馈送到 SMA 端口 (J8) 以驱动 XO 输入。请参阅图 3-9 此路径可连接到 XO 输入引脚。使用外部 XO 输入路径时，Y1 应断电。要将 Y1 断电并使用外部 XO 输入，必须移除 JP4 上的跳线。为实现器件最佳性能，建议的 XO 频率为 38.88MHz 和 48MHz。

3.5.3 附加 XO 输入选项

为了实现灵活性，EVM 提供了附加 XO 输入选项 (一次使用一种)。C70 支持在 SMA 连接器 XO (J8) 上提供外部基准。C71 支持使用板载 XO/TCXO/OCXO 尺寸之一。

默认情况下，Y1 组装了 48MHz TCXO，并可选择组装 R43 和 R206。R43 为 LMK5B33414 的 XO 引脚提供 Y1 的输出时钟，而 R206 为 Y1 提供电源。

还有额外的 PCB 空间可安装替代元件，用于评估特定振荡器的性能。这些附加空间为 Y2 (2.5mm x 2.0mm)、Y3 (3.2mm x 2.5mm)、Y4 (9.7mm x 7.5mm)、Y5 (25mm x 22mm) 和 U4 (2.5mm x 2mm)。

使用 Y2、Y3、Y4、Y5 或 U4 时，必须移除 R43 和 R206 来断电并隔离 Y1 的输出。如果组装了 Y2，就必须组装 R46，从而向 XO 引脚提供 Y2 的输出。如果组装了 Y3，就必须组装 R47，从而向 XO 引脚提供 Y3 的输出。如果组装了 Y4，就必须组装 R48，从而向 XO 引脚提供 Y4 的输出。如果组装了 Y5，就必须组装 R49，从而向 XO 引脚提供 Y5 的输出。如果组装了 U4，就必须组装 R50，从而向 XO 引脚提供 U4 的输出。节 4.8 展示了上述元件。

如果安装了多个器件，要如上所述小心移除电阻器，使未用的振荡器断电并隔离其输出。

3.5.4 APLL 基准选项

LMK5B33216 APLL 可接受任何其他 APLL 输出作为基准，而不使用 XO。APLL3 上的 BAW 为高频级联 APLL 基准提供了一个很好的选择。图 6-2 展示了如何将 APLL 基准配置为从另一个 APLL 级联。

3.6 基准时钟输入

LMK5B33216 有两个 DPLL 基准时钟输入对 (IN0_P/N 和 IN1_P/N)，它们具有可配置的输入优先级和输入选择模式。输入具有可编程输入类型，端接和偏置选项，可支持任何时钟接口类型。

外部 LVCMOS 或差分基准时钟输入可应用于标记为 IN0_P/N 和 IN1_P/N 的 SMA 端口。所有 SMA 输入均通过 50 Ω 单端布线传输，并直流耦合到 LMK5B33216 的对应 IN0_P/N 和 IN1_P/N 引脚。单端信号应连接到同相输入 IN0_P 或 IN1_P。EVM 默认将 IN0 用于单端输入，因为未组装 IN0_N SMA 连接器。

3.7 时钟输出

LMK5B33216 具有 16 个时钟输出对 (OUT[0:15]_P/N)。

出于 LVCMOS 评估目的，OUT0 配置为直流耦合。OUT1、OUT2 和 OUT3 为 50 Ω 至 GND，后接一个用于进行 HCSL 评估的交流耦合电容器。OUT4 至 OUT15 通过交流耦合连接至 SMA 端口，用于进行 LVDS 和 HSDS 评估。

WARNING

直流耦合时钟不应直接连接到无法接受高于 0V 直流电压的射频设备。例如频谱分析仪和相位噪声分析仪。

3.8 状态输出和 LED

状态输出信号可在 GPIO0、GPIO1 和 GPIO2 引脚上配置。状态输出类型为 3.3V LVCMOS 或 NMOS 开漏输出。

3.9 进行测量的要求

使用 LMK5B33216EVM 进行测量时，必须完成以下过程：

1. 确保所有必需的输出都安装了适当的终端元件，以匹配所需的输出类型。图 3-10 显示了针对每种输出格式建议的输出终端。

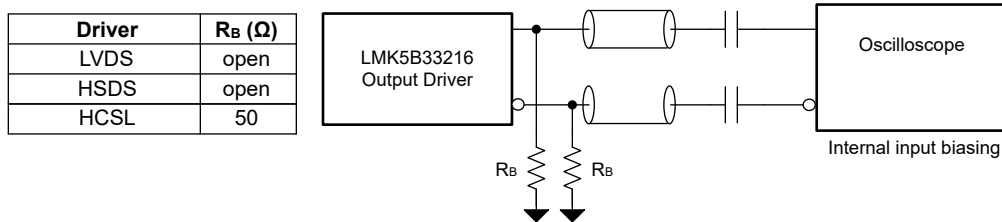


图 3-10. 输出终端建议

1. 确保所有未连接到任何测试设备的已启用输出都具有 50 Ω SMA 终端。图 3-11 显示了 50 Ω SMA 终端的示例。



图 3-11. 50 Ω SMA 终端

3.10 典型相位噪声特性

这些图显示了从 BAW (VCO3) 输出的常用频率的典型相位噪声表现。

用于获得这些测量值的 EVM 配置如下：

1. XO 频率 = 48MHz (板载 TCXO)
2. 按照节 3.9 中所述的方法将输出配置为 HS DS 输出。

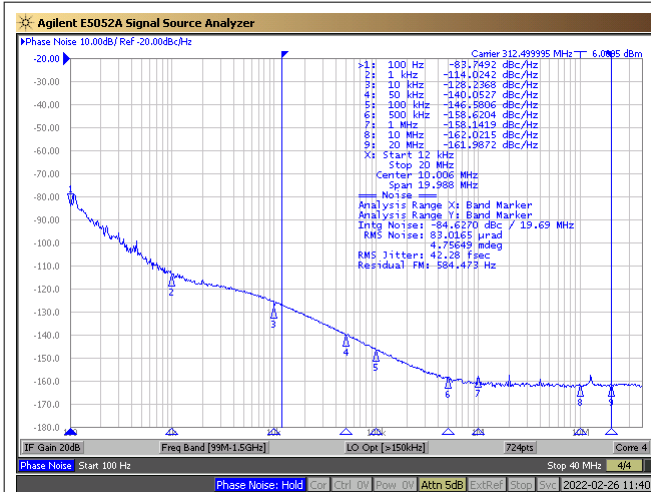


图 3-12. APLL3 312.5MHz 相位噪声表现

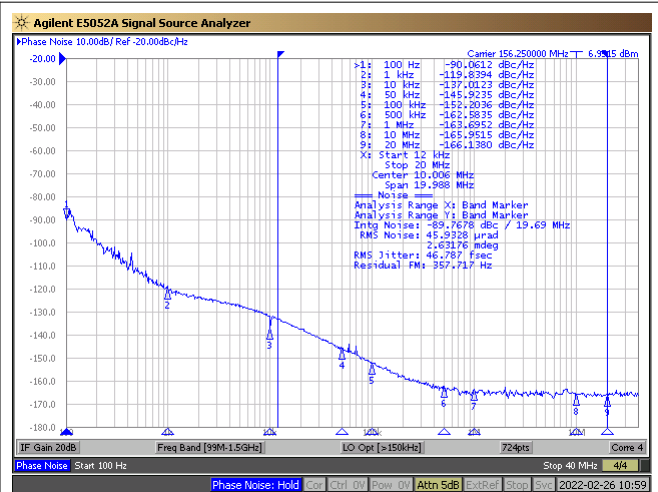


图 3-13. APLL3 156.25MHz 相位噪声表现

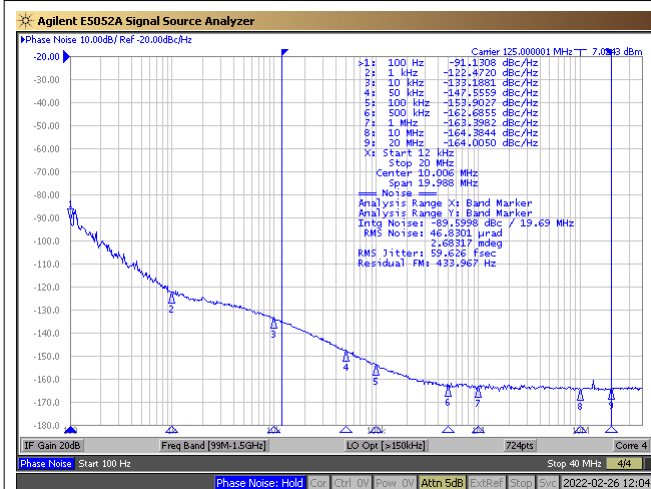


图 3-14. APLL3 125MHz 相位噪声表现

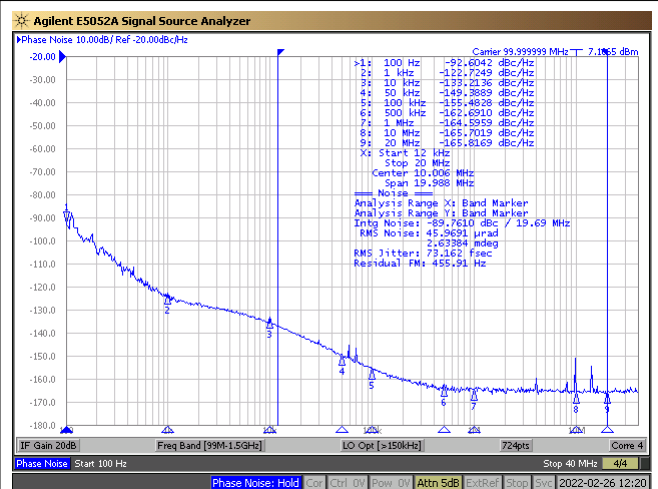


图 3-15. APLL3 100MHz 相位噪声表现

4 EVM 原理图

4.1 电源电路原理图

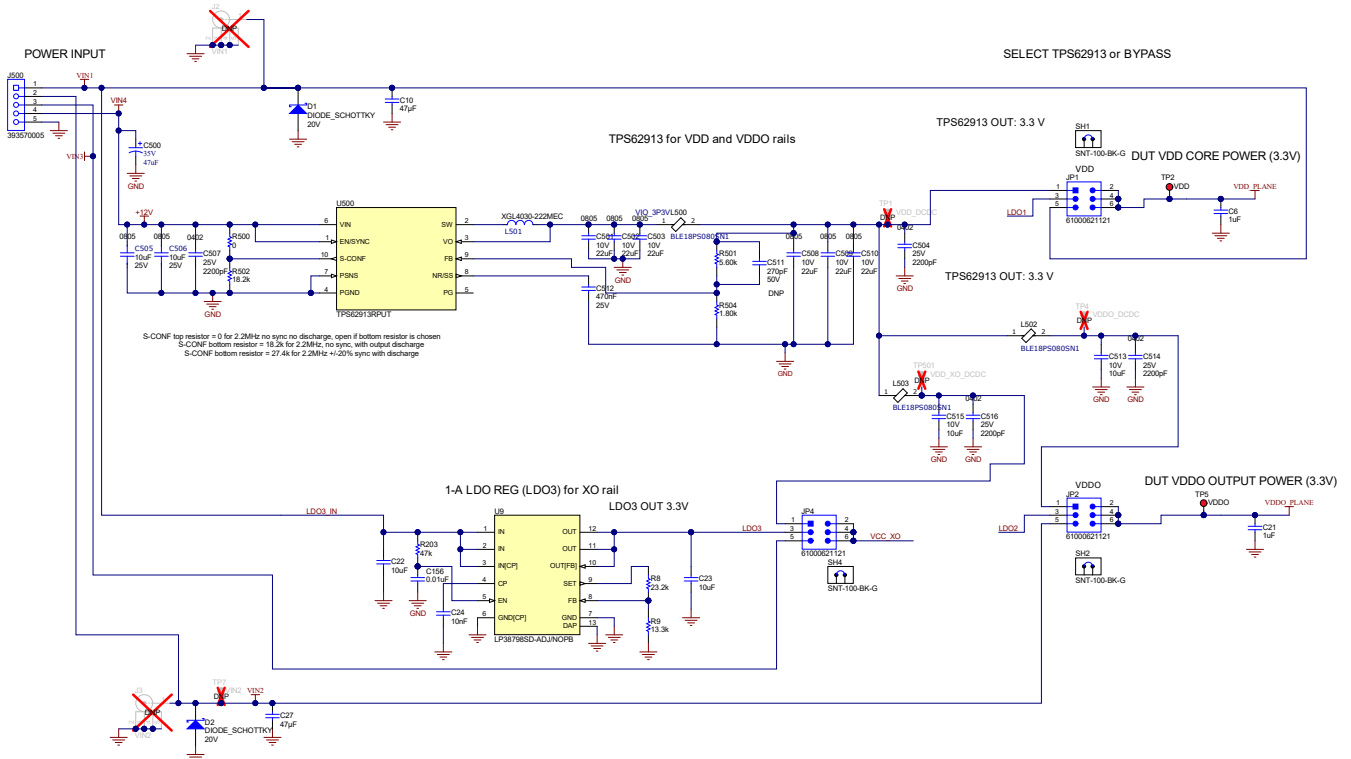


图 4-1. 电源

4.2 备选电源原理图

1-A LDO REG (LDO1, LDO2) for DUT VDD & VDDO rails

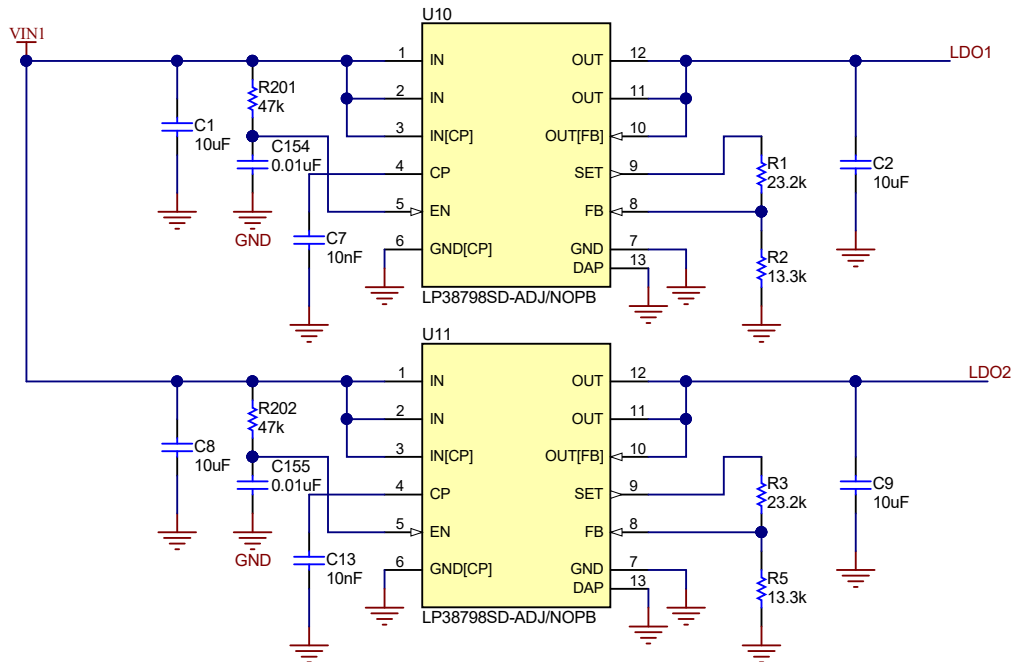


图 4-2. 备选电源

4.3 配电原理图

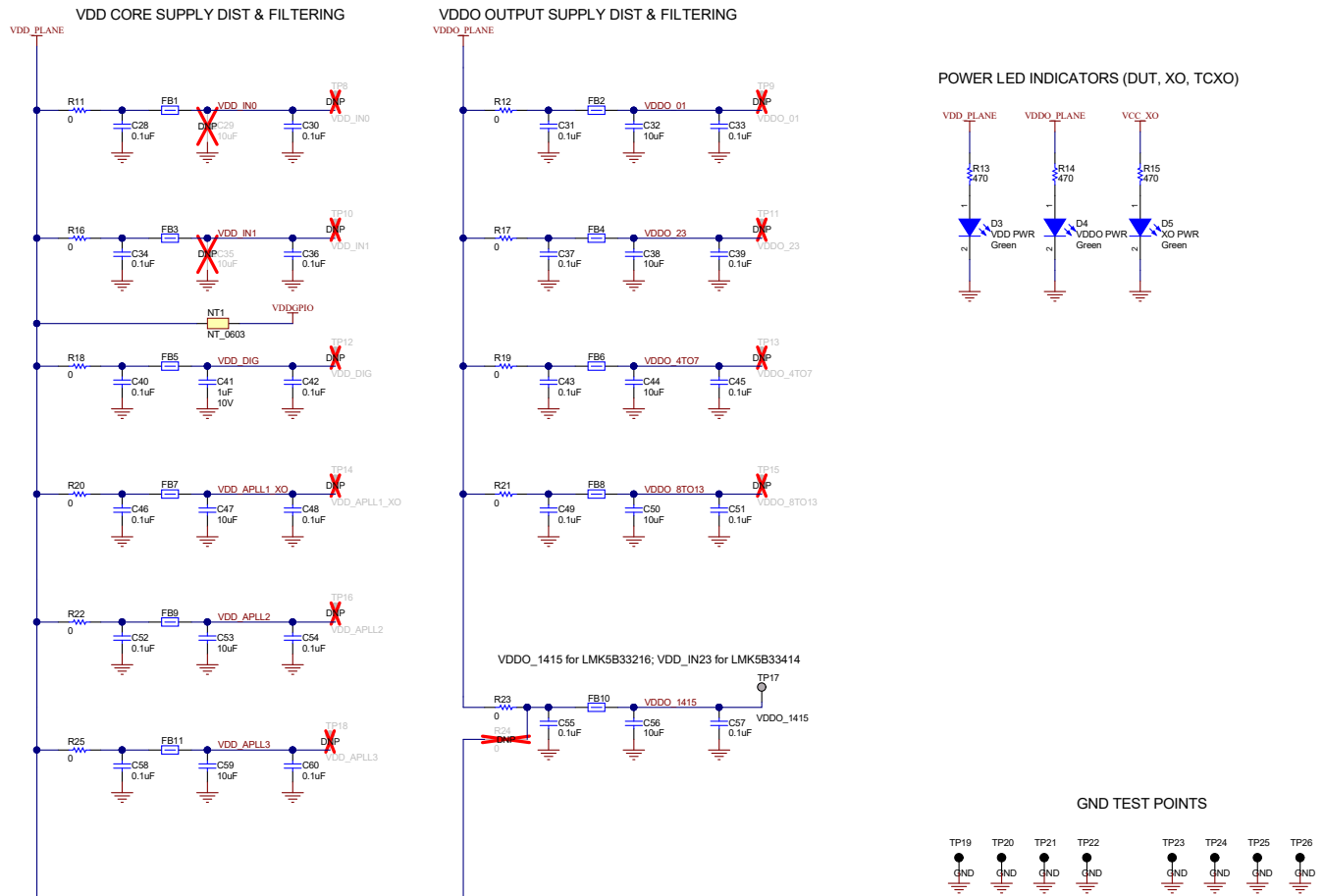


图 4-3. 配电

4.4 LMK5B33216 和输入基准输入 IN0 至 IN1 原理图

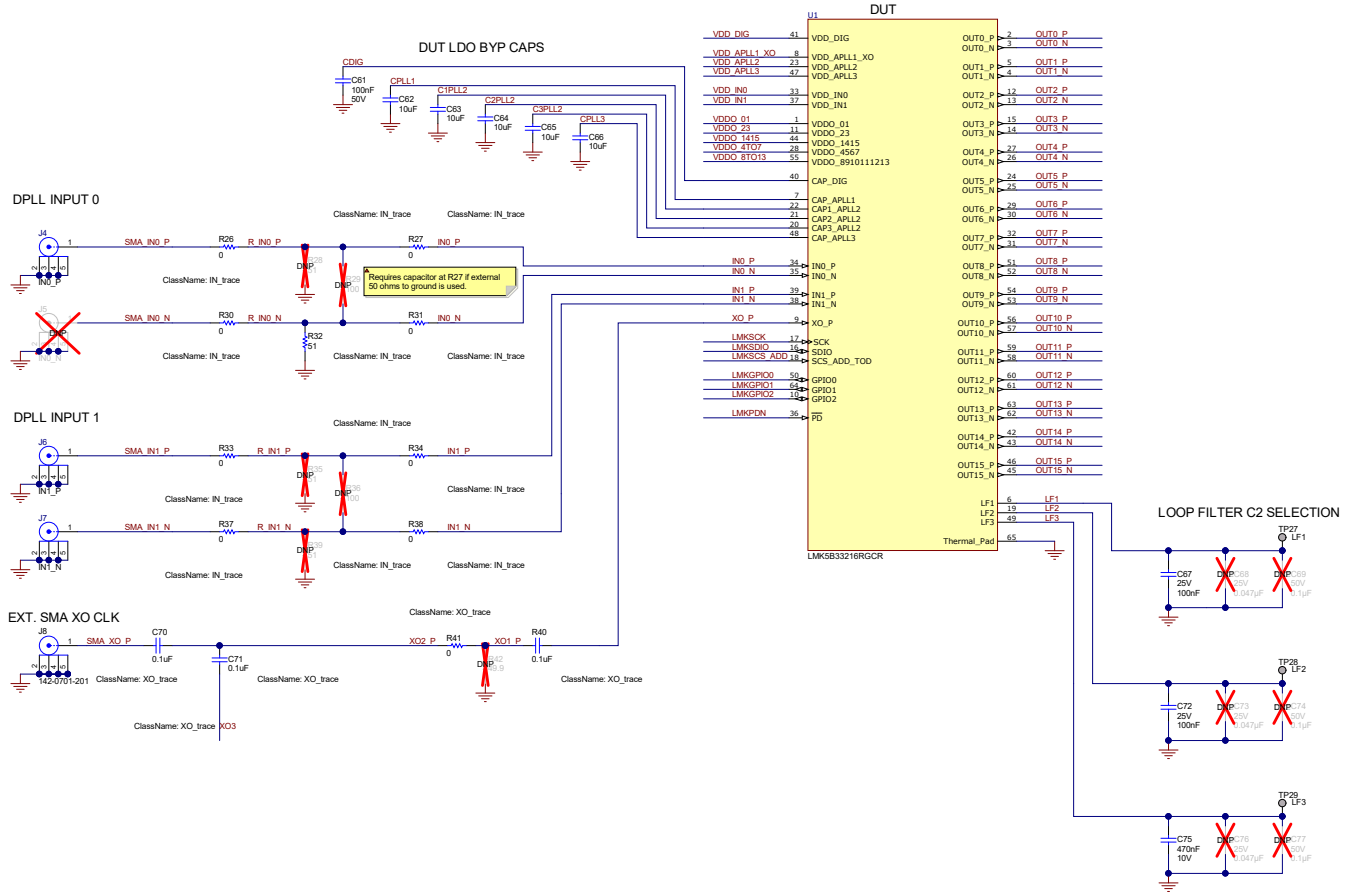


图 4-4. LMK5B33216 和输入基准输入 IN0 至 IN1

4.5 时钟输出 OUT0 至 OUT3 的原理图

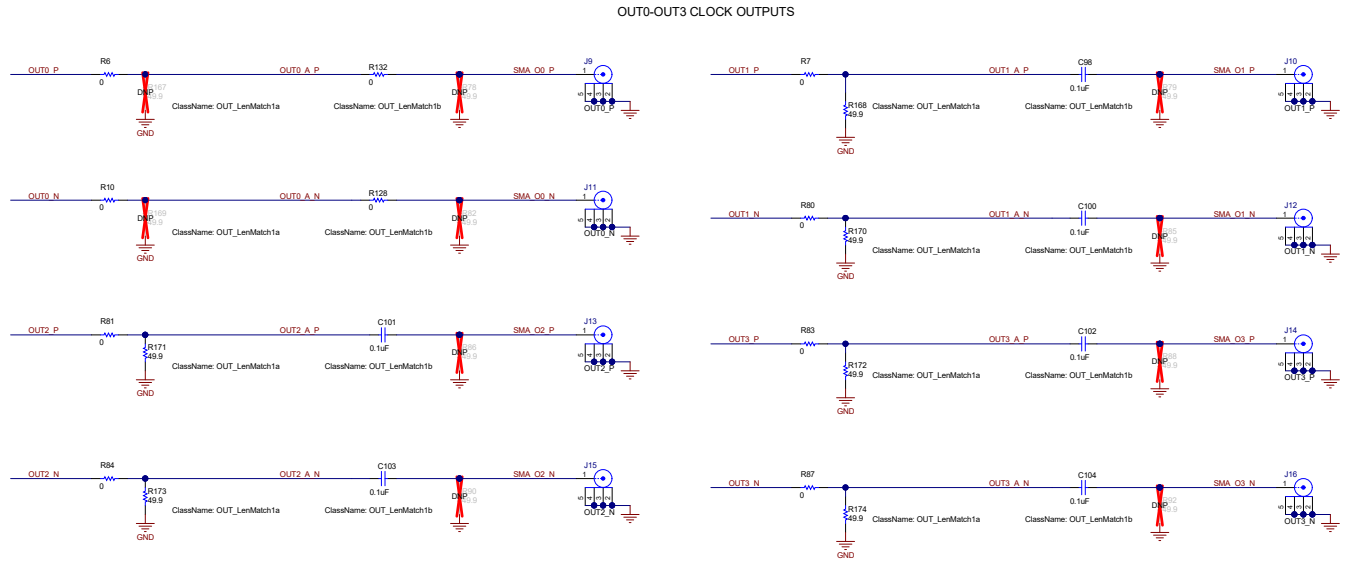


图 4-5. 时钟输出 OUT0 至 OUT3

4.6 时钟输出 OUT4 至 OUT9 的原理图

OUT4 to OUT9 CLOCK OUTPUTS

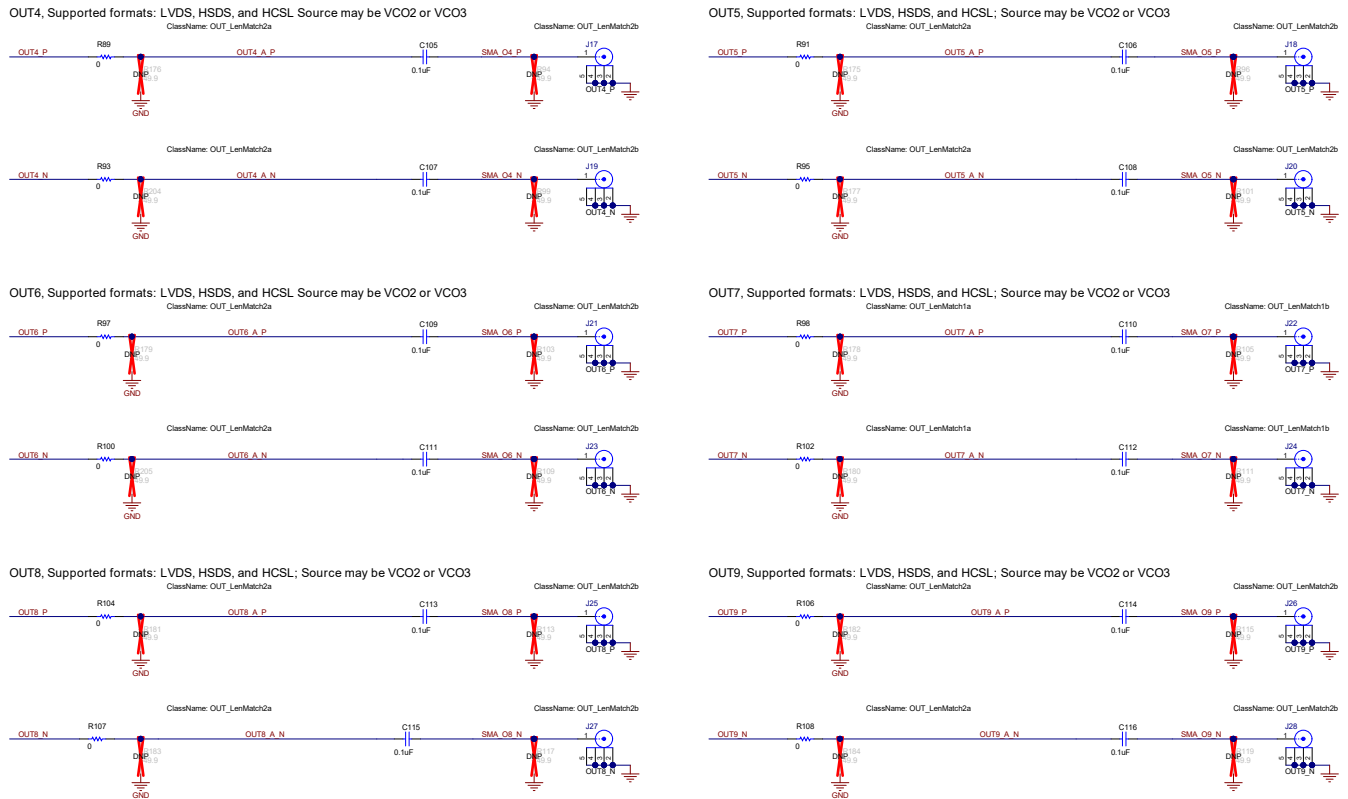


图 4-6. 时钟输出 OUT4 至 OUT9

4.7 时钟输出 OUT10 至 OUT15 的原理图

OUT10-OUT15 CLOCK OUTPUTS

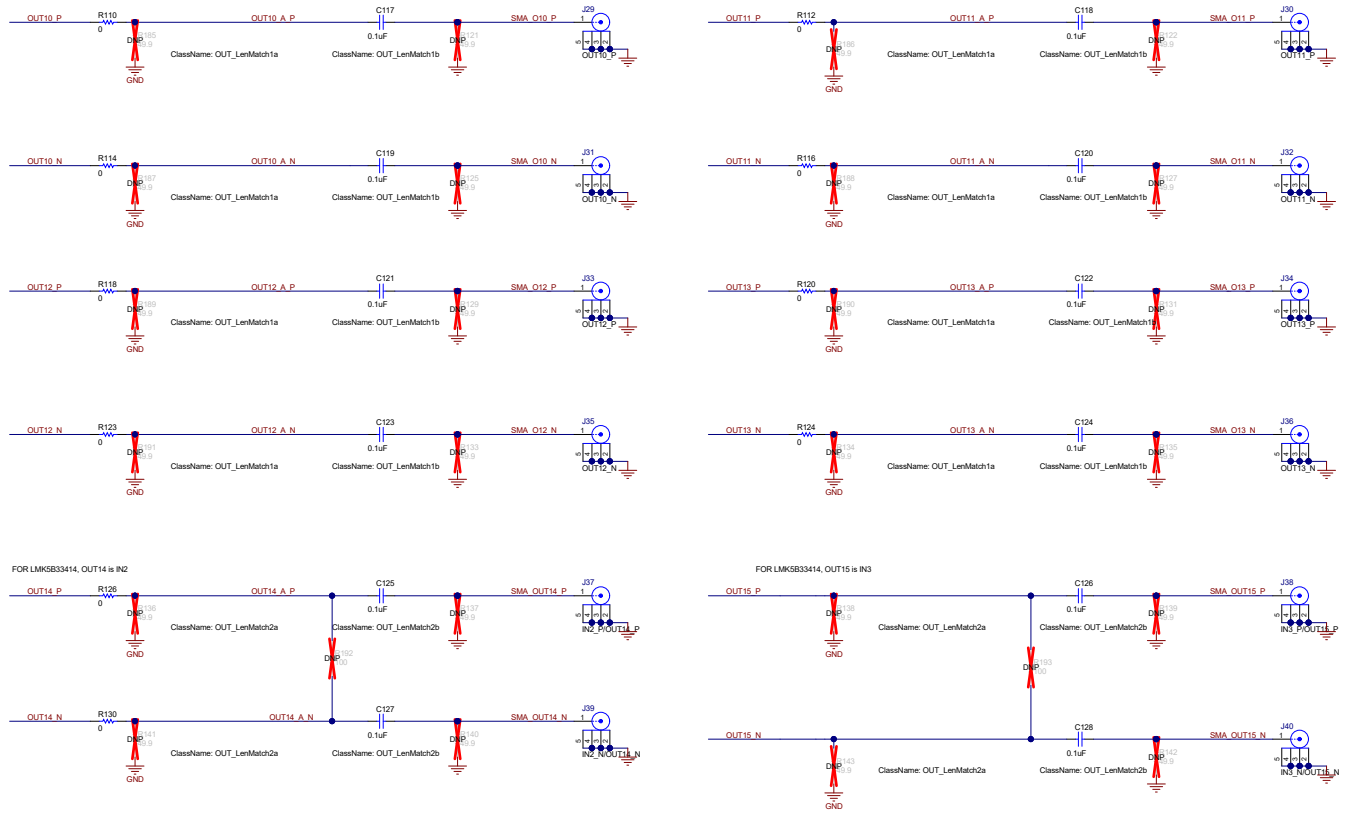


图 4-7. 时钟输出 OUT10 至 OUT15

4.8 XO 原理图

3.3V LVCMOS XO (multiple footprints)

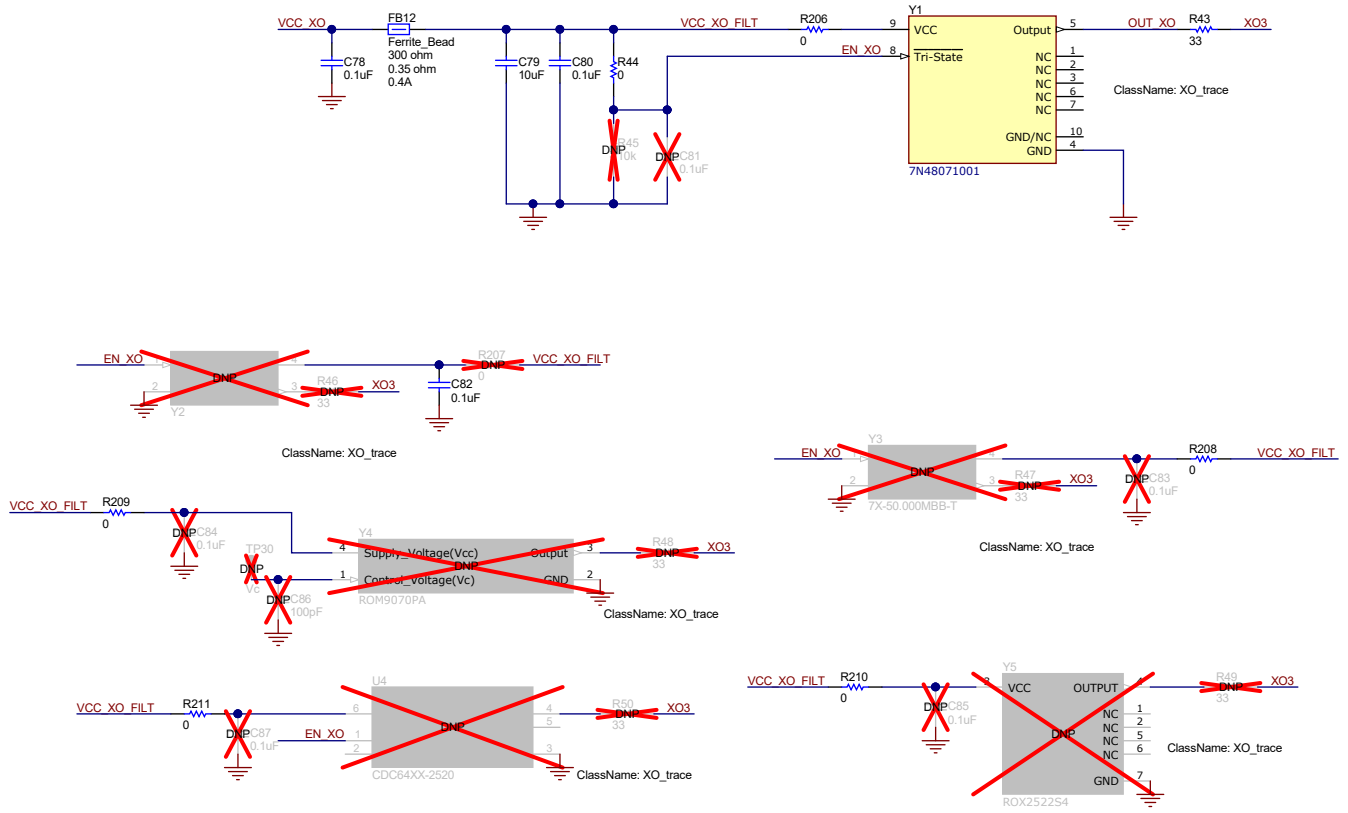


图 4-8. XO

4.9 逻辑 I/O 接口原理图

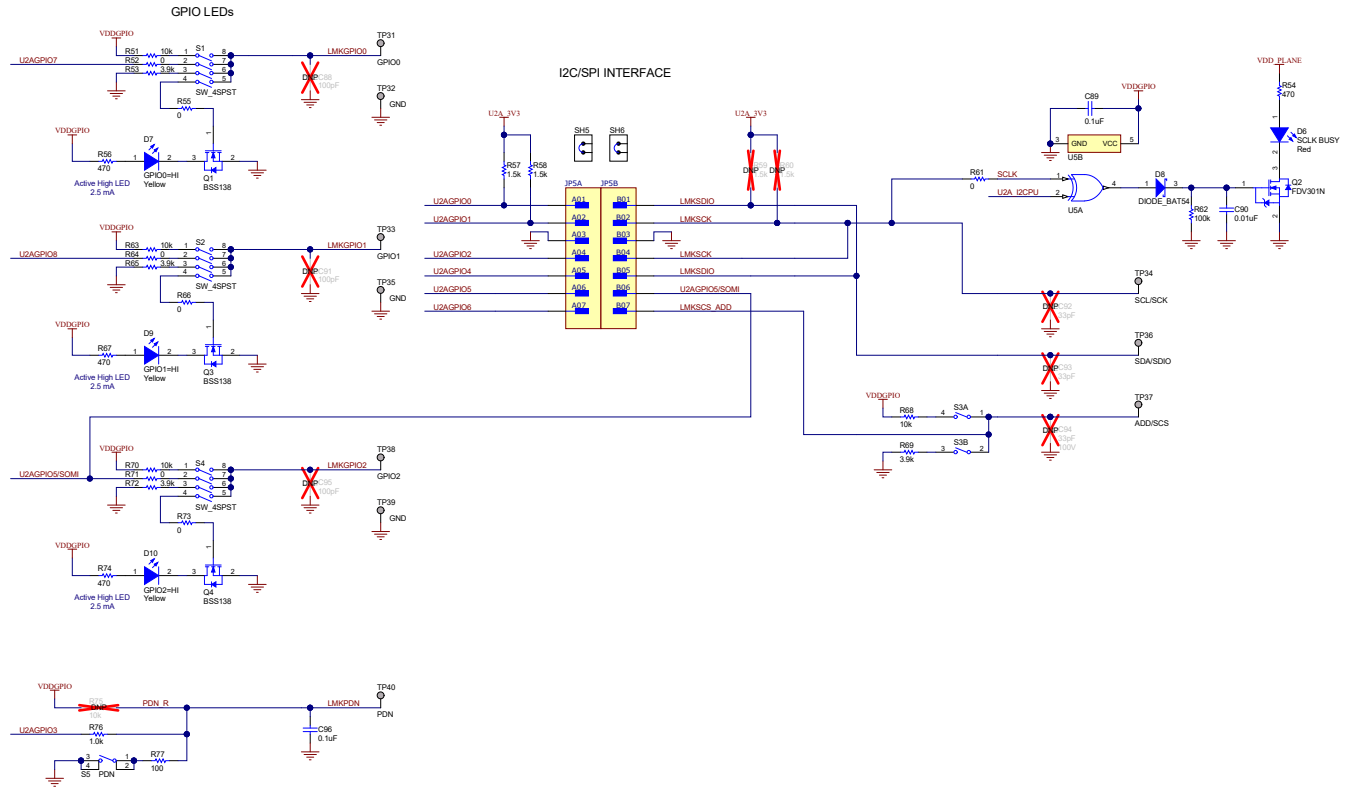


图 4-9. 逻辑 I/O 接口

4.10 USB2ANY 原理图

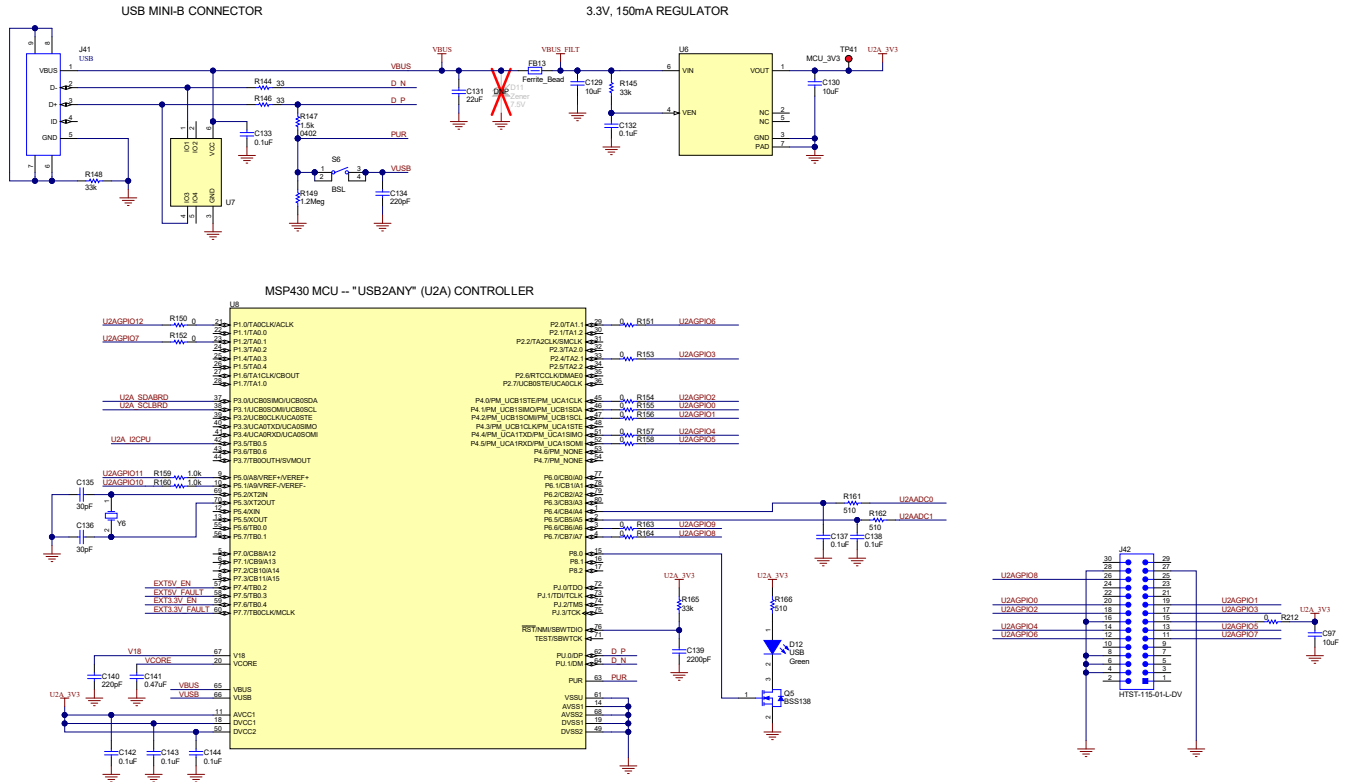


图 4-10. USB MCU

5 EVM 物料清单

表 5-1. EVM 物料清单 (BOM)

位号	数量	值	说明	器件型号	制造商
C1、C2、C7、 C8、C9、C13、 C22、C23、 C24、C32、 C38、C44、 C47、C50、 C53、C56、 C59、C62、 C63、C64、 C65、C66、 C79、C97、 C129、C130	26	10uF	电容, 陶瓷, 10 μ F, 10V, +/-20%, X5R, 0603	C1608X5R1A106M080AC	TDK
C6、C21、C41	3	1 μ F	电容, 陶瓷, 1uF, 10V, +/-10%, X5R, 0603	C0603C105K8PACTU	Kemet
C10、C27	2	47 μ F	电容, 陶瓷, 47 μ F, 10V, \pm 20%, X5R, 0805	GRM21BR61A476ME15L	MuRata
C28、C31、 C34、C37、 C40、C43、 C46、C49、 C52、C55、 C58、C67、 C70、C71、 C72、C78、 C80、C82、 C96、R40	20	0.1uF	电容, 陶瓷, 0.1uF, 25V, +/-5%, X7R, 0603	C0603C104J3RACTU	Kemet
C30、C33、 C36、C39、 C42、C45、 C48、C51、 C54、C57、C60	11	0.1 μ F	电容, 陶瓷, 0.1 μ F, 10V, +/-10%, X5R, 0402	C1005X5R1A104K050BA	TDK
C61	1	0.1 μ F	电容, 陶瓷, 0.1uF, 50V, +/-10%, X7R, 0603	C1608X7R1H104K080AA	TDK
C75、C141	2	0.47 μ F	电容, 陶瓷, 0.47 μ F, 10V, +/-10%, X7R, 0603	GRM188R71A474KA61D	MuRata
C89、C132、 C133、C137、 C138、C142、 C143、C144	8	0.1 μ F	电容, 陶瓷, 0.1uF, 16V, +/-5%, X7R, 0603	C0603C104J4RACTU	Kemet
C90、C154、 C155、C156	4	0.01uF	电容, 陶瓷, 0.01uF, 50V, +/-5%, X7R, 0603	C0603C103J5RACTU	Kemet

表 5-1. EVM 物料清单 (BOM) (continued)

位号	数量	值	说明	器件型号	制造商
C98、C100、 C101、C102、 C103、C104、 C105、C106、 C107、C108、 C109、C110、 C111、C112、 C113、C114、 C115、C116、 C117、C118、 C119、C120、 C121、C122、 C123、C124、 C125、C126、 C127、C128	30	0.1uF	电容, 陶瓷, 0.1uF, 25V, +/-10%, X7R, 0402	GRM155R71E104KE14D	MuRata
C131	1	22uF	电容, 陶瓷, 22 μF, 10V, +/-20%, X5R, 0805	LMK212BJ226MG-T	Taiyo Yuden
C134、C140	2	220pF	电容, 陶瓷, 220pF, 50V, +/-1%, COG/NP0, 0603	06035A221FAT2A	AVX
C135、C136	2	30pF	电容, 陶瓷, 30pF, 100V, +/-5%, COG/NP0, 0603	GRM1885C2A300JA01D	MuRata
C139	1	2200pF	电容, 陶瓷, 2200pF, 50V, +/-10%, X7R, 0603	C0603C222K5RACTU	Kemet
C500	1	47μF	电容, 钽, 47uF, 35V, +/-10%, 0.3Ω, SMD	T495X476K035ATE300	Kemet
C501、C502、 C503、C508、 C509、C510	6	22μF	电容, 陶瓷, 22uF, 10V, +/-20%, X7S, 0805	C2012X7S1A226M125AC	TDK
C504、C507、 C514、C516	4	2200pF	电容, 陶瓷, 2200pF, 25V, +/-10%, X7R, 0402	GRM155R71E222KA01D	MuRata
C505、C506	2		10μF ±10% 25V 陶瓷电容器 X7S 0805 (公制 2012)	C2012X7S1E106K125AC	TDK
C511	1		电容, 陶瓷, 270PF, 50V, NP0, 0402	UMK105CG271JV-F	Taiyo Yuden
C512	1	0.47uF	电容, 陶瓷, 0.47μF, 25V, +/- 10%, X7R, 0603	C1608X7R1E474K080AE	TDK
C513、C515	2	10μF	电容, 陶瓷, 10uF, 10V, +/-20%, X7R, 0603	GRM188Z71A106MA73D	MuRata
D1、D2	2	20V	二极管, 肖特基, 20V, 2A, SMA	B220A-13-F	Diodes Inc.
D3、D4、D5、 D12	4	绿色	LED, 绿色, SMD	LTST-C190GKT	Lite-On
D6	1	红色	LED, 红色, SMD	LTST-C170KRKT	Lite-On
D7、D9、D10	3	黄色	LED, 黄色, SMD	LTST-C170KSKT	Lite-On
D8	1	30V	二极管, 肖特基, 30V, 0.2A, SOT-23	BAT54-7-F	Diodes Inc.

表 5-1. EVM 物料清单 (BOM) (continued)

位号	数量	值	说明	器件型号	制造商
FB1、FB2、 FB3、FB4、 FB5、FB6、 FB7、FB8、 FB9、FB10、 FB11	11	220 Ω	铁氧体磁珠，220 Ω @ 100MHz， 2.5A，0603	BLM18SG221TN1D	MuRata
FB12	1	300 Ω	铁氧体磁珠，300 Ω @ 100MHz， 0.4A，1.6x0.8x0.95mm	LI0603D301R-10	Laird-Signal Integrity Products
FB13	1	60 Ω	铁氧体磁珠，60 Ω (100MHz 时)， 3.5A，0603	MPZ1608S600ATAH0	TDK
FID1，FID2， FID3，FID4， FID5，FID6	6		基准标记。没有需要购买或安装的元 件。	不适用	不适用
H1、H2、H3、 H4、H5、H6	6		BUMPER CYLIN 0.312" DIA	SJ61A6	3M
J4、J6、J7、J9、 J10、J11、J12、 J13、J14、J15、 J16、J17、J18、 J19、J20、J21、 J22、J23、J24、 J25、J26、J27、 J28、J29、J30、 J31、J32、J33、 J34、J35、J36、 J37、J38、J39、 J40	35		连接器，SMA，插孔，直式，边缘安装	CON-SMA-EDGE-S	RF Solutions Ltd.
J8	1		连接器，SMA，TH	142-0701-201	Cinch Connectivity
J41	1		连接器，插口，Mini-USB Type B， R/A，顶部安装 SMT	1734035-2	TE Connectivity
J42	1		接头，2.54mm，15x2，金，SMD	HTST-115-01-L-DV	Samtec
J500	1		端子块，3.5mm，5x1，镀锡，TH	393570005	Molex
JP1、JP2、JP4	3		接头，2.54mm，3x2，金，SMT	61000621121	Würth Elektronik
JP5	1		连接器接头表面贴装 14 位 0.100" (2.54mm)	54202-G0807LF	Amphenol ICC
L500、L502、 L503	3		磁珠电感器 BLE 系列，8A	BLE18PS080SN1	Murata
L501	1		电感器功率屏蔽线绕 2.2uH 20% 1MHz 复合 8.7A 15mΩ DCR 汽车 T/R	XGL4030-222MEC	Coilcraft
LBL1	1		热转印可打印标签，0.650" (宽) x 0.200" (高) - 10,000/卷	THT-14-423-10	Brady
Q1、Q3、Q4、Q5	4	50V	MOSFET，N 沟道，50V，0.22A， SOT-23	BSS138	Fairchild Semiconductor
Q2	1	25V	MOSFET，N 沟道，25V，0.22A， SOT-23	FDV301N	Fairchild Semiconductor

表 5-1. EVM 物料清单 (BOM) (continued)

位号	数量	值	说明	器件型号	制造商
R1、R3、R8	3	23.2k	电阻, 23.2k, 1%, 0.1W, AEC-Q200 0 级, 0603	CRCW060323K2FKEA	Vishay-Dale
R2、R5、R9	3	13.3k	电阻, 13.3k, 1%, 0.1W, AEC-Q200 0 级, 0603	CRCW060313K3FKEA	Vishay-Dale
R6、R7、R10、R80、R81、R83、R84、R87、R89、R91、R93、R95、R97、R98、R100、R102、R104、R106、R107、R108、R110、R112、R114、R116、R118、R120、R123、R124、R126、R128、R130、R132	32	0	电阻, 0Ω, 5%, 0.063W, AEC-Q200 0 级, 0402	RK73Z1ETTP	KOA Speer
R11、R12、R16、R17、R18、R19、R20、R21、R22、R23、R25、R41、R52、R55、R61、R64、R66、R71、R73、R150、R151、R152、R153、R154、R155、R156、R157、R158、R163、R164、R212	31	0	电阻, 0, 5%, 0.1W, AEC-Q200 0 级, 0603	CRCW06030000Z0EA	Vishay-Dale
R13、R14、R15、R54、R56、R67、R74	7	470	电阻, 470, 5%, 0.1W, AEC-Q200 0 级, 0603	CRCW0603470RJNEA	Vishay-Dale
R26、R27、R30、R31、R33、R34、R37、R38	8	0	电阻, 0, 0%, 0.2W, AEC-Q200 0 级, 0402	CRCW04020000Z0EDHP	Vishay-Dale
R32	1	51	电阻, 51, 5%, 0.0625W, 0402	RC0402JR-0751RL	Yageo America
R43、R144、R146	3	33	电阻, 33, 5%, 0.063W, AEC-Q200 0 级, 0402	CRCW040233R0JNED	Vishay-Dale
R44、R500	2	0	电阻, 0, 5%, 0.1W, AEC-Q200 0 级, 0603	ERJ-3GEY0R00V	Panasonic

表 5-1. EVM 物料清单 (BOM) (continued)

位号	数量	值	说明	器件型号	制造商
R51、R63、 R68、R70	4	10k	电阻, 10k, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW060310K0JNEA	Vishay-Dale
R53、R65、 R69、R72	4	3.9k	电阻, 3.9k Ω , 5%, 0.1W, AEC-Q200 0级, 0603	CRCW06033K90JNEA	Vishay-Dale
R57、R58	2	1.5k	电阻, 1.5k, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW06031K50JNEA	Vishay-Dale
R62	1	100k	电阻, 100k, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW0603100KJNEA	Vishay-Dale
R76、R159、 R160	3	1.0k	电阻, 1.0k, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW06031K00JNEA	Vishay-Dale
R77	1	100	电阻, 100, 5%, 0.25W, AEC-Q200 0级, 0603	ESR03EZPJ101	Rohm
R145、R148、 R165	3	33k	电阻, 33k, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW060333K0JNEA	Vishay-Dale
R147	1	1.5k	电阻, 1.5k, 5%, 0.063W, AEC-Q200 0级, 0402	CRCW04021K50JNED	Vishay-Dale
R149	1	1.2M Ω	电阻, 1.2M, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW06031M20JNEA	Vishay-Dale
R161、R162、 R166	3	510	电阻, 510, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW0603510RJNEA	Vishay-Dale
R168、R170、 R171、R172、 R173、R174	6	49.9	电阻, 49.9, 1%, 0.1W, AEC-Q200 0级, 0402	ERJ-2RKF49R9X	Panasonic
R201、R202、 R203	3	47k	电阻, 47k Ω , 5%, 0.1W, AEC-Q200 0级, 0603	CRCW060347K0JNEA	Vishay-Dale
R206、R208、 R209、R210、 R211	5	0	电阻, 0, 5%, 0.1W, 0603	RC0603JR-070RL	Yageo
R501	1	5.60k	电阻, 5.60k, 0.1%, 0.1W, 0603	RG1608P-562-B-T5	Susumu Co Ltd
R502	1	18.2k	电阻, 18.2k, 1%, 0.1W, AEC-Q200 0级, 0603	CRCW060318K2FKEA	Vishay-Dale
R504	1	1.80k	电阻, 1.80k, 0.1%, 0.1W, 0603	RT0603BRD071K8L	Yageo America
S1、S2、S4	3		开关, 单刀单掷, 4 位置, 顶部驱动, SMT	219-4LPST	CTS Electrocomponents
S3	1		开关, 滑动式, 单刀单掷, 2 极, SMT	219-2LPST	CTS Electrocomponents
S5、S6	2		开关, 触控式, 单刀单掷-常开, 0.05A, 12V, SMT	FSM4JSMA	TE Connectivity
SH1、SH2、 SH4、SH5、SH6	5	1x2	分流器, 100mil, 镀金, 黑色	SNT-100-BK-G	Samtec
TP2、TP5、TP41	3		测试点, 微型, 红色, TH	5000	Keystone

表 5-1. EVM 物料清单 (BOM) (continued)

位号	数量	值	说明	器件型号	制造商
TP19、TP20、 TP21、TP22、 TP23、TP24、 TP25、TP26	8		测试点, 微型, 黑色, TH	5001	Keystone
TP31、TP32、 TP33、TP34、 TP35、TP36、 TP37、TP38、 TP39、TP40	10		测试点, 微型, SMT	5019	Keystone
U1	1		适用于无线通信且采用 JESD204B 的超低抖动时钟同步器	LMK5B33414RGCR	德州仪器 (TI)
U5	1		单路 2 输入异或门, DBV0005A (SOT-23-5)	SN74LVC1G86DBVR	德州仪器 (TI)
U6	1		适用于 RF 和模拟电路的 150mA 超低噪声 LDO (无需旁路电容), NGF0006A (WSON-6)	LP5900SD-3.3/NOPB	德州仪器 (TI)
U7	1		适用于高速数据接口的 4 通道 ESD 保护阵列, DRY0006A (USON-6)	TPD4E004DRYR	德州仪器 (TI)
U8	1		25MHz 混合信号微控制器, 具有 128KB 闪存、8192 B SRAM 和 63 GPIO, -40 至 85°C, 80 引脚 QFP (PN), 绿色 (符合 RoHS 标准, 无镉/溴)	MSP430F5529IPN	德州仪器 (TI)
U9、U10、U11	3		800mA 超低噪声、高 PSRR LDO, DNT0012B (WSON-12)	LP38798SD-ADJ/NOPB	德州仪器 (TI)
U500	1		3A 低噪声和低纹波降压转换器, RPU0010A (VQFN-10)	TPS62913RPUT	德州仪器 (TI)
Y1	1		SMD TCXO 7.0 * 5.0 48.000000MHz	7N48071001	TXC
Y6	1		晶体, 24.000MHz, 20pF, SMD	ECS-240-20-5PX-TR	ECS Inc.
C29、C35	0	10uF	电容, 陶瓷, 10 μ F, 10V, +/-20%, X5R, 0603	C1608X5R1A106M080AC	TDK
C68、C73、C76	0	0.047uF	电容, 陶瓷, 0.047 μ F, 25V, +/-5%, COG/NP0, AEC-Q200 1 级, 0805	C0805C473J3GACTU	Kemet
C69、C74、C77	0	0.1 μ F	电容, 陶瓷, 0.1 μ F, 50V, +/-5%, COG/NP0, 1210	C3225C0G1H104J250AA	TDK
C81、C83、 C84、C85、C87	0	0.1 μ F	电容, 陶瓷, 0.1 μ F, 25V, +/-5%, X7R, 0603	C0603C104J3RACTU	Kemet
C86、C88、 C91、C95	0	100pF	电容, 陶瓷, 100pF, 50V, +/-5%, COG/NP0, 0603	06035A101JAT2A	AVX
C92、C93、C94	0	33pF	电容, 陶瓷, 33pF, 100V, +/-5%, COG/NP0, 0603	06031A330JAT2A	AVX
D11	0	7.5V	二极管, 齐纳二极管, 7.5V, 550mW, SMB	1SMB5922BT3G	ON Semiconductor
J2、J3、J5	0		连接器, SMA, 插孔, 直式, 边缘安装	CON-SMA-EDGE-S	RF Solutions Ltd.

表 5-1. EVM 物料清单 (BOM) (continued)

位号	数量	值	说明	器件型号	制造商
R24	0	0	电阻, 0, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW06030000Z0EA	Vishay-Dale
R28、R35、R39	0	51	电阻, 51, 5%, 0.0625W, 0402	RC0402JR-0751RL	Yageo America
R29、R36	0	100	电阻, 100, 1%, 0.1W, AEC-Q200 0级, 0603	CRCW0603100RFKEA	Vishay-Dale
R42	0	49.9	电阻, 49.9, 1%, 0.1W, AEC-Q200 0级, 0603	CRCW060349R9FKEA	Vishay-Dale
R45、R75	0	10k	电阻, 10k, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW060310K0JNEA	Vishay-Dale
R46、R47、 R48、R49、R50	0	33	电阻, 33, 5%, 0.063W, AEC-Q200 0级, 0402	CRCW040233R0JNED	Vishay-Dale
R59、R60	0	1.5k	电阻, 1.5k, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW06031K50JNEA	Vishay-Dale
R78、R79、 R82、R85、 R86、R88、 R90、R92、 R94、R96、 R99、R101、 R103、R105、 R109、R111、 R113、R115、 R117、R119、 R121、R122、 R125、R127、 R129、R131、 R133、R134、 R135、R136、 R137、R138、 R139、R140、 R141、R142、 R143、R167、 R169、R175、 R176、R177、 R178、R179、 R180、R181、 R182、R183、 R184、R185、 R186、R187、 R188、R189、 R190、R191、 R204、R205	0	49.9	电阻, 49.9, 1%, 0.1W, AEC-Q200 0级, 0402	ERJ-2RKF49R9X	Panasonic
R192、R193	0	100	电阻, 100, 1%, 0.063W, AEC-Q200 0级, 0402	CRCW0402100RFKED	Vishay-Dale
R207	0	0	电阻, 0, 5%, 0.1W, 0603	RC0603JR-070RL	Yageo
TP1、TP4、 TP7、TP501	0		测试点, 微型, 红色, TH	5000	Keystone

表 5-1. EVM 物料清单 (BOM) (continued)

位号	数量	值	说明	器件型号	制造商
TP30	0		测试点, 微型, SMT	5019	Keystone
U4	0		CDC64XX-2520, DLF0006A (VSON-6)	CDC64XX-2520	德州仪器 (TI)
Y2	0		晶体, 48MHz, 15pF, SMD	8W48072003	TXC Corporation
Y3	0		晶体、密封锁定 50MHz、15pF、SMD	7X-50.000MBB-T	TXC Corporation
Y4	0		MERCURY+ 38.88MHz OCXO CMOS 振荡器 2.7 ~ 5V 4-SMD	ROM9070PA	Rakon
Y5	0		标准 OCXO 10MHz 频率	ROX2522S4	Rakon

5.1 环路滤波器和对振动不敏感的电容器

EVM 上使用的电容器是 X7R，它由铁磁材料制成，对压电效应引起的振动很敏感。对于需要在振动条件下实现最佳性能的应用，建议使用非铁磁电容器，如 NP0、C0G 或钽。

在 47nF 及以下时，C0G/NP0 电容器采用 0805 尺寸封装。可考虑将 0.1μF 及以上的钽电容器用于抗振动环路滤波器元件。

表 5-2. 抗振动的替代电容器示例

电容值	振动敏感型, X7R	抗振动
3.3nF	C0603C332K5RACTU, 0603	GRM1885C1H332JA01D, C0G/NP0, 0603
33nF	C0603C333J3RACTU, 0603	C2012C0G1H333J125AA, C0G/NP0, 0805
47nF	06035C473JAT2A, 0603	C0805X473G3GEC7800, C0G/NP0, 0805 C0805C473J3GACTU, C0G/NP0, 0805
0.1μF	C0603C104J3RACTU, 0603	GRM31C5C1E104JA01L, C0G/NP0, 1206 TAJR104K020RNJ, 钽, 0805
0.47μF	GRM188R71A474KA61D, 0603	F921C474MPA, 钽, 0805

6 附录 A - TICS Pro LMK5B33216 软件

6.1 使用开始页面

“Start” 页面可用于为特定 VCO 频率和 DPLL 操作配置 PLL。

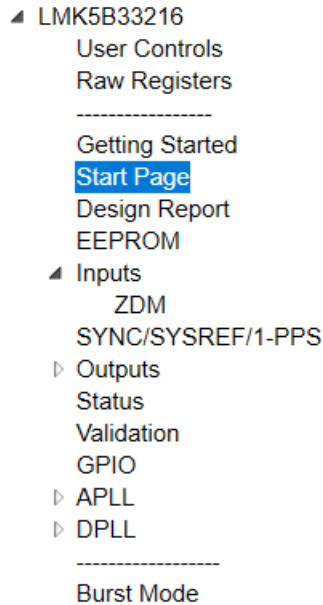


图 6-1. 开始页面的位置

6.1.1 步骤 1

设置 XO_P 输入频率和接口类型。指定每个 PLL 的基准和 PLL 相位检测器频率的相关设置，来设置 APLL 的输入。

6.1.2 步骤 2

第 2 步设置时钟输入频率和接口类型。也可以在此页面中，使用右侧的 PLL R 分频器和相位检测器预览来指定级联 APLL。

Step 1: XO Input

XO_P	Freq. (MHz) 48.0 <small>Range: 10 to 100 MHz</small>	Interface Type 8: CMOS
-------------	--	---------------------------

Step 2: Clock Inputs

INO (REF0)	Freq. (MHz) 25.0	Interface Type 12: S-E (int. 50 ohm)
IN1 (REF1)	Freq. (MHz) 25.0	Interface Type 3: LVDS/HSDS (AC-DIFF, int. 10)

a) Range: Up to 750 MHz
b) Enter '0' when the input is never used.

Note: VCO Feedback frequencies may not be properly updated until after VCO frequencies are calculated.

	R Divider & Doubler	APLL Phase Detector Frequency
PLL1	VCO3 feedback 1250.0 MHz 13 <input type="checkbox"/> Bypass <input type="checkbox"/> DBLR	96.153846 MHz
PLL2	VCO3 feedback 1250.0 MHz 13 <input type="checkbox"/> Bypass <input type="checkbox"/> DBLR	96.153846 MHz
PLL3	XO 48.0 MHz 2 <input checked="" type="checkbox"/> Bypass <input checked="" type="checkbox"/> DBLR	96.0 MHz

图 6-2. 第 1 步和第 2 步：XO 输入和时钟输入

6.1.3 步骤 3

为 DPLL 设置时钟输入选择模式，输入优先级和 TDC 最大频率。建议的输入选择模式为 *Auto Revertive*。下图所示的 REF0 和 REF1 分别对应 IN0 和 IN1。如果 DPLL 输入将从其中一个 APLL 后分频器频率馈送，则可以设置 REF4 和 REF5 优先级。相应的 APLL 列在 REF4 和 REF5 旁边。具有最高优先级的 REF 将作为 DPLL 输入馈送。

Step 3: DPLL Clock Input Selection

DPLL1	DPLL2	DPLL3
<input type="checkbox"/> Use DPLL1	<input type="checkbox"/> Use DPLL2	<input type="checkbox"/> Use DPLL3
Input Select Mode: Auto Revertive	Input Select Mode: Auto revertive	Input Select Mode: Auto revertive
Manual Selection: REF0	Manual Selection: REF0	Manual Selection: REF0
Pin / Register Select: Register	Pin / Register Select: Register	Pin / Register Select: Register
Auto Select Priority: Not available for s	Auto Select Priority: 2nd	Auto Select Priority: 2nd
Doubler: <input type="checkbox"/> Enable	Doubler: <input type="checkbox"/> Enable	Doubler: <input type="checkbox"/> Enable
REF0: Not available for s	REF0: 2nd	REF0: 2nd
REF1: Not available for s	REF1: 1st	REF1: 1st
REF4: Not available for s	REF4: Not available for s	REF4: Not available for s
REF5: Not available for s	REF5: Not available for s	REF5: Not available for s
Maximum TDC Frequency (MHz): 11	Maximum TDC Frequency (MHz): 11	Maximum TDC Frequency (MHz): 26
Actual DPLL TDC Frequency (MHz): 10	Actual DPLL TDC Frequency (MHz): 1.25	Actual DPLL TDC Frequency (MHz): 25.0

图 6-3. 阶跃 3 : DPLL 时钟输入选择

6.1.4 步骤 4

设置 ZDM 的时钟输出。针对为 ZDM 设置的所选输出，PLL 将驱动 PLL 源多路复用器。

Step 4: DPLL Zero Delay Selection

DPLL1 ZDM	ZDM disabled	ZDM disabled
DPLL2 ZDM	ZDM disabled	
DPLL3 ZDM	ZDM disabled	

Generalized ZDM DPLL diagram

```

graph LR
    DPLL_Ref[DPLL Reference] --> DPLL_TDC[DPLL TDC]
    DPLL_TDC --> APLL_VCO((APLL VCO))
    APLL_VCO --> Outputs[OUT0, OUT4, or OUT10]
  
```

图 6-4. 阶跃 4 : 零延迟模式

6.1.5 步骤 5

输入每个输出所需的目标频率以及所需的输出格式、输出源，输出是否为 SYSREF 以及输出是否会被使用。
按 *Calculate VCO Frequency Options*，生成可能的 VCO 频率组合列表。

Step 5: Clock Outputs

a) Select the target frequency for each channel or output group.
b) Select the output format. Unused outputs should be disabled to reduce power consumption.
c) When applicable select V_{OS} to specify common mode. V_{OS} is a function of output swing and V_{OS} setting.
d) Generate possible VCO frequencies and choose from available options (or set overrides).
e) Calculate the N-divider settings and DPLL-corrected PPM offsets.
f) Export clock output settings to the device. "Actual Freq. (MHz)" boxes will update accordingly.

	Target Freq. (MHz)	Output Source	Output Format	Output Vcm	SYSREF?	Actual Freq. (MHz)
OUT0	100.0	PLL3	CMOS 1.8-V, P/N = On	Setting 1, Vcm = None V	<input type="checkbox"/>	~100.000000
OUT1	100.0	PLL3	HCSL 750 mV	Setting 1, Vcm = None V	<input type="checkbox"/>	~100.000000
OUT2	100.0	PLL3	HCSL 750 mV	Setting 1, Vcm = None V	<input type="checkbox"/>	~100.000000
OUT3	100.0		HCSL 750 mV	Setting 1, Vcm = None V		~100.000000
OUT4	161.1328125	PLL2	HSDS 800 mV, Vcm = 0.55 V	Setting 1, Vcm = None V	<input type="checkbox"/>	~161.132812
OUT5	161.1328125		HSDS 800 mV, Vcm = 0.55 V	Setting 1, Vcm = None V		~161.132812
OUT6	322.265625		HSDS 800 mV, Vcm = 0.55 V	Setting 1, Vcm = None V		~322.265625
OUT7	322.265625		HSDS 800 mV, Vcm = 0.55 V	Setting 1, Vcm = None V		~322.265625
OUT8	156.25	PLL3	HSDS 800 mV, Vcm = 0.55 V	Setting 1, Vcm = None V	<input type="checkbox"/>	~156.250000
OUT9	156.25		HSDS 800 mV, Vcm = 0.55 V	Setting 1, Vcm = None V		~156.250000
OUT10	156.25		HSDS 800 mV, Vcm = 0.55 V	Setting 1, Vcm = None V		~156.250000
OUT11	156.25		HSDS 800 mV, Vcm = 0.55 V	Setting 1, Vcm = None V		~156.250000
OUT12	312.5	PLL3	HSDS 800 mV, Vcm = 0.55 V	Setting 1, Vcm = None V	<input type="checkbox"/>	~312.500000
OUT13	312.5		HSDS 800 mV, Vcm = 0.55 V	Setting 1, Vcm = None V		~312.500000
OUT14	155.52	PLL1 P1	HSDS 800 mV, Vcm = 0.55 V	Setting 1, Vcm = None V	<input type="checkbox"/>	~155.520000
OUT15	155.52		HSDS 800 mV, Vcm = 0.55 V	Setting 1, Vcm = None V		~155.520000

VCO frequency options calculated. Select desired frequencies then, press "Copy to Selected VCO Frequency"

Calculate VCO Frequency Options

Copy to Selected VCO Frequency

Assign Selected VCO Settings to Device

Apply Output Clock Settings to Device

Enable User Override

VCO Frequency User Override:

VCO1: 4976.64 MHz

VCO2: 5800.78125 MHz

VCO3: 2500.0 MHz

	Integer	Numerator	Analog VCO ppm error (corrected by DPLL)
VCO1	51	832391874878	7.24938030185E-09
VCO2	60	360777252864	0
VCO3	26	45812984491	1.16415321827E-08

VCO3 Frequency: 2500.0 MHz

Output Mute Options

PLL1	PLL2	PLL3
<input type="checkbox"/> MUTE_APLL1_LOCK	<input type="checkbox"/> MUTE_APLL2_LOCK	<input type="checkbox"/> MUTE_APLL3_LOCK
<input type="checkbox"/> MUTE_DPLL1_FRLOCK	<input type="checkbox"/> MUTE_DPLL2_FRLOCK	<input type="checkbox"/> MUTE_DPLL3_FRLOCK
<input type="checkbox"/> MUTE_DPLL1_PHLOCK	<input type="checkbox"/> MUTE_DPLL2_PHLOCK	<input type="checkbox"/> MUTE_DPLL3_PHLOCK

图 6-5. 步骤 5：时钟输出

从计算值列表中选择所需的 VCO 频率组合。如果特定 VCO 频率不在列表中，则可以选中 *Enable User Override* 复选框并键入所需的 VCO 频率，进行手动覆盖。*Copy to Selected VCO Frequency* 框也可用于将列表中选中的 VCO 频率复制到 VCO 覆盖。

按 *Assign Selected VCO Settings to Device* 按钮更新 VCO 频率，然后按 *Apply Output Clock Settings to Device* 按钮。默认情况下显示模拟 PLL 频率。但第 6 步计算出的 DPLL 频率将产生精确的输出频率。

计算输出频率计划后，确保将有效的 XO 输入馈送到器件中，这样 APLL 就可以锁定并生成所需的频率。在所有已启用的 APLL 均被锁定之前，器件不会输出任何时钟。

6.1.6 步骤 6

第 6 步只需输入所需的 DPLL 环路带宽。

备注

只要显示近似符号，将鼠标悬停在控件上，就可以查看工具提示显示的确切输出频率。

Step 6: PLLs

Update red fields to control the DPLL characteristics.

The transfer function and error function allowed peaking can be left at the default values, if there is no application requirement specifying these values.

Running the script will yield attenuation values (in dB) for the specified transfer/error function offsets.

DPLL1

VCO1 Freq. (MHz)
~4976.640000
Range: 4.8e9 to 5.35e9

Target	Actual
1	1.015
0.1	—
1	—
0.1	n/a

Offset (Hz)

100	-79.46 dB
100	-6.0 dB

DPLL2

VCO2 Freq. (MHz)
~5800.781250
Range: 5.6e9 to 5.95e9

Target	Actual
100	101.428
0.1	—
1	—
0.1	n/a

Offset (Hz)

100	-3.03 dB
100	-1.49 dB

DPLL3

VCO3 Freq. (MHz)
2500.0
Range: 2600.5MHz +/- 60ppm

Target	Actual
100	100.805
0.1	—
1	—
0.1	n/a

Offset (Hz)

100	-3.03 dB
100	-1.12 dB

DPLL LBW (Hz)
 DPLL Transfer Function Allowed Peaking (dB)
 DPLL Error Function Allowed Peaking (dB)
 DCO Step Size (ppb)
 Transfer Function Attenuation
 Error Function Attenuation

图 6-6. 步骤 6 : PLL

6.1.7 步骤 7

要计算 DPLL 分频器设置，请选择要计算的 DPLL 环路滤波器和分频器，然后按 *Run Script* 按钮。软件将运行，并计算必要的设置。

Step 7: Run Script

When red fields are changed, click **Calculate DPLL Settings** to generate updated DPLL settings for selected DPLLs below.

Calc DPLL1
 Calc DPLL2
 Calc DPLL3

Run Script

Bypass run script warning

图 6-7. 步骤 7 : 运行脚本

6.2 使用状态页面

“Status” 页面显示与器件当前状态相关的字段。要更新这些字段，请点击工具栏中的 *Read Status Bits* 按钮或 *Read RO Regs* 按钮。*Read RO Regs* 按钮将读取所有只读寄存器，这些寄存器在其他页面上提供更多信息（包括状态字段），但可能需要更长时间才能读回。读取状态位时只读取此页的状态位。

要锁定 DPLL，必须在图 6-8 所示窗口的 *Active Reference/Holdover* 和 *Reference Validated* 部分验证并选择基准。

DPLL 锁定时，预计在采集锁相后 LOPL_DPLLx 将是最后一个被清零的位。

当 INT_EN = 1 时，出现的任何实时状态标志都将锁存到“INTR Latched Bits”列。在按下 *Clear Latched Bits* 按钮之前，这些位将保持有效。通过此功能可进一步深入了解器件的行为。

按下工具栏中的 *Soft-chip reset* 按钮可将器件复位并重新锁定。

图 6-8. 状态页面

6.3 使用输入页面

“Input” 页面提供器件所有输入、APLL 频率和 DPLL 频率的概览视图。

运行开始页面第 7 步中的脚本来计算 DPLL 分频器和环路滤波器时，此页面显示设置 DPLL 频率的 DPLL 分频器值。此处显示的 DPLL 频率正是所需的确切频率。

每个 DPLL 支持两组 DPLL 分频器，可供选择。此时，该工具仅计算“FB Config 1”的分频器。要使用两个不同的反馈分频器，应按以下过程操作：

1. Div #1 的设置可复制到 Div #2，并选择供 *DPLL Div Select* 控件使用。
2. 需要 Div #2 设置的基准应设置为“FB Config 2”。
3. 可以运行第二次计算（重新运行脚本，即 DPLL 开始页面上的第 7 步），将使用“FB Config 1”的新值重新填充 Div #1 设置。
 - a. Div #2 设置将与第 1 步中最初复制的设置保持相同。

使用两个反馈分频器时，不要求 TDC 速率完全相同，只要求两个 DPLL 反馈配置的 TDC 速率差在 $\pm 5\%$ 以内即可。

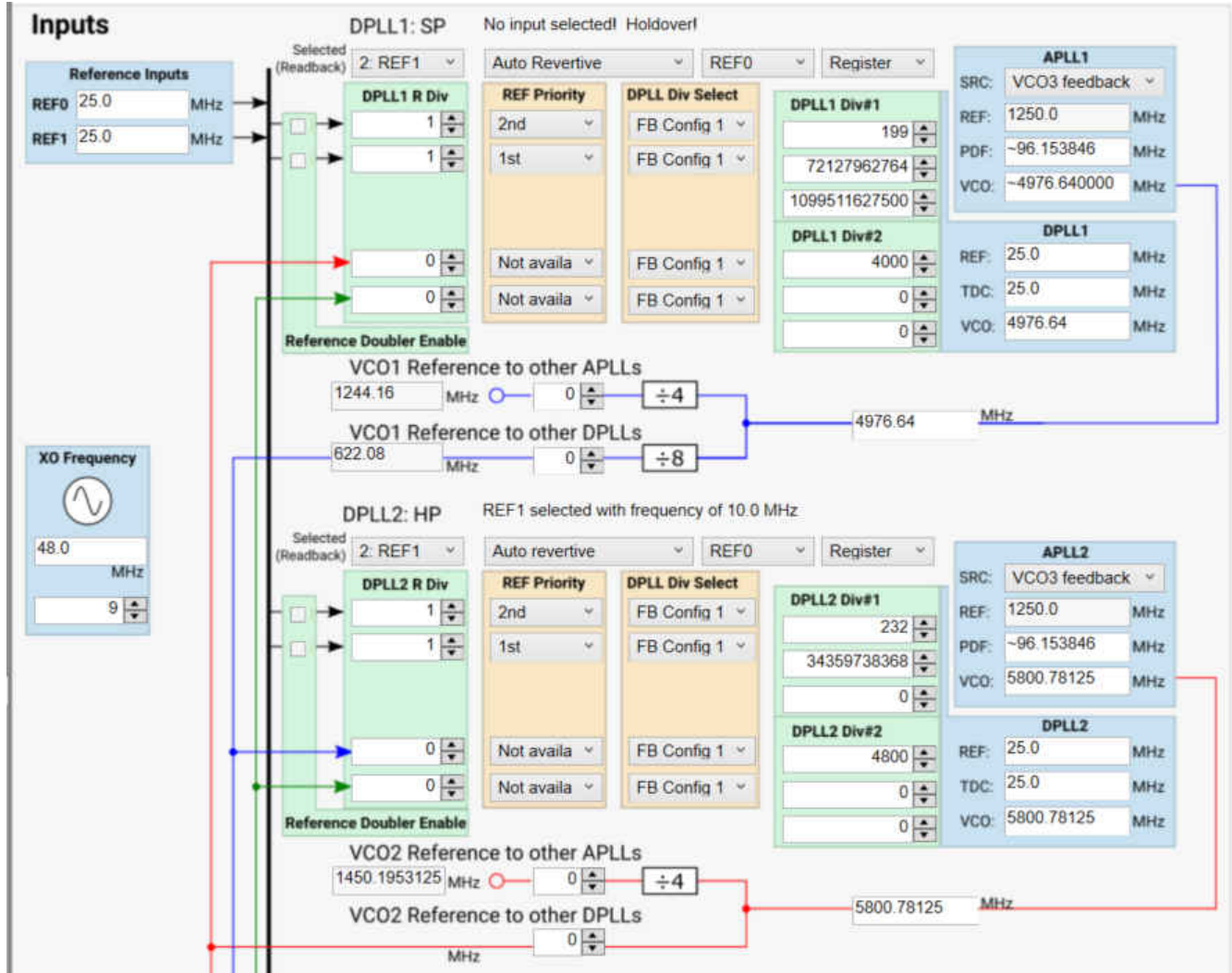


图 6-9. APLL 或 DPLL 频率选择

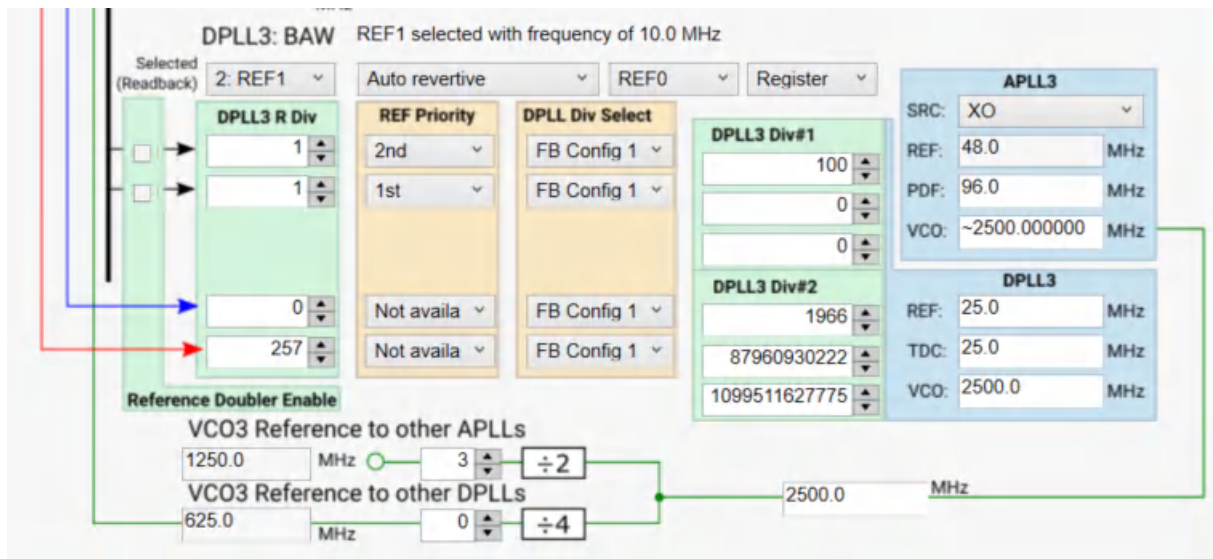


图 6-10. PLL3 输入

6.3.1 级联配置

可使用输入页面创建级联配置，其中相关的 VCO 缓冲器和分频器将通过源选择寄存器的状态进行推理并自动启用。

为了使级联配置有效，至少一个 PLL 必须始终有效并设置为 XO 基准源。APLL 启动优先级将尽可能自动选择作为 XO 源的 APLL，在所有其他 PLL 之前启动。如果处于引脚选择模式，无法正确推断启动优先级，用户必须在 *User Controls* 页面中自行设置此优先级。在下面的示例图中，APLL3 以 XO 输入为基准，APLL1 和 APLL2 以 APLL3 为基准。优先级按升序控制，0 优先级最高，2 优先级最低。APLL 可以共享优先级；如果所有 APLL 优先级均设置为 0，则所有 APLL 将同时启动。

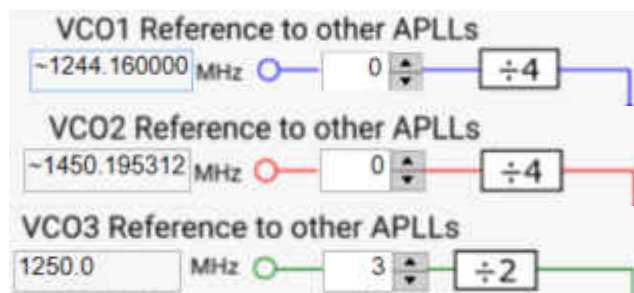
The screenshot shows three APLL configuration panels. The top panel is for APLL1 (4800 MHz to 5350 MHz) with a priority of 2 and the `PLL1_RDIV_XO_EN` checkbox unchecked. The middle panel is for APLL2 (High Performance, 5595 MHz to 5950 MHz) with a priority of 1 and the `PLL2_RDIV_XO_EN` checkbox unchecked. The bottom panel is for APLL3 (BAW, 2500 MHz ± 100 ppm) with a priority of 0 and the `PLL3_RDIV_XO_EN` checkbox checked.

图 6-11. 级联 APLL 启动优先级

6.3.1.1 将 VCO 级联至 APLL 基准

级联 APLL 由 APLL 源框控制，如图 6-12 所示。此框按位编程，并在生成频率计划时自动设置。*User Controls* 选项卡的 *Input Control* 部分中的 `XO_OUT_BUF_EN` 寄存器会自动设置为启用或禁用 XO 输出缓冲器。

`PLLx_RDIV_XO_EN` 在每个 APLLx 选项卡中会自动选中/取消选中，具体取决于每个 APLL 是否在使用 XO 输入。



位于“Inputs”页面

图 6-12. APLL 源框

6.4 使用 APLL1、APLL2 和 APLL3 页面

APLL 页面可用于查看有关 APLL 行为（包括输出分频器）的详细信息。可以在 PLL1 VCO 频率框（如红色圆圈所示）中键入 VCO 频率，重新计算分数 N 值。

如果不使用 DPLL，APLL 支持“仅限 APLL”的模式，使用可编程的 24 位分母。TICS Pro 软件目前不支持该模式。

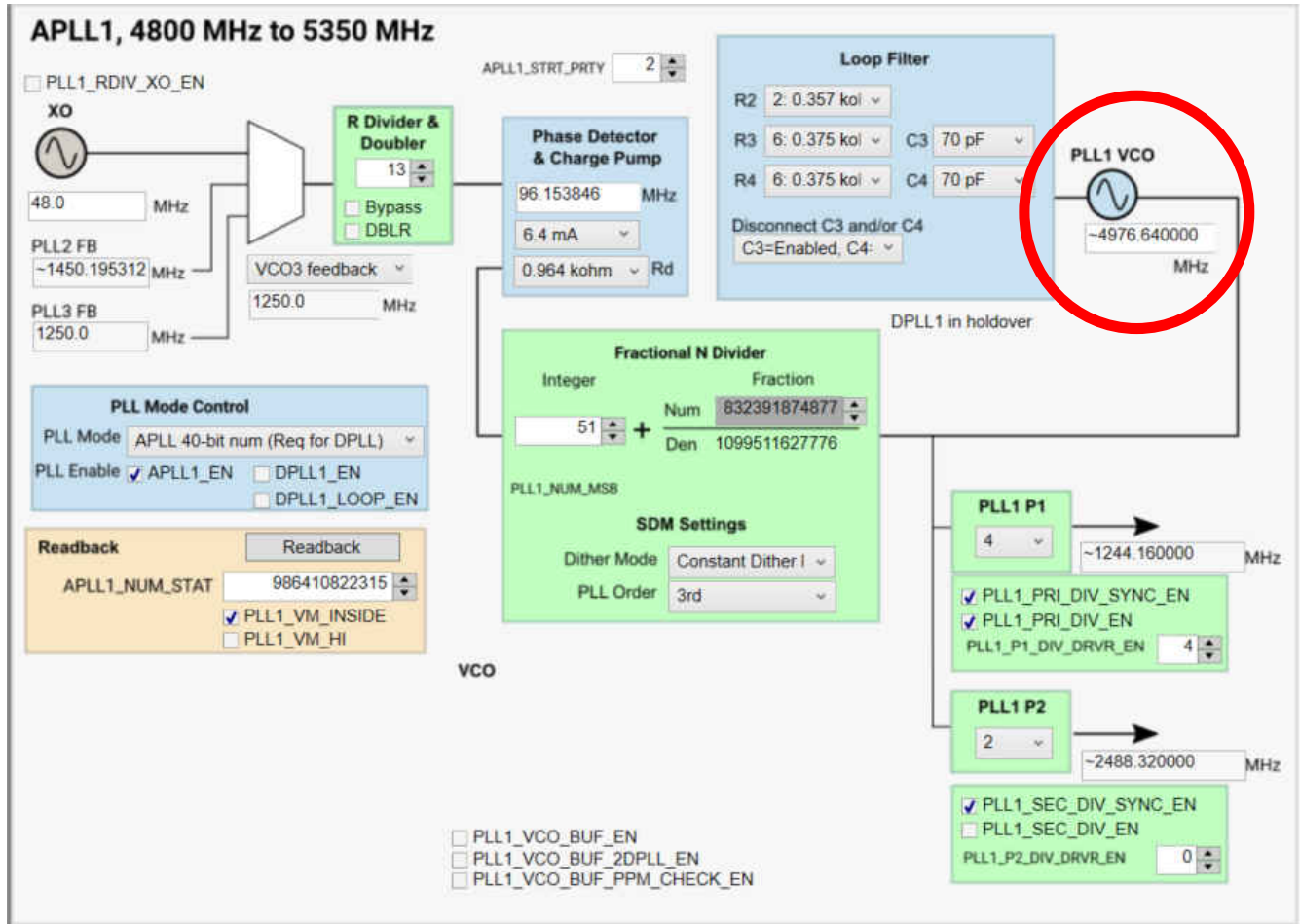


图 6-13. APLL1 页面

图 6-14 显示了 PLL2 的后分频器。图 6-15 显示了 PLL3 的后分频器。PLL3 支持 LMK5B33216 的所有输出。

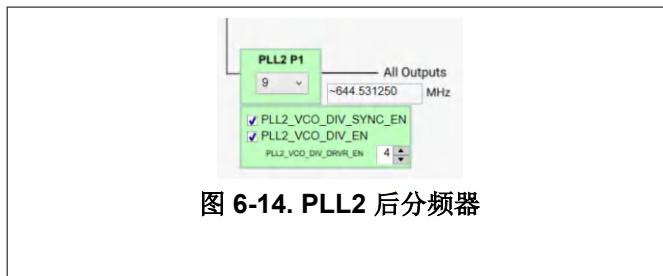


图 6-14. PLL2 后分频器

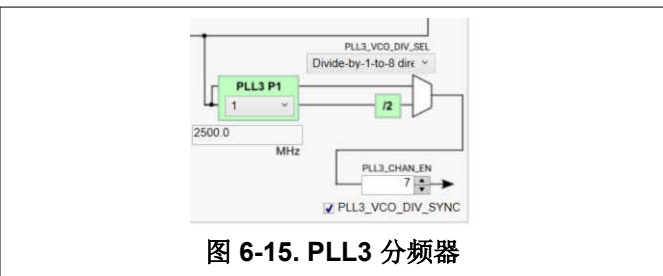


图 6-15. PLL3 分频器

6.4.1 APLL DCO

要针对给定的 APLL 使用 DCO 偏移控制，请在下图显示的 *DCO Step Size (ppb)* 框中输入 DCO ppb 步长值。输入的步长将用于计算分子偏差和二进制补码分子偏差。要执行偏移，必须按下“Increment”或“Decrement”按钮。增量将把分子偏差写入 DPLLx_FREE_RUN 控件，这将导致正频移，偏移量为 *DCO Step Size (ppb)* 指定的值。减量将把二进制补码分子偏差写入 DPLLx_FREE_RUN 控件，这将导致负频移，偏移量为 *DCO Step Size (ppb)* 指定的值。

通过 DPLLx_HOLD_SLEW_STEP 控件设置进行调整的压摆率。确保 DPLLx_HOLD_SLEW_STEP 不等于 0，否则不会进行调整。推荐的 DPLLx_HOLD_SLEW_STEP 值为 63 (最大值)。将值设为 63 将使调整最快。

APLL DCO Frequency Control

1. When performing a DCO adjustment to the APLL effective numerator in either relative or absolute mode, the rate of change is limited by the APLL loop bandwidth. The change is applied in steps at the rate defined by a numerator delta every timer value. This enables further limiting of the rate of phase/frequency change.
 2. In relative mode, every DPLL_FREE_RUN write adds to the effective APLL numerator. The effective APLL numerator can be read from RO field APLLx_NUM_STAT.
 3. In absolute mode, the DPLL_FREE_RUN register is added to the programmed APLL numerator. The effective APLL numerator can be read from RO field APLLx_NUM_STAT.

APLL1 DCO Freq. Control Relative Frequency Adjustment

DCO - Relative DCO Adjust (enter either desired DCO step size or numerator deviation value)

DCO Step Size (ppb) Actual Step Size (ppb) \longleftrightarrow numerator deviation DPLL1_FREE_RUN

numerator deviation 2s complement

DCO - Absolute DCO Adjust of APLL1 numerator value
 Use the relative DCO step size to calculate what the DPLL1_FREE_RUN value should be for a desired ppb offset.
 For a negative ppb offset, use the 2s complement value.

DPLL1_FREE_RUN + Actual APLL1 Numerator = Effective APLL1 Numerator

APLL1 DCO - (DPLL in holdover). This will limit rate of APLL DCO. SLEW_STEP = 63 with small timer effectively disables slew limiting

DPLL1_HOLD_SLEW_STEP DPLL1_HOLD_TIMER $\times 2^{\wedge}$ \times = 1.60 us

APLL2 DCO Freq. Control Relative Frequency Adjustment

DCO - Relative DCO Adjust (enter either desired DCO step size or numerator deviation value)

DCO Step Size (ppb) Actual Step Size (ppb) \longleftrightarrow numerator deviation DPLL2_FREE_RUN

numerator deviation 2s complement

DCO - Absolute DCO Adjust of APLL2 numerator value
 Use the relative DCO step size to calculate what the DPLL2_FREE_RUN value should be for a desired ppb offset.
 For a negative ppb offset, use the 2s complement value.

DPLL2_FREE_RUN + Actual APLL2 Numerator = Effective APLL2 Numerator

APLL2 DCO - (DPLL in holdover). This will limit rate of APLL DCO. SLEW_STEP = 63 with small timer effectively disables slew limiting

DPLL2_HOLD_SLEW_STEP DPLL2_HOLD_TIMER $\times 2^{\wedge}$ \times = 1.52 us

APLL3 DCO Freq. Control Relative Frequency Adjustment

DCO - Relative DCO Adjust (enter either desired DCO step size or numerator deviation value)

DCO Step Size (ppb) Actual Step Size (ppb) \longleftrightarrow numerator deviation DPLL3_FREE_RUN

numerator deviation 2s complement

DCO - Absolute DCO Adjust of APLL3 numerator value
 Use the relative DCO step size to calculate what the DPLL3_FREE_RUN value should be for a desired ppb offset.
 For a negative ppb offset, use the 2s complement value.

Effective APLL3 Numerator

图 6-16. APLL DCO 控件

6.5 使用 DPLL1、DPLL2 和 DPLL3 页面

DPLL 页面包含许多高级控件，它们通常在 *Run Script* 计算期间设置。

DPLL1

DPLL1 Controls
 DPLL1_EN DPLL1_PHASE_CANCEL_ALWAYS
 DPLL1_LOOP_EN
 DPLL1_ZDM_EN

DPLL1_PH_OFFSET DPLL1_CLK_DIV (Only DPLL1)

REF PH CANCEL
 DPLL1_PHASE_CANCEL_EN

REF SDM
DPLL1_FB_ORDER

图 6-17. 主要 DPLL 控件

6.5.1 DPLL DCO

要针对给定的 DPLL 使用 DCO 偏移控制，请在下图显示的 *DCO Step Size (ppb)* 框中输入 DCO ppb 步长值。输入的步长将用于计算应用于 DPLL 分子的频率偏差。该频率偏差显示在 DPLLx_FDEV 控件中。要执行偏移，必须按下“Increment”或“Decrement”按钮。

DPLL DCO Frequency Control

1. When performing a DCO adjustment to the DPLL numerator in either relative or absolute mode, the rate of change is limited by the DPLL loop bandwidth.
 2. In register relative mode, a relative adjustment of the DPLLx_FB_NUM is made by programming a deviation amount (DPLLx_FDEV) for each write to the address.
 3. When performing a GPIO relative adjustment, a relative adjustment of the DPLLx_FB_NUM is made by programming a deviation amount (DPLLx_FDEV) for each step in pin set direction.
 4. In absolute mode, the DPLLx_FB_NUM is written to based on the frequency control word (FCW).

DPLL1 DCO Freq. Control Relative: Incr/Decr via GPIO pins Selected Input: 0: Holdover FB Config: FB Config 1

DCO - Relative DCO Adjust (enter either desired DCO step size or DPLL1 numerator frequency deviation number) DPLL1_FDEV_EN GPIO_FDEV_EN

DCO Step Size (ppb) Actual (ppb) DPLL1_FDEV Increment Decrement

0.1 n/a 0

DCO - Absolute DCO Adjust (enter either desired ppb error or DPLL1 Numerator value) Original DPLL1 Numerator: Not calculated

Error from original DPLL1 frequency (ppb) Actual (ppb) Actual DPLL1 Numerator Reload Original DPLL Numerator

0 Not calculated 0

DPLL2 DCO Freq. Control Relative: Incr/Decr via GPIO pins Selected Input: 2: REF1 FB Config: FB Config 1

DCO - Relative DCO Adjust (enter either desired DCO step size or DPLL2 numerator frequency deviation number) DPLL2_FDEV_EN GPIO_FDEV_EN

DCO Step Size (ppb) Actual (ppb) DPLL2_FDEV Increment Decrement

0.1 n/a 0

DCO - Absolute DCO Adjust (enter either desired ppb error or DPLL2 Numerator value) Original DPLL2 Numerator: Not calculated

Error from original DPLL2 frequency (ppb) Actual (ppb) Actual DPLL2 Numerator Reload Original DPLL Numerator

0 Not calculated 0

DPLL3 DCO Freq. Control Relative: Incr/Decr via GPIO pins Selected Input: 2: REF1 FB Config: FB Config 1

DCO - Relative DCO Adjust (enter either desired DCO step size or DPLL3 numerator frequency deviation number) DPLL3_FDEV_EN GPIO_FDEV_EN

DCO Step Size (ppb) Actual (ppb) DPLL3_FDEV Increment Decrement

0.1 n/a 0

DCO - Absolute DCO Adjust (enter either desired ppb error or DPLL3 Numerator value) Original DPLL3 Numerator: Not calculated

Error from original DPLL3 frequency (ppb) Actual (ppb) Actual DPLL3 Numerator Reload Original DPLL Numerator

0 Not calculated 0

图 6-18. DPLL DCO 控件

6.6 使用验证页面

用户可在验证页面启用/禁用不同的检测器以进行基准验证，同时满足 DPLL 频率和锁相要求。按页面顶部的 *Reassign All* 按钮，可重新计算验证值。

图 6-19. 验证页面

6.7 使用 GPIO 页面

用户可以在 GPIO 页面配置 GPIO0、GPIO1 和 GPIO2 引脚。

在 EVM 上使用 SPI 回读时，GPIO2 必须配置为 *STATUS or INT...* 和 *SDO output*。在 I²C 模式下使用器件时，请参阅节 3.3。

图 6-20. GPIO 页面

6.7.1 SYNC/SYSREF/1-PPS 页面

SYNC/SYSREF/1-PPS 页面显示所有 SYSREF 块设置，并允许配置从 GPIO1 或 GPIO2 持续输出 SYSREF 或 1-PPS 时钟。

可以根据需要在 GPIO1 或 GPIO2 上复制 SYSREF 分频器输出信号，在启动后提供额外的单端 3.3V CMOS 时钟。要配置 SYSREF/1PPS 输出复制，必须将 GPIO 作为输出启用 (GPIOx_OUTEN = 1)，并且必须有一个有效的 SYSREF 输出连接到 GPIO 复制源。SYSREF 复制源来自 OUT0/1、OUT4/5、OUT6/7、OUT9、OUT10/11 或 OUT12/13 中正在使用的任何一个 SYSREF 分频器，通过寄存器编程设置 (OUT_x_y_SR_GPIO_EN = 1，GPIO_SYSREF_SEL 设为适当的 OUT_x_y)。GPIOx 复制的 SYSREF 输出将是持续频率。GPIOx 副本输出不支持脉冲 SYSREF 模式。

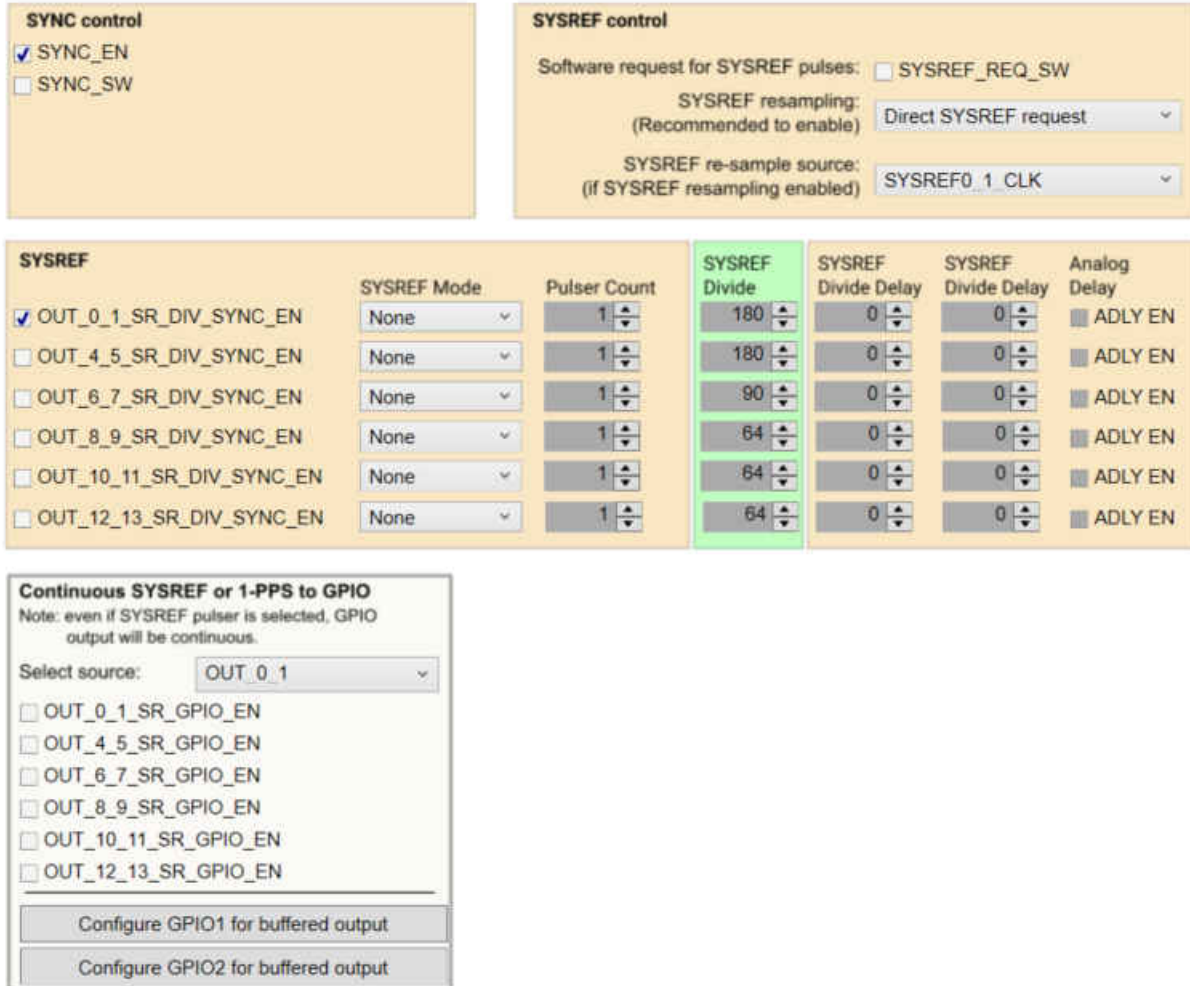


图 6-21. SYNC/SYSREF/1-PPS 页面

6.8 使用输出页面

“Outputs” 页面显示了输出通道所有可能的源频率。为了简化提供输出频率所需的设置字段，一个源多路复用器列出了每个输出所有可能的源。确保在屏幕右侧启用或禁用所需的输出。

“Outputs” 页面下方有许多更详细的输出页面，显示每组输出的各个控件。

OUT2 到 OUT3、OUT4 到 OUT7、OUT8 到 OUT13 以及 OUT14 到 OUT15 之间的黑线表示所有这些输出都应来自同一个 VCO。

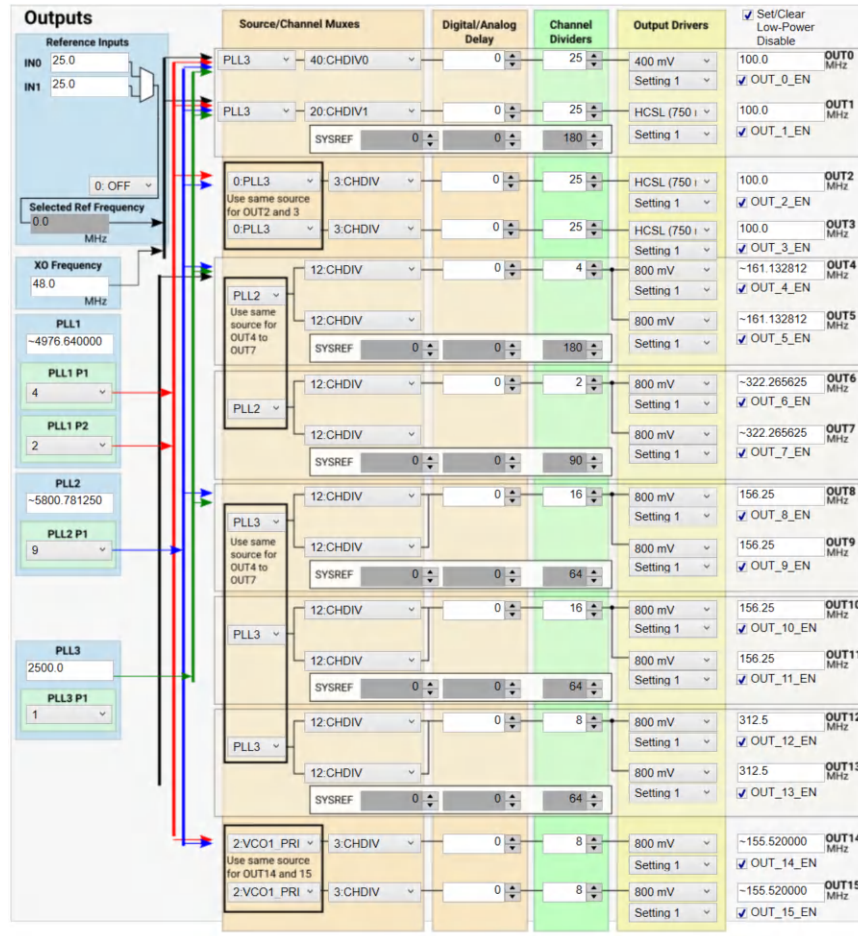
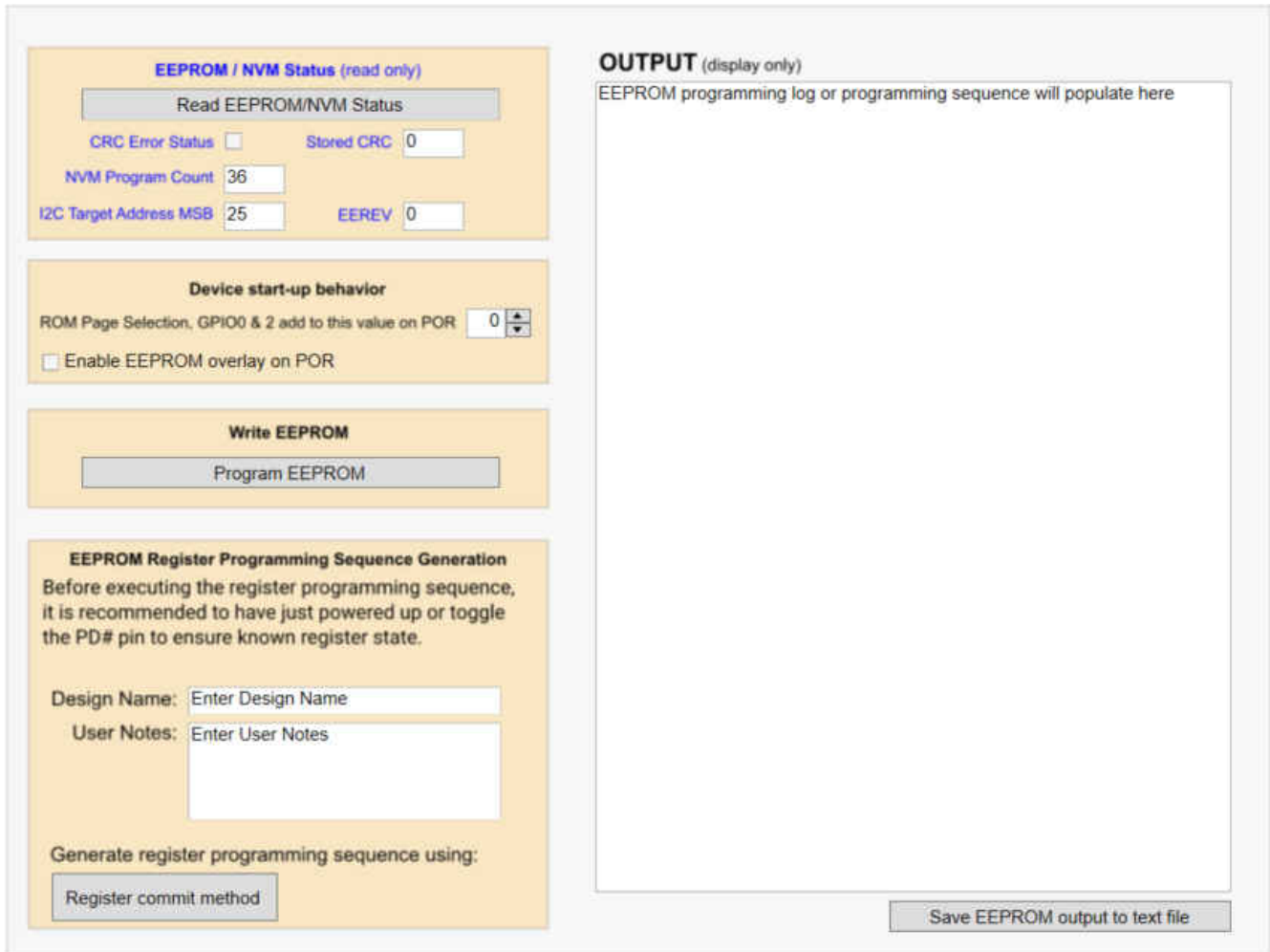


图 6-22. 输出页面

6.9 EEPROM 页面

EEPROM 页面用于将当前加载的器件设置写入器件 EEPROM。要对 EEPROM 进行编程，请按 *Program EEPROM* 按钮。



EEPROM / NVM Status (read only)

Read EEPROM/NVM Status

CRC Error Status Stored CRC 0

NVM Program Count 36

I2C Target Address MSB 25 EEREV 0

Device start-up behavior

ROM Page Selection, GPIO0 & 2 add to this value on POR 0

Enable EEPROM overlay on POR

Write EEPROM

Program EEPROM

EEPROM Register Programming Sequence Generation

Before executing the register programming sequence, it is recommended to have just powered up or toggle the PD# pin to ensure known register state.

Design Name: Enter Design Name

User Notes: Enter User Notes

Generate register programming sequence using:

Register commit method

OUTPUT (display only)

EEPROM programming log or programming sequence will populate here

Save EEPROM output to text file

图 6-23. EEPROM 页面

6.10 设计报告页面

“Design Report” 页面显示当前配置文件设置的概述。

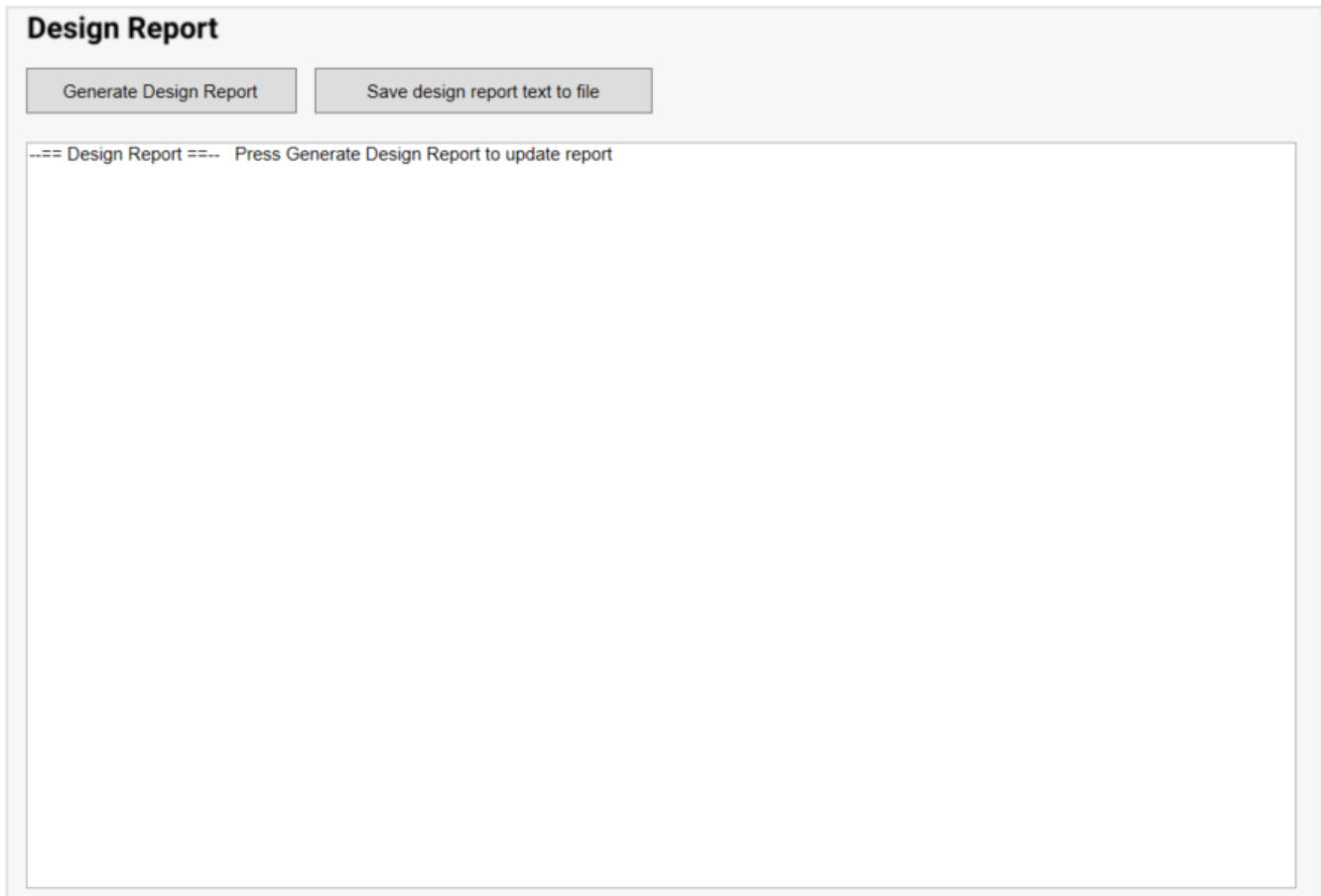


图 6-24. 设计报告页面

7 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (February 2022) to Revision A (July 2022)	Page
• 向 EVM 图像、原理图、BOM 表和 电源 部分添加了直流/直流电源选项.....	8
• 添加了 附加 XO 输入选项 部分.....	12
• 将 TICS Pro GUI 图像更改为最新的 LMK5B33216 TICS Pro 配置文件.....	33
• 更改了 APLL DCO 页面的说明.....	43
• 更改了 SYNC/SYSREF/1-PPS 页面的说明.....	45
• 更改了 EEPROM 页面的说明.....	47
• 更改了 “Design Report” 页面的说明.....	48

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司