

EVM User's Guide: DLPLCRC410EVM, DLPLCR65NEVM, DLPLCR70EVM, DLPLCR70UVEVM, DLPLCR95EVM, DLPLCR95UVEVM

DLP® Discovery™ 4100 开发平台

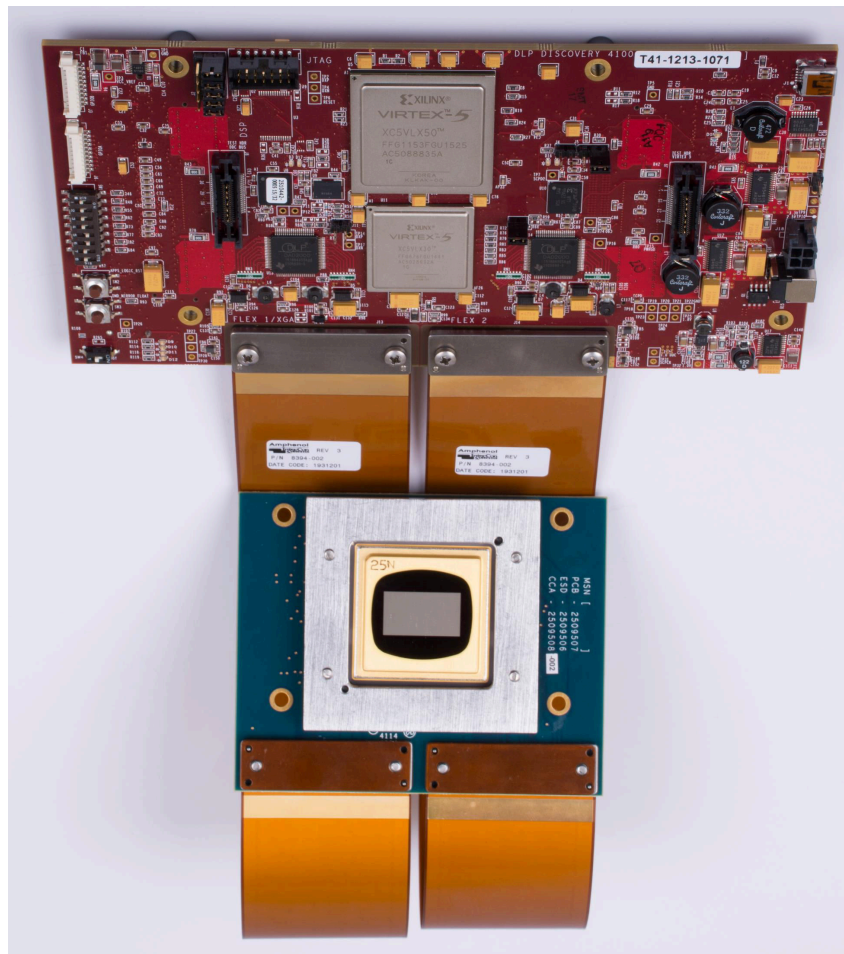


说明

DLPLCRC410EVM 是一个评估平台，可与另外五个基于 DMD 的 EVM 之一配对使用，用于展示适用于光刻、3D 打印 (SLS 和 SLA)、机器视觉、打标和编码等应用的先进光控制。此 EVM 可用于评估新的客户光源、光学元件、算法和曝光过程，从而加快潜在的 DLP 技术评估过程，缩短客户学习周期并加快产品上市。

特性

- 5 个不同 DMD 之一的光控制
- 二进制图形速率高达 32kHz
- 灰度图形速率高达 1.9kHz
- 400Mhz 时钟速率下的 2xLVDS DDR 输入数据接口
- 支持对 DMD 行的随机行寻址



DLPLCRC410EVM

内容

说明.....	1
特性.....	1
1 评估模块概述.....	4
1.1 引言.....	4
1.2 概述.....	4
2 硬件.....	9
2.1 主要元件.....	9
2.2 硬件概览和设置.....	11
3 软件.....	30
3.1 概述.....	31
3.2 DLP Discovery 4100 运行.....	32
3.3 图形用户界面.....	38
3.4 脚本和状态操作.....	50
3.5 DLPC410 控制窗口.....	52
3.6 测试图形窗口.....	53
3.7 关于对话框.....	54
3.8 链接.....	54
4 硬件设计文件.....	55
5 其他信息.....	55
5.1 商标.....	55
5.2 缩略语和首字母缩写词.....	56
5.3 命名规则.....	56
6 相关文档.....	57
7 修订历史记录.....	57

插图清单

图 1-1. D4100 平台方框图.....	6
图 1-2. DLPLCRC410EVM 连接至 DLPLCR95EVM.....	8
图 2-1. DLPLCRC410EVM 控制器板主要元件.....	9
图 2-2. DLPLCRC410EVM 控制器连接器 (顶视图).....	12
图 2-3. DLPLCRC410EVM 控制器连接器 (底视图).....	12
图 2-4. DLPLCRC410EVM 控制器配置跳线.....	25
图 2-5. DLPLCRC410EVM 板载开关.....	26
图 2-6. DLPLCRC410EVM 控制器板指示灯.....	28
图 2-7. DLPLCRC410EVM 测试点位置.....	29
图 3-1. Discovery 4100 Explorer GUI.....	30
图 3-2. 更新驱动程序软件.....	32
图 3-3. 浏览驱动程序软件.....	33
图 3-4. 从设备驱动程序列表中选择.....	33
图 3-5. 选择“Universal Serial Bus devices”.....	34
图 3-6. 从磁盘安装.....	34
图 3-7. 浏览 .inf 文件.....	35
图 3-8. 选择 TI D4100 Explorer.....	35
图 3-9. 驱动程序安装窗口.....	36
图 3-10. 验证设备.....	36
图 3-11. Discovery 4100 Explorer USB 和 DMD - 连接状态.....	37
图 3-12. 图形用户界面布局.....	38
图 3-13. 菜单栏.....	38
图 3-14. 文件菜单.....	39
图 3-15. 视图菜单.....	39
图 3-16. DMD 菜单.....	39
图 3-17. 执行菜单.....	40
图 3-18. 测试图形菜单.....	41
图 3-19. 帮助菜单.....	41
图 3-20. 工具栏.....	42
图 3-21. 脚本命令窗口.....	43
图 3-22. 加载选项卡.....	44
图 3-23. 复位选项卡.....	45

图 3-24. 清除选项卡.....	46
图 3-25. 悬空选项卡.....	47
图 3-26. 控制选项卡.....	48
图 3-27. 状态窗口.....	49
图 3-28. 脚本窗口.....	49
图 3-29. DLPC410 控制窗口.....	52
图 3-30. 测试图形窗口.....	53
图 3-31. 关于对话框.....	54

表格清单

表 1-1. D4100 平台 EVM 和 DMD 类型.....	5
表 2-1. J12 输入电源引脚分配.....	13
表 2-2. J18 输入电源引脚分配.....	13
表 2-3. J1 USB 引脚分配.....	13
表 2-4. J3 USB GPIO.....	13
表 2-5. J6 GPIO_A 连接器.....	14
表 2-6. J8 DLPC410 Mictor 连接器.....	14
表 2-7. J9 USB/APPSFPGA Mictor 连接器.....	15
表 2-8. J13 DMD 柔性连接器 1.....	16
表 2-9. J14 DMD 柔性连接器 2.....	18
表 2-10. J15 DDR2 SODIMM 连接器.....	20
表 2-11. J16 EXP-1 连接器.....	21
表 2-12. J16 EXP-1 电源和接地连接.....	22
表 2-13. J17 EXP-2 连接器.....	23
表 2-14. J17 EXP-2 电源和接地连接.....	24
表 2-15. H1 Xilinx APPSFPGA JTAG 接头.....	24
表 2-16. EXP 电压选择.....	25
表 2-17. APPSFPGA 版本选择.....	25
表 2-18. 共享 USB 信号启用/禁用.....	26
表 2-19. DLPA200 B 输出使能.....	26
表 2-20. SW1 DIP 开关分配.....	27
表 2-21. DLPLCRC410EVM 测试点网络名称.....	29
表 3-1. DMD 特性.....	31
表 3-2. SW1 DIP 开关分配.....	54

1 评估模块概述

1.1 引言

本指南介绍了 DLP Discovery 4100 开发平台评估模块 (EVM) 的硬件和软件功能。不仅介绍了 EVM 架构和连接器，还提供了有关如何使用基于 PC 的图形用户界面 (GUI) 操作 D4100 平台的快速入门指南。有关特定 DLP 芯片的详细信息和操作，请参阅相关元件文档。

通过 DLP Discovery 4100 开发平台，可以很好地评估 DLP 芯片产品组合提供的超快二进制图形和数据速率。设计人员可以通过全局、四块、双块和单块模式对所有 DMD 微镜进行像素级精确控制，从而为连续 (灯) 或固态 (开关) 照明应用定制 DMD 微镜图形时序。通过 D4100，客户还可以使用高性能 UV 和 NIR DLP 芯片进行以下系统设计：

- 平版印刷
- 3D 打印和增材制造
- 动态灰度打标和编码
- 工业印刷
- 结构光，例如：
 - 工厂自动化和 3D 机器视觉
 - 3D 在线自动光学检测 (AOI)
 - 机器人视觉
 - 离线 3D 计量
 - 3D 扫描仪
 - 3D 识别和生物识别
- 医疗与生命科学
- 高速成像和显示

警告

D4100 控制器板上 U11 和 U5 附近的高温表面。

DLP Discovery 4100 开发平台 (简称“D4100 平台”) 是一个评估平台，可用于使用 DLP650LNIR、DLP7000、DLP9500、DLP7000UV、DLP9500UV、DLPC410、DLPR410 和 DLPA200 芯片进行实验和开发。

该平台面向需要以下特性的应用：

- 高达 32kHz 的快速二进制图形刷新率
- 高达 48Gbps 的高速数据速率
- 363nm 至 420nm 的紫外线 (UV) 成像
- 850nm 至 2000nm 的近红外 (NIR) 成像
- 400nm 至 700nm 的可见光成像
- 高达 1080p (约 210 万像素) 的分辨率

1.2 概述

DLP Discovery 4100 是由六个评估模块组成，这些评估模块搭配使用时，可以创建高度灵活的平台，用于学习、试验和开发 DLP 技术。该平台的核心是 DLPLCRC410EVM 控制器板。DLPLCRC410EVM 板包括 DLPC410、DLPR410、DLPA200、数字接收器、闪存、电源管理电路以及支持数字逻辑。为了让设计人员能够扩展到在多个 DMD 器件之间移植 DLP 设计工作，DLPLCRC410EVM 可与以下五个 DMD EVM 中的任何一个配合使用：

- DLPLCR65NEVM：包括 DLP650LNIR DMD 板、DLP650LNIR DMD 和一根柔性电缆
- DLPLCR70EVM：包括 DLP7000 DMD 板、DLP7000 DMD 和一根柔性电缆
- DLPLCR70UVEVM：包括 DLP7000UV DMD 板、DLP7000UV DMD 和一根柔性电缆
- DLPLCR95EVM：包括 DLP9500 DMD 板、DLP9500 DMD 和两根柔性电缆
- DLPLCR95UVEVM：包括 DLP9500UV DMD 板、DLP9500UV DMD 和两根柔性电缆

当 DLPLCRC410EVM 连接到上述任何 DMD EVM 时，DLPC410、应用 FPGA 和软件 GUI 会识别所连的 DMD 并为其提供正确的信号和时序。DLPLCRC410EVM 开箱即用，并提供一小组滚动测试图形，使客户能够评估光学

设计的相关光学性能。如果需要，可以停止这些滚动测试图形，使所选图形保持不变。如果这些图形不够，则可以使用基于 PC 的软件 GUI。GUI 程序允许通过 USB 将二进制图形数据下载到板载应用 FPGA (APPSFPGA) 上。应用 FPGA 会将数据发送到 DLPC410，然后 DLPC410 会在 DMD 上显示图像或图形。

Xilinx Virtex 5 (LX50) APPSFPGA 为开发定制应用提供了一个用户可编程平台。APPSFPGA 连接到 EXP 扩展连接器以实现定制接口。板载 USB 接口为开发提供了方便的接口。另外还包括 DDR2 SODIMM 存储器和 SPI 闪存存储器与应用 FPGA 的连接。该平台包含用于客户 USB 控制应用的 Cypress CY7C68013A USB 控制器。TI.COM 上提供了 APPSFPGA 的源代码，以便为精通 VHDL 的客户提供参考，供他们在自己的开发中使用。

D4100 的用户能够以像素级精度和快速图形速率来处理可见光、紫外光和近红外光。D4100 为开发者提供了一个灵活的平台，让开发者可以使用成熟可靠的 DLP 技术设计适合各种应用的产品。如前所述，五个基于 DMD 的 EVM 支持五个不同的 DMD 选项：两个在可见光谱中，两个在紫外光谱中，一个在近红外光谱中。EVM、DMD 和选定性能数据如表 1-1 所示：

表 1-1. D4100 平台 EVM 和 DMD 类型

EVM	DMD 产品文件夹	DMD 列数	DMD 行数	复位最大二进制图形速率 (Hz)		数据总线宽度
				全局复位	分步复位	
DLPLCR95EVM	DLP9500 0.95 1080p	1920	1080	17,636	23,148	64
DLPLCR95UVEVM	DLP9500UV 0.95 UV 1080p					
DLPLCR70EVM	DLP7000 0.7 XGA	1024	768	22,614	32,552	32
DLPLCR70UVEVM	DLP7000UV 0.7 UV XGA					
DLPLCR65NEVM	DLP650LNIR 0.65 NIR WXGA	1280	800	10,800	12,500	16

D4100 平台将高性能 D4100 芯片组与用户可编程应用 FPGA (APPSFPGA) 相结合。

Xilinx Virtex 5 (LX50) APPSFPGA 为开发定制应用提供了一个用户可编程平台。APPSFPGA 连接到 EXP 扩展连接器以实现定制接口。板载 USB 接口为快速原型设计提供了方便的接口。该平台包含 DDR2 SO-DIMM 存储器和 SPI 闪存存储器与应用 FPGA 的连接，供客户使用。该平台包含用于客户 USB 控制应用的 Cypress CY7C68013A USB 控制器。

本文档旨在帮助开发者使用 D4100 平台，并提供 DLPLCR410EVM 的硬件参考设计详细信息。

1.2.1 DLP Discovery 4100 开发平台

DLP Discovery 4100 开发平台 (D4100 平台) 通常是指一个 DLPLCRC410EVM 和一个 DMD EVM 的组合。这些包括：

- 一块 DLPLCRC410EVM 控制器板
- 一块具有 DMD 和 DMD 安装机制的 DMD 板 (仅限 A 类 DMD)
- 一根或两根柔性 PCB 电缆

套件中未包含但操作是需要以下项目：

- 一个电源： $V_{OUT} = 5V$ ， $I_{OUT} = 6A$ (必需)

未包含，可选且仅在开发和下载新 APPSFPGA 固件时才需要：

- 一根 Xilinx DLC9G 编程电缆

图 1-1 所示为 D4100 平台的简化方框图。

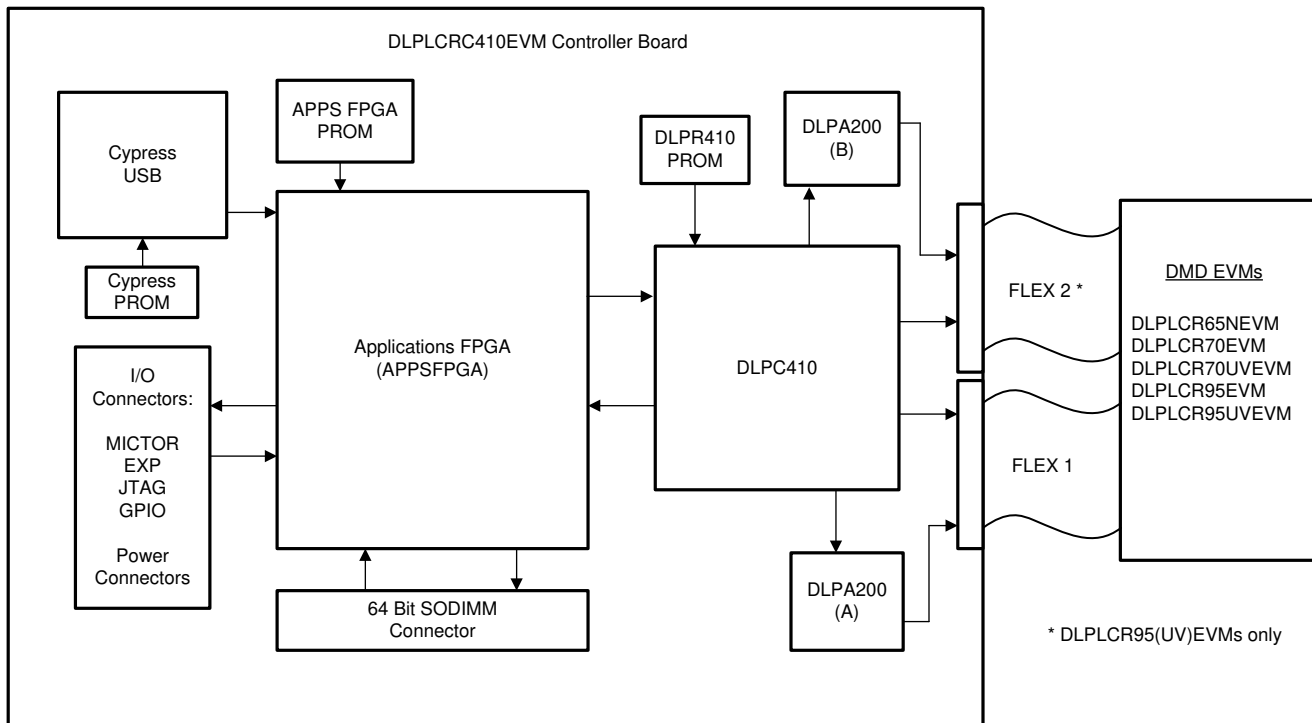


图 1-1. D4100 平台方框图

DLPLCRC410EVM 的 DLP Discovery 4100 EVM 控制器板包含：

- DLPC410 DLP 数字控制器
 - 提供输入高速 16/32/64 位 2xLVDS 数据和控制用户界面。
 - 提供到 DMD 和 DLPA200 的输出数据和控制接口。
- DLPR410 配置 PROM
 - 存储并提供 DLPC410 控制器的配置数据。
- DLPA200 DMD 微镜驱动器
 - 为多达 16 个 DMD 复位块生成微镜时钟脉冲 (复位) 。
 - 支持高复位频率。
 - 一个用于 DLP650LNIR、DLP7000 或 DLP7000UV DMD，另一个用于 DLP9500 或 DLP9500UV DMD。
- 16/32/64 位 400MHz 2xLVDS DLPC410 至 DMD 数据接口
 - 16 位用于 DLP650LNIR DMD。
 - 32 位用于 DLP7000 和 DLP7000UV DMD。

- 64 位用于 DLP9500 和 DLP9500UV DMD。
- 5V 输入电源连接器
 - 包括其他电源的板载调节。
- 应用 FPGA (APPSFPGA)
 - Xilinx Virtex 5 (XC5VLX50) FPGA，用于用户应用图形生成和开发机会。
- APPSFPGA 配置 PROM (XCF16P)
 - 存储并提供 APPSFPGA 的配置数据。用户可编程，供未来开发使用。
- 一个 64 位 DDR2 SODIMM 连接器
 - 用于图像存储的最终用户开发。
- Cypress CY7C68013A USB 控制器
 - 提供 USB 数据和控制接口 (USB 速度可以限制图形速率)。
 - 支持 USB 接口的最终用户开发。
- EXP 扩展连接器
 - 连接到外部 EXP 接口兼容的客户电路板。
 - 包括额外的 2xLVDS 对，以支持通过 EXP 连接器进行 64 位 2xLVDS 连接。
- 闪存存储器 (连接到 APPSFPGA)
 - 用于最终用户开发的非易失性存储。
- 各种 I/O 连接器
 - 用于连接逻辑分析仪的 Mictor 测试连接器。
 - 用于器件编程的 JTAG 接头。
 - 用于通用数字 I/O 的 GPIO 连接器。

1.2.2 DLP Discovery 4100 开发平台照片

当 DLPLCRC410EVM 和 DLPLCR95EVM 组装在一起时，组合的 D4100 平台如图 1-2 所示。其他 DMD EVM 以类似的方式连接到 DLPLCRC410EVM，并且看起来非常相似，但 DLPLCRC410EVM 仅使用单根柔性电缆 (Flex 1) 连接控制器板和 DMD 板。

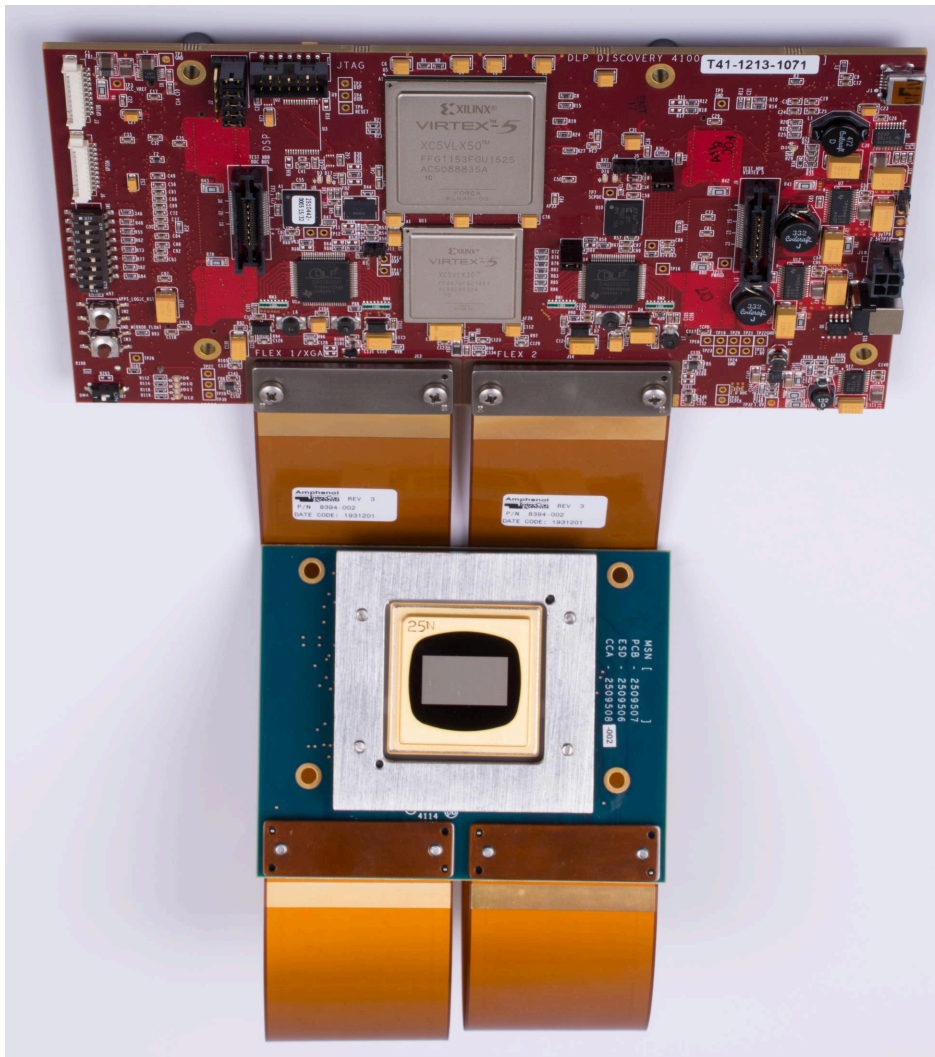


图 1-2. DLPLCRC410EVM 连接至 DLPLCR95EVM

2 硬件

2.1 主要元件

图 2-1 显示了本节介绍的 D4100 控制器板主要元件。

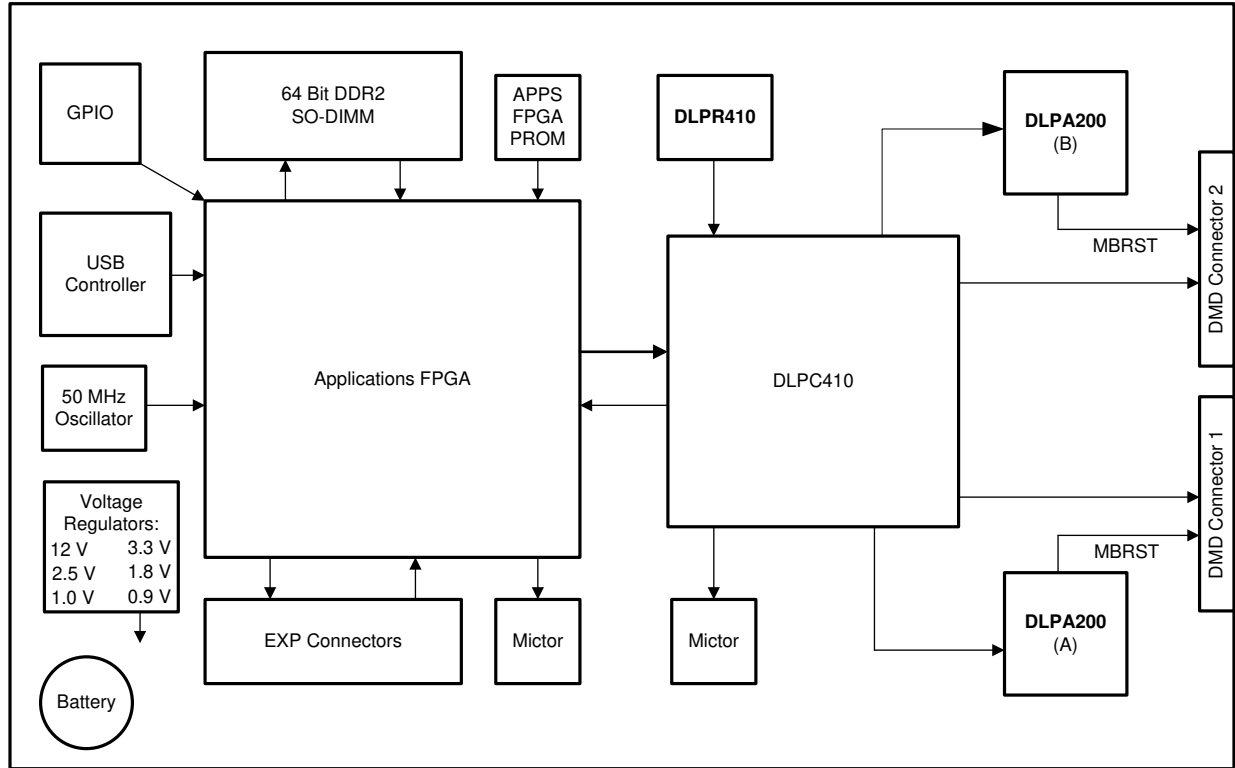


图 2-1. DLPLC410EVM 控制器板主要元件

2.1.1 Xilinx Virtex 5 APPSFPGA

APPSFPGA (Xilinx Virtex 5 LX50) 用于为 DMD 开发接口和控制设计。APPSFPGA 连接到许多 I/O 连接器、接口控制器和存储器，用于在开发定制电路板设计之前对定制控制设计进行原型设计。

2.1.2 DLPC410 - 适用于 DLP Discovery 4100 芯片组的数字控制器

D4100 芯片组包括 DLPC410 控制器 (配置的 Xilinx Virtex 5 LX30)，后者提供用于 DMD 控制的高速 2xLVDS 数据和控制接口。此接口连接到 APPSFPGA，以支持从 APPSFPGA 进行控制。DLPC410 生成 DMD 和 DLPA200 初始化和控制信号，以响应控制接口上的输入。

更多信息，请参阅 [DLPC410 DMD 数字控制器](#) 数据表。

2.1.3 DLPA200 - DMD 显微镜驱动器

两个 DLPA200 复位驱动器为 DMD 提供高压电源和复位驱动器功能。DLP650LNIR、DLP7000 或 DLP7000UV DMD 需要一个 DLPA200，DLP9500 或 DLP9500UV DMD 需要两个 DLPA200。J11 用于启用/禁用第二个 DLPA200。

有关 DLPA200 的更多信息，请参阅 [DLPA200 数字显微镜器件驱动器](#) 数据表。

2.1.4 DLPR410 - 用于 DLPC410 控制器的配置 PROM

D4100 芯片组包括 DLPR410 控制器，后者用于配置 DLPC410 (Xilinx Virtex 5 LX30)。此 PROM 的内容不得更改，不得对其进行编程！

更多信息，请参阅 [DLPR410-DLP 用于 DLPC410 的配置 PROM](#) 数据表。

2.1.5 APPSFPGA 闪存配置 PROM

PROM 用于存储和配置 APPSFPGA。PROM 是一款预加载了测试图形生成功能的 Xilinx XCF16P 闪存 PROM。客户可以根据需要通过 JTAG 接口和 Xilinx 编程工具来更改 APPSFPGA PROM 编程。TI 建议在对该 PROM 重新编程之前，下载并保存一份预加载的测试图形生成程序。

2.1.6 DMD 连接器

两个 DMD Land Grid Array 连接器可连接两根 DMD 柔性电缆。在 J13 和 J14 位置处连接柔性电缆，以连接 DLPLCR95EVM 或 DLPLCR95UVEVM。否则，仅将一根柔性电缆连接到 J13，以连接到 DLPLCR70EVM、DLPLCR70UVEMV 和 DLPLCR65NEVM。

2.1.7 USB 控制器

该平台包含一个 Cypress CY7C68013A USB 控制器，用于开发 USB 接口功能。

2.1.8 50MHz 振荡器

该控制器有一个固定的 50MHz、2.5V 振荡器连接到 APPSFPGA 以生成时钟。

2.1.9 DDR2 SODIMM 连接器

64 位 DDR2 SODIMM 连接器提供与 APPSFPGA 的高速存储器连接。不包含 APPSFPGA 的存储器控制器设计。如需存储器控制器参考设计，请访问 www.xilinx.com。

2.1.10 连接器

2.1.10.1 JTAG 接头 H1

H1 JTAG 接头端口提供了 APPSFPGA 和闪存配置 PROM 的编程接口。

2.1.10.2 Mictor 连接器

Mictor 连接器支持将逻辑分析仪连接到 APPSFPGA 和 Cypress CY7C68013A 信号以提供开发支持。

2.1.10.3 GPIO 连接器

通用数字 I/O 连接器。

2.1.11 电池

电池为 Virtex 5 FPGA 中的加密安全功能供电。有关更多详细信息，请参阅 Xilinx Virtex 5 数据表。

2.1.12 电源

为所有必需的电源提供板载电压调节。本节列出了控制器稳压器及其用途。

2.1.12.1 J12 电源连接器

J12 电源连接器是 DLPLCRC410EVM 控制器板的输入电源连接器。为确保正常运行，此电源连接器必须连接到能够提供 30W 输入功率的 5V VDC 电源。通过输入电源连接器 J18 连接电源时，不得使用此连接器。

2.1.12.2 J18 电源连接器

J18 电源连接器是 DLPLCRC410EVM 控制器板的另一个输入电源连接器。为确保正常运行，此电源连接器必须连接到能够提供 30W 输入功率的 5V VDC 电源。通过输入电源连接器 J12 连接电源时，不得使用此连接器。

2.1.12.3 寄存器 0.9V

这个会以 0.9V 提供 1A 作为 DDR2 基准电压电源。

2.1.12.4 寄存器 1.0V

这个会以 1.0V 提供 3A 作为 Virtex 5 内核电源。

2.1.12.5 寄存器 1.8V

这个会以 1.8V 提供 3A 来用于 DDR2 电源和 FPGA I/O。

2.1.12.6 寄存器 2.5V

这个会 2.5V 提供 6A 来为 XCF16P FPGA I/O 供电。

2.1.12.7 寄存器 3.3V

这个会以 3.3V 提供 3A 来为 DMD 和 USB 控制器供电。

2.1.12.8 寄存器 12V

这个会以 12V 提供 0.5A 来为 DLPA200 供电。

2.2 硬件概览和设置

2.2.1 入门

使用出厂安装的默认 APPSFPGA 代码启动电路板运行时，必须遵循以下步骤：

1. 使用提供的柔性电缆将所需的 DMD EVM 连接到 DLPLCRC410EVM。用一根柔性电缆将 J13 连接到 DLPLCR70EVM、DLPLCR70UVEVM 或 DLPLCR65NEVM。J13 和 J14 上连接的两根柔性电缆用于连接 DLPLCR95EVM 和 DLPLCR95UVEVM。
2. 确认所有 SW1 开关均处于 OFF 位置。确认所有五个 J2 跳线均已就位。如果使用 DLPLCR95EVM 和 DLPLCR95UVEVM，请确认已安装 J10。
3. 在电源关闭的情况下，将 5V、6A 电源连接到电源输入连接器 J12 或 J18（不是两者都连接）。
4. 打开电源，然后将 SW4 滑动到 ON。D2 和 D3 会短暂亮起，表示正在配置 APPSFPGA 和 DLPC410 控制器。配置完成后，D2 和 D3 会熄灭，D16 和 D17 呈绿色亮起。D9 以 1Hz 的频率呈绿色闪烁。D10 呈绿色亮起。从这时开始，DMD 会重复多个测试模式。

要停止运行，请执行以下操作：

1. TI **强烈建议**在关闭电源之前将 DMD 微镜，以便将微镜设置为平坦状态。按下 SW3 以使 DMD 悬空。
2. 关闭电源。

2.2.2 用户连接器和 I/O

本节介绍了每个 DLPLCRC410EVM 控制器板外部连接器的用法并提供引脚分配信息。图 2-2 和图 2-3 显示了 D4100 控制器板上的连接器位置。

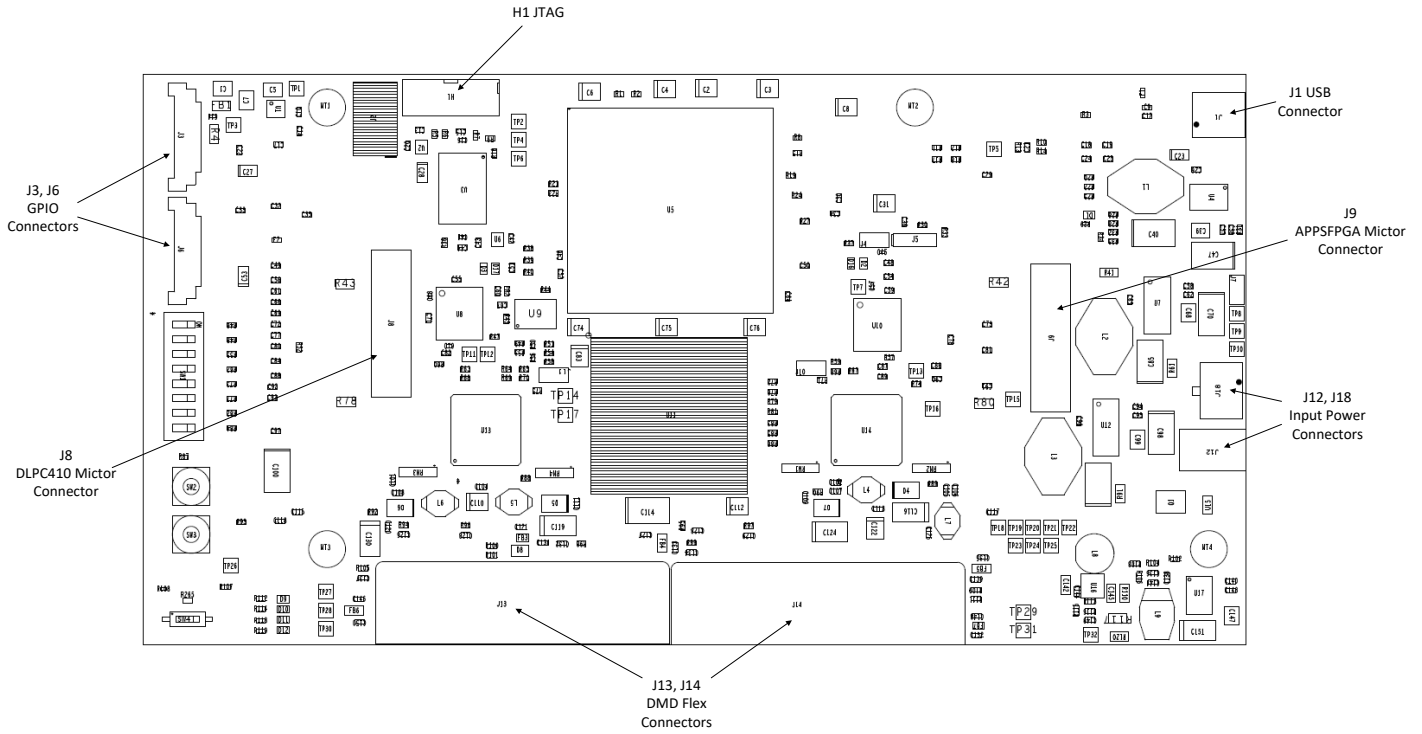


图 2-2. DLPLCRC410EVM 控制器连接器 (顶视图)

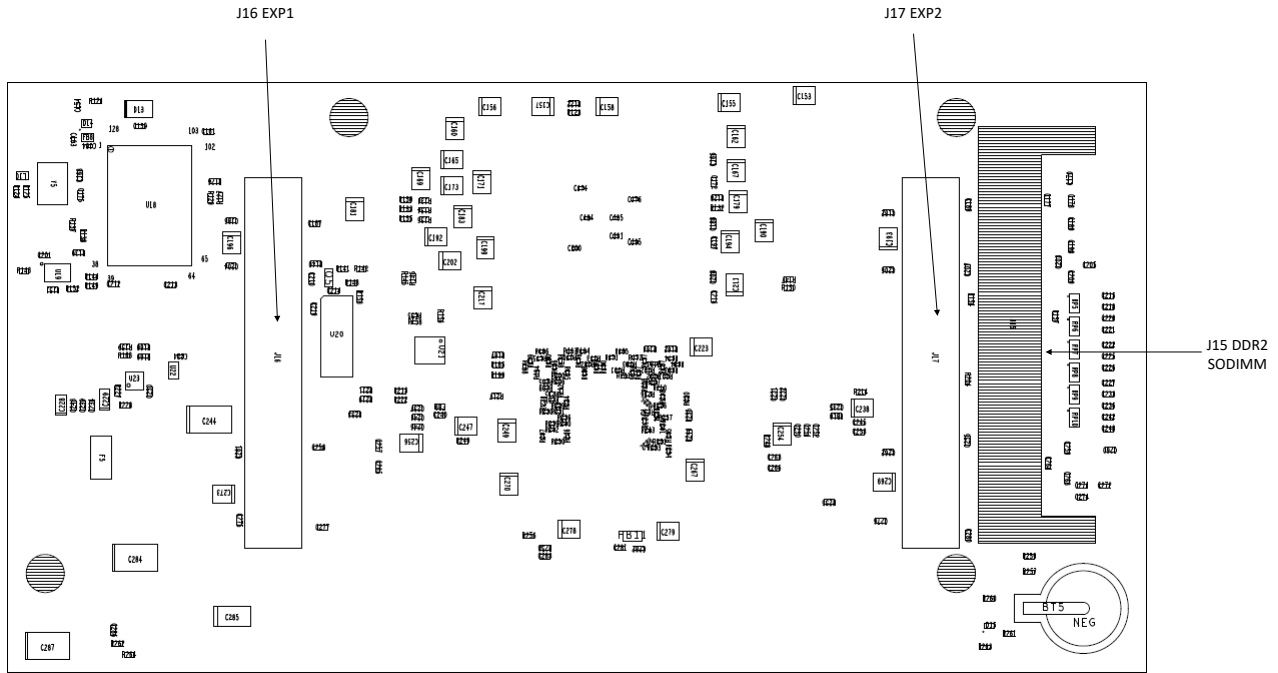


图 2-3. DLPLCRC410EVM 控制器连接器 (底视图)

2.2.2.1 J12 输入电源连接器

连接器 J12 接受 D4100 平台的 +5 VDC 输入电源。请勿同时使用连接器 J12 和 J18。

J12 是由 CUI Inc. 制造的直流电源插孔连接器，器件型号为 PJ-047BH 或等效器件。

表 2-1. J12 输入电源引脚分配

引脚编号	引脚名称	说明
1	+5V_IN	+5V VDC 输入，最大 30W。引脚 1 居中，内径为 2.5mm，外径为 5.5mm。
2	GND	引脚 2 和 3 一起接地。
3	GND	引脚 2 和 3 一起接地。

2.2.2.2 J18 输入电源连接器

连接器 J18 接受 D4100 平台的 +5 VDC 输入电源。请勿同时使用连接器 J18 和 J12。

J18 是 Molex 连接器，器件型号为 043045-0412 或等效器件。

表 2-2. J18 输入电源引脚分配

引脚编号	引脚名称	说明
1	GND	地
2	GND	地
3	+5V_IN	+5V VDC 输入，最大 30W。
4	+5V_IN	+5V VDC 输入，最大 30W。

2.2.2.3 J1 USB 连接器引脚分配

连接器 J1 为控制器板提供 USB 输入。

表 2-3. J1 USB 引脚分配

引脚编号	引脚名称	引脚编号	引脚名称
1	USB_5V	2	D -
3	D+	4	NC
5	GND		

2.2.2.4 J3 USB GPIO

连接器 J3 提供到 Cypress USB 控制器的八个通用 USB I/O 引脚连接。有关更多信息，请参阅 www.cypress.com 上的 Cypress CY7C68013A 数据表。

表 2-4. J3 USB GPIO

引脚编号	引脚名称	引脚编号	引脚名称
1	3.3V	6	USB_GPIO B3
2	USB_GPIO B7	7	USB_GPIO B2
3	USB_GPIO B6	8	USB_GPIO B1
4	USB_GPIO B5	9	USB_GPIO B0
5	USB_GPIO B4	10	GND

2.2.2.5 J6 GPIO_A 连接器

连接器 J6 为 APPSFPGA 提供八个通用 I/O 引脚。

表 2-5. J6 GPIO_A 连接器

引脚编号	引脚名称	APPSFPGA 引脚编号	引脚编号	引脚名称	APPSFPGA 引脚编号
1	2.5V	NC	6	GPIO_A3	AG16
2	GPIO_A7	AF20	7	GPIO_A2	AG17
3	GPIO_A6	AF19	8	GPIO_A1	AH19
4	GPIO_A5	AG12	9	GPIO_A0	AG20
5	GPIO_A4	AH12	10	GND	NC

2.2.2.6 J8 DLPC410 Mictor 连接器

J8 为逻辑分析仪提供到 DLPC410 的连接。此连接器不得用于正常开发或运行。

表 2-6. J8 DLPC410 Mictor 连接器

J8 引脚编号	引脚名称	DLPC410 引脚编号	J8 引脚编号	引脚名称	DLPC410 引脚编号
1	NC	NC	2	ECP2_M_TP0	AD9
3	GND	NC	4	ECP2_M_TP1	AA11
5	DDCSPARE0	L7	6	ECP2_M_TP2	W11
7	DDCSPARE1	AC13	8	ECP2_M_TP3	AB26
9	NC	NC	10	ECP2_M_TP4	AB9
11	NC	NC	12	ECP2_M_TP5	AB11
13	ECP2_M_TP31	AA13	14	ECP2_M_TP6	AA10
15	ECP2_M_TP30	AB13	16	ECP2_M_TP7	AA12
17	ECP2_M_TP29	AD14	18	ECP2_M_TP8	Y11
19	ECP2_M_TP28	L5	20	ECP2_M_TP9	AB17
21	ECP2_M_TP27	AC14	22	ECP2_M_TP10	AA17
23	ECP2_M_TP26	AB15	24	ECP2_M_TP11	AA15
25	ECP2_M_TP25	H19	26	ECP2_M_TP12	AF12
27	ECP2_M_TP24	J18	28	ECP2_M_TP13	AE11
29	ECP2_M_TP23	H18	30	ECP2_M_TP14	AC9
31	ECP2_M_TP22	G15	32	ECP2_M_TP15	AF11
33	ECP2_M_TP21	G14	34	ECP2_M_TP16	AB12
35	ECP2_M_TP20	H17	36	ECP2_M_TP17	AA16
37	ECP2_M_TP19	G20	38	ECP2_M_TP18	AD13

2.2.2.7 J9 USB/APPSFPGA Mictor 连接器

J9 是用于 USB 控制器和 APPSFPGA 的 Mictor 连接器。来自 USB 或 APPSFPGA 的信号会路由到跳线 J6 选择的连接器。有关更多信息，请参阅 D4100 控制器板原理图 ([DLPC410 板设计文件](#))。信号可以通过 HDL 代码路由到连接器，并使用逻辑分析仪进行监控以支持开发。

表 2-7. J9 USB/APPSFPGA Mictor 连接器

J9 引脚编号	引脚名称	APPSFPGA 引脚编号	J9 引脚编号	引脚名称	APPSFPGA 引脚编号
1	NC	NC	2	NC	NC
3	GND	NC	4	D4100_I2C_CLK	P29
5	USB_IF_CLK/ TEST_CLK_0	N29	6	D4100_I2C_DATA	U28
7	USB_FDO/ TST_HDR_BY0_0	H29	8	GPIFADR0/ TST_HDR_BY2_0	K31
9	USB_FD1/ TST_HDR_BY0_1	H30	10	GPIFADR1/ TST_HDR_BY2_1	L31
11	USB_FD2/ TST_HDR_BY0_2	J31	12	GPIFADR2/ TST_HDR_BY2_2	P31
13	USB_FD3/ TST_HDR_BY0_3	G30	14	GPIFADR3/ TST_HDR_BY2_3	P30
15	USB_FD4/ TST_HDR_BY0_4	J30	16	GPIFADR4/ TST_HDR_BY2_4	N30
17	USB_FD5/ TST_HDR_BY0_5	G31	18	GPIFADR5/ TST_HDR_BY2_5	M31
19	USB_FD6/ TST_HDR_BY0_6	J29	20	GPIFADR6/ TST_HDR_BY2_6	R28
21	USB_FD7/ TST_HDR_BY0_7	F29	22	GPIFADR7/ TST_HDR_BY2_7	R29
23	USB_FD8/ TST_HDR_BY1_0	K29	24	GPIFADR8/ TST_HDR_BY3_0	T31
25	USB_FD9/ TST_HDR_BY1_1	F30	26	USB_CTRL0/ TST_HDR_BY3_1	R31
27	USB_FD10/ TST_HDR_BY1_2	L30	28	USB_CTRL1/ TST_HDR_BY3_2	U30
29	USB_FD11/ TST_HDR_BY1_3	F31	30	USB_CTRL2/ TST_HDR_BY3_3	T30
31	USB_FD12/ TST_HDR_BY1_4	L29	32	USB_CTRL3/ TST_HDR_BY3_4	T28
33	USB_FD13/ TST_HDR_BY1_5	E29	34	USB_FPGA_RESET/ TST_HDR_BY3_5	T29
35	USB_FD14/ TST_HDR_BY1_6	E31	36	USB_INT5/ TST_HDR_BY3_6	U27
37	USB_FD15/ TST_HDR_BY1_7	M30	38	NC	NC

2.2.2.8 J13 DMD Flex 1 连接器

连接器 J13 向 DMD Flex 1 连接器提供控制和数据信号。此连接器用于连接所有类型的 DMD。

表 2-8. J13 DMD 柔性连接器 1

引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称
1A	GND	1B	3.3V	1C	3.3V
2C	GND	2A	DDC_DOUT_A13_DPP	2B	DDC_DOUT_A13_DPN
3A	GND	3B	DDC_DOUT_A11_DPP	3C	DDC_DOUT_A11_DPN
4C	GND	4A	DDC_DOUT_A9_DPP	4B	DDC_DOUT_A9_DPN
5A	GND	5B	DDC_DCLKOUT_A_DPP	5C	DDC_DCLKOUT_A_DPN
6C	GND	6A	DDC_DOUT_A7_DPP	6B	DDC_DOUT_A7_DPN
7A	GND	7B	DDC_DOUT_A5_DPP	7C	DDC_DOUT_A5_DPN
8C	GND	8A	DDC_DOUT_A3_DPP	8B	DDC_DOUT_A3_DPN
9A	GND	9B	DDC_DOUT_A1_DPP	9C	DDC_DOUT_A1_DPN
10C	GND	10A	DAD_A_SCPDO	10B	DAD_A_SCPCLK
11A	GND	11B	DMDSPARE1	11C	DMD_A_SCPEN
12C	GND	12A	MBRST1_15	12B	MBRST1_14
13A	GND	13B	DMD_VCC2	13C	DMD_VCC2
14C	GND	14A	MBRST1_10	14B	MBRST1_6
15A	GND	15B	MBRST1_9	15C	MBRST1_7
16C	GND	16A	MBRST1_13	16B	MBRST1_12
17A	GND	17B	DDC_DOUT_B1_DPP	17C	DDC_DOUT_B1_DPN
18C	GND	18A	DDC_DOUT_B3_DPP	18B	DDC_DOUT_B3_DPN
19A	GND	19B	DDC_DOUT_B5_DPP	19C	DDC_DOUT_B5_DPN
20C	GND	20A	DDC_DOUT_B7_DPP	20B	DDC_DOUT_B7_DPN
21A	GND	21B	DDC_DCLKOUT_B_DPP	21C	DDC_DCLKOUT_B_DPN
22C	GND	22A	DDC_DOUT_B9_DPP	22B	DDC_DOUT_B9_DPN
23A	GND	23B	DDC_DOUT_B11_DPP	23C	DDC_DOUT_B11_DPN
24C	GND	24A	DDC_DOUT_B13_DPP	24B	DDC_DOUT_B13_DPN
25A	GND	25B	DDC_DOUT_B15_DPP	25C	DDC_DOUT_B15_DPN
1D	GND	1E	DDC_DOUT_A15_DPP	1F	DDC_DOUT_A15_DPN
2F	GND	2D	DDC_DOUT_A14_DPP	2E	DDC_DOUT_A14_DPN
3D	GND	3E	DDC_DOUT_A12_DPP	3F	DDC_DOUT_A12_DPN
4F	GND	4D	DDC_DOUT_A10_DPP	4E	DDC_DOUT_A10_DPN
5D	GND	5E	DDC_DOUT_A8_DPP	5F	DDC_DOUT_A8_DPN
6F	GND	6D	DDC_SCTRL_A_DPP	6E	DDC_SCTRL_A_DPN
7D	GND	7E	DDC_DOUT_A6_DPP	7F	DDC_DOUT_A6_DPN
8F	GND	8D	DDC_DOUT_A4_DPP	8E	DDC_DOUT_A4_DPN
9D	GND	9E	DDC_DOUT_A2_DPP	9F	DDC_DOUT_A2_DPN
10F	GND	10D	DDC_DOUT_A0_DPP	10E	DDC_DOUT_A0_DPN
11D	GND	11E	SCPDI	11F	DMD_A_RESET
12F	GND	12D	DMDSPARE0	12E	MBRST1_11
13D	GND	13E	MBRST1_5	13F	MBRST1_4
14F	GND	14D	MBRST1_0	14E	MBRST1_3
15D	GND	15E	MBRST1_2	15F	MBRST1_8
16F	GND	16D	DDC_DOUT_B0_DPP	16E	DDC_DOUT_B0_DPN
17D	GND	17E	DDC_DOUT_B2_DPP	17F	DDC_DOUT_B2_DPN
18F	GND	18D	DDC_DOUT_B4_DPP	18E	DDC_DOUT_B4_DPN
19D	GND	19E	DDC_DOUT_B6_DPP	19F	DDC_DOUT_B6_DPN

表 2-8. J13 DMD 柔性连接器 1 (续)

引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称
20F	GND	20D	DDC_SCTRL_B_DPP	20E	DDC_SCTRL_B_DPP
21D	GND	21E	DDC_DOUT_B8_DPP	21F	DDC_DOUT_B8_DPN
22F	GND	22D	DDC_DOUT_B10_DPP	22E	DDC_DOUT_B10_DPN
23D	GND	23E	DDC_DOUT_B12_DPP	23F	DDC_DOUT_B12_DPN
24F	GND	24D	DDC_DOUT_B14_DPP	24E	DDC_DOUT_B14_DPN
25D	GND	25E	3.3V	25F	3.3V

2.2.2.9 J14 DMD Flex 2 连接器

连接器 J14 向 DMD Flex 2 连接器提供控制和数据信号。此连接器仅用于连接 DLP9500 和 DLP9500UV DMD。

表 2-9. J14 DMD 柔性连接器 2

引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称
1A	GND	1B	3.3V	1C	3.3V
2C	GND	2A	DDC_DOUT_C13_DPP	2B	DDC_DOUT_C13_DPN
3A	GND	3B	DDC_DOUT_C11_DPP	3C	DDC_DOUT_C11_DPN
4C	GND	4A	DDC_DOUT_C9_DPP	4B	DDC_DOUT_C9_DPN
5A	GND	5B	DDC_DCLKOUT_C_DPP	5C	DDC_DCLKOUT_C_DPN
6C	GND	6A	DDC_DOUT_C7_DPP	6B	DDC_DOUT_C7_DPN
7A	GND	7B	DDC_DOUT_C5_DPP	7C	DDC_DOUT_C5_DPN
8C	GND	8A	DDC_DOUT_C3_DPP	8B	DDC_DOUT_C3_DPN
9A	GND	9B	DDC_DOUT_C1_DPP	9C	DDC_DOUT_C1_DPN
10C	GND	10A	DAD_B_SCPDO	10B	DAD_B_SCPCLK
11A	GND	11B	DMDSPARE2	11C	DMD_B_SCPEN
12C	GND	12A	MBRST2_15	12B	MBRST2_14
13A	GND	13B	DMD_VCC2	13C	DMD_VCC2
14C	GND	14A	MBRST2_10	14B	MBRST2_6
15A	GND	15B	MBRST2_9	15C	MBRST2_7
16C	GND	16A	MBRST2_13	16B	MBRST2_12
17A	GND	17B	DDC_DOUT_D1_DPP	17C	DDC_DOUT_D1_DPN
18C	GND	18A	DDC_DOUT_D3_DPP	18B	DDC_DOUT_D3_DPN
19A	GND	19B	DDC_DOUT_D5_DPP	19C	DDC_DOUT_D5_DPN
20C	GND	20A	DDC_DOUT_D7_DPP	20B	DDC_DOUT_D7_DPN
21A	GND	21B	DDC_DCLKOUT_D_DPP	21C	DDC_DCLKOUT_D_DPN
22C	GND	22A	DDC_DOUT_D9_DPP	22B	DDC_DOUT_D9_DPN
23A	GND	23B	DDC_DOUT_D11_DPP	23C	DDC_DOUT_D11_DPN
24C	GND	24A	DDC_DOUT_D13_DPP	24B	DDC_DOUT_D13_DPN
25A	GND	25B	DDC_DOUT_D15_DPP	25C	DDC_DOUT_D15_DPN
1D	GND	1E	DDC_DOUT_C15_DPP	1F	DDC_DOUT_C15_DPN
2F	GND	2D	DDC_DOUT_C14_DPP	2E	DDC_DOUT_C14_DPN
3D	GND	3E	DDC_DOUT_C12_DPP	3F	DDC_DOUT_C12_DPN
4F	GND	4D	DDC_DOUT_C10_DPP	4E	DDC_DOUT_C10_DPN
5D	GND	5E	DDC_DOUT_C8_DPP	5F	DDC_DOUT_C8_DPN
6F	GND	6D	DDC_SCTRL_C_DPP	6E	DDC_SCTRL_C_DPN
7D	GND	7E	DDC_DOUT_C6_DPP	7F	DDC_DOUT_C6_DPN
8F	GND	8D	DDC_DOUT_C4_DPP	8E	DDC_DOUT_C4_DPN
9D	GND	9E	DDC_DOUT_C2_DPP	9F	DDC_DOUT_C2_DPN
10F	GND	10D	DDC_DOUT_C0_DPP	10E	DDC_DOUT_C0_DPN
11D	GND	11E	SCPDI	11F	DMD_B_RESET
12F	GND	12D	DMDSPARE0	12E	MBRST2_11
13D	GND	13E	MBRST2_5	13F	MBRST2_4
14F	GND	14D	MBRST2_0	14E	MBRST2_3
15D	GND	15E	MBRST2_2	15F	MBRST2_8
16F	GND	16D	DDC_DOUT_D0_DPP	16E	DDC_DOUT_D0_DPN
17D	GND	17E	DDC_DOUT_D2_DPP	17F	DDC_DOUT_D2_DPN
18F	GND	18D	DDC_DOUT_D4_DPP	18E	DDC_DOUT_D4_DPN
19D	GND	19E	DDC_DOUT_D6_DPP	19F	DDC_DOUT_D6_DPN

表 2-9. J14 DMD 柔性连接器 2 (续)

引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称
20F	GND	20D	DDC_SCTRL_D_DPP	20E	DDC_SCTRL_D_DPP
21D	GND	21E	DDC_DOUT_D8_DPP	21F	DDC_DOUT_D8_DPN
22F	GND	22D	DDC_DOUT_D10_DPP	22E	DDC_DOUT_D10_DPN
23D	GND	23E	DDC_DOUT_D12_DPP	23F	DDC_DOUT_D12_DPN
24F	GND	24D	DDC_DOUT_D14_DPP	24E	DDC_DOUT_D14_DPN
25D	GND	25E	3.3V	25F	3.3V

2.2.2.10 J15 - DDR2 SODIMM 连接器

连接器 J15 提供 DDR2 SODIMM 存储器插槽。不包括存储器模块。不包含 APPSFPGA 的存储器控制器设计。如需存储器控制器参考设计，请访问 www.xilinx.com。

表 2-10. J15 DDR2 SODIMM 连接器

引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称
1	VCC_VREF	2	GND	3	GND	4	DDR2_D4
5	DDR2_D0	6	DDR2_D5	7	DDR2_D1	8	GND
9	GND	10	DDR2_DM0	11	DDR2_QS0_N	12	GND
13	DDR2_QS0_P	14	DDR2_D6	15	GND	16	DDR2_D7
17	DDR2_D2	18	GND	19	DDR2_D3	20	DDR2_D12
21	GND	22	DDR2_D13	23	DDR2_D8	24	GND
25	DDR2_D9	26	DDR2_DM1	27	GND	28	GND
29	DDR2_DOS1_N	30	DDR2_CK0_P	31	DDR2_DOS1_P	32	DDR2_CK0_N
33	GND	34	GND	35	DDR2_D10	36	DDR2_D14
37	DDR2_D11	38	DDR2_D15	39	GND	40	GND
41	GND	42	GND	43	DDR2_D16	44	DDR2_D20
45	DDR2_D17	46	DDR2_D21	47	GND	48	GND
49	DDR2_QS2_N	50	NC	51	DDR2_QS2_P	52	DDR2_DM2
53	GND	54	GND	55	DDR2_D18	56	DDR2_D22
57	DDR2_D19	58	DDR2_D23	59	GND	60	GND
61	DDR2_D24	62	DDR2_D28	63	DDR2_D25	64	DDR2_D29
65	GND	66	GND	67	DDR2_DM3	68	DDR2_QS3_N
69	NC	70	DDR2_QS3_P	71	GND	72	GND
73	DDR2_D26	74	DDR2_D30	75	DDR2_D27	76	DDR2_D31
77	GND	78	GND	79	DDR2_CKE0	80	DDR2_CKE0
81	1.8V	82	1.8V	83	NC	84	NC
85	DDR2_BA2	86	NC	87	1.8V	88	1.8V
89	DDR2_A12	90	DDR2_A11	91	DDR2_A9	92	DDR2_A7
93	DDR2_A8	94	DDR2_A6	95	1.8V	96	1.8V
97	DDR2_A5	98	DDR2_A4	99	DDR2_A3	100	DDR2_A2
101	DDR2_A1	102	DDR2_A0	103	1.8V	104	1.8V
105	DDR2_A10	106	DDR2_BA1	107	DDR2_BA0	108	DDR2_RAS_B
109	DDR2_WE_B	110	DDR2_CS0_B	111	1.8V	112	1.8V
113	DDR2_CAS_B	114	DDR2_ODT0	115	DDR2_CS1_B	116	DDR2_A13
117	1.8V	118	1.8V	119	DDR2_ODT1	120	NC
121	GND	122	GND	123	DDR2_D32	124	DDR2_D36
125	DDR2_D33	126	DDR2_D37	127	GND	128	GND
129	DDR2_QS4_N	130	DDR2_DDM4	131	DDR2_QS4_P	132	GND
133	GND	134	DDR2_D38	135	DDR2_D34	136	DDR2_D30
137	DDR2_D35	138	GND	139	GND	140	DDR2_D44
141	DDR2_D40	142	DDR2_D44	143	DDR2_D41	144	GND
145	GND	146	DDR2_QS5_N	147	DDR2_DM5	148	DDR2_QS5_P
149	GND	150	GND	151	DDR2_D42	152	DDR2_D46
153	DDR2_D43	154	DDR2_D47	155	GND	156	GND
157	DDR2_D48	158	DDR2_D52	159	DDR2_D49	160	DDR2_D53
161	GND	162	GND	163	NC	164	DDR2_CK1_P
165	GND	166	DDR2_CK1_N	167	DDR2_DQ56_N	168	GND
169	DDR2_DQ56_P	170	DDR2_DM6	171	GND	172	GND

表 2-10. J15 DDR2 SODIMM 连接器 (续)

引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称	引脚编号	引脚名称
173	DDR2_D50	174	DDR2_D54	175	DDR2_D51	176	DDR2_D55
177	GND	178	GND	179	DDR2_D56	180	DDR2_D60
181	DDR2_D57	182	DDR2_D61	183	GND	184	GND
185	DDR2_DM7	186	DDR2_DQS7_N	187	GND	188	DDR2_DQS7_P
189	DDR2_D58	190	GND	191	DDR2_D59	192	DDR2_D62
193	GND	194	DDR2_D63	195	DDR2_SDA	196	GND
197	DDR2_SDL	198	GND	199	1.8V	200	GND

2.2.2.11 J16、J17 EXP 连接器

J16 和 J17 提供与符合 Avnet EXP 总线规范的 APPSFPGA 的连接。J16 和 J17 也可用作附件板的高速接口连接器。D4100 控制器板将一些单端信号路由为差分对，以支持完整的 64 位 2xLVDS 数据总线。这种路由会干扰 EXP 单端信号，如表 2-11 和表 2-13 中所述。

表 2-11. J16 EXP-1 连接器

J16 引脚编号	单端信号名称	差分对名称	APPSFPGA 引脚编号	J16 引脚编号	单端信号名称	差分对名称	APPSFPGA 引脚编号
1	EXP1_SE_IO_1		A33	2	EXP1_SE_IO_0		C34
3	EXP1_SE_IO_3		B32	4	EXP1_SE_IO_2		D32
7	EXP1_SE_IO_5		B33	8	EXP1_SE_IO_4		D34
9	EXP1_SE_IO_7		C32	10	EXP1_SE_IO_6		E34
13	EXP1_SE_IO_9		H32	14	EXP1_SE_IO_8		G32
15	EXP1_SE_IO_11		C33	16	EXP1_SE_IO_10		F33
19	EXP1_SE_IO_13 ⁽¹⁾	EXP1_DIFF_23_P	K33	20	EXP1_SE_IO_12 ⁽¹⁾	EXP1_DIFF_22	G33
21	EXP1_SE_IO_15 ⁽¹⁾	EXP1_DIFF_23_N	K32	22	EXP1_SE_IO_14 ⁽¹⁾	EXP1_DIFF_22	F34
25	EXP1_SE_IO_17 ⁽¹⁾	EXP1_DIFF_25_P	P34	26	EXP1_SE_IO_16 ⁽¹⁾	EXP1_DIFF_24	H34
27	EXP1_SE_IO_19 ⁽¹⁾	EXP1_DIFF_25_N	N34	28	EXP1_SE_IO_18 ⁽¹⁾	EXP1_DIFF_24	J34
31	EXP1_SE_IO_21 ⁽¹⁾	EXP1_DIFF_27_P	N33	32	EXP1_SE_IO_20 ⁽¹⁾	EXP1_DIFF_26	L34
33	EXP1_SE_IO_23 ⁽¹⁾	EXP1_DIFF_27_N	M33	34	EXP1_SE_IO_22 ⁽¹⁾	EXP1_DIFF_26	K34
37	EXP1_SE_IO_25 ⁽¹⁾	EXP1_DIFF_29_P	L33	38	EXP1_SE_IO_24 ⁽¹⁾	EXP1_DIFF_28	J32
39	EXP1_SE_IO_27 ⁽¹⁾	EXP1_DIFF_29_N	M32	40	EXP1_SE_IO_26 ⁽¹⁾	EXP1_DIFF_28	H33
41	EXP1_SE_IO_28		E32	42		EXP1_DIFF_CL K_IN_DPP	H19
43	EXP1_SE_CLK_IN		J20	44		EXP1_DIFF_CL K_IN_DPN	H20
47	EXP1_SE_IO_29		E33	48	EXP1_SE_IO_30 ⁽¹⁾	EXP1_DIFF_30 _P	R33
49	EXP1_SE_CLK_OUT		J21	50	EXP1_SE_IO_3 ⁽¹⁾	EXP1_DIFF_30 _N	R32
53		EXP1_DIFF_21_P	P32	54		EXP1_DIFF_20 _P	AC32
55		EXP1_DIFF_21_N	N32	56		EXP1_DIFF_20 _N	AB32
59	EXP1_SE_IO_32 ⁽¹⁾	EXP1_DIFF_31_P	T33	60		EXP1_DIFF_18 _P	AF34
61	EXP1_SE_IO_33 ⁽¹⁾	EXP1_DIFF_31_N	R34	62		EXP1_DIFF_18 _N	AE34
65		EXP1_DIFF_19_P	AG32	66		EXP1_DIFF_16 _P	U33
67		EXP1_DIFF_19_N	AH32	68		EXP1_DIFF_16 _N	T34

表 2-11. J16 EXP-1 连接器 (续)

J16 引脚编号	单端信号名称	差分对名称	APPSFPGA 引脚编号	J16 引脚编号	单端信号名称	差分对名称	APPSFPGA 引脚编号
71		EXP1_DIFF_17_P	AJ32	72		EXP1_DIFF_CLK_OUT_P	U3
73		EXP1_DIFF_17_N	AK32	74		EXP1_DIFF_CLK_OUT_N	U2
77		EXP1_DIFF_15_P	W34	78		EXP1_DIFF_14_P	V33
79		EXP1_DIFF_15_N	V34	80		EXP1_DIFF_14_N	V32
81		EXP1_DIFF_13_P	AA34	82		EXP1_DIFF_12_P	AD32
83		EXP1_DIFF_13_N	Y34	84		EXP1_DIFF_12_N	AE32
87		EXP1_DIFF_11_P	Y32	88		EXP1_DIFF_10_P	AL34
89		EXP1_DIFF_11_N	W32	90		EXP1_DIFF_10_N	AL33
93		EXP1_DIFF_9_P	AA33	94		EXP1_DIFF_8_P	AK34
95		EXP1_DIFF_9_N	Y33	96		EXP1_DIFF_8_N	AK33
99		EXP1_DIFF_7_P	AC33	100		EXP1_DIFF_6_P	AF33
101		EXP1_DIFF_7_N	AB33	102		EXP1_DIFF_6_N	AE33
105		EXP1_DIFF_5_P	AC34	106		EXP1_DIFF_4_P	AH34
107		EXP1_DIFF_5_N	AD34	108		EXP1_DIFF_4_N	AJ34
111		EXP1_DIFF_3_P	AM33	112		EXP1_DIFF_2_P	AG33
113		EXP1_DIFF_3_N	AM32	114		EXP1_DIFF_2_N	AH33
117		EXP1_DIFF_1_P	AN34	118		EXP1_DIFF_0_P	AN32
119		EXP1_DIFF_1_N	AN33	120		EXP1_DIFF_0_N	AP32

(1) 具有共享差分对的单端 I/O；必须仅为慢速开关信号或仅使用差分对的一侧。

表 2-12. J16 EXP-1 电源和接地连接

J16 引脚编号	电源连接
5、6、11、12、17、18、23、24、29、30、35、36	VCC_2P5V
45、46、41、52、57、58、63、64、69、70、75、76、121、122、124、125、126、127、128、129、130、131、132	地
85、86、91、92、97、98、103、104、109、110、115、116	VCC_3P3V

表 2-13. J17 EXP-2 连接器

J17 引脚编号	单端信号名称	差分对名称	APPSFPG A 引脚编号	J17 引脚编号	单端信号名称	差分对名称	APPSFPG A 引脚编号
1	EXP2_SE_IO_1		D1	2	EXP2_SE_IO_0		B3
3	EXP2_SE_IO_3		D2	4	EXP2_SE_IO_2		B1
7	EXP2_SE_IO_5		J2	8	EXP2_SE_IO_4		B2
9	EXP2_SE_IO_7		J1	10	EXP2_SE_IO_6		A3
13	EXP2_SE_IO_9		K1	14	EXP2_SE_IO_8		C2
15	EXP2_SE_IO_11		K2	16	EXP2_SE_IO_10		C3
19	EXP2_SE_IO_13 ⁽¹⁾	EXP2_DIFF_23_P	H2	20	EXP2_SE_IO_12 ⁽¹⁾	EXP2_DIFF_22	E2
21	EXP2_SE_IO_15 ⁽¹⁾	EXP2_DIFF_23_N	H3	22	EXP2_SE_IO_14 ⁽¹⁾	EXP2_DIFF_22	E1
25	EXP2_SE_IO_17 ⁽¹⁾	EXP2_DIFF_25_P	P2	26	EXP2_SE_IO_16 ⁽¹⁾	EXP2_DIFF_24	E3
27	EXP2_SE_IO_19 ⁽¹⁾	EXP2_DIFF_25_N	R3	28	EXP2_SE_IO_18 ⁽¹⁾	EXP2_DIFF_24	F3
31	EXP2_SE_IO_21 ⁽¹⁾	EXP2_DIFF_27_P	T1	32	EXP2_SE_IO_20 ⁽¹⁾	EXP2_DIFF_26	F1
33	EXP2_SE_IO_23 ⁽¹⁾	EXP2_DIFF_27_N	R1	34	EXP2_SE_IO_22 ⁽¹⁾	EXP2_DIFF_26	G1
37	EXP2_SE_IO_25 ⁽¹⁾	EXP2_DIFF_29_P	K3	38	EXP2_SE_IO_24 ⁽¹⁾	EXP2_DIFF_28	G3
39	EXP2_SE_IO_27 ⁽¹⁾	EXP2_DIFF_29_N	L3	40	EXP2_SE_IO_26 ⁽¹⁾	EXP2_DIFF_28	G2
41	EXP2_SE_IO_28		Y2	42		EXP2_DIFF_CLK_IN_DPP	H18
43	EXP2_SE_CLK_IN		J16	44		EXP2_DIFF_CLK_IN_DPN	J17
47	EXP2_SE_IO_29		Y3	48	EXP2_SE_IO_30 ⁽¹⁾	EXP2_DIFF_30_P	N2
49	EXP2_SE_CLK_OUT		J15	50	EXP2_SE_IO_31	EXP2_DIFF_30_N	M2
53		EXP2_DIFF_21_P	M3	54		EXP2_DIFF_20_P	M1
55		EXP2_DIFF_21_N	N3	56		EXP2_DIFF_20_N	L1
59	EXP2_SE_IO_32 ⁽¹⁾	EXP2_DIFF_31_P	P1	60		EXP2_DIFF_18_P	V4
61	EXP2_SE_IO_33 ⁽¹⁾	EXP2_DIFF_31_N	R2	62		EXP2_DIFF_18_N	V3
65		EXP2_DIFF_19_P	U3	66		EXP2_DIFF_16_P	W1
67		EXP2_DIFF_19_N	T3	68		EXP2_DIFF_16_N	V2
71		EXP2_DIFF_17_P	U1	72		EXP2_DIFF_CLK_OUT_P	AC3
73		EXP2_DIFF_17_N	U2	74		EXP2_DIFF_CLK_OUT_N	AB2
77		EXP2_DIFF_15_P	W2	78		EXP2_DIFF_14_P	AB3
79		EXP2_DIFF_15_N	Y1	80		EXP2_DIFF_14_N	AA3
81		EXP2_DIFF_13_P	AF1	82		EXP2_DIFF_12_P	AG1
83		EXP2_DIFF_13_N	AE1	84		EXP2_DIFF_12_N	AG2
87		EXP2_DIFF_11_P	AF3	88		EXP2_DIFF_10_P	AE2
89		EXP2_DIFF_11_N	AE3	90		EXP2_DIFF_10_N	AD2
93		EXP2_DIFF_9_P	AH2	94		EXP2_DIFF_8_P	AB1
95		EXP2_DIFF_9_N	AJ2	96		EXP2_DIFF_8_N	AA1
99		EXP2_DIFF_7_P	AK2	100		EXP2_DIFF_6_P	AG3
101		EXP2_DIFF_7_N	AK3	102		EXP2_DIFF_6_N	AH3
105		EXP2_DIFF_5_P	AJ1	106		EXP2_DIFF_4_P	AC2
107		EXP2_DIFF_5_N	AK1	108		EXP2_DIFF_4_N	AD1
111		EXP2_DIFF_3_P	AM3	112		EXP2_DIFF_2_P	AN2
113		EXP2_DIFF_3_N	AN3	114		EXP2_DIFF_2_N	AP2
117		EXP2_DIFF_1_P	AL1	118		EXP2_DIFF_0_P	AM2

表 2-13. J17 EXP-2 连接器 (续)

J17 引脚编号	单端信号名称	差分对名称	APPSFPGA 引脚编号	J17 引脚编号	单端信号名称	差分对名称	APPSFPGA 引脚编号
119		EXP2_DIFF_1_N	AM1	120		EXP2_DIFF_0_N	AL3

(1) 具有共享差分对的单端 I/O；必须仅为慢速开关信号或仅使用差分对的一侧。

表 2-14. J17 EXP-2 电源和接地连接

J17 引脚编号	电源连接
5、6、11、12、17、18、23、24、29、30、35、36	VCC_2P5V
45、46、41、52、57、58、63、64、69、70、75、76、121、122、124、125、126、127、128、129、130、131、132	地
85、86、91、92、97、98、103、104、109、110、115、116	VCC_3P3V

2.2.2.12 H1 Xilinx FPGA JTAG 接头

为 Xilinx JTAG 编程电缆提供直接连接。建议使用 Xilinx 型号 DLC9G。有关更多信息，请访问 www.xilinx.com。

表 2-15. H1 Xilinx APPSFPGA JTAG 接头

H1 引脚编号	引脚名称
1、3、5、7、9、11、13	GND
2	P2P5V
4	TMS
6	TCK
8	TDO
10	TDI
12, 14	NC

2.2.3 配置跳线

本节介绍了 D4100 控制器板配置跳线。图 2-4 显示了 D4100 控制器板上的跳线位置。

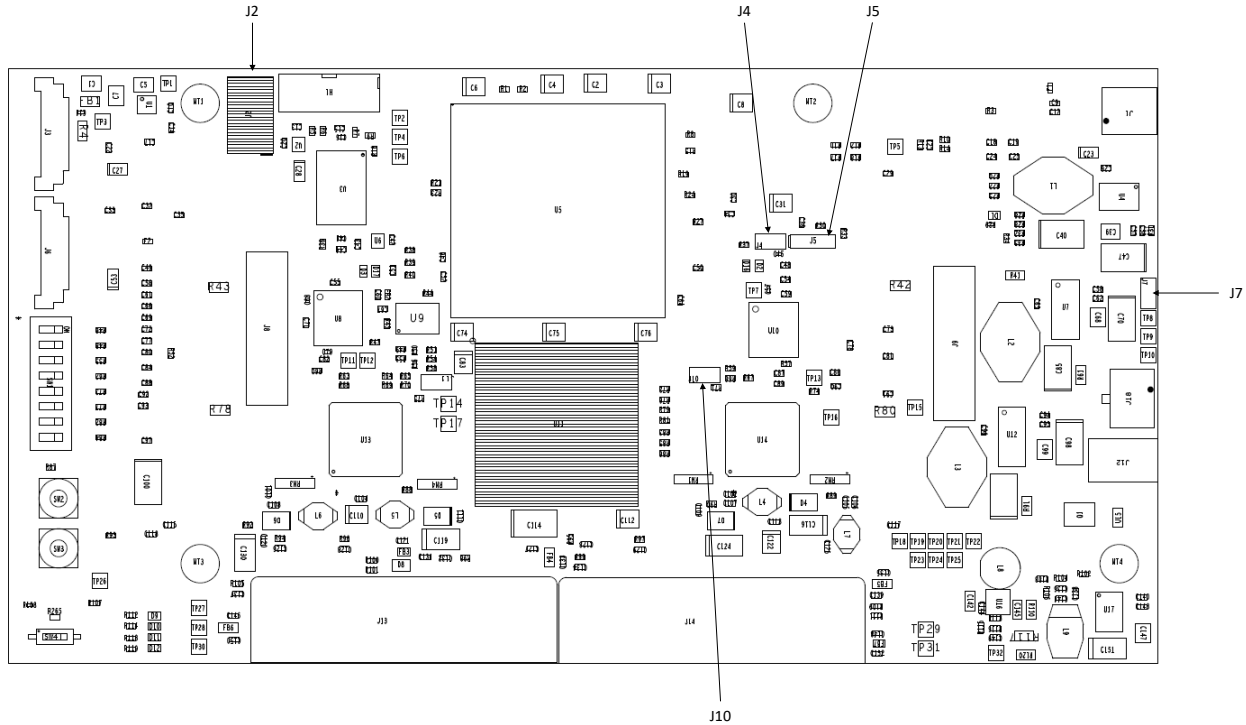


图 2-4. DLPLCRC410EVM 控制器配置跳线

2.2.3.1 J2 - EXP 电压选择

J2 用于为 EXP 总线 FPGA 组选择 2.5V 或 3.3V 电压电源。此设置需要匹配 EXP 连接器上连接的任何电路板所需的 I/O 电压。

表 2-16. EXP 电压选择

位置	组电压
1-2	3.3V
2-3	2.5V

2.2.3.2 J4 - APPSFPGA 版本选择

J4 - 如果 APPSFPGA 配置 PROM 中存储了多个固件版本，这用于选择从 PROM 加载到 APPSFPGA 的固件版本。

表 2-17. APPSFPGA 版本选择

跳线位置	修订版本
0-1	0
1-2	1

2.2.3.3 J5 - 共享 USB 信号启用/禁用

J5 - 用于连接或断开 USB/APPSFPGA Mictor 连接器 J10 之间共享的 USB 信号。此方法可用于隔离从 FPGA 到 Mictor 连接器的测试信号。

表 2-18. 共享 USB 信号启用/禁用

跳线位置	USB 信号
0-1	与 FPGA 断开
1-2	连接到 FPGA
2-3	当 USB 连接到主机 PC 时，则自动将 USB 信号连接到 FPGA

2.2.3.4 J7 - USB EEPROM 编程接头

J7 - 用于暂时断开 USB EEPROM 与器件的连接，以便器件可以加载内部引导加载程序，而不是 EEPROM 中的任何代码。对于 Cypress 内部引导加载程序，请安装 J8。

2.2.3.5 J10 - DLPA200 B 输出使能

J10 - 用于启用 DLPA200 B 的输出。仅当使用 1080p DMD 时，才需要启用此功能，否则可禁用此功能。

表 2-19. DLPA200 B 输出使能

跳线位置	DLPA200 B 输出
0-1	禁用
1-2	被启用

2.2.4 开关

本节定义了 DLPLCRC410EVM 控制器板上开关的功能。图 2-5 中显示了开关 1 至 4 的位置。

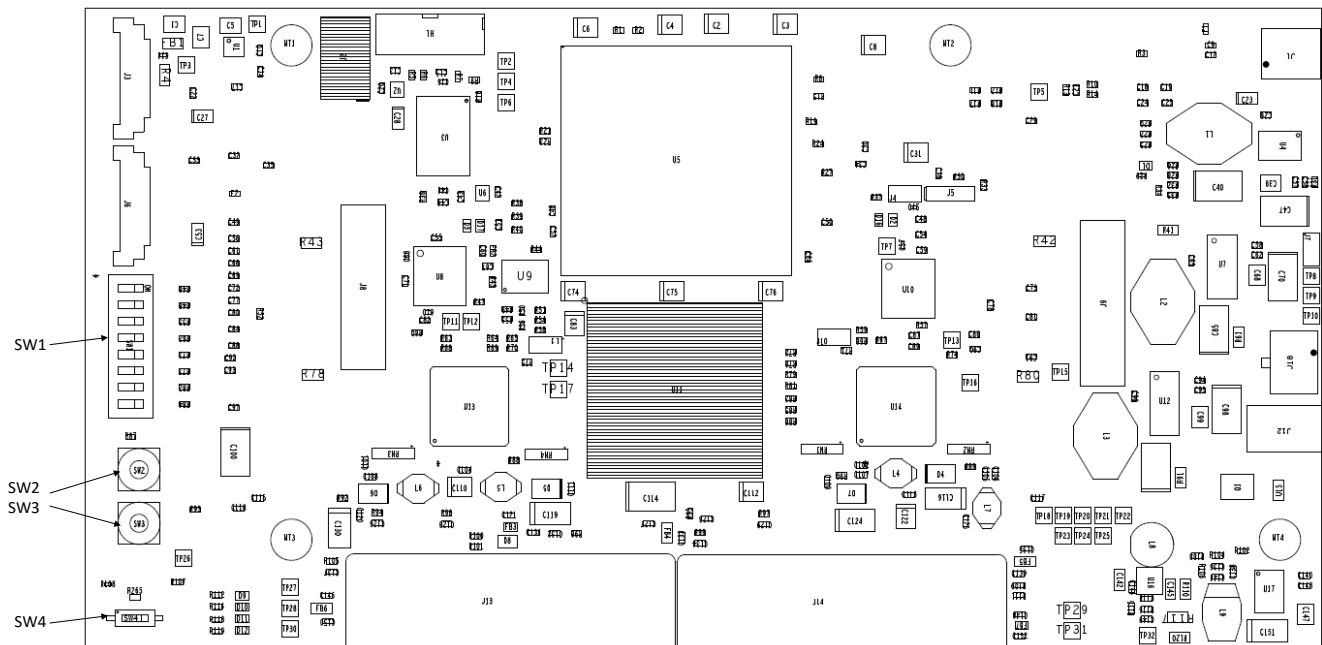


图 2-5. DLPLCRC410EVM 板载开关

2.2.4.1 SW1 - APPSFPGA 功能开关

这些开关在应用 FPGA 内提供控制，从而影响 DLPC410/DMD 工作模式。有关每个开关的功能列表，请参阅表 2-20。

表 2-20. SW1 DIP 开关分配

开关编号	效果
1	ON = 使所有微镜悬空 (停止) 并进入 “平坦” 或 “未偏置” 状态
2	ON = 计数器暂停 - 这会冻结 DMD 上的当前测试图形
3	ON = 补码数据 - 使 DLPC410 对接收到的所有数据进行补码后再发送到 DMD
4	ON = 北/南翻转 - 使 DLPC410 反转行加载顺序，从而有效地翻转图像
6 和 5	指示所使用的复位类型 (其中开关 6 是 MSB 且 ON = 1) : <ul style="list-style-type: none"> • 00 : 单块分步复位 • 01 : 双块分步复位 • 10 : 全局复位 • 11 : 四块分步复位
7	ON = 行地址模式
8	ON = 看门狗计时器启用，禁用其他复位

2.2.4.2 SW2 - APPSFPGA 复位

此开关复位会对 APPSFPGA 逻辑执行逻辑复位，也会导致 DLPC410 和 DMD 复位。此功能在 APPSFPGA 中定义。

2.2.4.3 SW3 - DMD 电源悬空 (停止)

SW3 是一种瞬时按钮开关，可强制 DMD 微镜进入停止状态。此功能在 APPSFPGA 中定义。TI 强烈建议在通过 SW4 或外部电源切断电源之前按下开关 SW3。

2.2.4.4 SW4 - 输入电源开启/关闭

此开关关闭来自电源连接器 J12 和 J18 的 5V 输入。在关闭 SW4 (或关闭外部电源) 之前，TI 强烈建议先通过按下 SW3 来停止 DMD 微镜。

2.2.5 电源和状态 LED

该部分介绍用于验证 DLPLCRC410EVM 控制器板是否工作正常的指示灯。图 2-6 显示了控制器板指示灯的位置。

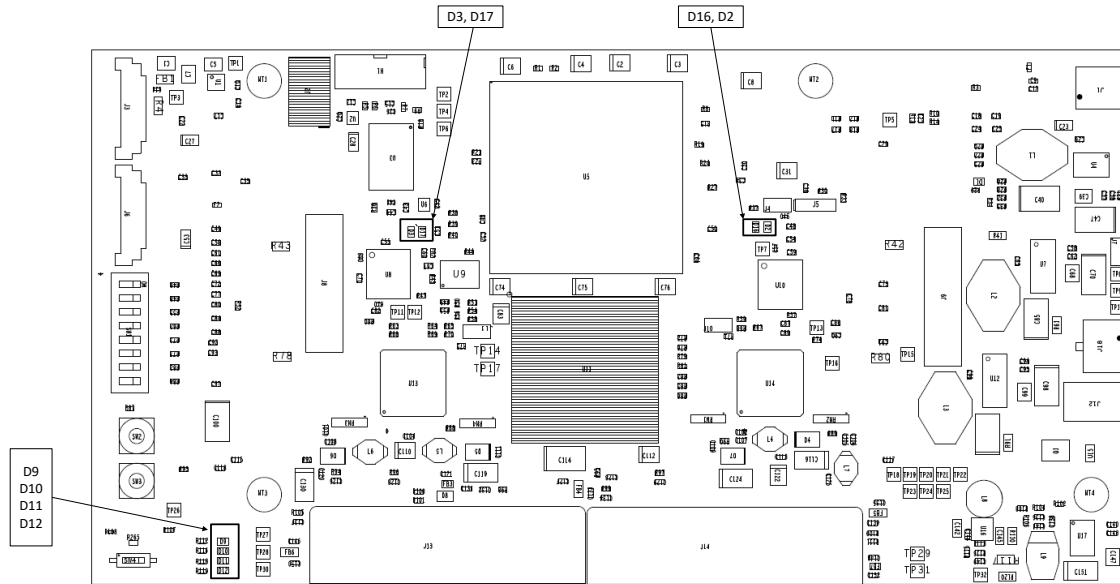


图 2-6. DLPLCRC410EVM 控制器板指示灯

2.2.5.1 D1 - USB 连接指示灯

此时不使用此 LED。

2.2.5.2 D2 和 D16 - APPSFPGA Done

D2 是一个 LED，用于指示当前正在从 Xilinx PROM 配置 APPSFPGA。当 APPSFPGA DONE 引脚为低电平时，D2 会亮起 [未完成]。APPSFPGA 完成配置后，APPSFPGA DONE 引脚变为高电平，并且该 LED 会熄灭。

当 APPSFPGA DONE 引脚变为高电平，表明 APPSFPGA 已成功完成编程并且 APPSFPGA 已启动并正在运行时，内部逻辑会通过启用 FPGA IO 来使绿色 LED D16 亮起。此逻辑由应用定义，尽管该逻辑可以是 DCM 锁定监视器或表示时钟正在运行的检测信号。默认负载以简单的高电平驱动点亮绿色 LED。

2.2.5.3 D3 和 D17 - DLPC410 Done

D3 是一个 LED，用于指示当前正在从 DLPR410 PROM 配置 DLPC410。当 DLPC410 DONE 引脚为低电平时，D3 会亮起 [未完成]。DLPC410 完成配置后，DLPC410 Done 引脚变为高电平，并且该 LED 会熄灭。

当 DLPC10 DONE 引脚变为高电平，表明 DLPC410 已成功完成编程并且 DLPC410 已启动并正在运行时，内部逻辑会通过启用 DLPC410 IO 来使绿色 LED D17 亮起。

2.2.5.4 D9 - DDC_LED0

D9 - DDC_LED0：DLPC410 的状态 LED。有关更多详细信息，请参阅 [DLPC410 数据表](#)。

2.2.5.5 D10 - DDC_LED1

D10 - DDC_LED1：DLPC410 的状态 LED。有关更多详细信息，请参阅 [DLPC410 数据表](#)。

2.2.5.6 D11 - VLED0

D11 - VLED0：APPSFPGA 应用定义了此逻辑。驱动为低电平时，该 LED 会亮起。驱动为高电平时，该 LED 会熄灭。

2.2.5.7 D12 - VLED1

D12 - VLED1：此逻辑由 APPSFPGA 应用定义。驱动为低电平时，该 LED 会亮起。驱动为高电平时，该 LED 会熄灭。

2.2.6 测试点

本章定义了图 2-7 中所示板载测试点的位置。表 2-21 列出了这些测试点。

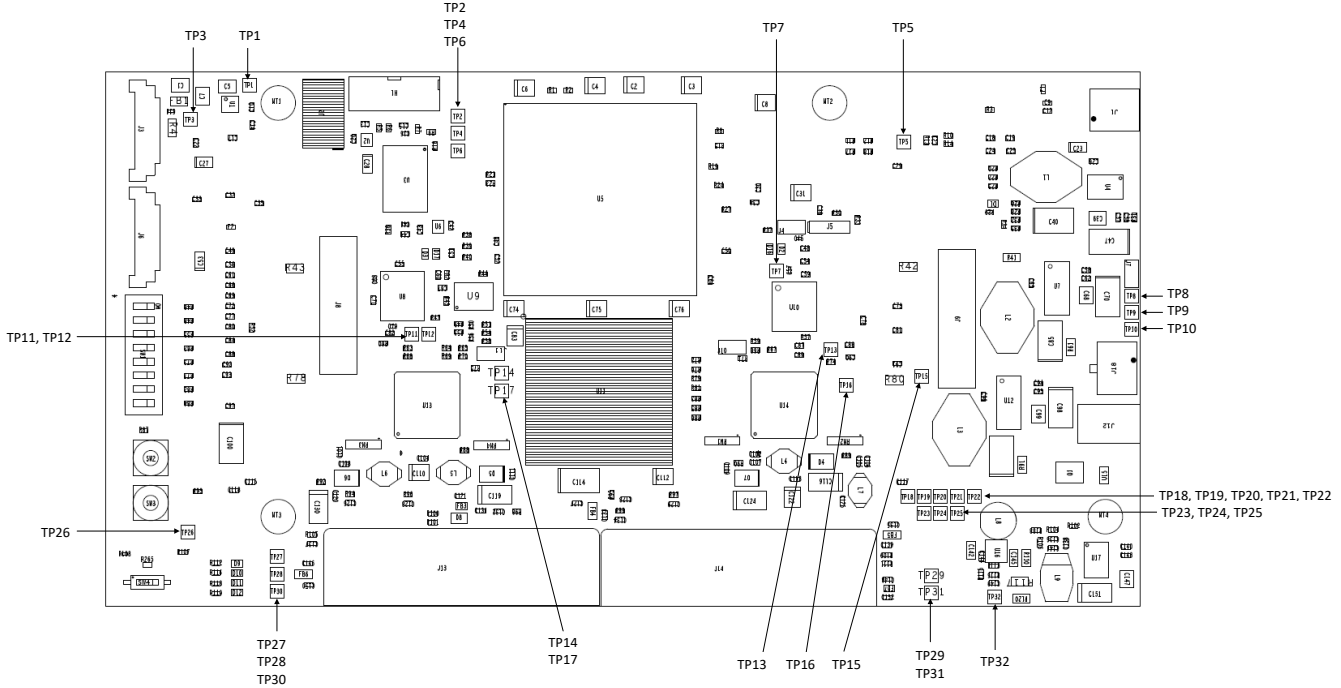


图 2-7. DLPLCRC410EVM 测试点位置

表 2-21. DLPLCRC410EVM 测试点网络名称

测试点	网络名称	测试点	网络名称
TP1	GROUND (接地)	TP2	V5_DXP
TP3	VCC_VREF	TP4	V5_DZN
TP5	GROUND (接地)	TP6	RESET
TP7	SCPDO	TP8	BKPT
TP9	VCC_3P3V	TP10	VCC_2P5V
TP11	MBRST1_8	TP12	DAD_A_IRQZ
TP13	DAD_B_IRQZ	TP14	DXP_0
TP15	PWRGD	TP16	MBRST2_0
TP17	DXN_0	TP18	SCPDI
TP19	DMDSPARE2	TP20	MBRST2_8
TP21	VCC_12V	TP22	GROUND (接地)
TP23	DMDSPARE3	TP24	GROUND (接地)
TP25	VCC_1P8V	TP26	POWER_STANDBY#
TP27	DMDSPARE0	TP28	MBRST1_0
TP29	VCC_1P0V_DDC	TP30	DMDSPARE0
TP31	SCPCLK	TP32	VCC_1P0V

3 软件

本章介绍了 DLP Discovery 4100 Explorer 图形用户界面 (GUI) 软件的操作。在通过 USB 2.0 接口连接到 DLPLCRC410EVM 后，Discovery 4100 Explorer GUI 为 DLP Discovery 4100 开发平台提供控制和显示功能。

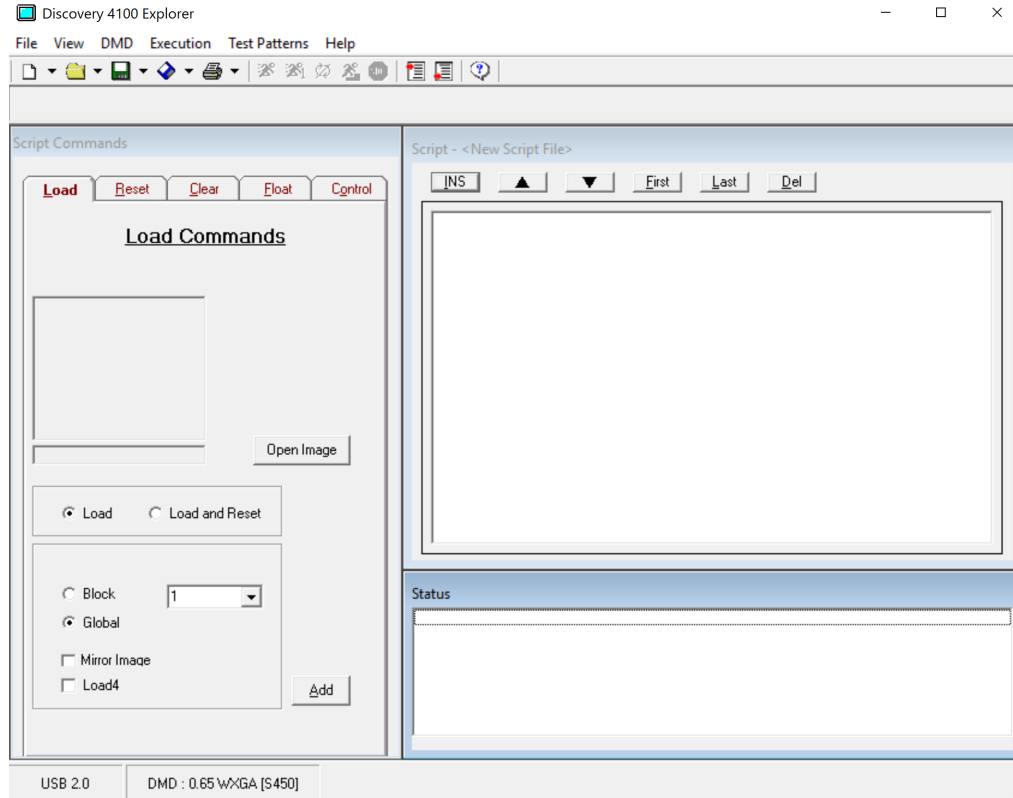


图 3-1. Discovery 4100 Explorer GUI

3.1 概述

本节提供以下方面的内容：

- DLP Discovery 4100 Explorer GUI 的一般说明
- Discovery 4100 Explorer 菜单、工具栏和显示窗口的说明
- 操作说明

3.1.1 软件概述

DLP Discovery 4100 Explorer GUI 允许用户通过 USB 2.0 (或 1.1) 控制 DLPLCRC410EVM 控制器板硬件。该软件使用 Discovery 4100 ActiveX™ 控制 API , *DLP®Discovery™4100 开发平台 API 编程人员指南 (DLPU039)* 中单独介绍了该 API。该软件具有用于构建和执行命令脚本的控件。

GUI 使用户可以访问 ActiveX 控件的以下命令实现：

- 从图像文件加载单个块或整个 DMD
- 复位单个块或全局复位
- 清除单个块或全局清除
- 使所有 DMD 微镜悬空
- 等待外部全局复位输入
- 定时延时
- 循环迭代控制 - 循环 N 次或直到中断
- 通用数字输出控制
- 显示内部测试图形
- 覆盖硬件开关 (SW1) 设置

备注

该 GUI 工具仅用于 DMD 演示功能。该 GUI 工具不适用于全天候运行，该 GUI 也不一定能够满足客户设计的终端应用要求。

3.1.1.1 DMD 图像控制

图像由 DMD 上的块进行控制和显示。DMD 块的组织形式因 DMD 类型而异，如表 3-1 所示。块可以单独加载和显示，也可以作为整个图像 (全部 15 个或 16 个块) 加载和显示。节 3.1.1.2 说明了控制图像不同显示方式的命令。

有多种显示选项组合可供选择，但本手册并未介绍所有这些组合。本用户指南概述了如何使用每个命令来控制图像。节 3.4 介绍了如何运行命令脚本以控制图像的显示。

表 3-1. DMD 特性

类型	列	行	块	行/块
DLP9500 - 0.95 1080p Type A	1920	1080	15	72
DLP7000 - 0.7 XGA Type A	1024	768	16	48
DLP650LNIR - 0.65 WXGA NIR S450	1280	800	16	50

有关每个 DMD 类型的显示块的更多信息，请参阅 DMD 数据表 ([DLP7000 § 8.4](#)、[DLP650LNIR § 8.4](#) 和 [DLP9500 § 8.4](#)) 。

3.1.1.2 图像命令

- **Load** - 将客户图像块加载到 DMD 存储器中。
- **Load and Reset** - 将图像块加载到 DMD 存储器中。在 DMD 微镜上显示内容。
- **Reset** - 启动微镜时钟脉冲 (复位) 以在 DMD 微镜上显示 DMD 存储器内容。
- **Clear** - 清除 (清零) DMD 存储器的内容。
- **Clear and Reset** - 清除 (清零) DMD 存储器块。在 DMD 微镜上显示内容。
- **Float Mirrors** - 将微镜设置为未偏置 (停止) 状态。

3.2 DLP Discovery 4100 运行

当连接到主机系统的 USB 2.0 端口时，DLP Discovery 4100 开发平台能够以每秒约 7-10 个 DMD 帧 (取决于 DMD) 的速率运行。

3.2.1 操作快速入门指南

D4100 Explorer Windows 安装程序错误

在安装过程中，系统可能会提示用户出现错误，表示安装未正确完成，并且执行安装后脚本时出错。如果发生这种情况，请按照以下步骤操作：

1. 卸载该程序
2. 下载并安装 Microsoft 2010 Vcredist x86 版本
3. 重新启动并重新安装 DLPC410 GUI 程序

备注

由于 DLP Discovery 4100 Explorer GUI 程序是 32 位程序，因此不管 Windows 操作系统位级别如何，用户都需要 32 位 2010 版本的 Vcredist。安装 Vcredist 2010 并非修复方法，但是最适合大多数客户的方法。

如果没有安装错误，则必须按照以下步骤操作器件：

1. 通过执行文件 *D4100Explorer-2.0-windows-installer.exe* 来安装该软件。请在将 USB 电缆连接到 DLPLC410EVM 控制器板之前安装该软件。安装程序会安装操作所需的软件和驱动程序 INF 文件。
2. 建议在连接套件之前先重新启动，因为如果没有先重新启动系统，一些系统无法正确安装驱动程序。
3. 使用 USB 2.0 [mini-B 转 Type A] 电缆连接 DLP，并为 DLP Discovery 4100 开发平台供电。操作系统检测到 USB 设备并自动安装驱动程序或提示用户安装驱动程序。
4. 如果驱动程序自动安装失败，请转至“Device Manager”（在 Windows 搜索栏中搜索“Device Manager”）。
5. 找到相应设备，然后右键单击以选择 *Update Driver Software*。

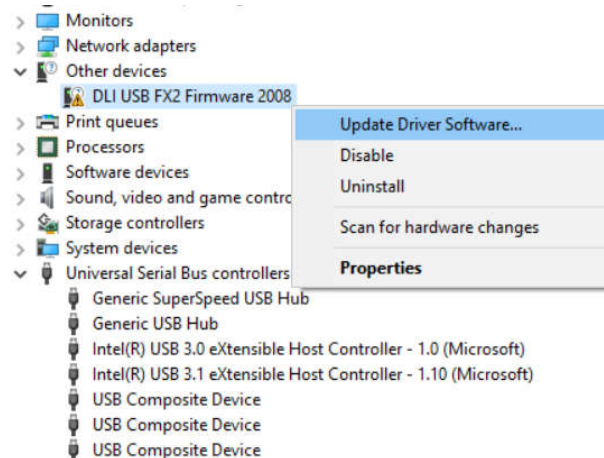


图 3-2. 更新驱动程序软件

6. 选择 *Browse my computer for driver software*。

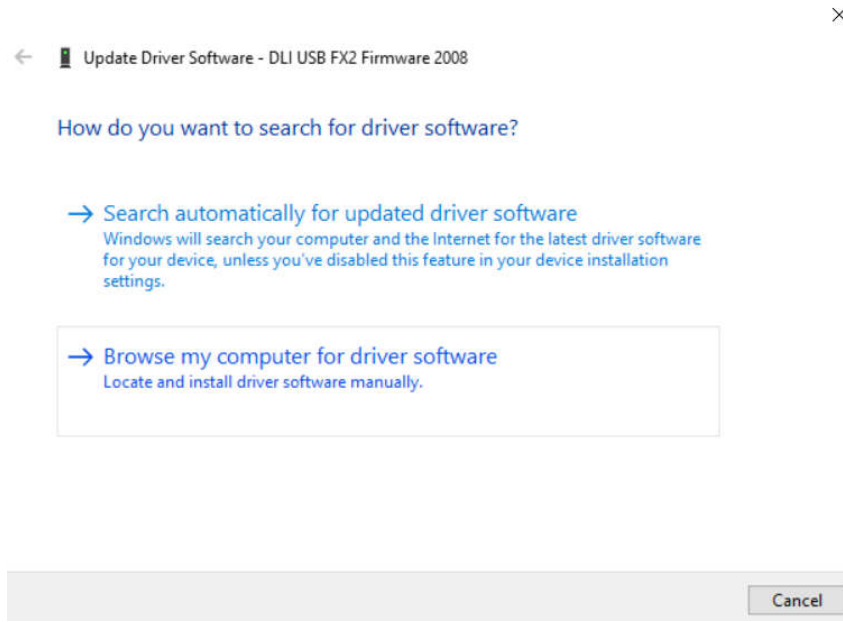


图 3-3. 浏览驱动程序软件

7. 点击 *Let me pick from a list of device drivers on my computer*。

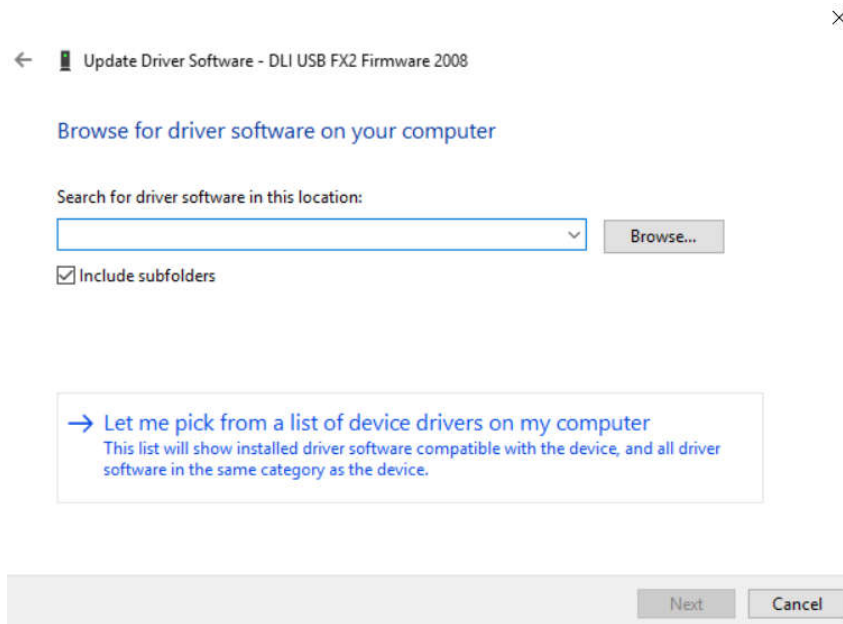


图 3-4. 从设备驱动程序列表中选择

8. 选择 *Universal Serial Bus devices*。点击 *Next*。

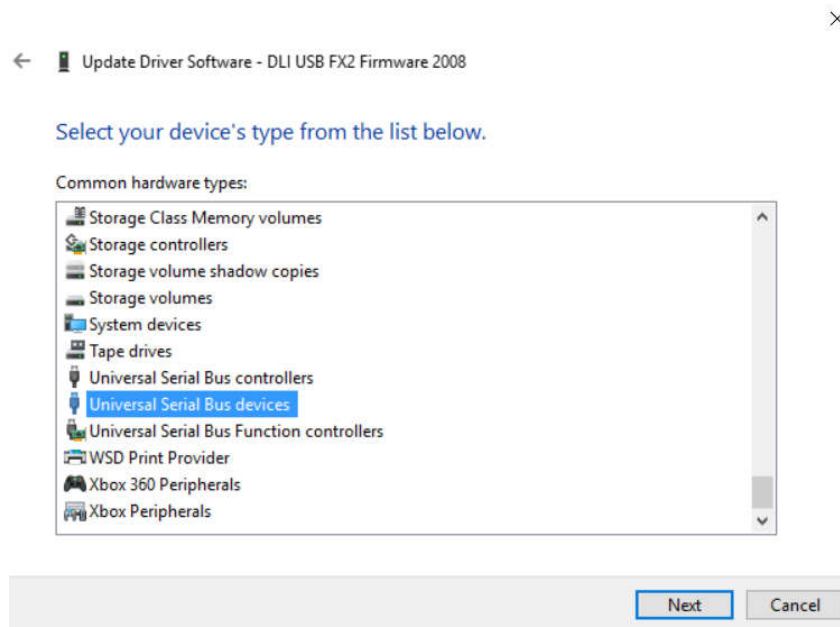


图 3-5. 选择 “Universal Serial Bus devices”

9. 点击 *Have Disk*。

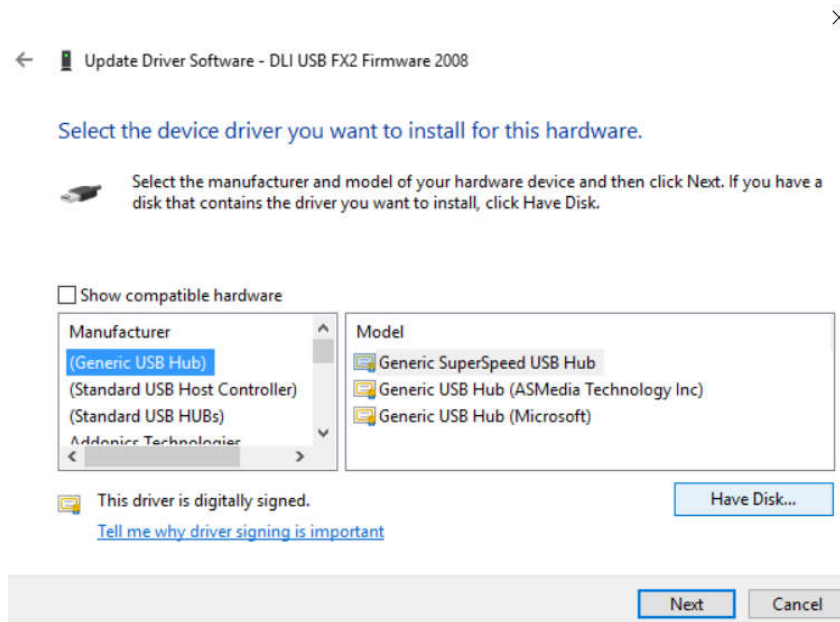


图 3-6. 从磁盘安装

10. 浏览至包含 *D4100-USB.inf* 文件的文件夹。此文件可在 <GUI 安装目录>\Driver\ 中找到。例如，在 Windows 10 64 位工作环境中，导航到 *C:\Program Files (x86)\D4100Explorer\Driver\Win10\64*。点击 *OK*。

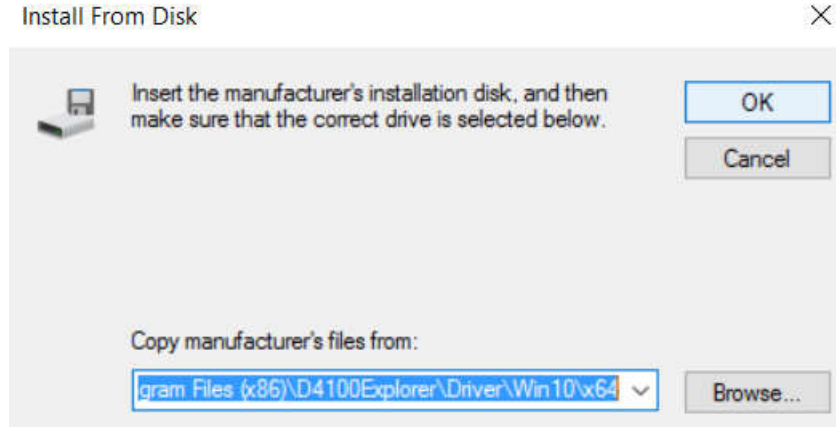


图 3-7. 浏览 .inf 文件

11. 点击 *TI D4100 Explorer*
12. 点击 *Next*。

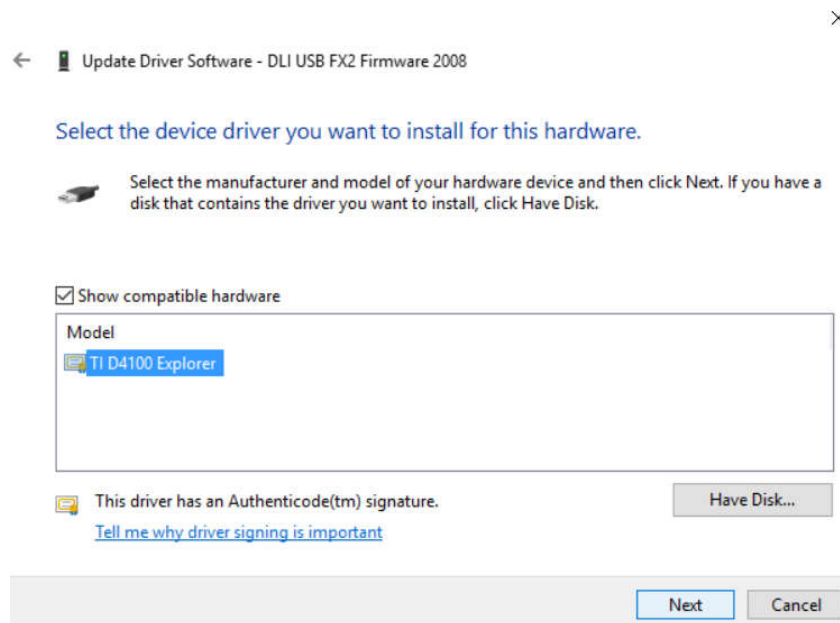


图 3-8. 选择 TI D4100 Explorer

13. Windows 将安装驱动程序。

14. 点击 *Close*。

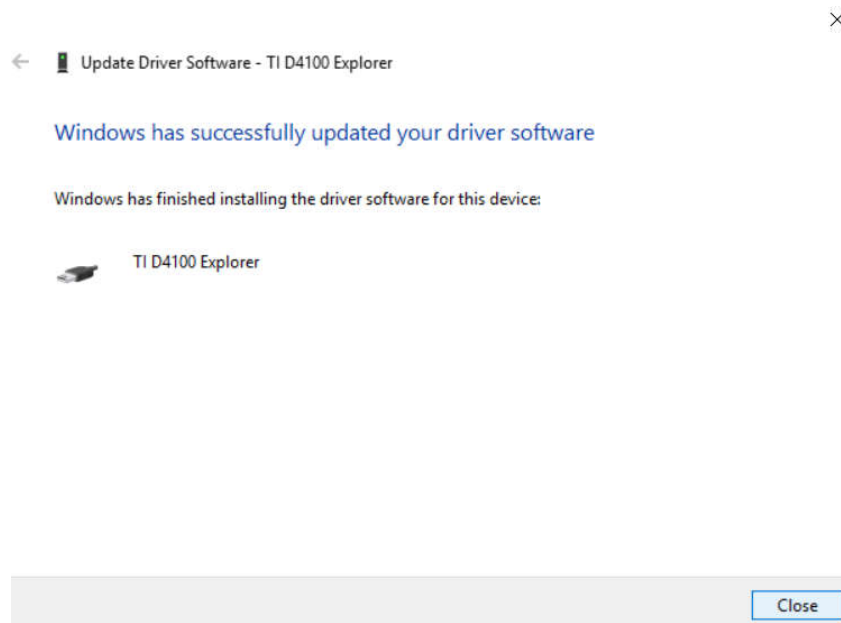


图 3-9. 驱动程序安装窗口

15. 在 *Device Manager* 窗口中验证驱动程序安装，如图 3-10 所示。



图 3-10. 验证设备

16. 从 *Start/Texas Instruments/DLP Discovery 4100 Explorer* 菜单中启动 DLP Discovery Explorer GUI。

17. 该软件将启动。USB 连接状态和 DMD 类型会显示在左下方的状态面板 (图 3-11) 中：

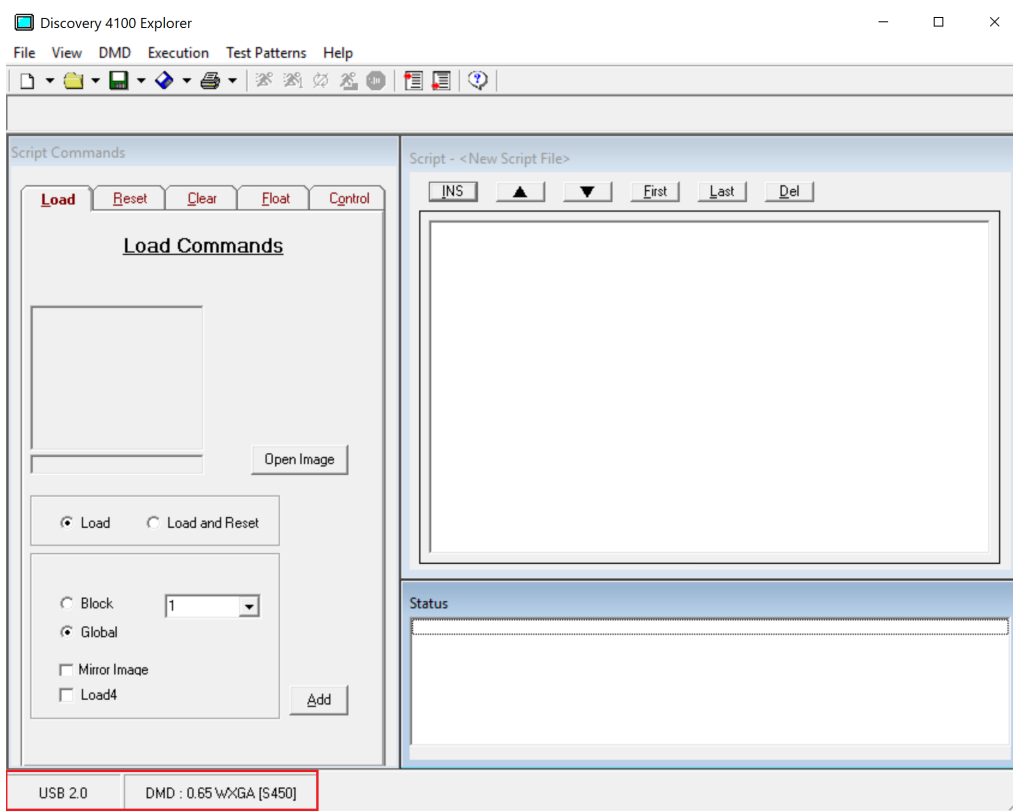





图 3-11. Discovery 4100 Explorer USB 和 DMD - 连接状态

18. 使用 “Load” 选项卡/ “Open Image” 按钮打开图像。
19. 在脚本中输入图像命令，方法是在 “Load” 选项卡按钮中选择所需的选项，然后点击 **Add**。
20. 选择命令并将命令输入脚本中。您可以从 “Commands” 窗口的任何一个命令选项卡中选择命令。每个选项卡都包含一组相关命令以及分配给每个命令的选项。选择正确的命令和选项组合后，点击命令选项卡底部的 **Add** 按钮，将命令输入脚本中。每个选项卡都有一个 **Add** 按钮，用于将相应命令输入脚本中。
21. 执行脚本。在 “Script” 窗口中输入所需的命令列表后，点击工具栏上的  (运行) 图标以开始执行命令。用户还可以选择使用工具栏上的  (步骤) 图标逐个执行命令，而不是运行全部命令。用户也可以使用 “Execution” 菜单来执行相同的功能。使用工具栏上的  (停止) 图标可以停止执行命令。

备注

当 GUI 连接到单个 Discovery EVM 时，将 USB 连接器移至分辨率不同的 Discovery EVM 不会缩放 GUI 脚本中已定义的图像，因此 DMD 上可能会显示不正确。解决方案是在连接到不同的 Discovery EVM 后始终重新启动 GUI 软件程序。

3.3 图形用户界面

Explorer 软件用户界面由多个显示界面组成，其中包含菜单栏、工具栏和以下三个显示窗口：“Script Commands”窗口、“Script”窗口和“Status”窗口。以下几个部分介绍了各项的功能。

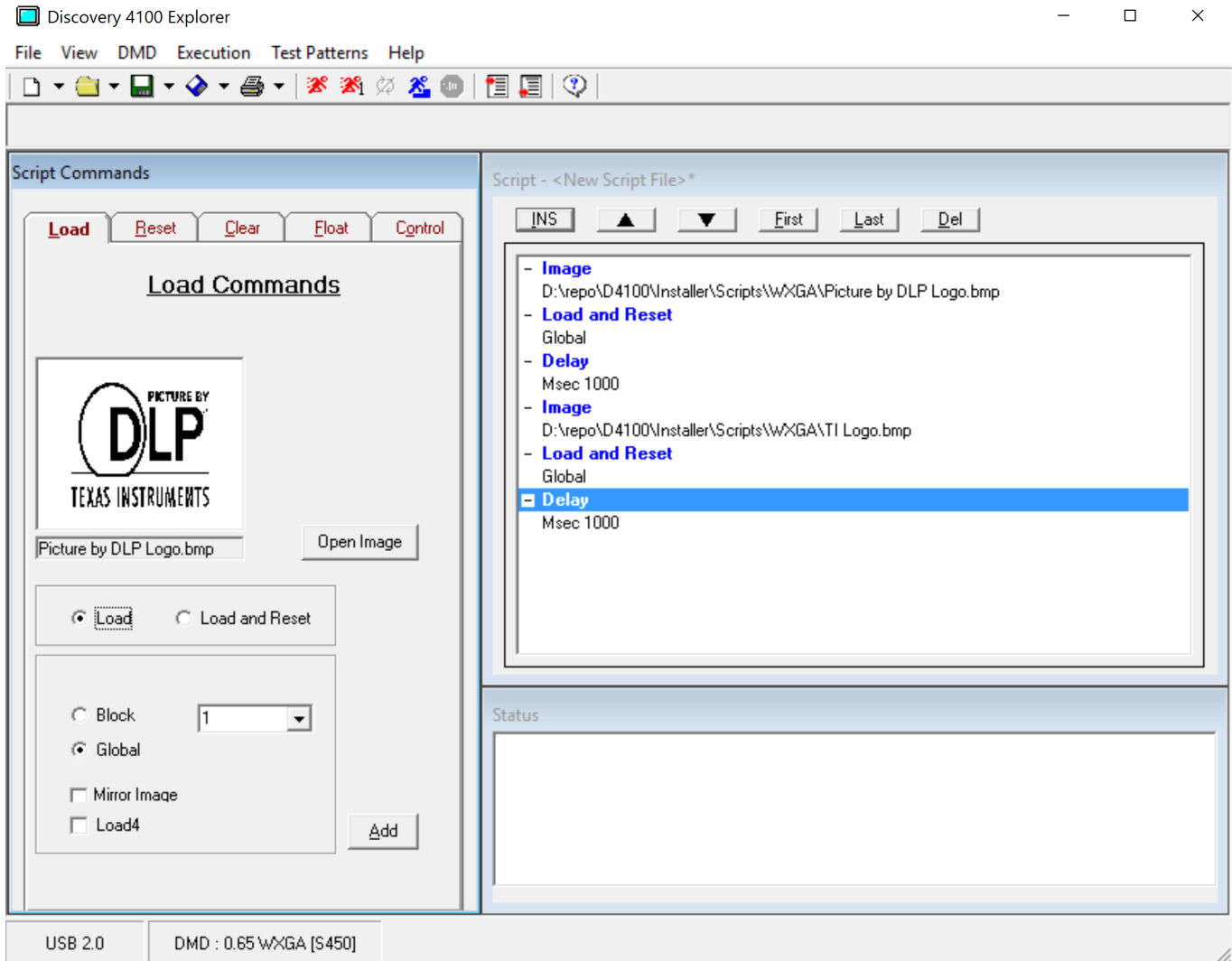


图 3-12. 图形用户界面布局

3.3.1 菜单栏

菜单栏命令提供了标准的软件命令菜单访问，如图 3-13 所示。



图 3-13. 菜单栏

3.3.1.1 文件菜单

“File” 菜单中包含标准的“New”、“Open”、“Save”、“Print”和“Exit”菜单项。有选项可以打开脚本或状态以及保存脚本或状态。

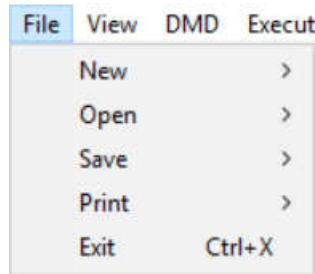


图 3-14. 文件菜单

3.3.1.2 视图菜单

通过“View”菜单可以显示或隐藏任何显示窗口。

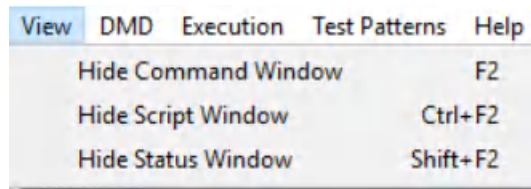


图 3-15. 视图菜单

3.3.1.3 DMD 菜单

DMD 菜单用于选择 DLPC410 控制工作模式。

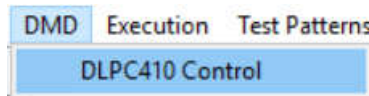


图 3-16. DMD 菜单

3.3.1.4 执行菜单

“Execution” 菜单包含以下脚本命令和配置选项：

- Run - 不间断地执行列表中的所有命令，并重复运行脚本，直到选择“Stop”。
- Run Once - 在一个周期内不间断地执行列表中的所有命令。
- Loop Break - 退出“Loop Until Break”脚本命令。
- Step - 将命令执行设置为一次一步模式。
- Next Step - 执行下一个脚本命令。
- Stop - 结束执行。
- Set Start - 设置脚本内命令执行的起点。
- Set End - 设置脚本内命令执行的终点。

Execution	Test Patterns	Help
Run		F5
Run Once		F6
Loop Break	Ctrl+B	
Step		F7
Next Step		F8
Stop		F9
Set Start		F3
Set End		F4

图 3-17. 执行菜单

3.3.1.5 测试图形菜单

“Test Pattern” 菜单包含以下选项：进入/退出内部测试图形模式、启用/禁用软件开关覆盖，以及通过 GUI 软件打开/关闭 GPIO。

- 图形 1：DMD 外边框
- 图形 2：不同大小的垂直线
- 图形 3：小棋盘
- 图形 4：垂直线
- 图形 5：细小的水平线
- 图形 6：对角线
- 图形 7：水平人字斜纹
- 图形 8：全黑（全部关闭）

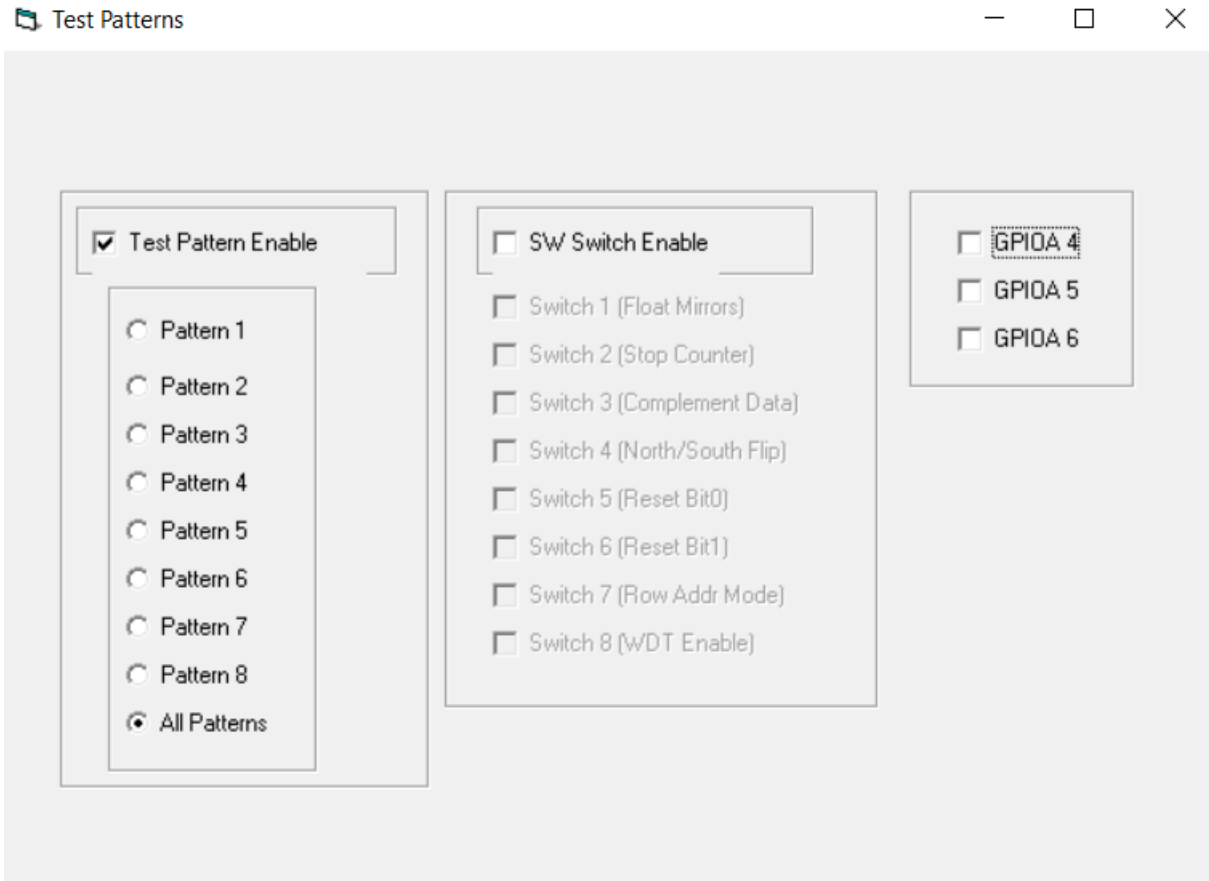


图 3-18. 测试图形菜单

3.3.1.6 帮助菜单

“Help” 菜单包含标准 Windows 帮助文件内容的链接以及用于加载“About”对话框的命令。

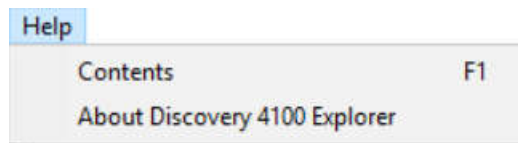


图 3-19. 帮助菜单

3.3.2 工具栏

工具栏提供各种操作快捷方式。

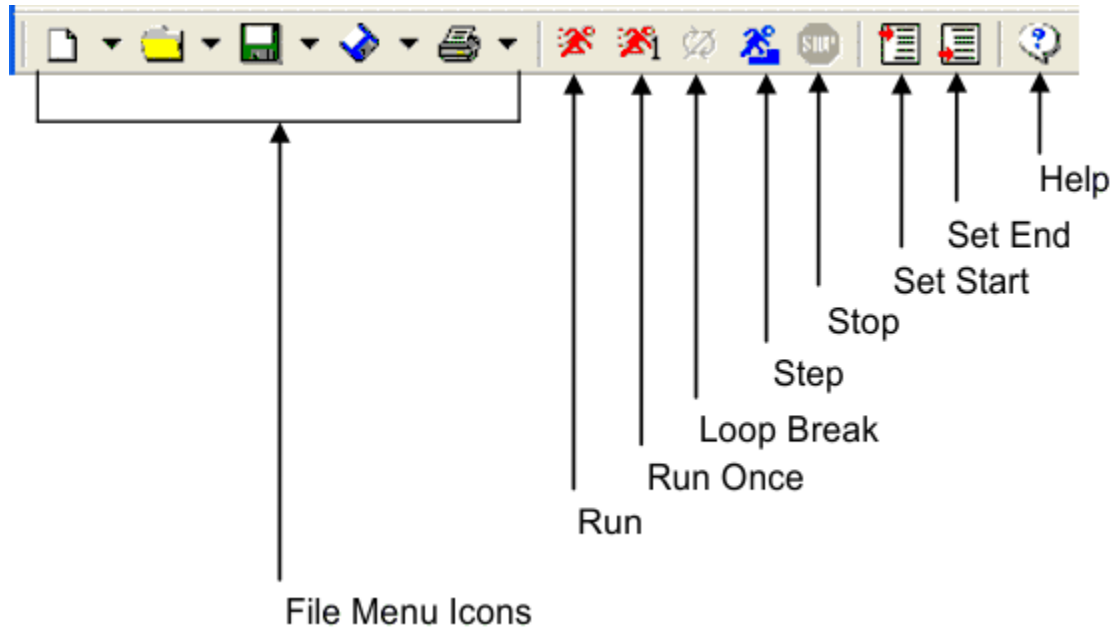


图 3-20. 工具栏

3.3.2.1 文件菜单按钮

工具栏上的前五个按钮分别是“New”、“Open”、“Save”、“Save As”和“Print”，它们的功能与“File”菜单中的五个项目相同。

3.3.2.2 运行、运行一次、循环中断、步进和停止控制

“Run”、“Run Once”、“Loop Break”、“Step”和“Stop”图标控制脚本窗口中命令列表的执行。命令功能如节 3.3.1.4 中所述。

3.3.2.3 设置起点和终点按钮

“Set Start”和“Set End”图标设置脚本中命令执行的起点和终点。

3.3.2.4 帮助按钮

帮助按钮显示应用程序的帮助内容。

3.3.3 脚本命令窗口

“Script Commands” 窗口 图 3-21 包含一系列命令选项卡，其中包含用于构建脚本命令的命令选项。脚本通过添加命令来在 DMD 上执行所需的操作序列来构建。要查看和选择与命令关联的选项，请点击相应的命令选项卡。选择所需命令和选项后，点击“Add”按钮将命令选项添加到脚本中。

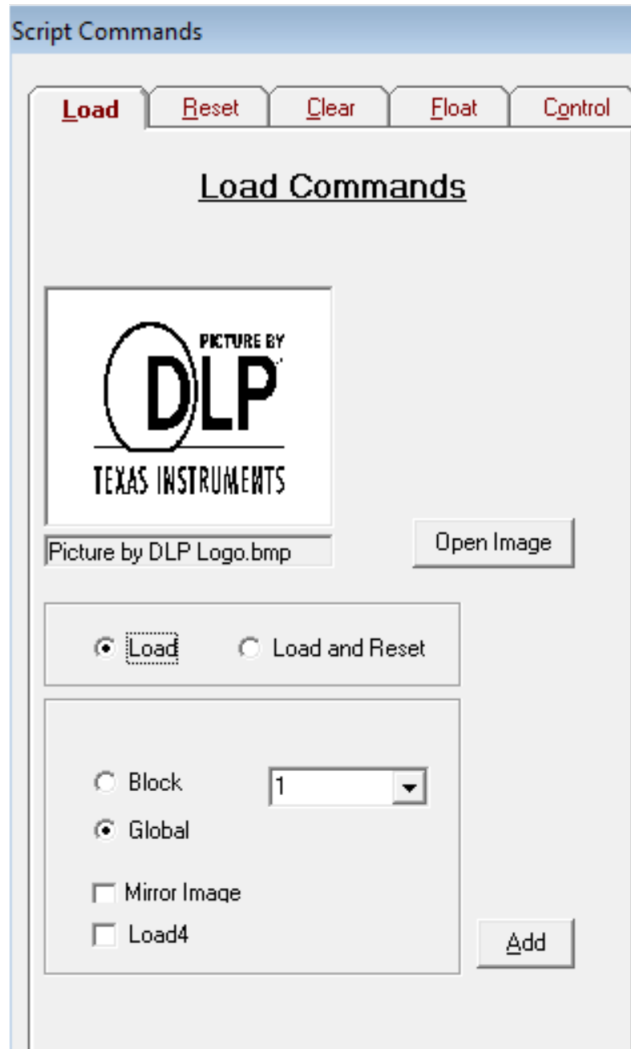


图 3-21. 脚本命令窗口

3.3.3.1 加载选项卡

加载命令用于选择图像文件并指定加载操作。

在按下“Add”按钮之前，必须先选择一个图像文件。要选择图像文件，请点击“Open Image”按钮并选择所需图像文件。支持的图像文件类型包括 .bmp、.jpg、.gif 和 .bin。 .bin 文件是二进制文件，每个 DMD 像素包含一位。TI 建议使用初始 24 位（非二进制）图像，并让 GUI 转换到二进制图像，以避免因任何无法识别的图像格式而导致错误。

通过选择 *Load* 可将图像数据加载到 DMD 存储器中，通过选择 *Load and Reset* 可以加载图像数据，并且 DMD 复位以显示图像。如果未选择 *Load and Reset*，则在执行单独的复位命令之前，图像不可见。

可以加载整个图像 (*Global*)，也可以加载个别块 (*Block*)。块编号可以是 1 到 16。由于此 DMD 只有 15 个块，因此在 DLP9500 (0.95 1080p) DMD 上加载块 16 会被忽略。

通过选择 *Mirror Image*，可以在水平方向上镜像图像。

DMD 整合了 *Load4* 操作，以便使用相同的列数据同时写入 4 行。这样可以实现快速加载，因为只需将 1/4 的实际图像数据发送到 DMD。可以选择 *Load4* 选项来启用此模式。

选择所需的选项，然后点击 *Add* 按钮，以将命令添加到脚本中。

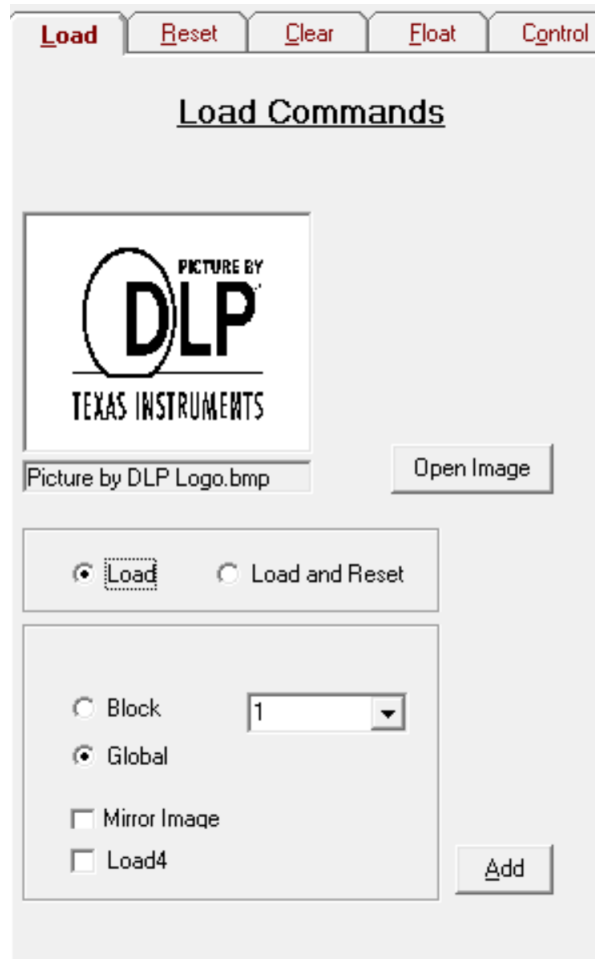


图 3-22. 加载选项卡

3.3.3.2 复位选项卡

Reset 命令会使微镜从当前状态更改为存储器中的状态。存储器的内容由 **Load** 或 **Clear** 命令确定。您可以选择复位所有块 (**Global**)，也可以选择使用 **Single Block** 选项逐个复位块或使用 **Multiple Blocks** 选项来复位一组块。选择要使用的选项，然后点击 **Add** 按钮将命令添加到脚本中。

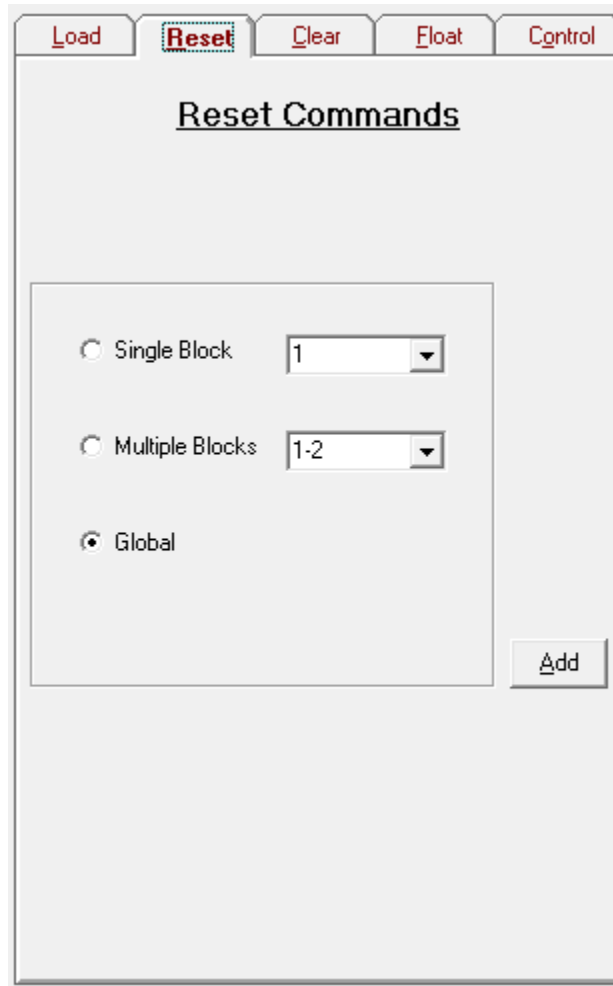


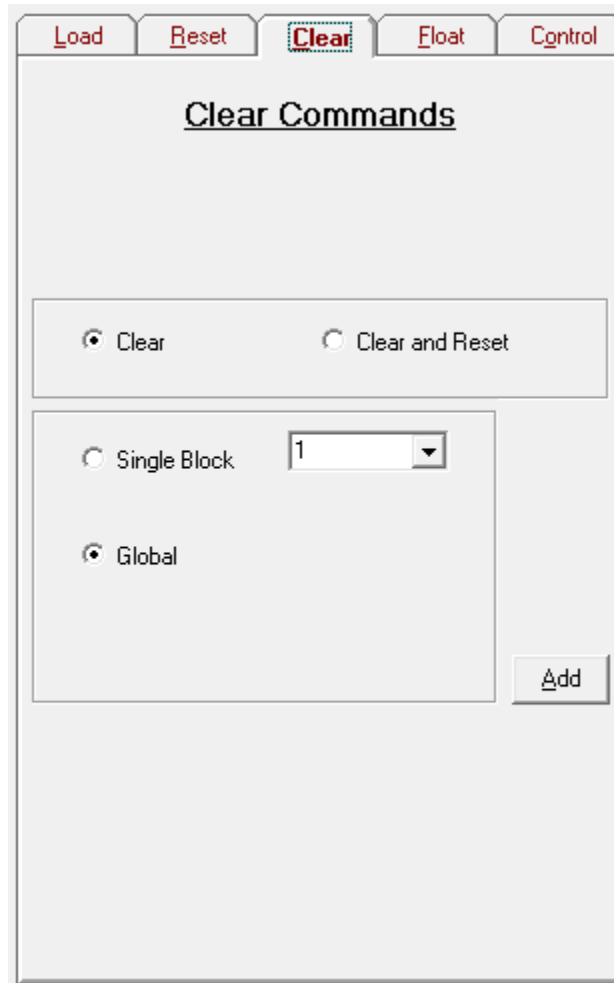
图 3-23. 复位选项卡

3.3.3.3 清除选项卡

“Clear”选项卡中的命令通过向 DMD 存储器中写入零来清除存储器内容，使用 **Global** 选项时会清除所有块的内容，使用 **Single Block** 选项时则分别清除各个块的内容。“Clear”选项仅清除存储器，**Clear and Reset** 选项会清除存储并执行复位以更改显示。选择所需的选项，然后单击 **Add** 按钮以添加到脚本（请参阅图 3-24）。

备注

注：**Global** 选项是在软件中通过依次向 DMD 上的所有块发出 DMD Block Clear 命令来实现的。



The screenshot shows a software interface for configuring DMD blocks. At the top, there are five tabs: 'Load', 'Reset', 'Clear', 'Float', and 'Control'. The 'Clear' tab is currently selected and highlighted. Below the tabs, the main area is titled 'Clear Commands'. There are two rows of radio button options. The first row contains 'Clear' (which is selected) and 'Clear and Reset'. The second row contains 'Single Block' (with a dropdown menu showing the number '1') and 'Global' (which is selected). At the bottom right of the dialog, there is an 'Add' button.

图 3-24. 清除选项卡

3.3.3.4 悬空选项卡

“Float” 选项卡脚本命令会将 DMD 置于短期安全状态，其中微镜处于软件引起的悬空（标称平坦）状态并会从 DMD 微镜中移除偏置。对于断电条件，建议在断电之前通过将 EVM 的开关 SW3 置为有效或者将 DLPC410 的 PWR_FLOAT 输入引脚置为有效来实现硬件电源悬空。



图 3-25. 悬空选项卡

3.3.3.5 控制选项卡

“Control Commands” 选项卡支持脚本执行控制、外部复位和数字输出的命令：

- “Wait for External Reset” 脚本命令会等待 10 秒钟，确认是否存在由 APPSFPGA 输入 GPIO_A0 的上升沿触发的外部全局复位。10 秒后，脚本将继续执行脚本中的下一条命令。GPIO_A0 是 2.5V CMOS 输入。
- “Delay” 命令会延迟指定的时间（以毫秒为单位）。
- “Loop Until Break” 命令会一直循环，直至用户点击“Break”按钮。
- “Loop” 命令会循环指定的迭代次数。
- “Set GP Output” 命令设置 APPSFPGA 通用数字输出 GPIO_A(4 - 6) 的值。值以十进制或十六进制（例如 0x3）形式输入。值的位 0、1、2 分别控制 GPIO_A4、GPIO_A5 和 GPIO_A6 的输出状态。值的位 7、6、5、4、3 未使用。GPIO_A(4 - 6) 是 2.5V CMOS 输出。

备注

注意：有关 GPIO 输出的更多信息，请参阅 *DLP® Discovery™ 4100 开发平台 API 编程人员指南*（[DLPU039 § 5.2.24](#) 和 [§ 6.2.24](#)）。

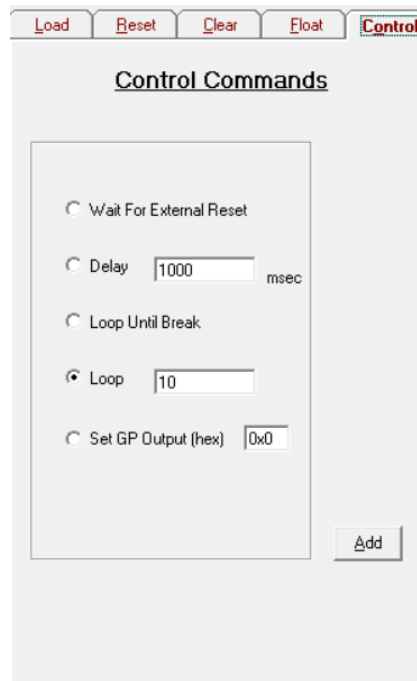


图 3-26. 控制选项卡

3.3.4 状态窗口

执行命令后，“Status”窗口将显示执行状态、检索到的信息，以及从 DLP Discovery 4100 开发平台发回主机的任何响应。

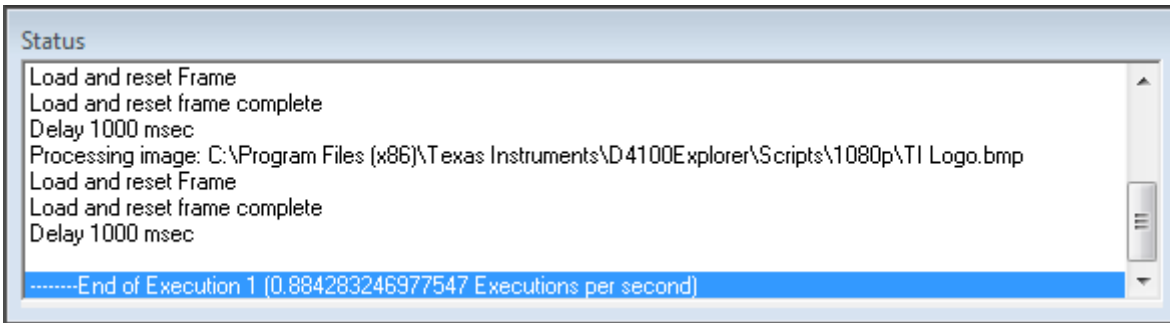


图 3-27. 状态窗口

3.3.5 脚本窗口

控制器板 GUI 使用“Script”窗口来跟踪要加载的图像和要在 DMD 上执行的命令 (图 3-28)。将图像和要执行的命令添加到脚本后，可以更改命令顺序、删除命令，以及在脚本中的指定位置插入命令。

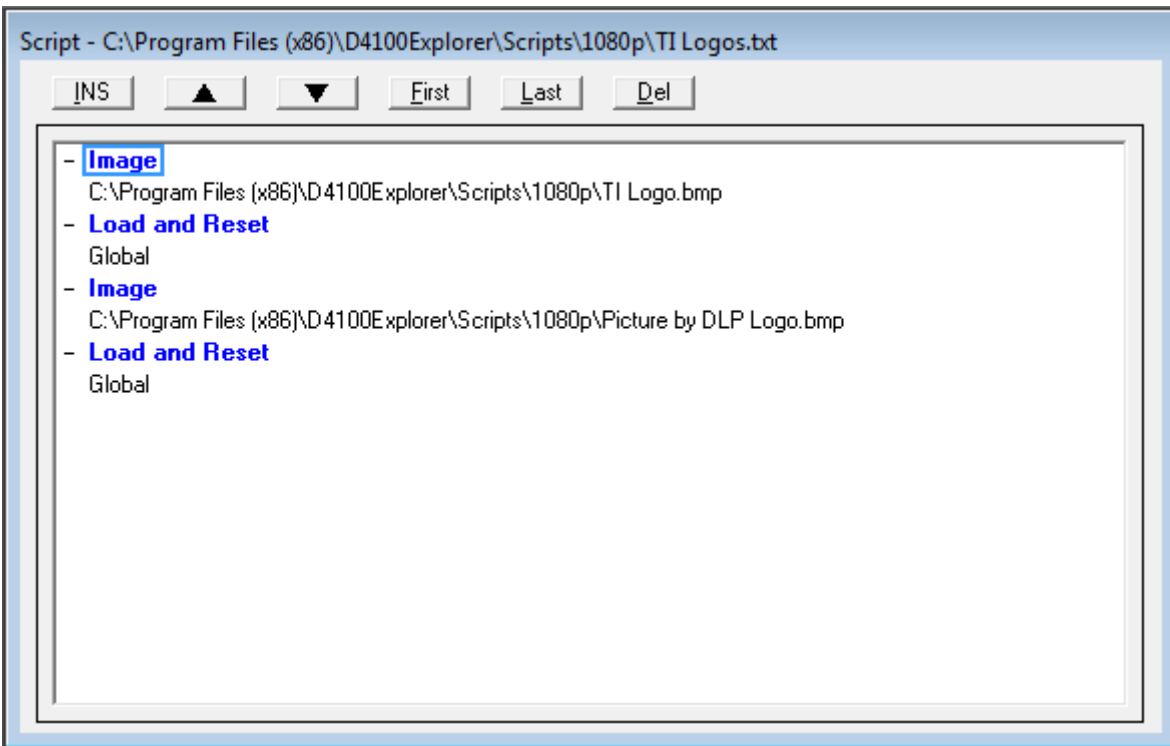



图 3-28. 脚本窗口

应用程序按照在脚本中输入命令的顺序执行命令。为了使应用程序执行命令，脚本中的第一个命令必须是 **Image** 命令，后跟现有图像的正确路径和文件名。要了解如何将图像插入脚本中，请参阅节 3.3.3.1。

3.3.5.1 插入命令

要在脚本上的指定位置插入命令，请执行以下操作：



- 从“Commands”窗口中选择所需命令，转到脚本中所需的位置，然后点击“Script”窗口顶部的  (INS) 按钮。

3.3.5.2 移动命令

要更改命令顺序，请执行以下操作：

- 通过点击命令来选择要移动的命令，然后点击  (向上) 箭头或  (向下) 箭头以移动到所需位置。

您还可以通过以下方式移动命令：

- 点击  按钮可以将命令移到脚本中的第一个位置，点击  按钮可以将命令移动到脚本中的最后一个位置。

3.3.5.3 删除命令



要从脚本中删除命令，请点击相应命令，然后点击“Script”窗口顶部的 (Del) 按钮。

3.4 脚本和状态操作

3.4.1 保存脚本和状态



3.4.1.1 保存脚本

要保存脚本，请执行以下操作：

- 从工具栏上的  (保存) 或  (另存为) 图标下拉菜单中选择“Script”选项，或从“File”菜单上的“Save”选项菜单中选择“Save Script”或“Save Script As”。
- 选择完成后，将显示一个通用对话框。选择或键入保存脚本时要使用的文件名称。
- 点击 **OK** 按钮，随即将出现一个消息框，通知您脚本已保存。

3.4.1.2 保存状态

要保存“Status”窗口的内容，请执行以下操作：

- 从工具栏上的  (保存) 或  (另存为) 图标下拉菜单中选择“Status”选项，或从“File”菜单上的“Save”选项菜单中选择“Save Status”或“Save Status As”。
- 选择完成后，将显示一个通用对话框。选择或键入保存状态时要使用的文件名称。
- 点击“OK”按钮，随即将出现一个消息框，通知您状态日志已保存。


备注

状态文件会以 .sts 扩展名保存。

3.4.2 打印脚本和状态


3.4.2.1 打印脚本

要打印脚本，请执行以下操作：

- 从工具栏上的  (打印) 图标下拉菜单中选择“Script”选项，或从“File”菜单上的“Print”选项菜单中选择“Script”项目。


3.4.2.2 打印状态

要打印“Status”窗口的内容，请执行以下操作：

- 从工具栏上的  (打印) 图标下拉菜单中选择“Status”选项，或从“File”菜单上的“Print”选项菜单中选择“Status”项目。

3.4.3 打开脚本和状态

您可以通过以下方式打开之前保存的脚本文件 [* .txt] 或状态文件 [* .sts]：

- 点击工具栏上的“Open File”图标或从“File”菜单上的  “Open File”菜单项中选择“Script”或“Status”选项。选择所需的文件后，文件将打开，脚本或状态文件将显示在“Script”或“Status”窗口中。

备注


脚本可以使用简单的文本编辑器进行编辑。因此，当打开脚本时，会检查脚本的一致性。如果命令缺少匹配参数或参数缺少匹配命令，则会显示错误对话框，并且脚本不会打开。必须先更正脚本，然后才能打开脚本。

3.4.4 创建新脚本和状态

您可以通过点击工具栏上的“New File”图标，然后选择“Script”或“Status”选项，或者从“File”菜单上的“New File”菜单项中选择“Script”或“Status”选项来创建新的脚本或状态文件。

3.4.4.1 创建新脚本


要打开新脚本，请执行以下操作：

- 从  (新建) 工具栏图标下拉菜单中选择“Script”选项，或从“File”菜单上的“New”选项菜单中选择“Script”项目。

选择完成后，系统会先提示您保存当前脚本，然后插入空白脚本。

3.4.4.2 创建新状态

要打开新状态，请执行以下操作：

- 从  (新建) 工具栏图标下拉菜单中选择“Status”选项，或从“File”菜单上的“New”选项菜单中选择“Status”项目。

选择完成后，系统会先提示您保存当前状态日志，然后插入空白状态。

3.5 DLPC410 控制窗口

“DLPC410 Control”窗口通过“DMD/DLPC410 Control”菜单访问，并提供对 DLPC410 输入信号的直接控制。点击设置按钮时，不会生成脚本命令，而会立即对 DLPC410 施加控制。

该窗口的上部支持读取和设置用于向 DMD 写入数据的 DLPC410 信号。ROWMD (行模式)、ROWADDR (行地址)、BLKMD (块模式) 和 BLKADDR (块地址) 的当前值显示在“Current Value”列中。当在“Hex”列中以十六进制形式输入新的值并点击设置按钮时，值便会发送到 DLPC410。“Load Row”按钮会发送一行，其中包含输入的 4 位十六进制值的重复值。

该窗口的下部支持控制 DLPC410 输入信号，这些输入信号都是控制工作模式。点击按钮可切换信号的当前值。

注意：将 PWRFLOAT (功率浮点) 置为有效将停止 DMD 镜像。恢复需要通过将 APPS_LOGIC_RST (硬件开关 SW2) 置为有效或对 EVM 进行下电上电来复位 APPSFPGA，从而再次重新启动 D4100 系统。

有关 DLPC410 输入信号的详细信息，请参阅 DLPC410 数据表 (DLPS024)。

有关此“DMD/DLPC410 Control”菜单页面上各个按钮调用的 ActiveX 函数的详细信息，请参阅“DLP Discovery 4100 开发平台 API 编程人员指南” (DLPU039)。

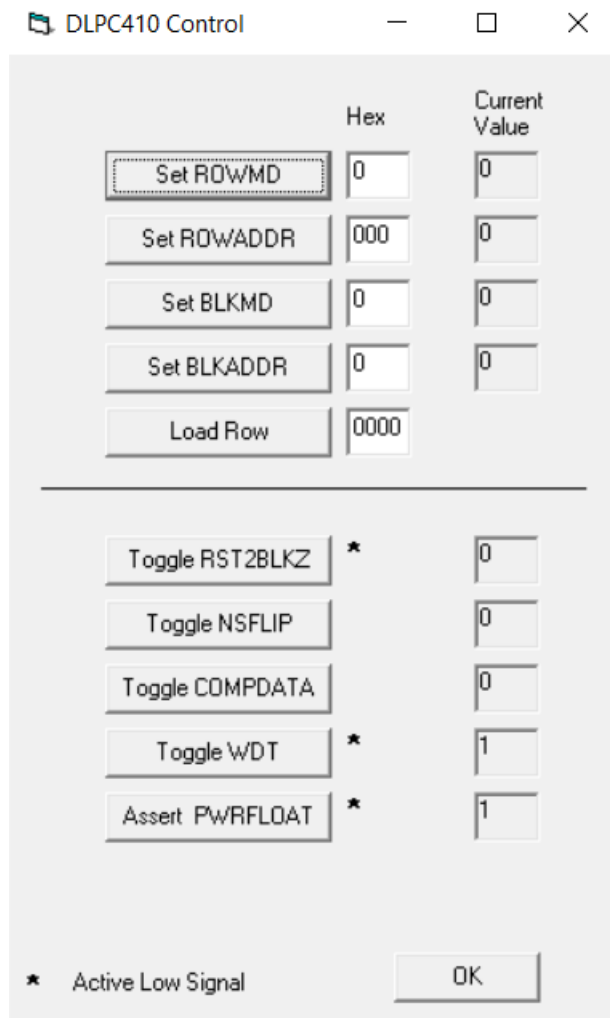


图 3-29. DLPC410 控制窗口

3.6 测试图形窗口

应用 FPGA (APPSFPGA) 支持两种模式。

- 内部测试图形模式 - 选择存储在 APPSFPGA 中的固定测试图形并将其显示在 DMD 上。此模式不支持脚本功能。
- 用户图形模式 - 用户定义的图像可从 GUI 下载到 APPSFPGA，以便在 DMD 上显示。这是使用“Script”窗口来完成的。运行脚本时，即使之前启用了内部测试图形模式，GUI 也会自动切换到用户图形模式。

“Test Patterns”窗口通过“Test Patterns”菜单访问，如图 3-30 所示。



图 3-30. 测试图形窗口

“Test Patterns”窗口提供以下功能：

- **启用/禁用内部测试图形模式。** 如果启用了内部测试图形模式，则可以选择在 DMD 上显示各种内部图形。选择“**All Patterns**”时，则会以循环方式显示所有内部图形。
- **启用/禁用软件开关覆盖。** 启用后，此开关会覆盖 DLPLCRC410EVM 控制器板上开关 SW1 的硬件开关设置。为了清晰起见，这里表 3-2 重复介绍了硬件 DIP 开关分配。
- **GPIO_A(4 - 6) 启用/禁用。** “Test Patterns”窗口中的 [GPIOA 4]、[GPIOA 5] 和 [GPIOA 6] 选择会直接映射到 APPSFPGA (在连接器 GPIO_A 上) 的 GPIO_A4、GPIO_A5 和 GPIO_A6 输出。

表 3-2. SW1 DIP 开关分配

硬件开关 SW1 编号	效果
1	ON = 悬空 - 使所有微镜悬空
2	ON = 计数器暂停 - 停止计数器，这会冻结 DMD 上的图像
3	ON = 补码数据 - 使 DLPC410 对接收到的所有数据进行补码
4	ON = 北/南翻转 - 使 DLPC410 反转行加载顺序，从而有效地翻转图像
6 和 5	指示所使用的复位类型（其中开关 6 是 MSB 且 ON = 1）： <ul style="list-style-type: none"> • 00：单块分步复位 • 01：双块分步复位 • 10：全局复位 • 11：四块分步复位
7	ON = 行地址模式
8	ON = 看门狗计时器 (WDT) 启用，禁用其他复位

有关此“Test Patterns”菜单页面上各个按钮调用的 ActiveX 函数的详细信息，请参阅“DLP Discovery 4100 开发平台 API 编程人员指南”([DLPU039](#))。

3.7 关于对话框

关于对话框提供了 DLP Discovery 4100 开发平台各种软件和硬件的版本信息。

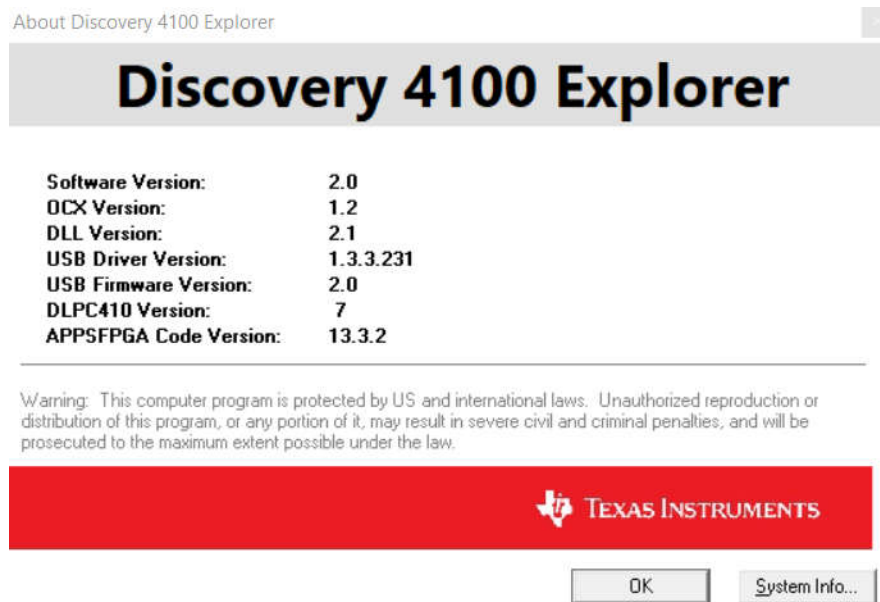


图 3-31. 关于对话框

3.8 链接

有关详细信息，请访问 [DLP Discovery 4100 开发平台](#)。

4 硬件设计文件

D4100 控制器板设计文件包含：

- D4100 板 ESD - 电子原理图
- D4100 板 GERBER 和 BRD 文件
- D4100 板 CCA - 电路卡组件
- D4100 板 BOM - 电路卡组件

DLP9500(UV) 电路板设计文件包含：

- DLP9500 板 ESD - 电子原理图
- DLP9500 板 GERBER 和 BRD 文件
- DLP9500 板 CCA - 电路卡组件
- DLP9500 板 BOM - 电路卡组件

DLP7000(UV) 电路板设计文件包含：

- DLP7000 板 ESD - 电子原理图
- DLP7000 板 GERBER 和 BRD 文件
- DLP7000 板 CCA - 电路卡组件
- DLP7000 板 BOM - 电路卡组件

DLP650LNIR 电路板设计文件包含：

- DLP650LNIR 板 ESD - 电子原理图
- DLP650LNIR 板 GERBER 和 BRD 文件
- DLP650LNIR 板 CCA - 电路卡组件
- DLP650LNIR 板 BOM - 电路卡组件

5 其他信息

5.1 商标

ActiveX™ is a trademark of ACTIVE NETWORK, LLC.

所有商标均为其各自所有者的财产。

5.2 缩略语和首字母缩写词

下面列出了本手册中使用的缩略语和首字母缩写词。

APPSFPGA	用于客户应用的 DLPLCRC410EVM 上的 Xilinx Virtex 5 FPGA
D4100 平台	DLP Discovery 4100 开发平台
DC	直流
DDR	双倍数据速率
DMD	数字微镜器件
EVM	评估板
FCC	联邦通信委员会
FPGA	现场可编程门阵列
GPIO	通用输入输出
GUI	图形用户界面
HW	硬件
NIR	近红外线
PROM	可编程只读存储器
SCP	串行通信端口
SW	开关
SRAM	静态随机存取存储器
USB	通用串行总线
WXGA	宽扩展图形阵列
XGA	扩展图形阵列

5.3 命名规则

本文档使用以下规则。

5.3.1 注意事项和警告信息

本手册包含注意事项和警告。

小心

下面是对注意事项声明的说明：注意事项声明描述了可能会损坏您的软件或设备的情况。

警告

下面是对警告声明的说明：警告声明描述了可能对用户造成伤害的情况。

注意事项或者警告中所提供的信息是为了保护您的安全。请仔细阅读每条注意事项和警告。

FCC 警告：本设备仅限于在实验室测试环境中使用。该设备会产生、使用并可能辐射射频能量，并且尚未经过测试，不确定是否符合 FCC 规则第 15 部分 J 子部分关于计算设备的限制规定，该规则旨在针对射频干扰提供合理的保护。在其他环境中操作该设备可能会对无线电通信造成干扰，在这种情况下，用户需独自承担采取措施来消除此干扰所需的费用。

6 相关文档

该部分列出了与使用 DLPC410 控制器板相关的相关文档。

德州仪器 (TI) 的 [DLP650LNIR 0.65 NIR WXGA S450 DMD 数据表](#)

德州仪器 (TI) 的 [DLP7000 DLP® 0.7 XGA 2x LVDS A 类 DMD 数据表](#)

德州仪器 (TI) 的 [DLP7000UV DLP® 0.7 UV XGA 2x LVDS A 类 DMD 数据表](#)

德州仪器 (TI) 的 [DLP9500 DLP® 0.95 1080p 2x LVDS A 类 DMD 数据表](#)

德州仪器 (TI) 的 [DLP9500UV DLP® 0.95 UV 1080p 2x LVDS A 类 DMD 数据表](#)

德州仪器 (TI) 的 [DLPC410 DMD 数字控制器数据表](#)

德州仪器 (TI) 的 [DLPA200 数字微镜器件驱动器数据表](#)

[DLP Discovery 4100 开发平台 API 编程人员指南](#)

Cypress CY7C68013A USB 控制器：[Cypress USB 控制器](#)

APPSFPGA 开发工具和信息：[APPSFPGA](#)

7 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (March 2023) to Revision C (July 2024) Page

- 更新了[电源](#)以反映与 DLPLCRC410EVM 相关的正确功耗信息。.....10

Changes from Revision A (November 2018) to Revision B (March 2023) Page

- 添加了出现 DLP Discovery 4100 Explorer GUI Windows 安装程序错误时应遵循的步骤.....32

Changes from Revision * (October 2016) to Revision A (November 2018) Page

- 添加了“Discovery EVM 技术参考手册 (DLPU053)” 4
- 更改了概述部分，以识别更新后的 Discovery 4100 平台，其中包含 6 个混合匹配 EVM.....4
- 新增了 DLP650LNIR DMD 相关内容 (多处)4
- 将旧的 DLPC410 控制器 PCB 布局更改为新的布局 (新电源连接器 D16、D17) 11
- 添加了 J12 和 J18 输入电源连接器定义..... 13
- 向 [节 2.2.4](#) 添加了开关位置图。为了清晰起见，重命名并编辑了开关部分。26
- 添加了 D16 (上个布局将双 LED D2 更改为单 LED D2 和 D16) 28
- 添加了 D17 (上个布局将双 LED D3 更改为单 LED D3 和 D17) 28
- 更新了 GUI 屏幕截图，显示 DLP650LNIR 已连接 (0.65 WXGA).....30
- 添加了 DLP650LNIR 的支持信息和链接 (多处) 31
- 添加了新 GUI 测试图形菜单/控件的说明.....41
- 将加载选项卡图像更改为新的 Load4 屏幕截图..... 44
- 添加了新测试图形窗口的说明和允许的选择..... 53

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司