

J721S2、TDA4VE、TDA4AL、TDA4VL、AM68 功耗估算工具



摘要

基于 Excel 的 J721S2 功耗估算工具允许用户根据片上系统 (SoC) 的不同元件 (计算内核和外设) 的指定负载来估算热功耗。该工具允许用户根据一组代表性用例预填充各种字段 (使用的组件和主要组件的利用率)。这提供了自定义新用例的起点, 可以据此判断其自身用例的功率和负载。该工具可提供所输入结温 (T_j) 下的热功耗细目, 还可提供 $T_j = 125^\circ\text{C}$ 或 105°C 时根据此定义用例计算得出的供电网络 (PDN) 电流表。J721S2 功耗估算工具支持 J721S2 系列中的 SOC (例如 J721S2、TDA4VE、TDA4AL、TDA4VL、AM68)。

该工具提供两种功耗估计值:

1. 热功耗估算: SoC 加热或冷却的时间常数约为数秒或数分钟。由于这是该工具的主要用途, 因此负载表示持续时间为数秒或数分钟的平均活动。
2. 峰值/PDN 估计: 峰值电流 (功率) 的时间常数大约为一微秒。尽管某种用例 (平均) 对给定组件的利用率为 70% (假设), 但在某一时段内, 组件的利用率为 100%。该工具的峰值/供电网络 (PDN) 估算会根据关键知识产权 (IP) 自动增加负载, 该知识产权为创建 PDN 要求而启用。

从 <https://www.ti.com/cn/lit/zip/SPRUJ91A> 下载本文档中介绍的工具。

内容

1 功耗的组成.....	2
2 如何使用此工具.....	3
3 用例.....	4
3.1 核心处理器利用率.....	4
3.2 选择关键 IP 频率.....	5
3.3 存储器接口.....	5
3.4 PHY.....	6
3.5 高速串行接口.....	6
3.6 环境.....	6
3.7 LVCMOS IO.....	7
3.8 按钮.....	8
3.9 起始用例.....	8
4 结果表.....	9
4.1 热功耗估算.....	9
4.2 峰值/PDN 功耗估算.....	9
5 三个特定的预载用例结果.....	10
5.1 仅限 ARM.....	11
5.2 超集.....	12
5.3 代客泊车.....	15
6 预填充用例的功耗汇总.....	17
7 修订历史记录.....	17

商标

所有商标均为其各自所有者的财产。

1 功耗的组成

SoC 功耗通常被视为具有两个不同的组成部分 - 动态功耗和泄漏。

动态功耗是根据 IP 的两个数字计算的 - 最大功耗和空闲功耗 (均按电压调节)。动态功耗的计算方法为最大功耗和空闲功耗的加权平均值：

$$P_{dyn} = P_{max} \times Utilization + P_{idle} \times (1 - Utilization) \quad (1)$$

- 动态功率通常作为 fCV 计算。请设想 PCB 上从 CMOS 输出驱动到 CMOS 输入的时钟信号。动态功耗的计算取决于 (a) 信号频率 - f ; (b) 输入负载的电容和 PCB 布线电容 - C ; 以及 (c) 信号的电压摆幅 - V
- 在此工具中, 用户可以选择某些 IP 的频率以及 IP 的利用率。频率和利用率显然是相互关联的; 随着频率的降低, 利用率需要提高, 才能保持 *相同的活动*。因此, 如果一项功能需要在 IP 上有 40% 的负载, 与频率减半且利用率加倍至 80% 具有几乎相同的功耗。

泄漏功耗根据电压、结温和制造工艺变化计算。虽然工艺和电压对泄漏功耗有很强影响, 但泄漏功耗会随 T_j 的增加呈指数级增加

- CMOS 晶体管被视为具有两种状态: (a) 源极和漏极之间的通道导通的 ON 状态; (b) 源极和漏极之间的通道未导通的 OFF 状态。泄漏功耗的产生是因为 OFF 状态下会有涓流电流流经通道。

备注

模拟/偏置电流 - SoC 功耗还有第三个分量 - 模拟或偏置电流。本工具中不考虑这些电流, 因为在几乎所有情况下, 这些来源产生的功耗对总功耗来说都可以忽略不计。

2 如何使用此工具

该工具包含两个页面：

- “用例”包含许多不同的组件，用户可以配置这些组件来表示它们的用例；用例如 图 2-1 所示。（功耗的各个最重要影响因素位于 E 列中。）此表还包含 4 个用于初始化估算的不同阶段的按钮。
- “结果”是填充结果的空白工作表。

图 2-1. J721S2PowerEstimationTool_v0p2.xlsm 的“用例”选项卡顶部

TDA4AL, TDA4VL, TDA4VE, AM68 Power Estimation Tool				Starting Use Case		Reset		Calculate	
Modifiable Field				UC:ValetPark_4x2MP					
Descriptor						Populate Use Case		Save current UC	
Tj	125	C							
SRAM_Voltage	0.85	V							
CORE_Voltage	0.8	V							
VDD_CPU_AV5_Voltage	0.76	0.76V min AV5 voltage	Processor Core Utilization (%)						
VDD_MCU_Voltage	0.85	V	WKUP SMS 0	10%					
Process_Corner	strong		MCU R5FSS 0: 0	50%					
UC_Description	Add Test Description		MCU R5FSS 0: 1	50%					
UC_Name	Add Test Name		WKUP SA3SS 0	0%					
Key IP Frequency selection			Frequency						
MCU PLL 0	WKUP SMS 0 Frequency [MHz]	333	MAIN A72SS 0: 0	71%					
MCU PLL 0	MCU R5FSS 0 Frequency [MHz]	1000	MAIN A72SS 0: 1	71%					
MAIN PLL 8	MAIN A72SS 0 Frequency [MHz]	2000	MAIN R5FSS 0: 0	58%					
MAIN PLL 14	MAIN R5FSS 0/1 Frequency [MHz]	1000	MAIN R5FSS 0: 1	58%					
MAIN PLL 7	MAIN C71SS 0/1 Frequency [MHz]	1000	MAIN R5FSS 1: 0	63%					
MAIN PLL 25	VPAC 0 Frequency [MHz]	720	MAIN R5FSS 1: 1	63%					
MAIN PLL 25	DMPAC 0 Frequency [MHz]	520	MAIN C71SS 0: C71x	0%					
MAIN PLL 6	Graphics Processing Unit 0 Frequency [MHz]	800	MAIN C71SS 0: MMA	100%					
MAIN PLL 5	Video Encoder/Decoder 0 Frequency [MHz]	600	MAIN C71SS 1: C71x	100%					
MAIN PLL 12 / 26	LPDDR4 EMIF 0/1 Frequency [MHz]	1067	MAIN SA2_UL 0	0%					
			VPAC 0	35%					
			DMPAC 0	56%					
			GPU 0	80%					
			Video Encoder/Decod	40%					
LVCOS IO									
WKUP GPIO	Mode	Utilization	Instances	Memory Interfaces	Mode	Utilization			
WKUP I2C	unused	0%	2	DDRSS 0	lpddr4_4267_32	29%			
WKUP UART	i2c_400k_3p3v	50%	1	DDRSS 1	lpddr4_4267_32	29%			
MCU CPSW	3p6m_1p8v	30%	1	GPAC / ELM	off	0%			
MCU I2C	off	0%	1						
MCU UART	i2c_400k_3p3v	50%	2	PHYs	Mode	Utilization	Instances		
MCU I3C	3p6m_1p8v	30%	1	MAIN CS12.0 4L Rx	1p5g4l	100%	1		
MCU McSPI	i2c_100k_1p8v	0%	1	MAIN CS12.0 4L Tx	ulps	0%	0		
	Master_2.083_Mbaud_1p8v	50%	1	MAIN MMCSD0	off	0%	1		



图 2-2. J721S2PowerEstimationTool_v0p2.xlsm 的“结果”选项卡顶部

Name: Add Test Name										Caution: This power estimation spreadsheet is subject to change. SoC power estimates provide approximate power and current consumption based on measured and simulated data; they are provided "as is" and are not guaranteed within a specified precision. Power consumption depends on electrical parameters, silicon process variations, environmental conditions, and uses cases running on the processor during operation. Actual power consumption should be verified in the real system. An end product's SoC power, PDN integrity & thermal performance can vary depending on final use cases, features supported, software characteristics and system thermal design.										Voltage Groupings PDN Current [mA]									
Description: Add Test Description																				V_G1	1230								
Internal Reference Date: 1/10/2022																				V_G2	9								
Internal Reference Revision: 1.1																				V_G3	28								
Date: 3/29/2023																				V_G4	13453								
Tool Revision / Date: 0.1 / Mar 9, 2023																				V_G5	10810								
Thermal Power																				V_G6	920								
Tj	Leakage [mW]	Dynamic [mW]	Total [mW]	log10(LKG)	125 Total Power by block										V_G7	580													
125	6340	8930	15270	3.80208926	A72	1930					V_G8	6																	
125	6340	8930	15270	3.80208926	C7x / MMA	2700					V_G9	28																	
115	4680	8930	13610	3.87024585	Pulsars	720					V_G10	81																	
105	3450	8930	12380	3.5378191	GPU	960					V_G11	14																	
95	2550	8930	11480	3.40654018	Wave Encode / Decode	490					V_G12	1																	
85	1880	8930	10810	3.27415785	VPAC	550					V_G13	1																	
40	500	8930	9430	2.69897	DMPAC	360					V_G14	300																	
0	170	8930	9100	2.23044892	Rest of Chip	7560					V_G15	7																	
-40	70	8930	9000	1.84509804											V_G16	8													
										slope										V_G17	8								
										intercept										V_G18	7								
										rsq										125 PDN / Peak estimate uses different loadings than the thermal use case									
Thermal power by Rail										PDN / Peak power by Rail																			
Supply Pin	Leakage [mW]	Dynamic [mW]	Total [mW]	Voltage	Power Domain					Status	Supply Pin					Leakage [mW]	Dynamic [mW]	Total [mW]	Voltage	mA									
VDD_CORE	3147	4255	7402	0.8	PD_A72_0	ON					VDD_CORE	3780	6980	10760	0.8	13450	V_G4												
VDD_CPU	2169	3716	5885	0.76	PD_A72_1	ON					VDD_CPU	2610	5600	8210	0.76	10810	V_G5												
VDD_MCU	285	477	762	0.85	PD_C7_0	ON					VDD_MCU	350	620	970	0.85	1150	V_G1												
VDDAR_CORE	347	0	347	0.85	PD_C7_1	ON					VDDAR_CORE	420	0	420	0.85	500	V_G6												
VDDAR_CPU	284	0	284	0.85	PD_Pulsar_0	ON					VDDAR_CPU	350	0	350	0.85	420	V_G6												
VDDAR_MCU	52	0	52	0.85	PD_Pulsar_1	ON					VDDAR_MCU	63	0	63	0.85	80	V_G1												
VDD_MCU_WAKE1	2.4	0	2.4	0.8	PD_GPUCOM	ON					VDD_MCU_WAKE1	2.4	0	2.4	0.8	3	V_G2												
VDD_WAKE0	2.4	0	2.4	0.8	PD_encode	ON					VDD_WAKE0	2.4	0	2.4	0.8	3	V_G4												
VDD5_DDR	0	190	190	1.1	PD_VAPAC	ON					VDD5_DDR	1	500	501	1.1	460	V_G7												
VDD5_DDR_C0	0	50	50	1.1	PD_VAPAC	ON					VDD5_DDR_C0	1	55	56	1.1	60	V_G7												
VDD5_DDR_C1	0	50	50	1.1	PD_DMPAC	ON					VDD5_DDR_C1	1	55	56	1.1	60	V_G7												
VDDA_OP8_PLL_DDR0	0	2	2	0.8	Description					VDDA_OP8_PLL_DDR0	0	2	2	0.8	3	V_G8													
VDDA_OP8_PLL_DDR1	0	2	2	0.8	UC_Description	125					VDDA_OP8_PLL_DDR1	0	2	2	0.8	3	V_G8												
					VDD_CORE_SRAM_Voltage	0.85																							
					VDD_CORE_Voltage	0.8																							

3 用例

3.1 核心处理器利用率

这部分允许用户为每个主要核心 IP 指定利用率。

WKUP 域：

- SMS 0 - 基于 Arm Cortex-M4F 的安全管理子系统
- SA3SS 0 - 支持加密的一组基本硬件加速器

MCU 域：

- 双 R5F MCU 子系统

主域：

- 双 A72 MPU 子系统
- 2 个双 R5F MCU 子系统
- 包含矩阵乘法加速器 (MMA) 的 C71x DSP 子系统
- C71x DSP 子系统 (独立)
- SA2_UL 是支持加密的一组硬件加速器
- 视觉预处理加速器 (VPAC)
- 深度和运动处理加速器 (DMPAC)
- 图形处理单元 (GPU)
- 视频编码器和解码器组合

Processor Core Utilization (%)	
WKUP SMS 0	10%
MCU R5FSS 0: 0	50%
MCU R5FSS 0: 1	50%
WKUP SA3SS 0	0%
MAIN A72SS 0: 0	71%
MAIN A72SS 0: 1	71%
MAIN R5FSS 0: 0	58%
MAIN R5FSS 0: 1	58%
MAIN R5FSS 1: 0	63%
MAIN R5FSS 1: 1	63%
MAIN C71SS 0: C71x	0%
MAIN C71SS 0: MMA	100%
MAIN C71SS 1: C71x	100%
MAIN SA2_UL 0	0%
VPAC 0	35%
DMPAC 0	56%
GPU 0	80%
Video Encoder/Decod	40%

3.2 选择关键 IP 频率

这个部分允许用户为内核利用率部分 (+DDR) 中的关键块选择频率。

备注

VPAC/DMPAC - 有关 PLL25 的重要说明。由于 PLL 的内部频率限制为 -3GHz，因此两个 IP 的 VPAC 和 DMPAC 无法同时以最高频率（分别为 720MHz 和 520MHz）运行。

Key IP Frequency selection		Frequency
MCU PLL 0	WKUP SMS 0 Frequency [MHz]	333
MCU PLL 0	MCU R5FSS 0 Frequency [MHz]	1000
MAIN PLL 8	MAIN A72SS 0 Frequency [MHz]	2000
MAIN PLL 14	MAIN R5FSS 0/1 Frequency [MHz]	1000
MAIN PLL 7	MAIN C71SS 0/1 Frequency [MHz]	1000
MAIN PLL 25	VPAC 0 Frequency [MHz]	720
MAIN PLL 25	DMPAC 0 Frequency [MHz]	520
MAIN PLL 6	Graphics Processing Unit 0 Frequency [MHz]	800
MAIN PLL 5	Video Encoder/Decoder 0 Frequency [MHz]	600
MAIN PLL 12 / 26	LPDDR4 EMIF 0/1 Frequency [MHz]	1067

3.3 存储器接口

J721S2 器件系列具有 2 个双倍数据速率 (DDR) SDRAM 控制器和相关的物理层接口 (PHY)，以及一个具有错误定位模块 (ELM) 的通用存储器控制器 (GPMC)。

Memory Interfaces	Mode	Utilization
DDRSS 0	lpddr4_4267_32	29%
DDRSS 1	lpddr4_4267_32	29%
GPMC / ELM	off	0%

3.4 PHY

J721S2 器件系列具有多个 PHY；对于具有多个实例的 PHY，除了模式和利用率外，用户还可以选择使用的实例数：

- 2 个摄像头流接口 (CSI) 2.0，用于接收 PHY，每个接口有 4 条通道
- 2 个 CSI2.0，用于发送 PHY，各有 4 条通道
- 仅适用于 eMMC 的多媒体卡接口 (MMC)
- 2 个显示子系统显示串行接口 (DSI) 发送接口 (使用 CSI2.0 Tx PHY)
- 通用串行总线 (USB) 2.0 PHY

PHYs	Mode	Utilization	Instances
MAIN CSI2.0 4L Rx	1p5g4l	100%	1
MAIN CSI2.0 4L Tx	ulps	0%	0
MAIN MMCSDB	off	0%	1
MAIN DSS 0: DSI Tx	ulps	0%	2
USB2.0	sleep	0%	1

3.5 高速串行接口

该器件上有一个高速串行/解串 (SerDes) 接口。SerDes 有 4 个通道，可选择模式、利用率和 IP。

备注

IP 核心部分的负载是根据所选 IP 确定的。由用户定义驱动 SerDes 各个通道的 IP。

High Speed Serial Int	Mode	Utilization	IP	<i>(eDP, PCIe and USB share 1 4 lane SerDes)</i>			
Lane0	disable	0%	none				
Lane1	disable	0%	none				
Lane2	disable	0%	none				
Lane3	disable	0%	none				

3.6 环境

环境部分允许用户定义结温 (Tj)、VDD_CPU_AV5 电压、VDD_MCU 电压、工艺角以及用例名称和说明。

- PDN/峰值估算在 105°C 或 125°C 下使用强硅器件运行。
- 要保存用例，用户必须为用例提供一个名称。

Tj	125	C	
SRAM_Voltage	0.85	V	
CORE_Voltage	0.8	V	
VDD_CPU_AV5_Voltage	0.76	0.76V min AV5 voltage	
VDD_MCU_Voltage	0.85	V	
Process_Corner	strong		
UC_Description	Add Test Description		
UC_Name	Add Test Name		

备注

用户选择 Tj 的影响 - 如果用户选择的结温小于或等于 105°C，则计算 105°C 时的峰值/PDN 估计值。如果用户选择的结温大于 105°C，则计算 125°C 时的峰值/PDN 估计值。

3.7 LVCMOS IO

与 PHY 部分一样，用户可以输入每个 LVCMOS 的模式、利用率和实例。每个 IP 只允许一种模式和利用率（不支持自定义，因为相应的 IP 块不会对总功耗产生显著影响）。如果系统使用某 IP 类型的多种模式，则会使用最大功率模式。

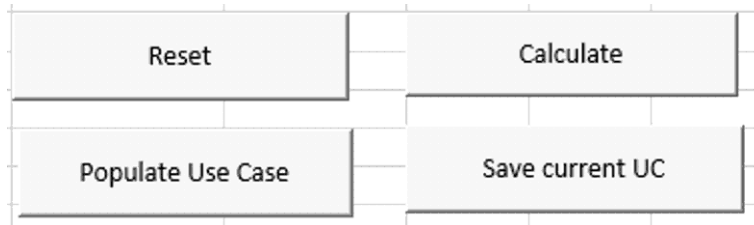
LVCMOS IO	Mode	Utilization	Instances
WKUP GPIO	unused	0%	2
WKUP I2C	i2c_400k_3p3v	50%	1
WKUP UART	3p6m_1p8v	30%	1
MCU CPSW	off	0%	1
MCU I2C	i2c_400k_3p3v	50%	2
MCU UART	3p6m_1p8v	30%	1
MCU I3C	i2c_100k_1p8v	0%	1
MCU McSPI	Master_2.083_Mbaud_1p8v	50%	1
MCU MCAN	12mbs_3p3v	10%	2
MCU ADC	on		2
MCU FSS 0: OSPI0 / HyperFlash	unused	0%	1
MCU FSS OSPI1 (QSPI)	unused	0%	1
LVCMOS IO	Mode	Utilization	Instances
MAIN GPIO	unused	0%	0
MAIN I2C	i2c_400k_3p3v	50%	1
MAIN UART	3p6m_1p8v	30%	1
MAIN CPSW	off	0%	1
MAIN McSPI	Master_2.083_Mbaud_1p8v	50%	2
MAIN McASP	unused	0%	0
MAIN ECAP	unused	0%	0
MAIN EPWM	unused	0%	0
MAIN EQEP	unused	0%	0
MAIN MCAN	12mbs_3p3v	10%	2
MAIN MMCSD1	off	0%	1
MAIN DSS 0: DPI	off	0%	1

3.8 按钮

按钮可初始化功耗估算的不同阶段。

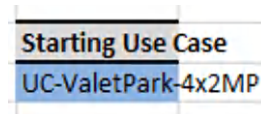
- “Reset”可清除并重置表单，并清除结果。
- **Populate Use Case** - 使用其中一个预先配置的代表性用例开始任何功率估算。这有助于强调如何以合理的方式使用该工（即不要为 SoC 上的所有 IP 均输入 100%）。
- **Calculate** - 表单填写完毕后，计算并将数据填入结果表。
- **Save current UC** - 如果用户要竞争测试案例，如果提供了 UC 名称，则可以保存该案例。使用唯一名称保存案例后，该案例将收入“开始应用场景”列表，并使用“Populate Use Case”按钮重新填写。有关重新填充用例的一个特别注意事项涉及串行器/解串器和显示子系统。串行器/解串器带宽不能映射到驱动 IP。例如，8G 通道可由 DSS 或 PCIe GEN 3 驱动。因此，用户必须配置 SerDes IP 并定义 DSS 使用的输出。该工具根据这些手动更改将加载应用到 SerDes 和 DSS 指定的 IP。

按下每个按钮后，该按钮下方的单元格 (H8:I11) 会记录开始和停止时间。



3.9 起始用例

此下拉列表可选择要预填充的用例。用户保存当前 UC（使用上文介绍的按钮）后，将补充到这组用例中。预填充的用例旨在为客户的用例提供 TI 生成的起点。



4 结果表

结果表根据输入的用例提供信息。

4.1 热功耗估算

- 估算的主要输出显示在单元格 A7 至 D17 中；此表给出了器件在各种温度下的总功耗。
- 由于泄漏功耗会呈指数级增加，因此可以在任何温度下计算泄漏部分。F8:F20 单元格支持此计算；泄漏功耗为：

$$P_{LKG} = 10^{mT_j + b} \quad (2)$$

- 单元格 A1 至 B6 包含有关工具和用例的参考信息。
- 功耗可按电源轨细分。这些结果在单元格 A21 至 E91 中提供。
- 单元格 H3 至 J86 提供了有关被估算用例的信息（利用率和频率）。
- 单元格 H18 至 I30 显示了器件电源域的配置方式。
 - 如有可能，该工具会关闭电源域。如果用户希望电源域保持打开状态，请将域内的 IP 利用率加载为 0.1%。
 - 配置软件，以匹配功耗估算中定义的预期。
- 单元格 H8 至 I16 显示了按块划分的细分功耗。此表说明器件背板中存在显著功耗。

备注

电压域、电源域和本地电源睡眠控制器 - 在“用例”选项卡的“环境”部分，用户为可配置电压域选择电压。在电压域（例如 VDD_CPU_AVS）内，一些电路置于电源域内（例如 C7x_0 和 MMA 位于 PD_C7_0 内）；如果电源域中的所有 IP 均未使用（唯一条件），电源域可以断开与电压域的连接。关闭电源域内的电路不会影响功率预算（泄漏或动态）。在电源域内，IP 由本地电源睡眠控制器（LPSC）控制，该控制器可控制时钟并重置 IP。未计时的 IP 不会影响器件整体功耗的动态功耗，但会产生泄漏功耗，除非 IP 位于未通电的电源域中。

请注意，电压域通常有某些 IP 位于电源域内，还有一些 IP 不在电源域内。

4.2 峰值/PDN 功耗估算

- 单元格 L20 至 R93 按电源轨估算峰值/PDN。此估计值由输入的用例得出。
 - 第 R 列创建标签 V_G1 至 V_G18（例如电压组）。用户可以修改这些标签。
 - P2-P19 单元格中有相同的标签。如果用户修改了 R 列中的标签，此范围中的标签也会修改。Q2-Q19 单元格将此电压组的电流相加。

5 三个特定的预载用例结果

以下三个用例旨在涵盖该器件的预期热功耗范围。用例可能超出此范围（峰值/PDN 功耗可能超出此范围）。

表 5-1. 125°C 热功耗

用例	泄漏 [mW]	动态 [mW]	总计 [mW]
仅限 ARM	4720	3950	8670
超集	6340	10910	17250
代客泊车	6340	9270	15610

表 5-2. 105°C 热功耗

用例	泄漏 [mW]	动态 [mW]	总计 [mW]
仅限 ARM	2570	3950	6520
超集	3450	10910	14360
代客泊车	3450	9270	12720

备注

泄漏功耗 - 由于在超集和代客泊车用例中都启用了所有电源域，因此这两种情况下的泄漏是相同的。

如前所述，泄漏随结温呈指数级变化，会导致泄漏在 125°C 至 105°C 之间显著降低。

5.1 仅限 ARM

此类处理器的最低用例需要使用 A72 内核以及 PCIe 和以太网交换机；在这种情况下，A72 内核从 2GHz 降至 1GHz。

在此配置中，许多电源域被禁用：

表 5-3. 仅限 ARM 的电源域状态

电源域	状态
PD_Pulsar_MCU	打开
PD_A72_Cluster_0	打开
PD_A72_0	打开
PD_A72_1	打开
PD_C7_0	关闭
PD_C7_1	关闭
PD_Pulsar_0	关闭
PD_Pulsar_1	关闭
PD_GPUCOM	关闭
PD_encode	关闭
PD_VPAC	关闭
PD_DMPAC	关闭

器件负载为：

表 5-4. 仅限 ARM 的器件配置

说明		
UC_Description		
Tj	125	
VDD_CORE_SRAM_Voltage	0.85	
VDD_CORE_Voltage	0.8	
VDD_CPU_SRAM_Voltage	0.85	
VDD_CPU_Voltage	0.76	
VDD_MCU_SRAM_Voltage	0.85	
VDD_MCU_Voltage	0.85	
Process_Corner	strong	
A72 CPU	70%	1000
A72 CPU	70%	1000
Pulsar Main J7AEP	0%	1000
Pulsar Main J7AEP	0%	1000
C711 512k 1.1	0%	1000
C711 512k 1.1	0%	1000
MMA2	0%	1000
Pulsar MCU J7am	50%	1000
DSS7L_eDP_DSI J7AEP	0%	0
CSI_3RX_2TX	0%	0
DPHY 1.2 RX - 4L	0%	0
DPHY 1.2 RX - 4L	0%	ulps
DPHY 1.2 TX - 4L	0%	ulps
DPHY 1.2 TX - 4L	0%	ulps
GPU BXS4-64-256KB DUST	0%	800
GPU BXS4-64-256KB Rascal	0%	800
GPU BXS4-64-256KB Wrap	0%	800

表 5-4. 仅限 ARM 的器件配置 (continued)

说明		
DMPAC J7AEP	0%	520
VPAC3	0%	720
WAVE521CL 视频编解码器	0%	600
CPSW2X eAVB	80%	0
超链接 x2	0%	0
PCIE_G3 4L J7AM	20%	0
USB3P0TCx1 J7AEP	0%	0
EMMC 4 J7AEP	0%	0
EMMC 8 J7AEP	10%	0
LPDDR4-32 EMIF J7AEP EW	35%	1067
lpddr4-32 IO 4267	39%	lpddr4_4267_32
LPDDR4-32 EMIF J7AEP NS	0%	1067
lpddr4-32 IO 4267	0%	休眠
串行器/解串器 10G 通用	100%	1pll
串行器/解串器 10G 通道	20%	8g
串行器/解串器 10G 通道	20%	8g
串行器/解串器 10G 通道	20%	8g
串行器/解串器 10G 通道	20%	8g
SDIO - 1 位	0%	关闭
Arasan HS400 8 位	10%	hs400

器件的热功耗为：

表 5-5. 仅限 ARM 的热功耗

Tj	泄漏 [mW]	动态 [mW]	总计 [mW]
125	4720	3950	8670
115	3480	3950	7430
105	2570	3950	6520
95	1900	3950	5850
85	1410	3950	5360
40	380	3950	4330
0	130	3950	4080
-40	60	3950	4010

5.2 超集

当 A72、Pulsar、C71x 和 MMA、GPU、DMPAC 和 VPAC 被有效地最大化时，即是一个超集用例。在本示例中，还加载了 SerDes。

在此配置中无电源域被禁用。

表 5-6. 超集电源域状态

电源域	状态
PD_Pulsar_MCU	打开
PD_A72_Cluster_0	打开
PD_A72_0	打开
PD_A72_1	打开
PD_C7_0	打开
PD_C7_1	打开
PD_Pulsar_0	打开

表 5-6. 超集电源域状态 (continued)

电源域	状态
PD_Pulsar_1	打开
PD_GPUCOM	打开
PD_encode	打开
PD_VPAC	打开
PD_DMPAC	打开

器件负载为：

表 5-7. 超集器件配置

说明		
UC_Description		
Tj	125	
VDD_CORE_SRAM_Voltage	0.85	
VDD_CORE_Voltage	0.8	
VDD_CPU_SRAM_Voltage	0.85	
VDD_CPU_Voltage	0.76	
VDD_MCU_SRAM_Voltage	0.85	
VDD_MCU_Voltage	0.85	
Process_Corner	strong	
A72 CPU	80%	2000
A72 CPU	80%	2000
Pulsar Main J7AEP	71%	1000
Pulsar Main J7AEP	71%	1000
C711 512k 1.1	0%	1000
C711 512k 1.1	100%	1000
MMA2	100%	1000
Pulsar MCU J7am	50%	1000
DSS7L_eDP_DSI J7AEP	35%	0
CSI_3RX_2TX	25%	0
DPHY 1.2 RX - 4L	50%	2p5g4l
DPHY 1.2 RX - 4L	50%	2p5g4l
DPHY 1.2 TX - 4L	50%	2p5g4l
DPHY 1.2 TX - 4L	50%	2p5g4l
GPU BXS4-64-256KB DUST	80%	800
GPU BXS4-64-256KB Rascal	80%	800
GPU BXS4-64-256KB Wrap	80%	800
DMPAC J7AEP	100%	520
VPAC3	90%	720
WAVE521CL 视频编解码器	50%	600
CPSW2X eAVB	80%	0
超链接 x2	0%	0
PCIE_G3 4L J7AM	25%	0
USB3P0TCx1 J7AEP	40%	0
EMMC 4 J7AEP	0%	0
EMMC 8 J7AEP	20%	0
LPDDR4-32 EMIF J7AEP EW	35%	1067
lpddr4-32 IO 4267	39%	lpddr4_4267_32
LPDDR4-32 EMIF J7AEP NS	35%	1067

表 5-7. 超集器件配置 (continued)

说明		
lpddr4-32 IO 4267	39%	lpddr4_4267_32
串行器/解串器 10G 通用	100%	2pll
串行器/解串器 10G 通道	50%	8g
串行器/解串器 10G 通道	50%	8g
串行器/解串器 10G 通道	0%	禁用
串行器/解串器 10G 通道	40%	5g
SDIO - 1 位	0%	关闭
Arasan HS400 8 位	20%	hs400

器件的热功耗为：

表 5-8. 超集热功耗

Tj	泄漏 [mW]	动态 [mW]	总计 [mW]
125	6340	10910	17250
115	4680	10910	15590
105	3450	10910	14360
95	2550	10910	13460
85	1880	10910	12790
40	500	10910	11410
0	170	10910	11080
-40	70	10910	10980

5.3 代客泊车

器件视觉分析功能的代表用例 - 环视和代客泊车示例。

在此配置中，不会禁用任何电源域：

表 5-9. 代客泊车电源域状态

电源域	状态
PD_Pulsar_MCU	打开
PD_A72_Cluster_0	打开
PD_A72_0	打开
PD_A72_1	打开
PD_C7_0	打开
PD_C7_1	打开
PD_Pulsar_0	打开
PD_Pulsar_1	打开
PD_GPUCOM	打开
PD_encode	打开
PD_VPAC	打开
PD_DMPAC	打开

器件负载为：

表 5-10. 代客泊车器件配置

说明		
UC_Description		
Tj	125	
VDD_CORE_SRAM_Voltage	0.85	
VDD_CORE_Voltage	0.8	
VDD_CPU_SRAM_Voltage	0.85	
VDD_CPU_Voltage	0.76	
VDD_MCU_SRAM_Voltage	0.85	
VDD_MCU_Voltage	0.85	
Process_Corner	strong	
A72 CPU	71%	2000
A72 CPU	71%	2000
Pulsar Main J7AEP	58%	1000
Pulsar Main J7AEP	63%	1000
C711 512k 1.1	0%	1000
C711 512k 1.1	100%	1000
MMA2	100%	1000
Pulsar MCU J7am	50%	1000
DSS7L_eDP_DSI J7AEP	70%	0
CSI_3RX_2TX	25%	0
DPHY 1.2 RX - 4L	100%	1p5g4l
DPHY 1.2 RX - 4L	0%	ulps
DPHY 1.2 TX - 4L	100%	2p5g4l
DPHY 1.2 TX - 4L	100%	2p5g4l
GPU BXS4-64-256KB DUST	80%	800
GPU BXS4-64-256KB Rascal	80%	800
GPU BXS4-64-256KB Wrap	80%	800
DMPAC J7AEP	56%	520

表 5-10. 代客泊车器件配置 (continued)

说明		
VPAC3	35%	720
WAVE521CL 视频编解码器	40%	600
CPSW2X eAVB	0%	0
超链接 x2	0%	0
PCIE_G3 4L J7AM	0%	0
USB3P0TCx1 J7AEP	0%	0
EMMC 4 J7AEP	0%	0
EMMC 8 J7AEP	0%	0
LPDDR4-32 EMIF J7AEP EW	29%	1067
lpddr4-32 IO 4267	32%	lpddr4_4267_32
LPDDR4-32 EMIF J7AEP NS	29%	1067
lpddr4-32 IO 4267	32%	lpddr4_4267_32
串行器/解串器 10G 通用	0%	禁用
串行器/解串器 10G 通道	0%	禁用
串行器/解串器 10G 通道	0%	禁用
串行器/解串器 10G 通道	0%	禁用
串行器/解串器 10G 通道	0%	禁用
SDIO - 1 位	0%	关闭
Arasan HS400 8 位	0%	关闭

器件的热功耗为：

表 5-11. 代客泊车热功耗

Tj	泄漏 [mW]	动态 [mW]	总计 [mW]
125	6340	9270	15610
115	4680	9270	13950
105	3450	9270	12720
95	2550	9270	11820
85	1880	9270	11150
40	500	9270	9770
0	170	9270	9440
-40	70	9270	9340

6 预填充用例的功耗汇总

下表总结了预填充用例的功耗。仅限 ARM、超集和代客泊车用例与上一节中的用例保持一致。仅限 MCU 用例仅使用器件的一小部分，其余部分未通电，这是一种特殊情况。（可以在工具中查看计算内核和外设负载。）

表 6-1. 125°C 时的热功耗

用例	Tj	泄漏 [mW]	动态 [mW]	总计 [mW]	说明
仅限 ARM	125	4720	3950	8670	在所有通道上分配 SerDes IP PCIe。
ARM + GPU + 显示	125	5100	5520	10620	设置主 DSS 0 : DSI TX 至 2p5g4l ; 在 2 个 PHY 上为 90%。在所有通道上分配 SerDes IP PCIe。
ARM + VPAC + 深度学习	125	5540	7120	12660	将 SrDes IP 分配给 PCIe。
前置摄像头 (2.5MPix , 边缘)	125	5630	5560	11190	
前置摄像头 (5MPix , 边缘)	125	5960	6190	12150	
前置摄像头 (8MPix , 边缘)	125	5960	6400	12360	
8MP (前) + 3MP (后)	125	6060	6330	12390	设置主 DSS 0 : DSI TX 2p5g4l ; 70% ; 2 个 PHY。
代客泊车	125	6340	9270	15610	设置主 DSS 0 : DSI TX 设置为 2p5g4l ; 100% ; 2 个 PHY。
超集	125	6340	10910	17250	设置主 DSS 0 : DSI TX 2p5g4l ; 50% , 2 个 PHY ; 分配具有 PCIe (8G) 和 USB (5G) 的 SerDes IP。
仅限 MCU	125	370	760	1130	将 SRAM 电压、CORE 电压和 CPU 电压设置为 0V。

7 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from APRIL 4, 2023 to MAY 17, 2023 (from Revision * (Apr 2023) to Revision A (May 2023))

	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更新了 Excel zip 文件。.....	1
• 更新了表 5-1 和 5-2 中的数据。.....	10
• 更新了表 5-6、5-7 和 5-8 中的数据。.....	12
• 更新了表 5-9、5-10 和 5-11 中的数据。.....	15
• 更新了表 6-1 中的数据。.....	17

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司