



摘要

本用户指南可用于指导将 TPS65931211-Q1 电源管理集成电路 (PMIC) 集成到为汽车 Sitara AM62A 处理器供电的系统中。

内容

1 简介.....	2
2 器件版本.....	2
3 处理器连接.....	3
3.1 电源映射.....	3
3.2 控制映射.....	7
4 满足功能安全 ASIL-B 要求.....	10
5 静态 NVM 设置.....	11
5.1 基于应用程序的配置设置.....	11
5.2 器件标识设置.....	12
5.3 BUCK 设置.....	12
5.4 LDO 设置.....	14
5.5 VCCA 设置.....	15
5.6 GPIO 设置.....	15
5.7 有限状态机 (FSM) 设置.....	17
5.8 中断设置.....	17
5.9 POWERGOOD 设置.....	20
5.10 其他设置.....	20
5.11 接口设置.....	22
5.12 看门狗设置.....	22
6 可预配置的有限状态机 (PFSM) 设置.....	22
6.1 配置的状态.....	23
6.2 PFSM 触发条件.....	25
6.3 电源序列.....	26
7 应用示例.....	30
7.1 进入和退出 S2R (挂起至 RAM)	30
7.2 进入和退出待机状态.....	30
7.3 进入和退出 LP_STANDBY 状态.....	30
8 参考文献.....	32

商标

所有商标均为其各自所有者的财产。

1 简介

本用户指南介绍了一种配电网 (PDN)，它使用 TPS65931211-Q1 PMIC 为 Sitara AM62A 处理器供电。

以下主题旨在说明平台系统运行：

1. PDN 电源连接
2. PDN 数字控制连接
3. PMIC 静态 NVM 配置
4. PMIC 可预配置的任务状态

PMIC 和处理器数据手册提供了建议的运行条件、电气特性、建议的外部元件、封装详情、寄存器映射和整体元件功能。如果任何用户指南、应用报告或其他参考资料之间存在任何不一致的地方，应以数据表规格为准。

2 器件版本

TPS6593-Q1 器件有多个不同的可订购器件型号 (OPN)，具有独特的 NVM 设置，以支持不同的最终产品用例和处理器类型。每个 PMIC 器件的独特 NVM 设置根据 PDN 设计进行了优化，以支持不同的处理器、处理负载、SDRAM 类型、系统功能安全级别和最终产品特性 (如低功耗模式、处理器电压和内存子系统)。NVM_ID 和 NVM_REV 这两个寄存器均可识别 NVM 设置。每个 TPS6593 PMIC 器件可通过器件型号、NVM_ID 和 NVM_REV 进行区分。

表 2-1. TPS6593-Q1 适用于 AM62A 的可订购器件型号

PDN 用例	可订购器件型号	TI_NVM_ID (TI_NVM_REV)
<ul style="list-style-type: none"> • 支持等级高达 ASIL-B 的功能安全。 • 支持 AM62A 低功耗模式 (包括部分 IO 和挂起至 RAM)。 • 在多相 (三相) 配置中⁽¹⁾ 电流高达 10.5A，可通过可选的 0.75V 或 0.85V 为处理器内核电压轨供电。 • 高达 4A⁽¹⁾，可通过 LPDDR4 的可选 1.1V 电压为 VDDS_DDR 供电。 • 支持 3.3V 和 1.8V 的 I/O 电平。 • 支持可选的最终产品特性： <ul style="list-style-type: none"> - 符合标准的高速 SD 卡存储器 - eMMC - 电子保险丝 ROM 编程电源 - 符合标准的 USB 2.0 接口 - 以太网 PHY - HDMI 	TPS65931211 RWERQ1	0x11 (0x05)

(1) TI 建议在每个 PMIC 输出电源轨的最大预期负载电流与最大允许电流之间留出 15% 的裕度。

3 处理器连接

本部分详细介绍了 TPS65931211-Q1 电源和 GPIO 信号如何连接到处理器和其他外设元件。

3.1 电源映射

图 3-1 显示了 TPS65931211-Q1 PMIC 电源资源和处理器电压域之间的电源映射。uSD 卡、以太网 PHY 和 HDMI 等一些外部外设是可选的，最终产品可能不需要这些外设。出于开发和测试目的，AM62A SK EVM 中包含了这些可选系统外设。

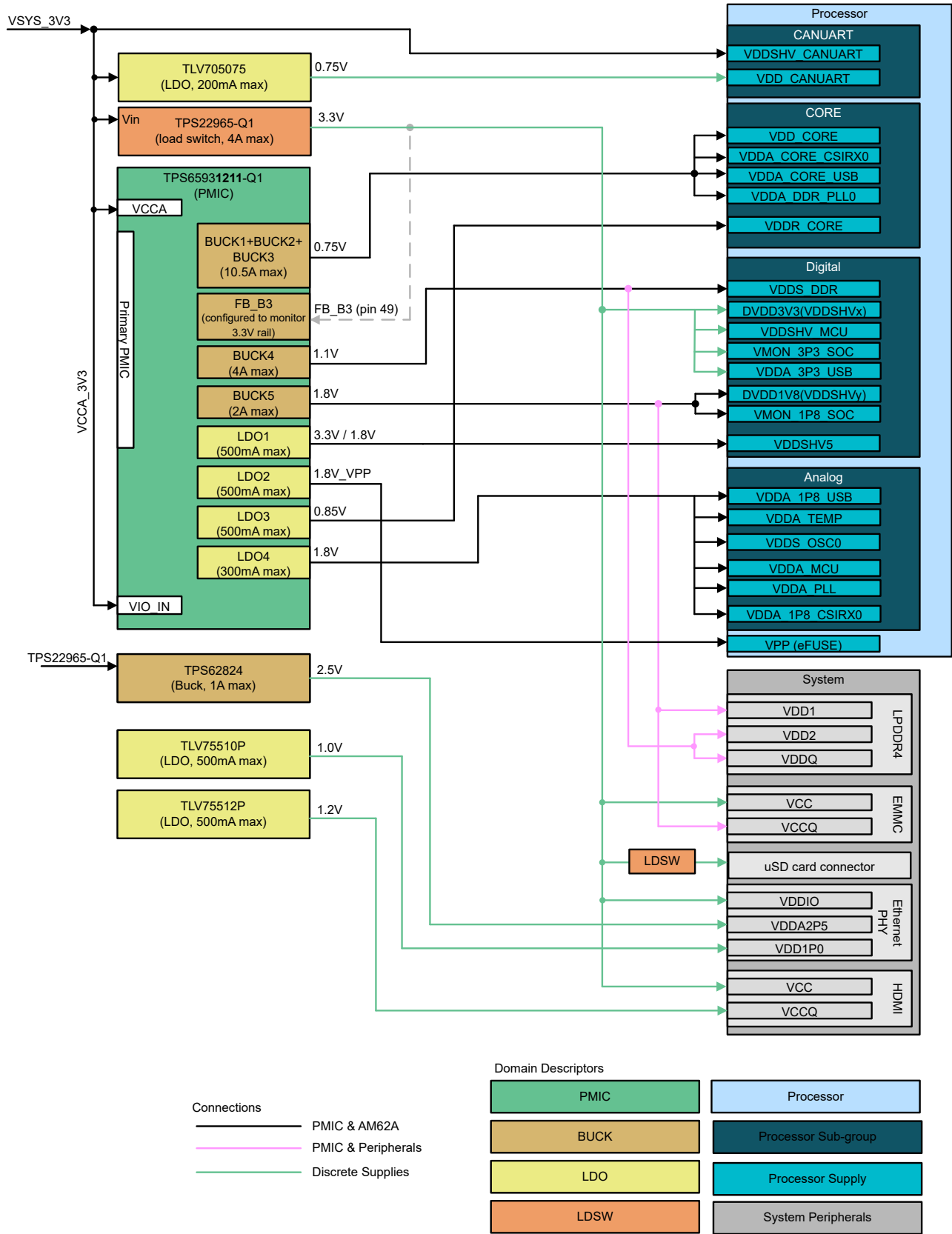
此 PDN 使用 TPS6593-Q1 PMIC 和分立式电源元件来满足处理器和系统外设的电源/序列要求。某些分立式元件是可选的，具体取决于最终产品的特性。在该配置中，PMIC 使用 3.3V 输入电压。TPS22965 负载开关将 3.3V 前置稳压器 (VSYS_3V3) 连接到处理器 3.3V IO 域。TPS65931211-Q1 的未使用反馈引脚 FB_B3 已根据 NVM 设置 (表 5-3) 进行了配置，以便为 3.3V IO 域提供电压监控。该监控功能使所有处理器内核、数字和模拟电源都具有功能安全 ASIL-B 系统所需的电压监控功能。

TPS65931211-Q1 PMIC 的 LDO1 配置为旁路，为 SD 卡双电压 I/O (3.3V 和 1.8V) 供电。具有逻辑高默认值和外部上拉的处理器 GPIO 控制信号最初用于将 SD IO 设置为 3.3V。上电序列完成后，处理器可以将 GPIO 信号设置为低电平，从而根据 SD 规格选择高速卡运行所需的 1.8V 电平。该旁路配置允许控制 3.3V 至 1.8V 范围内的 LDO1 电压，而无需在从 SD 卡引导运行期间建立 I2C 通信。LDO1 上的旁路配置需要将其输入电源引脚 (PVIN_LDO12) 连接到 3.3V。

AM62A 处理器支持多种低功耗模式。对于部分 I/O 低功耗模式，除 CANUART I/O 库中的 I/O 引脚外，整个 SoC 都处于关闭状态，以保持唤醒能力。支持此模式的方法是：关闭 PMIC 并使 3.3V 前置稳压器保持开启状态以提供 VDDSHV_CANUART (3.3V)，并使用外部分立式稳压器来提供 VDD_CANUART (0.75V 或 0.85V)。

备注

FB_B3 上的 PMIC 电压监控器必须连接到 3.3V。如果在监控器启用时 3.3V 未连接到 FB_B3，则器件进入硬件 SAFE RECOVERY 状态，并且处理器电压被禁用。



备注

仅部分 IO 需要提供 VDD_CANUART 的外部分立式元件。当不使用部分 IO 时，VDD_CANUART 需要连接到多相 BUCK1/2/3，且 VDDSHV_CANUART 可以连接到为 DVDD3V3(VDDSHVx) 供电的同一 3.3V 电源轨。

图 3-1. 电源连接示例

表 3-1 确定了需要哪些电源来支持不同的系统特性。

表 3-1. PDN 电源映射和系统特性

电源映射				系统特性 ⁽¹⁾			
器件	电源	电压	处理器域	有源 SoC	部分 IO (低功耗模式)	IO + DDR (低功耗模式)	SD 卡接口
3.3V 前置稳压器 (LM5141-Q1)	BUCK	3.3V	VDDSHV_CANUART PMIC 电源	R	R	R	
TLV705075	LDO	0.75V	VDD_CANUART	R	R	R	
TPS65931211-Q1	BUCK123	0.75V 或 0.85V (2)	VDD_CORE	R			
			VDDA_CORE_CSIRX0	R			
			VDDA_CORE_USB	R			
			VDDA_DDR_PLL0	R			
	FB_B3	3.3V	监控 3.3V IO 域	R		R	
	BUCK4	1.1V 或 1.2V	VDDS_DDR	R		R	
	BUCK5	1.8V	DVDD1V8(VDDSHVy)	R		R	
			VMON_1P8_SOC (3)	O			
	LDO1	3.3V/1.8V	VDDSHV5	O			R
	LDO2	1.8V	VPP (电子保险丝)	O			
	LDO3	0.85V (2)	VDDR_CORE	R			
	LDO4	1.8V	VDDA_1P8_USB	R			
			VDDA_TEMP	R			
			VDDS_OSC0	R			
VDDA_MCU			R				
VDDA_PLL			R				
VDDA_1P8_CSIRX0			R				
TPS22965-Q1	负载开关	3.3V	DVDD3V3(VDDSHVx)	R			
			VDDSHV_MCU	R			
			VMON_3P3_SOC (3)	O			
			VDDA_3P3_USB	R			
TPS62824	BUCK	2.5V	VDD_2V5_ETHERNET PHY	O			
TLV75510P	LDO	1.0V	VDD1P0_ETHERNET PHY	O			
TLV75512P	LDO	1.2V	CVCC12_HDMI TRANSMITTER	O			

(1) “R” 是必需的，而“O” 是可选的。

(2) 如果多相 Buck1/2/3 配置为输出 0.85V，则 AM62A 上的两个内核电压轨 (VDD_CORE 和 VDDR_CORE) 由 Buck1/2/3 供电。在这种情况下，LDO3 成为可用电源资源。

(3) VMON_3P3_SOC 和 VMON_1P8_SOC 不是电源引脚，而是 1.8V 和 3.3V SoC 电源的电压监控输入。如果 VMON_1P8_SOC 和 VMON_3P3_SOC 未用于监控 SOC 电源轨，则它们仍必须连接到各自的 1.8V 和 3.3V 电源轨。

3.1.1 VDD_CORE 上支持 0.85V

在此 PDN 中，VDD_CORE 工作电压为 0.75V，由多相 Buck1/2/3 供电。VDDR_CORE 由 LDO3 (0.85V) 供电。但是，如果 BUCK1/2/3 配置为输出 0.85V，则两个内核电压轨 (VDD_CORE 和 VDDR_CORE) 必须由 BUCK1/2/3 供电，并且 LDO3 成为可用资源。根据 AM62A 数据表，VDD_CORE 和 VDDR_CORE 预计由同一电源供电，因此当 VDD_CORE 以 0.85V 电压运行时，这些电压会一起斜升。LDO3 配置为属于 TPS65931211-Q1 上电序列的一部分，需要一个输入电源以及输入/输出电容器，以防止出现 LDO3 故障情况。GPIO6 的状态会设置多相 Buck1/2/3 的输出电压。有关数字引脚极性的信息，请参阅节 3.2。

3.1.2 使用 5V 输入电源

本用户指南中所述的 PDN 是针对 3.3V 输入电源设计的。但是，TPS65931211-Q1 NVM 还支持 5V 输入电源。TPS65931211-Q1 上的默认 NVM 设置会在 VCCA 上禁用 UV/OV，因此 PMIC 可以使用任一电压 (3.3V 或 5V)。如果使用 5V 电源，则 3.3V IO 域需要一个 3.3V 分立式降压稳压器，而不是电源开关。外部 3.3V 降压稳压器可由 GPIO4 启用并需要在 10ms 的延迟内从 0V 斜升至 3.3V，此延迟是在 any2active 序列中分配给 GPIO4 的。

LDO1 配置为“旁路”，需要 3.3V 电源。此 LDO 可由分立式 3.3V 稳压器的输出供电。TI 还建议为其余 LDO (LDO3 和 LDO4) 提供分立式 3.3V 稳压器，以降低功耗。VIO_IN 也必须由 3.3V 供电。

使用 5V 而不是 3.3V 时，前置稳压器的电压不能直接连接到 VDDSHV_CANUART。在这种情况下，VDDSHV_CANUART 可由同一个分立式 3.3V 降压稳压器供电，该稳压器为处理器上其余的 3.3V 信号供电。

备注

PMIC IO 可以针对输入和输出功能使用不同的电源域。I2C1 和 I2C2 的 SDA 功能使用 VINT 电压域作为输入，并使用 VIO 电压域作为输出。当配置为输入时，GPIO3 在 VRTC 域中。当配置为输出时，GPIO4 在 VINT 域中。有关完整说明，请参阅器件数据表。

表 3-2 显示了 TPS65931211-Q1 上配置为开漏且必须上拉至 AM62A 域的数字信号。

表 3-2. 开漏信号和 AM62 电源域

PMIC 开漏信号	AM62A 信号名称	AM62A 电源域
nINT	EXTINTn	VDDSHV0
nRSTOUT	MCU_PORz	VDDS_OSC (1.8V)
SCL_I2C1	I2C0_SCL	VDDSHV0
SDA_I2C1	I2C0_SDA	VDDSHV0
GPIO1 (SCL_I2C2)	MCU_I2C0_SCL	VDDSHV_MCU
GPIO2 (SDA_I2C2)	MCU_I2C0_SDA	VDDSHV_MCU

请使用表 3-3 作为指南来了解每个 PDN 系统特性所需的 GPIO 分配。如果不需要所列出的特性，可以删除数字连接；但是，GPIO 引脚仍会按照显示的由 NVM 定义的默认功能进行配置。启动后，处理器可以重新配置未使用的 GPIO 以支持新功能。只要该功能仅在启动后才需要且默认功能不与正常操作产生任何冲突（例如，两个输出驱动同一网络），就可以重新配置 GPIO 功能。

表 3-3. 按系统特性划分的数字连接

器件	GPIO 映射		系统特性 ⁽²⁾			
	PMIC 引脚	NVM 功能	有源 SoC	功能安全	IO + DDR	SD 卡
TPS65931211-Q1	nPWRON/ ENABLE	启用	R	R		
	INT	INT	R	R		
	nRSTOUT	nRSTOUT	R			
	SCL_I2C1	SCL_I2C1	R			
	SDA_I2C1	SDA_I2C1	R			
	GPIO_1	SCL_I2C2		R		
	GPIO_2	SDA_I2C2		R		
	GPIO_3	nSLEEP2			R	
	GPIO_4	GPO (启用 3.3V 电源 开关)	R			
	GPIO_5	GPI (设置 LDO1 上的 输出电压)	O ⁽³⁾			R
	GPIO_6	GPI (设置 BUCK1/2/3 上的输出电压)	R			
	GPIO_7	nERR_MCU		R		
	GPIO_8	DISABLE_WDOG			O ⁽¹⁾	
GPIO_9	GPI (启用/禁用 LDO2)					
GPIO_10	GPI (设置 BUCK4 上 的输出电压)	R				
GPIO_11	GPI (启用/禁用 LDO1)				R	

- (1) 如果期望通过硬件禁用看门狗，则需要 GPIO_8，并且必须在 nRSTOUT 变为高电平时将其设置为高电平。nRSTOUT 变为高电平时，看门狗状态被锁定，可以通过软件将该引脚配置为用于其他功能。
- (2) R 是必需项。O 是可选项。
- (3) 如果 LDO1 未用于为 uSD 卡接口供电，则 PMIC 的 GPIO5 不需要连接到处理器。

4 满足功能安全 ASIL-B 要求

为达到 ASIL-B 的系统功能安全级别，可以使用以下 PDN 特性：

- 对电源电压输出进行 PIMC 过压和欠压监控
- 使用看门狗监控安全处理器
- MCU 错误监控
- MCU 和主域冷复位
- I²C 通信
- 驱动外部电路的错误指示灯 EN_DRV (可选)
- EN_DRV 引脚的读回

其他安全特性

- 对所有输出电源轨进行 PMIC 电流监控
- BUCK 稳压器引脚上的开关接地短路检测 (SW_Bx)
- nINT 和 nRSTOUT 逻辑输出引脚的读回

默认情况下会启用 PMIC 内部过压和欠压监控功能以及其各自的监控阈值电平，并可在启动后通过 I²C 进行更新。默认情况下会监控与处理器直接连接的 PMIC 电源轨。TPS65931211-Q1 上 BUCK3 的未使用反馈引脚 FB_B3 被分配用于监控为 3.3V I/O 域供电的负载开关输出电压。为了防止出现错误，必须将一个 3.3V 电源连接到反馈引脚，因为 PMIC 需要 3.3V 电源。

TPS65931211-Q1 NVM 上会启用内部 Q&A 看门狗。一旦器件处于运行状态，就可以通过器件中的从 I2C2 (GPIO1/GPIO2) 配置触发器或 Q&A 看门狗设置。默认情况下不启用主 I2C CRC 和从 I2C CRC，但必须使用节 6.2 中描述的 I2C_2 触发器来启用 I2C CRC。启用后，从 I2C 禁用 2ms。建议在启动问答看门狗之前启用 I2C CRC 并等待至少 2ms。配置和启动看门狗的步骤详见 TPS6593-Q1 数据表。如果在初始开发期间需要暂停该功能或系统不需要该功能，则可将 DISABLE_WDOG 信号设置为高电平以禁用看门狗计时器。

主 TPS65931211-Q1 PMIC 的 GPIO_7 被配置为 MCU 错误信号监控器，且必须通过 ESM_MCU_EN 寄存器位来启用。通过 PMIC 的 nRSTOUT 引脚与处理器的 MCU_PORz 引脚之间的连接支持 MCU 和主域复位。

可以选择使用 EN_DRV 来指示已检测到错误且系统正在进入安全状态。如果系统具有需要由错误事件驱动的外部电路，则可以使用该信号。在本 PDN 中，未使用 EN_DRV，但需要时可以使用。

默认情况下，会针对所有 BUCK 和 LDO 启用电流监控。

表 4-1. PMIC 系统级安全特性

ASIL-B				
外部软件看门狗	INTn	安全 MCU 处理 ESM 安全 MCU 复位	具有 IO 读回特性的 安全状态信号	系统输入电压监控
PMIC : Q&A 看门狗和 I2C2。	PMIC : nINT 引脚连接到处理器上的 EXTINTn	PMIC : nERR_MCU 连接到处理器上的 MCU_ERRORn	PMIC : ENDRV	VCCA OV/UV 默认为禁用，但可以通过 I2C 启用。

表 4-2. PMIC 电源监控安全特性

器件	电源	PDN 电源轨	ASIL-B 电源电压监控
TPS65931211-Q1 (PMIC)	BUCK1-3	VDD_CORE	PMIC - OV 和 UV
	BUCK4	VDDS_DDR	PMIC - OV 和 UV
	BUCK5	DVDD1V8(VDDSHVy)	PMIC - OV 和 UV
	LDO1	VDDSHV5	PMIC - OV 和 UV 与 Mike 确认, 当 LDO 配置为旁路时, 是否要监控 UV/OV
	LDO2	VPP (电子保险丝)	PMIC - OV 和 UV
	LDO3	VDDR_CORE	PMIC - OV 和 UV
	LDO4	VDDA_MCU	PMIC - OV 和 UV
TPS22965-Q1	负载开关	DVDD3V3(VDDSHVx)	PMIC (FB_B3) - OV 和 UV

备注

有关 PMIC 功能安全特性的完整说明和分析, 请参阅 TPS6593-Q1 器件的安全手册。这些功能安全特性可以帮助系统达到 ASIL-B 等级。

5 静态 NVM 设置

TPS6593-Q1 PMIC 包含用户寄存器空间和一个 NVM。本部分介绍了 NVM 中的设置, 这些设置会在器件从 INIT 转换到 BOOT BIST 期间载入用户寄存器。注意: 用户寄存器可以在状态转换 (例如从待机模式切换到运行模式) 期间发生更改。TPS6593-Q1 数据表中说明了用户寄存器映射。

5.1 基于应用程序的配置设置

根据 TPS6593-Q1 数据表, 每个降压稳压器可从七种基于应用程序的配置中选择一种来运行。以下列表包括可用的不同配置:

- 用于 DDR 终端的 2.2MHz 单相
- 4.4MHz VOUT 低于 1.9V, 多相或高 COUT 单相
- 4.4MHz VOUT 低于 1.9V, 低 COUT, 仅单相
- 4.4MHz VOUT 高于 1.7V, 仅单相
- 2.2MHz VOUT 低于 1.9V, 多相或单相
- 2.2MHz 全 VOUT 范围且 VIN 高于 4.5V, 仅单相
- 2.2MHz 全 VOUT 范围且全 VIN 范围, 仅单相

这七种配置还具有最佳输出电感值, 可在各种条件下优化每个降压稳压器的性能。表 5-1 显示了各个降压稳压器的默认配置。这些设置在器件启动后不能更改。

表 5-1. 应用程序用例设置

器件	BUCK 轨	默认应用程序用例	建议的电感器值
TPS65931211-Q1	BUCK1	2.2MHz VOUT 低于 1.9V, 多相或单相	470nH
	BUCK2	2.2MHz VOUT 低于 1.9V, 多相或单相	470nH
	BUCK3	2.2MHz VOUT 低于 1.9V, 多相或单相	470nH
	BUCK4	2.2MHz VOUT 低于 1.9V, 多相或单相	470nH
	BUCK5	2.2MHz VOUT 低于 1.9V, 多相或单相	470nH

5.2 器件标识设置

这些设置用于区分在系统中检测到哪个器件。这些设置在器件启动后不能更改。

表 5-2. 器件标识 NVM 设置

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
DEV_REV	DEVICE_ID		
NVM_CODE_1	TI_NVM_ID	0x11	
NVM_CODE_2	TI_NVM_REV	0x5	
PHASE_CONFIG	MP_CONFIG	0x3	3+1+1

5.3 BUCK 设置

这些设置详细说明了 NVM 中存储的 BUCK 电源轨电压、配置和监控。所有这些设置都可以在启动后通过 I²C 进行更改。一些设置（通常为使能位）也通过 PFSM 进行更改，如节 6.3 中所述。

表 5-3. BUCK NVM 设置

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
BUCK1_CTRL	BUCK1_EN	0x0	禁用；BUCK1 稳压器
	BUCK1_FPWM	0x1	仅在 PWM 模式下工作。
	BUCK1_FPWM_MP	0x0	自动增相和切相。
	BUCK1_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK1_VSEL	0x0	BUCK1_VOUT_1
	BUCK1_PLDN	0x1	启用；下拉电阻
	BUCK1_RV_SEL	0x0	禁用
BUCK1_CONF	BUCK1_SLEW_RATE	0x3	5.0 mV/μs
	BUCK1_ILIM	0x5	5.5A
BUCK2_CTRL	BUCK2_EN	0x0	禁用；BUCK2 稳压器
	BUCK2_FPWM	0x1	仅在 PWM 模式下工作。
	BUCK2_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK2_VSEL	0x0	BUCK2_VOUT_1
	BUCK2_PLDN	0x1	启用；下拉电阻
	BUCK2_RV_SEL	0x0	禁用
BUCK2_CONF	BUCK2_SLEW_RATE	0x3	5.0 mV/μs
	BUCK2_ILIM	0x5	5.5A
BUCK3_CTRL	BUCK3_EN	0x0	禁用；BUCK3 稳压器
	BUCK3_FPWM	0x1	仅在 PWM 模式下工作。
	BUCK3_FPWM_MP	0x0	自动增相和切相。
	BUCK3_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK3_VSEL	0x0	BUCK3_VOUT_1
	BUCK3_PLDN	0x1	启用；下拉电阻
	BUCK3_RV_SEL	0x0	禁用
BUCK3_CONF	BUCK3_SLEW_RATE	0x0	33 mV/μs
	BUCK3_ILIM	0x5	5.5A

表 5-3. BUCK NVM 设置 (continued)

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
BUCK4_CTRL	BUCK4_EN	0x0	禁用；BUCK4 稳压器
	BUCK4_FPWM	0x0	PFM 和 PWM 操作（自动模式）。
	BUCK4_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK4_VSEL	0x0	BUCK4_VOUT_1
	BUCK4_PLDN	0x1	启用；下拉电阻
	BUCK4_RV_SEL	0x0	禁用
BUCK4_CONF	BUCK4_SLEW_RATE	0x3	5.0 mV/μs
	BUCK4_ILIM	0x5	5.5A
BUCK5_CTRL	BUCK5_EN	0x0	禁用；BUCK5 稳压器
	BUCK5_FPWM	0x0	PFM 和 PWM 操作（自动模式）。
	BUCK5_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK5_VSEL	0x0	BUCK5_VOUT_1
	BUCK5_PLDN	0x1	启用下拉电阻
	BUCK5_RV_SEL	0x0	禁用
BUCK5_CONF	BUCK5_SLEW_RATE	0x3	5.0 mV/μs
	BUCK5_ILIM	0x3	3.5A
BUCK1_VOUT_1	BUCK1_VSET1	0x2d	0.750 V
BUCK1_VOUT_2	BUCK1_VSET2	0x2d	0.750 V
BUCK2_VOUT_1	BUCK2_VSET1	0x2d	0.750 V
BUCK2_VOUT_2	BUCK2_VSET2	0x2d	0.750 V
BUCK3_VOUT_1	BUCK3_VSET1	0xFD	3.30V
BUCK3_VOUT_2	BUCK3_VSET2	0xFD	3.30V
BUCK4_VOUT_1	BUCK4_VSET1	0x73	1.10V
BUCK4_VOUT_2	BUCK4_VSET2	0x73	1.10V
BUCK5_VOUT_1	BUCK5_VSET1	0xb2	1.80V
BUCK5_VOUT_2	BUCK5_VSET2	0xb2	1.80V
BUCK1_PG_WINDOW	BUCK1_OV_THR	0x3	+5% / +50mV
	BUCK1_UV_THR	0x3	-5% / -50mV
BUCK2_PG_WINDOW	BUCK2_OV_THR	0x3	+5% / +50mV
	BUCK2_UV_THR	0x3	-5% / -50mV
BUCK3_PG_WINDOW	BUCK3_OV_THR	0x3	+5% / +50mV
	BUCK3_UV_THR	0x3	-5% / -50mV
BUCK4_PG_WINDOW	BUCK4_OV_THR	0x4	+6% / +60mV
	BUCK4_UV_THR	0x4	-6% / -60mV
BUCK5_PG_WINDOW	BUCK5_OV_THR	0x4	+6% / +60mV
	BUCK5_UV_THR	0x4	-6% / -60mV

5.4 LDO 设置

这些设置详细说明了 NVM 中存储的 LDO 电源轨电压、配置和监控。所有这些设置都可以在启动后通过 I²C 进行更改。一些设置 (通常为使能位) 也通过 PFSM 进行更改, 如节 6.3 中所述。

在节 6.3.4 序列完成后, 对于所有 LDO, 将 LDOx_EN 和 LDOx_VMON_EN 位置位, 并将 LDOx_RV_SEL 位清零。其他位保持不变, 但仍可通过 I²C 进行访问。

表 5-4. LDO NVM 设置

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
LDO1_CTRL	LDO1_EN	0x0	禁用; LDO1 稳压器。
	LDO1_SLOW_RAMP	0x1	LDO 输出从 0.3V 到 LDO _n _VSET 的 90% 时的最大斜升转换率为 3mV/us
	LDO1_PLDN	0x1	125 Ω
	LDO1_VMON_EN	0x0	禁用 OV 和 UV 比较器。
	LDO1_RV_SEL	0x0	禁用
LDO2_CTRL	LDO2_EN	0x0	禁用; LDO2 稳压器。
	LDO2_SLOW_RAMP	0x1	LDO 输出从 0.3V 到 LDO _n _VSET 的 90% 时的最大斜升转换率为 3mV/us
	LDO2_PLDN	0x0	50k Ω
	LDO2_VMON_EN	0x0	禁用; OV 和 UV 比较器。
	LDO2_RV_SEL	0x0	禁用
LDO3_CTRL	LDO3_EN	0x0	禁用; LDO3 稳压器。
	LDO3_SLOW_RAMP	0x1	LDO 输出从 0.3V 到 LDO _n _VSET 的 90% 时的最大斜升转换率为 3mV/us
	LDO3_PLDN	0x1	125 Ω
	LDO3_VMON_EN	0x0	禁用; OV 和 UV 比较器。
	LDO3_RV_SEL	0x0	禁用
LDO4_CTRL	LDO4_EN	0x0	禁用; LDO4 稳压器。
	LDO4_SLOW_RAMP	0x1	LDO 输出从 0.3V 到 LDO _n _VSET 的 90% 时的最大斜升转换率为 3mV/us
	LDO4_PLDN	0x1	125 Ω
	LDO4_VMON_EN	0x0	禁用; OV 和 UV 比较器。
	LDO4_RV_SEL	0x0	禁用
LDO1_VOUT	LDO1_VSET	0x3a	3.30V
	LDO1_BYPASS	0x1	旁路模式。
LDO2_VOUT	LDO2_VSET	0x1c	1.80V
	LDO2_BYPASS	0x0	线性稳压器模式。
LDO3_VOUT	LDO3_VSET	0x9	0.85V
	LDO3_BYPASS	0x0	线性稳压器模式。
LDO4_VOUT	LDO4_VSET	0x38	1.800 V
LDO1_PG_WINDOW	LDO1_OV_THR	0x4	+6% / +60mV
	LDO1_UV_THR	0x4	-6% / -60mV
LDO2_PG_WINDOW	LDO2_OV_THR	0x4	+6% / +60mV
	LDO2_UV_THR	0x4	-6% / -60mV
LDO3_PG_WINDOW	LDO3_OV_THR	0x4	+6% / +60mV
	LDO3_UV_THR	0x4	-6% / -60mV
LDO4_PG_WINDOW	LDO4_OV_THR	0x4	+6% / +60mV
	LDO4_UV_THR	0x4	-6% / -60mV

5.5 VCCA 设置

这些设置详细说明了在 VCCA 上启用的默认监控。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-5. VCCA NVM 设置

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
VCCA_VMON_CTRL	VMON_DEGLITCH_SEL	0x1	20us
	VCCA_VMON_EN	0x0	禁用；OV 和 UV 比较器。
VCCA_PG_WINDOW	VCCA_OV_THR	0x7	+10%
	VCCA_UV_THR	0x7	-10%
	VCCA_PG_SET	0x1	5.0V
GENERAL_REG_1	FAST_VCCA_OVP	0x0	慢，已启用 4μs 抗尖峰脉冲滤波器
GENERAL_REG_3	LPM_EN_DISABLES_VCCA_VMON	0x1	如果 VCCA_VMON_EN=1 且 LPM_EN=0，则启用 VCCA_VMON

5.6 GPIO 设置

这些设置详细说明了 GPIO 电源轨的默认配置。请注意，GPIOx_SEL 字段的内容决定了 GPIOx_CONF 和 GPIO_OUT_x 寄存器中的哪些其他字段是适用的。若要了解适用于每个 GPIOx_SEL 选项的 NVM 字段，请参阅 TPS6593-Q1 数据表中的数字信号说明部分。

表 5-6. GPIO NVM 设置

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
GPIO1_CONF	GPIO1_OD	0x0	推挽式输出
	GPIO1_DIR	0x0	输入
	GPIO1_SEL	0x1	SCL_I2C2/CS_SPI
	GPIO1_PU_SEL	0x0	选择下拉电阻
	GPIO1_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO1_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO2_CONF	GPIO2_OD	0x0	推挽式输出
	GPIO2_DIR	0x0	输入
	GPIO2_SEL	0x2	SDA_I2C2/SDO_SPI
	GPIO2_PU_SEL	0x0	选择下拉电阻
	GPIO2_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO2_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO3_CONF	GPIO3_OD	0x1	开漏输出
	GPIO3_DIR	0x0	输入
	GPIO3_SEL	0x5	NSLEEP2
	GPIO3_PU_SEL	0x0	选择下拉电阻
	GPIO3_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO3_DEGLITCH_EN	0x1	8μs 抗尖峰脉冲时间。
GPIO4_CONF	GPIO4_OD	0x0	推挽式输出
	GPIO4_DIR	0x1	输出
	GPIO4_SEL	0x0	GPIO4
	GPIO4_PU_SEL	0x0	选择下拉电阻
	GPIO4_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO4_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。

表 5-6. GPIO NVM 设置 (continued)

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
GPIO5_CONF	GPIO5_OD	0x1	开漏输出
	GPIO5_DIR	0x0	输入
	GPIO5_SEL	0x0	GPIO5
	GPIO5_PU_SEL	0x0	选择下拉电阻
	GPIO5_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO5_DEGLITCH_EN	0x1	8 μ s 抗尖峰脉冲时间。
GPIO6_CONF	GPIO6_OD	0x0	推挽式输出
	GPIO6_DIR	0x0	输入
	GPIO6_SEL	0x0	GPIO6
	GPIO6_PU_SEL	0x0	选择下拉电阻
	GPIO6_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO6_DEGLITCH_EN	0x1	8 μ s 抗尖峰脉冲时间。
GPIO7_CONF	GPIO7_OD	0x1	开漏输出
	GPIO7_DIR	0x0	输入
	GPIO7_SEL	0x1	NERR_MCU
	GPIO7_PU_SEL	0x0	选择下拉电阻
	GPIO7_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO7_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO8_CONF	GPIO8_OD	0x1	开漏输出
	GPIO8_DIR	0x0	输入
	GPIO8_SEL	0x3	DISABLE_WDOG
	GPIO8_PU_SEL	0x0	选择下拉电阻
	GPIO8_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO8_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO9_CONF	GPIO9_OD	0x1	开漏输出
	GPIO9_DIR	0x0	输入
	GPIO9_SEL	0x0	GPIO9
	GPIO9_PU_SEL	0x0	选择下拉电阻
	GPIO9_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO9_DEGLITCH_EN	0x1	8 μ s 抗尖峰脉冲时间。
GPIO10_CONF	GPIO10_OD	0x1	开漏输出
	GPIO10_DIR	0x0	输入
	GPIO10_SEL	0x0	GPIO10
	GPIO10_PU_SEL	0x0	选择下拉电阻
	GPIO10_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO10_DEGLITCH_EN	0x1	8 μ s 抗尖峰脉冲时间。
GPIO11_CONF	GPIO11_OD	0x1	开漏输出
	GPIO11_DIR	0x0	输入
	GPIO11_SEL	0x0	GPIO11
	GPIO11_PU_SEL	0x0	选择下拉电阻
	GPIO11_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO11_DEGLITCH_EN	0x1	8 μ s 抗尖峰脉冲时间。

表 5-6. GPIO NVM 设置 (continued)

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
NPWRON_CONF	NPWRON_SEL	0x0	启用
	ENABLE_PU_SEL	0x0	选择下拉电阻
	ENABLE_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	ENABLE_DEGLITCH_EN	0x1	启用时抗尖峰脉冲时间为 8 μ s，NPWRON 时抗尖峰脉冲时间为 50ms。
	ENABLE_POL	0x0	高电平有效
	NRSTOUT_OD	0x1	开漏输出
GPIO_OUT_1	GPIO1_OUT	0x0	低
	GPIO2_OUT	0x0	低
	GPIO3_OUT	0x0	低
	GPIO4_OUT	0x0	低
	GPIO5_OUT	0x0	低
	GPIO6_OUT	0x0	低
	GPIO7_OUT	0x0	低
	GPIO8_OUT	0x0	低
GPIO_OUT_2	GPIO9_OUT	0x0	低
	GPIO10_OUT	0x0	低
	GPIO11_OUT	0x0	低

5.7 有限状态机 (FSM) 设置

这些设置描述了如何为 PMIC 输出轨分配各种系统级状态。此外，还描述了每个系统级状态的默认触发条件。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-7. FSM NVM 设置

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
RAIL_SEL_1	BUCK1_GRP_SEL	0x1	MCU 电源轨组
	BUCK2_GRP_SEL	0x1	MCU 电源轨组
	BUCK3_GRP_SEL	0x1	MCU 电源轨组
	BUCK4_GRP_SEL	0x1	MCU 电源轨组
RAIL_SEL_2	BUCK5_GRP_SEL	0x1	MCU 电源轨组
	LDO1_GRP_SEL	0x1	MCU 电源轨组
	LDO2_GRP_SEL	0x3	其他电源轨组
	LDO3_GRP_SEL	0x1	MCU 电源轨组
RAIL_SEL_3	LDO4_GRP_SEL	0x1	MCU 电源轨组
	VCCA_GRP_SEL	0x0	未分配电源轨组
FSM_TRIG_SEL_1	MCU_RAIL_TRIG	0x1	有序关断
	SOC_RAIL_TRIG	0x3	SOC 电源错误
	OTHER_RAIL_TRIG	0x2	MCU 电源错误
	SEVERE_ERR_TRIG	0x0	立即关断
FSM_TRIG_SEL_2	MODERATE_ERR_TRIG	0x1	有序关断

5.8 中断设置

这些设置详细说明了由 nINT 引脚监控的项目的默认配置。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-8. 中断 NVM 设置

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
FSM_TRIG_MASK_1	GPIO1_FSM_MASK	0x1	已屏蔽
	GPIO1_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO2_FSM_MASK	0x1	已屏蔽
	GPIO2_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO3_FSM_MASK	0x1	已屏蔽
	GPIO3_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO4_FSM_MASK	0x1	已屏蔽
	GPIO4_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
FSM_TRIG_MASK_2	GPIO5_FSM_MASK	0x0	未屏蔽
	GPIO5_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO6_FSM_MASK	0x0	未屏蔽
	GPIO6_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO7_FSM_MASK	0x1	已屏蔽
	GPIO7_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO8_FSM_MASK	0x1	已屏蔽
	GPIO8_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
FSM_TRIG_MASK_3	GPIO9_FSM_MASK	0x0	未屏蔽
	GPIO9_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO10_FSM_MASK	0x0	未屏蔽
	GPIO10_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO11_FSM_MASK	0x0	未屏蔽
	GPIO11_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
MASK_BUCK1_2	BUCK1_ILIM_MASK	0x0	发生中断
	BUCK1_OV_MASK	0x0	发生中断
	BUCK1_UV_MASK	0x0	发生中断
	BUCK2_ILIM_MASK	0x0	发生中断
	BUCK2_OV_MASK	0x0	发生中断
	BUCK2_UV_MASK	0x0	发生中断
MASK_BUCK3_4	BUCK3_ILIM_MASK	0x0	发生中断
	BUCK3_OV_MASK	0x0	发生中断
	BUCK3_UV_MASK	0x0	发生中断
	BUCK4_OV_MASK	0x0	发生中断
	BUCK4_UV_MASK	0x0	发生中断
	BUCK4_ILIM_MASK	0x0	发生中断
MASK_BUCK5	BUCK5_ILIM_MASK	0x0	发生中断
	BUCK5_OV_MASK	0x0	发生中断
	BUCK5_UV_MASK	0x0	发生中断
MASK_LDO1_2	LDO1_OV_MASK	0x0	发生中断
	LDO1_UV_MASK	0x0	发生中断
	LDO2_OV_MASK	0x0	发生中断
	LDO2_UV_MASK	0x0	发生中断
	LDO1_ILIM_MASK	0x0	发生中断
	LDO2_ILIM_MASK	0x0	发生中断

表 5-8. 中断 NVM 设置 (continued)

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
MASK_LDO3_4	LDO3_OV_MASK	0x0	发生中断
	LDO3_UV_MASK	0x0	发生中断
	LDO4_OV_MASK	0x0	发生中断
	LDO4_UV_MASK	0x0	发生中断
	LDO3_ILIM_MASK	0x0	发生中断
	LDO4_ILIM_MASK	0x0	发生中断
MASK_VMON	VCCA_OV_MASK	0x0	发生中断
	VCCA_UV_MASK	0x0	发生中断
MASK_GPIO1_8_FALL	GPIO1_FALL_MASK	0x1	未发生中断。
	GPIO2_FALL_MASK	0x1	未发生中断。
	GPIO3_FALL_MASK	0x1	未发生中断。
	GPIO4_FALL_MASK	0x1	未发生中断。
	GPIO5_FALL_MASK	0x1	未发生中断。
	GPIO6_FALL_MASK	0x1	未发生中断。
	GPIO7_FALL_MASK	0x1	未发生中断。
	GPIO8_FALL_MASK	0x1	未发生中断。
MASK_GPIO1_8_RISE	GPIO1_RISE_MASK	0x1	未发生中断。
	GPIO2_RISE_MASK	0x1	未发生中断。
	GPIO3_RISE_MASK	0x1	未发生中断。
	GPIO4_RISE_MASK	0x1	未发生中断。
	GPIO5_RISE_MASK	0x1	未发生中断。
	GPIO6_RISE_MASK	0x1	未发生中断。
	GPIO7_RISE_MASK	0x1	未发生中断。
	GPIO8_RISE_MASK	0x1	未发生中断。
MASK_GPIO9_11 / MASK_GPIO9_10	GPIO9_FALL_MASK	0x1	未发生中断。
	GPIO9_RISE_MASK	0x1	未发生中断。
	GPIO10_FALL_MASK	0x1	未发生中断。
	GPIO11_FALL_MASK	0x1	未发生中断。
	GPIO10_RISE_MASK	0x1	未发生中断。
	GPIO11_RISE_MASK	0x1	未发生中断。
MASK_STARTUP	NPWRON_START_MASK	0x1	未发生中断。
	ENABLE_MASK	0x0	发生中断
	FSD_MASK	0x1	未发生中断。
	SOFT_REBOOT_MASK	0x0	发生中断
MASK_MISC	TWARN_MASK	0x0	发生中断
	BIST_PASS_MASK	0x0	发生中断
	EXT_CLK_MASK	0x1	未发生中断。
MASK_MODERATE_ERR	BIST_FAIL_MASK	0x0	发生中断
	REG_CRC_ERR_MASK	0x0	发生中断
	SPMI_ERR_MASK	0x1	未发生中断。
	NPWRON_LONG_MASK	0x1	未发生中断。
	NINT_READBACK_MASK	0x0	发生中断
	NRSTOUT_READBACK_MASK	0x0	发生中断

表 5-8. 中断 NVM 设置 (continued)

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
MASK_FSM_ERR	IMM_SHUTDOWN_MASK	0x0	发生中断
	MCU_PWR_ERR_MASK	0x0	发生中断
	SOC_PWR_ERR_MASK	0x0	发生中断
	ORD_SHUTDOWN_MASK	0x0	发生中断
MASK_COMM_ERR	COMM_FRM_ERR_MASK	0x1	未发生中断。
	COMM_CRC_ERR_MASK	0x0	发生中断
	COMM_ADR_ERR_MASK	0x0	发生中断
	I2C2_CRC_ERR_MASK	0x0	发生中断
	I2C2_ADR_ERR_MASK	0x0	发生中断
MASK_READBACK_ERR	EN_DRV_READBACK_MASK	0x0	发生中断
	NRSTOUT_SOC_READBACK_MASK	0x1	未发生中断。
MASK_ESM	ESM_SOC_PIN_MASK	0x1	未发生中断。
	ESM_SOC_RST_MASK	0x1	未发生中断。
	ESM_SOC_FAIL_MASK	0x1	未发生中断。
	ESM_MCU_PIN_MASK	0x0	发生中断
	ESM_MCU_RST_MASK	0x0	发生中断
	ESM_MCU_FAIL_MASK	0x0	发生中断
GENERAL_REG_1	PFSM_ERR_MASK	0x0	发生中断

5.9 POWERGOOD 设置

这些设置详细说明了由 PGOOD 引脚监控的项目的默认配置。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-9. POWERGOOD NVM 设置

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
PGOOD_SEL_1	PGOOD_SEL_BUCK1	0x1	仅电压
	PGOOD_SEL_BUCK2	0x1	仅电压
	PGOOD_SEL_BUCK3	0x1	仅电压
	PGOOD_SEL_BUCK4	0x1	仅电压
PGOOD_SEL_2	PGOOD_SEL_BUCK5	0x1	仅电压
PGOOD_SEL_3	PGOOD_SEL_LDO1	0x1	仅电压
	PGOOD_SEL_LDO2	0x1	仅电压
	PGOOD_SEL_LDO3	0x1	仅电压
	PGOOD_SEL_LDO4	0x1	仅电压
PGOOD_SEL_4	PGOOD_SEL_VCCA	0x1	影响 PGOOD 信号的 VCCA OV/UV 阈值
	PGOOD_SEL_TDIE_WARN	0x1	影响 PGOOD 信号的热警告
	PGOOD_SEL_NRSTOUT	0x1	nRSTOUT 引脚低电平状态强制 PGOOD 信号为低电平
	PGOOD_SEL_NRSTOUT_SOC	0x0	已屏蔽
	PGOOD_POL	0x0	当受监控输入有效时, PGOOD 信号为高电平
	PGOOD_WINDOW	0x1	监测欠压和过压

5.10 其他设置

这些设置详细说明了附加设置的默认配置, 例如展频、BUCK 频率和 LDO 超时。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-10. 其他 NVM 设置

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
PLL_CTRL	EXT_CLK_FREQ	0x0	1.1MHz
CONFIG_1	TWARN_LEVEL	0x1	140C
	I2C1_HS	0x0	可通过 Hs 模式主代码设置为 Hs 模式，默认为标准、快速或快速+。
	I2C2_HS	0x0	可通过 Hs 模式主代码设置为 Hs 模式，默认为标准、快速或快速+。
	EN_ILIM_FSM_CTRL	0x0	降压/LDO 稳压器 ILIM 中断不会影响 FSM 触发条件。
	NSLEEP1_MASK	0x1	NSLEEP1(B) 不会影响 FSM 状态转换。
	NSLEEP2_MASK	0x0	NSLEEP2(B) 会影响 FSM 状态转换。
CONFIG_2	BB_CHARGER_EN	0x0	禁用
	BB_VEOC	0x0	2.5V
	BB_ICHR	0x0	100uA
RECOV_CNT_REG_2	RECOV_CNT_THR	0xf	0xf
BUCK_RESET_REG	BUCK1_RESET	0x0	0x0
	BUCK2_RESET	0x0	0x0
	BUCK3_RESET	0x0	0x0
	BUCK4_RESET	0x0	0x0
	BUCK5_RESET	0x0	0x0
SPREAD_SPECTRUM_1	SS_EN	0x0	禁用展频
	SS_MODE	0x1	混合暂停
	SS_DEPTH	0x0	无调制
SPREAD_SPECTRUM_2	SS_PARAM1	0x7	0x7
	SS_PARAM2	0xc	0xc
FREQ_SEL	BUCK1_FREQ_SEL	0x0	2.2 MHz
	BUCK2_FREQ_SEL	0x0	2.2 MHz
	BUCK3_FREQ_SEL	0x0	2.2 MHz
	BUCK4_FREQ_SEL	0x0	2.2 MHz
	BUCK5_FREQ_SEL	0x0	2.2 MHz
FSM_STEP_SIZE	PFSM_DELAY_STEP	0xb	0xb
LDO_RV_TIMEOUT_REG_1	LDO1_RV_TIMEOUT	0xf	16ms
	LDO2_RV_TIMEOUT	0xf	16ms
LDO_RV_TIMEOUT_REG_2	LDO3_RV_TIMEOUT	0xf	16ms
	LDO4_RV_TIMEOUT	0xf	16ms
USER_SPARE_REGS	USER_SPARE_1	0x0	0x0
	USER_SPARE_2	0x0	0x0
	USER_SPARE_3	0x0	0x0
	USER_SPARE_4	0x0	0x0
ESM_MCU_MODE_CFG	ESM_MCU_EN	0x0	禁用 ESM_MCU。
ESM_SOC_MODE_CFG	ESM_SOC_EN	0x0	禁用 ESM_SoC。
CUSTOMER_NVM_ID_REG	CUSTOMER_NVM_ID	0x0	0x0
RTC_CTRL_2	XTAL_EN	0x0	禁用晶体振荡器
	LP_STANDBY_SEL	0x0	LDOINT 在待机状态下启用。
	FAST_BIST	0x0	逻辑和模拟 BIST 在 BOOT BIST 上运行。
	STARTUP_DEST	0x3	运行中
	XTAL_SEL	0x0	6pF

表 5-10. 其他 NVM 设置 (continued)

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
PFSM_DELAY_REG_1	PFSM_DELAY1	0x0	0x0
PFSM_DELAY_REG_2	PFSM_DELAY2	0x0	0x0
PFSM_DELAY_REG_3	PFSM_DELAY3	0x0	0x0
PFSM_DELAY_REG_4	PFSM_DELAY4	0x0	0x0
GENERAL_REG_0	FAST_BOOT_BIST	0x0	LBIST 在引导 BIST 期间运行
GENERAL_REG_1	REG_CRC_EN	0x0	寄存器 CRC 禁用

5.11 接口设置

这些设置详细说明了默认接口、接口配置和器件地址。这些设置在器件启动后不能更改。

表 5-11. 接口 NVM 设置

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
SERIAL_IF_CONFIG	I2C_SPI_SEL	0x0	I2C
	I2C1_SPI_CRC_EN	0x0	禁用 CRC
	I2C2_CRC_EN	0x0	禁用 CRC
I2C1_ID_REG	I2C1_ID	0x48	0x48
I2C2_ID_REG	I2C2_ID	0x12	0x12

5.12 看门狗设置

这些设置详细说明了默认的看门狗地址。这些设置可以在启动后通过 I²C 进行更改。

表 5-12. 看门狗 NVM 设置

寄存器名称	字段名称	TPS65931211-Q1	
		值	说明
WD_LONGWIN_CFG	WD_LONGWIN	0xff	0xff
WD_THR_CFG	WD_EN	0x1	启用看门狗

6 可预配置的有限状态机 (PFSM) 设置

本部分介绍了 TPS65931211-Q1 器件的默认 PFSM 设置。这些设置在器件启动后不能更改。

6.1 配置的状态

在此 PDN 中，PMIC 具有以下几种配置的电状态：

- PFSM_START
- wait4Enable
- 运行 (有源 SoC)
- S2R (IO + DDR)
- 待机 (部分 IO、PMIC 关闭)
- TO_SAFE

图 6-1 展示了配置的 PDN 电状态以及在状态之间变化所需的转换条件。此外，还显示了向硬件状态 (如 SAFE RECOVERY 和 LP_STANDBY) 的转换。硬件状态是固定器件功率有限状态机 (FSM) 的一部分，并在 TPS6593-Q1 数据表中进行了描述，具体请参阅节 8。

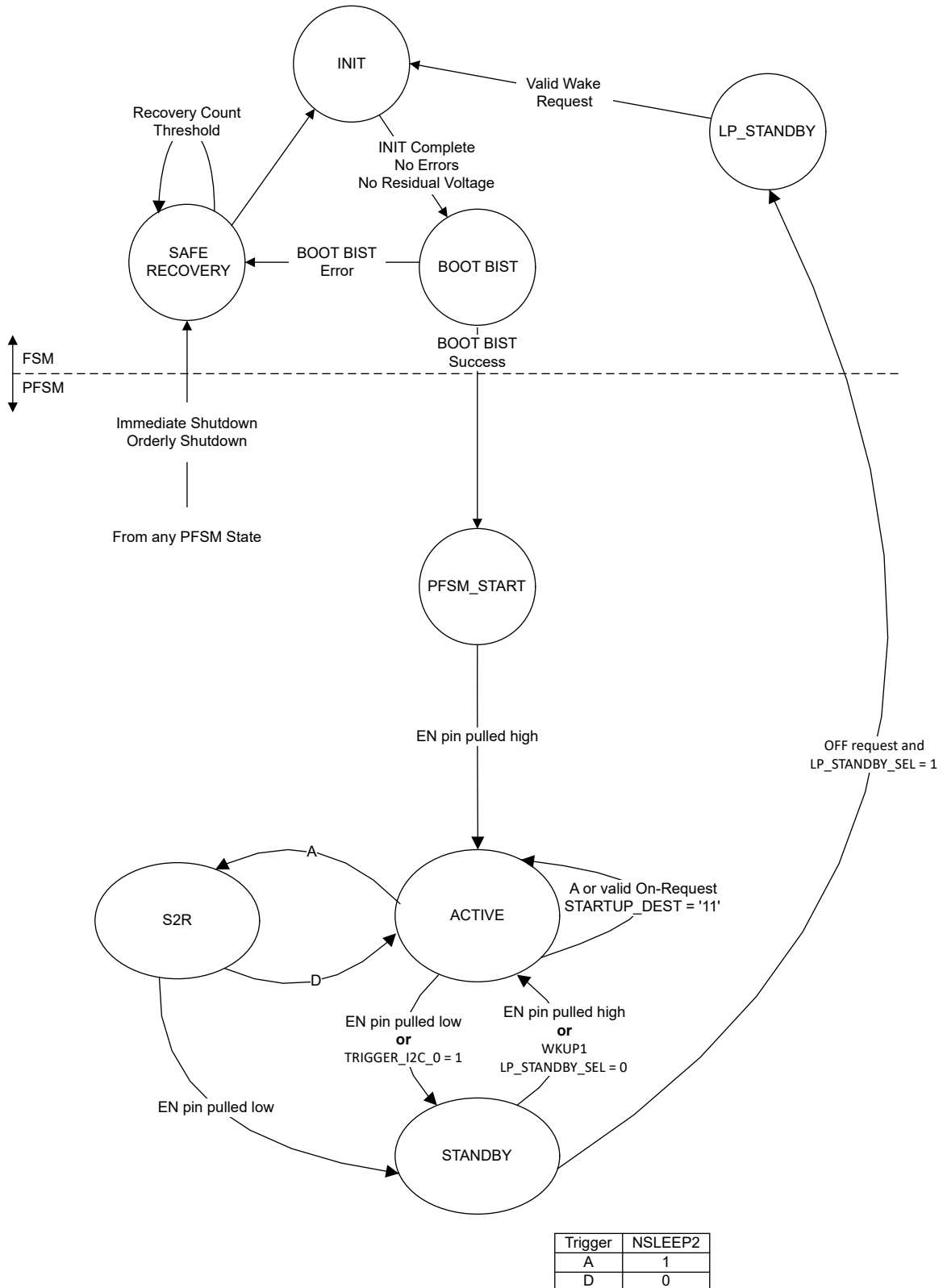


图 6-1. 可预配置有限状态机 (PFSM) 的任务状态和转换

当 PMIC 从 FSM 转换到 PFSM 时，它会等待有效的 ON 请求，然后再进入运行状态。各电源状态定义如下：

- PFSM_START** PFSM_START 是可预配置任务状态的第一个状态。在此状态下，PMIC 由有效电源供电。当 PMIC 从 FSM 转换到 PFSM 时，进入此状态。PMIC 到达 PFSM_START 后，它会等待有效的 ON 请求，然后再转换到下一个状态。
- 运行** PMIC 由有效电源供电。PMIC 功能齐全，可为所有的 PDN 负载供电。处理器已在所有电压域通电的情况下完成推荐的上电序列。请参阅节 6.3.4 序列说明。
- S2R** PMIC 由有效电源供电。当 GPIO3 (nSLEEP2) 被拉至低电平时，只有分配给 1.8V IO 域 (Buck5) 和 DDR (Buck4) 的电源资源通电，而所有其他域均关闭，以更大幅度地降低系统总功耗。在此状态下，EN_DRV 被强制为低电平。此状态支持 AM62A 上的 IO+DDR (挂起至 RAM) 低功耗模式。
- 待机** PMIC 由系统电源轨上的有效电源供电 (VCCA > VCCA_UV)。所有器件资源在待机状态下都会断电。在此状态下，EN_DRV 被强制为低电平。处理器处于关闭状态，没有电压域通电。请参阅节 6.3.2 序列说明。
- TO_SAFE** 如果存在因先前描述的任何状态而导致 MODERATE_ERR_INT = “1” 或严重错误的事件，PMIC 将执行有序或即时序列并从 PFSM 转换到 FSM。MCU 电源错误和中等程度错误会导致有序关断触发器。严重错误会导致立即关断触发器。

6.2 PFSM 触发条件

存在各种可以在所配置的状态之间实现状态转换的触发条件。表 6-1 按照从最高优先级 (立即关断) 到最低优先级的顺序，描述了每个触发条件及其相关的状态转换。优先级较高的主动触发条件会阻止优先级较低的触发条件和相关序列。

表 6-1. 状态转换触发条件

触发条件	优先级 (ID)	立即 (IMM)	可重入	PFSM 当前状态	PFSM 目标状态	执行的电源序列或功能
立即关断	0	真	假	不限	TO_SAFE	immediateOff2Safe_pd
有序关断	1	真	假	不限	TO_SAFE	orderlyOff2safe
1 = 高电平 (始终为真)	2	假	假	STANDBY	LP STANDBY	enterLPstandby
FORCE_STANDBY	3	假	假	运行、待机、S2R	STANDBY	orderlyOff
WD_ERROR	4	假	真	运行	运行	warmReset
ESM MCU 错误	5	假	真	运行	运行	warmReset
I2C_1	6	假	真	运行	RUNTIME_BIST	执行 RUNTIME BIST
I2C_2	7	假	真	运行	运行	在 I2C1 和 I2C2 上启用 I2C CRC
SU_ACTIVE	8	假	假	待机	运行中	any2active
WKUP1	9	假	假	待机、运行中	ACTIVE	any2active
I2C_0	10	假	假	运行	STANDBY	orderlyOff
I2C_3	11	假	假	运行	运行	器件已准备好进行 OTA NVM 更新
FORCE_STANDBY = 低电平	12	假	假	PFSM_START	ACTIVE	any2active
MCU_POWER_ERROR	13	假	假	运行	运行	warmReset
GPIO9 (上升)	14	假	真	运行	运行	ENVPP
GPIO9 (下降)	15	假	真	运行	运行	DISVPP
GPIO5 (下降)	16	假	真	运行	运行	SD_1V8
GPIO5 (上升)	17	假	真	运行	运行	SD_3V3
GPIO11 (下降)	18	假	真	运行	运行	RST_SDCARD
GPIO11 (上升)	19	假	真	运行	运行	EN_SDCARD
A	20	假	假	运行、S2R	ACTIVE	any2active

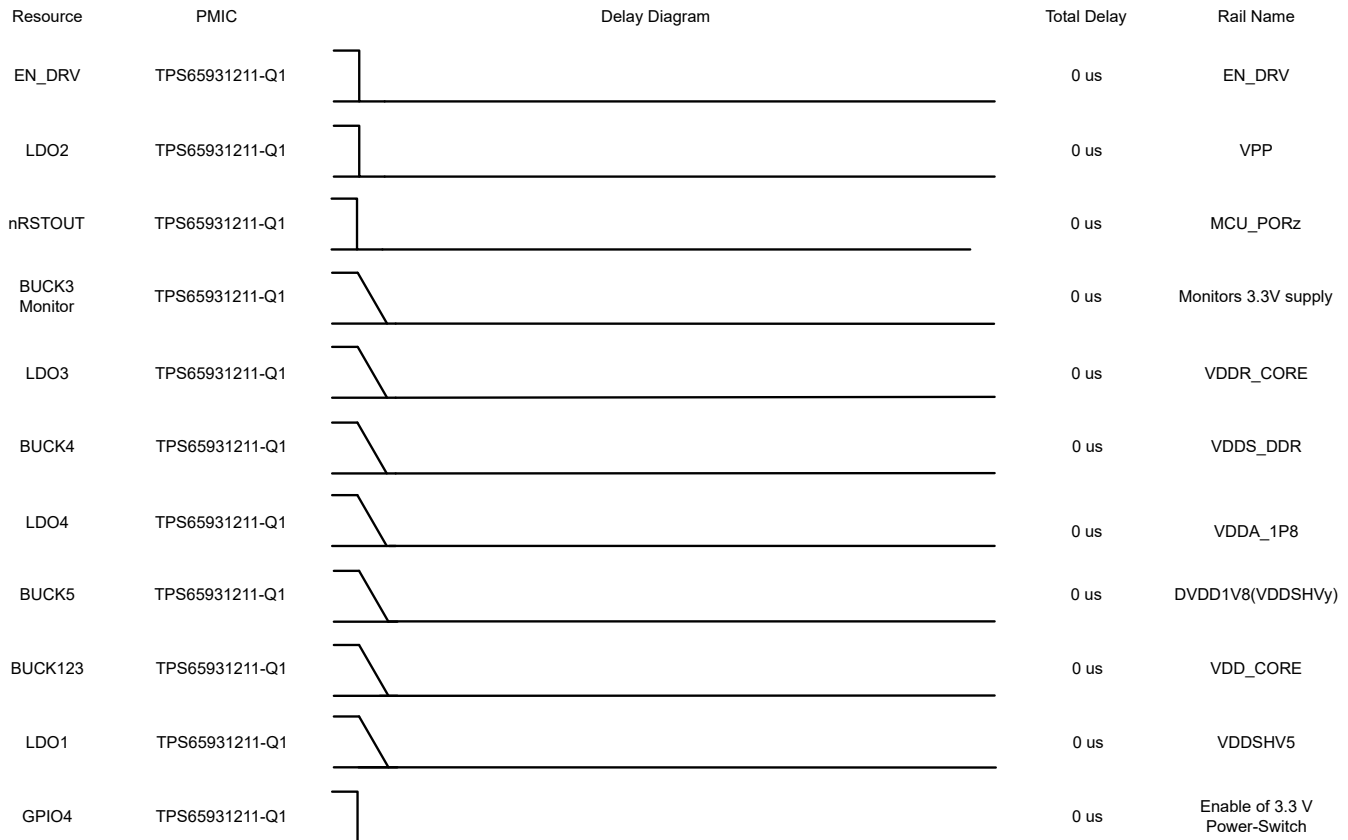
表 6-1. 状态转换触发条件 (continued)

触发条件	优先级 (ID)	立即 (IMM)	可重入	PFMS 当前状态	PFMS 目标状态	执行的电源序列或功能
D	21	假	假	运行、S2R	S2R	any2_s2r
1 = 高电平 (始终为真)	22	真	假	TO_SAFE	SAFE_RECOVERY	不适用

6.3 电源序列

6.3.1 序列 : immediateOff2Safe_pd

当转换至 TO_SAFE 状态时，会执行 immediateOff2Safe_pd 序列。TPS65931211-Q1 PMIC 会立即停止 BUCK 开关，并毫无延迟地启用 BUCK 和 LDO 的下拉电阻。所有电源轨都会立即关闭，以防止在 VCCA 过压或热关断时对 PMIC 造成任何损坏。如图 6-2 中所示进行计时。


图 6-2. ImmediateOff 序列

6.3.2 序列 : OrderlyOff2safe

如果出现中等程度的错误，则会形成有序关断触发条件。此触发条件使用建议的断电序列来关断 PMIC 输出，并进入 TO_SAFE 状态。

如果发生 OFF 请求，例如 TPS6593-Q1 器件的 ENABLE 引脚被下拉到低电平，则会发生相同的断电序列，但 PMIC 会进入 STANDBY (待机) (LP_STANDBY_SEL=0) 或 LP_STANDBY (LP_STANDBY_SEL=1) 状态，而不是进入 TO_SAFE 状态。这两个事件的电源序列如图 6-3 所示。

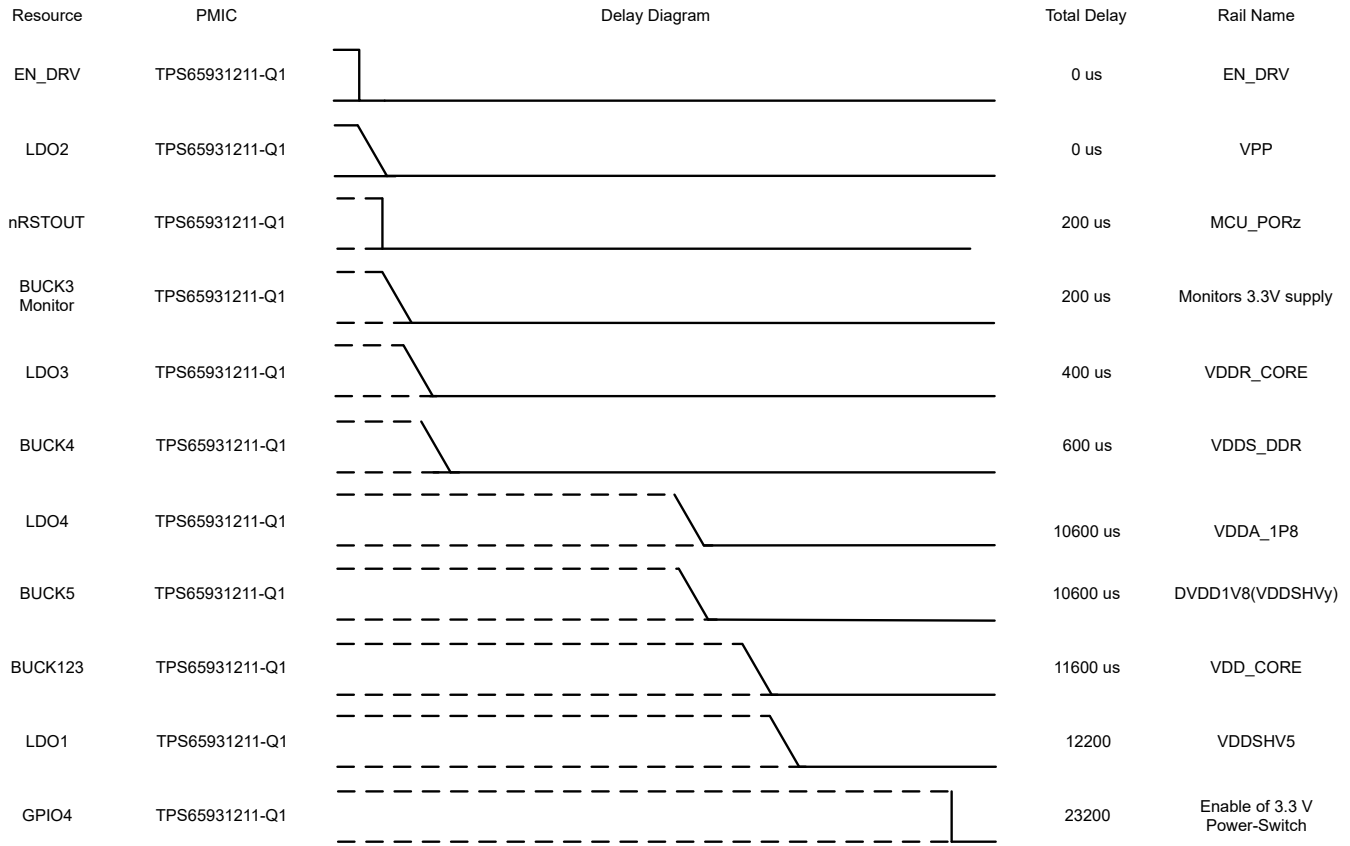


图 6-3. OrderlyOff 序列

6.3.3 序列 : warmReset

warmReset 序列可由看门狗、ESM_MCU 或 MCU_POWER_ERROR 触发。LDO2 上的输出故障检测是执行热复位的 MCU_POWER_ERROR 触发条件的有效条件。所有其余电源资源 (Buck1/2/3/4/5 和 LDO1/3/4) 上的输出故障均会执行有序关断。在触发热复位的情况下，nRSTOUT 被驱动为低电平，并且恢复计数器 (寄存器 RECOV_CNT_REG_1) 会递增。然后，所有 BUCK 和 LDO 都被重置为其默认电压。PMIC 保持运行状态。

序列开始时，执行以下指令：

```

\\ Mask LDO1 UV/OV
REG_WRITE_MASK_IMM ADDR=0x04C DATA=0x03 MASK=0xFC
\\ Set SPMI_LPM_EN
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x10 MASK=0xEF
\\ Set LPM_EN and AMUXOUT_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xEB
// Increment the recovery counter
REG_WRITE_MASK_IMM ADDR=0xa5 DATA=0x01 MASK=0xFE
    
```

备注

看门狗或 ESM 错误表明在 PMIC 之外出现了重大错误。PMIC 实际上并不通过安全恢复进行转换，但是，为了保持一致性，所有调节器都返回到 NVM 中存储的值，并且恢复计数器也会递增。如果恢复计数器超过恢复计数阈值，PMIC 将保持安全恢复状态。在该序列后，MCU 负责管理 EN_DRV 和恢复计数器。在该序列结束时，FORCE_EN_DRV_LOW 位会被清零，以便 MCU 可以设置 ENABLE_DRV 位。




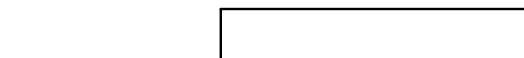
Resource	PMIC	Delay Diagram	Total Delay	Rail Name
EN_DRV	TPS65931211-Q1		0 us	EN_DRV
nRSTOUT	TPS65931211-Q1		0 us	MCU_PORz
EN_DRV	TPS65931211-Q1		12.1 ms	EN_DRV
nRSTOUT	TPS65931211-Q1		12.1 ms	MCU_PORz

图 6-4. 热复位序列

6.3.4 序列 : any2active

当触发条件导致 any2active 序列被执行时，所有降压转换器、LDO3 和 LDO4 都会按照建议的上电序列进行上电，如图 6-5 所示。nRSTOUT 变为高电平后，可通过 GPIO11 上的上升沿启用 LDO1。nRSTOUT 变为高电平后，可通过 GPIO9 上的上升沿启用 LDO2。

在 any2active 序列开始时，PMIC 会清除 SPMI_LP_EN 和 LPM_EN，并设置 AMUXOUT_EN 和 CLKMON_EN。

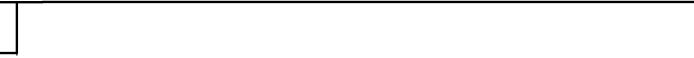
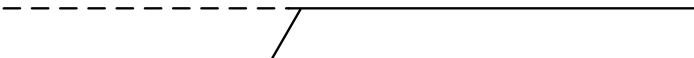

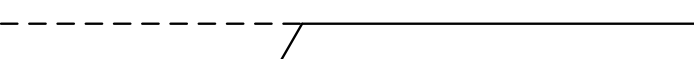
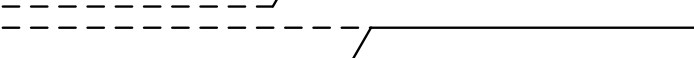
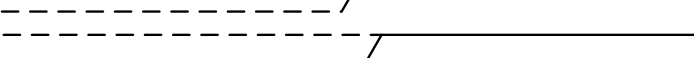
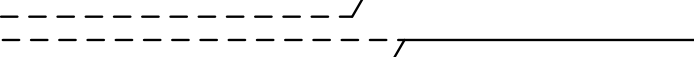
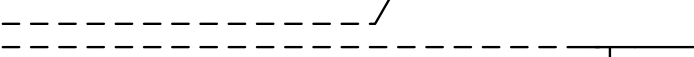
Resource	PMIC	Delay Diagram	Total Delay	Rail Name
GPIO4	TPS65931211-Q1		0 us	Enable of 3.3 V Power-Switch
BUCK3 Monitor	TPS65931211-Q1		10000 us	Monitors 3.3V supply
BUCK5	TPS65931211-Q1		10000 us	DVDD1V8(VDDSHVv)
LDO4	TPS65931211-Q1		10000 us	VDDA_1P8
BUCK4	TPS65931211-Q1		10600 us	VDDS_DDR
BUCK123	TPS65931211-Q1		10900 us	VDD_CORE
LDO3	TPS65931211-Q1		11500 us	VDDR_CORE
nRSTOUT	TPS65931211-Q1		22500 us	MCU_PORz

图 6-5. any2active 序列

在 any2active 序列结束时，FORCE_EN_DRV_LOW 位会被清零。

备注

在 any2active 序列完成后，MCU 负责管理 EN_DRV。

6.3.5 序列 : any2_s2r

由 NSLEEP2 位或引脚定义的 D 和 A 触发器会触发 any2_s2r 序列，以支持处理器上的 IO+DDR 低功耗模式。此序列会禁用所有电源轨，但为 1.8V IO 域和 DDR 电源轨供电的 Buck4 和 Buck5 除外。

以下 PMIC PFSM 指令会在电源序列的开始和结束时自动执行：

```

//Instructions executed at the beginning of the sequence:
//mask NSLEEP2 pin and NSLEEP2B bit
REG_WRITE_MASK_IMM ADDR=0x07D DATA=0x80 MASK=0x7F
  
```

```

// Instructions executed at the end of the sequence:
// unmask NSLEEP2 pin and NSLEEP2B bit
REG_WRITE_MASK_IMM ADDR=0x07D DATA=0x00 MASK=0x7F
// set SPMI_LPM_EN
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x10 MASK=0xEF
// Clear AMUXOUT_EN, CLKMON_EN, set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xEB
REG_WRITE_MASK_IMM ADDR=0x081 DATA=0x04 MASK=0xE3
  
```

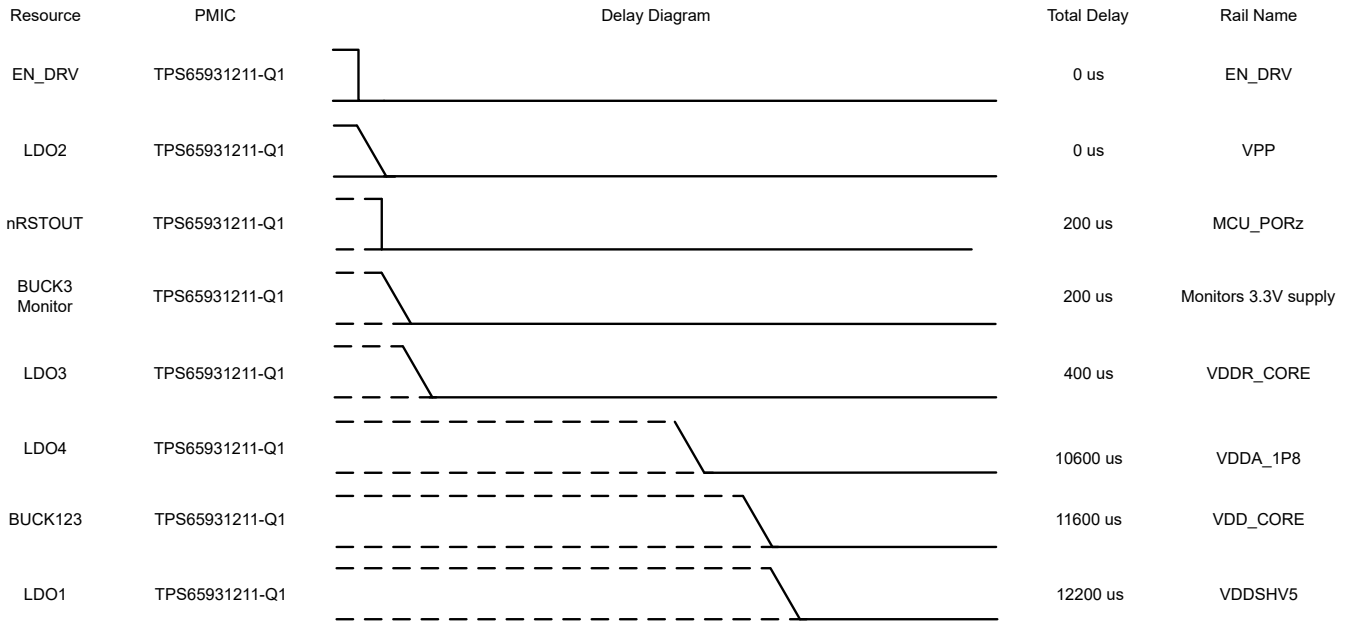


图 6-6. 挂起到 RAM 序列

7 应用示例

本部分举例说明了如何从 MCU 的角度通过 I²C 与 PMIC 进行交互。表 7-1 展示了以下各节如何使用 I²C 命令。与数据表结合使用时，可以将这些示例推广运用到其他用例中。

表 7-1. I²C 指令格式

I ² C 地址	寄存器地址	数据	屏蔽
0x48 或 0x4C	0x00 - 0xFF	0x00 - 0xFF	0x00 - 0xFF

7.1 进入和退出 S2R (挂起至 RAM)

当 TPS65931211 上的 ENABLE 引脚变为高电平时，NVM 的默认配置会将 PMIC 转换为运行状态。nINT 引脚会变为低电平，以指示 PMIC 中发生了中断。在正常上电序列后，会设置 INT_MISC 寄存器中的 BIST_PASS_INT 字段。该中断位表示 BIST 已经完成。一旦清除 BIST_PASS_INT，nINT 引脚即会被释放（变为高电平），PMIC 可以转换到不同的状态（如 S2R 或待机）。下一节介绍了如何通过硬件（使用 GPIO3 引脚）或软件（写入 NSLEEP2B 位）进入和退出 S2R 状态。

表 7-2. 状态表

NSLEEP2 (GPIO3)	NSLEEP2B (寄存器字段)	NSLEEP1B (寄存器字段)	NSLEEP1_MASK (寄存器字段)	NSLEEP2_MASK (寄存器字段)	状态/触发器
高电平	不用考虑	不用考虑	1	0	运行状态/ 触发器 A
低	1	不用考虑	1	0	运行状态/ 触发器 A
低	0	不用考虑	1	0	S2R 状态/ 触发器 D

备注

默认情况下会设置寄存器 CONFIG_1 上的 NSLEEP1_MASK 位，因此 NSLEEP1 触发器不会影响 FSM 状态转换。当 PMIC 处于运行状态时，I²C 可以更改屏蔽设置。

以下代码块演示了如何使用 I²C 命令执行触发器 A 和 D 以进入或退出 S2R 状态。在此示例中，GPIO3 被拉低后，PMIC 已处于 S2R 状态。仅当 GPIO3 (NSLEEP2) 为低电平时，NSLEEP2B 寄存器字段才有效。

```
write 0x48:0x86:0x01:0xFE // Set NSLEEP2B to transition out of the S2R state (Trigger A)
write 0x48:0x86:0x00:0xFE // Clear NSLEEP2B to trigger "any2_s2r" sequence (Trigger D)
```

除了写入 NSLEEP2B 位以返回到运行状态，也可以使用 GPIO3 引脚来使 PMIC 返回到运行状态。

7.2 进入和退出待机状态

运行或 S2R 状态均可转换为待机状态。若要保持在待机任务状态，而不进入硬件状态 LP_STANDBY，则必须将 LP_STANDBY_SEL 位清零。

待机状态会关闭所有稳压器。因此，需要选择待机状态要返回的状态。当 ENABLE 引脚变为低电平时，orderlyOff 序列会被触发。当 ENABLE 引脚再次变为高电平时，目标状态取决于 STARTUP_DEST 位。I²C_0 触发条件也会触发 orderlyOff 序列。本例中使用 I²C_0 触发条件来进入待机状态。

```
write 0x48:0xC3:0x00:0xF7 // LP_STANDBY_SEL=0
write 0x48:0x85:0x01:0xFE // set I2C_0 trigger, trigger orderlyoff sequence
Once the PMIC is in Standby state, a wakeup request can be triggered with a rising edge on the Enable pin.
```

7.3 进入和退出 LP_STANDBY 状态

进入 LP_STANDBY 硬件状态与进入 STANDBY 遵循相同的断电序列。退出 LP_STANDBY 状态会有所不同，需要在进入 LP_STANDBY 状态之前完成不同的初始化。

进入 LP_STANDBY 时，PFSM 会自动转换到 SAFE_RECOVERY 的硬件 FSM 状态。从 SAFE_RECOVERY 状态开始，恢复计数器递增，并与恢复计数阈值进行比较（请参阅表 5-10 中的 RECOV_CNT_REG_2）。如果达到恢复计数阈值，则 PMIC 停止尝试恢复，并需要重新启动电源。有关更多详细信息，请参阅数据表。

```
write 0x48:0xc3:0x08:0xf7 // LP_STANDBY_SEL=1
write 0x48:0xc3:0x60:0x9f // Set the STARTUP_DEST=ACTIVE
write 0x48:0x85:0x01:0xfe // set I2C_0 trigger
```

8 参考文献

有关 PMIC 或处理器器件的其他信息，请查看以下内容：

- 德州仪器 (TI), [AM62A 适用于低功耗 Sitara 处理器的 AM62A 入门套件](#)
- 德州仪器 (TI), [TPS6593 数据表](#)
- 德州仪器 (TI), [TPS6593-Q1 安全手册 \(通过 mySecure 索取 \)](#)
- 德州仪器 (TI), [AM62Ax 数据表](#)
- 德州仪器 (TI), [AM62Ax Sitara 处理器技术参考手册](#)

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司