

EVM User's Guide: ISOM8110DFGEVM

ISOM8110 具有模拟晶体管输出的单通道光耦仿真器评估模块

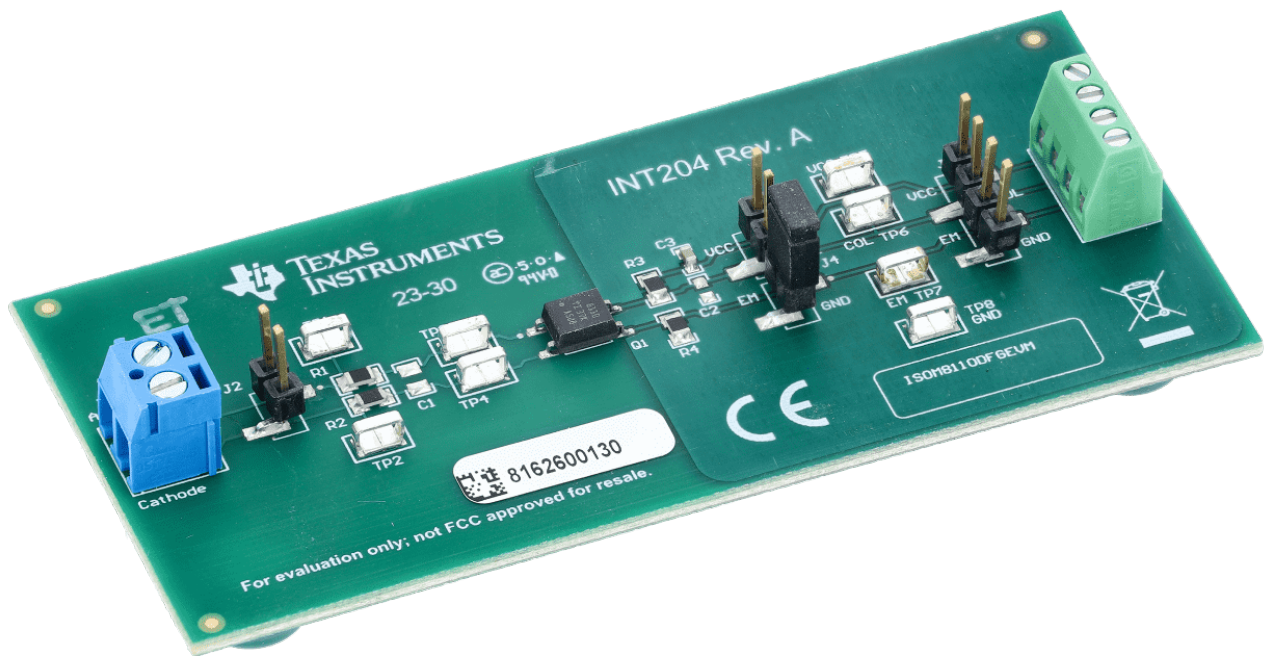


说明

与光耦合器相比，ISOM8110 光耦仿真器具有显著的可靠性和性能优势，包括高带宽、低关断延迟、低功耗、更宽的温度范围、严格的 CTR 和过程控制，从而实现较小的器件间偏移。由于没有要补偿的老化效应或温度变化，因此仿真二极管输入级的功耗比光耦合器低。

特性

- 用于全面评估 ISOM8110DFG 的平台
- 提供测试点和跳线选项
- 包含无源器件和封装用于基本修改
- 主流光晶体管光耦合器的插入即用升级版和引脚兼容版
- 单通道二极管仿真器输入
- 电流传输比 (CTR) : $I_F = 5\text{mA}$ 、 $V_{CE} = 5\text{V}$ - ISOM8110 时：100% 至 155%
- 高集电极-发射极电压： V_{CEO} (最大值) = 80V
- 稳健可靠的隔离栅



ISOM8110DFGEVM

1 评估模块概述

1.1 简介

ISOM8110DFGEVM 用户指南介绍了 **ISOM8110** 具有模拟晶体管输出的单通道光耦仿真器评估模块 (EVM) 的功能。**ISOM8110DFGEVM** 支持评估采用 4 引脚 DFG SOIC 封装的 TI **ISOM8110** 光耦仿真器。本用户指南介绍了 **ISOM8110** 在 5V 工作电压下的 EVM 操作。通过更改 EVM 配置和元件值，可以重新配置 EVM，以使用更大的输入信号或其他应用进行评估。本用户指南还介绍了 **ISOM8110** 的通道配置、EVM 原理图和典型设置。

小心

此评估模块仅用于隔离器参数性能评估，不适用于隔离电压测试。为防止损坏此 EVM，任何用作电源或数字输入/输出的电压都必须保持在该器件的建议工作条件内。

1.2 套件内容

此评估模块包含一个 PCB 评估板，其中包含一个 **ISOM8110DFG** 器件。**ISOM8110** 评估板的主要元件包括：

- **ISOM8110DFG** 光耦仿真器
- 多个板载测试点

若要演示 **ISOM8110DFG** 的功能，TI 建议使用以下器件（另售）：

- 示波器
- 信号发生器

1.3 规格

ISOM8110 器件能够与许多具有晶体管输出的光耦合器器件引脚兼容并可直接替换。与传统光耦合器相比，光耦仿真器具有显著的可靠性和性能优势，包括更严格的电流传输比 (CTR)、低输入电流和更宽的温度范围。

ISOM8110 光耦仿真器使用由二氧化硅 (SiO₂) 绝缘栅分离的输入二极管仿真器和输出级，再现了传统光耦合器的特性，同时没有老化和热漂移的缺点。与隔离式电源搭配使用时，这些器件可阻断高电压、隔离接地并防止噪声电流干扰或损坏敏感电路。

1.4 器件信息

ISOM8110DFGEVM 包含一个 **ISOM8110** 和运行所需的所有其他无源器件。评估模块中包含的各种元件直接控制 **ISOM8110** 的运行和功能。如有必要，可针对任何给定的应用来移除、添加或替换元件，从而相应地修改 **ISOM8110** 的行为。

2 硬件

2.1 EVM 设置和操作

基本 EVM 设置

本节描述了用于参数性能评估的 EVM 设置和操作。图 2-1 展示了使用电流源的 ISOM8110 光耦仿真器 EVM 的典型测试配置。

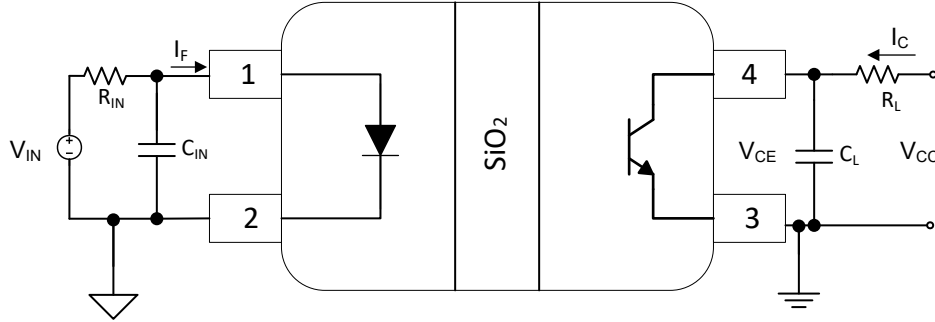


图 2-1. 基本 EVM 操作

ISOM8110DFGEVM 为元件提供了不焊接 (DNP) 封装，可通过组装这些元件，对器件应用不同的测试条件。节 2.1 列出并描述了通过修改 EVM 上的不同元件可实现的可能测试配置。

表 2-1. 元件配置

元件	说明
R1	R1 的阻值适合 5V 操作。如果需要更大的电源，则选择一个可为阳极提供适当的 I_F 电流的电阻器。
J3	分流 J3 以将输出用作高侧输出（发射极引脚）。切勿同时分流 J3 和 J4。
J4	分流 J4 以将输出用作低侧输出（集电极引脚）。切勿同时分流 J3 和 J4。
C1、C2	C1 和 C2 可分别用于向输入二极管或集电极输出添加电容。

2.2 ISOM8110 具有模拟晶体管输出的单通道光耦仿真器的引脚配置

图 2-2 显示了 ISOM8110 具有模拟晶体管输出引脚配置的单通道光耦仿真器。

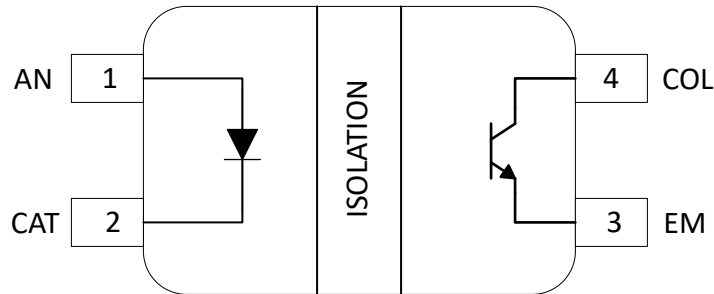


图 2-2. ISOM8110 具有模拟晶体管输出的单通道光耦仿真器引脚配置

3 硬件设计文件

3.1 原理图

ISOM8110DFGEVM 具有其他封装，可使用户灵活地测试各种常见应用。

也可以修改电路板上的其他位置。例如，可以更改 R1 以适应不同的电流要求，并且可以添加 C2 以测试具有阻性或容性负载的器件。有关 EVM 原理图，请参阅 ISOM8110DFGEVM，有关替代 EVM 配置的更多信息，请参阅表 2-1。

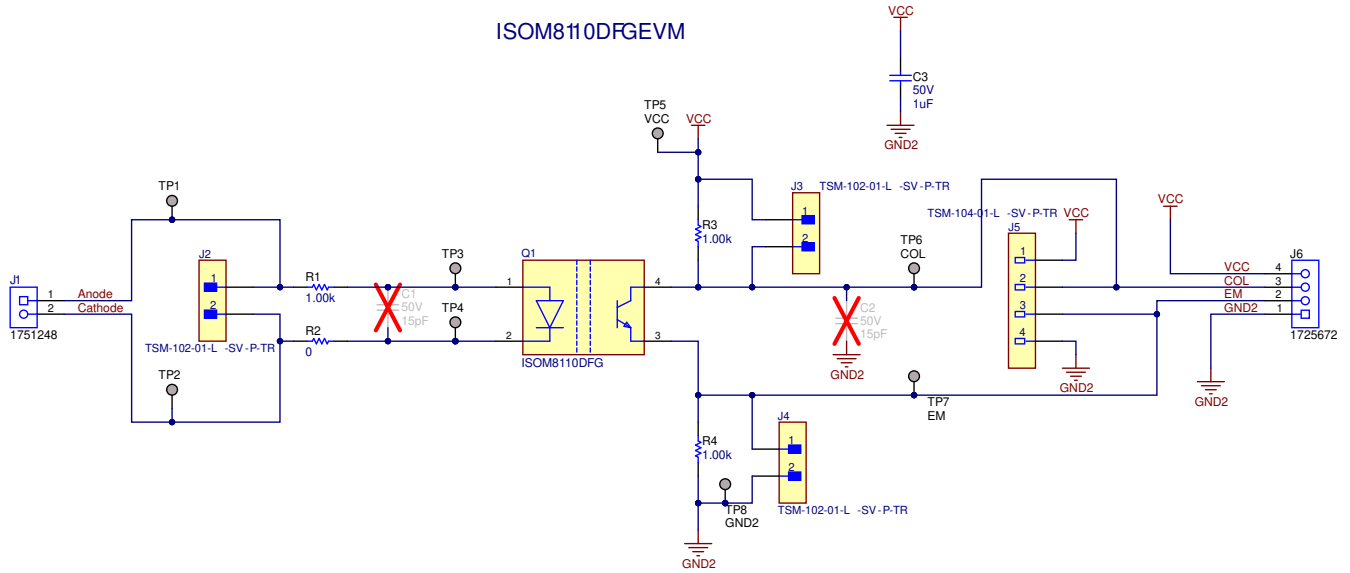


图 3-1. ISOM8110DFGEVM 原理图

3.2 PCB 布局和 3D 图

图 3-2 和图 3-3 分别显示了印刷电路板 (PCB) 布局的顶层和底层，图 3-4 显示了 EVM PCB 的 3D 图。

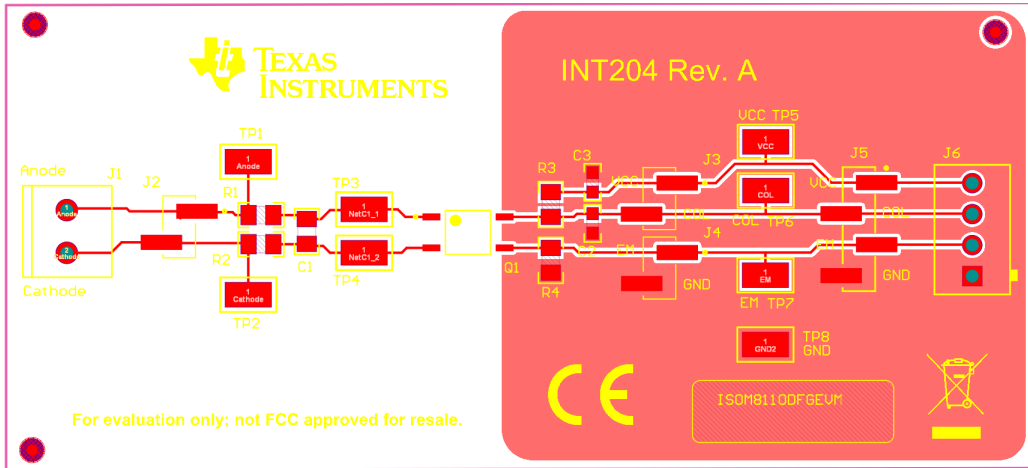


图 3-2. ISOM8110DFGEVM PCB 布局 - 顶层

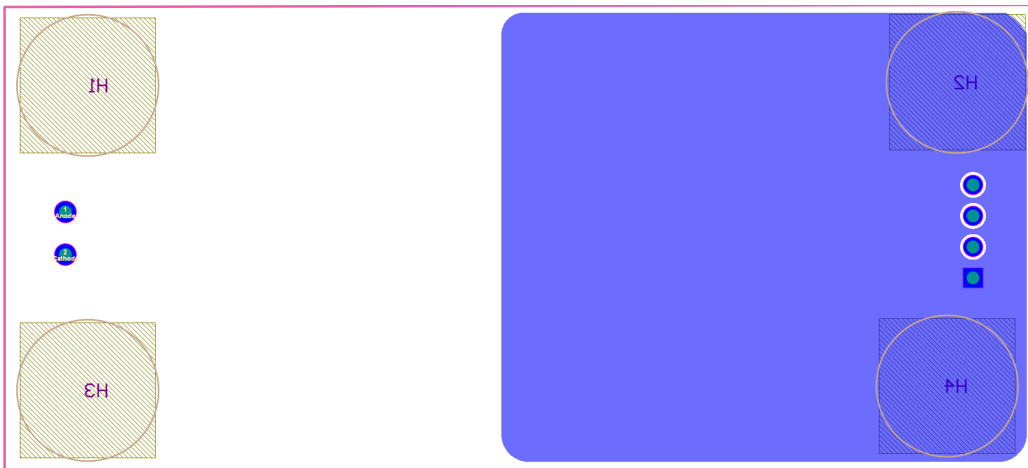


图 3-3. ISOM8110DFGEVM PCB 布局 - 底层

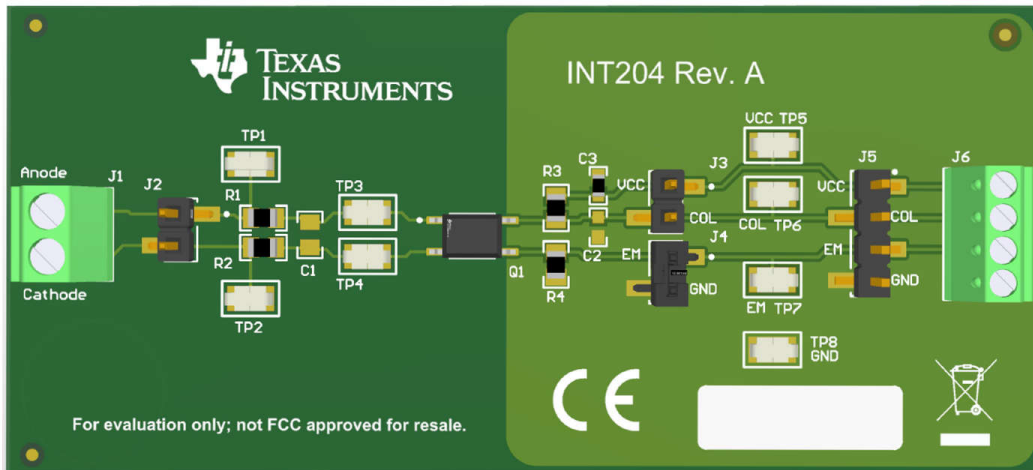


图 3-4. ISOM8110DFGEVM PCB 3D 图

3.3 物料清单

表 3-1 列出了 ISOM8110DFGEVM 的物料清单 (BOM)。

表 3-1. 物料清单

项目编号	位号	制造商	说明
1	C3	TDK	电容, 陶瓷, 1uF, 50V, +/- 10%, X5R, 0603
2	H1、H2、H3、H4	3M	Bumpon, 半球形, 0.44 X 0.20, 透明
3	J1	Phoenix Contact	连接端子块, 2 位, 3.5mm, TH
4	J2、J3、J4	Samtec	连接器接头表面贴装 2 位 0.100" (2.54mm)
5	J5	Samtec	连接器接头表面贴装 4 位 0.100" (2.54mm)
6	J6	Phoenix Contact	端子块, 4x1, 2.54mm, 绿色, TH
7	Q1	德州仪器 (TI)	具有晶体管输出的 3.75kVRMS 单通道光耦仿真器
8	R1、R3、R4	Panasonic	电阻, 1.00k, 1%, 0.25W, 0805
9	R2	Yageo America	电阻, 0, 5%, 0.125W, 0805
10	SH-J1	Samtec	分流器, 100mil, 镀金, 黑色
11	TP1、TP2、TP3、 TP4、TP5、TP6、 TP7、TP8	Keystone	测试点, 微型, SMT
12	C1	Yageo America	电容, 陶瓷, 15pF, 50V, +/-5%, COG/NPO, 0805
13	C2	MuRata	电容, 陶瓷, 15pF, 50V, +/-5%, COG/NPO, AEC-Q200 1 级, 0603

4 其他信息

商标

所有商标均为其各自所有者的财产。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司