



摘要

本用户指南介绍 TSW14J59EVM JESD204C 高速数据采集和图形发生器卡的特性、操作和使用。除非另有说明，否则本用户指南中的缩写词 *EVM* 和术语 *评估模块* 均指 TSW14J59EVM。

内容

1 引言.....	2
2 功能.....	2
2.1 ADC EVM 数据采集.....	4
2.2 DAC EVM 图形发生器.....	4
3 硬件配置.....	5
3.1 电源连接.....	5
3.2 开关、跳线和 LED.....	5
3.3 LED.....	6
4 软件启动.....	12
4.1 安装说明.....	12
4.2 USB 接口和驱动程序.....	12
5 下载固件.....	14

插图清单

图 2-1. TSW14J59EVM.....	2
图 2-2. TSW14J59EVM 方框图.....	3
图 3-1. 添加配置存储器器件.....	9
图 3-2. 对存储器器件进行编程.....	10
图 3-3. 配置文件.....	11
图 4-1. TSW14J59EVM 序列号.....	13
图 4-2. 硬件设备管理器.....	13
图 5-1. 选择要加载的 ADC 或 DAC 固件.....	14
图 5-2. 高速数据转换器专业版 GUI 首页.....	14
图 5-3. 选择受测器件和工作模式.....	15
图 5-4. 使用 JMODE30 连接到 ADC12DJ3200EVM 时的示例.....	15
图 5-5. GUI 不连接到 EVM.....	16

表格清单

表 3-1. TSW14J59 器件的开关说明.....	5
表 3-2. TSW14J59 器件的跳线说明.....	5
表 3-3. TSW14J59 器件的电源和配置 LED 说明.....	6
表 3-4. SMA 连接器.....	6
表 3-5. TSW14J59 的 FMC+ 连接器说明.....	7

商标

TI®, Xilinx®, Kintex®, UltraScale®, and Vivado® are registered trademarks of Xilinx Incorporated.

Microsoft® and Windows® are registered trademarks of Microsoft Corporation.

所有商标均为其各自所有者的财产。

1 引言

TI TSW14J59 评估模块 (EVM) 是下一代图形发生器和数据采集卡，用于评估新款 TI JESD204C_B 器件系列高速模数转换器 (ADC) 与数模转换器 (DAC) 的性能。对于 ADC，通过在使用高质量、低抖动时钟和高质量输入频率时利用 JESD204C_B 接口采集所采样的数据，TSW14J59 可用于演示数据表的性能规格。使用 TI® JESD204C IP 内核，可对 TSW14J59 进行动态配置，以支持 1Gbps 到 32Gbps 的通道速度 (1 到 16 个通道)。结合附带的高速数据转换器专业版图形用户界面 (GUI)，TSW14J59 提供一套完整的系统来从 ADC EVM 采集数据样本并进行评估，然后生成所需的测试图形并发送至 DAC EVM，并且使用 AFE EVM (收发器模式) 同时执行这两项任务。

2 功能

TSW14J59EVM 具有一个业界通用 FMC+ 连接器，可直接与 TI JESD204/C ADC、DAC 和 AFE EVM 连接。FMC+ 载板连接器与 FMC 夹层连接器兼容。当与 ADC EVM 结合使用时，高速串行数据由 Xilinx® Kintex® UltraScale® + FPGA 进行采集、解串行化和格式化。然后，数据存储到外部 DDR4 存储器组中，使 TSW14J59 能够存储多达 1.536G 的 16 位数据样本。为了在主机 PC 上采集数据，FPGA 从存储器中读取数据，并通过高速 32 位并行接口进行传输。连接至并行转换器的板载高速 USB 3.0 可将 FPGA 接口与主机 PC 和 GUI 桥接在一起。

在图形发生器模式下，TSW14J59 为受测的 DAC EVM 生成所需的测试图形。这些图形通过 USB 接口从主机 PC 发送到 TSW14J59。FPGA 将接收到的数据存储到板载 DDR4 存储器模块中。然后，存储器中的数据由 FPGA 读取，并通过 FMC+ 接口连接器传输到 DAC EVM。该电路板包含两个 200MHz 振荡器，用于生成 DDR4 参考时钟和一个通用时钟。图 2-1 所示为 TI TSW14J59 评估模块。

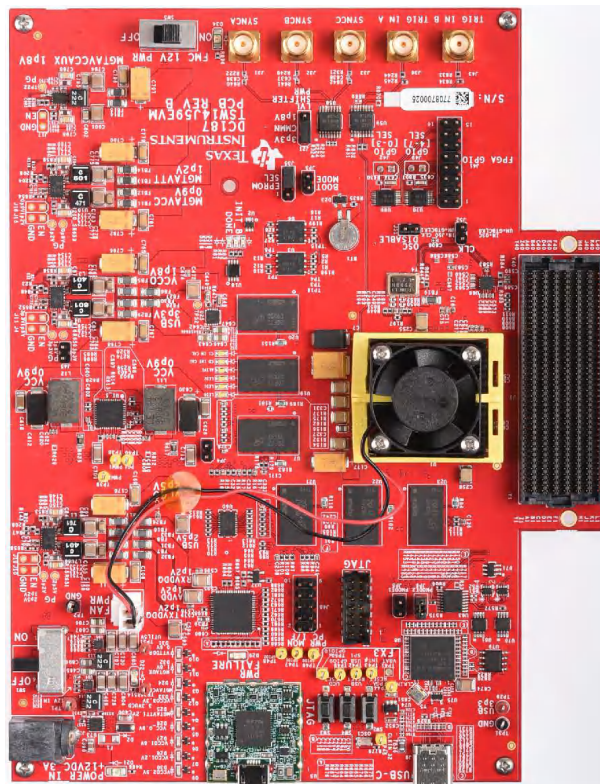


图 2-1. TSW14J59EVM

TSW14J59 的主要特性包括：

- 与 JESD204B 向后兼容 (子级：0、1、2)
- 支持确定性延迟
- 串行通道速度高达 32Gbps
- 16 个路由收发器通道
- 24Gb DDR4 SDRAM (分成两组，每组 3 个独立的 256 × 16、4Gb SDRAM)。四分之一速率 DDR4 控制器，支持高达 1200MHz 操作
- 1.536G 的 16 位板载存储器样本
- 对于备用 FMC+ 信号支持 1.8V CMOS IO 标准
- 通用 200MHz 振荡器
- 板载 Cypress USB FX3 USB 3.0 器件，用于与 FPGA 并行连接

以及通用 I/O 接口，可连接板载功能和 FMC+

- 面向 FPGA JTAG 接口的板载 Digilent JTAG SMT2 编程器，用于下载固件
- 通过 FMC+ 端口或 SMA 提供的收发器参考时钟
- 由 TI HSDC PRO 软件支持
- 使用 Xilinx Vivado 开发工具开发的 FPGA 固件。
 - TI JESD RX IP 内核，支持：
 - 可通过 USB 和 JTAG 重新配置的 JESD 内核参数：L、M、K、F、HD、S 等等
 - 可通过 USB 和 JTAG 访问的 ILA 配置数据
 - 通过 USB 和 JTAG 启用或禁用通道对齐和字符替换
 - TI JESD TX IP 内核，支持：
 - 可通过 USB 和 JTAG 重新配置的 JESD 内核参数：L、M、K、F、HD、S 等等
 - 可通过 USB 和 JTAG 访问的 ILA 配置数据
 - 动态可重新配置的收发器数据速率。
 - 串行通道工作范围为 1Gbps 至 32Gbps

图 2-2 展示了 TSW14J59 EVM 的方框图。

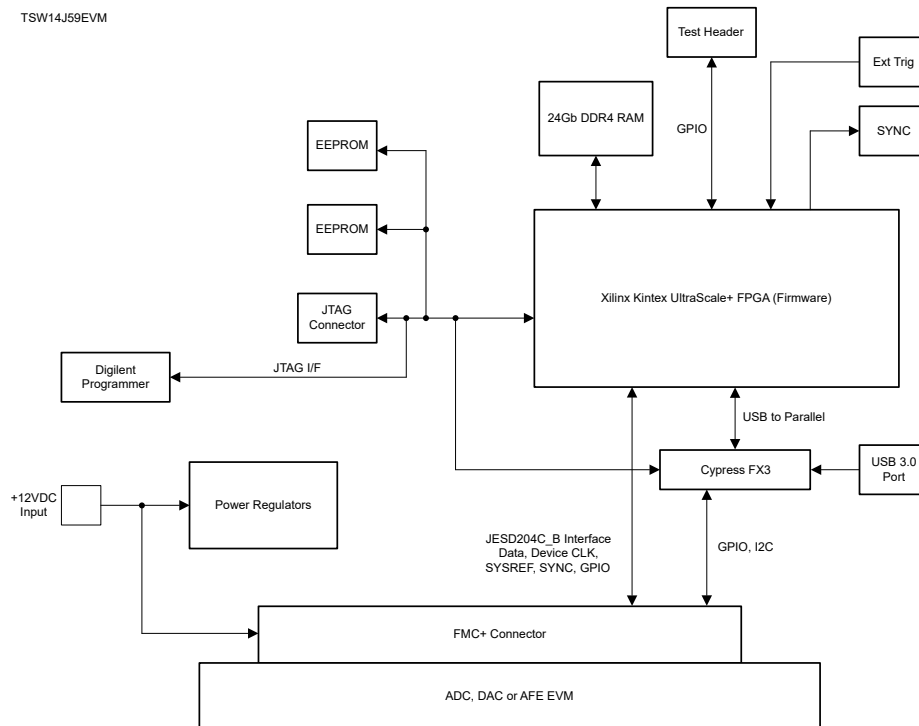


图 2-2. TSW14J59EVM 方框图

2.1 ADC EVM 数据采集

新的 TI 高速 ADC 和 DAC 现在可提供符合 JESD204C_B 标准的高速串行数据。这些器件通常可用在与 TSW14J59EVM 直接相连的 EVM 上。EVM 与 TSW14J59EVM 之间的通用连接器是 Samtec 高速、高密度 FMC+ 连接器 (ASP-184329-01)，专为速率高达 32.5Gbps 的高速差分对而设计。针对整个 EVM 系列连接器的通用引脚排列已经确定。目前，EVM 与 TSW14J59EVM 之间的接口已经定义了 32 个高速差分数据对 (16 个 RX 和 16 个 TX)、I2C 接口、20 个单端信号、三个单端 SYNC 输出、两个单端触发输入、一个差分 SYNC 和 SYSREF 以及四个器件时钟对 (FPGA 参考时钟) 的连接。该电路板具有 10 个备用 USB3.0 接口信号、两个 FPGA 参考时钟 SMA、三个复位开关、8 个通用状态 LED 和 13 个电源状态 LED。

JESD204C_B ADC 和 DAC 的数据格式是串行格式，其中数据的各个位出现在通常称为通道的串行对上。根据 JESD204C_B 规范设计的器件可以有高达 16 个通道用于发送或接收数据。TSW14J59 上 FPGA 中的固件旨在适应 TI 的任何使用 1 至 16 个通道运行的 ADC 或 DAC。

HSDC Pro GUI 根据在器件下拉窗口中选择的 ADC 器件，为 FPGA 加载适当的固件和特定的 JESD204C_B 配置。此窗口中出现的每个 ADC 器件都有一个与之关联的初始化文件 (.csv)。此文件包含 JESD 信息，例如通道数、转换器数、每帧八位位组以及其他参数。用户点击采集按钮后，此信息将加载到 FPGA 寄存器中。加载参数后，在数据转换器和 FPGA 之间建立同步，然后将有效数据采集到板载存储器中。更多信息，请参阅“技术文档”部分下的 [High-Speed Data Capture Pro GUI 软件用户指南](#)。提供了多个 .ini 文件，以供用户加载预先确定的 ADC JESD204C_B 接口。

TSW14J59 器件能够以高达 32Gbps 的最大线路速率采集多达 1.536G 的 16 位样本，这些样本存储在板载 DDR4 存储器中。用户在 HSDC Pro GUI 中设置的数据大小必须以 480 的倍数输入。为了在主机 PC 上采集数据，FPGA 从存储器读取数据，并将并行数据传输到板载高速并行转 USB3.0 转换器。

2.2 DAC EVM 图形发生器

在图形发生器模式下，TSW14J59EVM 为受测的 DAC EVM 生成所需的测试图形。这些图形通过 USB 接口从主机 PC 发送到 TSW14J59。FPGA 将接收到的数据存储到板载 DDR4 存储器中。接着，存储器中的数据由 FPGA 读取，转换为 JESD204C_B 串行格式，然后传输到 DAC EVM。TSW14J59 能够以高达 32Gbps 的线路速率生成多达 1.536G 的 16 位样本的图形。

HSDC Pro GUI 附带了若干现有的测试图形，可供立即下载。与 ADC 采集模式类似，DAC 图形发生器模式使用 .csv 文件中的信息来将预先确定的 JESD204C_B 接口信息加载到 FPGA。

3 硬件配置

本节介绍 TSW14J59EVM 硬件的各个部分。

3.1 电源连接

TSW14J59EVM 硬件设计为以 +12V 直流单电源电压和 4A 运行。电源输入由 SW1 开关的开/关状态控制。使用开关 SW5 会在 FMC+ 上启用 12V。在插入提供的电源线之前，请确保两个开关都处于关闭位置。将电源线的连接器端插入 EVM 的 J38。还可以通过向红色测试点 TP1 提供 +12V 直流并返回到任何黑色 GND 测试点来为此电路板供电。

备注

TSW14J59EVM 的典型电源电压范围为 12V，功耗约为 16.5W。由于 HSDC Pro 采集数据时电流消耗会增加，因此 TI 建议为 TSW14J59EVM 提供至少 4A 的额定电源。

3.2 开关、跳线和 LED

3.2.1 开关和按钮

TSW14J59 包含多个开关和按钮，用于实现电路板上的某些功能。有关开关的说明，请参阅表 3-1。

表 3-1. TSW14J59 器件的开关说明

组件	说明
SW1	12V 输入电源开关
SW2	FPGA 复位
SW3	UCD 功率监测器复位
SW4	USB 复位
SW5	FMC+ 12V 电源开关

3.2.2 跳线

TSW14J59 包含多个跳线 (JP) 和焊接跳线 (SJP)，用于在电路板上实现某些功能。有关跳线的说明，请参阅表 3-2。

表 3-2. TSW14J59 器件的跳线说明

组件	说明	默认值
J11	安装时禁用 VCCO_3V3 电源	开路
JP5	USB3.0 PMODE1 配置。安装分流器后，这会将 PMODE1 设置为高电平	开路
JP6	USB3.0 PMODE2 配置。安装分流器后，这会将 PMODE2 设置为低电平	已安装
J19	安装时禁用 VCCO_1V2 电源	开路
J4	安装时禁用 VCCO_1V8 电源	开路
J16	安装时禁用 MGTAVCC_0V9 电源	开路
J15	安装时禁用 MGTAVTT_1V2 电源	开路
J17	安装时禁用 MGTAVCCAUX_1V8 电源	开路
J10	安装时禁用 VCCO_2V5 电源	开路
J21	输出 SYNCA/B/C 和输入 TRIG_IN 转换器电压电平选择。当分流器在引脚 1-2 上时，电压为 3.3V。当分流器在引脚 2 - 3 上时，电压由 TP30 控制。	1 至 2
J28	缓冲器 U38、U44、U46 启用。当分流器在引脚 1-2 上时，启用 U44，禁用 U38 和 U46。当分流器在引脚 2 - 3 上时，禁用 U44，启用 U38 和 U46。	1 至 2
J29	USB2.0 JTAG 多路复用器启用。当分流器在引脚 1 - 2 上时，启用多路复用器。当分流器在引脚 2 - 3 上时，多路复用器启用由 USB2.0 器件控制。	2 至 3
J30	U47 缓冲器启用。当分流器在引脚 1 - 2 上时，禁用 U47。当分流器在引脚 2 - 3 上时，启用 U47。	1 至 2

表 3-2. TSW14J59 器件的跳线说明 (续)

组件	说明	默认值
J34	状态 LED 启用。当分流器在引脚 1 - 2 上时, 禁用 LED。当分流器在引脚 2 - 3 上时, 启用 LED。	1 至 2
J35	EPROM 选择。当分流器在引脚 2 - 3 上时, 选择由 USB2.0 控制。当分流器在引脚 1-2 上时, 选择 U3。移除分流器后, 选择 U6。	2 至 3

3.3 LED

3.3.1 电源和配置 LED

TSW14J59 EVM 上有多个 LED, 用于指示电源是否存在以及 FPGA 的状态。有关这些 LED 的说明, 请参阅表 3-3。

表 3-3. TSW14J59 器件的电源和配置 LED 说明

组件	说明
D21	如果电路板上存在 12V 电压, 则亮起
D22	如果 UCD 功率监测器件存在 3.3V 电压, 则亮起
D29	如果电路板的一个或多个电源稳压器出现故障, 则亮起
D34	如果电路板存在 12V 电压且 FMC 12V PWR 开关接通, 则亮起
DS16	上电后和加载固件后亮起
DS17	上电后亮起
DS18	当 FPGA INIT_B 输入变为低电平时亮起

3.3.2 备用 LED

TSW14J59EVM 有六个备用 LED。这些会在电路板加电后亮起。

DS2 - LED0

DS3 - LED1

DS6 - LED2

DS7 - ALIVE

DS19 - CO INT CAL

DS20 - C1 INT CAL

3.3.3 连接器

3.3.3.1 SMA 连接器

TSW14J59 有 5 个 SMA 连接器。表 3-4 定义了这些连接器:

表 3-4. SMA 连接器

组件	连接器	说明
J31	SYNCA	来自 FPGA 引脚 F22 的 3.3V 或 1.8V CMOS 逻辑 SYNC 输出。J21 的引脚 1 至 2 上的分流器将电平设置为 3.3V (默认)。引脚 2 至 3 上的分流器将电平设置为 1.8V。
J32	SYNCB	来自 FPGA 引脚 G22 的 3.3V 或 1.8V CMOS 逻辑 SYNC 输出。J21 的引脚 1 至 2 上的分流器将电平设置为 3.3V (默认)。引脚 2 至 3 上的分流器将电平设置为 1.8V。
J33	SYNCC	来自 FPGA 引脚 M24 的 3.3V 或 1.8V CMOS 逻辑 SYNC 输出。J21 的引脚 1 至 2 上的分流器将电平设置为 3.3V (默认)。引脚 2 至 3 上的分流器将电平设置为 1.8V。
J36	TRIG IN A	FPGA 引脚 E26 的 3.3V 或 1.8V CMOS 逻辑触发器输入。J21 的引脚 1 至 2 上的分流器将电平设置为 3.3V (默认)。引脚 2 至 3 上的分流器将电平设置为 1.8V。

表 3-4. SMA 连接器 (续)

组件	连接器	说明
J43	TRIG IN B	FPGA 引脚 L23 的 3.3V 或 1.8V CMOS 逻辑触发器输入。J21 的引脚 1 至 2 上的分流器将电平设置为 3.3V (默认)。引脚 2 至 3 上的分流器将电平设置为 1.8V。

备注

SYNCA、SYNCB 和 SYNCC SMA 用于从 FPGA 提供外部 SYNC 信号。每个 SYNC 信号的电缆具有相同的长度，以确认信号同时到达使用这些 SYNC 的所有电路板。TRIG IN A/B SMA 连接器可用于从外部源触发 FPGA。所有五个 SMA 均可以使用 3.3V 或 1.8V 逻辑 CMOS 信号。默认情况下，EVM 设置为 3.3V 逻辑电平。EVM 具有板载转换器，可将这些输入/输出设置为 FPGA 的正确电压电平。

3.3.3.2 FPGA 夹层卡 (FMC+) 连接器

TSW14J59 EVM 具有一个连接器，可直接插入 TI JESD204C_B 串行接口 ADC 和 DAC EVM。此连接器的规范主要源自 ANSI/VITA 57.4 FPGA 夹层卡 (FMC+) 标准。此标准描述了夹层卡的 IO 与载板卡上的 FPGA 处理器件之间低开销协议桥的合规性要求。FPGA 供应商在其开发平台上使用此规范。

FMC+ 连接器 J3 提供 TSW14J59EVM 与受测 ADC 或 DAC EVM 之间的接口。这款 560 引脚 Samtec 高速、高密度连接器 (器件型号 ASP-184329-01) 非常适用于速率高达 32.5Gbps 的高速差分对。

除了 JESD204B/C 标准信号之外，FMC+ 和 FPGA 之间还连接了若干 CMOS 单端信号和 LVDS 差分信号。这些信号可供 HSDC Pro GUI 用于控制对支持此特性的 ADC 和 DAC EVM 进行 SPI 串行编程。表 3-5 展示了连接器引脚排列说明。

表 3-5. TSW14J59 的 FMC+ 连接器说明

FMC+ 信号名称	FMC+ 引脚	标准 JESD204 应用映射	说明
DP0_RX_P/N	C6 和 C7	通道 0± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP1_RX_P/N	A2 和 A3	通道 1± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP2_RX_P/N	A6 和 A7	通道 2± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP3_RX_P/N	A10 和 A11	通道 3± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP4_RX_P/N	A14 和 A15	通道 4± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP5_RX_P/N	A18 和 A19	通道 5± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP6_RX_P/N	B16 和 B17	通道 6± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP7_RX_P/N	B12 和 B13	通道 7± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP8_RX_P/N	B8 和 B9	通道 8± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP9_RX_P/N	B4 和 B5	通道 9± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP10_RX_P/N	Y10 和 Y11	通道 10± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP11_RX_P/N	Z12 和 Z13	通道 11± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP12_RX_P/N	Y14 和 Y15	通道 12± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP13_RX_P/N	Z16 和 Z17	通道 13± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP14_RX_P/N	Y18 和 Y19	通道 14± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP15_RX_P/N	Y22 和 Y23	通道 15± (M → C)	JESD 串行数据从夹层发送并由载板接收
DP0_TX_P/N	C2 和 C3	通道 0± (C → M)	JESD 串行数据从载板发送并由夹层接收
DP1_TX_P/N	A22 和 A23	通道 1± (C → M)	JESD 串行数据从载板发送并由夹层接收
DP2_TX_P/N	A26 和 A27	通道 2± (C → M)	JESD 串行数据从载板发送并由夹层接收
DP3_TX_P/N	A30 和 A31	通道 3± (C → M)	JESD 串行数据从载板发送并由夹层接收
DP4_TX_P/N	A34 和 A35	通道 4± (C → M)	JESD 串行数据从载板发送并由夹层接收
DP5_TX_P/N	A38 和 A39	通道 5± (C → M)	JESD 串行数据从载板发送并由夹层接收
DP6_TX_P/N	B36 和 B37	通道 6± (C → M)	JESD 串行数据从载板发送并由夹层接收
DP7_TX_P/N	B32 和 B33	通道 7± (C → M)	JESD 串行数据从载板发送并由夹层接收
DP8_TX_P/N	B28 和 B29	通道 8± (C → M)	JESD 串行数据从载板发送并由夹层接收
DP9_TX_P/N	B24 和 B25	通道 9± (C → M)	JESD 串行数据从载板发送并由夹层接收
DP10_TX_P/N	Z24 和 Z25	通道 10± (C → M)	JESD 串行数据从载板发送并由夹层接收

表 3-5. TSW14J59 的 FMC+ 连接器说明 (续)

FMC+ 信号名称	FMC+ 引脚	标准 JESD204 应用映射	说明
DP11_TX_P/N	Y26 和 Y27	通道 11± (C → M)	JESD 串行数据从载板发送并由夹层接收
DP12_TX_P/N	Z28 和 Z29	通道 12± (C → M)	JESD 串行数据从载板发送并由夹层接收
DP13_TX_P/N	Y30 和 Y31	通道 13± (C → M)	JESD 串行数据从载板发送并由夹层接收
DP20_TX_P/N	Z8 和 Z9	通道 14± (C → M)	JESD 串行数据从载板发送并由夹层接收
DP21_TX_P/N	Y6 和 Y7	通道 15± (C → M)	JESD 串行数据从载板发送并由夹层接收
GBTCLK0_M2C_P/N	D4 和 D5	DEVCLKA± (M → C)	FPGA 千兆位收发器所需的初级载板绑定参考时钟。等效于器件时钟。
GBTCLK1_M2C_P/N	B20 和 B21	备选 DEVCLKA± (M → C)	FPGA 千兆位收发器所需的备选初级载板绑定参考时钟。当 DEVCLKA (M → C) 不可用时使用
器件时钟、SYSREF 和 SYNC			
CORE_CLK_P/N	G6 和 G7	DEVCLKB± (M → C)	次级载板绑定器件时钟。用于特殊 FPGA 功能，例如对 SYSREF 采样
SYSREFP/N	G9 和 G10	SYSREF± (M → C)	载板绑定 SYSREF 信号
SYNCB_IN	H31	SYNC	载板绑定 SYNC 信号
SYNCB_OUT	H32	SYNC	夹层绑定 SYNC 信号
AFE_SYNCOUT	F10	AFE DAC SYNC	用于 0/1/2 级 JESD204B 系统的载板绑定 SYNC 信号
特殊用途 I/O			
GPIO_G12/G13	G12 和 G13		来自 FPGA 引脚 AA13 和 Y13 的备用 IO。在移除跳线 J42 后启用
SPIO_SCLK	G31		来自 FPGA 引脚的备用 SPI SCLK
GPIO_H25	H25		来自 FPGA 引脚 AF15 的备用 IO。在移除跳线 J42 后启用
GPIO_H26	H26		来自 FPGA 引脚 AF14 的备用 IO。在移除跳线 J42 后启用
GPIO_H28	H28		来自 FPGA 引脚 AF13 的备用 IO。在移除跳线 J42 后启用
GPIO_H29	H29		来自 FPGA 引脚 AE13 的备用 IO。在移除跳线 J42 后启用
SPIO_CSB_0	H34		来自 FPGA 引脚 Y15 的备用 SPI 芯片选择
SPIO_CSB_1	H35		来自 FPGA 引脚的备用 SPI 芯片选择 Y16
SPIO_CSB_2	H37		来自 FPGA 引脚的备用 SPI 芯片选择 H14
SPIO_CSB_3	H38		来自 FPGA 引脚的备用 SPI 芯片选择 J14
PRSNT_M2C_L	H2	存在	I2C 输入。指示夹层卡是否存在
SPI1_SCLK	D26		来自 FPGA 引脚 J15 的 SPI 时钟
SPI1_CSB	D27		来自 FPGA 引脚 G12 的 SPI 芯片选择
HSPC_PRSNT_M2C_L	Z1	存在	I2C 输入。指示夹层卡是否存在。
SPI1_SDIO_0	C26		从 FPGA 引脚备用 W15
SPI1_SDIO_1	C27		从 FPGA 引脚备用 W16
FMC_I2C_SCL	C30		备用 USB2.0 I/F
FMC_I2C_SDA	C31		备用 USB2.0 I/F
GPIO_G27/G28	G27、G28		来自 FPGA 引脚 W13 和 W12 的备用 IO。在移除跳线 J42 后启用
GPIO30	G30		来自 FPGA 引脚 AD14 的备用 IO
SPI0_SDIO_0	G33		来自 FPGA 引脚 AD13 的备用 SPI 数据 I/O
SPI0_SDIO_1	G34		来自 FPGA 引脚 AC14 的备用 SPI 数据 I/O
SPI0_SDIO_2	G36		来自 FPGA 引脚 AC13 的备用 SPI 数据 I/O
SPI0_SDIO_3	G37		来自 FPGA 引脚 AA15 的备用 SPI 数据 I/O
12P0V	C35、C37、 L36、L37、L40		12V 输出电源
3P3V	C39、D32、 D36、D38、 D40、Z40		3.3V 输出电源

表 3-5. TSW14J59 的 FMC+ 连接器说明 (续)

FMC+ 信号名称	FMC+ 引脚	标准 JESD204 应用映射	说明
VADJ	E39、G39、H40、F40		可调输出电源。默认设置为 1.8V。

3.3.3.3 JTAG 连接器

TSW14J59EVM 包含一个业界通用 JTAG 连接器 P2，用于连接到 FPGA 的 JTAG 端口。可以使用该连接器或通过 USB 3.0 接口对 FPGA 进行编程。利用 USB 3.0 接口，可以使用 HSDC Pro 软件 GUI 对 FPGA 进行编程。每次 TSW14J59EVM 下电时，都会删除 FPGA 配置。每次电路板上电后，用户都必须通过 GUI 对 FPGA 进行编程。也可以使用两个板载闪存器件 U3 和 U6 配置 FPGA。

TSW14J59EVM 还具有表面贴装的 Digilent JTAG 编程器 U5，可用于对 FPGA 进行编程。

闪存器件 TSW14J59EVM 包括两个可加载 FPGA 固件的串行闪存编程 EEPROM。跳线 J35 确定当按下开关 SW2 时哪个 EEPROM 会配置 FPGA。如果已对 EEPROM 进行了编程，那么在上电后，如果 J35 在引脚 1-2 之间有分流器，则按下 SW2 会将闪存器件 U3 的内容加载到 FPGA 中。如果分流器位于引脚 2 与 3 之间或已移除，则会使用 U6 的内容对 FPGA 进行编程。

对存储器器件进行编程

要使用新文件对 U3 和 U6 进行编程，请执行以下步骤：

备注

安装 Vivado® 版本 2018.3 或更高版本 (实验室版)

1. 通过 JTAG Xilinx 编程器电缆将 TSW14J59 采集卡连接到 PC。这是 JTAG 连接 P2。
2. 在 JP3 上安装分流器。
3. 打开 Vivado 安装：
 - 双击 *Open Hardware Manager*。
4. 在“Hardware Manager”中，左键单击 *Open target*，然后选择 *Auto Connect*。
5. 最后一步会列出通过 JTAG 编程器电缆连接到 PC 的所有 FPGA。
6. 右键单击“xcku5p_0” -> 单击 *Add Configuration Memory Device*。

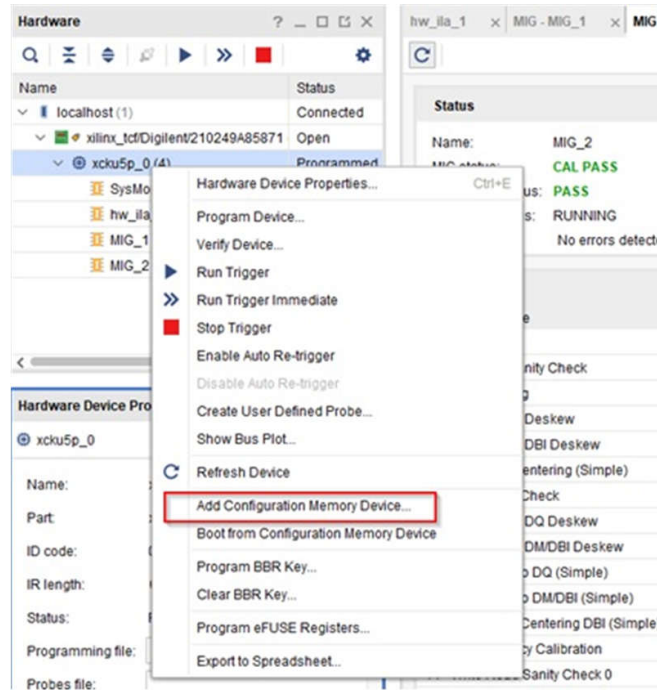


图 3-1. 添加配置存储器器件

7. 在弹出窗口中，搜索“mt25qu256-spi-x1_x2_x4”组件。单击 OK 按钮。

8. 右键点击器件“mt25qu256-spi-x1_x2_x4”，然后点击 *Program Configuration Memory Device* (请参阅图 3-2)。

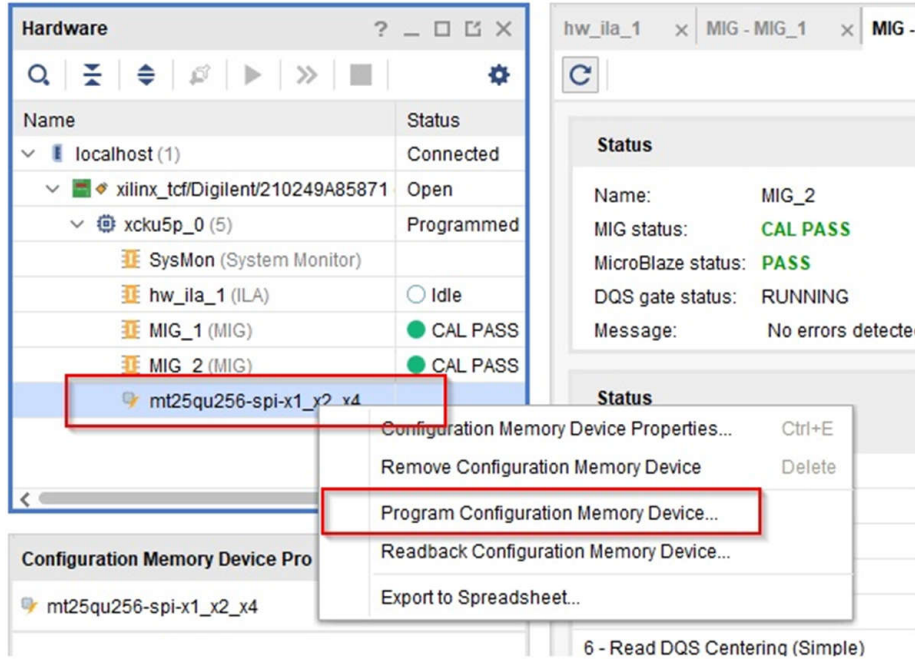


图 3-2. 对存储器器件进行编程

9. 要对 U3 进行编程，请在 J35 引脚 1 至 2 上插入分流器，打开要加载的新“xx.mcs”文件，并检查编程中的以下设置。完成后，点击 OK 按钮。图 3-3 展示了要加载的配置文件。如果文件加载正确，则会打开一条新消息 *Flash programming completed successfully*。点击“OK”按钮。

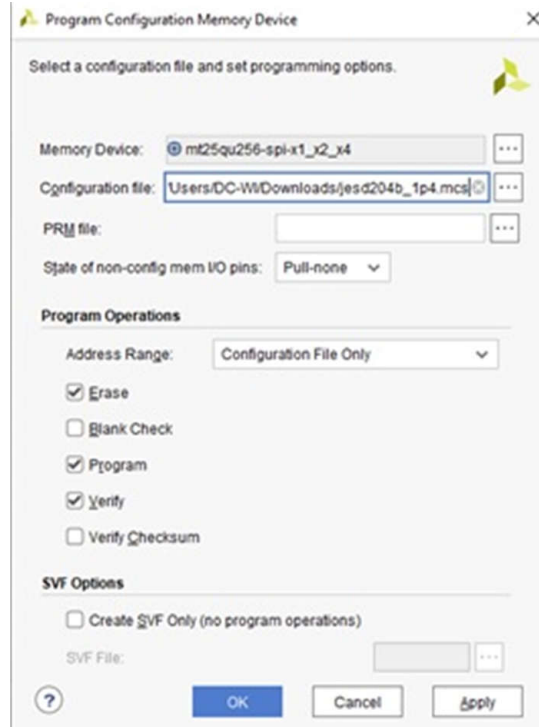


图 3-3. 配置文件

10. 要对 U6 进行编程，请在 J35 的引脚 2 至 3 上放置分流器，打开要加载的新“yy.mcs”文件，并检查编程中的以下设置。完成后，点击 OK 按钮。
11. 编程完成后，点击 SW2、FPGA RESET，以将映像加载到 FPGA 中。通过 J35 的引脚 2 至 3 上的分流器，存储在 U6 中的映像被加载到 FPGA 中。通过 J35 的引脚 1 至 2 上的分流器，存储在 U3 中的映像被加载到 FPGA 中。

3.3.3.4 USB3.0 I/O 连接

TSW14J59EVM 通过 USB 3.0 连接器 J9 和 Cypress FX3 USB3.0 控制器进行控制。这提供了在使用 Microsoft® Windows® 操作系统的 PC 上运行的 HSDC Pro GUI 与 FPGA 之间的接口。这在 USB3.0 控制器和 FPGA 之间提供了一个高速 32 位并行数据接口。

对于计算机，访问 USB 端口所需的驱动程序包含在 HSDC Pro GUI 安装软件（可从网络下载）中。驱动程序会在软件安装过程中自动安装。在 TSW14J59EVM 上，USB3.0 端口用于识别受测 EVM 的类型和序列号，加载所需的 FPGA 配置文件，从 ADC EVM 采集数据，以及将测试图形数据发送到 DAC EVM。

功率监测器 PMBus 连接器：功率监测器件 UCD90120A 通过接头 J48 进行编程。通过使用 TI Fusion GUI，用户可以对器件进行编程并监控 TSW14J59EVM 使用的所有电源轨。此接口还允许用户监控 FPGA 内核电源 U1（TI 器件型号为 TPS40428）的状态。

4 软件启动

4.1 安装说明

请按照以下步骤操作：

1. 将最新版本的 **HSDC Pro GUI** 下载到主机 PC 上的本地目录。在 TI 网站上，输入 **高速数据转换器专业版 GUI 安装程序** 即可找到该程序。
2. 解压软件包会生成一个名为“High Speed Data Converter Pro - Installer vx.xx.exe”的文件夹，其中 x.xx 是版本号。运行此程序即可开始安装。
3. 在安装软件之前，请确保从任何 TSW14xxx 电路板上拔下所有 USB 电缆。
4. 在安装过程中，按照屏幕上的说明进行操作。
5. 点击 **Install** (安装) 按钮。此时会打开一个新窗口。点击 **Next** 按钮。
6. 接受许可协议。点击 **Next** 按钮以开始安装。安装完毕后，最后再点击一次 **Next** 按钮。
7. 至此完成安装。GUI 可执行文件和关联的文件位于以下目录中：
C:\Program Files\Texas Instruments\High Speed Data Converter Pro。
8. 为受测的 TSW14J59 加电。在 EVM 和主机电脑之间连接 USB3.0 电缆。
9. 要启动 GUI，请点击以下目录中名为“High Speed Data Converter Pro.exe”的文件：
C:\Program Files\Texas Instruments\High Speed Data Converter Pro。

备注

如果已安装较旧版本的 GUI，请确保先将其卸载，然后再加载较新版本。如果 GUI 检测到线上提供了更高版本的 GUI (<http://www.ti.com.cn/tool/cn/DATACONVERTERPRO-SW>)，GUI 将协助用户从 TI 网站下载最新版本。GUI 每七天自动查询产品网站以确定是否有最新版本，但也可以通过使用下拉菜单手动调用最新版本检查：**Help**→**Check for updates**。

备注

如果最新版本的 HSDC Pro GUI 目前不支持可用的新 TI 高速数据转换器 EVM 或 JESD204C_B 接口模式，用户可使用 HSDCProv_xpax_Patch_setup 可执行文件（可在 TI 网站的高速数据转换器专业版软件产品文件夹 (<http://www.ti.com.cn/tool/cn/DATACONVERTERPRO-SW>) 下获得）将这些项目添加到 GUI 器件列表中。下载补丁后，按照屏幕上的说明运行补丁。该软件会显示添加的文件。运行补丁后，打开 HSDC Pro，ADC 和 DAC 器件下拉选择框中会显示新的器件和模式。该补丁始终特定于核心 GUI 版本，并且不适用于未明确创建补丁的 GUI 版本。

4.2 USB 接口和驱动程序

- 在 TSW14J59EVM 的 J9 与主机 PC 之间连接 USB 3.0 电缆。
 - 在 EVM 的 J38 与额定电流至少为 3A 的 +12VDC 电源之间连接提供的电源线。
 - 将 SW1 设为 ON。LED D21 (+12V 存在)、D22 (功率监测器电源) 和多个电源状态 LED 均亮起。
1. 点击在桌面面板上创建的 **High-Speed Data Converter Pro** 图标，或转到 C:\Program Files\Texas Instruments\High Speed Data Converter Pro，然后双击名为 **High Speed Data Converter Pro.exe** 的可执行文件以启动 GUI。
 2. GUI 首先尝试连接到 EVM USB 接口。如果 GUI 识别出一个有效的电路板序列号，则将打开一个显示该序列号的弹出窗口，如图 4-1 所示。用户可以将多个 TSW14J59 EVM 连接到一台主机 PC，但 GUI 一次只能连接到一个 EVM。当多个电路板连接到 PC 时，弹出窗口会显示识别的所有序列号。然后，用户选择将 GUI 与哪个电路板关联。

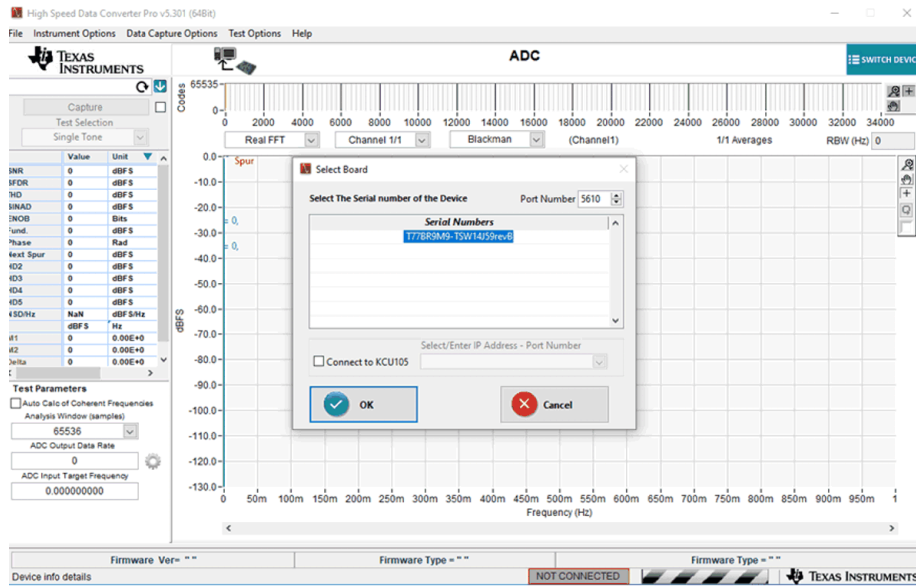


图 4-1. TSW14J59EVM 序列号

3. 点击 **OK** 按钮以将 GUI 连接到电路板。这时将打开并显示 GUI 首页。
4. 如果显示消息 **No Board Connected**，请仔细检查 USB 电缆连接，并确保电源开关 SW1 处于 ON 位置。从电路板上拔下 USB3.0 电缆，然后重新安装。点击 GUI 左上角的 **Instrument Option** 选项卡，然后选择 **Connect to the Board**。如果这样仍无法解决此问题，请检查主机 USB 端口的状态。
5. 安装软件并将 USB 电缆连接到 TSW14J59EVM 和 PC 后，TSW14J59 USB 3.0 转换器位于“Hardware Device Manager”中的“Universal Serial Bus controllers”下（如图 4-2 所示），标记为“Cypress FX3 USB StreamerExampleDevice”。拔下 USB 3.0 电缆后，设备管理器中不再显示此驱动程序。如果设备管理器窗口中显示了驱动程序，但软件仍然无法连接，则从电路板上拔下 USB 电缆，然后重新连接电缆。尝试使用 GUI 连接到电路板。如果问题仍然存在，请给电路板下电上电，然后重复前面的步骤。

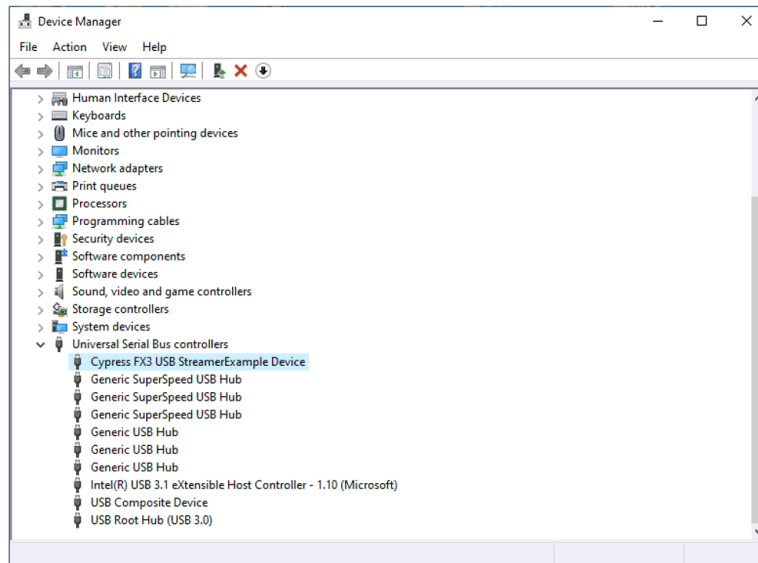


图 4-2. 硬件设备管理器

5 下载固件

TSW14J59EVM 具有一个 Xilinx® Kintex® UltraScale® XCKU5P 器件，如果未对板载 EEPROM 进行编程，该器件要求在每次下电上电运行时下载固件才能运行。所需的固件文件是随软件包提供的特殊 .bin 或 .bit 格式的文件。GUI 使用的文件当前位于以下目录中：

C:\Program Files\Texas Instruments\High Speed Data Converter Pro\14J59 Details\Firmware。请按照以下步骤操作：

1. 连接到 GUI 后，将打开一个新窗口。
2. 点击下拉箭头，这时会打开另一个窗口。根据正在测试的数据转换器 EVM，选择 ADC、DAC 或 AFE。
3. 完成此选择后，点击 GUI 左上方的下拉箭头以选择器件名称和 JMODE，如图 5-1 所示。

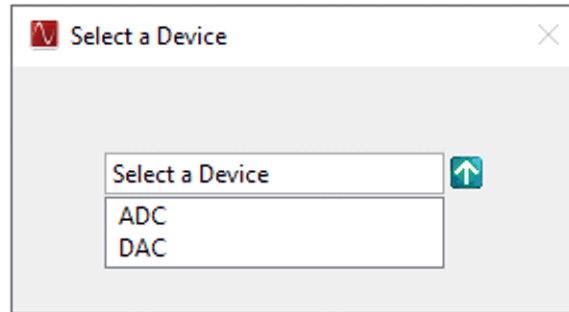


图 5-1. 选择要加载的 ADC 或 DAC 固件

4. 点击 GUI 左上方“Select ADC”和“Select Device Mode”旁边的下拉箭头。

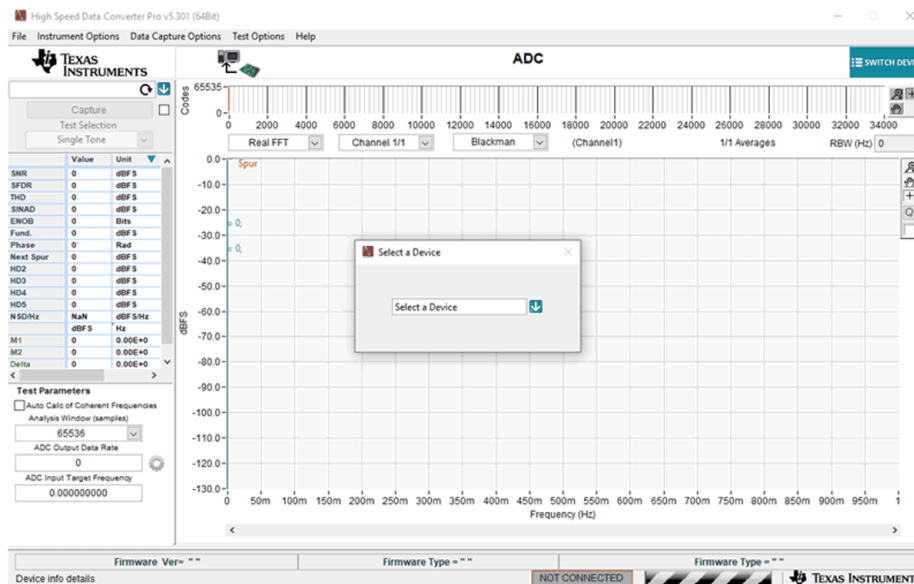


图 5-2. 高速数据转换器专业版 GUI 首页

5. 点击 GUI 左上方的两个下拉箭头，以选择器件名称和 JMODE，例如 ADC12DJxx00 和 JMODE30。

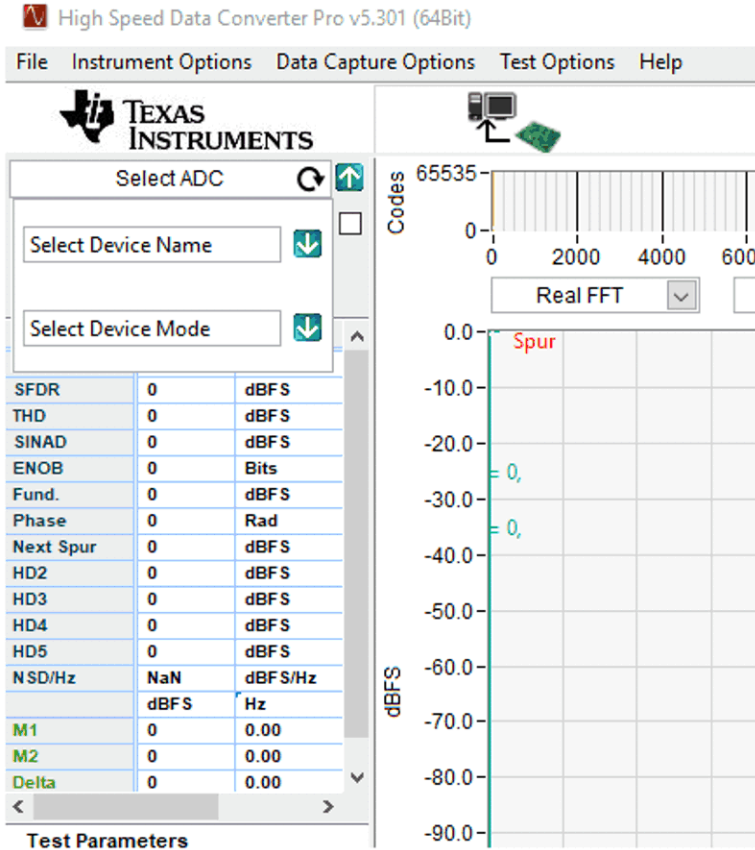


图 5-3. 选择受测器件和工作模式

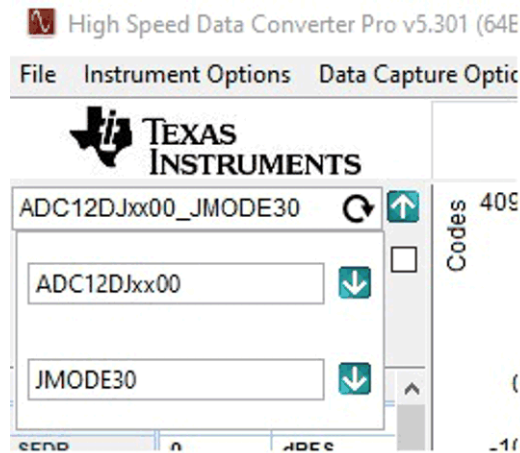


图 5-4. 使用 JMODE30 连接到 ADC12DJ3200EVM 时的示例

6. GUI 会提示用户更新 ADC 的固件。点击 Yes。GUI 将显示消息 *Downloading Firmware, Please Wait*。软件现在将固件从 PC 加载到 FPGA，这一过程大约需要 6 秒。完成后，GUI 会在右下角报告接口类型，并且红色 LED DS16 和 DS17 会亮起。

有关将 TSW14J59EVM 与 TI ADC、DAC 或 AFE JESD204C_B 串行接口 EVM 结合使用的信息，请参阅 www.ti.com 上提供的高速数据转换器专业版 GUI 用户指南和单独的 EVM 用户指南。

如果显示如图 5-5 所示的消息，请验证所有跳线均处于默认位置，并且电源和 USB 状态 LED 亮起。如果 12V 电源状态 LED 熄灭，则外部电源可能存在问题。确保该电源可以拉出至少 3A 的电流。如果可用电流过低，这可能

会阻止下载固件。拔下并重新安装 USB 连接器，然后尝试连接到电路板。如果此操作失败，请关闭然后打开电源开关，以重新初始化加电序列发生器，尝试纠正此问题。

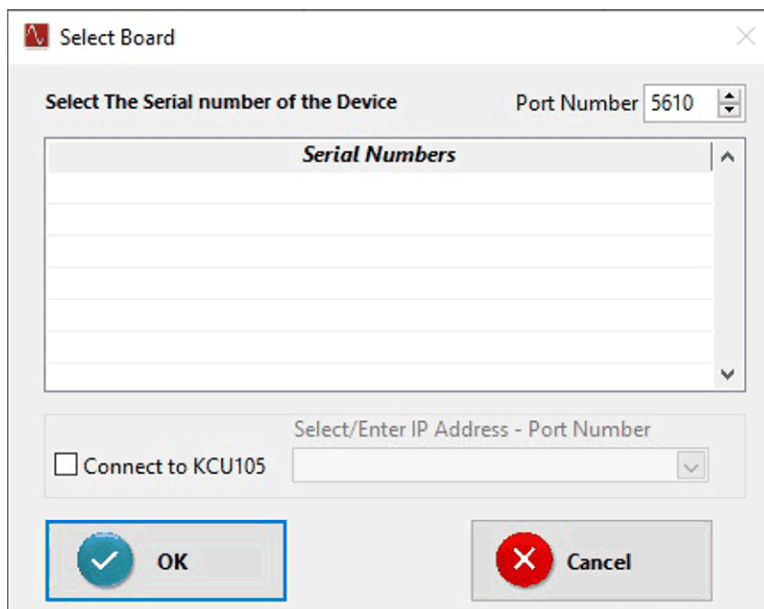


图 5-5. GUI 不连接到 EVM

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司