

User's Guide

CC33xx 硬件集成



Dylan Hubbard, Jessica M. Torres, Jonathan Cohen, and Andy Bui

摘要

本文档提供了必要的 WLAN 和低功耗 Bluetooth® 硬件运行信息，协助进行系统设计。本文档概述了 TI CC330x 集成到最终产品 PCB 的过程。在基于 TI 芯片组设计您自己的系统时，建议逐步研究下面概述的指导原则。

内容

1 引言	2
1.1 概述.....	2
2 原理图注意事项	2
2.1 原理图参考设计.....	3
2.2 电源.....	4
2.3 时钟源.....	5
2.4 射频 (RF).....	6
2.5 数字接口.....	6
3 布局布线注意事项	11
3.1 布局参考设计.....	11
3.2 IC 散热焊盘.....	15
3.3 射频 (RF).....	15
3.4 XTAL.....	17
3.5 电源.....	18
3.6 SDIO.....	19

插图清单

图 2-1. 引擎区域参考原理图.....	3
图 2-2. 射频部分的参考原理图.....	6
图 2-3. SDIO 默认输入时序.....	7
图 2-4. SDIO 默认输出时序.....	7
图 2-5. SDIO HS 输入时序.....	8
图 2-6. SDIO HS 输出时序.....	8
图 2-7. SPI 时序.....	9
图 2-8. CC33xx 与双天线共存.....	11
图 2-9. CC33xx 与单天线共存.....	11
图 3-1. 参考设计，顶层（第 1 层）.....	12
图 3-2. 参考设计，接地（第 2 层）.....	12
图 3-3. BP-CC3301 布局，顶层（第 1 层）.....	13
图 3-4. BP-CC3301 布局，接地（第 2 层）.....	13
图 3-5. M2-CC3301 布局，顶层（第 1 层）.....	14
图 3-6. M2-CC3301 布局，底层（第 2 层）.....	14
图 3-7. 参考设计散热焊盘.....	15
图 3-8. 参考设计射频路径.....	15
图 3-9. 进行射频布线测量的示例.....	16
图 3-10. 计算布线阻抗的示例.....	17
图 3-11. 来自 BP-CC3301 的 40MHz XTAL.....	17
图 3-12. XTAL 切口下的层的参考布局.....	18
图 3-13. CC33xx 电源的参考布局.....	19

图 3-14. 电源层的参考布局.....	19
图 3-15. SDIO 信号的参考布局.....	20

表格清单

表 2-1. 物料清单.....	3
表 2-2. 所需器件电源.....	4
表 2-3. 外部快速时钟 XTAL 规格.....	5
表 2-4. 外部慢速时钟要求.....	6
表 2-5. SDIO 时序参数 - 默认速度.....	8
表 2-6. SDIO 时序参数 - 高速.....	9
表 2-7. SPI 时序参数.....	10
表 2-8. UART 时序参数.....	10
表 3-1. 所有 CC33xx EVM 中使用的堆叠 (从上到下)	16

商标

SimpleLink™ is a trademark of Texas Instruments.

Wi-Fi™ is a trademark of Wi-Fi Alliance.

Bluetooth® is a registered trademark of Bluetooth SIG, Inc.

所有商标均为其各自所有者的财产。

1 引言

1.1 概述

SimpleLink™ Wi-Fi™ CC33xx 系列器件兼具经济性和可靠性，使工程师能够放心地连接更多应用。CC33xx 器件是集成了 Wi-Fi 6 和低功耗蓝牙 (BLE) 5.4 的单芯片器件。CC33XX 系列中的以下两款器件也实现引脚对引脚兼容：

- **CC3300** : 2.4GHz Wi-Fi 6 配套 IC。
- **CC3301** : 2.4GHz Wi-Fi 6 和低功耗蓝牙 5.4 配套 IC。

本指南分步介绍了集成 CC33xx 器件的硬件要求和建议。

2 原理图注意事项

CC33xx 器件设计为可以轻松地集成到任何系统中，并且只需要很少的外部元件。连接主机处理器 (MPU/MCU) 的数字接口在很大程度上取决于最终应用，具有高度灵活性：用户可以决定使用安全数字 I/O (SDIO)、串行外设接口 (SPI) 或通用异步接收器/发送器 (UART) 的任意组合进行共享 Wi-Fi 和低功耗蓝牙通信。

本节介绍了优化引擎区域原理图的最低要求。

2.1 原理图参考设计

建议尽可能遵循提供的 CC33xx 参考设计和指导原则，从而实现器件特定的数据表中列出的 CC33xx 功能以及通过认证。建议的原理图设计如 CC330x 参考设计文件中所示。

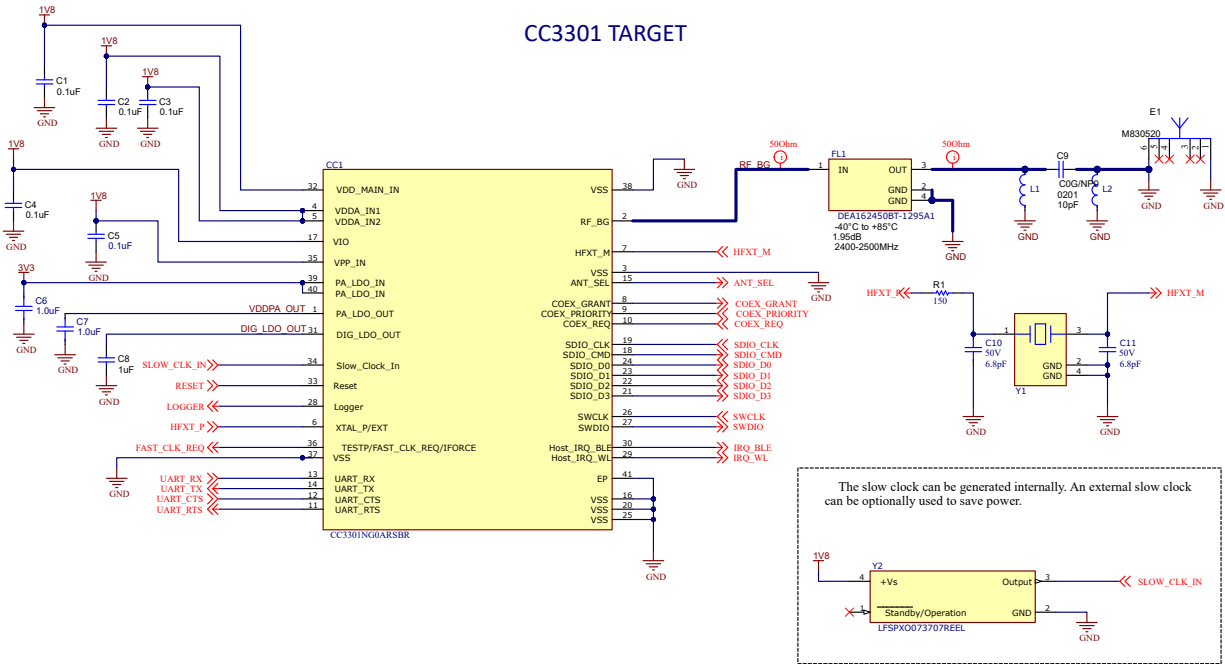


图 2-1. 引擎区域参考原理图

表 2-1. 物料清单

项目	参考编号	数量	值	器件型号	制造商	说明	封装参考
1	C ₁ 、C ₂ 、C ₃ 、C ₄ 、C ₅	5	0.1 μF	GRM033C71A104K E14D	Murata	电容，陶瓷，0.1 μF，10V，±10%，X7S，0201 匹配元件： 电容，陶瓷，10pF，50V，±5%，C0G/NP0，0201	0201
2	C ₆ 、C ₇	2	1 μF	GRM033D70J105M E01D	Murata	通用片状多层陶瓷电容器，0201，1.0 μF，X7T，+22%/-33%，20%，6.3V	0201
3	C ₈	1	1 μF	GRM155R70J105M A12D	Murata	电容，陶瓷，1 μF，6.3V，±20%，X7R，0402	0402
4	C ₉	1	10pF	GJM0335C1E100JB 01D	Murata	电容，陶瓷，10pF，25V，±5%，C0G/NP0，0201	0201
5	C ₁₀ 、C ₁₁	2	6.8pF	GJM0335C1H6R8B B01	Murata	通用片状多层陶瓷电容器，0201，6.8pF，C0G，30ppm/°C，0.25pF，50V	0201
6	R1	1	150 Ω	RC0201FR-7D150R L	YAGEO	电阻，150，1%，0.05W，0201	0201
7	CC1	1		CC3301NG0ARSBR	德州仪器 (TI)	CC3301NG0ARSBR 2.4GHz Wi-Fi 6 和低功耗蓝牙 5.2 组合收发器	WQFN40

表 2-1. 物料清单 (续)

项目	参考编号	数量	值	器件型号	制造商	说明	封装参考
8	Y2	1		TZ3877AAAO44	Tai-Saw Technology	晶体单元 SMD 2.0x1.6 40.0MHz	SMT4_2MM05_ 1MM65
9	FL1	1		DEA162450BT-1295 A1	TDK	2.45GHz 中心频带通射 频滤波器, 100MHz 带 宽, 1.8dB 0603, 3 PC 焊盘	SMT_FILTER_1 MM60_0MM80
10	可选: Y1 1	1		LFSPX0073707REE L	IQD 频率产品	可选: 32.768kHz XO (标准) CMOS 振荡 器 1.8V 启用/禁用 4- SMD, 无引线	SMT4_2MM0_1 MM6

1. 可在内部生成慢速时钟。与在内部提供慢速时钟相比, 可以选择使用外部慢速时钟, 从而降低能耗。

2.2 电源

有两个电源轨必须路由到 CC33xx 器件:

- 1.8 V : VDD_MAIN_IN、VDDA_IN1、VDDA_IN2、VIO 和 VPP_IN
- 3.3V : PA_LDO_IN

CC33xx 器件具有内部 LDO, 用于调节数字内核、存储器和功率放大器电源。可通过 DIG_LDO_OUT 和 PA_LDO_OUT 测量 LDO 的输出。请注意, 在将固件加载到器件之前, 不会启用 PA_LDO_OUT 的输出。

有关电源引脚工作条件的详细信息, 请参阅表 2-2。

表 2-2. 所需器件电源

引脚	信号	方向 (I/O)	所需电压 (典型值)
1	PA_LDO_OUT	O	不适用
31	DIG_LDO_OUT	O	不适用
17	VIO	I/O	1.8V
32	VDD_MAIN_IN	I	1.8V
4	VDDA_IN1	I	1.8V
5	VDDA_IN2	I	1.8V
35	VPP_IN	I	1.8V
39 和 40	PA_LDO_IN	I	3.3V

2.2.1 电源输入/输出要求

电源连接按关键性降序列出。按此顺序优先考虑旁路电容器的位置, 从而更大限度地提高射频性能。

- PA_LDO_OUT (引脚 1) : 提供去耦电容器 (1.0uF)
- VDDA_IN1 (引脚 4) : 提供去耦电容器 (0.1uF)
- VDDA_IN2 (引脚 5) : 提供去耦电容器 (0.1uF)
- DIG_LDO_OUT (引脚 31) : 提供去耦电容器 (1.0uF)
- VPP_IN (引脚 35) : 提供去耦电容器 (0.1uF)。
- VIO (引脚 17) : 提供去耦电容器 (0.1uF)
- VDD_MAIN_IN (引脚 32) : 提供去耦电容器 (0.1uF)

2.2.2 上电序列

CC33xx 器件集成的一个关键点是必须遵循正确的加电和断电序列，避免损坏器件。

- VDD_MAIN_IN 和 VIO 必须由同一电源供电，从而防止加电期间 IO 出现干扰。
- VDDA_IN1/IN2 和 PA_LDO_IN 可独立于所有其他电源来供电。
- 在对复位取消置位（高电平）之前，所有电源（VDD_MAIN_IN、VIO、VDDA_IN1/2 和 PA_LDO_IN）都必须可用。
- 所有外部电源稳定后，复位引脚应保持低电平约 10 μ s。
- 当具有外部慢速时钟时，在对复位取消置位（高电平）之前确保时钟稳定。

2.2.2.1 SOP 模式

Logger（引脚 28）和 Host_IRQ_WL（引脚 29）信号被视为电源检测引脚。将这些引脚连接到主机时，请确保 Host_IRQ_WL（引脚 29）在加电期间保持在逻辑低电平，而 Logger（引脚 28）在加电期间保持在逻辑高电平。

如果 SOP 引脚连接到可能影响这些线路逻辑电平的主机，请考虑添加一个可选的下拉/上拉电阻器。

2.3 时钟源

CC33xx 器件使用两个时钟来运行：

- 在 40MHz 下运行的快速时钟，用于 WLAN/BLE 功能
- 在 32.768kHz 下运行的慢速时钟，用于低功耗模式

必须从外部生成快速时钟。慢速时钟可以由器件在内部生成，也可以由振荡器在外部生成。

需要注意的是，时钟频率的偏差会体现为射频偏差。有关根据布局谨慎选择外部负载电容器 (C_L) 进行频率调整的更多信息，请参阅 [Simplelink 频率调优](#)。

2.3.1 快速时钟

CC330x 器件支持基于晶体的快速时钟 (XTAL)。使用适当的负载电容器和 150 Ω 电阻器，在 HFXT_P 和 HFXT_M 引脚之间直接馈送晶体。请参阅以下设计要求：

1. 在靠近器件的 HFXT_P（引脚 6）上且在 XTAL 之前提供 150 Ω 电阻器。
2. XTAL 必须跨 HFXT_P（引脚 6）和 HFXT_M（引脚 7）连接。
3. 在 XTAL 的两个引脚上提供负载电容器 (6.8pF)。请注意，推荐的 6.8pF 负载电容器基于 TI 电路板布局布线。
4. 根据客户电路板布局布线，可能需要调整负载电容。

有关此主题的进一步指导，请参阅 [Simplelink 频率调优](#)。

快速时钟元件必须满足表 2-3 中所示的要求。

表 2-3. 外部快速时钟 XTAL 规格

参数	测试条件	最小值	典型值	最大值	单位
支持的频率			40		MHz
频率精度	初始值 + 温度 + 老化			± 25	ppm
负载电容, C_L (1)		5		13	pF
等效串联电阻, ESR				30	Ω
驱动电平			100		μ W

(1) 负载电容 $C_L = [C1 \cdot C2] / [C1 + C2] + C_p$ ，其中 C1、C2 分别是连接在 HFXT_P 和 HFXT_M 上的电容器， C_p 是寄生电容（通常为 1pF 至 2pF）。例如，对于 C1 = C2 = 6.2pF 且 $C_p = 2pF$ ，则 $C_L = 5pF$ 。

2.3.2 慢速时钟

慢速时钟由器件内部振荡器生成，但也可使用外部振荡器。

2.3.2.1 内部生成的慢速时钟

为了更大限度地减少外部元件，可通过内部振荡器生成慢速时钟。但是，使用此时钟不如从外部提供慢速时钟那么精确，并且消耗更多的电能。对于这种情况，SLOW_CLK_IN 引脚应保持未连接状态。

2.3.2.2 采用外部振荡器的慢速时钟

为了实现更优功耗，可以由振荡器在外部生成，也可以从系统中的其他地方提供慢速时钟。外部源必须满足表 2-4 中所示的要求。此时钟应馈送到 CC330x 引脚 SLOW_CLK_IN，并且应在 nRESET 取消置位并启用器件之前保持稳定。

表 2-4. 外部慢速时钟要求

参数	说明	最小值	典型值	最大值	单位
输入慢时钟频率	方波		32768		Hz
频率精度	初始值 + 温度 + 老化			±250	ppm
输入占空比		30	50	70	%
T_r/T_f	上升和下降时间			100	ns
V_{IL}	输入低电平	0		$0.35 \times V_{IO}$	V
V_{IH}	输入高电平	$0.65 \times V_{IO}$		1.95	V
	输入阻抗	1			M Ω
	输入电容值			5	pF

2.4 射频 (RF)

对于 CC330x 系列器件，需要为所有射频 (RF) 功能连接 RF_BG (引脚 2)。在到达任何辐射或传导元件之前，需要在这条路径上放置一个带通滤波器 (BPF)。有关建议的 BPF，请参阅表 2-1。我们还建议实施阻抗匹配网络 (例如 “PI” 或 “L” 网络) 来获得出色射频性能。表 2-2 是射频路径的原理图设计示例。如果不遵循这些建议，可能会导致性能与数据表规格存在差异。

如果实施射频开关 (用于利用天线分集)，请确保 RF_BG (引脚 2) 信号先通过带通滤波器，然后再通过开关。带通滤波器的输出应路由到开关的公共端口。可以对 ANT_SEL (引脚 15) 进行路由并将其用作开关信号。

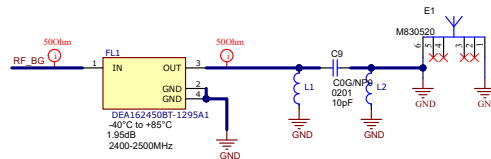


图 2-2. 射频部分的参考原理图

2.5 数字接口

CC33xx 上的所有 IO 信号均在 1.8V (典型值) 下运行。如果在系统中使用更高电压，请考虑使用电平转换器。

2.5.1 复位

主机应该连接并控制一个低电平有效信号，即复位（引脚 33）信号。如果使用非托管设置，则应在电源稳定后将复位引脚拉至高电平。有关加电顺序的详细信息，请参阅第 2.2.2 节。

当复位引脚为低电平时，器件进入有效关断模式。重新启用器件后，必须重新下载固件以确保正常运行。

2.5.2 安全数字输入输出 (SDIO)

SDIO 是用于无线通信的主要主机接口。CC33xx 器件还支持适用于 Wi-Fi 和低功耗蓝牙协议的共享 SDIO 接口。

根据 SDIO 规范，主机希望上拉这些数据线（SDIO_D0、SDIO_D1、SDIO_D2、SDIO_03、SDIO_CMD）。请注意，SDIO 数据线路上的任何元件（例如电平转换器）都不会将状态更改为逻辑低电平。

2.5.2.1 SDIO 时序图 - 默认速度

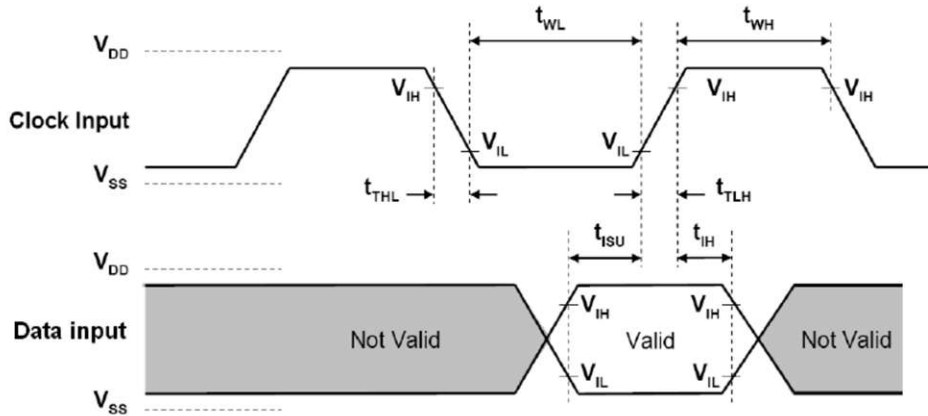


图 2-3. SDIO 默认输入时序

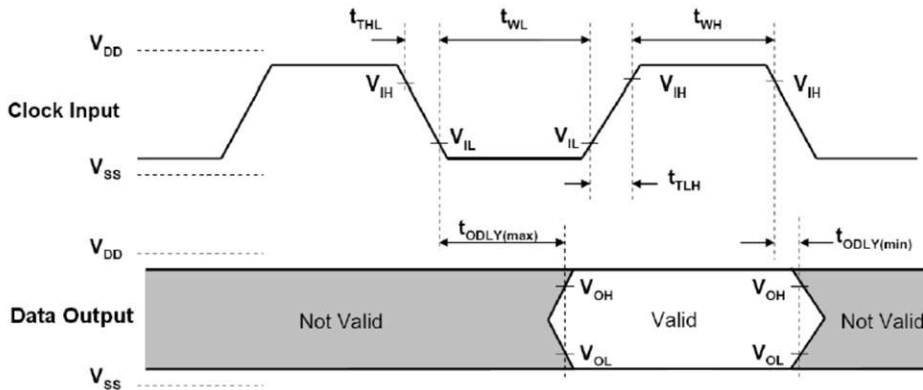


图 2-4. SDIO 默认输出时序

表 2-5. SDIO 时序参数 - 默认速度

参数	说明	最小值	最大值	单位
f_{clock}	时钟频率, CLK		26	MHz
t_{High}	高电平周期	10		ns
t_{Low}	低电平周期	10		
t_{TLH}	上升时间, CLK		10	
t_{THL}	下降时间, CLK		10	
t_{ISU}	建立时间, 在 CLK \uparrow 前输入有效	5		
t_{IH}	保持时间, 在 CLK \uparrow 后输入有效	5		
t_{ODLY}	延迟时间, CLK \downarrow 到输出有效	2	14	
C_L	输出中的容性负载	15	40	pF

2.5.2.2 SDIO 时序图 - 高速

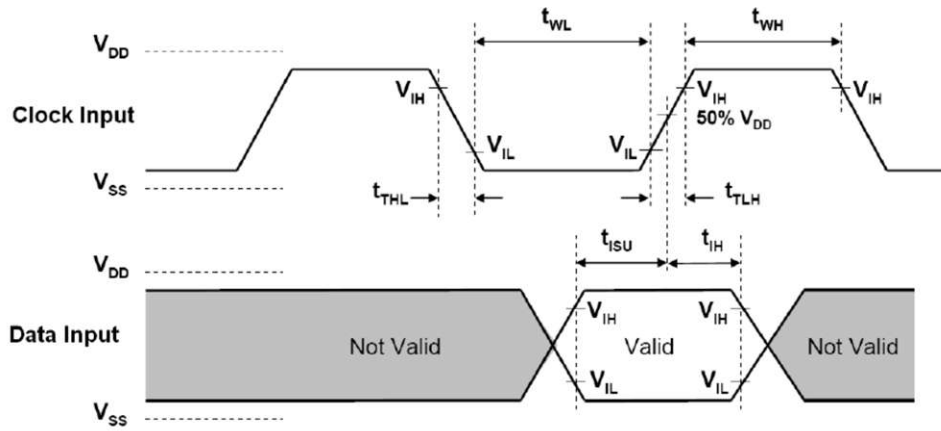


图 2-5. SDIO HS 输入时序

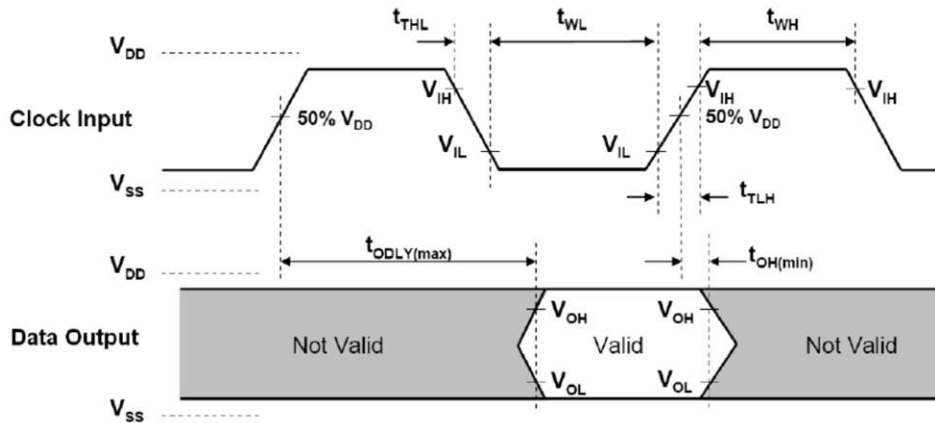


图 2-6. SDIO HS 输出时序

表 2-6. SDIO 时序参数 - 高速

参数	说明	最小值	最大值	单位
f_{clock}	时钟频率, CLK		52	MHz
t_{High}	高电平周期	7		ns
t_{Low}	低电平周期	7		
t_{TLH}	上升时间, CLK		3	
t_{THL}	下降时间, CLK		3	
t_{ISU}	建立时间, 在 CLK \uparrow 前输入有效	6		
t_{IH}	保持时间, 在 CLK \uparrow 后输入有效	2		
t_{ODLY}	延迟时间, CLK \downarrow 到输出有效	2	14	
C_L	输出中的容性负载	15	40	pF

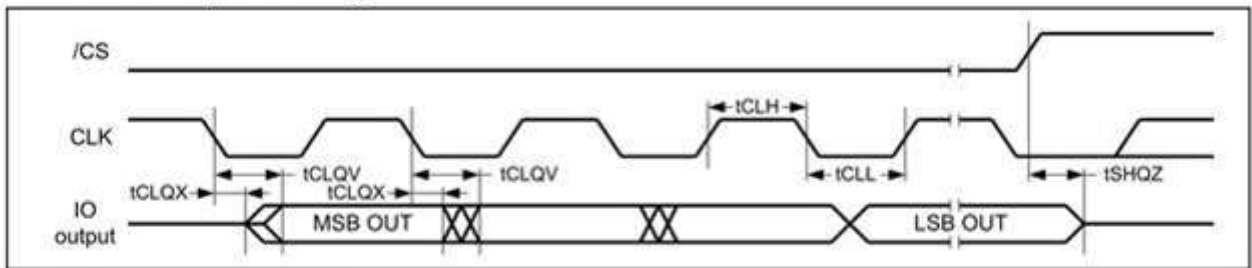
2.5.3 串行外设接口 (SPI)

SPI 信号线路可以用作无线通信的主机接口。CC330x 器件还支持 BLE 和 WLAN 的共享 SPI 接口。CC33xx 上的 SPI 线路包括：

- SDIO_CMD (SPI PICO)
- SDIO_CLK (SPI 时钟)
- SDIO_D3 (SPI CS)
- SDIO_D0 (SPI POCI)

2.5.3.1 SPI 时序图

9.7 Serial Output Timing



9.8 Serial Input Timing

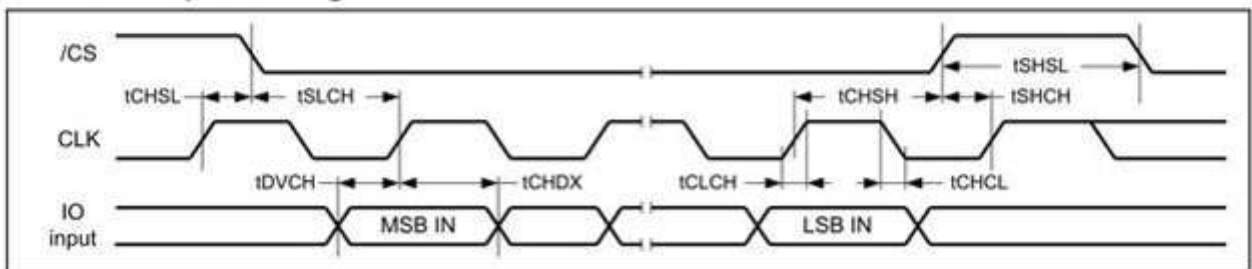


图 2-7. SPI 时序

表 2-7. SPI 时序参数

参数	说明	最小值	最大值	单位
f _{clock}	时钟频率, CLK		26	MHz
t _{High}	高电平周期	10		ns
t _{Low}	低电平周期	10		
t _{TLH}	上升时间, CLK		3	
t _{THL}	下降时间, CLK		3	
t _{CSsu}	CS 建立时间, CS 在 CLK ↑ 前有效	3		
t _{ISU}	PICO, 输入在 CLK ↑ 前有效	3		
t _{IH}	PICO 保持时间, 输入在 CLK ↑ 后有效	3		
t _{Dr} , t _{Df} - 有效	延迟时间, CLK ↑/↓ 到输出有效	2	10	
t _{Dr} , t _{Df} - 睡眠	延迟时间, CLK ↑/↓ 到输出有效		12	
C _L	输出中的容性负载	15	40	pF

2.5.4 通用异步接收器/发送器 (UART)

UART 是 BLE 的中心主机接口, 支持主机控制器接口 (HCI) 传输层。将 UART 与主机一起使用时, 请注意正确连接它们:

- 引脚 14 是器件的 UART_TX, 必须连接到主机侧 RX
- 引脚 13 是器件的 UART_RX, 必须连接到主机侧 TX
- 引脚 12 是器件的 UART_CTS, 必须连接到主机侧 RTS
- 引脚 13 是器件的 UART_RTS, 必须连接到主机侧 CTS

表 2-8. UART 时序参数

参数	条件	最小值	典型值	最大值	单位
波特率		37.5		4364	kbps
每字节波特率精度	接收/发送	-2.5		+1.5	%
每位波特率精度	接收/发送	-12.5		+12.5	%
CTS 低电平至 TX_DATA 开启		0	2		ms
CTS 高电平至 TX_DATA 关闭	硬件流控制			1	字节
CTS 高电平脉冲宽度		1			位
RTS 低电平至 RX_DATA 开启		0	2		ms
RTS 高电平至 RX_DATA 关闭	中断设置为 1/4 FIFO			16	字节

2.5.5 串行线调试 (SWD)

CC33xx 上的两个串行线路调试引脚包括 SWCLK (引脚 26) 和 SWDIO (引脚 27)。这些信号用于各种类型的调试 (如射频测试), 应路由到测试点来进行故障排除。

2.5.6 共存性

共存特性是一种方法, 用于组织在相同频段运行的通信协议的无线数据包流量。CC33xx 充当 Coex 主器件并与 Coex 辅助器件进行通信。CC33xx 支持用于共存的三线数据包流量仲裁 (PTA) 接口。CC33xx 上的共存信号包括:

- COEX_GRANT (引脚 8) - 由 Coex 主器件控制的输入信号。表示 PTA 决策的响应。
- COEX_PRIORITY (引脚 9) - 由 Coex 辅助器件控制的输出信号。表示请求信号的优先级。
- COEX_REQ (引脚 10) - 由 Coex 辅助器件控制的输出信号。表示使用共享频段的请求。

CC33xx 上的这三个信号应路由至 Coex 辅助器件上的匹配共存引脚。默认情况下启用共存，并且可以在 INI 文件中配置为内部和外部。可以通过为每个器件使用一根天线（同时针对主器件和辅助器件）或两根天线来实施共存。图 2-8 和图 2-9 提供了在低功耗蓝牙器件中使用共存功能的直观示例。

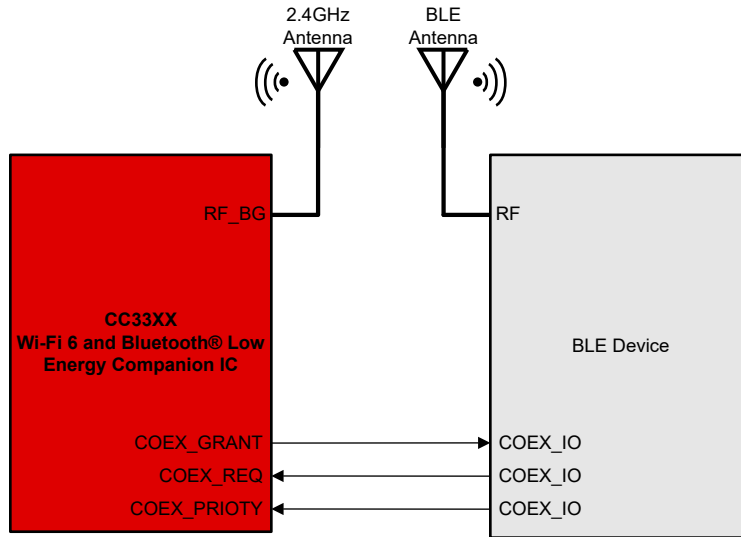


图 2-8. CC33xx 与双天线共存

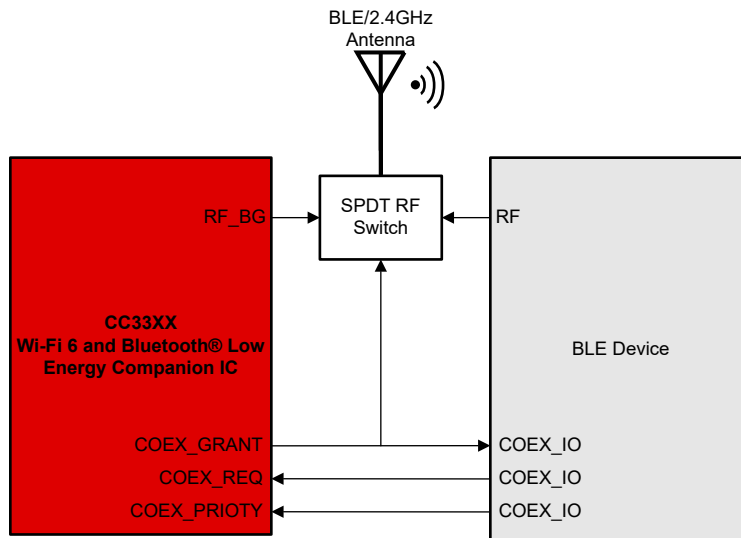


图 2-9. CC33xx 与单天线共存

3 布局布线注意事项

CC33xx 器件设计为可以轻松集成到任何系统中，并且只需要很少的外部元件。连接主机处理器 (MPU/MCU) 的数字接口在很大程度上取决于最终应用，具有高度灵活性：用户可以决定使用 SDIO、SPI 或 UART 的任意组合进行共享 Wi-Fi 和 BLE 通信。

本节介绍了优化引擎区域布局的最低要求。

3.1 布局参考设计

建议尽可能遵循提供的参考设计和指导原则，从而实现数据表中列出的 CC33xx 功能以及通过认证。在包括敏感射频元件和布线在内的引擎区域，这些布局指导原则尤其重要。

以下设计采用了本文档中给出的布局指导原则。请将以下资源作为参考源：

- [CC330x 参考设计](#)

- [BP-CC3301](#)
- [M2-CC3301](#)

下图包括所有三种设计的顶层 (第 1 层) 和接地层 (第 2 层) 上的 CC33xx 引擎区域。

在继续进行任何涉及 CC33xx 的硬件构建之前, 建议提交设计以供审核。请注意, 根据设计要求, 参考设计中显示的引擎区域可以根据需要旋转。

3.1.1 参考设计布局

图 3-1 是从 CC330x 参考设计文件中提取的样图。

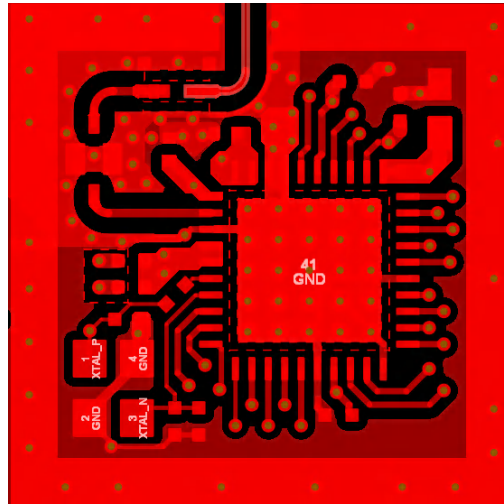


图 3-1. 参考设计, 顶层 (第 1 层)

图 3-2 是从 CC330x 参考设计文件中提取的样图。

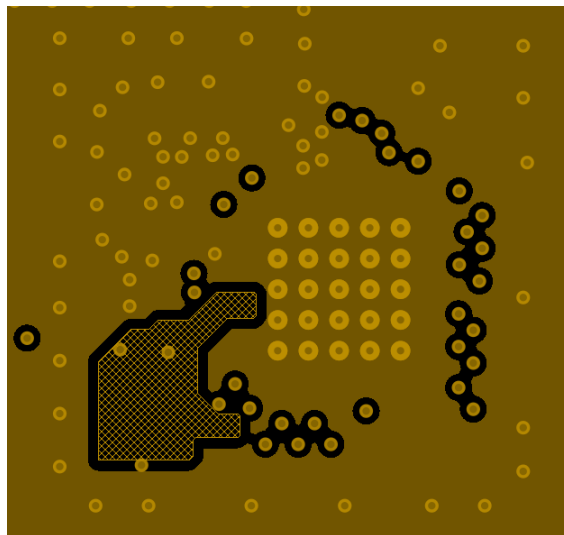


图 3-2. 参考设计, 接地 (第 2 层)

3.1.2 BP-CC3301 设计布局

图 3-3 来自 BP-CC3301 设计文件。

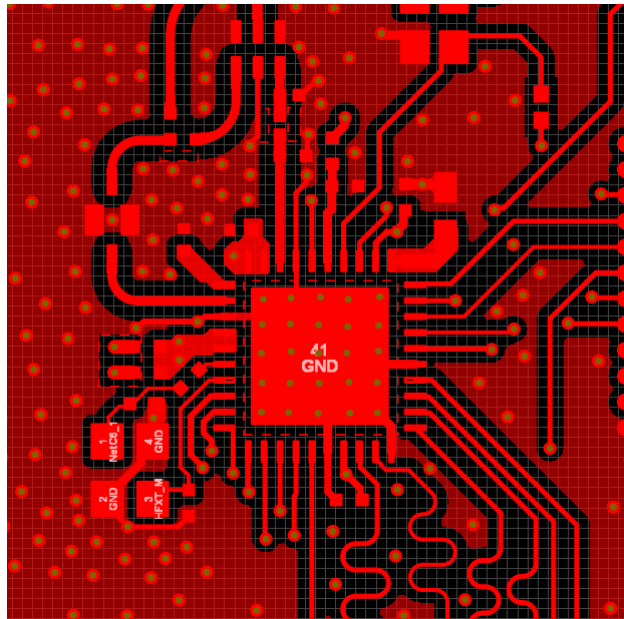


图 3-3. BP-CC3301 布局，顶层 (第 1 层)

图 3-4 来自 BP-CC3301 设计文件。

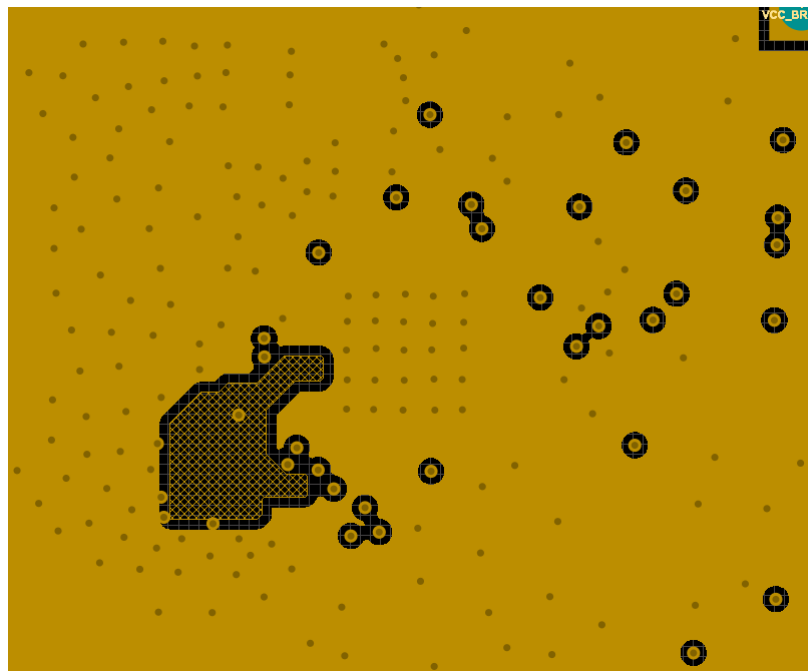


图 3-4. BP-CC3301 布局，接地 (第 2 层)

3.1.3 M2-CC3301 设计布局

图 3-5 是从 M2-CC3301 设计文件中提取的样图。

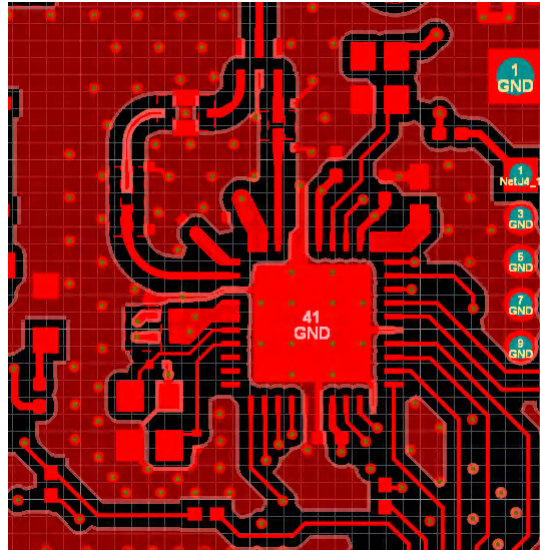


图 3-5. M2-CC3301 布局，顶层 (第 1 层)

图 3-6 是从 M2-CC3301 设计文件中提取的样图。

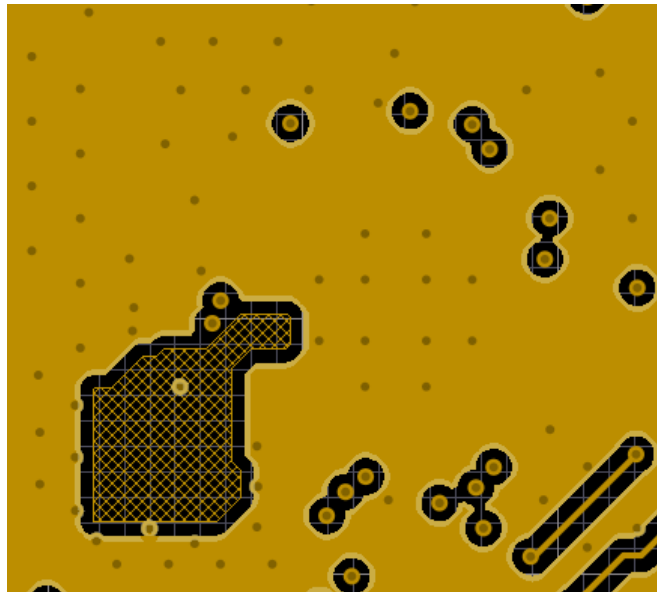


图 3-6. M2-CC3301 布局，底层 (第 2 层)

3.2 IC 散热焊盘

在 IC 下方，顶层应该有一个连续的接地平面，均匀分布着 25 个过孔，如图 3-7 中所示。这对于散热和优化射频性能非常重要。

图 3-7 是从 CC330x 参考设计文件中提取的样图。

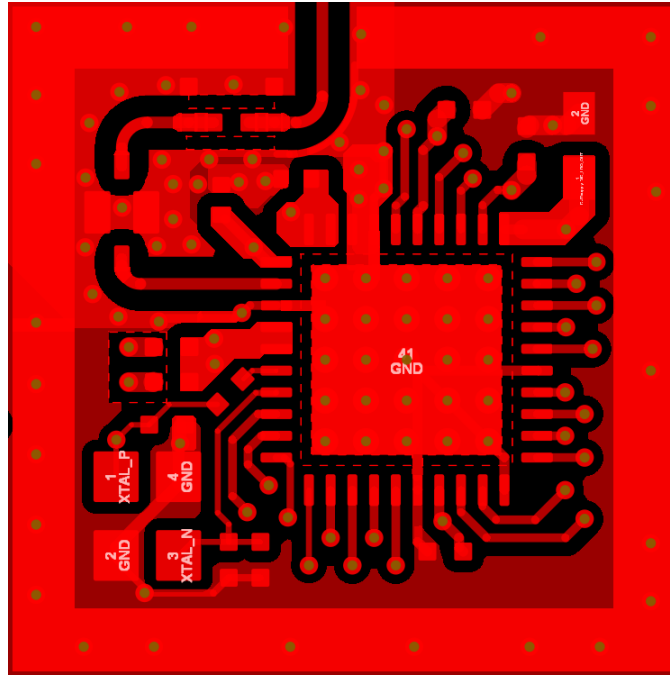


图 3-7. 参考设计散热焊盘

3.3 射频 (RF)

下面的图 3-8 显示了参考设计中的射频部分。为了达到峰值性能，设计布局的这个区域时必须特别小心。不良布局会导致输出功率、EVM、灵敏度和频谱屏蔽的性能下降。

图 3-8 是从 CC330x 参考设计文件中提取的样图。

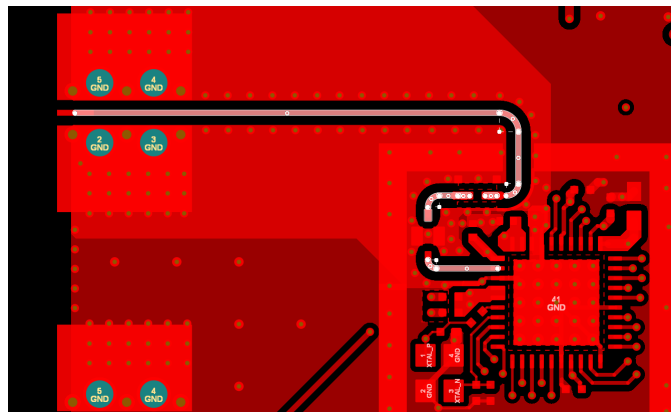


图 3-8. 参考设计射频路径

除了尽可能遵循参考设计，还请遵守下面所列的指导原则。

- 射频布线应具有恒定的 $50\ \Omega$ 特性阻抗。通过根据电介质、层堆叠、接地屏幕间距和布线厚度来匹配 CPWG，从而实现此阻抗。这些参数在整个布线长度上应保持一致。

- 整个射频布线只应位于 PCB 的顶层，并且紧挨着下面的层应是一个恒定的接地平面 (XTAL 切口除外) 作为布线参考。
- 射频布线应尽可能干净、笔直，在天线之前，除了带通滤波器和匹配滤波器之外没有任何元件。这是为了避免不必要的元件与元件耦合。如果不能使用直射频布线，则可接受圆形曲线。
- 射频布线应尽可能与其他元件隔离来减少噪声。接地平面应环绕射频布线，且接地过孔拼接之间的距离应小于最小波长的 1/8。
- 带通滤波器应尽可能远离 RF_BG 引脚 (引脚 2) 以及引脚 4 和 5 上的 VDDA 去耦电容器 (在设计空间限制范围内)。
- 应在带通滤波器 (BPF) 的两个接地焊盘之间放置一个接地过孔。应连接 BPF 两侧的接地平面，以便为整个区域启用一个公共接地平面。在 BPF 和 PA_LDO_OUT 去耦电容器 (引脚 1) 之间的接地平面中，应增加接地过孔拼接。
- 射频布线附近不应有高频信号布线或测试点。

影响射频性能地另一个有效因素是堆叠。例如，表 3-1 包含 BP-CC3301 设计中使用的堆叠 (从上到下)。

表 3-1. 所有 CC33xx EVM 中使用的堆叠 (从上到下)

层	名称	厚度	ϵ_r
	顶部阻焊层		
	顶部焊接	1.00mil	3.5
1	顶层	1.85mil	
	电介质 1	5.48mil	4.2
2	L02_GND	1.26mil	
	电介质 2	42.82mil	4.2
3	L03_PWR	1.26mil	
	电介质 3	5.48mil	4.2
4	底层	1.85mil	
	底部阻焊层	1.00mil	3.5
	底部阻焊层		

来自器件的射频信号使用共面波导 (CPW-G) 结构路由到天线。此结构为滤波器间隙实现更大程度的隔离，为射频线路提供更好的屏蔽。为了实现 50 欧姆的阻抗，必须考虑堆叠和布线测量。图 3-9 和图 3-10 以 BP-CC3301 EVM 为例展示了计算布线阻抗的示例。

此图像来自 BP-CC3301 设计文件。

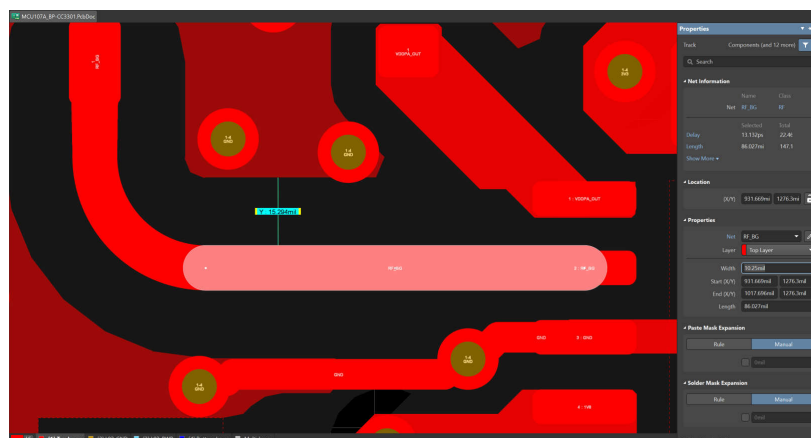


图 3-9. 进行射频布线的示例

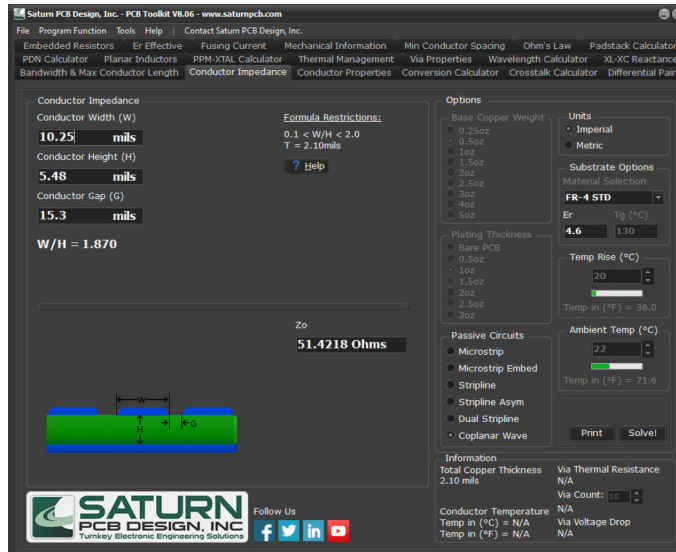


图 3-10. 计算布线阻抗的示例

3.4 XTAL

图 3-11 显示了 40MHz XTAL 的放置和布局及其与 CC33xx IC 的连接。

图 3-11 来自 BP-CC3301 设计文件。



图 3-11. 来自 BP-CC3301 的 40MHz XTAL

集成 XTAL 时，请遵循以下准则：

- 将 XTAL 连接到 CC3301 (XTAL_P 和 XTAL_M) 的布线应尽可能短且布线长度一致。
- 在 XTAL_P 引脚上尽可能靠近 CC33xx 的位置放置一个 150 Ω 电阻器。
- 两个负载电容器应与 XTAL 的边沿平行。
- 在晶体下方的一层 (第 2 层) 上，在 XTAL 和负载电容器区域下方放置一个切口。检查下方的层 (第 3 层) 在同一区域下方是否有良好的接地。有关可视化表示，请参阅图 3-12。
- 尽可能增加 XTAL 周围的接地过孔拼接，来实现出色的隔离性能。

图 3-12 是从 M2-CC3301 设计文件的第 3 层提取的样图。

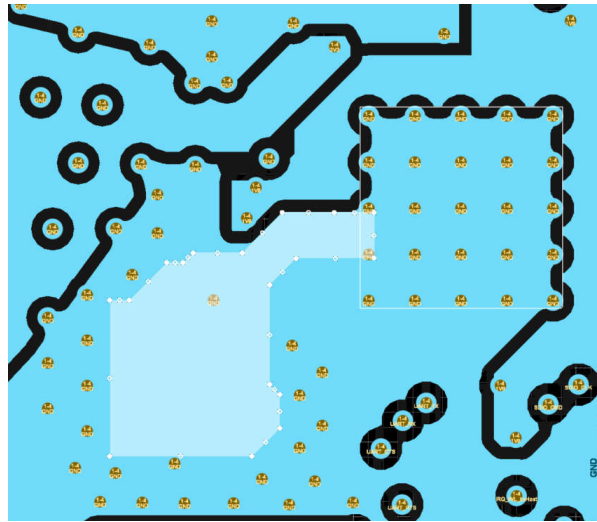


图 3-12. XTAL 切口下的层的参考布局

3.5 电源

电源、接地布线和去耦电容器对于实现优化布局非常重要。因为去耦电容器会靠近器件和电源的射频引脚和布线，因此布线必须足够粗才能支持器件所需的电流。

- PA_LDO_OUT (引脚 1) : 建议将去耦电容器放置在靠近器件引脚的位置，并使用足够粗的布线来实现到电容器的低阻抗路径。有关可视化表示，请参阅图 3-13。
- VDDA_IN1 和 VDDA_IN2 (引脚 4 和 5) : 去耦电容器的电源侧必须与一个带有两个电源过孔 (每个去耦电容器一个) 的多边形区域短接在一起。每个电容器的接地侧必须通过单独的过孔直接接地 (不要短接在一起) ，并与顶层接地平面的其余部分隔离。
- 对于 1.8V 电源传输，必须使用粗布线或电源平面来承载 VDD_MAIN_IN、VIO、VDDA_IN1、VDDA_IN2 和 VPP_IN 中所需的总电流消耗量。有关最大电流消耗，请参阅表 2-2。
- 1.8V 路径必须位于器件周围的一层上，不能是顶层或接地层 (将其放置在第 3 层或第 4 层) 。这样，电源路径不能中断顶层 (第 1 层) 或连续接地层 (第 2 层) 上的射频布线。每个 1.8V 电源仅使用一个过孔，1.8V 电源电流不得在器件下方流动。
- 对于 3.3V 电源传输，必须使用粗布线或电源平面来承载 PA_LDO_IN 所需的电流消耗量。有关详细信息，请参阅表 2-2。电源传输也必须置于一个非顶层或接地层的层上 (第 3 层或第 4 层) 。
- PA_LDO_IN (引脚 39 和 40) : 这两个引脚必须与一个实心区域短接在一起。去耦电容器应靠近器件放置。如果可能，使用两个过孔来提供 3.3V 电源轨。
- 引脚 37 和 38 的接地端必须与一个实心区域短接在一起。这个实心区域应该连接至 IC 散热接地焊盘。
- 引脚 3 的接地端必须短接到 IC 下方的散热焊盘以及短接到与 RF 布线相邻的接地平面。

图 3-13 来自 BP-CC3301 设计文件。

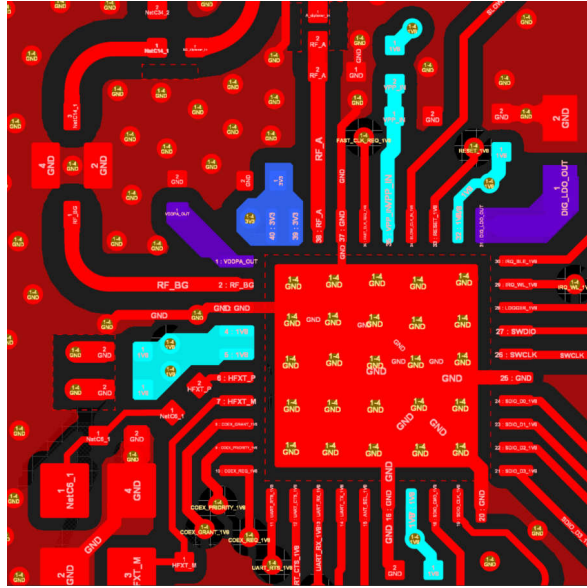


图 3-13. CC33xx 电源的参考布局

图 3-14 是从 M2-CC3301 设计文件中提取的样图。



图 3-14. 电源层的参考布局

3.6 SDIO

SDIO 是与主机处理器连接用于实现 WLAN 功能的主要通信接口，也可用于共享 SDIO 协议中的 BLE 功能。由于时钟原因，这些信号特别敏感，因此应按原样设计。

SDIO 线路包括 SDIO_CLK、SDIO_CMD、SDIO_D0、SDIO_D1、SDIO_D2 和 SDIO_D3。特别是 SDIO_CLK 信号非常敏感，应特别关注。为了确保实现可靠的 SDIO 通信，应考虑以下布局注意事项：

- 建议 SDIO 线路的宽度至少为 5mil。
- SDIO 布线应尽可能远离其他数字或模拟信号布线。
- 建议在 SDIO 总线周围添加接地屏蔽。

- SDIO_CLK 必须通过接地过孔 (拼接过孔) 和相邻的接地平面与所有其他信号隔离。信号布线的间隙应至少为其他 SDIO 信号布线宽度的两倍。
- 将 SDIO 线路相互平行布线，长度要尽可能短 (以便减少传播延迟)，其间隙为布线宽度的 1.5 倍。
- SDIO 布线的长度必须在 20mil 容差范围内进行匹配，以便在所有布线上同时提供采样数据。有关长度调优的直观示例，请参阅图 3-15。

图 3-15 来自 BP-CC3301 设计文件。

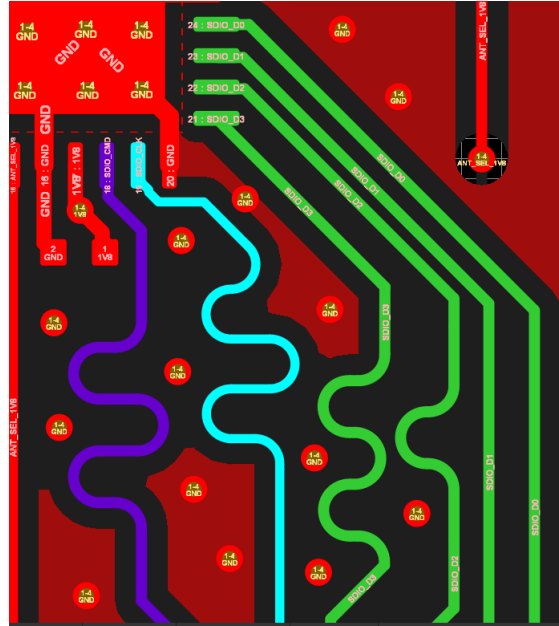


图 3-15. SDIO 信号的参考布局

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司