



摘要

本迁移指南介绍了在 F28003x 和 F28P55x C2000™ 实时 MCU 之间迁移时需要注意的硬件和软件差异。本文档提供了上述两个 MCU 的方框图，直观地展示了二者的异同点，还重点介绍了采用器件比较表中所有可用封装时两种器件的独特功能。F28003x 和 F28P55x 器件有三种共同的封装：100 引脚、80 引脚和 64 引脚，因此添加了 PCB 硬件小节，以帮助在三种共同的封装之间进行迁移。数字通用输入/输出 (GPIO) 和模拟多路复用比较表展示了两种 MCU 的引脚功能，这为在两种器件之间的迁移提供了有关硬件设计和信号路由的良好参考。最后，与 F28003x 器件一样，F28P55x 软件仅支持 EABI 格式。

内容

1 F28003x 和 F28P55x 之间的特性差异	3
1.1 F28003x 和 F28P55x 特性比较.....	3
2 PCB 硬件更改	5
2.1 100 引脚 PZ、80 引脚 PNA 和 64 引脚 PM 封装的 PCB 硬件更改.....	6
2.2 F28003x 和 F28P55x 之间针对新 PCB 和现有 PCB 的 100 引脚 PZ、80 引脚 PNA 和 64 引脚 PM 迁移.....	8
2.3 GPIO 输入缓冲器控制寄存器.....	10
3 系统特性差异注意事项	11
3.1 F28P55x 中的新特性.....	11
3.2 通信模块更改.....	12
3.3 控制模块更改.....	13
3.4 模拟模块差异.....	13
3.5 其他器件更改.....	15
3.6 电源管理.....	20
3.7 内存模块更改.....	20
3.8 GPIO 多路复用更改.....	22
3.9 模拟多路复用更改.....	29
4 从 F28003x 到 F28P55x 的应用程序代码迁移	33
4.1 C2000Ware 头文件.....	33
4.2 链接器命令文件.....	33
4.3 C2000Ware 示例.....	33
5 与 F28P55x 中的新特性相关的特定用例	33
5.1 PGA.....	33
5.2 USB.....	33
6 EABI 支持	33
6.1 闪存 API.....	34
7 参考资料	34
8 修订历史记录	34

插图清单

图 1-1. F28003x 和 F28P55x 的重叠功能方框图.....	3
图 2-1. 100 引脚 PT, F28003x 和 F28P55x 引脚重叠.....	6
图 2-2. 80 引脚 PN/PNA, F28003x 和 F28P55x 引脚重叠.....	7
图 2-3. 64 引脚 PM 所有型号, F28003x 和 F28P55x 引脚重叠.....	8

表格清单

表 1-1. IP 差异.....	4
-------------------	---

表 1-2. 100 引脚 IO 和模拟通道数.....	5
表 1-3. 80 引脚 IO 和模拟通道数.....	5
表 1-4. 64 引脚 IO 和模拟通道数.....	5
表 2-1. F28003x 和 F28P55x 之间针对新 PCB 和现有 PCB 的 100 引脚 PZ、80 引脚 PNA 和 64 引脚 PM 迁移.....	8
表 2-2. GPIOINENACTRL 寄存器字段说明.....	11
表 3-1. 通信模块实例.....	12
表 3-2. 控制模块差异.....	13
表 3-3. 模拟模块差异.....	13
表 3-4. PLL 特性.....	16
表 3-5. Pie 通道图例.....	17
表 3-6. Pie 比较表.....	17
表 3-7. 引导选项图例.....	18
表 3-8. 引导加载程序和 GPIO 分配比较.....	18
表 3-9. 引导模式比较.....	19
表 3-10. RAM 和闪存存储器更改.....	21
表 3-11. 多路复用器图例.....	22
表 3-12. GPIO 多路复用引脚.....	22
表 3-13. 多路复用器图例.....	29
表 3-14. F28003x 和 F28P55x 80 引脚 PNA 和 64 引脚 PM 模拟多路复用器差异表.....	29
表 3-15. F28003x 和 F28P55x 100 引脚 PZ 模拟多路复用器差异表.....	31
表 6-1. 闪存 API 差异.....	34

商标

C2000™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

1 F28003x 和 F28P55x 之间的特性差异

F28P55x 是 F28003x 的超集。它们有三种共同的封装：64 引脚、80 引脚和 100 引脚。充分考虑本文档中的注意事项后，可以在 F28003x 和 F28P55x 之间进行迁移。

备注

本比较指南重点介绍超集器件：F280039C 和 F28P55xSJ9。此产品系列中的其他器件型号具有较少的功能支持，如需特定器件型号的详细信息，请参阅特定器件数据表。

1.1 F28003x 和 F28P55x 特性比较

F28003x 和 F28P55x 的重叠功能方框图展示了 F28003x 和 F28P55x 的重叠方框图，而表 1-1 展示了 F28003x 和 F28P55x 器件超集器件型号的特性比较。

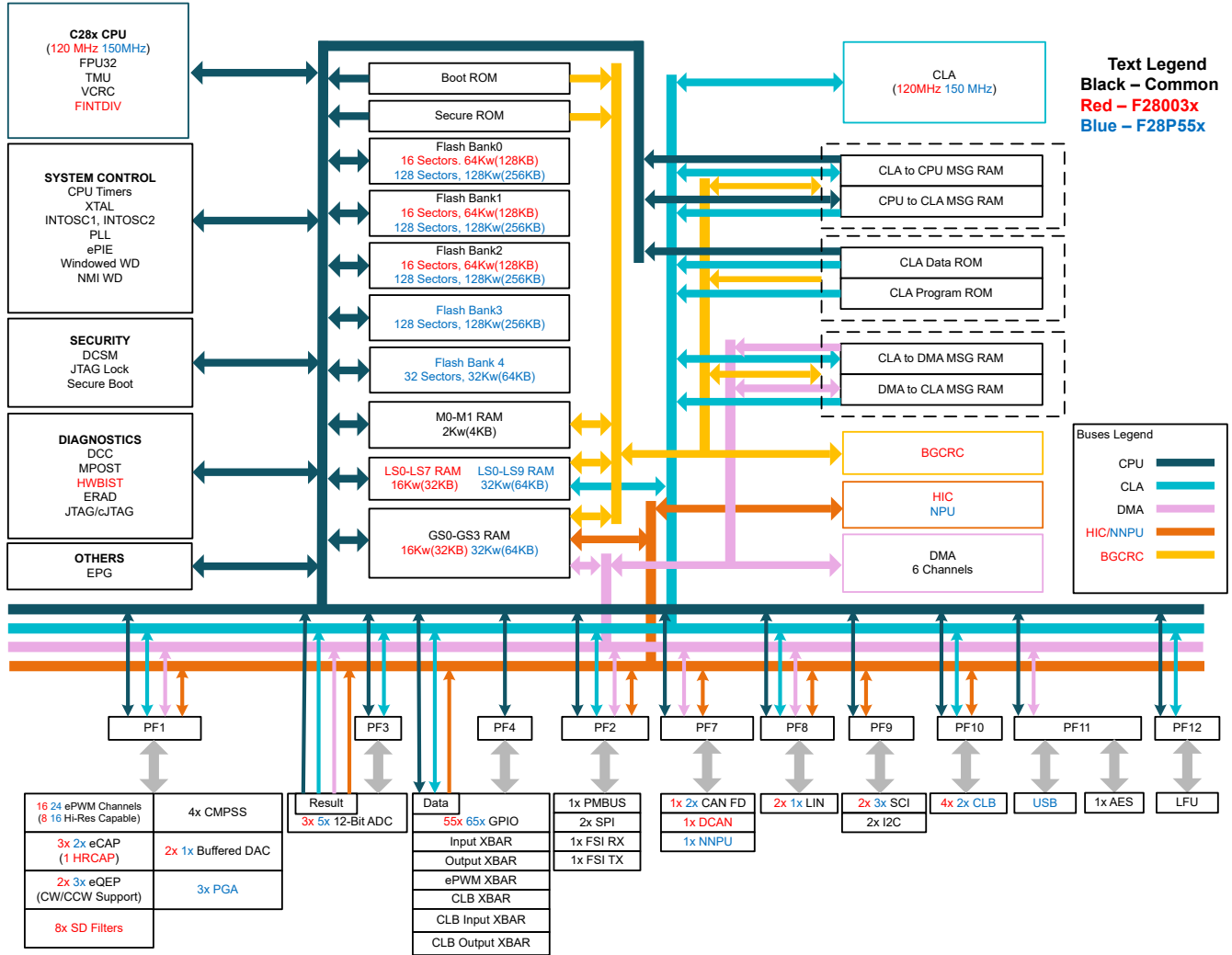


图 1-1. F28003x 和 F28P55x 的重叠功能方框图

表 1-1. IP 差异

特性		F28003x	F28P55x
CPU 频率 (MHz)		120	150
快速整数除法 (FINTDIV)		是	否
存储器			
闪存		384KB	1088KB
RAM	本地共享	32KB	64KB
	全局共享	32KB	64KB
系统			
可配置逻辑块 (CLB)		4 个逻辑块	2 个逻辑块
ROM 中的电机控制库		是	否
背景 CRC (BGCR)		是	否
HWBIST		是	否
神经网络处理单元 (NNPU)		否	1 - 0 类
模拟外设			
ADC 12 位	ADC 数量	3 - 5 类	5 - 6 类
	MSPS	4	4
	转换时间 (ns)	250	255
CMPSS		4 - 2 类	4 - 6 类
缓冲 DAC — 2 类		2	1
可编程增益放大器 (PGA)		-	3 - 2 类
来自 CMPSS DACL 的输出 DAC		0	1
控制外设			
eCAP/HRCAP 模块		3 (1 个具有 HRCAP 功能) — 2 类	2 - 2 类
ePWM/HRPWM 通道 — 4 类		16 (8 个具有 HRPWM)	24 (16 个具有 HRPWM)
eQEP — 2 类		2	3
通信外设			
SDFM		8 - 2 类	-
CAN (DCAN) - 0 类		1	-
CANFD (MCAN) - 1 类		1	2
I2C		2 - 1 类	2 - 2 类
LIN - 1 类		2	1
HIC		1 - 1 类	-
PMBUS		1 - 1 类	1 - 2 类
SCI - 0 类		2	3
USB		-	1 - 0 类

表 1-2. 100 引脚 IO 和模拟通道数

IO 类型	F28003x	F28P55x
	数字	
AIO (具有数字输入的模拟)	23	16
AGPIO (具有数字输入和输出的模拟)	2	19
附加 GPIO	4 (2 个来自 cJTAG, 2 个来自 X1/X2)	4 (2 个来自 cJTAG, 2 个来自 X1/X2)
标准 GPIO	49	43
总 GPIO	55	66
总 GPIO + AIO	78	82
	模拟	
ADC 通道 (单端)	23	35

表 1-3. 80 引脚 IO 和模拟通道数

IO 类型	F28003x	F28P55x
	数字	
AIO (具有数字输入的模拟)	16	12
AGPIO (具有数字输入和输出的模拟)	2	16
附加 GPIO	4 (2 个来自 cJTAG, 2 个来自 X1/X2)	4 (2 个来自 cJTAG, 2 个来自 X1/X2)
标准 GPIO	37	32
总 GPIO	43	52
总 GPIO + AIO	59	64
	模拟	
ADC 通道 (单端)	18	28

表 1-4. 64 引脚 IO 和模拟通道数

IO 类型	F28003x	F28P55x
	数字	
AIO (具有数字输入的模拟)	16	12
AGPIO (具有数字输入和输出的模拟)	2	13
附加 GPIO	4 (2 个来自 cJTAG, 2 个来自 X1/X2)	4 (2 个来自 cJTAG, 2 个来自 X1/X2)
标准 GPIO	24	17
总 GPIO	30	37
总 GPIO + AIO	46	49
	模拟	
ADC 通道 (单端)	16	28

2 PCB 硬件更改

F28003x 和 F28P55x 器件有三种共同的封装：100 引脚 PZ、80 引脚 PN/PNA 和 64 引脚 PM。下面章节将详细介绍引脚迁移。

备注

总体兼容性不仅仅取决于引脚。执行迁移时，请查看本文档中的所有更改。

2.1 100 引脚 PZ、80 引脚 PNA 和 64 引脚 PM 封装的 PCB 硬件更改

本节介绍了 100 引脚 PZ、80 引脚 PNA 和 64 引脚 PZ 封装之间存在的 F28003x 和 F28P55x 特性差异。

100 引脚 PZ : 与 F28003x 相比，F28P55x 上的许多模拟引脚上有更多的多路复用器选项。F28P55x 上还有 2 个额外的 GPIO，用于替换 F28003x 上的 2 个电源引脚。图 2-1 概述了这些差异。

80 引脚 PN/PNA : 与 F28003x 相比，F28P55x 上的许多模拟引脚上有更多的多路复用器选项。F28P55x 上还有 2 个额外的 GPIO，用于替换 F28003x 上的 2 个电源引脚。由于采用了 VREGENZ 引脚，F28P55x 上减少了一个 GPIO。请注意，F28003x 的引脚间距为 0.5mm，而 F28P55x 的引脚间距为 0.4mm，封装间距发生了变化。图 2-2 概述了这些差异。

64 引脚 PM : 与 F28003x 相比，F28P55x 上的许多模拟引脚上有更多的多路复用器选项。F28P55x 上还有 2 个额外的 GPIO，用于替换 F28003x 上的 2 个电源引脚。由于采用了 VREGENZ 引脚，与 F28003x Q100 型号相比，F28P55x 上减少了一个 GPIO。图 2-3 概述了这些差异。

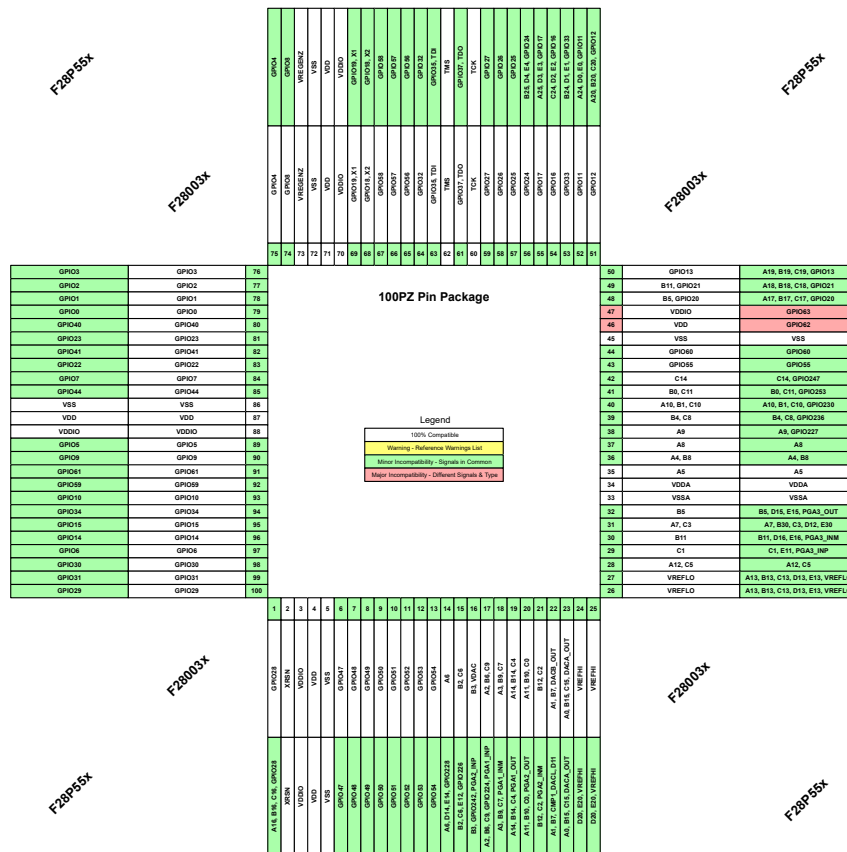


图 2-1. 100 引脚 PT，F28003x 和 F28P55x 引脚重叠

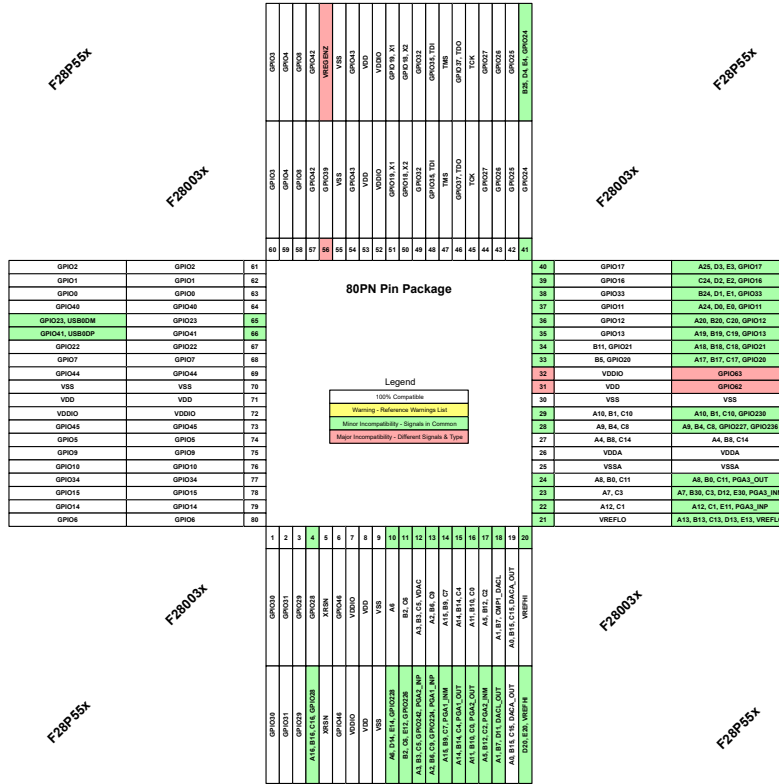


图 2-2. 80 引脚 PN/PNA, F28003x 和 F28P55x 引脚重叠

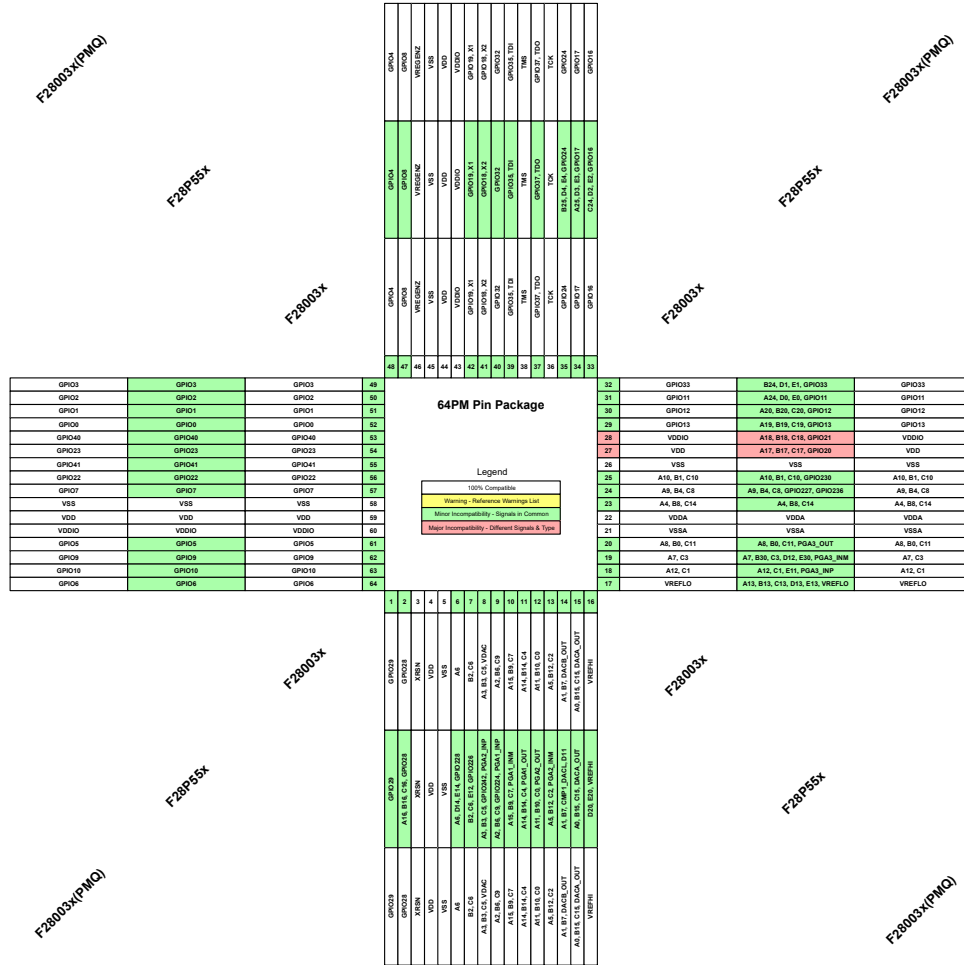


图 2-3. 64 引脚 PM 所有型号，F28003x 和 F28P55x 引脚重叠

2.2 F28003x 和 F28P55x 之间针对新 PCB 和现有 PCB 的 100 引脚 PZ、80 引脚 PNA 和 64 引脚 PM 迁移

有关颜色图例，请参阅图 2-2 到图 2-1。

表 2-1. F28003x 和 F28P55x 之间针对新 PCB 和现有 PCB 的 100 引脚 PZ、80 引脚 PNA 和 64 引脚 PM 迁移

引脚编号			引脚名称		转换类型	操作
100	80	64	F28003x	F28P55x		F28003x 至 F28P55x
次要不兼容性问题 — 通用信号 (1)						
1	4	2	GPIO28	A16、B16、C16、GPIO28	GPIO 到 AGPIO	使用 GPIO28
14	10	6	A6	A6、D14、E14、GPIO228	模拟输入到模拟输入 (通过 AGPIO)	使用 A6
15	11	7	B2、C6	B2、C6、E12、GPIO226		使用 B2 或 C6
16	-	-	B3、VDAC	B3、GPIO242、PGA2_INP		使用 B3

表 2-1. F28003x 和 F28P55x 之间针对新 PCB 和现有 PCB 的 100 引脚 PZ、80 引脚 PNA 和 64 引脚 PM 迁移 (续)

引脚编号			引脚名称		转换类型	操作
100	80	64	F28003x	F28P55x		F28003x 至 F28P55x
-	12	8	A3、B3、C5、VDAC	A3、B3、C5、GPIO242、PGA2_INP	模拟输入到模拟输入 (通过 AGPIO)	使用 A3,B3 或 C5
17	13	9	A2、B6、C9	A2、B6、C9、GPIO224、PGA1_INP		使用 A2,B6 或 C9
18	-	-	A3、B9、C7	A3、B9、C7、PGA1_INM		使用 A3,B9 或 C7
-	14	10	A15、B9、C7	A15、B9、C7、PGA1_INM		使用 A15,B9 或 C7
19	15	11	A14、B14、C4	A14、B14、C4、PGA1_OUT		使用 A14,B14 或 C4
2	13	12	A11、B10、C0	A11、B10、C0、PGA2_OUT		使用 A11,B10 或 C0
21	-	-	B12、C2	B12、C2、PGA2_INM		使用 B12 或 C2
-	17	13	A5、B12、C2	A5、B12、C2、PGA2_INM		使用 A5,B12 或 C2
22	18	14	A1,B7,DACB_OUT	A1,B7,D11,DACB_OUT		使用 A1,B7 或 DACB_OUT
24	20	16	VREFHIB,VREFHIC	D20,E20,VREFHI		使用 VREFHI
25	-	-	VREFHIA	D20,E20,VREFHI		使用 VREFHI
26	21	17	VREFLOB,VREFLOC	A13、B13、C13、D13、E13、VREFLO		使用 VREFLO
27	-	-	VREFLOA	A13、B13、C13、D13、E13、VREFLO		使用 VREFLO
29	-	-	C1	C1、E11、PGA3_INP		使用 C1
-	22	18	A12、C1	A12、C1、E11、PGA3_INP		使用 A12,C1
30	-	-	B11	B11、D16、E16、PGA3_INM		使用 B11
-	23	19	A7、C3	A7、B30、C3、D12、E30、PGA3_INM		使用 A7 或 C3
31	-	-	A7、C3	A7、B30、C3、D12、E30		使用 A7 或 C3
-	24	20	A8、B0、C11	A8、B0、C11、PGA3_OUT		使用 A8,B0 或 C11
32	-	-	B5	B5、D15、E15、PGA3_OUT		使用 B5
39	-	-	B4、C8	B4、C8、GPIO227、GPIO236	使用 B4 或 C8	
38	-	-	A9	A9、GPIO227	使用 A9	
-	28	24	A9、B4、C8	A9、B3、C8、GPIO227、GPIO236	使用 A9,B4 或 C8	
40	29	25	A10、B1、C10	A10、B1、C10、GPIO230	使用 A10,B1 或 C10	
41	-	-	B0、C11	B0、C11、GPIO253	使用 B0 或 C11	
42	-	-	C14	C14、GPIO247	使用 C14	
48	-	-	B5、GPIO20	A17、B17、C17、GPIO20	使用 GPIO20	
49	34	-	B11、GPIO21	A18、B18、C18、GPIO21	使用 GPIO21	

表 2-1. F28003x 和 F28P55x 之间针对新 PCB 和现有 PCB 的 100 引脚 PZ、80 引脚 PNA 和 64 引脚 PM 迁移 (续)

引脚编号			引脚名称		转换类型	操作
100	80	64	F28003x	F28P55x		F28003x 至 F28P55x
50	35	29	GPIO13	A19、B19、C19、GPIO13	GPIO 到模拟 (通过 GPIO)	使用 GPIO13
51	36	30	GPIO12	A20、B20、C20、GPIO12		使用 GPIO12
52	37	31	GPIO11	A24、D0、E0、GPIO11		使用 GPIO11
53	38	32	GPIO33	B24、D1、E1、GPIO33		使用 GPIO33
54	39	33	GPIO16	C24、D2、E2、GPIO16		使用 GPIO16
55	40	34	GPIO17	A25、D3、E3、GPIO17		使用 GPIO17
56	41	35	GPIO24	B25、D4、E4、GPIO24		使用 GPIO24
81	65	54	GPIO23	GPIO23、USB0DM		使用 GPIO23
82	66	55	GPIO41	GPIO41、USB0DP	使用 GPIO41	
主要不兼容性问题 - 不同的信号和类型						
46	31	-	VDD	GPIO63	电源至 GPIO	连接到 VDD，通过设置 GPIOINENACTRL 寄存器中相应的位来禁用 F28P55x 上 GPIO 的数字输入
47	32	-	VDDIO	GPIO62		连接至 VDDIO
-	-	27	VDD	A17、B17、C17、GPIO20		连接到 VDD，通过设置 GPIOINENACTRL 寄存器中相应的位来取消 F28P55x 上 GPIO 的数字输入
-	-	28	VDDIO	A18、B18、C18、GPIO21		连接至 VDDIO
-	56	-	GPIO39	VREGENZ	GPIO 到 VREG 使能	F28003x 上不支持外部 VREG。通过 0Ω 电阻器寄存器连接到 VSS。使用 F28003x 并为 GPIO 启用内部上拉电阻器时移除电阻器
(Q 型号) 主要不兼容性问题 — 不同的信号和类型						
-	-	46	GPIO39	VREGENZ	GPIO 到 VREG 使能	F28003xQ100 上不支持外部 VREG。通过 0Ω 电阻器寄存器连接到 VSS。使用 F28003x 并为 GPIO 启用内部上拉电阻器时移除电阻器

(1) 软件中已选定要使用的通道。

2.3 GPIO 输入缓冲器控制寄存器

F28P55x 用 GPIO 取代了一对 VDDIO/VDD 引脚。从 F28003x 迁移时，有必要禁用 VDD 引脚上的输入缓冲器，使得不会错误驱动 GPIO (假设与 VDD 的连接仍然存在)。GPIOINENACTRL 寄存器在清零时禁用输入缓冲器。该寄存器复位时的默认状态为 1，这会启用相应 GPIO 的输入缓冲器。另一个 GPIO 可以安全地连接到 VDDIO，但如果需要，当系统中存在噪声问题时，也可以在相应的 GPIO 上禁用输入缓冲器。

此地址存在于模拟子系统中，基地址为 0x0005 D700。GPIO 输入缓冲器控制寄存器 (GPIOINENACTRL) 在模拟子系统基址内的偏移量为 0x132。

表 2-2. GPIOINENACTRL 寄存器字段说明

位	字段	类型	复位	说明
31-4	RESERVED	R	0h	保留
3	GPIO63	R/W	1h	GPIO63 的一次性配置，决定是启用还是禁用输入缓冲器 (INENA 控制) 0 - 禁用输入缓冲器 1 - 启用输入缓冲器 复位类型：XRSn
2	GPIO62	R/W	1h	GPIO62 的一次性配置，决定是启用还是禁用输入缓冲器 (INENA 控制) 0 - 禁用输入缓冲器 1 - 启用输入缓冲器 复位类型：XRSn
1	GPIO21	R/W	1h	GPIO21 的一次性配置，决定是启用还是禁用输入缓冲器 (INENA 控制) 0 - 禁用输入缓冲器 1 - 启用输入缓冲器 复位类型：XRSn
0	GPIO20	R/W	1h	GPIO20 的一次性配置，决定是启用还是禁用输入缓冲器 (INENA 控制) 0 - 禁用输入缓冲器 1 - 启用输入缓冲器 复位类型：XRSn

3 系统特性差异注意事项

本部分探讨了在 F28003x 和 F28P55x 器件之间迁移时的异同点。

3.1 F28P55x 中的新特性

这部分简要介绍了仅在 F28P55x 器件中提供的特性。有关每个新特性的详细信息，请参阅 *TMS320F28P55x 实时微控制器技术参考手册 (SPRUJ53)*。

3.1.1 可编程增益放大器 (PGA)

F28P55x 增加了 3 个与 ADC 内联的可编程增益放大器 (PGA)。PGA 支持单位增益和从 2 到 64 的 2 的倍数增益，可用于放大小信号源，以利用片上 ADC 的全动态范围。还支持后增益滤波。虽然 PGA 也存在于 TMS320F28004x 器件上，但这是一种新类型，请参阅 F28P55x 文档以了解支持的全套功能。

3.1.2 通用串行总线 (USB)

USB 控制器在与 USB 主机进行点对点通信过程中可作为全速功能控制器运行。它符合 USB2.0 标准，包含挂起和唤醒信号。USB 控制器有三十二个端点，其中一半用于输入事务，另一半用于输出事务。1 个输入端点和 1 个输出端点是用于控制传输的固定功能端点；其他端点通过固件定义。可动态调整大小的 FIFO 支持对多个数据包进行排队。USB 设备启动方式灵活，可软件控制是否在启动时连接。

3.1.3 5V 失效防护 IO

F28P55x 器件有四个 GPIO：GPIO2、GPIO3、GPIO9 和 GPIO32，它们支持 5V 输入。这些引脚还支持在为器件加电之前施加电压。

3.1.4 闪存写保护

F28P55x 器件能够永久阻止闪存组 0 和 2 中 32 个闪存扇区的擦除和编程。将特定值写入 OTP 存储器后，无法再次对相应的扇区进行擦除或编程。利用该功能，用户能够创建不可更改的闪存区域，并且与 DCSM 安全模块一起可用于实现新的安全代码功能，包括身份验证算法。有关更多信息，请参阅 TRM 的引导 ROM 一章。

3.1.5 神经网络处理单元 (NPU)

神经网络处理单元 (NPU) 支持运行预先训练的模型的智能推理。NPU 能够提供 600 - 1200MOPS (兆次运算/秒) 的速度，与仅基于软件的实施相比，NPU 可提供高达 10 倍的神经网络 (NN) 推理周期改进。使用 TI 提供的

工具，用户可以训练和评估模型，以及获取来自 MCU 的数据流并使其可视化。然后将该模型编译到独立的库中，该库被添加到主工程中，以在系统中利用 NPU。

3.2 通信模块更改

F28003x 和 F28P55x 器件之间的通信模块更改会影响模块数量，移除了 DCAN 和 HIC 模块。详情如表 3-1 所示。

表 3-1. 通信模块实例

模块	类别	F28003x	F28P55x	注释
LIN	数量	2 - LINA、LINB	1 - LINA	两个器件上均为 1 类 LIN
CAN	数量	1 - CANA	-	
MCAN	数量	1 - MCANA(CAN-FD)	2 - MCANA、MCANB(CAN-FD)	F28003x 具有 8KB 消息 RAM F28P55x 具有 4KB 消息 RAM
SCI	数量	2 - SCIA、SCIB	3 - SCIA、SCIB、SCIC	两个器件上均为 0 类 SCI
SPI	数量	2 - SPIA、SPIB	2 - SPIA、SPIB	两个器件上均为 2 类 SPI
	HW		高速模式支持	GPIO2、3、9、21、32 和 41 不支持高速 SPI 模式。
I2C	数量	2 - I2CA、I2CB	2 - I2CA、I2CB	F28003x 具有 1 类 I2C F28P55x 具有 2 类 I2C
	寄存器			
PMBUS	数量	1 - PMBUSA	1 - PMBUSA	F28003x 具有 0 类 PMBUS F28P55x 具有 1 类 PMBUS
	HW 变化		支持快速+ 模式 — 1MHz 时钟	
	寄存器	-	PMBUS_IO_DRVSEL	配置增强的驱动强度以支持快速+ 模式 (1MHz)
-		PMBUS_IO_MODESEL	配置引脚电平，支持 3.3V 或 1.35V	
FSI	数量	1 - FSIA	1 - FSIA	两个器件上均为 2 类 FSI
	寄存器	RX_MASTER_CTRL	RX_MAIN_CTRL	寄存器名称更改
		TX_MASTER_CTRL	TX_MAIN_CTRL	寄存器名称更改
HIC	数量	1 - HICA	-	

3.3 控制模块更改

F28003x 和 F28P55x 器件之间的控制模块有少量变化。F28P55x 上的 ePWM 模块明显多一些。F28P55x 器件中移除了 SDFM 模块和 HRCAP 模块。表 3-2 展示了在 F28003x 和 F28P55x 之间迁移应用时应考虑的模块实例差异。

表 3-2. 控制模块差异

模块	类别	F28003x	F28P55x	注释
SDFM	编号	8 - SD1_D1C1..D4C4、SD2_D1C1..D4C4	-	
eQEP	编号	2 - EQEP1、EQEP2	3 - EQEP1、EQEP2、EQEP3	两种器件上均为 2 类 eQEP
eCAP	编号	3 - ECAP1..3	2 - ECAP1、ECAP2	两种器件上均为 2 类 eCAP
HRCAP	编号	1 - HRCAP3	-	
ePWM	编号	8 - EPWM1..8	12 - EPWM1..12	两种器件上均为 4 类 PWM
HRPWM	编号	4 - HRPWM1..4	8 - HRPWM1..8	两种器件上均为 4 类 HRPWM

3.4 模拟模块差异

这部分简要介绍了 F28003x 和 F28P55x 的模拟特性差异。F28P55x 上新增了三个可编程增益放大器 (PGA)，并且它现在有 5 个 ADC，相比之下，F28003x 器件上只有 3 个 ADC。CMPSS 和 ADC 模块内部有几项增强功能。F28P55x 器件上只有一个 GPDAC，而 F28003x 器件上有两个 GPDAC。可以使用 CMPSS1 模块的低侧 DAC 作为 F28P55x 上的第二个 DAC，但与 GPDAC 存在电气差异。有关更多信息，请参阅器件 DS。

表 3-3. 模拟模块差异

模块	类别	F28003x	F28P55x	注释
模拟 Sysctrl	硬件更改	-	ADC 的全局同步软件触发器	允许将 ADC 的软件触发器同时发送到所选的 ADC
		-	用于选择 VREFHI 的新寄存器	支持逐个 ADC VREFHI 选择基准电压： 1. 内部 VREFHI 2. 外部 VREFHI 3. VDDA
		-	用于选择 VREFHI 的新寄存器	支持逐个 ADC VREFLO 选择基准电压： 1. VREFLO 引脚 2. VSSA
		-	支持具有外部 VREFHI 的全范围 3.3V FSR	可在外部模式下在 VREFHI 上供应 1.65V 电压以使 FSR = 3.3V
		-	部分 GPIO 上的 12mA 驱动	为了与 I2C 和 PMBUS 高速 + 模式兼容，GPIO 2/3/9/32 提供了 12mA 驱动强度选项
		-	部分 GPIO 上的 1.35V VIH 兼容性	将 GPIO 2/3/9/32 的 VIH 更改为 1.35V
	寄存器	ANAREFCTL.ANAREFSEL	ANAREFPCTRL.REFPMUXSELx	x = ADC A/B/C/D/E 每个 ADC 现在独立配置以使用 VREFHI 源
		-	ANAREFNCTL.REFNMUXSELx	x = ADC A/B/C/D/E 每个 ADC 都具有 VREFLO 选择功能
		ANAREFCTL.ANAREF2P5SEL	ANAREFPCTL.ANAREF1P65SEL	x = ADC A/B/C/D/E 每个 ADC 都具有独立的 1.65V (3.3V FSR) 或 2.5V FSR 选择。也会影响外部基准模式。
		-	IO_DRVSEL	将所选的 GPIO (IOL) 驱动强度配置为 4mA (默认值) 或 12mA (IOL)
-	IO_MODESEL	将所选的 GPIO VIH 配置为 3.3V (默认值) 或 1.35V		

表 3-3. 模拟模块差异 (续)

模块	类别	F28003x	F28P55x	注释
ADC ¹	编号	3 - ADCA、ADCB 和 ADCC	5- ADCA、ADCB、ADCC、ADCD、ADCE	F28003x 具有 5 类 ADC F28P55x 具有 6 类 ADC
	最大速度	60MHz	75MHz	最大吞吐量如下： 在 F28P55x 器件上为 3.9MSPS，在 F28003x 器件上为 4MSPS
	硬件更改	-	新 PPB 特性 1. 求和/最大值/最小值/绝对值 2. 通过重复块实现过采样支持 3. 上一个转换增量 4. 输出滤波	1. PPB 对并发结果求和/最大值/最小值/绝对值的能力 2. 自动聚合用户定义数量的样本并求平均值，仅将平均值返回到结果寄存器。与 ADC 中继器模块结合使用 3. 将上次转换与当前转换进行比较并生成相应操作 4. 仅返回筛选窗口范围内的值，放弃其他值。
		-	ADC 中继器逻辑	能够自动启动后续触发器，并且可以选择添加相位延迟。可与 PPB 一起使用，在不产生 CPU 开销的情况下实现过采样
		-	全局软件强制 SOC 触发器	能够同时启动到所有 ADC 的软件 SOC 触发器
		-	ADC S/H 电容器复位	能够在采样之间将 S/H 电容器复位为 VSSA
	寄存器	ADCTL1	ADCTL1	添加了外部多路复用器控制和 DMA 触发时序
		ADCSOCxCTL.TRIGSEL	ADCSOCxCTL.TRIGSEL	添加了针对 ePWM 和重复块支持的触发选项
		INTFLGCLR	ADCINTFLGCLR	
		ADCINTSOCSEL2	ADCINTSOCSEL1	所有 SOC 中断触发器都移到了 INTSOCSEL1
GPDAC	编号	2 - GPDACA、GPDACB	1 - GPDACA	两个器件上均为 1 类 GPDAC

表 3-3. 模拟模块差异 (续)

模块	类别	F28003x	F28P55x	注释
CMPSS ¹	编号	4 - CMPSS1 至 CMPSS4	4 - CMPSS1 至 CMPSS4	F28003x 具有 2 类 CMPSS F28P55x 具有 6 类 CMPSS
	硬件更改		<ol style="list-style-type: none"> 向低侧比较器添加了 DAC 斜坡发生器 斜坡发生器包括向斜升支持 CMPSS1 可将其低侧 DAC 引出至诸如以下引脚: CMP1_DACL² 	
	寄存器	RAMPMAXREFA	RAMPHREFA	寄存器名称更改
		RAMMAXREFS	RAMPHREFS	寄存器名称更改
		RAMPDECVALA	RAMPHSTEPVALA	寄存器名称更改
		RAMPDECVALS	RAMPHSTEPVALS	寄存器名称更改
		RAMPSTS	RAMPHSTS	寄存器名称更改
		RAMPDLYA	RAMPHDLYA	寄存器名称更改
		RAMPDLYS	RAMPHDLYS	寄存器名称更改
		CTRIPLFILCTL	CTRIPLFILCTL - 字段更改	对此寄存器中的字段进行了添加和更改。有关更多详细信息, 请参阅器件特定 TRM。
		CTRIPLFILCLKCTL	CTRIPLFILCLKCTL - 字段更改	增大了预分频器范围
		CTRIPHFILCTL	CTRIPHFILCTL - 字段更改	对此寄存器中的字段进行了添加和更改。有关更多详细信息, 请参阅器件特定 TRM。
		CTRIPHFILCLKCTL	CTRIPHFILCLKCTL - 字段更改	增大了预分频器范围
		-	COMPDACTL	添加了寄存器和功能以支持双斜坡发生器
		-	RAMPLREFA	添加了寄存器和功能以支持双斜坡发生器
		-	RAMPLREFS	添加了寄存器和功能以支持双斜坡发生器
		-	RAMPLSTEPVALA	添加了寄存器和功能以支持双斜坡发生器
		-	RAMPLSTEPVALS	添加了寄存器和功能以支持双斜坡发生器
		-	RAMPLSTS	添加了寄存器和功能以支持双斜坡发生器
		-	RAMPLDLYA	添加了寄存器和功能以支持双斜坡发生器
	-	RAMPLDLYS	添加了寄存器和功能以支持双斜坡发生器	
	-	CTRIPLFILCLKCTL2	添加了寄存器和功能以支持双斜坡发生器	
	-	CTRIPHFILCLKCTL2	添加了寄存器和功能以支持双斜坡发生器	
温度传感器	编号	1 - (在 ADCC 通道 12 中)	1 - (在 ADCC 通道 12 中)	

- 在从 F28003x 向 F28P55x 移植 (或反向移植) 软件的过程中, 必须十分小心, 以确保使用正确的 ADC 通道, 因为通道分配有所不同, 请参阅[模拟多路复用更改](#)。
- CMPSS1 中的 DACL 和标准 CMPSS1 函数是互斥的, 不能同时使用。

3.5 其他器件更改

这部分介绍了前几部分中未涉及到的 F28003x 和 F28P55x 的特性差异, 因此在两种器件之间迁移应用时, 必须考虑下面指出的更改。

3.5.1 PLL

F28003x 和 F28P55x 器件的 PLL 块相同, 不过 F28P55x 的最大 PLL 原始时钟更高, 以满足 F28P55x 的 SYSCLK 频率要求。表 3-4 列出了两种器件的 PLL 特性以供比较。有关更多信息, 请参阅 TMS320F28P55x 微控制器技术参考手册。

表 3-4. PLL 特性

特性	F28003x	F28P55x
最大 CPU 时钟	120MHz	150MHz
VCO 范围	220MHz - 600MHz	220MHz - 600MHz
PLL 原始时钟范围	6MHz - 240MHz	6MHz - 300MHz
X1 输入范围 (PLL 启用)	2MHz - 25MHz	2MHz - 25MHz
REFCLK 分频器	是 [1..32]	是 [1..32]
PLL 滑动检测	否 (使用 DCC)	否 (使用 DCC)
分数 PLL 倍频器	否	否

3.5.2 PIE 通道映射

F28003x 和 F28P55x 的 PIE 通道映射由于二者的外设模块变更而有所不同。表 3-6 对这两种器件上的共同和独有 Pie 通道分配进行了总结。

表 3-5. Pie 通道图例

颜色	说明
	两种器件共有的 Pie 通道
	仅适用于 F28003x 的 Pie 通道
	仅适用于 F28P55x 的 Pie 通道

表 3-6. Pie 比较表

	INTx.1	INTx.2	INTx.3	INTx.4	INTx.5	INTx.6	INTx.7	INTx.8	INTx.9	INTx.10	INTx.11	INTx.12	INTx.13	INTx.14	INTx.15	INTx.16	
INT1.y	INT_ADCA1	INT_ADCB1	INT_ADCC1	INT_XINT1	INT_XINT2	INT_SYS_ERR	INT_TIMER0	INT_WAKE	INT_ADCC1	INT_ADCE1 INT_SYS_ERR							
INT2.y	INT_EPWM1_TZ	INT_EPWM2_TZ	INT_EPWM3_TZ	INT_EPWM4_TZ	INT_EPWM5_TZ	INT_EPWM6_TZ	INT_EPWM7_TZ	INT_EPWM8_TZ	INT_EPWM9_TZ	INT_EPWM10_TZ	INT_EPWM11_TZ	INT_EPWM12_TZ					
INT3.y	INT_EPWM1	INT_EPWM2	INT_EPWM3	INT_EPWM4	INT_EPWM5	INT_EPWM6	INT_EPWM7	INT_EPWM8	INT_EPWM9	INT_EPWM10	INT_EPWM11	INT_EPWM12					
INT4.y	INT_ECAP1	INT_ECAP2	INT_ECAP3								INT_ECAP3_2						
INT5.y	INT_EQEP1	INT_EQEP2	INT_EQEP3		INT_CLB1	INT_CLB2	INT_CLB3	INT_CLB4	INT_SDFM1	INT_SDFM2			INT_SDFM1_DR1	INT_SDFM1_DR2	INT_SDFM1_DR3	INT_SDFM1_DR4	
INT6.y	INT_SPIA_RX	INT_SPIA_TX	INT_SPIB_RX	INT_SPIB_TX			INT_DCC0	INT_DCC1					INT_SDFM2_DR1	INT_SDFM2_DR2	INT_SDFM2_DR3	INT_SDFM2_DR4	
INT7.y	INT_DMA_C_H1	INT_DMA_C_H2	INT_DMA_C_H3	INT_DMA_C_H4	INT_DMA_C_H5	INT_DMA_C_H6	INT_PMBUS_A				INT_FSITXA_1	INT_FSITXA_2	INT_FSIRXA_1	INT_FSIRXA_2		INT_DCC0	
INT8.y	INT_I2CA	INT_I2CA_FIFO	INT_I2CB	INT_I2CB_FIFO	INT_SCIC_RX	INT_SCIC_TX			INT_LINA_0	INT_LINA_1	INT_LINB_0	INT_LINB_1	INT_PMBUS_A			INT_DCC1	
INT9.y	INT_SCIA_RX	INT_SCIA_TX	INT_SCIB_RX	INT_SCIB_TX	INT_CANA0	INT_CANA1	INT_MCANA_0	INT_MCANA_1	INT_MCANB_0	INT_MCANB_1	INT_MCANB_ECC	INT_MCANB_WAKE	INT_BGCRC		INT_USB	INT_HICA	
INT10.y	INT_ADCA_EVT	INT_ADCA2	INT_ADCA3	INT_ADCA4	INT_ADCB_EVT	INT_ADCB2	INT_ADCB3	INT_ADCB4	INT_ADCC_EVT	INT_ADCC2	INT_ADCC3	INT_ADCC4	INT_ADCC_EVT	INT_ADCC2	INT_ADCC3	INT_ADCC4	
INT11.y	INT_CLA1_1	INT_CLA1_2	INT_CLA1_3	INT_CLA1_4	INT_CLA1_5	INT_CLA1_6	INT_CLA1_7	INT_CLA1_8	INT_ADCE_EVT	INT_ADCE2	INT_ADCE3	INT_ADCE4					
INT12.y	INT_XINT3	INT_XINT4	INT_XINT5	INT_MPOST	INT_FLSS	INT_VCU	INT_MCANA_ECC	INT_MCANA_WAKE			INT_RAM_CORR_ERR	INT_FLASH_CORR_ERR	INT_RAM_ACC_VIOL	INT_AES	INT_BGCRC_CLA1	INT_CLA_OVERFLOW	INT_CLA_UNDERFLOW
					INT_FMC		INT_FPU_OVERFLOW	INT_FPU_UNDERFLOW					INT_AES_INTERRUPT				

3.5.3 Bootrom

有关 F28003x 和 F28P55x 的 Bootrom 异同点，请参阅表 3-8 和表 3-9。

表 3-7. 引导选项图例

颜色	说明
	两种器件共有的选项，但 BOOTDEFx 值可能会不同
	仅适用于 F28003x 的选项
	仅适用于 F28P55x 的选项

表 3-8. 引导加载程序和 GPIO 分配比较

引导加载程序	选项	BOOTDEFx	F28003x	F28P55x
并行	0	0x00	D0-D7=GPIO0 至 GPIO7 ; DSP=16 ; 主机=29	D0-D7=GPIO0 至 GPIO7 ; DSP=16 ; 主机=29
	1	0x20	D0-D7=GPIO0 至 GPIO7 ; DSP=16 ; 主机=11	D0-D7=GPIO0,1,2,3,5,6,7,24 ; DSP=12 ; 主机=13
SCIA	0	0x01	TX=29 ; RX=28	TX=29 ; RX=28
	1	0x21	TX=16 ; RX=17	TX=1 ; RX=0
	2	0x41	TX=8 ; RX=9	TX=8 ; RX=9
	3	0x61	TX=2 ; RX=3	TX=7 ; RX=3
	4	0x81	TX=16 ; RX=3	TX=16 ; RX=3
CAN ¹	0	0x02	TX=4 ; RX=5	TX=4 ; RX=5
	1	0x22	TX=32 ; RX=33	TX=1 ; RX=0
	2	0x42	TX=2 ; RX=3	TX=13 ; RX=12
	3	0x62	TX=13 ; RX=12	-
MCAN(CAN-FD)	0	0x08	TX=4 ; RX=5	TX=4 ; RX=5
	1	0x28	TX=1 ; RX=0	TX=1 ; RX=0
	2	0x48	TX=13 ; RX=12	TX=13 ; RX=12
	3 (DEBUG — 发送测试)	0x68	-	TX=4 ; RX=5
	4 (DEBUG — 发送测试)	0x88	-	TX=1 ; RX=0
	5 (DEBUG — 发送测试)	0xA8	-	TX=13 ; RX=12

表 3-8. 引导加载程序和 GPIO 分配比较 (续)

引导加载程序	选项	BOOTDEFx	F28003x	F28P55x
SPI	0	0x06	SIMO=2 SOMI=1 ; CLK=3 ; ; STE=5	PICO=2 POCI=1 ; CLK=3 ; ; PTE=5
	1	0x26	SIMO=16 SOMI=1 ; CLK=3 ; ; STE=0	PICO=16 POCI=1 ; CLK=3 ; ; PTE=0
	2	0x46	SIMO=8 SOMI=10 ; CLK=9 ; ; STE=11	PICO=8 POCI=10 ; CLK=9 ; ; PTE=11
	3	0x66	SIMO=8 SOMI=17 ; CLK=9 ; ; STE=11	PICO=16 POCI=12 ; CLK=9 ; ; PTE=24
I2C	0	0x07	SDA=32 ; SCL=33	SDA=0 ; SCL=1
	1	0x27	SDA=0 ; SCL=1	SDA=32 ; SCL=33
	2	0x47	SDA=10 ; SCL=8	SDA=5 ; SCL=4
USB	0	0x09	-	DM=23 ; DP=41

1. 对于 F28P55x 器件, "CAN" 引导模式由 FD 模式设置为 "off" 的 MCAN 模块支持

表 3-9. 引导模式比较

启动模式	选项	BOOTDEFx	F28003x	F28P55x
闪存/安全闪存	0	0x03	条目=0x00080000 ; 组/扇区=0/0	条目=0x00080000 ; 组/扇区=0/0
	1	0x23	条目=0x00088000 ; 组/扇区=0/8	条目=0x00088000 ; 组/扇区=0/32
	2	0x43	条目=0x0008FFF0 ; 组/扇区=0/15	条目=0x000C0000 ; 组/扇区=0/64
	3	0x63	条目=0x00090000 ; 组/扇区=1/0	条目=0x000C8000 ; 组/扇区=1/64
	4	0x83	条目=0x00097FF0 ; 组/扇区=1/7	条目=0x00100000 ; 组/扇区=2/16
	5	0xA3	条目=0x0009FFF0 ; 组/扇区=1/15	-
	6	0xC3	条目=0x000A0000 ; 组/扇区=2/0	-
	7	0xE3	条目=0x000AFFF0 ; 组/扇区=2/15	-
LFU 闪存	0	0x0B	条目= 0x00080000 ; 组=0 条目=0x00090000 ;组=1 条目= 0x000A0000 ;组=2	条目=0x00080000 ; 组=0 条目=0x000C0000 ;组=2
	1	0x2B	条目=0x00088000 ;组=0 条目=0x00098000 ;组=1 条目=0x000A8000 ;组=2	条目=0x00088000 ;组=0 条目=0x000C8000 ;组=2
	2	0x4B	条目=0x0008FFF0 ;组=0 条目=0x0009FFF0 ;组=1 条目=0x000AFFF0 ;组=2	-
	3	0x6B	条目=0x00088000 ;组=0 条目=0x00090000 ;组=1 条目=0x000A0000 ;组=2	-

表 3-9. 引导模式比较 (续)

启动模式	选项	BOOTDEFx	F28003x	F28P55x
安全 LFU 闪存	0	0x0C	条目=0x00080000；组=0 条目=0x00090000；组=1 条目=0x000A0000；组=2	-
	1	0x2C	条目=0x00088000；组=0 条目=0x00098000；组=1 条目=0x000A8000；组=2	-
	2	0x4C	条目=0x0008FFF0；组=0 条目=0x0009FFF0；组=1 条目=0x000AFFF0；组=2	-
	3	0x6C	条目=0x00088000；组=0 条目=0x00090000；组=1 条目=0x000A0000；组=2	-
	4	0x8C	条目=0x0008EFF0；组=0 条目=0x00097FF0；组=1 条目=0x000A7FF0；组=2	-
等待	0	0x04	看门狗已启用	看门狗已启用
	1	0x24	看门狗已禁用	看门狗已禁用
RAM	0	0x05	条目 = 0x00000000	条目 = 0x00000000

3.5.4 ROM 中包含的软件库

F28P55x 的片上 ROM 中嵌入了 C2000 STL 库。F28003x 的片上 ROM 中不包括 STL 库。

3.5.5 AGPIO

与只有 2 个 AGPIO 通道的 F28003x 相比，F28P55x 的 AGPIO 通道更多 (多达 22 个)，可同时支持正常 GPIO 和 AGPIO (模拟) 引脚功能。有关配置详细信息，请参阅 F28P55x 数据手册。

3.6 电源管理

F28003x 和 F28P55x 器件支持双轨电源 (3.3V 和 1.2V) 或单轨 (3.3V)，内部 LDO VREG 提供 1.2V 电源轨。这部分介绍了两种器件在电源管理方面的异同点。

3.6.1 LDO/VREG

F28003x 和 F28P55x 都支持内部和外部 VREG，以通过 VREGENZ 引脚选择 1.2V 电源。但是，并非 F28003x 的所有封装都支持外部 VREG 选项。对于 F28P55x，所有封装都有一个 VREGENZ 引脚。

3.6.2 POR/BOR

POR 和 BOR 没有功能变化。

3.6.3 功耗

如果 F28003x 和 F28P55x 的 IP 集和目标频率相同，则功耗应大致相同。请参阅每个外设的数据表以及任一器件的最大电流。

3.7 内存模块更改

F28003x 和 F28P55x 器件中的 RAM 和闪存存储器有一些异同点。表 3-10 总结了包括错误检查和安全分配在内的存储器特性。

表 3-10. RAM 和闪存存储器更改

存储器		F28003x			F28P55x		
		大小	奇偶校验/ ECC	受安全保护	大小	奇偶校验/ ECC	受安全保护
RAM	专用 (M0、M1)	4KB	ECC	否	4KB	ECC	否
	本地共享 (LS0-LS7)	32KB	ECC	DCSM 受控	32KB	奇偶校验	DCSM 受控
	本地共享 (LS8-LS9)	-	-	-	32KB	奇偶校验	DCSM 受控
	全局共享 (GS0-GS3)	32KB	ECC	否	64KB	奇偶校验	否
	消息	512B(CPU-CLA) 512B(CLA-DMA)	ECC	否	512B(CPU-CLA) 512B(CLA-DMA)	奇偶校验	否
	总 RAM	69KB			133KB		
闪存	每扇区	8KB	-	-	2KB	-	-
	每组	128KB (3 组)	ECC	DCSM 受控	256KB (4 组) 64KB (1 组)	ECC	DCSM 受控
	总闪存	384KB (3 组)			1088KB (5 组)		

3.8 GPIO 多路复用更改

表 3-11 简要介绍了 F28003x 和 F28P55x 中 GPIO 多路复用器的异同点。

表 3-11. 多路复用器图例

颜色	说明
	两种器件共有的多路复用器功能
	仅适用于 F28003x 的多路复用器功能
	仅适用于 F28P55x 的多路复用器功能

表 3-12. GPIO 多路复用引脚

0	1	2	3	5	6	7	9	10	11	13	14	15
GPIO0	EPWM1_A		OUTPUTXB AR7	SCIA_RX	I2CA_SDA	SPIA_PTE	FSIRXA_CL K	MCANA_RX	CLB_OUTP UTXBAR8	EQEP1_IND EX	HIC_D7	EPWM3_A
						SPIA_STE		MCAN_RX				HIC_BASES EL1
GPIO1	EPWM1_B	EMU0		SCIA_TX	I2CA_SCL	SPIA_POCI	EQEP1_STR OBE	MCANA_TX	CLB_OUTP UTXBAR7	EPWM10_B	FSITXA_TD M_D1	EPWM3_B
						SPIA_SOMI		MCAN_TX		HIC_A2		HIC_D10
GPIO2	EPWM2_A	EMU1		OUTPUTXB AR1	PMBUSA_S DA	SPIA_PICO	SCIA_TX	FSIRXA_D1	I2CB_SDA	EPWM10_A	MCANB_TX	EPWM4_A
						SPIA_SIMO				HIC_A1		CANA_TX
GPIO3	EPWM2_B	OUTPUTXB AR2		OUTPUTXB AR2	PMBUSA_S CL	SPIA_CLK	SCIA_RX	FSIRXA_D0	I2CB_SCL	HIC_NOE	MCANB_RX	EPWM4_B
											CANA_RX	HIC_D4
GPIO4	EPWM3_A	I2CA_SCL	MCANA_TX	OUTPUTXB AR3	CANA_TX	SPIB_CLK	EQEP2_STR OBE	FSIRXA_CL K	CLB_OUTP UTXBAR6	EPWM11_B	SPIA_POCI	EPWM1_A
			MCAN_TX							HIC_BASES EL2		HIC_NWE
GPIO5	EPWM3_B	I2CA_SDA	OUTPUTXB AR3	MCANA_RX	CANA_RX	SPIA_PTE	FSITXA_D1	CLB_OUTP UTXBAR5	SCIA_RX	HIC_A7	HIC_D4	EPWM1_B
				MCAN_RX		SPIA_STE						HIC_D15
GPIO6	EPWM4_A	OUTPUTXB AR4	SYNCOUT	EQEP1_A		SPIB_POCI	FSITXA_D0		FSITXA_D1	USB0_IVBU SVALID	CLB_OUTP UTXBAR8	EPWM2_A
						SPIB_SOMI				HIC_NBE1		HIC_D14
GPIO7	EPWM4_B	EPWM2_A	OUTPUTXB AR5	EQEP1_B		SPIB_PICO	FSITXA_CL K	CLB_OUTP UTXBAR2	SCIA_TX	HIC_A6	MCANA_TX	EPWM2_B
						SPIB_SIMO						HIC_D14
GPIO8	EPWM5_A		ADCSOAO	EQEP1_STR OBE	SCIA_TX	SPIA_PICO	I2CA_SCL	FSITXA_D1	CLB_OUTP UTXBAR5	EPWM11_A	FSITXA_TD M_CLK	HIC_D8
						SPIA_SIMO				HIC_A0		

表 3-12. GPIO 多路复用引脚 (续)

0	1	2	3	5	6	7	9	10	11	13	14	15
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXB AR6	EQEP1_IND EX	SCIA_RX	SPIA_CLK	I2CA_SCL	FSITXA_D0	LINA_RX	PMBUSA_S CL	I2CB_SCL	EQEP3_B
									LINB_RX	HIC_BASES ELO		HIC_NRDY
GPIO10	EPWM6_A		ADCSOCBO	EQEP1_A	SCIB_TX	SPIA_POCI	I2CA_SDA	FSITXA_CL K	LINA_TX	EQEP3_STR OBE	FSITXA_TD M_D0	CLB_OUTP UTXBAR4
						SPIA_SOMI			LINB_TX	HIC_NWE		
GPIO11	EPWM6_B	MCANA_RX	OUTPUTXB AR7	EQEP1_B	SCIB_RX	SPIA_PTE	FSIRXA_D1	LINA_RX	EQEP2_A	SPIA_PICO	HIC_D6	EQEP3_IND EX
						SPIA_STE			LINB_RX	SPIA_SIMO		HIC_NBE0
GPIO12	EPWM7_A		MCANA_RX	EQEP1_STR OBE	SCIB_TX	PMBUSA_C TL	FSIRXA_D0	LINA_TX	SPIA_CLK	CANA_RX	HIC_D13	HIC_INT
			MCAN_RX					LINB_TX				
GPIO13	EPWM7_B		MCANA_TX	EQEP1_IND EX	SCIB_RX	PMBUSA_A LERT	FSIRXA_CL K	LINA_RX	SPIA_POCI	CANA_TX	HIC_D11	HIC_D5
			MCAN_TX					LINB_RX	SPIA_SOMI			
GPIO14	EPWM8_A	SCIB_TX		I2CB_SDA	OUTPUTXB AR3	PMBUSA_S DA	SPIB_CLK	EQEP2_A	LINA_TX	EPWM3_A	CLB_OUTP UTXBAR7	USB0_ODP DAT
									LINB_TX			HIC_D15
GPIO15	EPWM8_B	SCIB_RX		I2CB_SCL	OUTPUTXB AR4	PMBUSA_S CL	SPIB_PTE	EQEP2_B	LINA_RX	EPWM3_B	CLB_OUTP UTXBAR6	USB0_ODM SE0
							SPIB_STE		LINB_RX			HIC_D12
GPIO16	SPIA_PICO		OUTPUTXB AR7	EPWM9_A	SCIA_TX	SD1_D1	EQEP1_STR OBE	PMBUSA_S CL	XCLKOUT	EQEP2_B	SPIB_POCI	EQEP3_STR OBE
	SPIA_SIMO			EPWM5_A								SPIB_SOMI
GPIO17	SPIA_POCI		OUTPUTXB AR8	EPWM9_B	SCIA_RX	SD1_C1	EQEP1_IND EX	PMBUSA_S DA	MCANA_TX		EPWM6_A	HIC_D2
	SPIA_SOMI			EPWM5_B					CANA_TX			
GPIO18	SPIA_CLK	SCIB_TX	MCANB_RX	EPWM6_A	I2CA_SCL	SD1_D2	EQEP2_A	PMBUSA_C TL	XCLKOUT	LINA_TX	FSITXA_TD M_CLK	EQEP3_IND EX
			CANA_RX							LINB_TX		HIC_INT
GPIO19	SPIA_PTE	SCIB_RX	MCANB_TX	EPWM6_B	I2CA_SDA	SD1_C2	EQEP2_B	PMBUSA_A LERT	CLB_OUTP UTXBAR1	LINA_RX	FSITXA_TD M_D0	HIC_NBE0
	SPIA_STE		CANA_TX							LINB_RX		
GPIO20	EQEP1_A			EPWM12_A	SPIB_PICO	SD1_D3	MCANA_TX	ADCE_EXT MUXSEL0	I2CA_SCL			SCIC_TX
				SPIB_SOMI								
GPIO21	EQEP1_B			EPWM12_B	SPIB_POCI	SD1_C3	MCANA_RX	ADCE_EXT MUXSEL1	I2CA_SDA			SCIC_RX
				SPIB_SOMI	MCAN_RX							
GPIO22	EQEP1_STR OBE		SCIB_TX		SPIB_CLK	SD1_D4	LINA_TX	CLB_OUTP UTXBAR1	LINA_TX	HIC_A5	EPWM4_A	EQEP3_A
									LINB_TX			HIC_D13

表 3-12. GPIO 多路复用引脚 (续)

0	1	2	3	5	6	7	9	10	11	13	14	15
GPIO23	EQEP1_IND EX		SCIB_RX		SPIB_PTE	SD1_C4	LINA_RX	CLB_OUTP UTXBAR3	LINA_RX	EPWM12_A	EPWM4_B	HIC_D11
					SPIB_STE				LINB_RX	HIC_A3		
GPIO24	OUTPUTXB AR1	EQEP2_A	SPIA_PTE	EPWM8_A	SPIB_PICO	SD2_D1	LINA_TX	PMBUSA_S CL	SCIA_TX	ERRORSTS	EPWM9_A	HIC_D3
					SPIB_SIMO		LINB_TX					
GPIO25	OUTPUTXB AR2	EQEP2_B		EQEP1_A	SPIB_POCI	SD2_C1	FSITXA_D1	PMBUSA_S DA	SCIA_RX	EQEP3_A	HIC_BASES EL0	
					SPIB_SOMI							
GPIO26	OUTPUTXB AR3	EQEP2_IND EX		OUTPUTXB AR3	SPIB_CLK	SD2_D2	FSITXA_D0	PMBUSA_C TL	I2CA_SDA	EQEP3_B	HIC_D0	HIC_A1
GPIO27	OUTPUTXB AR4	EQEP2_STR OBE		OUTPUTXB AR4	SPIB_PTE	SD2_C2	FSITXA_CL K	PMBUSA_A LERT	I2CA_SCL	EQEP3_STR OBE	HIC_D1	HIC_A4
					SPIB_STE							
GPIO28	SCIA_RX		EPWM7_A	OUTPUTXB AR5	EQEP1_A	SD2_D3	EQEP2_STR OBE	LINA_TX	SPIB_CLK	ERRORSTS	I2CB_SDA	HIC_NOE
GPIO29	SCIA_TX		EPWM7_B	OUTPUTXB AR6	EQEP1_B	SD2_C3	EQEP2_IND EX	LINA_RX	SPIB_PTE	ERRORSTS	I2CB_SCL	HIC_NCS
									SPIB_STE			
GPIO30	CANA_RX		SPIB_PICO	OUTPUTXB AR7	EQEP1_STR OBE	SD2_D4	FSIRXA_CL K	MCANA_RX	EPWM1_A	EQEP3_IND EX	HIC_D8	
			SPIB_SIMO					MCAN_RX				
GPIO31	CANA_TX		SPIB_POCI	OUTPUTXB AR8	EQEP1_IND EX	SD2_C4	FSIRXA_D1	MCANA_TX	EPWM1_B		HIC_D10	
			SPIB_SOMI					MCAN_TX				
GPIO32	I2CA_SDA	EQEP1_IND EX	SPIB_CLK	EPWM8_B	LINA_TX	SD1_D2	FSIRXA_D0	MCANB_TX	PMBUSA_S DA	ADCSOCBO		HIC_INT
								CANA_TX				
GPIO33	I2CA_SCL		SPIB_PTE	OUTPUTXB AR4	LINA_RX	SD1_C2	FSIRXA_CL K	MCANB_RX	EQEP2_B	ADCSOCAO	SD1_C1	SCIC_RX
			SPIB_STE					CANA_RX				HIC_D0
GPIO34	OUTPUTXB AR1				PMBUSA_S DA					HIC_NBE1	I2CB_SDA	HIC_D9
GPIO35	SCIA_RX	SPIA_POCI	I2CA_SDA	MCANB_RX	PMBUSA_S CL	LINA_RX	EQEP1_A	PMBUSA_C TL	EPWM5_B	SD2_C1	HIC_NWE	TDI
				CANA_RX								
GPIO37	OUTPUTXB AR2	SPIA_PTE	I2CA_SCL	SCIA_TX	MCANB_TX	LINA_TX	EQEP1_B	PMBUSA_A LERT	EPWM5_A		HIC_NRDY	TDO
					CANA_TX							
GPIO39					MCAN_RX	FSIRXA_CL K	EQEP2_IND EX		CLB_OUTP UTXBAR2	SYNCOUT	EQEP1_IND EX	HIC_D7
GPIO40	SPIB_PICO		EMU0	EPWM2_B	PMBUSA_S DA	FSIRXA_D0	SCIB_TX	EQEP1_A	LINA_TX		CLB_OUTP UTXBAR4	EQEP3_STR OBE
	SPIB_SIMO								LINB_TX		HIC_NBE1	HIC_D5
GPIO41	EPWM7_A		EMU1	EPWM2_A	PMBUSA_S CL	FSIRXA_D1	SCIB_RX	EQEP1_B	LINA_RX	EPWM12_B	SPIB_POCI	HIC_D12
									LINB_RX	HIC_A4	SPIB_SOMI	

表 3-12. GPIO 多路复用引脚 (续)

0	1	2	3	5	6	7	9	10	11	13	14	15
GPIO42		LINA_RX	OUTPUTXB AR5	PMBUSA_C TL	I2CA_SDA	SCIC_RX		EQEP1_STR OBE	CLB_OUTP UTXBAR3		HIC_D2	HIC_A6
GPIO43			OUTPUTXB AR6	PMBUSA_A LERT	I2CA_SCL	SCIC_TX	PMBUSA_A LERT	EQEP1_IND EX	CLB_OUTP UTXBAR4	SD2_D3	HIC_D3	HIC_A7
GPIO44			OUTPUTXB AR7	EQEP1_A	PMBUSA_S DA	FSITXA_CL K	PMBUSA_C TL	CLB_OUTP UTXBAR3	FSIRXA_D0	HIC_D7	LINA_TX LINB_TX	HIC_D5
GPIO45			OUTPUTXB AR8			FSITXA_D0	PMBUSA_A LERT	CLB_OUTP UTXBAR4		SD2_C3		HIC_D6
GPIO46			LINA_TX	MCANA_TX MCAN_TX		FSITXA_D1	PMBUSA_S DA			SD2_C4		HIC_NWE
GPIO47			LINA_RX	MCANA_RX MCAN_RX		CLB_OUTP UTXBAR2	PMBUSA_S CL			SD2_D4	FSITXA_TD M_CLK	HIC_A6
GPIO48	OUTPUTXB AR3		CANA_TX	MCANA_TX	SCIA_TX	SD1_D1	PMBUSA_S DA					HIC_A7
GPIO49	OUTPUTXB AR4		CANA_RX	MCANA_RX	SCIA_RX	SD1_C1	LINA_RX			SD2_D1	FSITXA_D0	HIC_D2
GPIO50	EQEP1_A			MCANA_TX MCAN_TX	SPIB_PICO SPIB_SIMO	SD1_D2	I2CB_SDA			SD2_D2	FSITXA_D1	HIC_D3
GPIO51	EQEP1_B			MCANA_RX MCAN_RX	SPIB_POCI SPIB_SOMI	SD1_C2	I2CB_SCL			SD2_D3	FSITXA_CL K	HIC_D6
GPIO52	EQEP1_STR OBE			CLB_OUTP UTXBAR5	SPIB_CLK	SD1_D3	SYNCOUT			SD2_D4	FSIRXA_D0	HIC_NWE
GPIO53	EQEP1_IND EX			CLB_OUTP UTXBAR6	SPIB_PTE SPIB_STE	SD1_C3	ADCSOAO	MCANB_RX CANA_RX		SD1_C1	FSIRXA_D1	
GPIO54	SPIA_PICO SPIA_SIMO			EQEP2_A	OUTPUTXB AR2	SD1_D4	ADCSOCBO	LINA_TX LINB_TX		SD1_C2	FSIRXA_CL K	FSITXA_TD M_D1
GPIO55	SPIA_POCI SPIA_SOMI			EQEP2_B	OUTPUTXB AR3	SD1_C4	ERRORSTS	LINA_RX LINB_RX		SD1_C3		HIC_A0
GPIO56	SPIA_CLK	CLB_OUTP UTXBAR7	MCANA_TX MCAN_TX	EQEP2_STR OBE	SCIB_TX	SD2_D1	SPIB_PICO SPIB_SIMO	I2CA_SDA	EQEP1_A	SD1_C4	FSIRXA_D1	HIC_D6
GPIO57	SPIA_PTE SPIA_STE	CLB_OUTP UTXBAR8	MCANA_RX MCAN_RX	EQEP2_IND EX	SCIB_RX	SD2_C1	SPIB_POCI SPIB_SOMI	I2CA_SCL	EQEP1_B		FSIRXA_CL K	HIC_D4
GPIO58				OUTPUTXB AR1	SPIB_CLK	SD2_D2	LINA_TX	MCANB_TX CANA_TX	EQEP1_STR OBE	SD2_C2	FSIRXA_D0	HIC_NRDY

表 3-12. GPIO 多路复用引脚 (续)

0	1	2	3	5	6	7	9	10	11	13	14	15
GPIO59				OUTPUTXB AR2	SPIB_PTE	SD2_C2	LINA_RX	MCANB_RX	EQEP1_IND EX	SD2_C3	FSITXA_TD M_D1	
					SPIB_STE			CANA_RX				
GPIO60	EPWM12_B		MCANA_TX	OUTPUTXB AR3	SPIB_PICO	SD2_D3				SD2_C4		HIC_A0
			MCAN_TX		SPIB_SIMO							
GPIO61			MCANA_RX	OUTPUTXB AR4	SPIB_POCI	SD2_C3					MCANB_RX	
			MCAN_RX		SPIB_SOMI						CANA_RX	
GPIO62	EPWM10_A	OUTPUTXB AR3		MCANA_TX	SCIA_TX		PMBUSA_S DA					USB0_OIDP ULLUP
GPIO63	EPWM10_B	OUTPUTXB AR4		MCANA_RX	SCIA_RX		LINA_RX					USB0_OSPE ED
GPIO64	SCIA_RX	EPWM11_A	EPWM7_A	OUTPUTXB AR5	EQEP1_A		EQEP2_STR OBE	LINA_TX	SPIB_CLK	ERRORSTS	I2CB_SDA	USB0_OSU SPEND
GPIO65	EQEP1_A	EPWM11_B			SPIB_PICO		MCANA_TX		I2CA_SCL		USB0_OFSD _1_N	
GPIO66	EQEP1_B	EPWM12_A			SPIB_POCI		MCANA_RX		I2CA_SDA		USB0_ODIS CHRGVBUS	
GPIO67	EPWM7_B	EPWM12_B	MCANA_TX	EQEP1_IND EX	SCIB_RX	PMBUSA_A LERT	FSIRXA_CL K	LINA_RX	SPIA_POCI		USB0_OCH RGVBUS	SCIC_RX
GPIO68	EPWM7_A	EPWM3_A	MCANA_RX	EQEP1_STR OBE	SCIB_TX	PMBUSA_C TL	FSIRXA_D0	LINA_TX	SPIA_CLK		USB0_ODM PULLDN	SCIC_TX
GPIO69	EPWM6_B	EPWM3_B	OUTPUTXB AR7	EQEP1_B	SCIB_RX	SPIA_PTE	FSIRXA_D1	LINA_RX	EQEP2_A	SPIA_PICO	USB0_ODP PULLDN	EQEP3_IND EX
GPIO70	I2CA_SCL		SPIB_PTE	OUTPUTXB AR4	LINA_RX		FSIRXA_CL K	MCANA_RX	EQEP2_B	ADCSOCAO	USB0_OLSD _2_N	EQEP3_A
GPIO71	SPIA_PICO	EPWM4_B	OUTPUTXB AR7	EPWM9_A	SCIA_TX		EQEP1_STR OBE	PMBUSA_S CL	XCLKOUT	EQEP2_IND EX	SPIB_POCI	EQEP3_STR OBE
GPIO72	SPIA_POCI	EPWM5_A	OUTPUTXB AR8	EPWM9_B	SCIA_RX		EQEP1_IND EX	PMBUSA_S DA	MCANA_TX	USB0_OLSD _1_N	EPWM6_A	EQEP3_B
GPIO73	OUTPUTXB AR1	EPWM5_B	SPIA_PTE	EPWM8_A	SPIB_PICO		LINA_TX	PMBUSA_S CL	SCIA_TX	ERRORSTS	EPWM9_A	USB0_OOE
GPIO74	EPWM2_B		ADCSOCAO	MCANA_TX	SPIA_POCI				EQEP1_B	USB0_IID		
GPIO75	EPWM1_B		LINA_RX	EPWM6_A	SPIA_CLK				EQEP1_STR OBE	USB0_ISES SEND	SCIC_RX	
GPIO76	EPWM4_A			OUTPUTXB AR2	SPIA_PTE			MCANA_RX	EQEP1_IND EX	USB0_IJVAL ID		
GPIO77	EPWM1_A			OUTPUTXB AR3	SPIA_PICO			MCANA_TX	EQEP1_A	USB0_IXRC V	SCIC_TX	
GPIO78		EPWM8_A	EPWM3_A	OUTPUTXB AR1	EPWM2_B		FSITXA_CL K			USB0_IDM		

表 3-12. GPIO 多路复用引脚 (续)

0	1	2	3	5	6	7	9	10	11	13	14	15
GPIO79		EPWM8_B	EPWM3_B	MCANA_RX	EPWM2_A	I2CA_SDA	PMBUSA_SCL			USB0_IDP		
GPIO80	EPWM1_A		OUTPUTXB AR7	SCIA_RX	I2CB_SDA	SPIA_PTE	FSITXA_D0	MCANA_RX	CLB_OUTP UTXBAR8	EQEP1_IND EX	USB0_OFSD _2_N	EPWM3_A
GPIO81	EPWM1_B	OUTPUTXB AR6	SCIC_RX	SPIB_CLK	I2CB_SCL		FSITXA_D1	MCANA_TX	EQEP3_IND EX			
GPIO211	EPWM10_A			EQEP3_A								
GPIO212	EPWM10_B			EQEP3_B								
GPIO213	EPWM11_A			EQEP3_STR OBE								
GPIO214	EPWM11_B			EQEP3_IND EX								
GPIO215	EPWM7_B			EQEP2_A								
GPIO224	EPWM11_B			OUTPUTXB AR3	SPIA_PICO		EPWM1_A	MCANA_TX	EQEP1_A	ADCE_EXT MUXSEL3	SCIC_TX	
GPIO226	EPWM10_B		LINA_RX	EPWM6_A	SPIA_CLK		EPWM1_B		EQEP1_STR OBE	ADCE_EXT MUXSEL1	SCIC_RX	
GPIO227	I2CB_SCL		EPWM3_A	OUTPUTXB AR1	EPWM2_B							
GPIO228	EPWM10_A	EMU1	ADCSOAO	MCANA_TX	SPIA_POCI		EPWM2_B		EQEP1_B	ADCE_EXT MUXSEL0		
GPIO230	I2CB_SDA		EPWM3_B	MCANA_RX	EPWM2_A	I2CA_SDA	PMBUSA_SCL					
GPIO236												
GPIO242	EPWM11_A			OUTPUTXB AR2	SPIA_PTE		EPWM4_A	MCANA_RX	EQEP1_IND EX	ADCE_EXT MUXSEL2		
GPIO247	EPWM12_B											
GPIO253	EPWM12_A											
AIO208												
AIO209												
AIO210												
AIO224		SD2_D3										HIC_A3
AIO225		SD2_C2										HIC_NWE
AIO226		SD2_D4										HIC_A1
AIO227		SD1_C3										HIC_NBE0
AIO228		SD2_C1										HIC_A0
AIO229												

表 3-12. GPIO 多路复用引脚 (续)

0	1	2	3	5	6	7	9	10	11	13	14	15
AIO230		SD1_C4										HIC_BASES EL2
AIO231		SD1_C1										HIC_BASES EL1
AIO232		SD1_D4										HIC_BASES EL0
AIO233		SD2_D1										HIC_A4
AIO234												
AIO235												
AIO236												
AIO237		SD1_D2										HIC_A6
AIO238		SD2_C3										HIC_NCS
AIO239		SD1_D1										HIC_A5
AIO240		SD2_C1										HIC_NBE1
AIO241		SD2_C1										HIC_NBE1
AIO242		SD2_D2										HIC_A2
AIO244		SD1_D3										HIC_A7
AIO245		SD1_C2										HIC_NOE
AIO247												
AIO248												
AIO249												
AIO251												
AIO252		SD2_C4										
AIO253												

3.9 模拟多路复用更改

表 3-14 简要介绍了针对 80 引脚 PNA 和 64 引脚 PM 封装的 F28003x 和 F28P55x 之间模拟多路复用器的异同点。表 3-15 简要介绍了 100 引脚 PZ 封装的 F28003x 和 F28P55x 之间模拟多路复用器的异同点。表 3-13 是此表的图例。主要变化是添加了 ADCD、ADCE 和 PGA。另外，F28P55x 上还有更多的 AGPIO

表 3-13. 多路复用器图例

颜色	说明
	两种器件共有的多路复用器功能
	仅适用于 F28003x 的多路复用器功能
	仅适用于 F28P55x 的多路复用器功能

表 3-14. F28003x 和 F28P55x 80 引脚 PNA 和 64 引脚 PM 模拟多路复用器差异表

(F28003x 引脚名称)	封装引脚		ADC					比较器子系统 (多路复用器)				AIO/ AGPIO 输入	
F28P55x 引脚名称	80 PNA	64 PM	A	B	C	D	E	高正	高负	低正	低负		
VREFHI	20	16											
VREFLO	21	17	-	-	C13	-	-						
			A13	B13		D13	E13						
模拟组 1					CMP1								
(A6) A6/D14/E14	10	6	A6	-	-	-	-	CMP1 (HPMXSEL=2)		CMP1 (LPMXSEL=2)			AIO228
(A2/B6/C9) A2/B6/C9/ PGA1_INP	13	9	A2	B6	C9	-	-	CMP1 (HPMXSEL=0)		CMP1 (LPMXSEL=0)			AIO224
(A15/B9/C7) A15/B9/C7/ PGA1_INM	14	10	A15	B9	C7	-	-	CMP1 (HPMXSEL=3)	CMP1 (HNMXSEL=0)	CMP1 (LPMXSEL=3)	CMP1 (LNMXSEL=0)		AIO233
(A11/B10/C0) A11/B10/C0/ PGA2_OUT	16	12	A11	B10	C0	-	-	CMP1 (HPMXSEL=1)	CMP1 (HNMXSEL=1)	CMP1 (LPMXSEL=1)	CMP1 (LNMXSEL=1)		AIO237
(A1/B7/ DACB_OUT) A1/B7/D11/ DACB_OUT	18	14	A1	B7	-	-	D11	CMP1 (HPMXSEL=4)		CMP1 (LPMXSEL=4)			AIO232
模拟组 2					CMP2								
(A10/B1/C10) A10/B1/C10	29	25	A10	B1	C10	-	-	CMP2 (HPMXSEL=3)	CMP2 (HNMXSEL=0)	CMP2 (LPMXSEL=3)	CMP2 (LNMXSEL=0)		AIO230
													GPIO230
模拟组 3					CMP3								
(B2/C6) B2/C6/E12	11	7	-	B2	C6	-	-	CMP3 (HPMXSEL=0)		CMP3 (LPMXSEL=0)			AIO226
(A3/B3/C5/VDAC) A3/B3/C5/ PGA2_INP	12	8	A3	B3	C5	-	-	CMP3 (HPMXSEL=3) CMP3 (HPMXSEL=5)	CMP3 (HNMXSEL=0)	CMP3 (LPMXSEL=3)/CMP 3 (LPMXSEL=5)	CMP3 (LNMXSEL=0)		AIO242
(A14/B14/C4) A14/B14/C4/ PGA1_OUT	15	11	A14	B14	C4	-	-	CMP3 (HPMXSEL=4)		CMP3 (LPMXSEL=4)			AIO239
(A0/B15/C15/ DACA_OUT)	15	11	A0	B15	C15	-	-	CMP3 (HPMXSEL=2)		CMP3 (LPMXSEL=2)			AIO231
模拟组 4					CMP4								
(A7/C3) A7/B30/C3/D12/E3 0	23	19	A7	B30	C3	-	-	CMP4 (HPMXSEL=1)	CMP4 (HNMXSEL=1)	CMP4 (LPMXSEL=1)	CMP4 (LNMXSEL=1)		AIO245
- A8/B0/C11/ PGA3_OUT	24	20	A8	B0	C11	-	-	CMP4(HPMXSEL=4)		CMP4(LPMXSEL=4)			AIO241
模拟组 2/3					CMP2/3								

表 3-14. F28003x 和 F28P55x 80 引脚 PNA 和 64 引脚 PM 模拟多路复用器差异表 (续)

(F28003x 引脚名称)	封装引脚		ADC					比较器子系统 (多路复用器)				AIO/AGPIO 输入
F28P55x 引脚名称	80 PNA	64 PM	A	B	C	D	E	高正	高负	低正	低负	
(A5/B12/C2) A5/B12/C2/ PGA2_INM	17	13	A5	B12	C2	-	-	CMP3 (HPMXSEL=1)CMP 2 (HPMXSEL=5)	CMP3 (HNMXSEL=1)	CMP3 (LPMXSEL=1)CMP 2 (LPMXSEL=5)	CMP3 (LNMXSEL=1)	AIO244/ AIO249
组合模拟组 2/4							CMP2/4					
(A12/C1) A12/C1/E11/ PGA3_INP	22	18	A12	-	C1	-	- E11	CMP2 (HPMXSEL=1) CMP4 (HPMXSEL=2)	CMP2 (HNMXSEL=1)	CMP2 (LPMXSEL=1) CMP4 (LPMXSEL=2)	CMP2 (LNMXSEL=1)	AIO238/ AIO248
(A8/B0/C11) -	24	20	A8	B0	C11	-	-	CMP2 (HPMXSEL=4) CMP4 (HPMXSEL=4)		CMP2 (LPMXSEL=4) CMP4 (LPMXSEL=4)		AIO241 -
A4/B8/C14	27	23	A4	B8	C14	-	-	CMP2 (HPMXSEL=0) CMP4 (HPMXSEL=3)	CMP4 (HNMXSEL=0)	CMP2 (LPMXSEL=0) CMP4 (LPMXSEL=3)	CMP4 (LNMXSEL=0)	AIO225
(A9/B4/C8) A9/B4/C8	28	24	A9	B4	C8	-	-	CMP2 (HPMXSEL=2) CMP4 (HPMXSEL=0)		CMP2 (LPMXSEL=2) CMP4 (LPMXSEL=0)		AIO236/ AIO227 AIO236/ AGPIO227
其他模拟												
B5 A17/B17/C17	33	- 27	- A17	B5 B17	- C17	- -	- -	CMP1 (HPMXSEL=5)		CMP1 (LPMXSEL=5)		AGPIO20
B11 A18/B18/C18	34	- 28	- A18	B11 B18	- C18	- -	- -	CMP4 (HPMXSEL=5)		CMP4 (LPMXSEL=5)		AGPIO21
- A19/B19/C19	35	29	- A19	- B19	- C19	- -	- -					GPIO13 AGPIO13
- A20/B20/C20	36	30	- A20	- B20	- C20	- -	- -					GPIO12 AGPIO12
- A24/D0/E0	37	31	- A24	- -	- -	- D0	- E0					GPIO11 AGPIO11
- B24/D1/E1	38	32	- -	- B24	- -	- D1	- E1					GPIO33 AGPIO33
- C24/D2/E2	39	33	- -	- -	- C24	- D2	- E2					GPIO16 AGPIO16
- A25/D3/E3	40	34	- A25	- -	- -	- D3	- E3					GPIO17 AGPIO17
- B25/D4/E4	41	35	- -	- B25	- -	- D4	- E4					GPIO24 AGPIO24
PGA1_OUT_INT(internal)								CMP1 (HPMXSEL=6)		CMP1 (LPMXSEL=6)		
PGA2_OUT_INT(internal)								CMP2 (HPMXSEL=6)		CMP2 (LPMXSEL=6)		
PGA3_OUT_INT(internal)								CMP3 (HPMXSEL=6)		CMP=3 (LPMXSEL=6)		
TempSensor(internal)	-	-	-	-	C12	-	-	CMP2 (HPMXSEL=7)				

表 3-15. F28003x 和 F28P55x 100 引脚 PZ 模拟多路复用器差异表

(F28003x 引脚名称)	封装引脚	ADC					比较器子系统 (多路复用器)				AIO/AGPIO 输入
F28P55x 引脚名称	100 PZ	A	B	C	D	E	高正	高负	低正	低负	
VREFHI	24/25										
VREFLO	26/27	-	-	C13	-	-					
		A13	B13		D13	E13					
模拟组 1						CMP1					
(A6)					-	-					AIO228
A6/D14/E14	14	A6	-	-	D14	E14	CMP1 (HPMXSEL=2)		CMP1 (LPMXSEL=2)		AGPIO28
(A2/B6/C9)					-	-					AIO224
A2/B6/C9/PGA1_INP	17	A2	B6	C9	-	-	CMP1 (HPMXSEL=0)		CMP1 (LPMXSEL=0)		AGPIO24
(B9/C7)		-			-	-					AIO233
A3/B9/C7/PGA1_INM	18	A3	B9	C7	-	-	CMP1 (HPMXSEL=3)	CMP1 (HNMXSEL=0)	CMP1 (LPMXSEL=3)	CMP1 (LNMXSEL=0)	AGPIO23
(A11/B10/C0)					-	-					AIO237
A11/B10/C0/PGA2_OUT	20	A11	B10	C0	-	-	CMP1 (HPMXSEL=1)	CMP1 (HNMXSEL=1)	CMP1 (LPMXSEL=1)	CMP1 (LNMXSEL=1)	
(A1/B7/DACB_OUT)					-	-					AIO232
A1/B7/D11/DACB_OUT	22	A1	B7	-	D11	-	CMP1 (HPMXSEL=4)		CMP1 (LPMXSEL=4)		
B5	32	-	B5	-	-	-					AIO252
B5/D15/E15/PGA3_OUT	32	-	-	-	D15	E15	CMP1 (HPMXSEL=5)		CMP1 (LPMXSEL=5)		
模拟组 2						CMP2					
A10/B1/C10	40	A10	B1	C10	-	-	CMP2 (HPMXSEL=3)	CMP2 (HNMXSEL=0)	CMP2 (LPMXSEL=3)	CMP2 (LNMXSEL=0)	AIO230
					-	-					GPIO230
(A12)					-	-					AIO238
A12/C5	28	A12	-	C5	-	-	CMP2 (HPMXSEL=1)	CMP2 (HNMXSEL=1)	CMP2 (LPMXSEL=1)	CMP2 (LNMXSEL=1)	
A4/B8	36	A4	B8	-	-	-	CMP2 (HPMXSEL=0)		CMP2 (LPMXSEL=0)		AIO225
A9	38	A9	-	-	-	-	CMP2 (HPMXSEL=2)		CMP2 (LPMXSEL=2)		AIO227
					-	-					AGPIO27
A5	35	A5	-	-	-	-	CMP2(HPMXSEL=5)		CMP2(LPMXSEL=5)		AIO249
模拟组 3						CMP3					
(B2/C6)		-			-	-					AIO226
B2/C6/E12	15	-	B2	C6	-	E12	CMP3 (HPMXSEL=0)		CMP3 (LPMXSEL=0)		GPIO226
(B3/VDAC)		-			-	-					AIO242
B3/PGA2_INP	16	-	B3	-	-	-	CMP3 (HPMXSEL=3)	CMP3 (HNMXSEL=0)	CMP3 (LPMXSEL=3)	CMP3 (LNMXSEL=0)	GPIO242
(A14/B14/C4)					-	-					AIO239
A14/B14/C4/PGA1_OUT	19	A14	B14	C4	-	-	CMP3 (HPMXSEL=4)		CMP3 (LPMXSEL=4)		
(B12/C2)		-			-	-					AIO244
B12/C2/PGA2_INM	21	-	B12	C2	-	-	CMP3 (HPMXSEL=1)	CMP3 (HNMXSEL=1)	CMP3 (LPMXSEL=1)	CMP3 (LNMXSEL=1)	

表 3-15. F28003x 和 F28P55x 100 引脚 PZ 模拟多路复用器差异表 (续)

(F28003x 引脚名称)	封装引脚	ADC					比较器子系统 (多路复用器)				AIO/AGPIO 输入
F28P55x 引脚名称	100 PZ	A	B	C	D	E	高正	高负	低正	低负	
(A0/C15/ DACA_OUT) A0/B15/C15/ DACA_OUT	23	A0	- B15	C15	-	-	CMP3 (HPMXSEL=2)		CMP3 (LPMXSEL=2)		AIO231
(B9/C7) A3/B9/C7/ PGA1_INM	18	- A3	B9	C7	-	-	- CMP3 (HPMXSEL=5)		- CMP3 (LPMXSEL=5)		AIO233 AGPIO2 23
模拟组 4						CMP4					
(A7/C3) A7/B30/C3/D1 2/E30	31	A7	- B30	C3	- D12	- E30	CMP4 (HPMXSEL=1)	CMP4 (HNMXSEL=1)	CMP4 (LPMXSEL=1)	CMP4 (LNMXSEL=1)	AIO245
(C1) C1/E11/ PGA3_INP	29	-	-	C1	-	E11	CMP4 (HPMXSEL=2)		CMP4 (LPMXSEL=2)		AIO241
B4/C8	39	- -	B4	C8	- -	- -	CMP4 (HPMXSEL=0)		CMP4 (LPMXSEL=0)		AIO236
B11 B11/D16/E16/ PGA3_INM	30	- -	B11	-	- D16	- E16	CMP4 (HPMXSEL=5)		CMP4 (LPMXSEL=5)		AIO251
其他模拟											
B5 A17/B17/C17	48	- A17	B5 B17	- C17	-	-					AGPIO2 0
B11 A18/B18/C18	49	- A18	B11 B18	- C18	-	-					AGPIO2 1
- A19/B19/C19	50	- A19	- B19	- C19	-	-					GPIO13 AGPIO1 3
- A20/B20/C20	51	- A20	- B20	- C20	-	-					GPIO12 AGPIO1 2
- A24/D0/E0	52	- A24	-	-	- D0	- E0					GPIO11 AGPIO1 1
- B24/D1/E1	53	- -	- B24	-	- D1	- E1					GPIO33 AGPIO3 3
- C24/D2/E2	54	- -	-	- C24	- D2	- E2					GPIO16 AGPIO1 6
- A25/D3/E3	55	- A25	-	-	- D3	- E3					GPIO17 AGPIO1 7
- B25/D4/E4	56	- -	- B25	-	- D4	- E4					GPIO24 AGPIO2 4
PGA1_OUT_I NT(internal)							CMP1 (HPMXSEL=6)		CMP1 (LPMXSEL=6)		
PGA2_OUT_I NT(internal)							CMP2 (HPMXSEL=6)		CMP2 (LPMXSEL=6)		

表 3-15. F28003x 和 F28P55x 100 引脚 PZ 模拟多路复用器差异表 (续)

(F28003x 引脚名称)	封装引脚	ADC					比较器子系统 (多路复用器)				AIO/AGPIO 输入
F28P55x 引脚名称	100 PZ	A	B	C	D	E	高正	高负	低正	低负	
PGA3_OUT_INT(internal)							CMP3 (HPMXSEL=6)		CMP3 (LPMXSEL=6)		
TempSensor(internal)	-	-	-	C12	-	-	CMP2 (HPMXSEL=7)				

4 从 F28003x 到 F28P55x 的应用程序代码迁移

以下部分将介绍从 F28003x 迁移到 F28P55x 时发生的代码变化。本部分还讨论了 F28P55x 中新增功能的软件示例。

4.1 C2000Ware 头文件

器件支持子目录下的 C2000Ware 中提供了 F28003x 和 F28P55x 器件的头文件。

4.2 链接器命令文件

器件支持子目录下的 C2000Ware 中提供了 F28003x 和 F28P55x 器件的链接器命令文件。对于 F28003x 和 F28P55x，都需要将这些连接器命令文件编译为嵌入式应用程序二进制接口 (EABI) 格式，并且各段名也需要遵守 EABI 标准。

4.3 C2000Ware 示例

C2000Ware 中具有特定于 F28003x 和 F28P55x 器件的示例。

5 与 F28P55x 中的新特性相关的特定用例

本节简单介绍了 C2000Ware 中的一些新示例，这些示例展示了 F28P55x 器件对新增功能的支持。

5.1 PGA

C2000Ware 包含的示例展示了 F28P55x 器件上新 PGA 模块的功能。

5.2 USB

C2000Ware 含有支持 F28P55x 上的 USB 模块的示例

6 EABI 支持

F28003x 和 F28P55x 器件都使用嵌入式应用程序二进制接口 (EABI) 格式来输出二进制可执行文件。TI 提供的所有 F28003x 和 F28P55x 库都作为 EABI 发布。

6.1 闪存 API

F28003x 具有三个闪存组。F28P55x 器件最多有五个闪存组。F28003x 和 F28P55x 闪存 API 库是针对 EABI 格式编译的。请注意，F28003x 和 F28P55x 具有不同的扇区大小。还有，两种器件的闪存等待状态配置要求也不同。表 6-1 对这些特性进行了汇总。

表 6-1. 闪存 API 差异

特性	F28003x	F28P55x
库名称	FlashAPI_F28003x_FPU32.lib	FlashAPI_F28P55x_FPU32.lib
库可执行文件输出	EABI	EABI
擦除、空白检查、编程和验证	在三个组上运行	在五个组上运行
扇区大小	4K x 16 位字	1K x 16 位字
闪存等待状态	5 (120MHz)	3 (150MHz)
闪存 API 主要版本	1	4
闪存 API 次要版本	58	0

7 参考资料

- 德州仪器 (TI) : [TMS320F28P55x 微控制器技术参考手册](#)
- 德州仪器 (TI) : [TMS320F28003x 微控制器技术参考手册](#)
- 德州仪器 (TI) : [TMS320F28P55x 微控制器数据表](#)
- 德州仪器 (TI) : [TMS320F28003x 微控制器数据表](#)

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (April 2024) to Revision A (September 2024)	Page
• 更新了节 1.1	3
• 更新了节 2.1	6
• 添加了节 3.1.4	11
• 添加了节 3.1.5	11
• 更新了节 3.4	13

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司