

EVM User's Guide: TLV4021-41EVM

TLV40x1EVM 评估模块

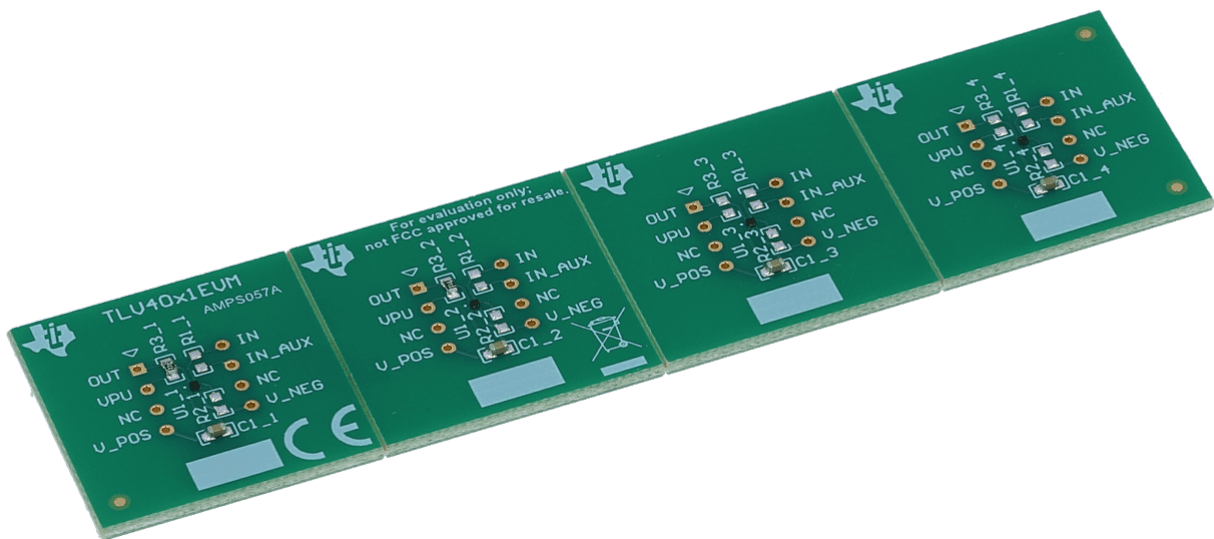


说明

TLV40x1EVM 评估模块 (EVM) 可展示具有集成基准的 TLV40x1 比较器系列的性能。

特性

- 精密的集成基准
- 提供 0.2V 和 1.2V 基准选项
- 提供开漏和推挽输出级选项



1 评估模块概述

1.1 简介

TLV40x1 系列器件是低功耗 (MicroPower) 高精度比较器，具有 0.2V 或 1.2V 内部基准电压，传播延迟为 450ns。这些比较器采用 0.73mm × 0.73mm 超小型 WCSP 封装。TLV40x1EVM 旨在轻松评估器件或将器件集成到用户的原型系统中。

该 EVM 由四个相同的布局 (象限) 组成，可在每个象限中安装不同的 TLV40x1 器件。出于用户灵活性考虑，通过在提供的划线处弯曲 EVM，可方便地将每个象限与其他象限分离。该 EVM 在交货时分别在象限 I 至 IV 中安装了 TVL4021R1、TLV4031R1、TLV4041R2 和 TLV4041R1 器件。

该 EVM 板提供与业界通用 DIP 封装兼容的安装孔。根据用户的集成要求，可以安装 8 引脚 DIP 插座、通用 0.1 英寸引脚接头或导线。

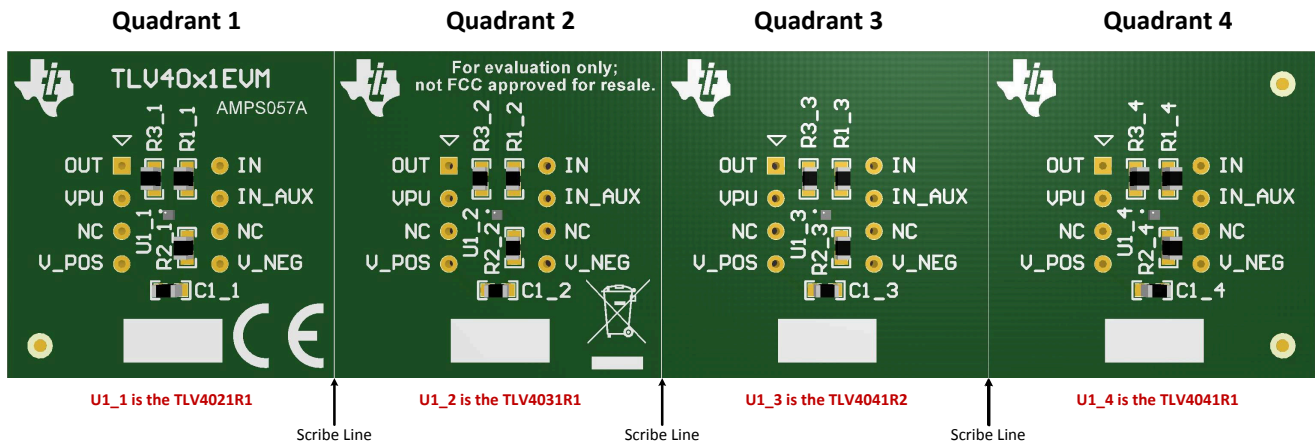


图 1-1. TLV40x1EVM 电路板 (顶视图)

1.2 套件内容

该套件附带以下内容：

- (1) TLV4021-41EVM

1.3 规格

每个象限的方框图是相同的，其中每个象限都安装了不同的 TLV40x1 器件。例如，象限 1 安装 TLV4021R1，象限 2 安装 TLV4031R1，象限 3 安装 TLV4041R2，象限 4 安装 TLV4041R1。有关每个 TLV40x1 系列成员的说明，请参阅图 1-2。

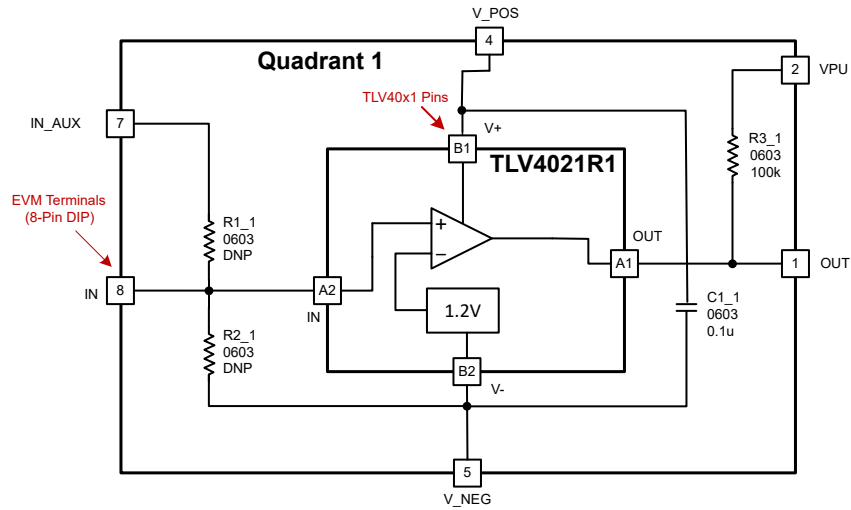


图 1-2. 方框图

1.4 器件信息

表 1-1. TLV40x1 和 EVM “象限” 电路板信号

TLV40x1 器件		TLV40x1EVM DIP 孔	
引脚编号	信号名称	引脚编号	信号名称
A1	OUT	1	OUT
B1	V+	4	V_POS
B2	V-	5	V_NEG
A2	IN	8	IN
		7	IN_AUX
		2	VPU
		3、6	无连接

表 1-2. TLV40x1 真值表

器件	基准电压	输入配置	输出拓扑
TLV4021R2 TLV4021R1	0.2V 1.2V	同相	开漏
TLV4031R2 TLV4031R1	0.2V 1.2V	反相	开漏
TLV4041R2 TLV4041R1	0.2V 1.2V	同相	推挽
TLV4051R2 TLV4051R1	0.2V 1.2V	反相	推挽

2 硬件

2.1 如何使用 TLV40x1EVM 进行评估和系统原型设计

TLV40x1EVM 象限装有 TLV40x1 器件、0.1 μ F 陶瓷电容器 (采用 0603 封装) 和 100k Ω 上拉电阻器 (仅象限 I 和 II)。如果在应用中需要将输入电压降低到较低的值,用户可以安装一对电阻器 R1 和 R2。在这种情况下,请将需要监测的电压连接到 IN_AUX (DIP 引脚 7) 而非 IN (DIP 引脚 8)。

根据用户的设置或要求,可以安装标准的 8 引脚 DIP 插座或 0.1 英寸引脚接头。用户还可以将导线直接焊接到 DIP 孔。

2.1.1 用例

图 2-1 显示了 TLV4021R1 作为欠压监测器的典型用例。EVM 上需要安装电阻器 R1 和 R2,并将需要监测的电压施加到 IN_AUX (DIP 引脚 7)。当 IN_AUX 上的输入电压降至 2V 以下时,该配置会检测到欠压情况。输出上拉电阻器 R3 通过 VPU (DIP 引脚 2) 连接到 1.8V 电源。此示例假设连接到比较器输出端的逻辑器件在 1.8V 的电压下运行。

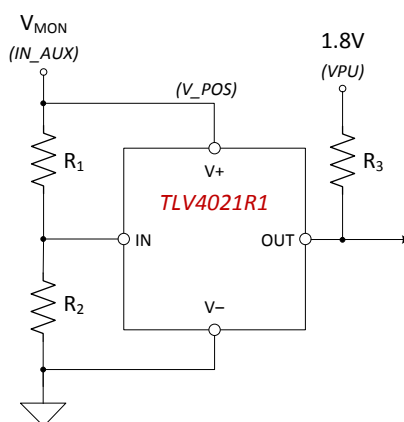


图 2-1. 用例

下面列出了用于推导 R1 和 R2 值的公式。有关此应用的更多详细信息,请参阅 [TLV40x1 具有精密基准的小尺寸、低功耗比较器](#) 数据表的“应用”部分。

$$R_1 = \frac{(V_{TH} - V_{IT-})}{V_{IT-}} \times R_2 \quad (1)$$

3 硬件设计文件

3.1 TLV40x1EVM 原理图

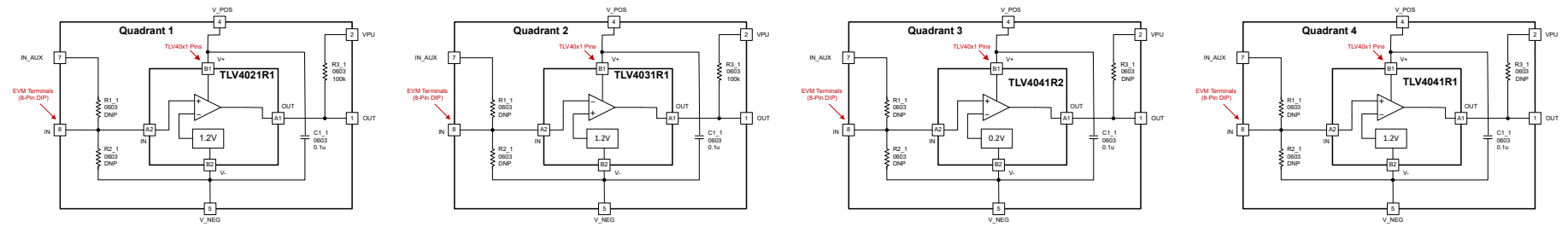


图 3-1. TLV40x1EVM 原理图

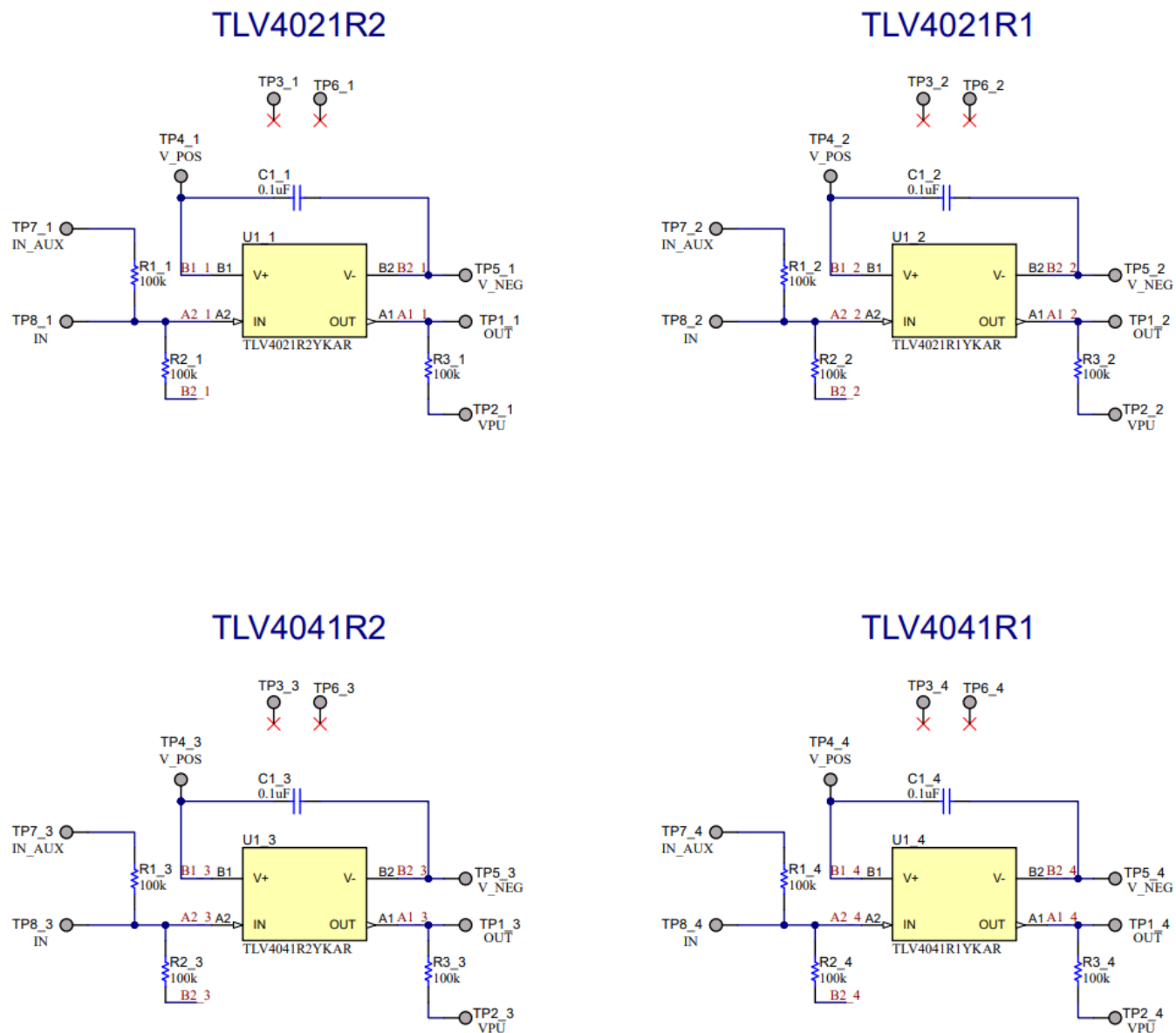
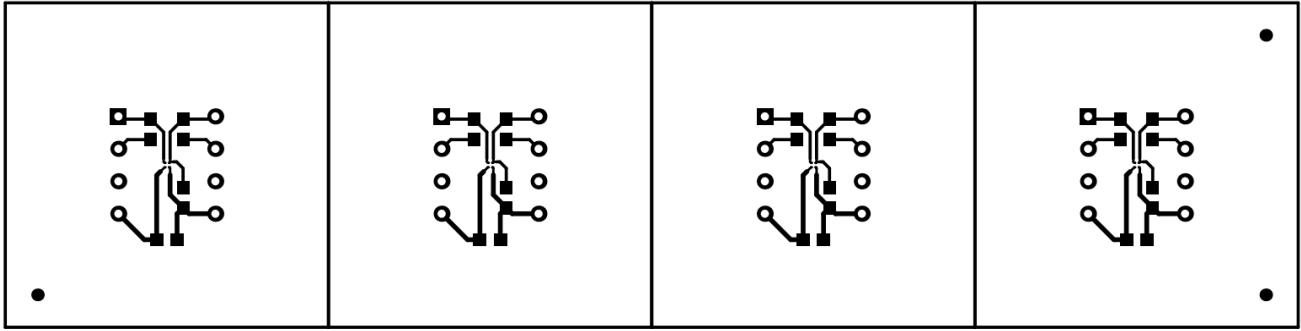
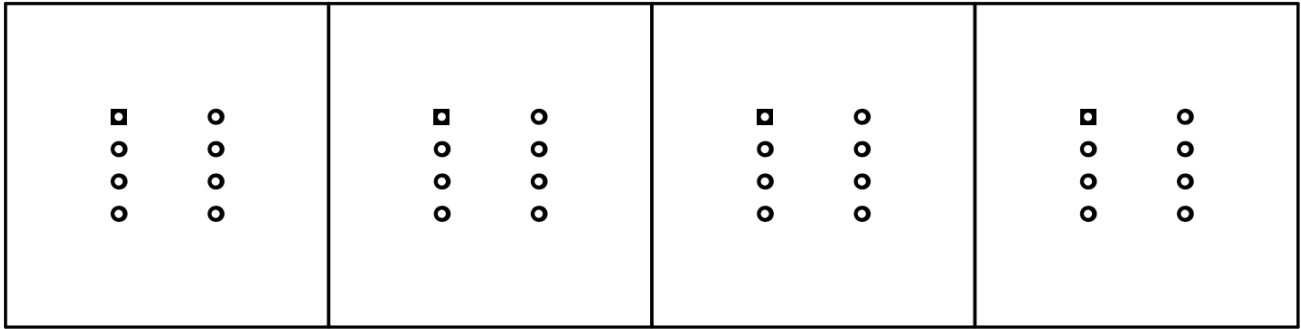


图 3-2. TLV40x1EVM Altium 原理图

3.2 PCB 布局



Top Layer



Bottom Layer

图 3-3. TLV40x1EVM PCB 布局

3.3 物料清单 (BOM)

表 3-1. 物料清单

位号	数量	值	说明	封装参考	器件型号	制造商
C1_1、C1_2、 C1_3、C1_4	4	0.1 μ F	电容, 陶瓷, 0.1 μ F, 10V, +/-10%, X7R, 0603	0603	C0603X104K8RACTU	Kemet
R3_1、R3_2	2	100k	电阻, 100k, 5%, 0.1W, AEC-Q200 0 级, 0603	0603	ERJ-3GEYJ104V	Panasonic
U1_1	1		TLV4021R1YKAR、YKA0004ADAD (DSBGA-4)	DSBGA-4	TLV4021R1YKAR	德州仪器 (TI)
U1_2	1		TLV4031R1YKAR、YKA0004ADAD (DSBGA-4)	DSBGA-4	TLV4031R1YKAR	德州仪器 (TI)
U1_3	1		TLV4041R2YKAR、YKA0004ADAD (DSBGA-4)	DSBGA-4	TLV4041R2YKAR	德州仪器 (TI)
U1_4	1		TLV4041R1YKAR、YKA0004ADAD (DSBGA-4)	DSBGA-4	TLV4041R1YKAR	德州仪器 (TI)
FID1、FID2、FID3	0		基准标记。没有需要购买或安装的元件。	不适用	不适用	不适用
R1_1、R1_2、 R1_3、R1_4、 R2_1、R2_2、 R2_3、R2_4、 R3_3、R3_4	0	100k	电阻, 100k, 5%, 0.1W, AEC-Q200 0 级, 0603	0603	ERJ-3GEYJ104V	Panasonic

4 其他信息

4.1 商标

所有商标均为其各自所有者的财产。

5 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (July 2019) to Revision B (June 2024)	Page
--	-------------

- 更改了方框图以反映 1.2V 的 TLV4021R1 集成基准.....2
 - 更改了原理图以显示 TLV4031R1 的输入连接到反相输入.....5
-

Changes from Revision * (September 2019) to Revision A (July 2019)	Page
---	-------------

- 更改了 EVM 的 BOM。所有 4 个象限现在都安装了 TLV40x1 系列中的不同器件.....2
-

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司