

User's Guide

TMS320F2837x、TMS320F2838x、TMS320F28P65x 向 TMS320F29H85x 迁移



摘要

本迁移指南介绍了在 F2837x、F2838x、F28P65x 和 F29H85x C2000™ MCU 之间迁移时需要考虑的硬件和软件差异，其中 F28P65x 在各个部分以第 3 代器件为例。虽然从 C28x 到 C29x 的 CPU 系统有所改进，但两个 MCU 之间的方框图未直观显示模块的相似或不同之处。由于模块之间会存在巨大差异，因此有一个章节专门介绍 C29x 中架构的改进。还重点介绍了采用器件比较表中所有可用封装时两种器件的独特功能。为便于在第 3 代和第 4 代器件之间进行应用和硬件迁移，新的 PCB 硬件部分提供了有关如何使用 F29H85x 新设计进行操作的指南。此器件具有许多新特性，有一些章节介绍了所做的新变更以及每项特性带来哪些价值。这为在两种器件之间的迁移提供了有关硬件设计和信号路由的参考。

内容

1 F2837x、F2838x、F28P65x 和 F29H85x 之间的特性差异	3
1.1 F28x 到 F29x 功能变更概述.....	3
2 C29x 架构	7
2.1 C29x 架构概述.....	7
2.2 C28x vs C29x 架构概述.....	11
3 PCB 设计注意事项	11
3.1 VSSOSC.....	11
3.2 JTAG.....	12
3.3 VREF.....	12
4 系统特性差异注意事项	13
4.1 F29H85x 中的新特性.....	13
4.2 通信模块更改.....	23
4.3 控制模块更改.....	24
4.4 模拟模块差异.....	25
4.5 电源管理.....	27
4.6 内存模块更改.....	28
4.7 GPIO 多路复用更改.....	30
5 使用 F29H85x 进行软件开发	30
5.1 迁移报告生成工具.....	30
6 参考资料	31

插图清单

图 1-1. F29H85x 方框图.....	3
图 2-1. PIE 架构.....	8
图 2-2. PIPE 架构.....	8
图 2-3. SSU-CPU 耦合接口.....	9
图 2-4. RTDMA 方框图.....	10
图 3-1. JTAG 连接图 (连接到 14 引脚 JTAG 接头)	12
图 4-1. DLT 方框图.....	14
图 4-2. SENT 方框图.....	15
图 4-3. WADI 方框图.....	16
图 4-4. F28P65x ePWM X-BAR 架构.....	18
图 4-5. F29H85x ePWM X-BAR 架构.....	18
图 4-6. ESM-SS 方框图.....	19

图 4-7. 错误聚合器方框图.....	20
图 4-8. 器件简要方框图.....	21

表格清单

表 1-1. IP 差异.....	4
表 1-2. 100 引脚 IO 和模拟通道数.....	5
表 1-3. 176 引脚 IO 和模拟通道数.....	6
表 1-4. 256 引脚 IO 和模拟通道数.....	6
表 2-1. C29 主要特性.....	7
表 2-2. PIE 与 PIPE.....	9
表 2-3. DMA 与 RTDMA.....	10
表 2-4. 锁步模块 CPU 配置.....	10
表 2-5. C29x 改进.....	11
表 4-1. F29H85x 中的主要更改.....	13
表 4-2. Bootrom 比较.....	16
表 4-3. 加密加速器引擎列表.....	22
表 4-4. 通信模块实例.....	23
表 4-5. 控制模块差异.....	24
表 4-6. 模拟模块差异.....	26
表 4-7. RAM 和闪存存储器更改.....	28
表 4-8. 存储器配置.....	29
表 4-9. F29H85x 的闪存模式.....	29
表 4-10. 存储器模块差异.....	30

商标

C2000™ and Code Composer Studio™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

1 F2837x、F2838x、F28P65x 和 F29H85x 之间的特性差异

从第 3 代器件迁移到 F29H85x 时，不支持插入式引脚兼容性。在迁移到 F29H85x 时，用户需要相应地映射引脚资源。

备注

本比较指南重点介绍超集器件：F2837x、F2838x、F28P65x 和 F29H85X，因为这些产品系列中的其他器件型号具有较少的功能支持。如需特定器件型号的详细信息，请参阅特定器件数据表。

1.1 F28x 到 F29x 功能变更概述

图 1-1 展示了新的 CPU 子系统及相关外设。表 1-1 展示了 F2837x、F2838x、F28P65x 和 F29H85x 器件超集器件型号的特性比较。

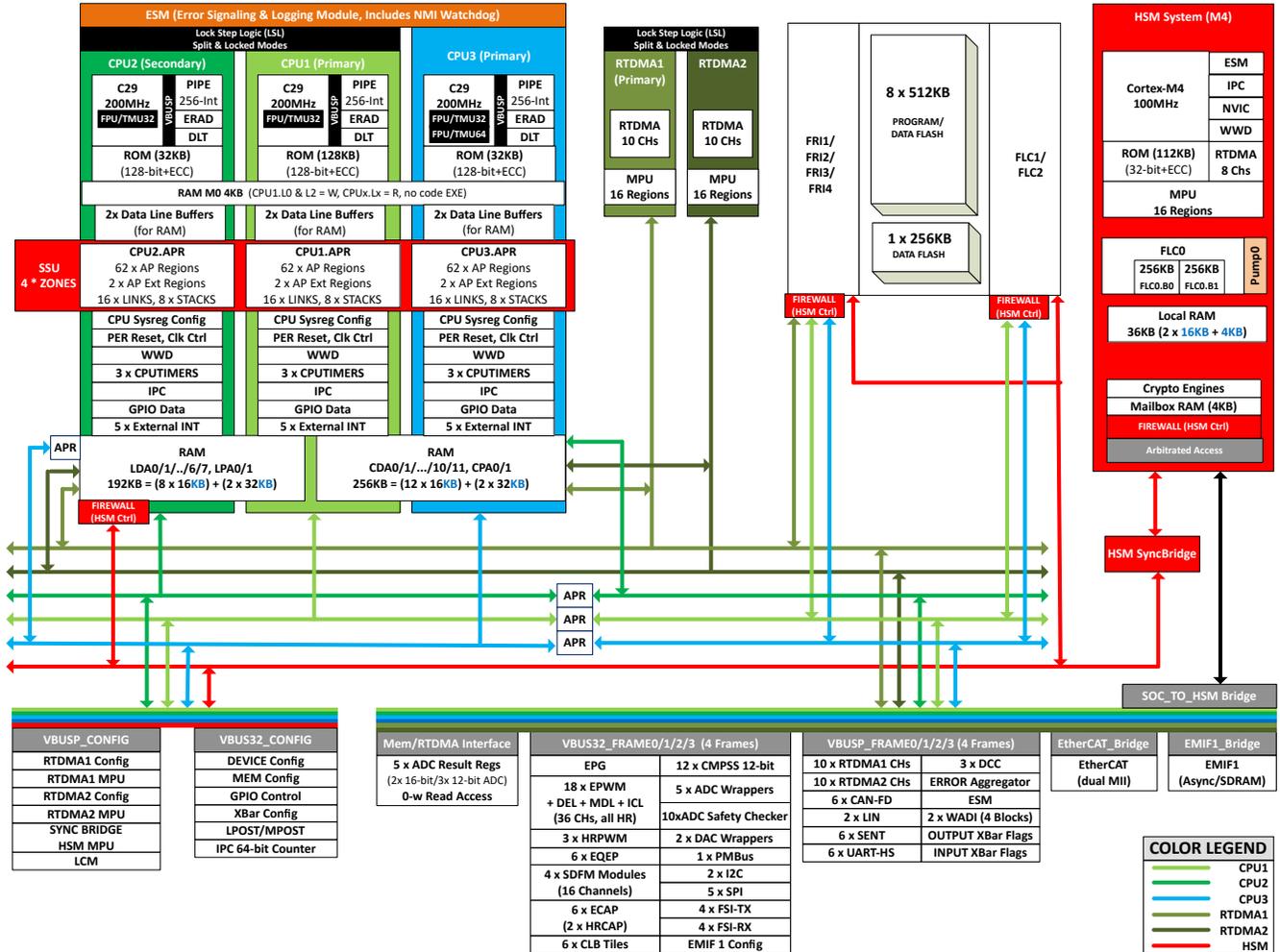


图 1-1. F29H85x 方框图

表 1-1. IP 差异

特性	F2837x	F2838x	F28P65x	F29H85x	
C2000 CPU 子系统					
CPU 类型	C28x	C28x	C28x	C29x	
CPU 数量	2	2	2	3	
CPU 频率 (MHz)	200	200	200	200	
32 位和 64 位浮点单元 (FPU)	是	是	是	是 (CPU1/2 - 32 位、CPU3 - 32 位和 64 位)	
CPU 锁步	否	否	是 (CPU2 和影子 CPU2 之间的锁步)	是 (CPU1/CPU2 支持锁步)	
相对性能					
信号链性能		-		3 倍速度提升	
FFT 性能		-		5 倍速度提升	
中断响应		-		4 倍速度提升	
通用代码		-		3 倍速度提升	
存储器					
闪存	1MB	1MB	1.28MB	4MB + 256KB (数据组)	
RAM	204KB	216KB	248KB	452KB	
系统					
CLA	2	2	1 (仅 CPU1)	否	
外部存储器接口 (EMIF)	2	2	1	1	
DMA	每个 CPU 1 个 (6 个通道)	每个 CPU 1 个 (6 个通道)	每个 CPU 1 个 (6 个通道)	2 个实时 DMA (每个 10 个通道)	
数据记录器和跟踪 (DLT)	否	否	否	是	
嵌入式图形发生器 (EPG)	否	否	是	是	
嵌入式实时分析和诊断 (ERAD)	否	是	每个 CPU 1 个 (2 类)	每个 CPU 1 个 (5 类)	
CPU 计时器	每个 CPU 3 个	每个 CPU 3 个	每个 CPU 3 个	每个 CPU 3 个	
模拟外设					
ADC 16/12 位	ADC 数量	4	4	3	2
	16 位 MSPS	1.1	1.1	1.19	1.19
	16 位转换时间 (ns)	915	915	840	840
	12 位 MSPS	3.5	3.5	3.92	3.92
	12 位转换时间 (ns)	280	280	255	255
ADC 12 位	ADC 数量	否	否	否	3
	MSPS	-	-	-	3.92
	转换时间 (ns)	-	-	-	255
温度传感器	1	1	1	1	
缓冲 DAC - 2 类	3	3	2	2	
CMPSS - 6 类	8	8	11	12	
控制外设					
eCAP - 3 类	模块总数	6 - 0 类	7 - 2 类	7	6
	支持 HRCAP	0	2 (eCAP6、eCAP7)	2 (eCAP6、eCAP7)	2 (eCAP5、eCAP6)
ePWM - 5 类	总通道数	24 - 4 类	32 - 4 类	36	36
	支持 HRPWM	16	16	36	36
eQEP - 2 类	3	3	6	6	
可配置逻辑块 (CLB) - 3 类	4 个逻辑块	8 个逻辑块	6 个逻辑块	6 个逻辑块	

表 1-1. IP 差异 (续)

特性	F2837x	F2838x	F28P65x	F29H85x
Σ-Δ 滤波器模块 (SDFM) 通道 - 2 类	8 - 0 类	8	16 通道 (4 个 SDFM 模块)	16 通道 (4 个 SDFM 模块)
通信外设				
用于控制自动化技术的以太网 (EtherCAT)	否	是	是	是
控制器局域网 (CAN) 2.0B - 0 类	2	2	1	否
具有灵活数据速率的 CAN (CAN FD) - 2 类	0	1	2	6
快速串行接口 (FSI) RX - 2 类	0	8 - 1 类	4	4
快速串行接口 (FSI) TX - 2 类	0	2 - 1 类	2	4
内部集成电路 (I2C)	2 (0 类)	2 (0 类)	2 (1 类)	2 (2 类)
本地互连网络 (LIN) - 1 类	0	0	2	2
电源管理总线 (PMBus) 1.1 - 0 类	0	1	1	1
高速 UART (HS-UART) - 1 类	0	1 (CM)	2	6
单边沿半字节传输 (SENT) - 1 类	0	0	否	6
串行外设接口 (SPI) - 2 类	3	4	4	5
串行通信接口 (SCI) - 0 类	4	4	2 - UART 兼容	否
通用串行总线 (USB) - 0 类	1	1	1	否
安全与安防				
双区域代码安全模块 (DCSM)	否	是	是	否
错误信令模块 (ESM)	否	否	否	是
硬件安全模块 (HSM)	否	否	否	是
逻辑开机自检 (LPOST)	否	否	否	是
存储器开机自检 (MPOST)	否	否	否	是
功能安全和信息安全 (SSU) 模块	否	否	否	是
波形分析和诊断 (WADI)	否	否	否	是
功能安全	ASIL B/SIL 2	ASIL B/SIL2	ASIL B/SIL2	ASIL D/SIL3

表 1-2. 100 引脚 IO 和模拟通道数

IO 类型	F2837x	F2838x	F28P65x	F29H85x
数字				
AIO (具有数字输入的模拟)	41	-	13	16
AGPIO (具有数字输入和输出的模拟)		-	11	8
附加 GPIO		-	4 (2 个来自 JTAG, 2 个来自 X1/X2)	5 (ERRORSTS、TDI、TDO、X1、X2)
标准 GPIO		-	49	41
总 GPIO		-	60	46
总 GPIO + AIO		-	73	70
模拟				
ADC 通道 (单端、所有模块)	24	-	24	24
ADC 通道 (差分、ADC AB)	12	-	11	6

表 1-3. 176 引脚 IO 和模拟通道数

IO 类型	F2837x	F2838x	F28P65x	F29H85x
数字				
AIO (具有数字输入的模拟)	97	97	14	28
AGPIO (具有数字输入和输出的模拟)			22	26
附加 GPIO			4 (2 个来自 JTAG , 2 个来自 X1/X2)	5 (ERRORSTS、TDI、TDO、X1、X2)
标准 GPIO			106	81
总 GPIO			128	86
总 GPIO + AIO			142	140
模拟				
ADC 通道 (单端、所有模块)	20	20	36	54
ADC 通道 (差分、ADC AB)	9	9	18	13

表 1-4. 256 引脚 IO 和模拟通道数

IO 类型	F2837x	F2838x	F28P65x	F29H85x
数字				
AIO (具有数字输入的模拟)	-	-	18	54
AGPIO (具有数字输入和输出的模拟)	-	-	22	26
附加 GPIO	-	-	4 (2 个来自 JTAG , 2 个来自 X1/X2)	5 (ERRORSTS、TDI、TDO、X1、X2)
标准 GPIO	-	-	163	105
总 GPIO	-	-	185	110
总 GPIO + AIO	-	-	203	190
模拟				
ADC 通道 (单端、所有模块)	-	-	40	80
ADC 通道 (差分、ADC AB)	-	-	19	16

2 C29x 架构

C28x 内核基于可靠的实时功能和快速信号链，正在向新一代 C29x 内核发展。C29x 的这种变化有助于提高整体性能并增加各类实时应用的市场份额。本节介绍 C29x 的新架构，并概述 C28x 已添加和改进的新功能。

2.1 C29x 架构概述

C29 CPU 采用增强型 VLIW (超长指令字) 架构，并配备全面保护式流水线。C29 支持多种指令大小 (16、32 和 48 位) 以及包含并行执行指令的可变指令数据包大小。这由 CPU 内可以同时执行的多个功能单元实现。总共 64 个工作寄存器支持 CPU 中的并行操作。除了工作寄存器外，CPU 还包含多个状态寄存器，用于维护与执行和中断上下文相关的不同信息。C29x 的主要特性如表 2-1 中所示。

表 2-1. C29 主要特性

特性	备注
易于使用	<ul style="list-style-type: none"> • 字节可寻址 CPU • 具有 4GB 地址范围的线性和统一存储器映射 • 全面保护式流水线 • 在没有缓存存储器的情况下进行确定性执行
改进并行性	<ul style="list-style-type: none"> • 并行执行 1 到 8 条指令 • 并行执行定点、浮点和寻址运算 • 针对决策代码和实时控制的专门指令 (例如 : if-then-else 语句 , 三角和多相向量转换操作)
提高总线吞吐量	<ul style="list-style-type: none"> • 每个周期能够获取多达 128 位指令字 • 每个周期能够执行 8、16、32、64 位双读取操作和单写入操作 • 改进的寻址模式减少了内存和外设资源访问的开销
代码效率	<ul style="list-style-type: none"> • 支持可变长度指令集 (16 位、32 位和 48 位) • 关键操作编码为 16 位和 32 位操作码，以提高代码密度 • 丰富的指令集通过最简洁的指令优化了运算
ASIL-D 安全能力	<ul style="list-style-type: none"> • 支持锁步和分离锁定模式 • 集成 ECC 逻辑可实现端到端安全互连 • 使用 SSU 可以完全隔离单独的代码线程 (包括堆叠) • 在硬件中从一个线程切换到另一个线程的零 CPU 开销自动实现了出色的实时性能
多区域安全	<ul style="list-style-type: none"> • 运行时内容保护和代码的 IP 保护 • 为每个区域设置单独的密码以控制访问
增强调试和跟踪功能	<ul style="list-style-type: none"> • 专用数据记录和代码流跟踪指令 • 跟踪数据能够记录在片上 RAM 中或通过串行通信外设导出

除了 C29x 的功能改进之外，还有几个新的 IP 可用于 CPU 周围更快的信号链和更安全的环境。

2.1.1 外设中断优先级和扩展 (PIPE)

在 C28x 中，主中断控制器是外设中断扩展 (PIE)。在 C29x 中，主中断控制器是外设中断优先级和扩展 (PIPE)。PIPE 模块对器件上的外设中断进行仲裁。每个时钟周期对所有产生的中断进行仲裁，优先级最高的中断施加到相应的 CPU 中断线路 (NMI、RTINT 或 INT)。PIPE 模块负责为 CPU 提供 NMI、RTINT、INT 和 RESET 矢量地址。PIPE 能够定制中断和硬件嵌套的顺序。有关更多信息，请参阅 [F29H85x](#) 和 [F29P58x](#) 实时微控制器技术参考手册。

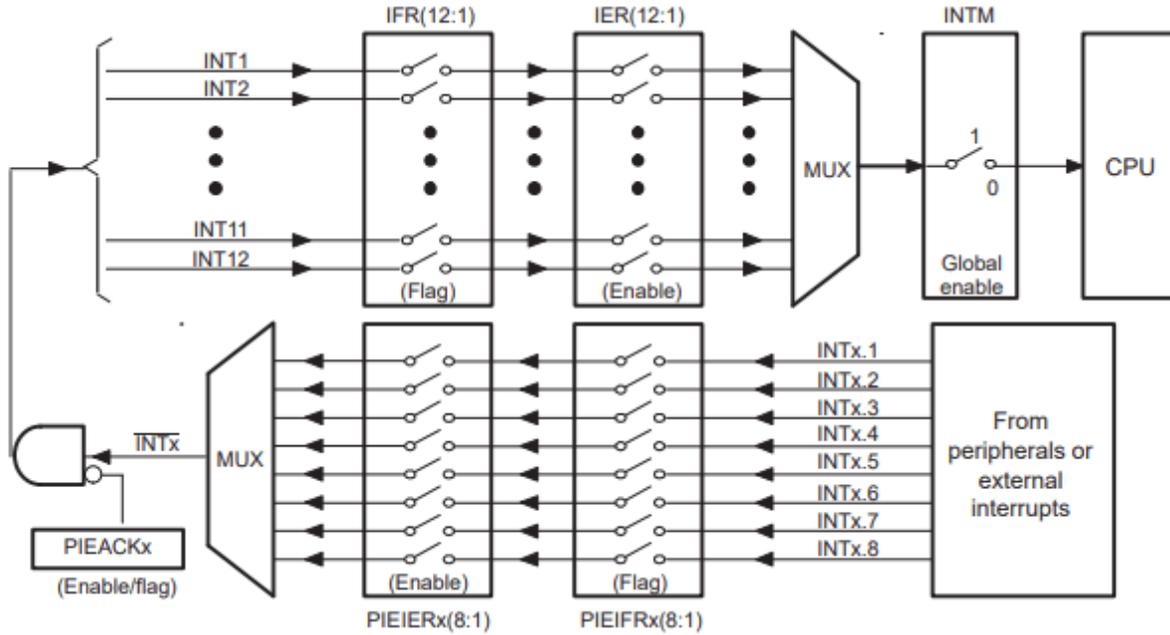


图 2-1. PIE 架构

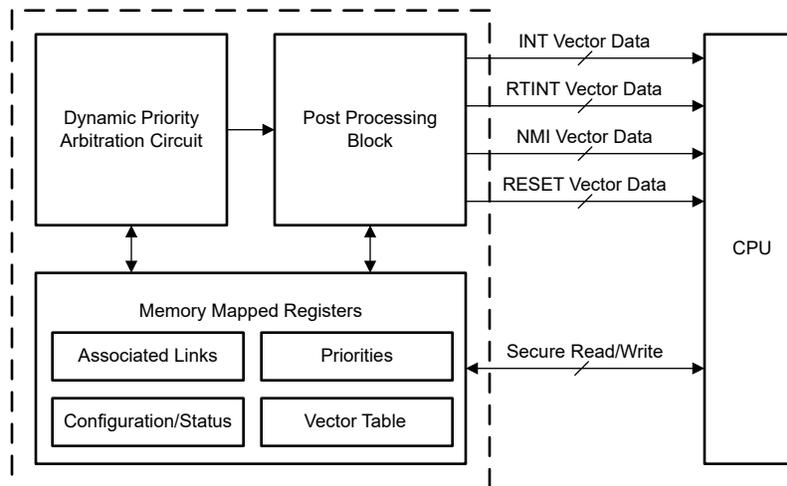


图 2-2. PIPE 架构

表 2-2. PIE 与 PIPE

特性	C28x PIE	C29x PIPE
硬件优先级划分	否 (仅软件)	是
硬件仲裁	否 (仅软件)	是
硬件嵌套	否	是 (可以使用组阻止)
外设中断类型	1	2 (RTINT/INT)
栈溢出跟踪	否	是
外设中断计数	192 (在大多数器件上)	256

2.1.2 功能安全和信息安全模块 (SSU)

功能安全和信息安全 (SSU) 充当 C29 CPU 与存储器和外设之间的防火墙。SSU 的主要作用是在每次 CPU 访问芯片上外设和存储器期间强制执行运行时安全保护。此外，SSU 控制器件上的调试访问和闪存控制器操作。

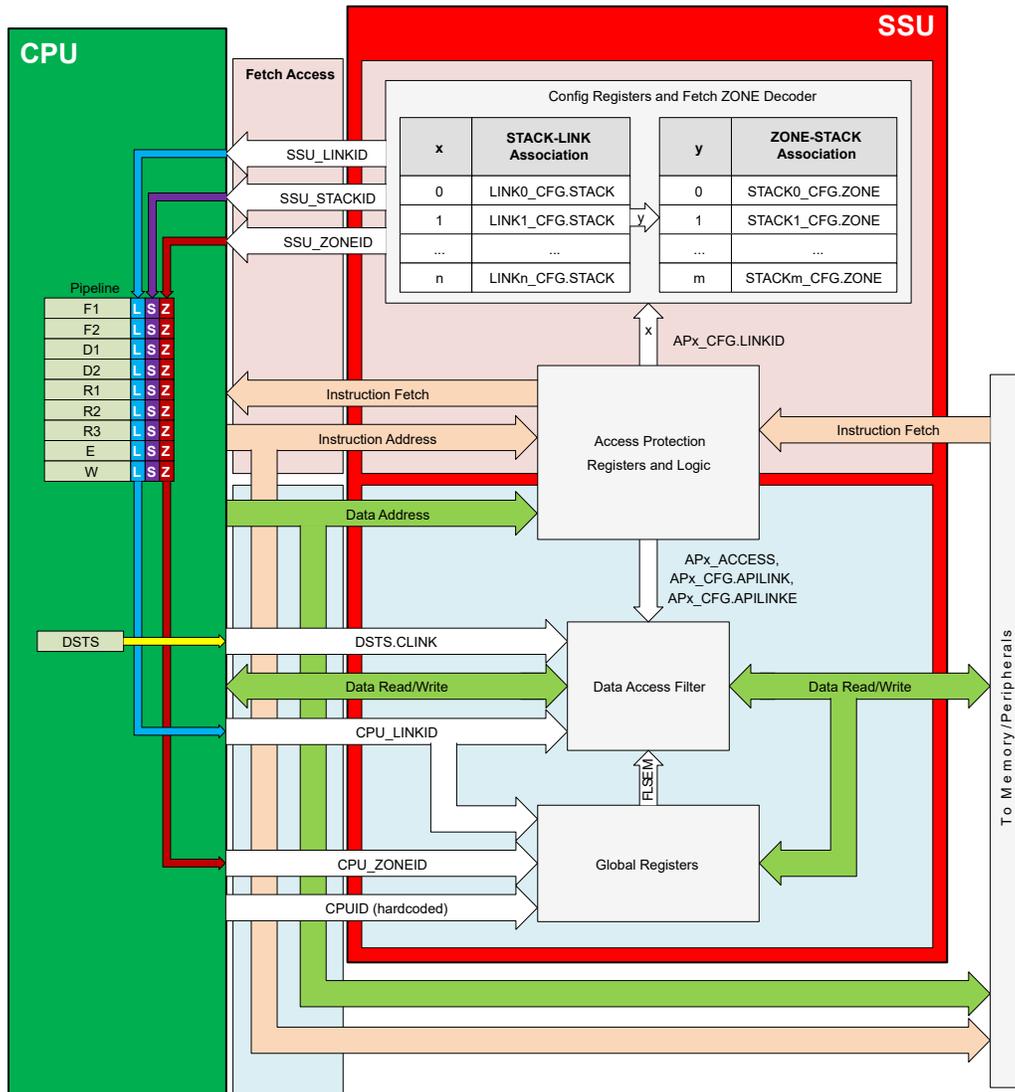


图 2-3. SSU-CPU 耦合接口

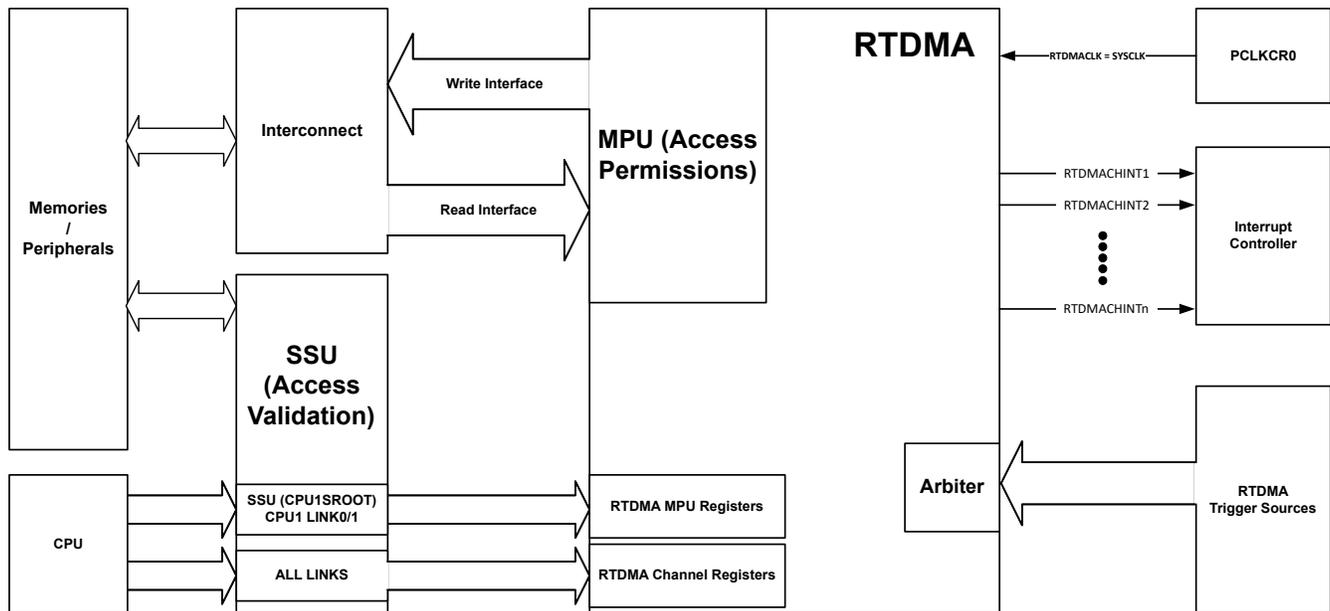
2.1.3 实时 DMA (RTDMA)

实时 (RTDMA) 提供了一种在外设和存储器之间传输数据的硬件方法，无需 CPU 实时干预。每个 (2) F29H85x RTDMA 模块都具有十个独立的、用户可配置 RTDMA 通道，这些通道具有相应的管道矢量映射中断，从而在

RTDMA 传输开始或完成时通知 CPU。所有十个通道均可配置为四个优先级之一，其中一个选定通道的优先级高于其他通道。表 2-3 展示了 C28x DMA 和新的 C29x RTDMA 之间的差异。有关更多信息，请参阅 [F29H85x](#) 和 [F29P58x 实时微控制器技术参考手册](#)。

表 2-3. DMA 与 RTDMA

特性	C28x DMA	C29x RTDMA
通道数量	(6) 具有固定优先级的通道	(10) 具有 (4) 个软件可配置优先级的通道
突发模式	否	是 (对于通过 EMIF 进行数据传输)
数据传输大小	16 位和 32 位数据传输	8、16、32 和 64 位数据传输
读取/写入接口	(1) 读取/写入总线 - 3 个周期/字，无仲裁	(2) 独立读取/写入总线 - 1 个周期/字，无仲裁
触发源	仅系统级	系统级，内部通道至通道链接
安全	不适用	由系统级功能安全和信息安全单元 (SSU) 配置的集成存储器保护单元
安全性	不适用	集成通道特定安全区
传输控制	线性和循环寻址模式 (一次性、连续、通道中断)	
电平/边沿触发	由触发输入上的边沿触发	


图 2-4. RTDMA 方框图

2.1.4 锁步比较模块 (LCM)

锁步模式配置将支持包括集成 PIPE 和 RTDMA 在内的 CPU1 和 CPU2 实例，以检测安全关键型应用的永久和瞬态故障。CPU 可以配置为单模块 (器件上没有 CPU2) 或锁步 (锁步模式下的 CPU1 和 CPU2) 或双模块 (作为独立内核运行的 CPU1 和 CPU2，也称为分离锁定模式)。锁步功能仅在某些器件型号上可用。有关支持锁步的器件型号，请参阅器件特定数据表中的 [器件比较表](#)。有关 [锁步比较器模块](#) 一节的完整详细信息，请参阅 [F29H85x](#) 和 [F29P58x 实时微控制器技术参考手册](#)。

LCM 涵盖了多个 IP：

- C29 CPU 子系统 (包括 C29x CPU、PIPE、计时器、ERAD 和 DLT)
- RTDMA

表 2-4. 锁步模块 CPU 配置

CPU1 和 CPU2	CPU1	CPU2
单核	可用	时钟门控

表 2-4. 锁步模块 CPU 配置 (续)

CPU1 和 CPU2	CPU1	CPU2
SL (分离锁)	独立内核	独立内核
LS (锁步)	内核在锁步模式下作为单个 CPU1 运行	

2.2 C28x vs C29x 架构概述

C29x 作为新一代 CPU，架构进行了若干项改进，从而在执行指令时提高了效率和整体性能。表 2-5 整理了 C29x 中的改进。更多详细的 CPU 信息，请参阅 C2000 C29x CPU 和指令集。

表 2-5. C29x 改进

类别	C28x	C29x
架构	<ul style="list-style-type: none"> 16 位可寻址 FPU32、FPU64 TMU32 NLPID 快速整数除法 1 个 32 位程序总线 1 个 32 位读取总线 1 个 32 位写总线 	<ul style="list-style-type: none"> 超长指令字架构 (VLIW) 字节可寻址 FPU32、FPU64 (仅 CPU3) TMU32、TMU64 (仅 CPU3) NLPID 快速整数除法 1 个 128 位程序总线 2 个 64 位读取总线 1 个 64 位写总线
并行性	<ul style="list-style-type: none"> 每个周期 1 条指令 受保护的流水线 (未扩展至协处理器) 	<ul style="list-style-type: none"> 最多每个周期 8 条指令 全面保护式流水线
性能	-	CPU 以相同频率运行： <ul style="list-style-type: none"> 信号链性能提高 2 至 3 倍 (电机控制、电源控制) FFT 性能提高 5 倍 (系统诊断、系统调整、电弧检测) 中断响应速度提高 4 倍，延迟时间缩短 (支持实时中断) 通用代码性能提高 2 至 3 倍 (if then else 命令处理)
中断	<ul style="list-style-type: none"> 外设中断扩展 (PIE) INT、NMI 实时中断延迟：40 多个周期 	<ul style="list-style-type: none"> 外设中断优先级和扩展 (PIPE) INT、RTINT、NMI 中断延迟：11 个周期 用于实时中断的专用硬件堆栈 <ul style="list-style-type: none"> 硬件保存/恢复上下文
安全性	<ul style="list-style-type: none"> 双代码安全模块 (DCSM) 	<ul style="list-style-type: none"> 功能安全和信息安全单元 (SSU) 硬件安全模块 (HSM)
安全	<ul style="list-style-type: none"> ASIL B MPOST 	<ul style="list-style-type: none"> ASIL D MPOST、LPOST 针对总线和寄存器的 ECC/奇偶校验保护 类似 MPU 的 SSU 能够防止干扰

3 PCB 设计注意事项

F29H85x 有四种封装类型 (256ZEX、176PTS、144RFS 和 100PZS)。由于 F29H85x 器件系列具有各种增强功能，因此 PCB 设计之间没有兼容性。以下各节通常提供有关如何开始设计新 PCB 的建议。

3.1 VSSOSC

在 F28P65x 中，VSSOSC 用于连接晶体振荡器 (X1 和 X2) 接地端。如果未使用外部晶体，则可以将 VSSOSC 连接至电路板接地端，但不需要。

在 F29H85x 中，VSSOSC 必须接地，使 VSSOSC 和 VSS 位于同一平面，以便器件正常运行。

3.2 JTAG

除了一项功能差异外，F28P65x 至 F29H85x 的 JTAG 架构保持不变。两个器件支持相同的 4 线制 (JTAG 协议)。对于 2 线模式，F29H85x 仅支持串行线调试 (SWD) 协议，而 F28P65x 仅支持 cJTAG (紧凑型 JTAG)。

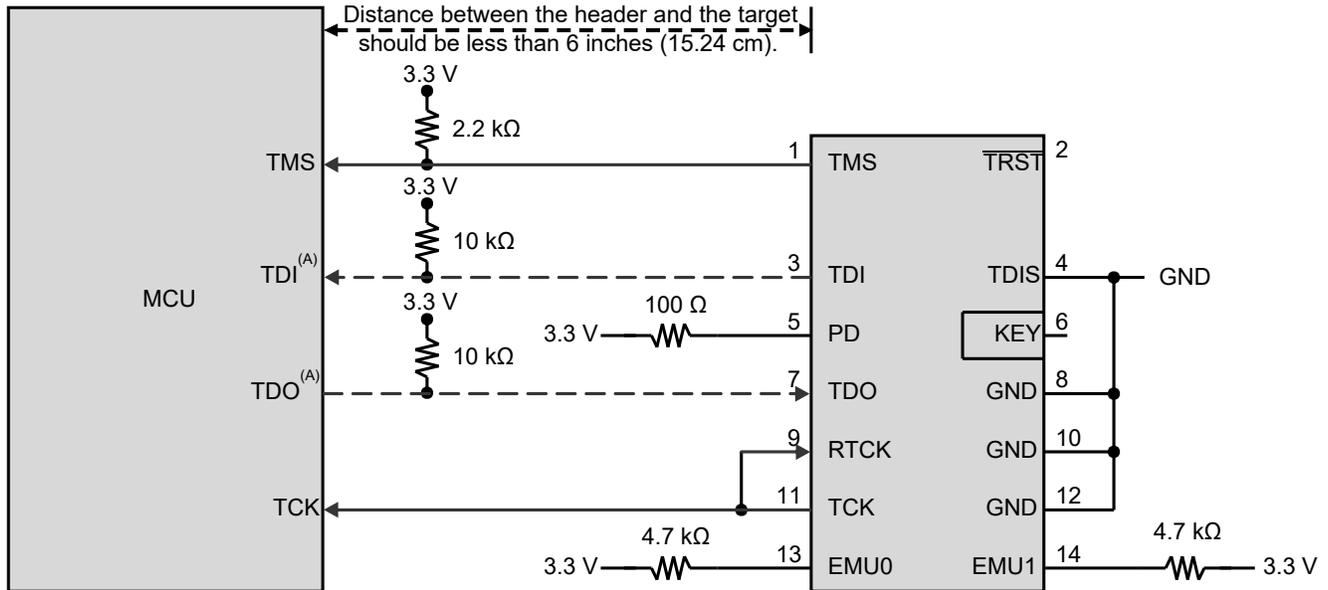


图 3-1. JTAG 连接图 (连接到 14 引脚 JTAG 接头)

3.3 VREF

F29H85x 具有两个专用 VREFHI 引脚。一个用于 ADCA 和 ADCB (12 位/16 位 ADC)，另一个用于 ADCC、ADCD 和 ADCE (12 位 ADC)。这些 VREFHI 引脚不应连接在一起，而是应独立供电，以更大限度地减少不同 ADC 类型和工作模式之间的耦合，从而实现出色性能。

此外，重要的是在基准路径中保持低电感连接，从而使基准驱动电路在转换阶段保持稳定。

4 系统特性差异注意事项

本节介绍了在 F28P65x 和 F29H85x 器件之间迁移时的特性异同点。

表 4-1. F29H85x 中的主要更改

类别	外设信息
CPU 子系统	C29x CPU 节 2.1
存储器	RAM 节 4.6
	FLASH 节 4.6
系统	外设中断优先级和扩展 (PIPE) 节 2.1.1
	数据记录器和跟踪 (DLT) 节 4.1.2
	实时 DMA (RTDMA) 节 2.1.3
	BOOTROM 节 4.1.6
	嵌入式实时分析和诊断 (ERAD) 节 4.1.7
	交叉开关 (XBAR) 节 4.1.8
模拟	模拟子系统 节 4.1.1
控制	增强型脉宽调制器 (EPWM) 节 4.1.5
通信	单边沿半字节传输 (SENT) 节 4.1.3
安全与安防	波形分析仪诊断 (WADI) 节 4.1.4
	错误信令模块 (ESM) 节 4.1.9
	功能安全和信息安全模块 (SSU) 节 2.1.2
	硬件安全模块 (HSM) 节 4.1.11
	加密加速器节 4.1.11.1 : <ul style="list-style-type: none"> • 对称加密 • 非对称加密 • 哈希函数
	安全互连端到端防护 节 4.1.12
	带奇偶校验的 MMR 安全 节 4.1.13
	逻辑开机自检 (LPOST) 节 4.1.14

4.1 F29H85x 中的新特性

本节概述 F29H85x 器件系列中引入的新特性。有关更多信息，请参阅 [F29H85x 和 F29P58x 实时微控制器技术参考手册](#)。

4.1.1 模拟子系统

从 F28P65x 到 F29H85x，ADC 数量从 3 个增加到 5 个，同时 SOC 从 16 个增加到 32 个。在这 5 个 ADC 中，有 2 个可选 12 位和 16 位，其中 3 个仅为 12 位。ADC 的硬件过采样和欠采样功能得到了增强。

PPB 块还使用硬件中的聚合功能进行了更新，以支持针对过采样和欠采样的数据处理，若没有这些功能，则需要冗长的重复循环中运行软件。启用 PPB 差值后，ADC 会自动计算当前转换和该 SOC 的最后一次转换之间的差值。在某些情况下，这可以加快控制环路计算。PPB 数字滤波器是一种窗口式滤波器，现在可以在 PPB 中配置用于限制比较和过零逻辑。该滤波器的工作方式与 CMPSS 中的数字滤波器类似，可防止出现错误事件。限值比较/过零可被用来生成事件，例如，触发 PWM。

4.1.2 数据记录器和跟踪 (DLT)

数据记录器和跟踪 (DLT) 模块能够控制记录哪些数据、何时开始记录数据以及记录多少数据以记录重要的 CPU 运行时内容。关键运行时内容可以包含在计算内容时需要监控的任何信息。当记录数据时，DLT 为非侵入式，这意味着对运行时或 CPU 内核行为没有影响。在关键任务（例如控制环路）中查看计算中间值的功能可以帮助用户微调环路。DLT 模块可以向中断控制器生成中断，发出 DMA 传输请求以及与 ERAD 事件触发器交互。DLT 可用于对数据执行收集、加时间戳、预过滤、导出以及实时和事后分析。

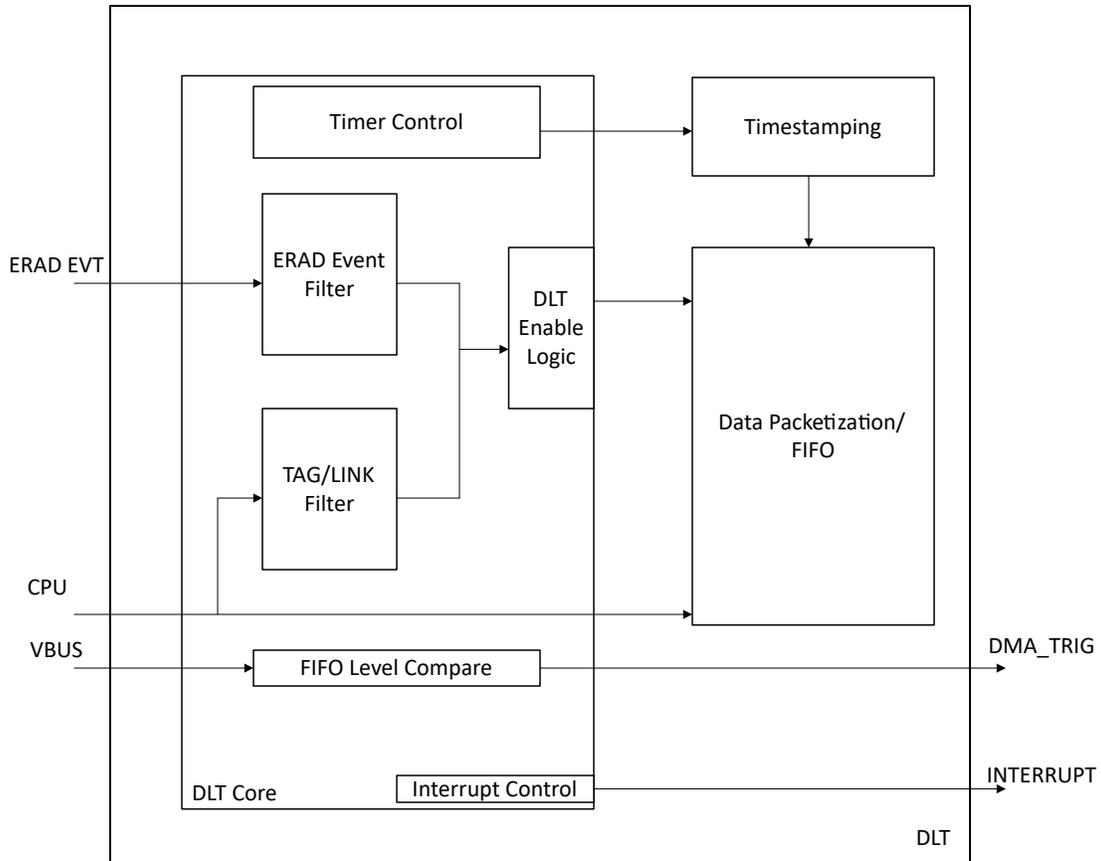


图 4-1. DLT 方框图

4.1.3 单边沿半字节传输 (SENT)

在 F29H85x 中，添加了用于通信的 SENT 模块。SENT 协议为单向协议，在两个或多个点之间使用单线制，将信号从一个或多个传感器传输到控制器。SENT 使用汽车工程师协会 (SAE) 发布的开放标准 SAE J2716，主要用于汽车应用。该协议可以低成本向系统传输高分辨率数据。发送的模块利用主触发脉冲发生器来使用可配置的脉冲信号控制和接收来自一个或多个传感器的数据。接收到的数据可直接存储到存储器或 FIFO 中，并由 CPU 或 DMA 读取。

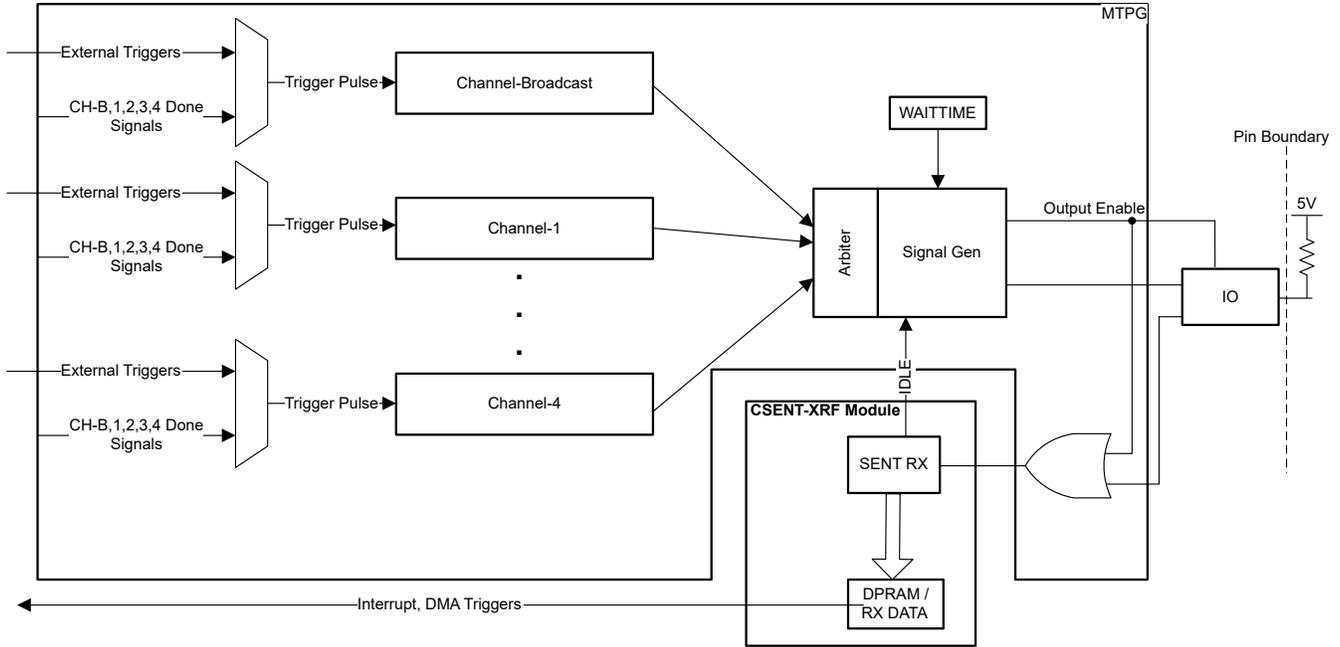


图 4-2. SENT 方框图

4.1.4 波形分析仪诊断 (WADI)

WADI 区块分析信号波形，并分析脉宽、频率、死区、相移的特征。如果分析信号波形不正确，则会创建一系列事件将信号驱动至安全状态。WADI 主要用于安全应用，在这些应用中，可以检测施加到电源开关的偏差波形，并且可以通过 WADI 或 MCU 子系统采取相应的措施。每个 WADI 模块都可以对两个信号进行比较，并具有信号覆盖功能。可以使用适当的安全状态序列发生器 (SSS) 配置调整 WADI 的安全机制。SSS 根据信号创建链式事件的安全序列。可以根据应用需求和可用资源实施失效防护运行和失效防护解决方案。

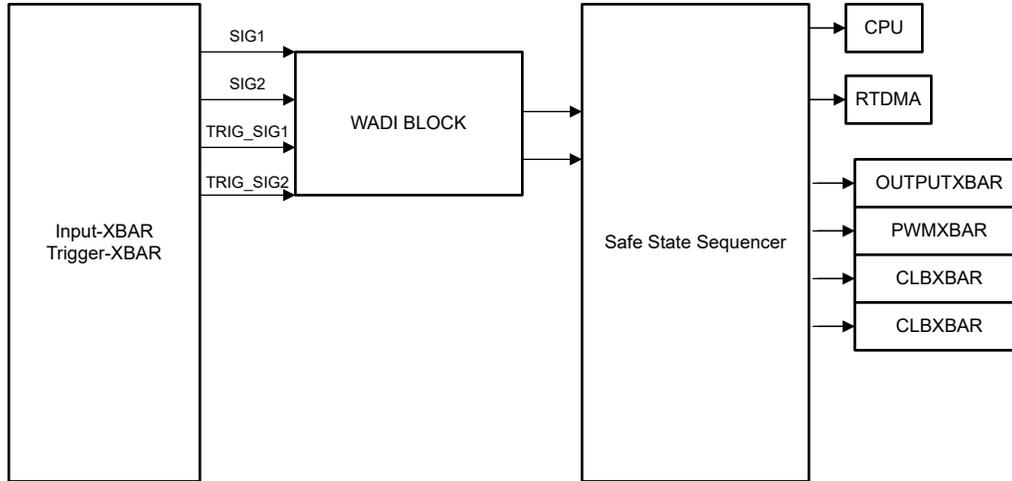


图 4-3. WADI 方框图

4.1.5 EPWM

现在，存储器映射中有一个专用的 XLINK 区域，用于支持对任何 ePWM 寄存器进行写入，以反映在其他 ePWM 实例中

此外，F28P65x 中的 HRPWM 分辨率已经具有 150ps 的延迟线，现在的 F29H85x 中也支持 75ps 的延迟线。

4.1.6 Bootrom

有关 F28P65x 和 F29H85x 的 Bootrom 异同点，请参阅表 4-2。

表 4-2. Bootrom 比较

模块	F28P65x	F29H85x
ROM 存储器	标准和安全 Bootrom	起始地址为 0x00000000，分为复位向量、NMI 向量、LINK0、用户表和 Link1
安全模块	通过虚拟读取完成 DCSM 初始化	SSU 初始化，无虚拟读取
MPOST	可在 150MHz、75MHz PLL 输出时钟以及 INTOSC 时钟下执行	MPOST 和 LPOST 由 HSM 执行，而不是由 CPU1 执行
PLL	用于在 Bootrom 执行期间启用/禁用 PLL 的选项	PLL 由 HSM 启用，CPU1 在 PLL 时钟上运行
看门狗计时器	默认禁用	默认启用
错误状态引脚	配置为错误状态引脚的 GPIO	GPIO 配置为错误状态引脚和 ESM 配置来影响错误状态引脚
外设引导加载程序	在旁路时钟执行	在 PLL 时钟上执行
支持的外设引导模式	CAN、MCAN、I2C、SPI、SCI、USB、GPIO	CAN、MCAN、I2C、SPI、UART-HS、GPIO
关键修整加载方法	Bootrom 加载	硬件 CTL 模块加载
引导加载映像格式	键后跟整理成块的图像数据	X509 证书后跟图像数据

表 4-2. Bootrom 比较 (续)

模块	F28P65x	F29H85x
引导过程	涉及从外设下载图像	涉及与 HSM 握手以实现 X509 证书，以及与 HSM 共享映像以进行完整性检查或身份验证
IPC	IPC 基于 C2000 IPC 接口	CPU1 和 HSM 之间的 IPC 是异构的，涉及 CPU1 上的 C2000 IPC 接口和 HSM 上基于邮箱的接口
NMI	NMI 在引导流程中稍后启用	NMI 在整个引导流程中默认启用
OTP	可提供单用户 OTP	提供双 SECCFG 扇区
锁步	在引导流程期间锁步被禁用	在引导流程期间锁步被启用

4.1.7 ERAD

C29 嵌入式实时分析和诊断 (ERAD) 块主要由两个主要块组成，以帮助提供调试和系统分析功能。这主要与 C29 CPU 相关，这些功能既可在连接调试器的情况下使用，也可用作实时应用的一部分。两个主要元件是增强型总线比较器 (EBC) 和系统事件计数器块 (SEC)，后者具有一个可选的 PC 跟踪模块。

ERAD 可以生成硬件断点、观察点、中断或仅生成触发输出，供分析计数器和可配置逻辑块 (CLB) 等其他资源使用。

ERAD 可用于各种类型的系统场景，如统计系统事件（如中断、关键系统事件等）、测量在多次迭代中测量的一对事件之间所用的最短和最长时间等。

程序计数器跟踪块有助于跟踪 PC 不连续/跳跃，进而有助于跟踪在任何给定时间点执行的完整软件序列。

4.1.8 XBAR

交叉开关 (XBAR) 可灵活连接各种配置中的器件输入、输出和内部资源。F29H85x 包含多个 XBAR，包括输入 X-BAR、输出 X-BAR、CLB X-BAR、ePWM X-BAR、MINDB X-BAR 和 ICL X-BAR。与 F28 系列相比，F29H85x 的架构进行了改进。图 4-4 展示了输入信号被定向到多路复用器，其中用户只能在同一多路复用器中选择一个输入。但是，图 4-5 展示了输入采用分组 (G0...Gx) 而不是多路复用，这解决了用户在同一组中选择多个输入的问题。现在，它们可以将输入的任意组合（即使它们在同一组中）一起进行或运算以生成 X-BAR 的输出信号。该架构用于所有 XBAR 模块，但输入 X-BAR 除外，它与 C28 输入 X-BAR 的架构相同。

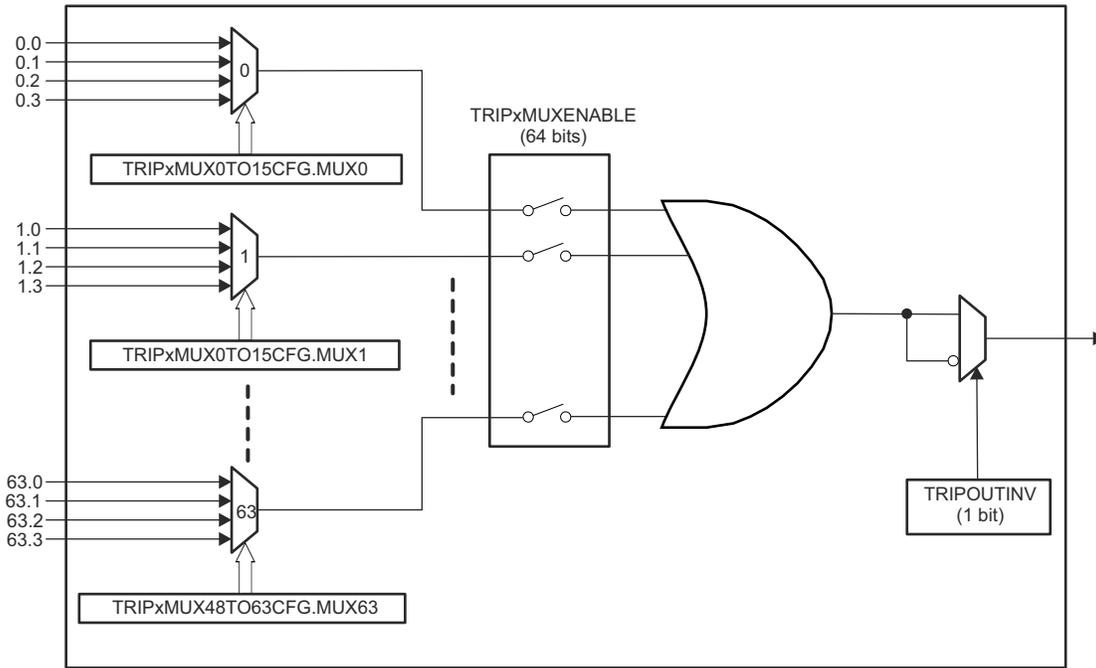


图 4-4. F28P65x ePWM X-BAR 架构

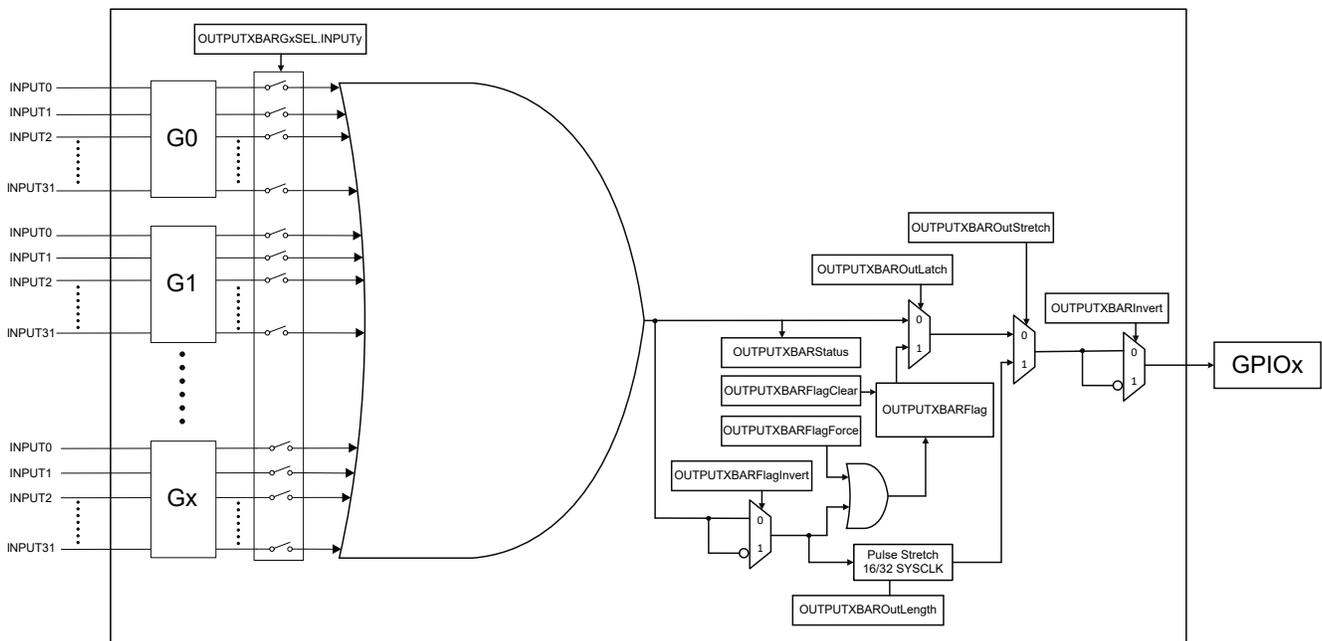


图 4-5. F29H85x ePWM X-BAR 架构

4.1.9 错误信令模块 (ESM)

错误信令模块 (ESM) 将对整个器件中错误事件的响应系统地整合到一个位置。ESM 中的错误分类由每个单独错误输入的可编程配置来确定。该模块可以向处理器发出低优先级或高优先级中断信号，以响应错误事件和/或操纵 I/O 错误引脚，向外部硬件发出已发生错误的信号。然后，这个外部控制器能够使器件复位并且/或者使系统保持在安全、已知的状态。

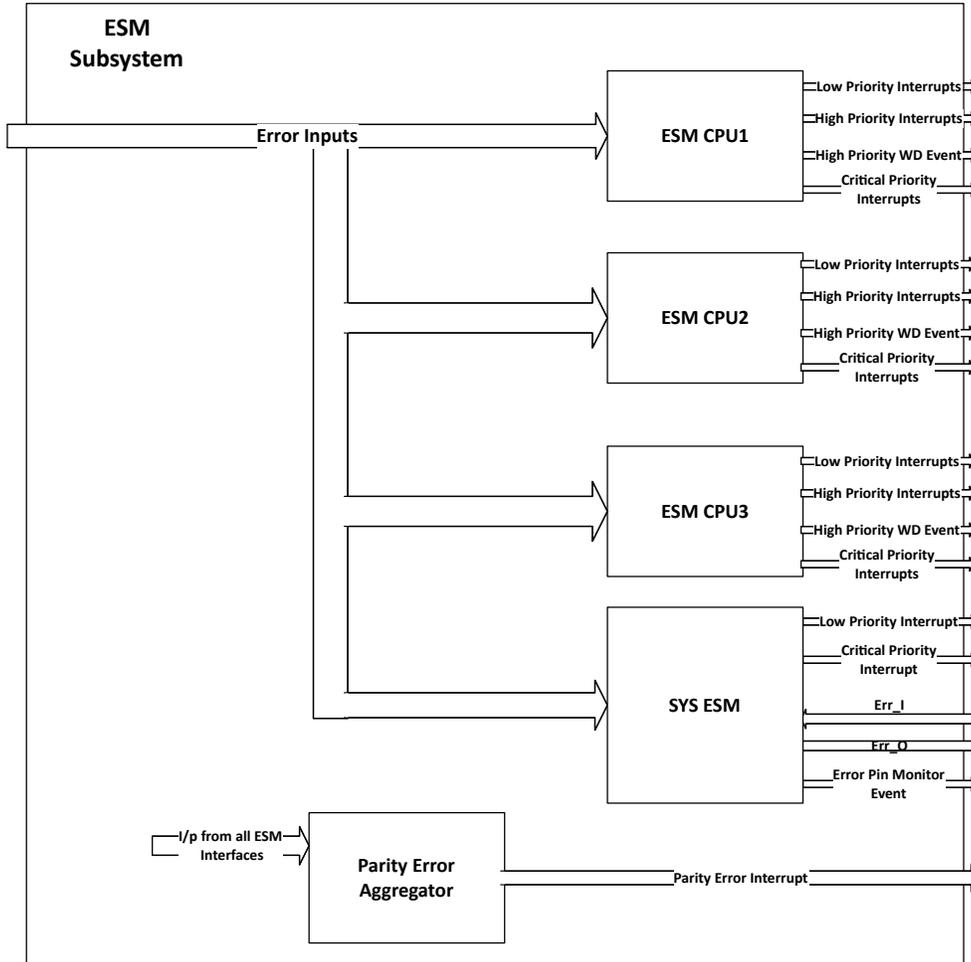


图 4-6. ESM-SS 方框图

4.1.10 错误聚合器

错误聚合器是某些外设之间的接口模块，可产生特定错误，包括 C29、RTDMA、存储器控制器、外设桥、读取接口和 ESM。错误聚合器的主要用途是累加来自各种源的各种错误，并向 ESM 模块提供聚合的错误输出。该模块还记录错误状态、错误地址和错误类型信息，同时针对 ESM 分离优先级较高的错误和优先级较低的错误，以生成适当的操作来向 CPU 发出警报。

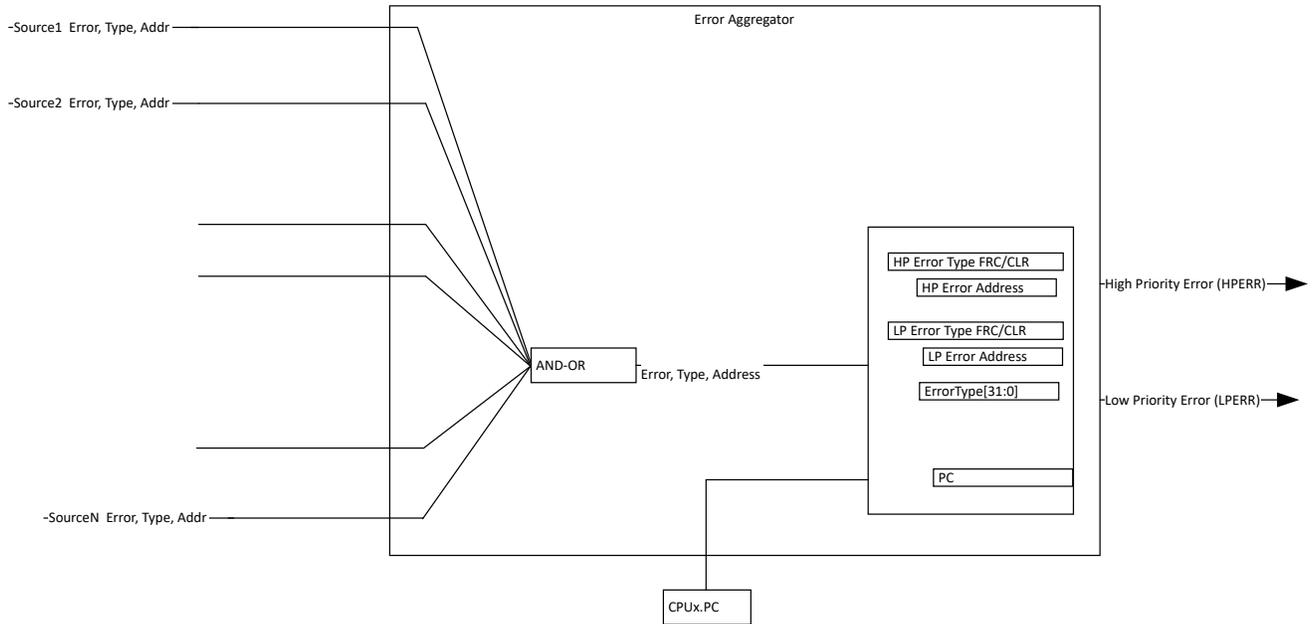


图 4-7. 错误聚合器方框图

4.1.11 硬件安全模块 (HSM)

硬件安全模块 (HSM) 是器件内的一个自包含子系统，用于提供安全和加密功能。主机 C29 子系统与 HSM 子系统连接，以执行代码身份验证、安全启动、安全固件升级、安全调试和加密运行时通信所需的加密操作。HSM 还包括多个硬件加速器，可高效执行密钥加密算法。表 4-3 介绍了这些引擎。

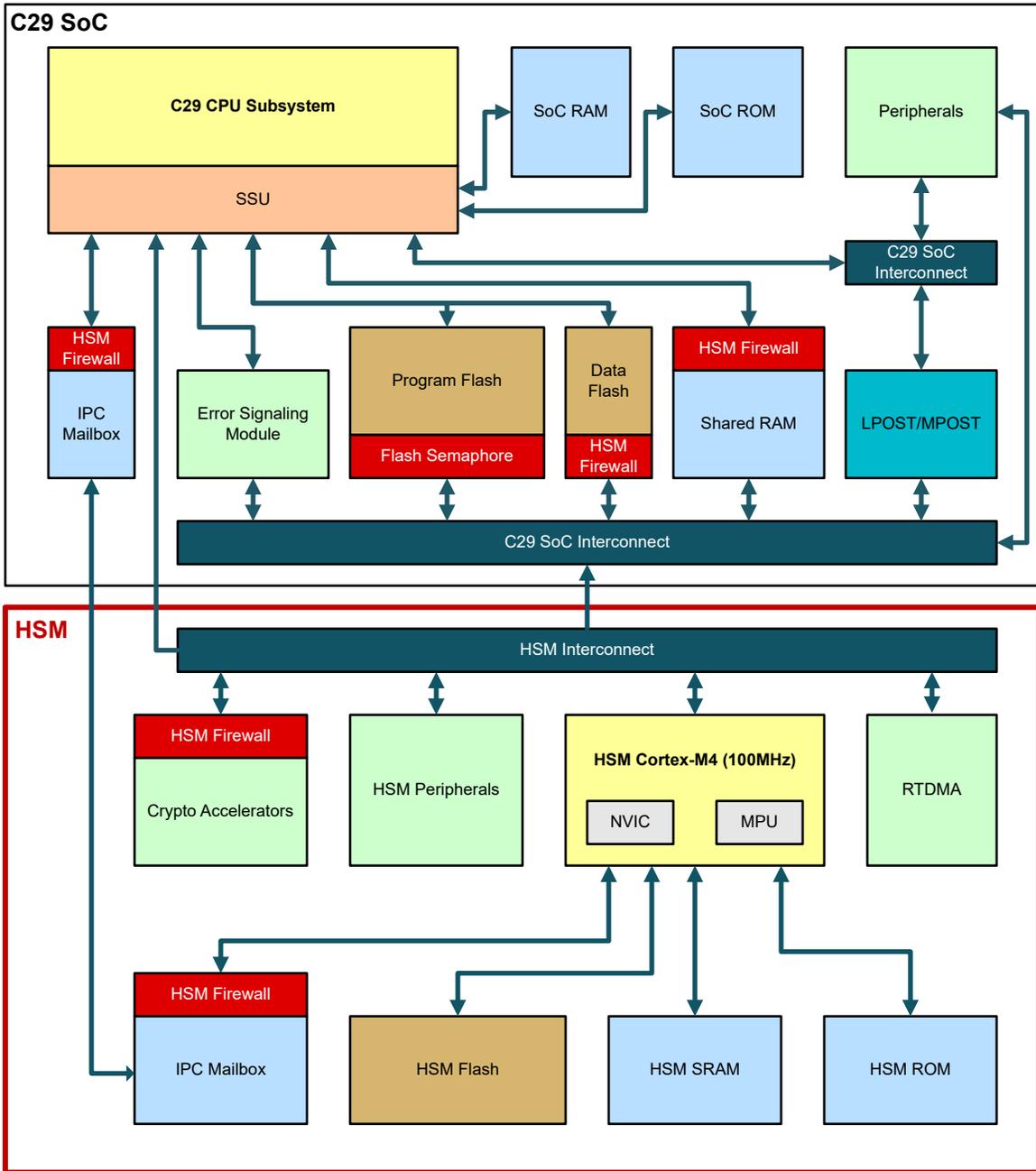


图 4-8. 器件简要方框图

4.1.11.1 加密加速器

表 4-3. 加密加速器引擎列表

加密类型	加密引擎	支持的功能	
对称加密	AES	对称算法：AES-128、AES-192、AES-256 密码模式：ECB、CTR、CBC、GCM 身份验证：CBC-MAC、CMAC	
	SM4	对称算法：SM4	
非对称加密	PKE	用于大矢量数学/模数运算的高性能 PKE (公钥引擎) 非对称算法：RSA-2048、RSA-3092、RSA-4096、ECC (Curve25519、X25519、SecP256r1、SecP256k1、SecP384k1、Brain Pool 等)、SM2 侧通道保护 (DPA、FIA)	
哈希函数	哈希引擎	HMAC	哈希算法：SHA-256、SHA-384、SHA-512 键控散列算法：HMAC-SHA256、HMAC-SHA512
		SHA	
		MD5	
	SM3	哈希算法：SM3 (256 位、384 位、512 位)	

4.1.12 安全互连端到端 (E2E) 安全

安全互连机制检测 F29H85x 上的总线互连中发生的任何故障。总线互连包括 C29 总线 (控制和数据)、地址解码、存储器控制器和外设桥。检测存储器中的任何数据损坏，这是通过将 ECC 与数据一起存储在存储器中实现的。为了实现安全互连，CPU 内部和外部都实施了检查。

4.1.13 带有奇偶校验的关键 MMR 安全

奇偶检测可识别读取访问中的单个位错误。在对字节位置进行写入时奇偶校验电路会设置奇偶校验位，并在读回该字时验证该字中是否没有 single-bit 错误。这是在每个读写周期内完成的，因此不涉及 CPU 开销。如果奇偶校验电路识别出错误，会向 CPU 生成一个高优先级中断。

具有奇偶校验的 MMR 安全涵盖的 IP 包括以下内容：

- ADC
- 模拟子系统
- ESM
- 错误聚合器
- 闪存
- LCM
- LPOST
- PIPE
- SYSCTRL
- WADI

4.1.14 LPOST

F29H85x 引入了逻辑上电自检 (LPOST)，可满足功能安全应用的启动逻辑自检要求。可根据应用要求配置覆盖率 (60%、80%、90%)。所需的覆盖率越高，对引导时间的影响越大。LPOST 测试在上电和/或正常运行期间通过软件触发。启动测试后，器件将进入扫描测试模式，执行逻辑自检，记录测试状态，进入功能模式并发出芯片进行复位。LPOST 之后发出的复位清除扫描操作移入的任何随机数据。

对于开机自检，应用程序代码不需要调用测试。引导 ROM 将根据 OTP 配置调用此测试。引导过程和测试状态完成后，应用需要采取适当的安全措施。

备注

在测试期间，所有模拟模块 (执行后所需的模拟模块除外) 都应断电。

4.2 通信模块更改

F28P65x 和 F29H85x 器件之间的通信模块更改会影响模块数量和迁移。两种器件的模块化功能基本保持不变。
表 4-4 展示了在 F28P65x 和 F29H85x 之间迁移应用时应考虑的模块实例和主要寄存器差异。

表 4-4. 通信模块实例

模块	类别	F28P65x	F29H85x	注释
SCI	编号	2 - SCIA、SCIB	不存在	
I2C	编号		2 - I2CA、I2CB	
LIN	编号		2 - LINA、LINB	
CAN	编号	1 - CANA	不存在	
CAN-FD	编号	2 - MCANA、MCANB	6 - MCANA、MCANB、MCANC、MCAND、MCANE、MCANF	
SPI	编号	4 - SPIA、SPIB、SPIC、SPID	5 - SPIA、SPIB、SPIC、SPID、SPIE	
PMBUS	编号		1 - PMBUSA	
EMIF	编号		1 - EMIF1	
USB	编号	1 - USBA	不存在	
ECAT	编号		1 - ECATA	
SENT	编号	不存在	6 - SENTA、SENTB、SENTC、SENTD、SENTE、SENTF	
UART	编号	2 - UARTA、UARTB	6 - UARTA、UARTB、UARTC、UARTD、UARTE、UARTF	
	寄存器	-	GLB_INT_CLR	UART 全局中断清除寄存器
		-	GLB_INT_EN	UART 全局中断标志寄存器
		-	GLB_INT_FLG	UART 全局中断标志寄存器
FSI	编号	4 - FSIRXA..D , 2 - FSITXA、FSITXB		

4.3 控制模块更改

F28P65x 和 F29H85x 器件之间的控制模块有所变化。最大的变化来自 F29H85x 器件上的 EPWM 和 ECAP。表 4-5 展示了在 F28P65x 和 F29H85x 之间迁移应用时应考虑的模块实例差异。

表 4-5. 控制模块差异

模块	类别	F28P65x	F29H85x	注释
SDFM	编号	16 - SD1_D1C1..D4C4、SD2_D1C1..D4C4、SD3_D1C1..D4C4、SD4_D1C1..D4C4		
	寄存器	-	SDINTMODE	SD 中断模式寄存器
eQEP	编号	6 - EQEP1..6		
eCAP	编号	7 - ECAP1..7	6 - ECAP1..6	
	寄存器	-	HRCALPRD	高分辨率校准周期寄存器
		-	HRCLKCAP	高分辨率校准 HRCLK 捕获寄存器
		-	HRCLKCTR	高分辨率校准 HRCLK 计数器寄存器
		-	HRCLR	高分辨率校准中断清除寄存器
		-	HRCTL	高分辨率控制寄存器
		-	HRFLG	高分辨率校准中断标志寄存器
		-	HRFRC	高分辨率校准中断强制寄存器
		-	HRINTEN	高分辨率校准中断使能寄存器
		-	HRSYSCLKCAP	高分辨率校准 SYSCLK 捕获寄存器
-	HRSYSCLKCTR	高分辨率校准 SYSCLK 计数器寄存器		
HRCAP	编号	2 - HRCAP6、HRCAP7	2 - HRCAP5、HRCAP6	
ePWM	编号	18 - EPWM1..18		
	寄存器	XLINK	-	EPWMx 链路寄存器 (存在于 F29H85x 的 SysCtl 寄存器中)
		XLINK2	-	EPWMx 链路 2 寄存器 (存在于 F29H85x 的 SysCtl 寄存器中)
HRPWM	编号	18 - HRPWM1..18		

4.4 模拟模块差异

这部分简要介绍了 F28P65x 和 F29H85x 的模拟特性差异。与 F28P65x 上的 ADC 相比，F29H85x 上的 ADC 具有许多新特性。表 4-6 展示了这些差异。

表 4-6. 模拟模块差异

模块	类别	F28P65x	F29H85x	注释
ADC	编号	3 - ADCA 至 ADCC	5 - ADCA 至 ADCE	
	寄存器	-	PPBTRIP1FILCLKCTL	ADCEVT1 跳变高通滤波器预分频控制
		-	PPBTRIP1FILCTL	ADCEVT1 跳变高通滤波器控制寄存器
		-	PPBTRIP2FILCLKCTL	ADCEVT2 跳变高通滤波器预分频控制
		-	PPBTRIP2FILCTL	ADCEVT2 跳变高通滤波器控制寄存器
		-	PPBTRIP3FILCLKCTL	ADCEVT3 跳变高通滤波器预分频控制
		-	PPBTRIP3FILCTL	ADCEVT3 跳变高通滤波器控制寄存器
		-	PPBTRIP4FILCLKCTL	ADCEVT4 跳变高通滤波器预分频控制
		-	PPBTRIP4FILCTL	ADCEVT4 跳变高通滤波器控制寄存器
		-	RESULT16	ADC 结果 16 寄存器
		-	RESULT17	ADC 结果 17 寄存器
		-	RESULT18	ADC 结果 18 寄存器
		-	RESULT19	ADC 结果 19 寄存器
		-	RESULT20	ADC 结果 20 寄存器
		-	RESULT21	ADC 结果 21 寄存器
		-	RESULT22	ADC 结果 22 寄存器
		-	RESULT23	ADC 结果 23 寄存器
		-	RESULT24	ADC 结果 24 寄存器
		-	RESULT25	ADC 结果 25 寄存器
		-	RESULT26	ADC 结果 26 寄存器
		-	RESULT27	ADC 结果 27 寄存器
		-	RESULT28	ADC 结果 28 寄存器
		-	RESULT29	ADC 结果 29 寄存器
		-	RESULT30	ADC 结果 30 寄存器
		-	RESULT31	ADC 结果 31 寄存器
		-	SAFECHECKRESEN2	ADC 安全检查结果使能 2 寄存器
		-	SOC16CTL	ADC SOC16 控制寄存器
		-	SOC17CTL	ADC SOC17 控制寄存器
		-	SOC18CTL	ADC SOC18 控制寄存器
		-	SOC19CTL	ADC SOC19 控制寄存器
		-	SOC20CTL	ADC SOC20 控制寄存器
		-	SOC21CTL	ADC SOC21 控制寄存器
	-	SOC22CTL	ADC SOC22 控制寄存器	
-	SOC23CTL	ADC SOC23 控制寄存器		
-	SOC24CTL	ADC SOC24 控制寄存器		
-	SOC25CTL	ADC SOC25 控制寄存器		
-	SOC26CTL	ADC SOC26 控制寄存器		
-	SOC27CTL	ADC SOC27 控制寄存器		
-	SOC28CTL	ADC SOC28 控制寄存器		
-	SOC29CTL	ADC SOC29 控制寄存器		
-	SOC30CTL	ADC SOC30 控制寄存器		
-	SOC31CTL	ADC SOC31 控制寄存器		

表 4-6. 模拟模块差异 (续)

模块	类别	F28P65x	F29H85x	注释
模拟子系统	寄存器	-	AGPIOCTRLH	AGPIO 控制寄存器
		-	CTLTRIMSTS	HWCTL TRIM 错误状态寄存器
		-	CTLTRIMSTSCLR	HWCTL TRIM 错误状态清除寄存器
		-	INTERNALTESTCTL	INTERNALTEST 节点控制寄存器
		-	IODRVSEL	5V FS IO 驱动强度选择寄存器
		-	IOMODESEL	PMBUS IO 模式选择寄存器
		-	PARITY_TEST	启用奇偶校验
		-	PARITY_TEST_ALT1	启用奇偶校验
		-	PMMVREGTRIM	电源管理模块 VREG 修整寄存器
		-	REFBUFCONFIGCDE	模拟基准 CDE 的配置寄存器
		-	VREGCTL	电压稳压器控制寄存器
		ADCACLOOPBACK	-	启用从 DAC 到 ADC 的环回
		AGPIOCTRLG	-	AGPIO 控制寄存器
		GPIOINENACTRL	-	GPIOINENACTRL 控制寄存器
DAC	编号	2 - GPDACA、GPDACC		
CMPSS	编号	11 - CMPSS1 至 CMPSS11	12 - CMPSS1 至 CMPSS12	
温度传感器	编号	1 - (在 ADCB 通道 18 中)	1	

4.5 电源管理

F28P65x 有两个选项来为器件供电。所有封装均可在启用内部 LDO VREG 的情况下，由双轨电源 (3.3V 和 1.2V) 或单轨电源 (3.3V) 供电。

在 F29H85x 中，所有引脚封装均在启用内部 LDO VREG 时支持双轨电源 (3.3V 和 1.25V)，但只有 100 引脚封装支持单轨电源 (3.3V)。

这部分介绍了两种器件在电源管理方面的异同点。

4.5.1 VREGENZ

只有 F29H85x 100 引脚封装支持 VREG 模式，在该模式下，电源由单轨电源轨在内部生成。对于其他封装类型，需要双轨电源来为器件供电。

备注

通常，需要遵循器件特定数据表中详细介绍的内部和外部 VREG 电源时序，才能正确启动器件。

4.5.2 功耗

F28H85x 的总功率为 1.8W，而 F28P65x 的总功率为 1.15kW。F29H85x 的功耗较高，因为该器件上的 CPU (1-3 C29x，具体取决于封装、Cortex M4) 以及更大存储器等资源量增加，从而消耗更多电流。

4.6 内存模块更改

作为整个架构，F28P65x 和 F29H85x 之间的 RAM 和闪存发生了变化。表 4-7 总结了包括错误检查和安全分配在内的存储器特性以及闪存中的不同模式。

表 4-7. RAM 和闪存存储器更改

存储器	F28P65x			F29H85x		
	RAM 和闪存	尺寸	奇偶校验/ECC	受安全保护	尺寸	奇偶校验/ECC
专用 RAM	104KB	奇偶校验		4K	ECC	
本地共享 RAM	64KB	奇偶校验		不适用		
全局共享 RAM	80KB	奇偶校验				
程序存储器 (LPAx、CPAx)	不适用			128KB	ECC	
数据存储器 (LDAx、CDAx)				320KB	ECC	
消息 RAM (CPU1、CPU2、CM、 CLA 和 DMA)	5KB	奇偶校验		不适用		
总 RAM	249KB			452KB		
每个 CPU 组	256KB (5 个组可在 2 个 C28 CPU 之间 映射)	ECC	DCSM 受控	512KB (8 个组可 在 3 个 CPU 之间 映射)	ECC	
数据组	不适用			256KB	ECC	
HSM 固件				2*256KB	ECC	
总闪存	1.28MB			4.75MB		

在 F29H85x 中，存储器架构已更改。每个 CPU 都可以访问每个存储器，但 RAM 有一些可以分类和优化的部分，以便提高效率。其中包括程序优化部分 LPAx 和 CPAx，LPAx 针对 CPU1/CPU2 进行了优化，CPAx 针对 CPU1/CPU3 进行了优化。同样，也有一些数据优化部分，其中包含针对 CPU1/CPU2 优化的 LDAx 和针对 CPU1/CPU3 优化的 CDAx。F28P65x 中有消息 RAM，您在 F29H85x 中未看到消息 RAM，但任何存储器都可在我们的新器件中用作 CPU 消息 RAM。它可以与 SSU 一起从 RAMS 中生成。

128 位存储器控制器可在程序访问时实现 0 等待状态。这允许进行数据访问，提供了复制代码、下载代码和插入软件断点的能力，同时也利用 CPU 的最大并行性。64 位 LDx 和 CDx 存储器控制器类似于 128 位 LPx 和 CPx 存储器控制器，但 64 位存储器控制器在数据访问时具有 0 个等待状态，在程序访问时具有 1 个等待状态。此外，RTDMA 可通过低速访问端口连接，因此所有访问都至少是一个等待状态。通过 RTDMA 突发支持，RTDMA 支持在 MEMSS 存储器控制器中生成本地地址。这使得性能接近零等待状态。

表 4-8. 存储器配置

RAM 部分	交错式	CPU1	CPU2	CPU3	HSM	RTDMA1	RTDMA2
LPAx RAM	是	0WS 程序 1WS 数据	0WS 程序 1WS 数据 1WS 数据	3WS 数据		1WS	1WS
LDAx RAM	是	1WS 程序 0WS 数据	1WS 程序 0WS 数据	3WS 数据	2WS	1WS	1WS
M0 RAM	是	1WS 程序 0WS 数据	1WS 程序 0WS 数据	3WS 数据		1WS	1WS
CPAx RAM	是	0WS 程序 1WS 数据	3WS 数据	0WS 程序 1WS 数据		1WS	1WS
CDAx RAM	是	1WS 程序 0WS 数据	3WS 数据	1WS 程序 0WS 数据		1WS	1WS
CPU1 ROM	是	1WS 程序 1WS 数据					
CPU2 ROM	是		1WS 程序 1WS 数据				
CPU3 ROM	是			1WS 程序 1WS 数据			

存储器模块中的原子操作支持也是 F29H85x 中的一项主要改进。原子操作执行受保护的存储器操作序列，同时防止其他存储器启动器中断。此序列可能涉及读取和更新存储器中的共享变量，其中需要保护这些变量不受其他启动器更新的影响，这意味着在多个序列中，需要将这些变量设置为原子序列，以便它们可以首先完成访问并且不会被中断。请注意，所有 RAM 都具有 32 位粒度的 ECC 保护。这意味着每 32 位都有 7 位 ECC。

在闪存中，有 4 种模式可供选择。这取决于您想要如何分配具有不同 CPU 的闪存，以及是否需要 FOTA。表 4-9 展示了不同的模式以及如何使用每种解决方案。

表 4-9. F29H85x 的闪存模式

闪光灯模式	CPU1	CPU3
0	4MB	-
1	4MB (带 FOTA)	-
2	2MB	2MB
3	2MB (带 FOTA)	2MB (带 FOTA)

表 4-10. 存储器模块差异

模块	类别	F28P65x	F29H85x	注释
闪存	寄存器	-	1_INTF_CLR	闪存读取接口 1 清除寄存器
		-	1_INTF_CTRL	闪存读取接口 1 控制寄存器
		-	1_INTF_CTRL_COMMIT	闪存读取接口 1 控制提交寄存器
		-	1_INTF_CTRL_LOCK	闪存读取接口 1 控制锁定寄存器
		-	2_INTF_CLR	闪存读取接口 2 清除寄存器
		-	2_INTF_CTRL	闪存读取接口 2 控制寄存器
		-	2_INTF_CTRL_COMMIT	闪存读取接口 2 控制提交寄存器
		-	2_INTF_CTRL_LOCK	闪存读取接口 2 控制锁定寄存器
		-	3_INTF_CLR	闪存读取接口 3 清除寄存器
		-	3_INTF_CTRL	闪存读取接口 3 控制寄存器
		-	3_INTF_CTRL_COMMIT	闪存读取接口 3 控制提交寄存器
		-	3_INTF_CTRL_LOCK	闪存读取接口 3 控制锁定寄存器
		-	4_INTF_CLR	闪存读取接口 4 清除寄存器
		-	4_INTF_CTRL	闪存读取接口 4 控制寄存器
		-	4_INTF_CTRL_COMMIT	闪存读取接口 4 控制提交寄存器
		-	4_INTF_CTRL_LOCK	闪存读取接口 4 控制锁定寄存器
		-	FRDCNTL_COMMIT	闪存读取控制提交寄存器
		-	FRDCNTL_LOCK	闪存读取控制锁定寄存器
		-	PARITY_TEST_COMMIT	奇偶校验提交寄存器
		-	PARITY_TEST_LOCK	奇偶校验锁定寄存器
		ECC_ENABLE	-	ECC 启用
		FECC_CTRL	-	ECC 控制
		FLPROT	-	闪存程序/擦除保护寄存器
		FRD_INTF_CTRL	-	闪存读取接口控制寄存器

4.7 GPIO 多路复用更改

由于 GPIO 多路复用方案随着新外设和 IO 的引入而发生了变化，请参阅器件特定数据表和新的 SysConfig PinMux 工具以实现 PinMux 配置。

5 使用 F29H85x 进行软件开发

以下部分将介绍从 F28P65x 迁移到 F29H85x 时发生的代码变化。

从 F29H85x 开始，每款第 4 代器件都有一组单独的基础和应用 SDK，而所有器件只需一个 C2000WARE。要开始使用 F29x 软件，请参阅此[页面](#)。

备注

Code Composer Studio™ (CCS) Eclipse 不支持第 4 代器件。以后，应使用 CCS Theia 和 CCS 20 进行软件开发。要了解更多信息并下载此 IDE，请参阅此[页面](#)。

5.1 迁移报告生成工具

用户可以参阅为相似类别中的两个特定器件发布的迁移指南。考虑到易用性和不同的客户需求，创建了迁移报告生成工具来协助在任意两个 C2000 C28x/C29x 器件之间进行迁移。要进行试用，请参阅此[工具](#)。

6 参考资料

- 德州仪器 (TI) : [F29H85x 和 F29P58x 实时微控制器技术参考手册](#)
- 德州仪器 (TI) : [F29H85x 和 F29P58x 实时微控制器数据表](#)
- 德州仪器 (TI) : [C29x CPU 参考指南](#)
- 德州仪器 (TI) : [TMS320C28x 和 TMS320C29x 平台之间的迁移用户指南](#)
- 德州仪器 (TI) : [C28/CLA 至 C29 软件迁移指南 \(托管在 F29H85x SDK 内 \)](#)
- 德州仪器 (TI) : [C2000 实时微控制器外设参考指南](#)
- 德州仪器 (TI) : [C29X-ACADEMY](#)

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司