

Application Note

TAS278X 原理图和布局指南

Arthur Brown

摘要

在音频应用中，尽可能地降低可能由外部条件引入到器件中的噪声影响始终非常重要。所有音频放大器都需要干净稳定的电源、经过隔离且阻抗受控的数字输入以及干净的低阻抗接地返回路径。否则，可能会出现器件稳定性、高 PSRR+N 或 THD 较差问题。在集成了高电流开关 D 类放大器和低电压复杂数字信号处理器的现代 DSP 智能放大器中，在元器件选择和 PCB 布局方面必须格外小心，以实现预期的性能。

本文档介绍了 TAS2781、TAS2783A 和 TAS2785 的实用优化 PCB 设计和布局。目标是通过遵循本文档，无论系统具体要求如何，都可以优化噪声问题、输出功率和器件稳定性。

内容

1 简介	2
2 详细说明	2
2.1 典型应用框图.....	2
2.2 典型电路原理图.....	4
2.3 布局最佳实践.....	9
3 PCB 板层	17
4 总结	22
5 参考资料	25

商标

所有商标均为其各自所有者的财产。

1 简介

以下各节介绍了 TAS2781、TAS2783A 和 TAS2785 的所有关键设计注意事项。这 3 款器件具有相同的引脚排列、BOM 要求和布局注意事项。这些器件之间的唯一区别在于 DSP 特性、TAS2783A 和 TAS2785 中的 Soundwire (SNDW) SDCA 支持，当然还有部件号。为简单起见，除非需要区分器件，否则名称 TAS278X 用作统称，指代所有这三款器件：TAS2781、TAS2783A 和 TAS2785。

2 详细说明

2.1 典型应用框图

图 2-1 显示了 TAS278X 在单声道配置下的典型应用方框图。可以使用可选的外部升压转换器和低通滤波器。TAS278X 可以提供外部 PWM 控制信号 (PWM_CTRL) 来调制升压电压，从而提高效率。

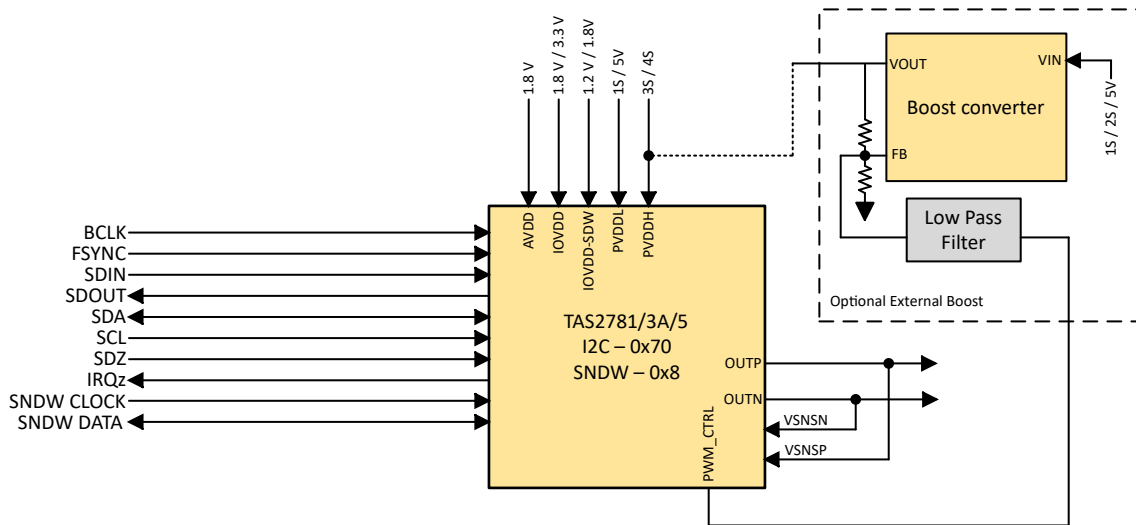


图 2-1. 典型单声道应用框图

图 2-2 显示了立体声系统中的典型应用方框图。在双通道或更多通道的配置中，数字控制数据 (I2C 或 SPI) 和数字音频数据 (I2S 或 TDM) 通常是器件之间的共享连接。硬件关断引脚 SDz 和低电平有效中断引脚 IRQz 可以根据系统要求共享连接或分开连接。在 SNDW 器件 (TAS2783A 或 TAS2785) 中，可以根据带宽、SOC 供应商建议或 PCB 布局限制按需连接 SNDW 时钟和数据信号。当在非 SNDW 模式下工作时，建议在两个通道之间短接增益共享引脚 ICC。在四路扬声器设计中，例如立体声低音扬声器-高音扬声器配置，ICC 必须在左低音扬声器和右低音扬声器之间短接，然后在左高音扬声器和右高音扬声器之间短接。

使用外部 H 类升压转换器时，2 个器件的 PWM_CTRL 信号必须短接在一起，然后连接到低通滤波器 (LPF) 反馈电路。

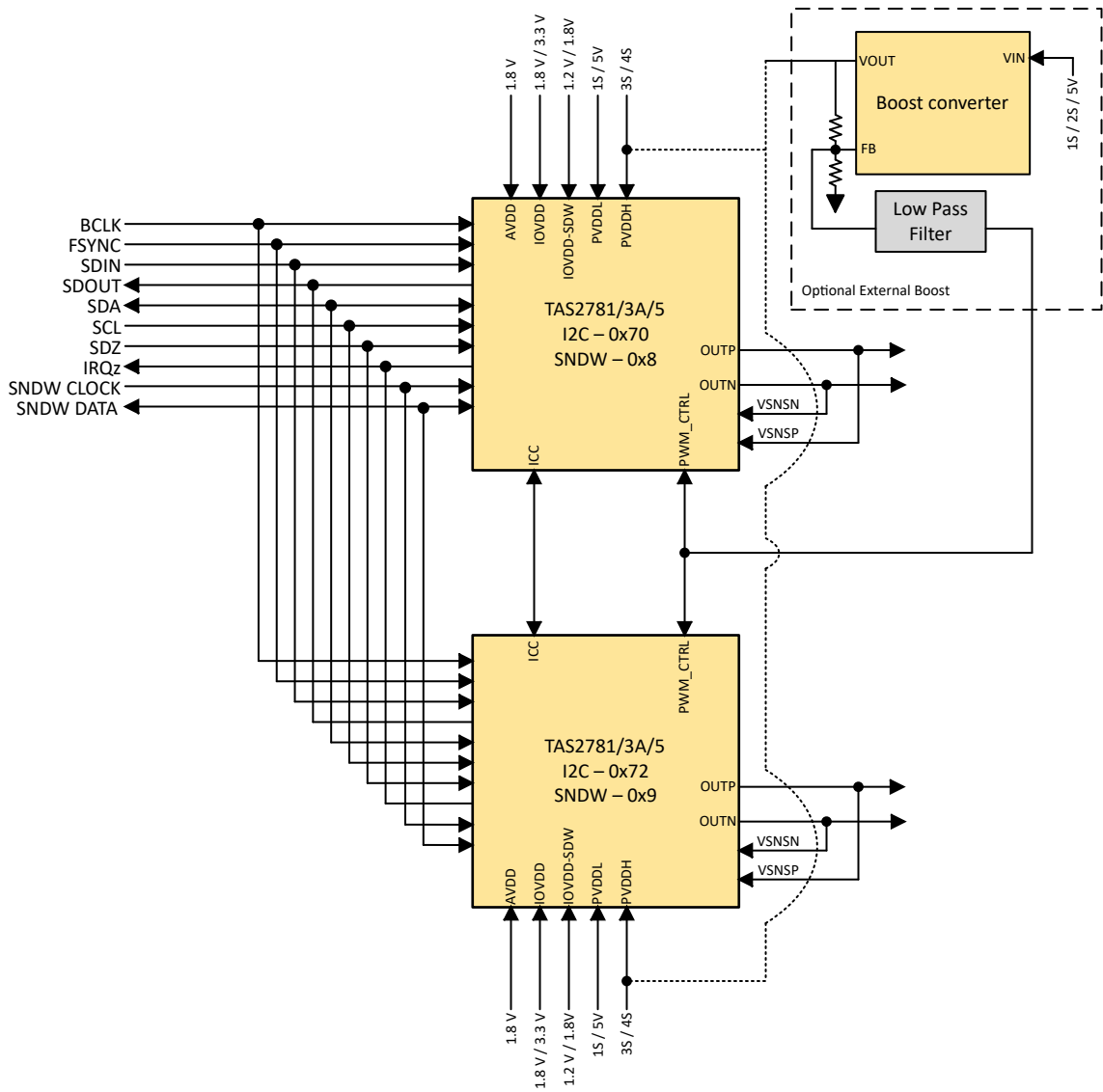


图 2-2. 典型立体声应用框图

2.2 典型电路原理图

图 2-3 显示了单声道配置下的典型应用原理图。

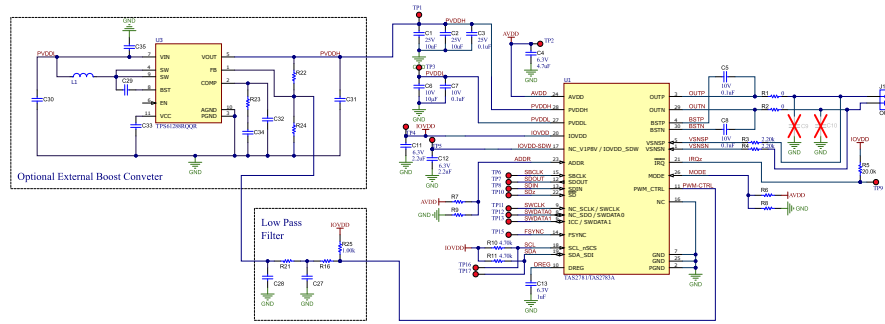


图 2-3. 典型单声道应用原理图

表 2-1 列出了 TAS278x 的推荐无源元件。

表 2-1. TAS278X 推荐无源元件

条目	详细信息	参考指示符	推荐值	注释
智能放大器		U1	TAS278X	25W 单声道智能放大器
电源	PVDDH	C1	10uF 25V	大容量去耦
		C2	10uF 25V	大容量去耦
		C3	100nF 25V	低 ESL 去耦
	PVDDL	C6	PWR_MODE0、1 和 3 10uF 10V	仅在 PWR_MODE0、1 和 3 中时，C6 应为 10uF
			PWR_MODE2 1uF 10V	仅在 PWR_MODE2 中时，C6 应为 1uF
	AVDD	C4	4.7uF 6.3V	
	IOVDD	C11	2.2uF 6.3V	除引脚 6、8、9 外所有数字引脚的 IOVDD
	IOVDD-SDW	C12	2.2uF 6.3V	引脚 6、8、9 的 IOVDD
Dreg	C13	1uF 6.3V	DSP LDO 输出	
D 类	V-Sense	R3	2.2k Ω	阻尼电阻器
		R4	2.2k Ω	阻尼电阻器
	LC 滤波器	R1	如果需要 - 120 Ω FB Isat > 5A	饱和电流应高于峰值输出电流。峰值电流可近似为 (PVDDH/扬声器 Re)
		R2	如果需要 - 120 Ω FB Isat > 5A	
		C9	如果需要 - 1nF 25V	
	自举电容器	C10	如果需要 - 1nF 25V	
		C5	100nF 10V	
	C8	100nF 10V		

2.2.1 外部 PVDDH 模式

TAS278X 支持直接电池连接，用于高压 D 类电源 PVDDH。在电池供电系统中，PVDDH 电源轨可直接由 3 节串联电池、4 节串联电池或任何低于标称 24VDC 的电源供电。低压电源 PVDDL 可以由系统中可能已有的任何 2.7V-5.5V 电源提供，或者 PVDDL 也可以由 PVDDH 在内部生成，如 2.2.3 所述。当 PVDDL 由 PVDDH 在内部生成时，请确保 PVDDH 电压不会降至 7.3V 以下。

如果电源的标称电压低于 5.5V，则同一个电源可以同时用于 PVDDL 和 PVDDH。

2.2.2 H 类升压模式

在由 1 节串联电池、2 节串联电池或等效电压的直流电源供电的系统中，可以使用外部 H 类升压转换器（例如 TI TPS61288）为高压 D 类电源 PVDDH 供电。低压电源 PVDDL 可以直接连接到 1 节串联电池，也可以由系统中可能已有的任何 2.7V-5.5V 电源提供，或者 PVDDL 也可以由 PVDDH 在内部生成，如 2.2.3 所述。当 PVDDL 由 PVDDH 在内部生成时，请确保 PVDDH 电压不会降至 7.3V 以下。

有关 TAS278X H 类升压的更多信息和设计指南，请参阅 [TAS2781](#) 和 [TAS2783 Hybrid-Pro 升压控制器](#)。

2.2.3 TAS278X 电源模式

TAS278X 支持 4 种不同的 D 类电源模式。这些电源模式描述了 D 类如何以及何时由 PVDDH 和 PVDDL 供电。

大多数系统设计人员必须选择 PWR_MODE1 和 PWR_MODE2。如果存在一个具有足够高电流的 2.7V 至 5.5V 电源轨，则必须将其连接到 PVDDL，并且必须使用 PWR_MODE1。这通过使用 Y 桥实现了出色效率。如果没有可用于 PVDDL 的电源轨，则 PVDDL 上仅需 1uF + 0.1uF 的去耦电容器，无需外部连接。这可以节省一些 BOM 成本，但会牺牲效率。当使用 PWR_MODE1 或 PWR_MODE2 时，请确保 PVDDH 电压不会降至 PVDDL+2.5V 以下，否则无法使用 Y 桥，D 类放大器将仅由 PVDDH 供电。

通常不建议使用 PWR_MODE0。此模式需要向器件同时提供 PVDDL 和 PVDDH，但不会利用 Y 桥。此电源模式是为那些认为 Y 桥架构会引入可闻失真或音频伪影的系统设计人员准备的，但事实并非如此。

PWR_MODE3 不是器件的主要工作模式。任何出于某种目的（如超声波存在检测）而使用 PWR_MODE3 的系统，建议返回到全功率模式，如 PWR_MODE1、2 或 0。

PWR_MODE0、PWR_MODE1、PWR_MODE3 都需要相同的 BOM 元件。在 PWR_MODE2 中，PVDDL **必须** 仅使用 1uF + 0.1uF 的去耦电容器。PWR_MODE0、PWR_MODE1、PWR_MODE3 **必须** 在 PVDDL 上使用 10uF + 0.1uF 的去耦电容器。

有关 Y 桥和电源模式的更多信息，请参阅 [TAS278x D 类放大器中用于提高效率的 Y 桥](#)。

[表 2-2](#) 显示了 TAS278X 中可能的电源模式配置。

表 2-2. TAS278x 电源模式配置

电源模式	输出开关模式	供电条件	PVDDL 模式	器件配置	用例和器件功能
PWR_MODE0	PVDDH 上的高功率	PVDDH>PVDDL	外部	PVDDL_MODE=0 CDS_MODE[1:0]=10	PVDDH 是用于提供输出功率的唯一电源。
PWR_MODE1	Y 桥 - PVDDL 上的高功率	PVDDH	外部	PVDDL_MODE=0 CDS_MODE[1:0]=00	PVDDL 用于根据配置的电平和余量提供输出功率。当音频信号超过编程的阈值时，D 类输出切换到 PVDDH。
PWR_MODE2	Y 桥 - PVDDL 上的低功率	PVDDH	内部	PVDDL_MODE=1 CDS_MODE[1:0]=11	PVDDH 是唯一电源。PVDDL 由内部 LDO 提供，用于在接近空闲通道电平的信号下供电。当音频信号电平超过 -100dBFS (默认) 时，D 类输出切换到 PVDDH。
PWR_MODE3	PVDDL	PVDDL	外部	PVDDL_MODE=0 CDS_MODE[1:0]=01	可以强制器件在低功率电源轨工作模式下运行。例如，这可用于不播放音频时的低功耗超声波线性调频脉冲。

2.2.4 TAS278X 工作模式

TAS278X 的工作模式根据 MODE 引脚的配置进行选择。

表 2-3 列出了 TAS2781 器件的工作模式。

表 2-3. TAS2781 器件工作模式

放大器模式	控制接口	引脚 26 (MODE)
智能放大器	I2C	连接到 GND
智能放大器	SPI	470 Ω 至 GND

表 2-4 列出了 TAS2783A 和 TAS2785 的工作模式。

表 2-4. TAS2783A 和 TAS2785 工作模式

放大器模式	控制接口	Pin26 (MODE)	Pin20 (IOVDD)	Pin17 (IOVDD_SDW)
SoundWire	SoundWire (可选 I2C)	连接到 AVDD	1.8	1.8
	SoundWire	连接到 AVDD	1.2	1.2
	SoundWire (可选 I2C)	连接到 AVDD	1.8	1.2
I2S/TDM	I2C	连接到 GND	1.8	0
	I2C	连接到 GND	3.3	0
	SPI	470 Ω 连接至 GND	1.8	1.8

TAS278X 的地址根据 ADDR 引脚的配置进行选择。表 2-5 列出了 TAS278x 中可用的地址。

表 2-5. TAS278x 地址

SDW 外设唯一 ID	I2C 地址	ADDR 引脚
0x8	0x70	短接至 GND
0x9	0x72	470 Ω 至 GND
0xA	0x74	470 Ω 至 AVDD
0xB	0x76	2.2k Ω 至 GND
0xC	0x78	2.2k Ω 至 AVDD
0xD	0x7A	10k Ω 至 GND
0xE	0x7C	10k Ω 至 AVDD
0xF	0x7E	短接至 AVDD

2.3 布局最佳实践

以下各节概述了每个引脚的布局最佳实践。所提供的示例布局旨在适用于所有实际系统。因此，该设计未使用盲孔、引脚上的过孔、焊盘上的过孔或在顶层使用实心接地覆铜。

2.3.1 DREG

引脚 10 (DREG) 是从 AVDD 电源生成的 LDO 输出。该 LDO 用于为 TAS278X 的 DSP 和数字部分供电。DREG 电容器的放置至关重要。DREG 电容器必须直接放置在引脚 10 旁边，并且电容器的接地侧在顶层连接到引脚 7 (GND)。对于不使用 SNDW 或 SPI 的系统，这是可行的 - GND 可以在顶层返回。对于使用引脚 8 和 9 的 SNDW 系统，可能无法在顶层返回地线。在这种情况下，请使用一个紧邻 DREG 电容器接地侧的过孔，并确保存在一条通过第二层地线连接到引脚 7 的短路径。DREG 引脚所呈现的寄生电感不应超过 500 pH。

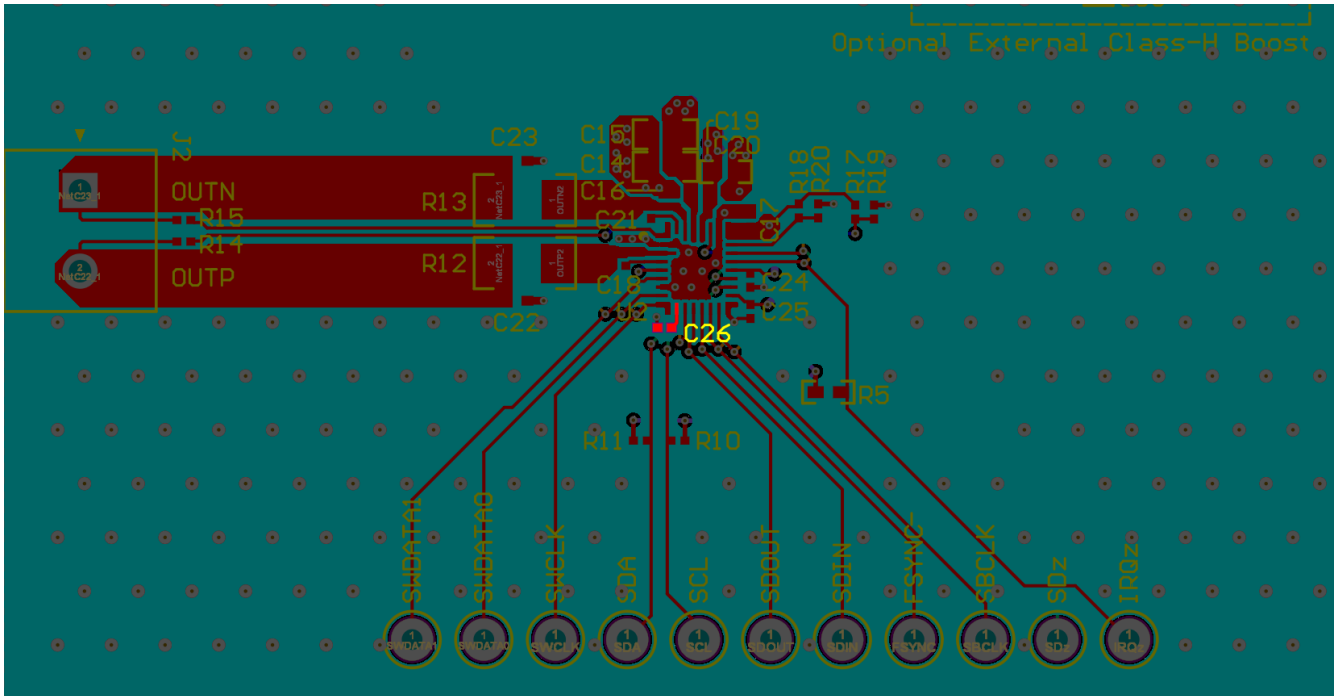


图 2-5. DREG

2.3.2 IOVDD 和 IOVDD-SDW

引脚 17 (IOVDD-SDW 或 NC_V1P8V) 是引脚 6、8、9 的 IO 电源。使用 SPI、ICC 或 SNDW 模式时，请在此引脚附近放置一个电容器，并通过过孔将电容器的接地侧短接至第 2 层 GND 层。

引脚 20 IOVDD 是所有其他数字 IO 引脚的 IO 电源。在此引脚附近放置一个电容器，并通过过孔将电容器的接地侧短接至第 2 层 GND 层。

IOVDD 和 IOVDD-SDW 引所呈现的寄生电感不得超过 200pH。

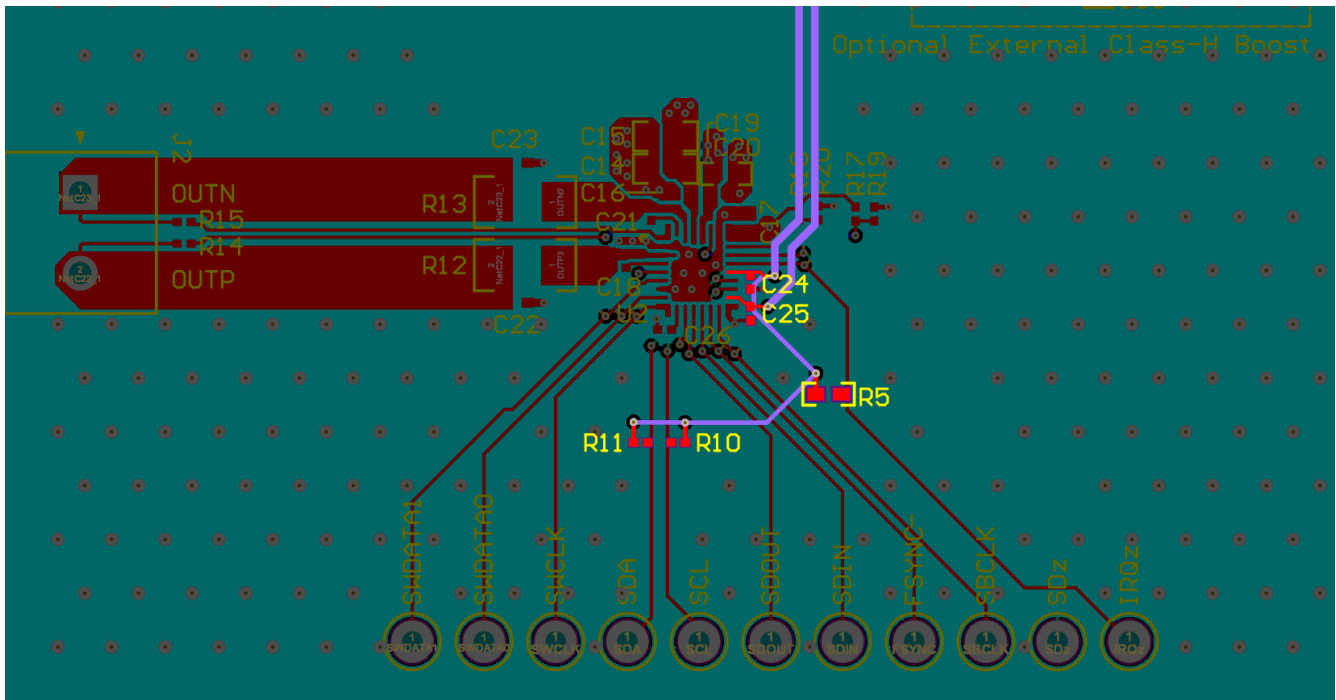


图 2-6. IOVDD 和 IOVDD-SDW

2.3.3 AVDD

引脚 24 (AVDD) 为器件的所有非 D 类、模拟和数字部分供电。其放置位置对器件性能至关重要。在所有系统中，必须能够将 AVDD 电容直接放置在设备引脚 24 旁边，并且电容器的 GND 侧可以在顶层连接到引脚 25 (GND)。AVDD 引脚所呈现的寄生电感不得超过 200pH。

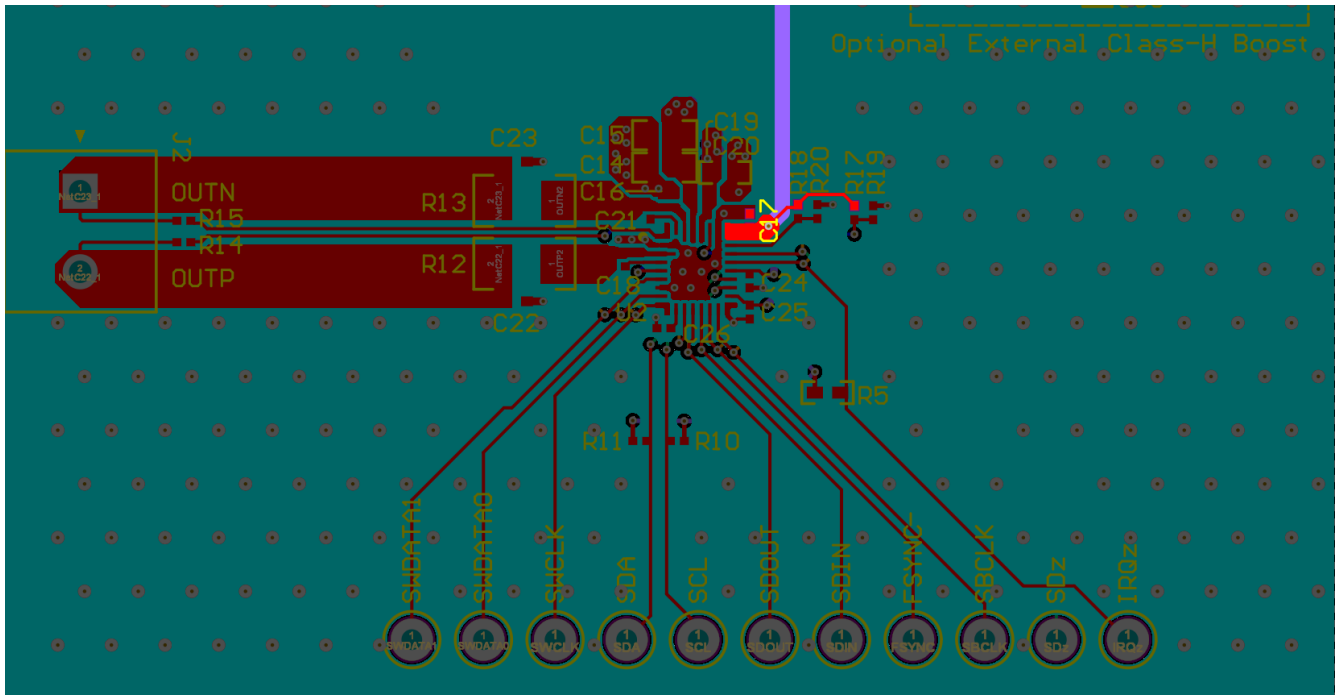


图 2-7. AVDD

2.3.4 PVDDH

引脚 28 (PVDDH) 是高压 D 类电源。PVDDH 去耦电容器和器件引脚之间的高寄生电感会导致 THD+N 性能下降或器件稳定性问题。低 ESL 0.1 μ F 电容器应尽可能靠近器件引脚放置。大容量 10 μ F 电容器应尽可能靠近低 ESL 电容器放置。使用宽多边形或走线为器件引脚提供 PVDDH。在布局中，PVDDH 去耦电容器的接地侧应在顶层返回到引脚 2 (PGND)。在系统中无法实现此操作时，应在顶层使用接地多边形，并通过多个过孔连接到第 2 层 GND 层。至关重要的是，到引脚 2 的接地返回路径要短且具有低电感。PVDDH 引脚所呈现的寄生电感不应超过 100 pH。

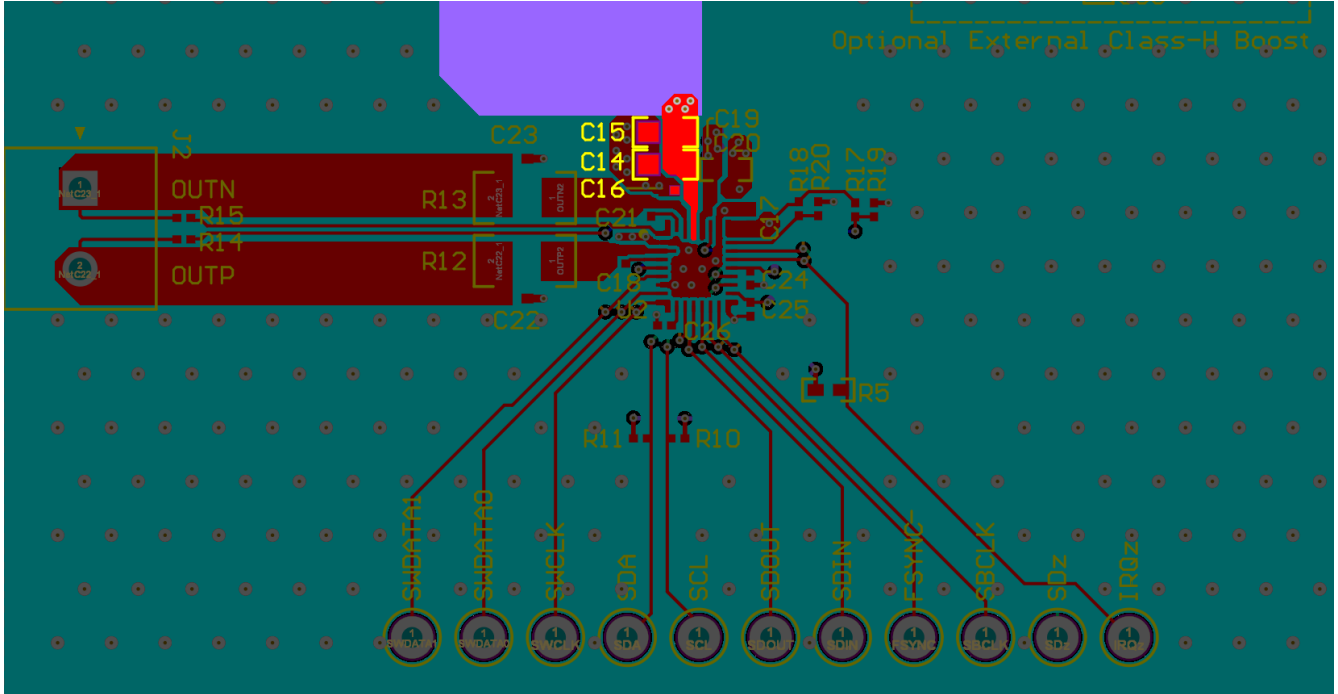


图 2-8. PVDDH

2.3.5 PVDDL

引脚 27 (PVDDL) 是 D 类放大器的低压电源。其布局要求与 PVDDH 相同。将低 ESL 电容器尽可能靠近器件引脚放置。将大容量电容器尽可能靠近低 ESL 电容器放置。使用宽多边形将 PVDDL 连接到器件引脚，并确保从去耦电容器的接地侧到引脚 2 PGND 存在低阻抗路径，无论是通过顶层还是通过使用多个过孔的第二层 GND 层。PVDDL 引脚所呈现的寄生电感不应超过 100 pH。

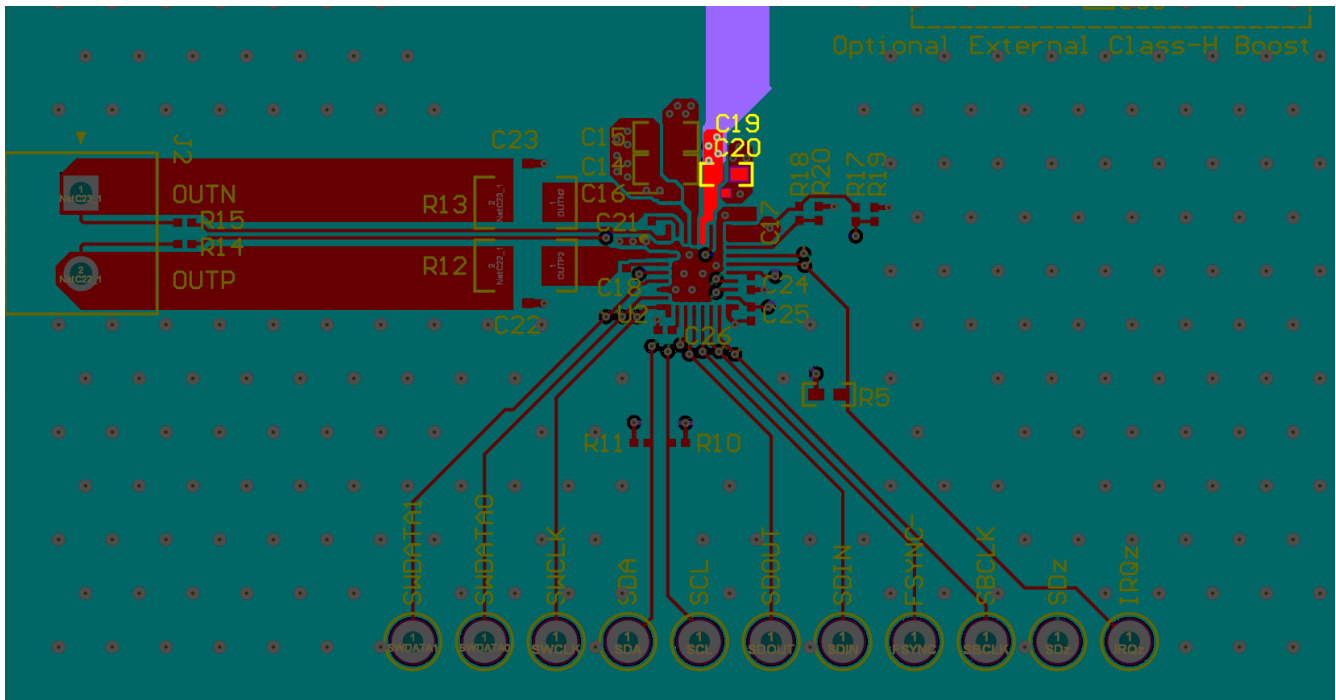


图 2-9. PVDDL

2.3.6 D 类输出 (OUTP 和 OUTN)

引脚 3 和引脚 29 (OUTP 和 OUTN) 分别是 D 类放大器的正极和负极输出。由于这些走线的开关性质，TI 建议布线尽可能短、以尽量减少寄生效应和辐射。

为了优化电流，输出引脚附近的走线必须加宽。

使用 EMI 滤波器时，请考虑以下几点：

- 电感器或铁氧体磁珠必须是滤波器中的第一个元件。
- 接地电容会上拉高电流尖峰，并有触发过流保护的风险。
- 滤波器必须放置在相对靠近器件的位置，以尽可能地减少辐射。

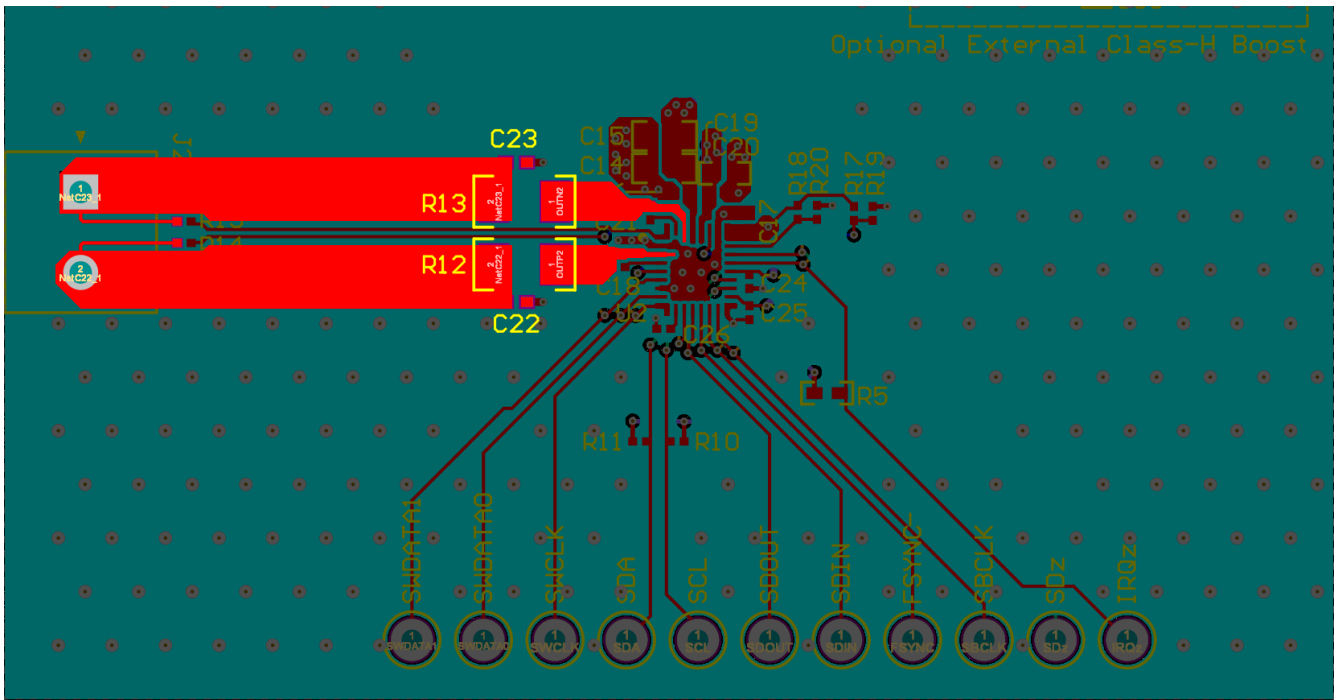


图 2-10. OUTP 和 OUTN

2.3.7 VSNSP 和 VSNSN

引脚 5 和引脚 1 (VSNSP 和 VSNSN) 分别是电压检测正输入端和负输入端。这些输入的阻抗相对较高，走线可设计为任意细的线宽。这些输入必须以差分方式布线并连接到输出走线 (VSNSP 对应 OUTP ， VSNSN 对应 OUTN) 。 VSNS 走线必须在靠近扬声器端子的铁氧体磁珠或 LC 滤波器之后进行连接。请勿将它们连接到器件引脚或输出走线附近。TI 还建议在 VSNSP 和 VSNSN 上都串联一个 2.2kΩ 电阻。这种做法有助于抑制 VSNS 走线上的任何振铃，从而尽可能地减少辐射，并防止 VSNS 引脚承受任何过压应力。

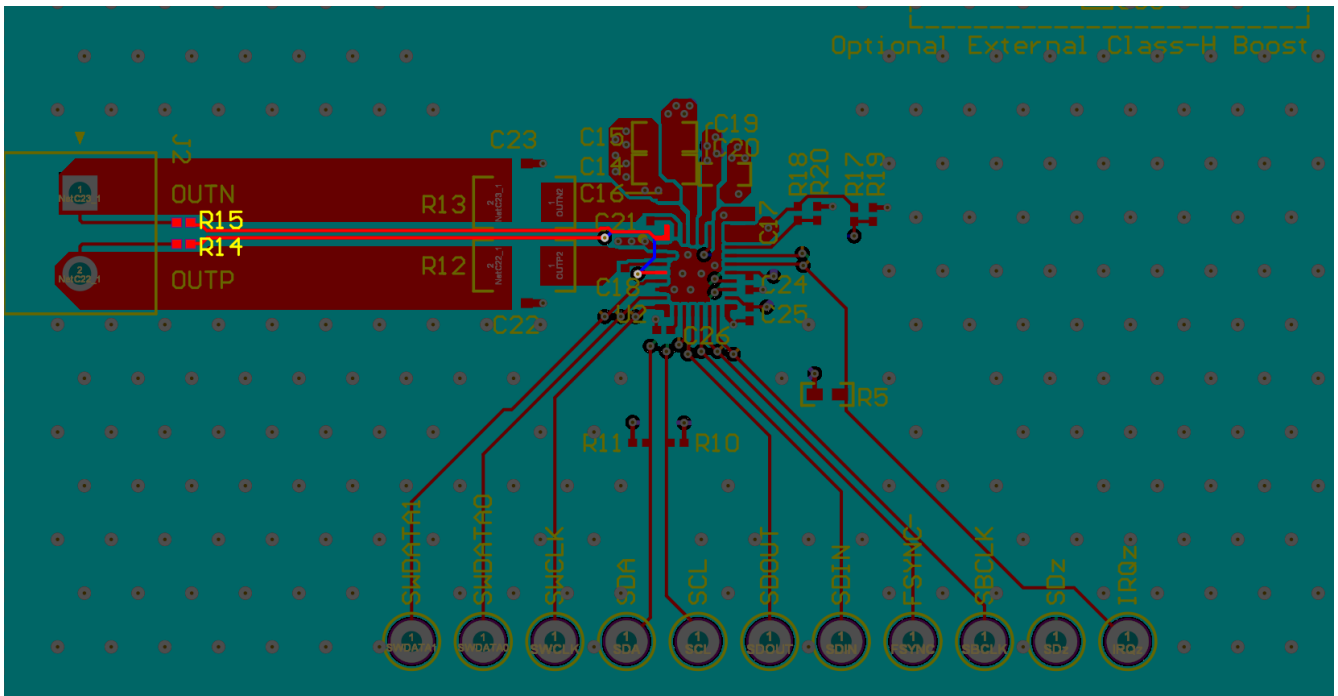


图 2-11. VSNSP 和 VSNSN

2.3.8 BSTP 和 BSTN

引脚 4 和引脚 30 BSTP 和 BSTN 分别是 OUTP 和 OUTN 的自举引脚。必须在输出走线和相应的自举引脚 (OUTP 对应 BSTP, OUTN 对应 BSTN) 之间放置一个 0.1uF 的电容器。该自举电容器必须直接连接到任何滤波器元件之前的输出信号上。如果需要, 可以将这些电容器放置在底层。BSTP 和 BSTN 引脚所呈现的寄生电感可高达 1nH。

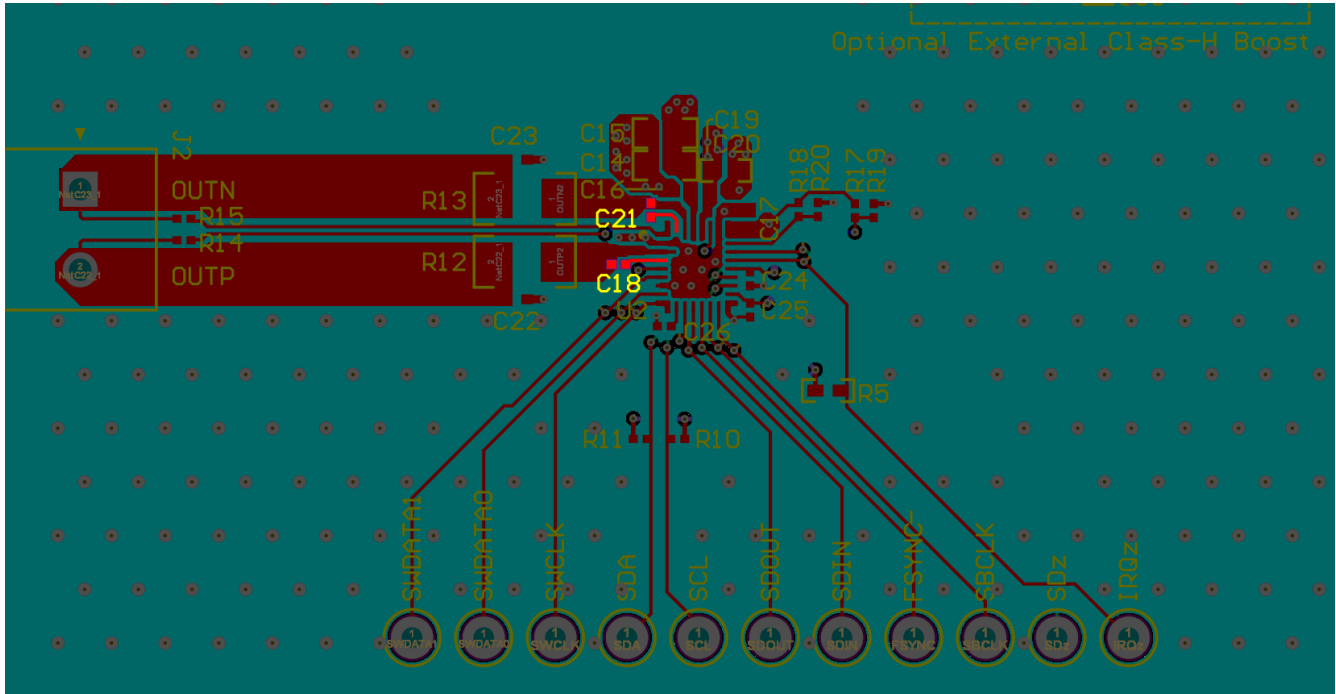


图 2-12. BSTP 和 BSTN

2.3.9 接地引脚

设计 PCB 布局时, 接地布线非常重要。接地引脚需要具有通往电路板接地平面的低阻抗电气和热路径, 并且寄生电感要尽可能小。任何接地引脚和电路板接地平面之间的寄生电感不应超过 100nH。不同接地引脚的设计技巧列举如下。

- 引脚 2 (PGND) 是 D 类接地引脚。它在三个接地引脚中承载的电流最大。必须使用封装下方和封装外部的多个过孔, 以实现与 PCB 接地平面的低阻抗连接
- 在顶层的器件封装下方放置一个接地多边形。将引脚 2、7 和 25 短接至该多边形, 并使用多个过孔将该多边形短接至第 2 层 GND 平面
- 顶层正下方的层必须专用于接地。

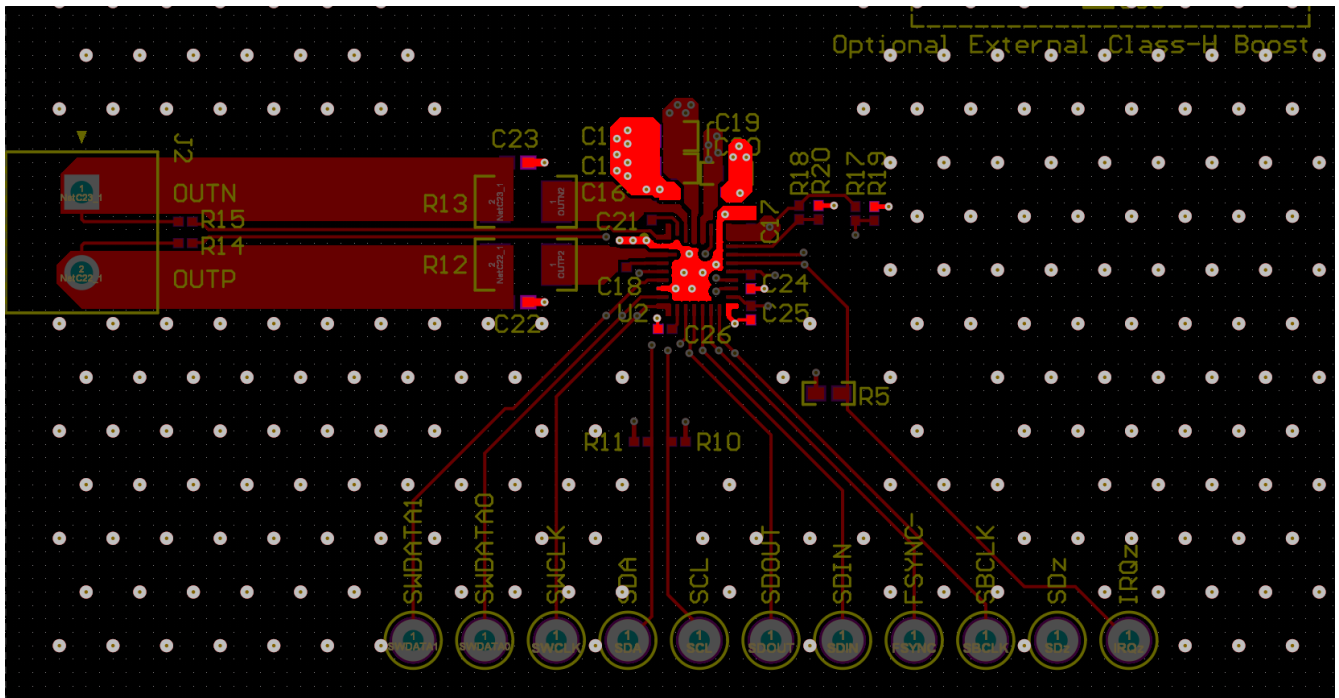


图 2-13. 接地

2.3.10 非 Soundwire 数字 IO

I2S、I2C、SPI、中断和关断信号对布局的敏感度不高。避免将这些信号中的任何一个布线到任何高电流或开关信号附近，例如 PVDDH、PVDDL、OUTP、OUTN、BSTP、BSTN、VSNP、VNSN。避免在 I2S 信号上出现较长的末端接布线段。

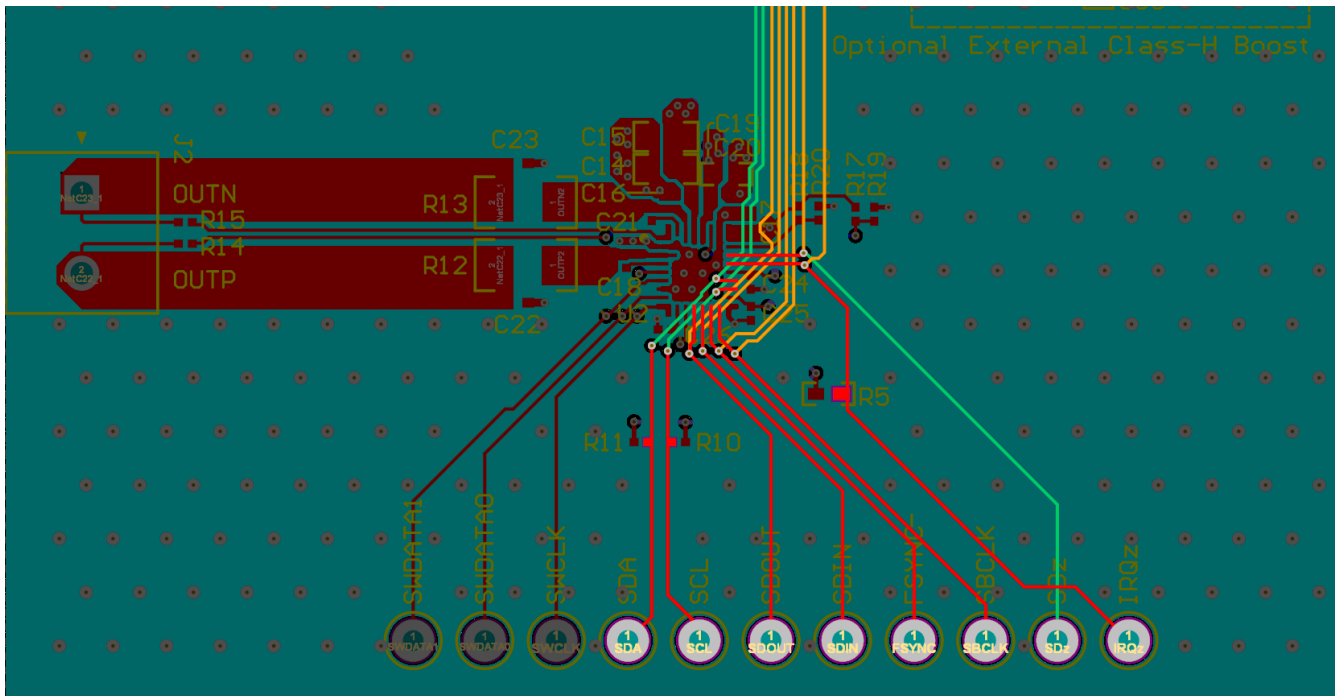


图 2-14. 非 Soundwire 数字 IO

2.3.11 Soundwire IO

将所有 Soundwire 信号的特征阻抗控制为 50 欧姆。主机和器件之间的所有总线段、以及器件和器件之间菊花链连接的分段都要进行长度匹配。避免将这些信号中的任何一个布线到任何高电流或开关信号附近，例如 PVDDH、PVDDL、OUTP、OUTN、BSTP、BSTN、VSNSP、VSNSN。避免在 Soundwire 信号上出现较长的末端接布线段。

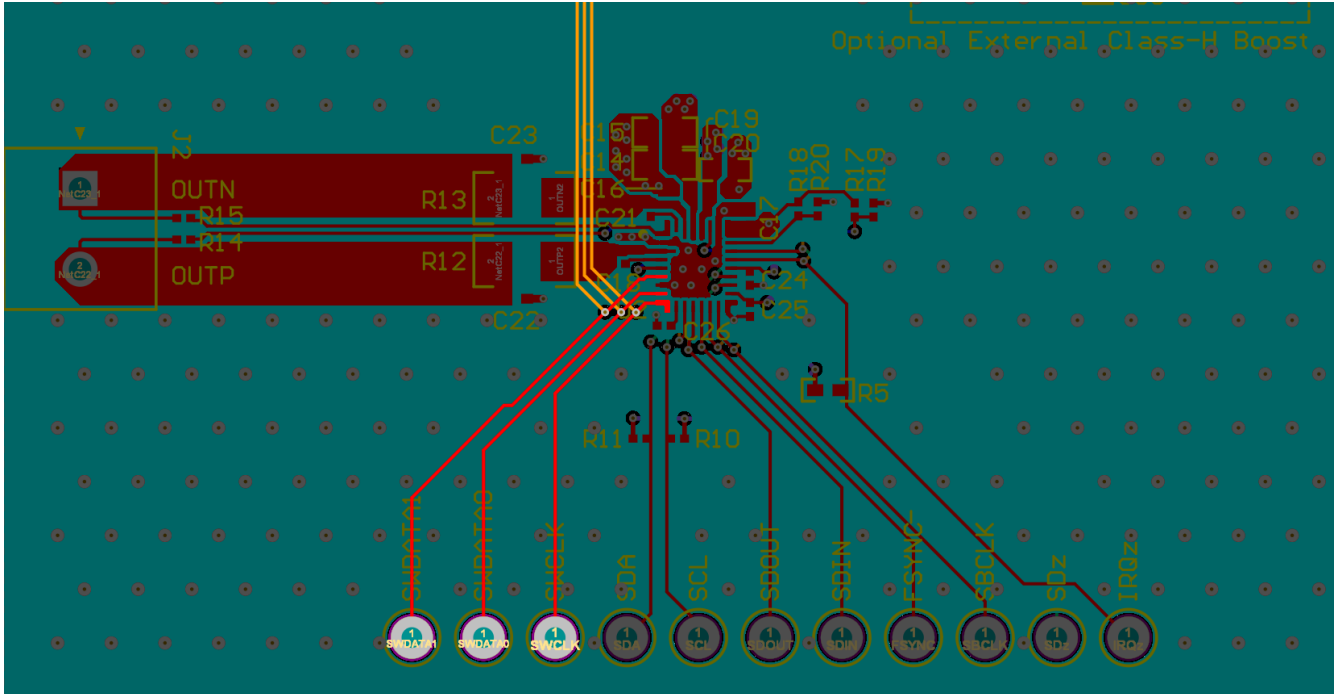


图 2-15. Soundwire

3 PCB 板层

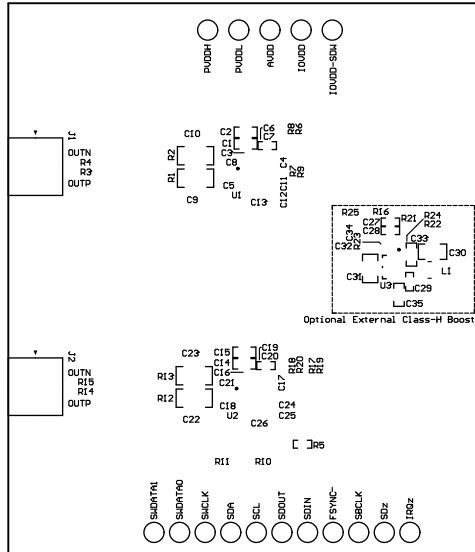


图 3-1. 顶层丝印层

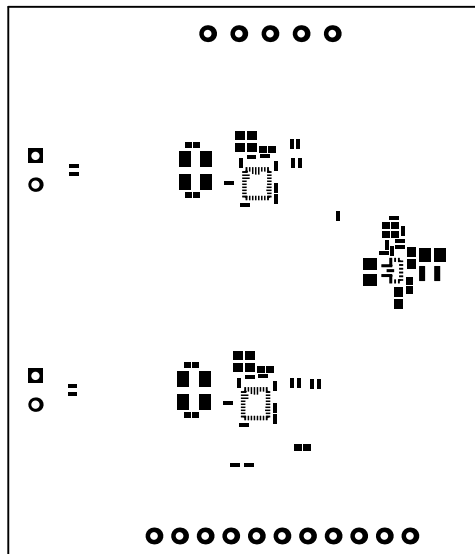


图 3-2. 顶部焊锡层

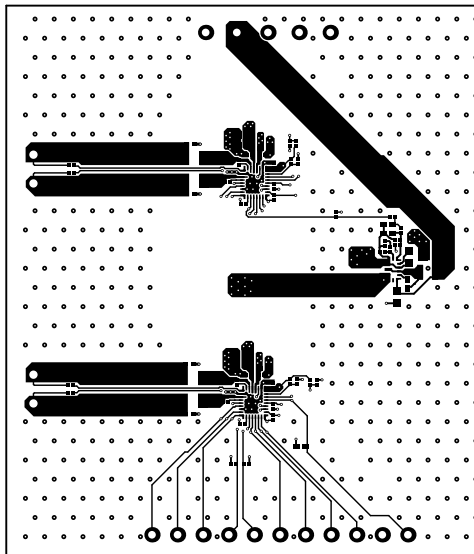


图 3-3. 顶层

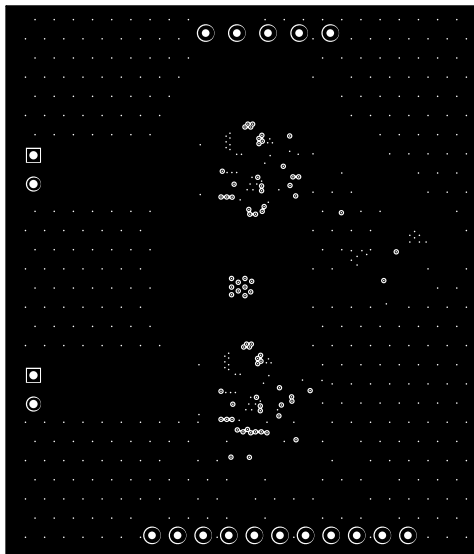


图 3-4. 第 2 层接地

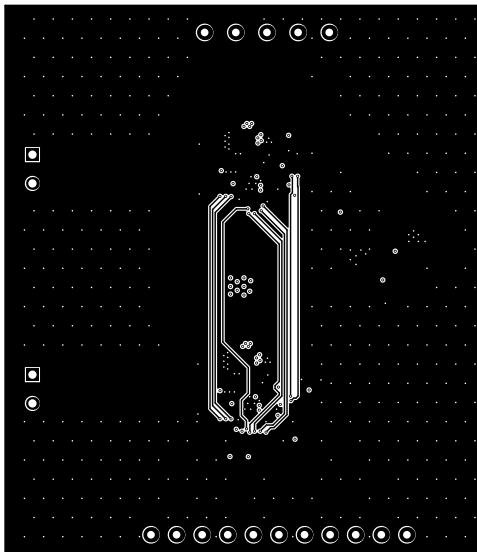


图 3-5. 第 3 层信号

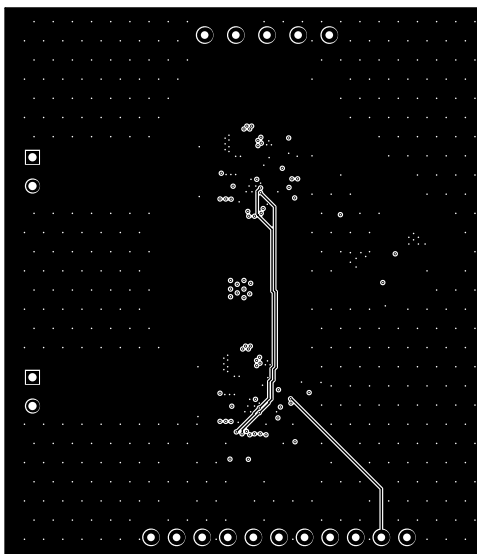


图 3-6. 第 4 层信号

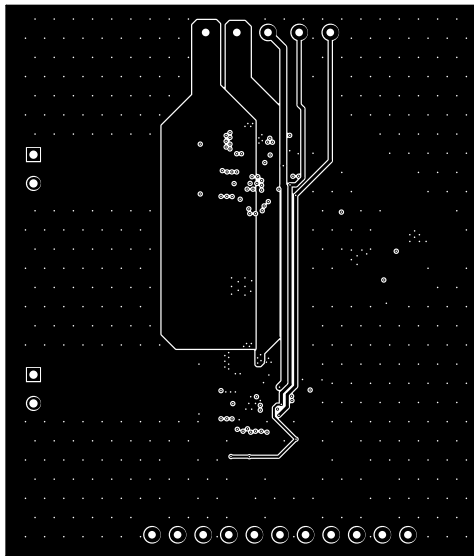


图 3-7. 第 5 层电源

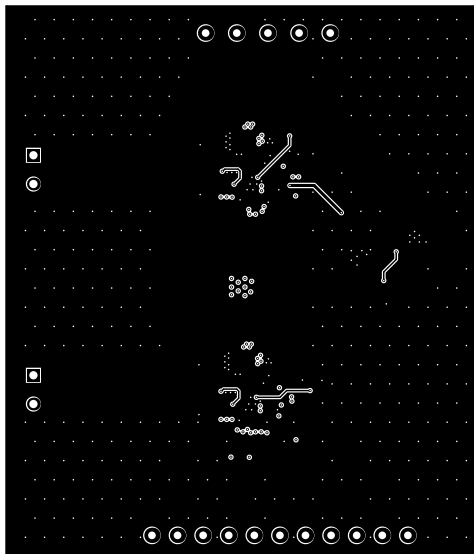


图 3-8. 底层

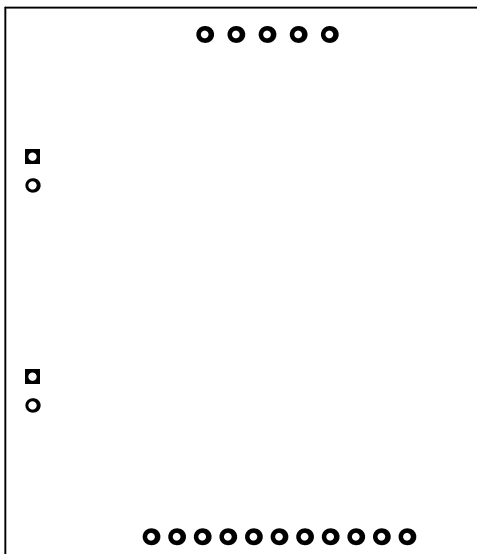


图 3-9. 底部焊锡层

4 总结

表 4-1. 设计指南总结

引脚编号	引脚名称		原理图注意事项	布局布线注意事项
	TAS2783A/TAS2785	TAS2781		
28	PVDDH	PVDDH	连接到 3 节串联、4 节串联电池或升压转换器输出 在 25V 下使用 10uF+10uF+0.1uF 电容器去耦至 GND	使用宽走线以处理高电流 将电容器尽可能靠近器件引脚放置
27	PVDDL	PVDDL	PWR_MODE0、1、3 连接到 1 节串联电池或 2.7V-5.5V DC-DC 在 10V 下使用 10uF+0.1uF 电容器去耦至 GND。 PWR_MODE2 不对外连接电压 在 6.3V 下使用 1uF+0.1uF 电容器去耦至 GND	确保到引脚 2 (PGND) 有短的接地返回路径。如果未使用顶层 GND 平面, 则在电容器接地侧覆铜, 并使用多个过孔通过第 2 层提供低阻抗接地返回路径。
24	AVDD	AVDD	连接到 1.8V 在 6.3V 下使用 4.7uF 电容器去耦至 GND	将电容器尽可能靠近引脚 24 放置。将电容器接地侧在顶层连接到引脚 25
20	IOVDD	IOVDD	TAS2781 连接到 1.8V 或 3.3V 在 6.3V 额定电压下使用 1uF 电容器去耦至 GND。 TAS2783A/TAS2785 连接到 1.2V、1.8V 或 3.3V 在 6.3V 电压下使用 2.2uF 电容器去耦至 GND	注意: 如果引脚 17 和引脚 20 共用一个电源电压, 则可以将这些引脚短接在一起, 并使用单个 2.2uF 电容器。这适用于 TAS2781、TAS2783A 和 TAS2785
17	IOVDD-SDW	NC_V1P8V	如果使用了引脚 6、8、9 (ICC、SPI 或 Soundwire) TAS2781 连接到 1.8V 在 6.3V 电压下使用 1uF 电容器去耦至 GND。 TAS2783A/TAS2785 连接到 1.2V 或 1.8V 在 6.3V 电压下使用 2.2uF 电容器去耦至 GND	
10	DREG	DREG	在 6.3V 电压下使用 1uF 电容器去耦至 GND 不要对外连接到电源或负载。	直接放置在器件引脚旁边。必须有一条直接到引脚 7 (GND) 的低阻抗短路路径。在电容接地侧使用过孔连接到第 2 层 GND 层
1, 5	VSNSN 和 VSNSP	VSNSN 和 VSNSP	短接至任何 LC 滤波器之后的扬声器输出。串联使用 2.2kΩ 1% 电阻器	以差分方式布线并连接到扬声器连接器。 2.2kΩ 电阻器的放置位置并不重要。此走线不承载电流。可以做到 PCB 制造允许的最小宽度。

表 4-1. 设计指南总结 (续)

引脚编号	引脚名称		原理图注意事项	布局布线注意事项
	TAS2783A/TAS2785	TAS2781		
3.29	OUTP 和 OUTN	OUTP 和 OUTN	这是无滤波器 D 类。LC 滤波器是可选的，仅用于 EMI 目的。如果需要滤波器，使用 120Ω 铁氧体磁珠和并联的 1nF 电容器。	使用宽走线连接到扬声器。VSNS 连接点尽可能靠近扬声器。保持短布线，并将 EMI 滤波器放置在器件附近以限制辐射。
4.30	BSTP 和 BSTN	BSTP 和 BSTN	在 BSTP<->OUTP 和 BSTN<->OUTN 之间放置一个 100nF 10V 电容器。在任何 LC 滤波器之前连接该电容器。	该电容器的两侧都必须具有低阻抗连接。放置在器件附近。电容器可以放置在 PCM 的底部
26	模式	模式	短接至 AVDD - Soundwire 模式 短接至 GND - I2C 模式 470 至 GND - SPI 模式	非关键。不要让模式引脚连接影响 AVDD 布线。
23	ADDR	ADDR	短接至 GND - SNDW UID 0x08 或 I2C 地址 0x70 470Ω 至 GND - SNDW UID 0x09 或 I2C 地址 0x72 470Ω 至 AVDD - SNDW UID 0x0A 或 I2C 地址 0x74 2.2kΩ 至 GND - SNDW UID 0x0B 或 I2C 地址 0x76 2.2kΩ 至 AVDD - SNDW UID 0x0C 或 I2C 地址 0x78 10kΩ 至 GND - SNDW UID 0x0D 或 I2C 地址 0x7A 10kΩ 至 AVDD - SNDW UID 0x0E 或 I2C 地址 0x7C Short 至 AVDD - SNDW UID 0x0F 或 I2C 地址 0x7E	非关键。不要让 ADDR 引脚连接影响 AVDD 布线。
11	PWM_CTRL	PWM_CTRL	连接到 LC 滤波器，然后连接到升压反馈引脚。有关 H 类升压的设计指南，请参阅 {link to sloa326}。如果未使用，则保持悬空	非关键
21	IRQz	IRQz	在 I2C 或 SPI 模式下 使用 20kΩ 上拉至 IOVDD。 连接到 SoC GPIO 以监控器件中断 在 SNDW 模式下 即使未使用，也使用 20kΩ 电阻器上拉至 IOVDD。	非关键
22	SDz	SDz	连接到 SoC GPIO	非关键
25,2,7	DGND、PGND、GND	DGND、PGND、GND	短接至电路板接地	在顶层的器件封装下方放置一个接地多边形。将引脚 2、7 和 25 短接至该多边形，并使用多个过孔将该多边形短接至第 2 层 GND 平面 顶层正下方的层必须专用于接地。
16	NC	NC	短接至电路板接地	非关键

表 4-1. 设计指南总结 (续)

引脚编号	引脚名称		原理图注意事项	布局布线注意事项
	TAS2783A/TAS2785	TAS2781		
6	SWDATA1	ICC	I2C/SPI 模式 将 ICC 短接在左右声道两个器件之间 如果未使用, 则悬空 Soundwire 模式 (TAS2783A/TAS2785) 连接到主机数据通道 1 如果未使用, 则短接到 GND	在 Soundwire 模式下 将阻抗控制为 50 欧姆 对主机 <-> 器件以及 器件 <-> 器件之间的 时钟和数据走线段进 行长度匹配 不要靠近任何高电流 或开关信号 (如 PVDDH、PVDDL、 OUTP、OUTN、 BSTP、BSTN、 VSNSP、VSNSN) 布 线
8	SWDATA0	NC_SDO	SPI 模式 在 Soundwire 模式下连接到主机 SPI 数据输入 连接到主机数据通道 0 如果未使用, 则短接至地	
9	SWCLK	NC_SCLK	SPI 模式 连接到主机 SPI 时钟输出 Soundwire 模式 连接到主机 Soundwire 时钟输出	
18	SCL	SCL_nSCS	I2C 模式 使用电阻器上拉至 IOVDD SPI 模式 连接到主机 SPI 芯片选择 Soundwire 模式 即使未使用, 也上拉至 IOVDD	不要靠近任何高电流 或开关信号 (如 PVDDH、PVDDL、 OUTP、OUTN、 BSTP、BSTN、 VSNSP、VSNSN) 布 线
19	SDA	SDA_SDI	I2C 模式 使用电阻器上拉至 IOVDD SPI 模式 连接到主机 SPI 数据输出 Soundwire 模式 即使未使用, 也上拉至 IOVDD	
12	SDOUT	SDOUT	连接到主机 如果未使用, 则保持悬空	
13,14,15	SDIN、FSYNC、 SBCLK	SDIN、FSYNC、 SBCLK	连接到主机 如果未使用, 则连接到地	

5 参考资料

1. 德州仪器 (TI), [TAS278x D 类放大器中用于提高效率的 Y 桥](#), 应用手册。
2. 德州仪器 (TI), [TAS2781](#) 和 [TAS2783 Hybrid-Pro 升压控制器](#), 应用手册。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月