

Application Note

TAx5x1x 系列的手动时钟配置



Mir Jeffres, Karan Das

摘要

TAx5x1x 系列器件具有灵活的 PLL 和时钟树，可支持广泛的输入和输出时钟频率。对于标准音频采样率 WCLK、BCLK 和 CCLK，器件可自动配置时钟树以实现最优性能；但若需更多控制权或需处理非标准音频采样率，用户可根据需要自定义时钟配置。手动时钟模式需要用户手动设置所有时钟分频器和 PLL 参数，既可用于目标模式（所有 ASI 时钟由外部提供），也可用于控制器模式（CCLK 或 BCLK 由外部提供，BCLK 和/或 WCLK 由器件内部生成）。本应用手册旨在使 PLL 参数和时钟分频器的计算更加简单明了。

本应用手册重点介绍自定义模式，有关自动模式的更多信息，请参阅 [TAx5x1x 系列的器件时钟配置与灵活时钟](#) 以及 [TAx5x1x 系列支持的时钟错误配置、检测与模式](#)。

本应用手册中所述的时钟配置适用于以下器件：

TAC5111、TAC5111-Q1、TAC5112、TAC5112-Q1、TAC5211、TAC5212、TAC5212-Q1、TAC5301-Q1、TAC5311-Q1、TAC5312-Q1、TAC5411-Q1、TAC5412-Q1、TAD5112、TAD5112-Q1、TAA5212、TAD5212、TAD5212-Q1、TAA5412-Q1

内容

1 简介.....	2
2 时钟树.....	3
3 时钟限制.....	4
3.1 内部频率范围.....	4
3.2 时钟分频器参数范围.....	4
3.3 时钟使能寄存器.....	5
4 手动时钟树配置寄存器.....	6
4.1 所需的寄存器设置.....	6
4.2 手动时钟树配置中的寄存器设置.....	6
4.3 采样率与 MOD_CLK 频率频段.....	7
4.4 功耗注意事项.....	8
5 计算 PLL 倍频器和分频器.....	9
6 示例 1：自定义目标模式、非音频采样率.....	11
6.1 示例脚本.....	13
7 示例 2：自定义控制器模式、非音频采样率.....	14
7.1 示例脚本.....	16
8 总结.....	17
9 参考资料.....	17

商标

所有商标均为其各自所有者的财产。

1 简介

TAx5x1x 器件支持多种 PLL 自动配置模式，在这些模式下，内部时钟根据输入时钟 (CCLK、BCLK、FSYNC) 进行配置。尽管该系列器件的自动模式可覆盖大多数典型用例，但有时需要或更倾向于使用手动时钟配置。手动时钟的一些示例用例包括：

1. 当处于控制器模式，且 CCLK 与 FSYNC 频率不存在整数倍关系，同时该时钟不属于 [TAx5x1x 系列的器件时钟配置与灵活时钟](#) 中表 3-7 所规定的自动 CCLK 固定模式允许的 CCLK 频率范围时。
 - a. 例如，15MHz CCLK 与 48kHz FSYNC。
2. 具有特定时钟需求的非标准采样率。自动模式下的采样率检测仅适用于特定范围的 WCLK 频率；半自动模式适用于任何受支持的采样率，但您无法获知内部时钟的状态。
 - a. 例如，如果用户希望使用 50kHz 采样率 (半自动模式支持该采样率，但自动模式不支持)，并指定 PDM 时钟频率、CLKOUT，或验证 PLL 的开启/关闭状态。
3. 非标准采样率下的采样率转换，包括 PASI 与 SASI 工作在不同采样率下，或者一个处于控制器模式、另一个处于外设模式。有关更多信息，请参阅 [TAx5x1x 同步采样率转换](#)。
4. 需要深入了解 TAx5x1x 内部时钟方案的任何其他情况。了解内部时钟有助于生成通用的 CLKOUT、PDM 时钟，或在不同芯片之间重新创建设置以实现均匀的功耗。

2 时钟树

TAx5x1x 器件支持通过多种选项为 ADC 和 DAC 生成内部时钟，以及为 PASI 和 SASI 生成 ASI 时钟（例如 BCLK 和 FSYNC）。它们还支持生成用于与嵌入式系统其他部分交互的时钟，例如用于数字麦克风的 PDM 时钟，以及可用于调试或驱动其他器件的可调 CLKOUT。图 2-1 展示了内部时钟及分频器的时钟树。所有内部时钟的时钟源可以是所施加的 CCLK 或 BCLK，也可以将某个施加的时钟用作 PLL 的时钟源，再由后者驱动所有内部分频器。需要注意的是，BOOST、SAR、MOD 和 DEM 时钟属于纯内部时钟，而其他时钟可根据需要路由至相应的数字输出引脚。本应用手册的后续章节详细介绍了如何计算自定义手动时钟配置所需的内部时钟和分频器。

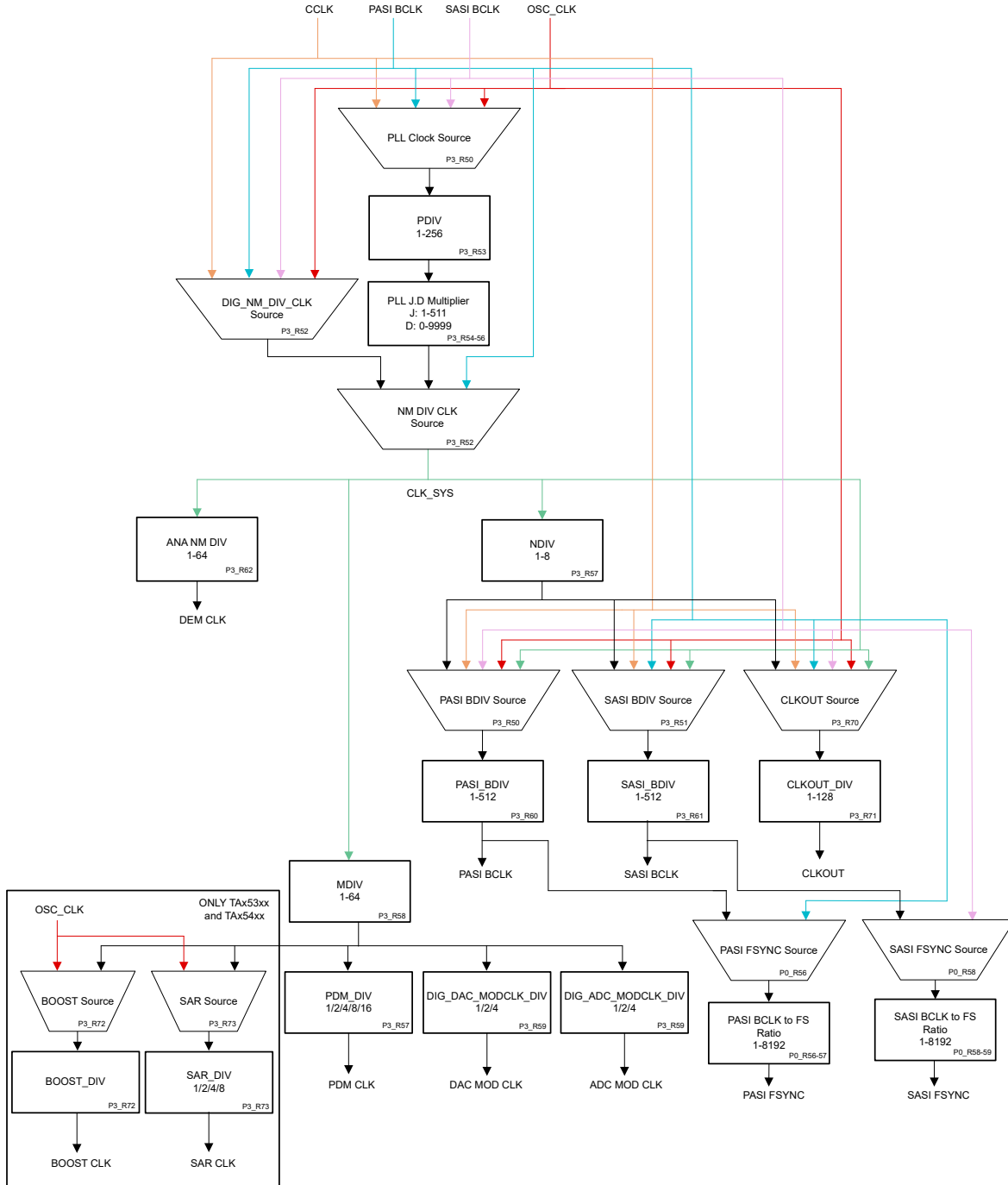


图 2-1. 时钟树

3 时钟限制

请注意时钟系统输入的以下限制。提供的时钟若超出此范围，可能导致意外情况。

表 3-1. 输入频率范围

时钟输入	频率范围 (允许 +/- 5% 偏差, 且需为 FSYNC 的整数倍)
WCLK/FSYNC	3kHz 至 768kHz
BCLK	256kHz-24.576MHz
CCLK	高达 50MHz

3.1 内部频率范围

表 3-2 列出了 PLL 输入和输出的绝对最小和最大频率范围。表 3-3 列出了内部时钟频率范围。请注意，由于输入时钟与 FSYNC 频率频段的偏差，内部时钟的预期值可能会变化 +/- 5%，如表 4-3 所示。

表 3-2. PLL 输入/输出时钟频率范围

PLL 输入/输出时钟	频率范围
PLL 输入, 整数模式 (D = 0)	256kHz-20MHz
PLL 输入, 分数模式 (D! = 0)	10MHz 至 20MHz
CLK_SYS (PLL 输出)	67MHz 至 116MHz

表 3-3. 内部时钟频率范围

内部时钟	频率范围 (允许 +/- 5% 偏差, 且需为 FSYNC 的整数倍)
PDM_CLK	0.768/1.536/3.072/6.144MHz
ADC_MOD_CLK/DAC_MOD_CLK	1.536/3.072MHz
ADC_DEM_CLK/DAC_DEM_CLK	MOD_CLK 的 2 或 4 倍, 3.072/6.144/12.288MHz
OSC_CLK ¹	12.288MHz (由于器件差异, 存在 +/- 10% 的偏差)
BOOST_CLK	3.072/6.144MHz
SAR_CLK	1.536/3.072/6.144/12.288MHz

3.2 时钟分频器参数范围

表 3-4. 时钟分频器参数范围

参数	范围	寄存器 (页 3 上的所有寄存器)
J	1-511	0x36、0x38
D	0-9999	0x36、0x37
PDIV	1-256	0x35
NDIV	1-8	0x39
PDM_DIV	1、2、4、8、16	0x39
MDIV	1-64	0x3A
DIG_ADC_MODCLK_DIV	1、2、4	0x3A
DIG_DAC_MODCLK_DIV	1、2、4	0x3B
PASI BDIV	1-512	0x3B、0x3C
SASI BDIV	1-512	0x3B、0x3D
ANA_NM_DIV	1-64	0x3E
CLKOUT_DIV	1-128	0x47
BOOST_DIV	1、2、4、8	0x48 (仅限 TA53xx、TA54xx)
SAR_DIV	1、2、4、8	0x49 (仅限 TA53xx、TA54xx)

¹ 对于低功耗超声波和声学活动检测，可使用内部振荡器时钟 OSC_CLK 作为时钟源，但由于不同器件之间存在差异且其频率随温度/电压变化，不建议在播放和录音应用中使用。

3.3 时钟使能寄存器

表 3-5. 时钟使能寄存器

参数	寄存器 (页 3)	位
NDIV_EN	0x44	2
MDIV_EN	0x44	1
PDM_DIV_EN	0x44	0
DIG_ADC_MODCLK_DIV_EN	0x45	6
DIG_DAC_MODCLK_DIV_EN	0x45	4
PASI_BDIV_EN	0x45	3
SASI_BDIV_EN	0x45	2
PASI_FSYNC_DIV_EN	0x45	1
SASI_FSYNC_DIV_EN	0x45	0
CLKOUT_DIV_EN	0x47	7
BST_CLK_MANUAL_EN	0x48	2
SAR_CLK_MANUAL_EN	0x49	2

4 手动时钟树配置寄存器

4.1 所需的寄存器设置

要在 TAx5x1x 器件上启用手动时钟配置，必须设置以下寄存器。然后，即可配置所需的所有其他时钟分频器寄存器。

表 4-1. 实现在手动时钟配置中运行所需的寄存器设置

I2C 位	寄存器设置
CUSTOM_CLK_CFG (B0_P0)	0x32[0] 必须为 1b
PASI_SAMP_RATE (B0_P0)	0x32[7:2] 根据表 4-3 进行设置
SASI_SAMP_RATE (B0_P0)	0x32[7:2] 根据表 4-3 进行设置 如果需要辅助 ASI
CLK_CFG30 (B0_P3)	0x44[1] 设置为 1 以启用 MDIV，如果使用其他分频器，则启用它们
CLK_CFG31 (B0_P3)	0x45[7:4] 设置为 1 以启用运行 ADC/DAC 所需的内部时钟，如果使用其他分频器，则启用它们

4.2 手动时钟树配置中的寄存器设置

表 4-2 详细说明了可在手动时钟配置中使用的所有寄存器。并非所有寄存器每次都需要设置，此处列出了表 3-4 或表 3-5 未提及但可供使用的所有寄存器，作为通用指南。有关完整的寄存器说明，请参阅数据表。

表 4-2. 手动时钟树配置中的寄存器设置

寄存器名称	参数	页	寄存器
CLK_CFG0	PASI 采样率，启用自定义时钟配置	0	0x32
CLK_CFG1	SASI 采样率 (如果需要)	0	0x33
CLK_CFG2	启用/禁用 PLL，设置 PLL 分数模式、PLL 输入时钟源，选择多路复用器	0	0x34
CNT_CLK_CFG0	控制器模式：选择 PDM_CLK、CCLK 和 FSYNC 比率，选择 MSB (自动 MCLK 固定模式)	0	0x35
CNT_CLK_CFG1	控制器模式：CCLK 和 FSYNC 比率 LSB (用于自动 MCLK 固定模式)	0	0x36
CNT_CLK_CFG2	控制器模式：选择 CCLK 输入频率 (用于自动 MCLK 固定模式)，在目标或控制器模式下选择 PASI 或 SASI	0	0x37
CNT_CLK_CFG3	控制器模式：在控制器模式下选择 PASI 内部或外部 BCLK，选择 PASI BCLK 与 FSYNC 的比率 MSB	0	0x38
CNT_CLK_CFG4	控制器模式：选择 PASI BCLK 与 FSYNC 的比率 LSB	0	0x39
CNT_CLK_CFG5	控制器模式：在控制器模式下选择 SASI 内部或外部 BCLK，选择 SASI BCLK 与 FSYN 的比率 MSB	0	0x3a
CNT_CLK_CFG6	控制器模式：选择 SASI BCLK 与 FSYNC 的比率 LSB	0	0x3b
PWR_TUNE_CFG0	选择 ADC MOD CLK 3.072MHz 或 1.536MHz 频率范围	0	0x4e
PWR_TUNE_CFG1	选择 DAC MOD CLK 3.072MHz 或 1.536MHz 频率范围	0	0x4f
CLK_CFG12	PLL_PDIV 输入时钟选择多路复用器、PASI BCLK 分频器时钟源多路复用器	3	0x32
CLK_CFG13	SASI BCLK 分频器时钟源多路复用器 (如果需要)	3	0x33
CLK_CFG14	DIG_NM_DIV_CLK 和 NM_DIV_CLK 源选择多路复用器	3	0x34
CLK_CFG15	PLL PDIV 值，1-256	3	0x35
CLK_CFG16	PLL_DIV 除以 2，J 和 D MSB	3	0x36
CLK_CFG17	PLL D LSB	3	0x37
CLK_CFG18	PLL J LSB	3	0x38
CLK_CFG19	选择 NDIV、PDM_DIV	3	0x39
CLK_CFG20	选择 MDIV、DIG_ADC_MODCLK_DIV	3	0x3a
CLK_CFG21	选择 DIG_DAC_MODCLK_DIV、PASI 和 SASI BCLK 分频器 MSB	3	0x3b
CLK_CFG22	PASI BCLK 分频器 LSB	3	0x3c
CLK_CFG23	SASI BCLK 分频器 LSB	3	0x3d

表 4-2. 手动时钟树配置中的寄存器设置 (续)

寄存器名称	参数	页	寄存器
CLK_CFG24	模拟 N-M DIV 值	3	0x3e
CLK_CFG30	启用 NDIV、MDIV 和 PDM DIV	3	0x44
CLK_CFG31	启用 ADC MOD CLK、DAC MOD CLK、PASI BDIV、SASI BDIV、PASI FSYNC DIV、SASI FSYNC DIV 分频器	3	0x45
CLKOUT_CFG1	CLKOUT 分频器源选择多路复用器	3	0x46
CLKOUT_CFG2	CLKOUT 分频器值和使能	3	0x47
BSTCLK_CFG1	升压时钟频率、分频器使能和分频器值 (仅限 TA53xx 和 TA54xx)	3	0x48
SARCLK_CFG1	SAR 时钟频率、分频器使能和分频器值 (仅限 TA53xx 和 TA54xx)	3	0x49

4.3 采样率与 MOD_CLK 频率频段

MOD_CLK 的频率随采样率 (也称 FS) 变化。TA5x1x 器件定义了多个采样率频率频段, 每个频段的中心频率为预期频率, 可使 MOD_CLK 保持在 3.072MHz 或 1.536MHz。采样率与 MOD_CLK 通过一个称为过采样率 (OSR) 的整数倍关系相关联。

表 4-3 展示了器件中所有可能的频段及对应的 OSR。在指定采样率时, 在寄存器 P0_R50 和 P0_R51 中使用频段 ID, 频段十进制数值位于位 7-2 中。这些频段与半自动模式下使用的频段相同。在手动模式下, 需要特别注意与每个频段关联的 OSR。采样率可以是每个频段显示的最小和最大 FS 之间的任意值, 部分频率可能属于多个频段。对于这种情况, 请选择典型值最接近所需采样率的频段, 以获得出色性能。

内部 MOD_CLK 有两个选项, 它们会影响 Δ - Σ ADC/DAC 的过采样率。有关这些选项的注意事项, 请参阅节 4.4。

表 4-3. 调制时钟与采样率频率频段

MOD_CLK = 3.072MHz 模式					MOD_CLK = 1.536MHz 模式				
频段 ID	OSR	最小 FS	典型 FS	最大 FS	频段 ID	OSR	最小 FS	典型 FS	最大 FS
1	4	670320	768000	806400	1	2	670320	768000	806400
2	5	536256	614400	645120	不支持				
3	6	446880	512000	537600	3	3	446880	512000	537600
4	7	383040	438857.143	460800	不支持				
5	8	335160	384000	403200	5	4	335160	384000	403200
6	9	297920	341333.333	358400	不支持				
7	10	268128	307200	322560	7	5	268128	307200	322560
8	12	223440	256000	268800	8	6	223440	256000	268800
9	14	191520	219428.571	230400	9	7	191520	219428.571	230400
10	16	167580	192000	201600	10	8	167580	192000	201600
11	18	148960	170666.667	179200	11	9	148960	170666.667	179200
12	20	134064	153600	161280	12	10	134064	153600	161280
13	24	111720	128000	134400	13	12	111720	128000	134400
14	28	95760	109714.286	115200	14	14	95760	109714.286	115200
15	32	83790	96000	100800	15	16	83790	96000	100800
16	36	74480	85333.333	89600	16	18	74480	85333.333	89600
17	40	67032	76800	80640	17	20	67032	76800	80640
18	48	55860	64000	67200	18	24	55860	64000	67200
19	56	47880	54857.1429	57600	19	28	47880	54857.1429	57600
20	64	41895	48000	50400	20	32	41895	48000	50400
21	72	37240	42666.667	44800	21	36	37240	42666.667	44800
22	80	33516	38400	40320	22	40	33516	38400	40320
23	96	27930	32000	33600	23	48	27930	32000	33600

表 4-3. 调制时钟与采样率频率频段 (续)

MOD_CLK = 3.072MHz 模式					MOD_CLK = 1.536MHz 模式				
24	112	23940	27428.5714	28800	24	56	23940	27428.5714	28800
25	128	20947.5	24000	25200	25	64	20947.5	24000	25200
26	144	18620	21333.333	22400	26	72	18620	21333.333	22400
27	160	16758	19200	20160	27	80	16758	19200	20160
28	192	13965	16000	16800	28	96	13965	16000	16800
29	224	11970	13714.2857	14400	29	112	11970	13714.2857	14400
30	256	10473.75	12000	12600	30	128	10473.75	12000	12600
31	288	9310	10666.667	11200	31	144	9310	10666.667	11200
32	320	8379	9600	10080	32	160	8379	9600	10080
33	384	6982.5	8000	8400	33	192	6982.5	8000	8400
34	448	5985	6857.14286	7200	34	224	5985	6857.14286	7200
35	512	5236.875	6000	6300	35	256	5236.875	6000	6300
					36	288	4655	5333.333	5600
					37	320	4189.5	4800	5040
					38	384	3491.25	4000	4200
					39	448	2992.5	3428.5714	3600
					40	512	2618.438	3000	3150

4.4 功耗注意事项

选择内部时钟时，需要注意速度、功耗与处理周期之间的关系。随着内部时钟运行速度的提高，功耗也会增加。但是，每个样本的周期数量也会增加，从而提升内部处理能力，例如使用更多双二阶滤波器、更多通道，或采用更低群延迟的抽取/插值滤波器。出于这些考虑，需要注意的内部时钟包括 PLL 的输入（因为整数模式下的 PLL 功耗低于分数模式）、生成 CLK_SYS 的 PLL 倍频器，以及 MOD_CLK 与 DEM_CLK 之间的关系。默认情况下，DEM_CLK 为 MOD_CLK 的 4 倍，但可通过 PWR_TUNE 配置寄存器强制设为 2 倍。这将略微降低电流消耗，请参阅应用手册 [不同使用场景下的 TAC5x1x 功耗矩阵](#)、[不同使用场景下的 TAA52xx 功耗矩阵](#) 以及 [不同使用场景下的 TAD52xx 功耗矩阵](#)。但是，除非在极端节能配置下，否则不建议更改此设置。MOD_CLK 有两个速度选项可供选择，上述注意事项也同样适用。通常优先选择较高的内部 MOD_CLK，因为这能为每个样本提供最多的内部周期，从而最大化 DSP 处理能力；但对于极低采样率、低功耗应用或内部时钟计算需求，需要选择较低的 MOD_CLK。[第 5 节](#) 对该计算方法进行了说明。

5 计算 PLL 倍频器和分频器

如第 4.3 节所述，选定内部调制器时钟 (MOD_CLK) 及其对应的 OSR 和 FS 后，即可计算时钟分频器与 PLL 倍频器。在时钟树 (请参阅图 2-1) 中，输入时钟经 PLL 倍频后产生 CLK_SYS (最高频率内部时钟)，该时钟与 DEM_CLK、MOD_CLK、BCLK 及 FSYNC 等最终输出时钟之间存在关联关系。请注意，DEM_CLK、MOD_CLK、BOOST_CLK 和 SAR_CLK 并非实际输出，而是器件运行过程中使用的内部时钟。用户可在芯片外部访问的时钟包括 PDM_CLK (与 MOD_CLK 相关)、CLKOUT 以及 BCLK/FSYNC。

为了计算 PLL 倍频器和 CLK_SYS，首先需要选择 PLL 的输入：PASI BCLK、SASI BCLK 或 CCLK。虽然 OSC_CLK 是可选项，但由于其频率可能随温度、电压及器件差异而变化，因此不建议使用。随后，需确保 PDIV 的输入不高于 50MHz，且 PLL 模块的输入不高于 20MHz (具体规格参见表 3-3)。在 PLL 整数模式 (D = 0000) 下，PLL 输入可以是 256kHz-20MHz，在分数模式 (D! = 0000) 下，PLL 输入限制为 10MHz-20MHz。如果作为 PLL 输入的 CCLK 或 BCLK 过高，可使用 PDIV 分频器将其降低至 PLL 输入可接受的频率。

PLL 将该输入乘以 J.D，该系数由页 3 寄存器 54-56 进行配置。PLL 的输出必须是 MOD 时钟的整数倍，而后者是 BCLK 的整数倍，进而也是采样率的整数倍。时钟树中 PLL 倍频器之后有两个主要分支，可根据它们推导出这些基本公式，用于确定 J.D 及其他时钟分频器：

$$\frac{\text{CLK_SYS}}{A} = \text{MOD_CLK} \quad (1)$$

$$\frac{\text{CLK_SYS}}{B} = \text{BCLK} \quad (2)$$

计算 CLK_SYS 是确定所有内部分频器的下一步。为此，我们可以找出 BCLK 与 MOD_CLK 之间的整数关系：

$$\frac{A}{B} = \frac{\text{BCLK}}{\text{MOD_CLK}} \quad (3)$$

接下来，可以计算作为 PLL 输出的时钟 (也称为 CLK_SYS)。CLK_SYS 限制在 67-116MHz 之间。在公式 4 中，X 可以是使 $67\text{MHz} \leq \text{CLK_SYS} \leq 116\text{MHz}$ 的任意整数。

$$\frac{67\text{MHz}}{A \times \text{MOD_CLK}} \leq X \leq \frac{116\text{MHz}}{A \times \text{MOD_CLK}} \quad (4)$$

$$\text{CLK_SYS} = A \times \text{MOD_CLK} \times X \quad (5)$$

最后，可以计算 J.D，确定将 PLL 输入转换至输出 CLK_SYS 所需的倍频系数。

$$J.D = \frac{\text{CLK_SYS}}{\text{PLL_IN}} = \frac{\text{CLK_SYS}}{\text{PLL Clock Source}/p} = \frac{p \times \text{CLK_SYS}}{\text{PLL Clock Source}} \quad (6)$$

J 的取值范围为 1-511，D 的取值范围为 0000-9999。D 始终以 4 位数字表示，即使实际数值无需全部数位，例如 6.4 应表示为 6.4000。

请注意，PLL 时钟源可以是所需任一 ASI 的 CCLK 或 BCLK。CLK_SYS 与 MOD 时钟及 BCLK 存在整数关系，但具体实现方式可能有多种，因此可通过选择 X 来获得理想的 J.D 倍频器及后续的时钟分频器。类似地，可通过 P 分频器的不同设置来优化 PLL_IN，但设计方案并非唯一。

请记住，如果 PLL 工作于分数模式且 D! = 0，则其输入频率范围将缩小，如表 4 所示 (整数模式下 PLL 输入可能为 256kHz-20MHz，分数模式下可能为 10MHz-20MHz)。在选择 X 及输入分频器 PDIV 时，务必考虑到这一点。

计算出 J.D 和 CLK_SYS 的正确频率后，就可以选择其他分频器了。

首先，选择 NM_DIV_VAL，使 DEM_CLK 为 MOD_CLK 的 4 倍：

$$\text{DEM_CLK} = \frac{\text{CLK_SYS}}{\text{NM_DIV_VAL}} \quad (7)$$

$$NM_DIV_VAL = \frac{CLK_SYS}{MOD_CLK \times 4} \quad (8)$$

NM_DIV_VAL 的取值范围为 1-64。有关所有分频器值限制，请参阅表 3-3。

将 CLK_SYS 传递至 MDIV，进而产生 MOD_CLK、PDM_CLK，并可选择产生 BOOST_CLK 和 SAR_CLK。这些分频器的选择方法与 DEM 时钟类似。请记住这些时钟的限制，以及 OSR 变化所允许的偏差，如表 3-3 所示。

$$MOD_CLK = \frac{CLK_SYS}{MDIV \times MODCLK_DIV} \quad (9)$$

$$PDM_CLK = \frac{CLK_SYS}{MDIV \times PDM_DIV} \quad (10)$$

$$SAR_CLK = \frac{CLK_SYS}{MDIV \times SAR_DIV} \quad (11)$$

$$BOOST_CLK = \frac{CLK_SYS}{MDIV \times BOOST_DIV} \quad (12)$$

关于时钟树的 MDIV 分支，有一个重要注意事项：MDIV 输出的时钟应在调制器时钟允许范围内尽可能最大化。因此，为获得出色性能，应让 MODCLK_DIV 达到最大。由于 MODCLK_DIV 限制为 1、2 或 4，因此任何可被 2 或 4 整除的方程式 13 比率都应将 2 或 4 分配给 MODCLK_DIV，不应让 MDIV 保持较大倍率而 MODCLK_DIV = 1。

$$MDIV \times MODCLK_DIV = \frac{CLK_SYS}{MOD_CLK} \quad (13)$$

CLK_SYS 还会路由至 NDIV，后者可作为 PASI_BDIV、SASI_BDIV 及 CLKOUT_DIV 的输入，进而产生 BCLK、FSYNC 及 CLKOUT 输出。在控制器模式下，最初未向器件提供 BCLK 时，使用 BDIV 来生成 BCLK。BDIV 分频器值可以使用计算 J.D 的相同变量来计算，其中 X 来自公式 4，B 来自公式 3 中的 A/B：

$$BDIV = \frac{CLK_SYS}{B \times BCLK \times X} \quad (14)$$

然后，如果器件处于控制器模式，则 FSYNC 通过另一个分频器 PASI_FSYNC_DIV 生成，其取值范围为 1-256。这是使用 P0_R56_D[5:0] 和 P0_R57_D[7:0] 设置的 FS 与 BCLK 的比率。典型比率为 32、48 或 64，但可设为 1-8192 之间的任意值。较高的比率适用于多 TDM 通道，这些器件最高支持 256 个通道的 32 位音频。如果处于目标模式，则不得使用该分频器，并且 FSYNC 由外部提供。

$$FSYNC = \frac{BCLK}{PASI_FSYNC_DIV} \quad (15)$$

6 示例 1：自定义目标模式、非音频采样率

例如，假设用户希望在自定义时钟模式下使用 TAC5112，采样率为 20kHz，BCLK 与 FSYNC 之比为 16，同时 BCLK 和 WCLK 从外部提供。由此可得出 WCLK = 20k，BCLK = 320kHz。它们还希望在内部生成 PDM_CLK = 800kHz。在此示例中，所有时钟均可通过自动模式进行配置，但若希望提高 PDM_CLK 的可配置性并掌握内部时钟信息，则应使用自定义时钟模式。

如表 4-3 所示，该采样率可归属于频段 26 或 27，对应的 OSR 分别为 144 或 160。要计算可能的 MOD_CLK，需将采样率乘以 OSR：

$$\text{MOD_CLK} = \text{FS} \times \text{OSR} \quad (16)$$

$$20\text{kHz} \times 144 = 2.88\text{MHz}; 20\text{kHz} \times 160 = 3.2\text{MHz} \quad (17)$$

选择 3.2MHz (频段 27) 选项作为我们的 MOD_CLK，因为它在与预期 3.072MHz 相差 5% 的范围内 (比预期高约 4.17%)，而 2.88MHz (频段 26) 比 3.072MHz 低 6.25%。

接下来，计算 J.D。请记住，当 PLL_IN 时钟仅为 320kHz 时，PLL 仅处于整数模式。因此 D 必须等于 0。

要计算 J 和其他分频器：

$$\frac{A}{B} = \frac{\text{BCLK}}{\text{MOD_CLK}} = \frac{320\text{kHz}}{3.2\text{MHz}} = \frac{1}{10} \quad (18)$$

记住 CLK_SYS 必须介于 67 到 116MHz 之间。因此，X 的选项如下：

$$\text{CLK_SYS} = A \times \text{MOD_CLK} \times X \quad (19)$$

$$67\text{MHz} \leq 1 \times 3.2\text{MHz} \times X \leq 116\text{MHz} \quad (20)$$

$$21 \leq X \leq 36 \quad (21)$$

然后计算 J.D，注意此示例中的 PLL_IN 为 BCLK，且 PDIV = 1：

$$J.D = \frac{\text{CLK_SYS}}{\text{PLL_IN}} = \frac{1 \times 3.2\text{MHz} \times X}{320\text{kHz}} = 10 \times X \quad (22)$$

选择 X = 32，因为该值位于范围的高端 (较高的 CLK_SYS 有助于提升音频质量)，且后续步骤中易于分频。因此，J = 320 且 D = 0，CLK_SYS = 3.2MHz × 32 = 102.4MHz。

接下来，选择 NM_DIV_VAL。计算 NM DIV VAL：

$$\text{NM_DIV_VAL} = \frac{\text{CLK_SYS}}{\text{DEM_CLK}} = \frac{102.4\text{MHz}}{3.2\text{MHz} \times 4} = 8 \quad (23)$$

请记住，DEM_CLK 默认为 MOD_CLK 的 4 倍。这样就可以得到 NM_DIV_VAL = 8。

接下来，选择 MDIV 以及相关的 MOD_CLK、BOOST、SAR 和 PDM_CLK。因为我们知道 MOD_CLK 为 3.2MHz，所以我们可以反向推算。

$$\text{MOD_CLK} \times \text{DIG_DAC_MODCLK_DIV} \times \text{MDIV} = \text{CLK_SYS} \quad (24)$$

$$3.2\text{MHz} \times \text{DIG_DAC_MODCLK_DIV} \times \text{MDIV} = 102.4\text{MHz} \quad (25)$$

$$\text{DIG_DAC_MODCLK_DIV} \times \text{MDIV} = 32 \quad (26)$$

如第 5 节所述，应最大化 DIG_DAC_MODCLK_DIV 并最小化 MDIV，从而更大限度地提高从 MDIV 输出的时钟。由于 32 可被 4 整除，因此将 DIG_DAC_MODCLK_DIV 设置为最大值 4，将 MDIV 设置为 8。

接下来，为 PDM_CLK = 800kHz 选择 PDM_DIV：

$$\text{PDM_CLK} = \frac{\text{CLK_SYS}}{\text{MDIV} \times \text{PDM_DIV}} = \frac{102.4\text{MHz}}{8 \times \text{PDM_DIV}} = 800 \text{ kHz} \quad (27)$$

$$\text{PDM_DIV} = \frac{102.4\text{MHz}}{800\text{kHz} \times 8} = 16 \quad (28)$$

请注意，当 ADC MOD_CLK 与 PDM_CLK 不同时，需要启用页 0 上的寄存器 0x77 位 3，使其能够根据不同的 ADC MOD 时钟和 PDM 时钟配置进行动态加电和断电，否则可能没有 PDM_CLK 输出。

接下来，如果处于控制器模式且 BCLK 和 FSYNC 分频器需要 BDIV，用户可以选择 NDIV。但是，当在目标模式下提供了 BCLK 和 FSYNC 时，无需配置 NDIV，可将其保持为 NDIV = 1。CLKOUT 也位于时钟树的 NDIV 分支，因此如需特定的输出时钟，可进一步配置。在此示例中，将 CLKOUT 设为 CLK_SYS/8，输出 12.8MHz，因此 CLKOUT_DIV = 8。

6.1 示例脚本

```
# Target mode, 16 bit 1-channel TDM
# BCLK in=320kHz, WCLK in=20kHz, PDMCLK out=800kHz, CLKOUT = 12.8MHz
# CLKOUT on GPIO1, PDMCLK on GPIO2

w a0 00 00 #Set page 0
w a0 01 01 #Software Reset
w a0 02 09 #Wake up with AVDD > 2v and all VDDIO level
w a0 0a b1 #GPIO1 = CLKOUT
w a0 0b 41 #GPIO2 = PDMCLK output
w a0 1a 00 #PASI TDM, 16 bit format
w a0 1e 20 #PASI DOUT Ch1 on TDM slot 0
w a0 28 20 #PASI DIN Ch1 on TDM slot 0
w a0 32 6f #FS bin=27, 5% tolerance, custom clock configuration
w a0 34 00 #PLL enabled, fraction mode disabled (D=0000), BCLK is input clock source
w a0 37 20 #PASI/SASI in target configuration (default setting)

w a0 00 03 #page 3
w a0 32 00 #(default) PLL_PDIV_IN is PASI BCLK, PASI BCLK divider source is PLL output
w a0 34 10 #(default) NM div input clock is PLL output
w a0 35 01 #(default) P=1
w a0 36 80 #J MSB=1
w a0 37 00 #D=0000
w a0 38 40 #J LSB=0100 0000 (J=320)
w a0 39 30 #NDIV=1, PDM_DIV=16
w a0 3a 22 #DIG_ADC_MODCLK_DIV=4, mdiv=8
w a0 3b 20 #DIG_DAC_MODCLK_DIV=4, DAC MOD clock 2x enabled (3.072 mode)
w a0 3e 08 #ANA_NM_DIV=8
w a0 44 07 #NDIV, MDIV, PDM_DIV enabled
w a0 45 f0 #MODCLK DIV enabled
w a0 46 05 #CLKOUT source = DSP clock (output of NDIV)
w a0 47 88 #CLKOUT divider enabled, value=8

w a0 00 00 #page 0
w a0 50 00 #(default) ADC Ch1 diff input, 5Kohm, 2Vrms AC-coupled, audio bandwidth
w a0 65 20 #(default) OUT1P LINEOUT, 0dB, DAC ch1 audio bandwidth
w a0 76 88 #enable input channel 1 and output channel 1
w a0 77 08 #different ADC MOD CLK and PDM CLK in dynamic power up/down
w a0 78 e0 #Power up all DAC+ADC channels
```

7 示例 2：自定义控制器模式、非音频采样率

在下一个示例中，将器件配置为控制器模式，使其获取外部 CCLK 并生成 BCLK 和 FSYNC。选择一个与相关 BCLK 具有非整数关系的 CCLK，以利用可配置的 PLL，这种情况只能通过手动时钟配置模式进行管理。在此示例中，终端系统使用以下时钟：

CCLK = 50MHz，WCLK = 98kHz，BCLK-FS 比率为 32 (BCLK = 3.136MHz)

根据表 4-3 中定义的范围，该采样率可归属于频段 14 或 15。要选择使用哪个 OSR/频段，可比较 WCLK × OSR 与 3.072MHz (或 1.536MHz 型号) 的偏差，取偏差最小的频段。另一种方法是比较采样率与频段中心频率的偏差。

$$\% \text{ difference} = \frac{WCLK \times OSR - 3.072\text{MHz}}{3.072\text{MHz}} \times 100 \quad (29)$$

$$\text{Bin 14: } \frac{98\text{kHz} \times 28 - 3.072\text{MHz}}{3.072\text{MHz}} \times 100 = 10.68\% \quad (30)$$

$$\text{Bin 15: } \frac{98\text{kHz} \times 32 - 3.072\text{MHz}}{3.072\text{MHz}} \times 100 = 2.08\% \quad (31)$$

选择 OSR = 32 的频段 15，因为该配置下 MOD_CLK 与 3.072MHz 的偏差更小。由此得到：MOD_CLK = 98kHz × 32 = 3.136MHz。

接下来计算 J.D：

$$\frac{A}{B} = \frac{BCLK}{MOD_CLK} = \frac{3.136\text{MHz}}{3.136\text{MHz}} = \frac{1}{1} \quad (32)$$

计算可能的 CLK_SYS 值：

$$CLK_SYS = A \times MOD_CLK \times X = 3.136\text{MHz} \times X \quad (33)$$

$$67\text{MHz} \leq 3.136\text{MHz} \times X \leq 116\text{MHz} \quad (34)$$

$$22 \leq X \leq 36 \quad (35)$$

请记住，PLL 的最大输入为 20MHz，因此我们需要使用 PDIV 或 PLL 预分频器将 50MHz 降至分数 PLL 所需的 10-20MHz 范围内。选择 PDIV P = 4，使 PLL_IN 为 12.5MHz (PLL 时钟源为 50MHz)，并使用该值计算 J.D：

$$J.D = \frac{CLK_SYS}{PLL_IN} = \frac{CLK_SYS \times P}{PLL \text{ Clock Source}} = \frac{3.136\text{MHz} \times 4 \times X}{50\text{MHz}} \quad (36)$$

选择 X = 30：

$$J.D = \frac{CLK_SYS}{PLL_IN} = \frac{3.136\text{MHz} \times 4 \times X}{50\text{MHz}} = \frac{3.136\text{MHz} \times 4 \times 30}{50\text{MHz}} = 7.5264 \quad (37)$$

So,

$$CLK_SYS = 3.136\text{MHz} \times 30 = 94.08\text{MHz} \quad (38)$$

根据该 CLK_SYS，计算所需的所有其他分频器。

$$NM_DIV_VAL = \frac{CLK_SYS}{DEM_CLK} = \frac{94.08\text{MHz}}{3.136\text{MHz} \times 4} = 7.5 \quad (39)$$

但是，该分频器需要为整数。因此，切换为 MOD_CLK 近似为 1.536MHz 的设置。基于此，在计算所有内部分频器时将 MOD_CLK 除以 2：

$$NM_DIV_VAL = \frac{CLK_SYS}{DEM_CLK} = \frac{94.08\text{MHz}}{\frac{3.136\text{MHz}}{2} \times 4} = 15 \quad (40)$$

因此，选择 $NM_DIV_VAL = 15$ 。

接下来，通过时钟树的 $MDIV$ 分支生成 MOD_CLK 。

$$MOD_CLK \times DIG_DAC_MODCLK_DIV \times MDIV = CLK_SYS \quad (41)$$

$$DIG_DAC_MODCLK_DIV \times MDIV = \frac{CLK_SYS}{MOD_CLK} = \frac{94.08MHz}{\frac{3.136MHz}{2}} = 60 \quad (42)$$

如上所述，TI 建议最大化 $MDIV$ 输出的时钟频率，因此用户可选择选项 1、2 或 4 来将 $DIG_DAC_MODCLK_DIV$ 最大化。由于 60 可被 4 整除，因此选择 $DIG_DAC_MODCLK_DIV = DIG_ADC_MODCLK_DIV = 4$ ， $MDIV = 15$ 。

最后，通过 $NDIV$ 分支生成 $BCLK$ 和 $FSYNC$ 。

$$NDIV \times PASI_BDIV = \frac{CLK_SYS}{BCLK} = \frac{94.08MHz}{3.136MHz} = 30 \quad (43)$$

由于 $NDIV$ 的取值范围为 1-8，因此选择 $NDIV = 1$ ， $PASI_BDIV = 30$ 。然后，由于 $BCLK$ - $FSYNC$ 比率为 32，将 $PASI_FSYNC_DIV$ 设为 32。

$$FSYNC = \frac{BCLK}{PASI_FSYNC_DIV} = \frac{3.136MHz}{32} = 98kHz \quad (44)$$

7.1 示例脚本

```

# Controller mode, 16 bit 2 channel TDM, wide bandwidth mode, MOD_CLK=1.5MHz mode
# CCLK in=50MHz, WCLK out=98kHz, BCLK out=3.136MHz
# CCLK on GPIO1

w a0 00 00 #Set page 0
w a0 01 01 #Software Reset
w a0 02 09 #Wake up with AVDD > 2v and all VDDIO level
w a0 0a 10 #configure GPIO1 as input
w a0 0f 20 #Set GPIO1=CCLK
w a0 1a 00 #PASI TDM, 16 bit format
w a0 1e 20 #PASI DOUT Ch1 on TDM slot 0
w a0 1f 21 #PASI DOUT Ch2 on TDM slot 1
w a0 28 20 #PASI DIN Ch1 on TDM slot 0
w a0 29 21 #PASI DIN Ch2 on TDM slot 1
w a0 32 3f #FS bin=15, 5% tolerance, custom clock configuration
w a0 34 48 #PLL enabled, fraction mode enabled, fixed CCLK is input clock source
w a0 37 30 #PASI in controller configuration
w a0 38 80 #use internal BCLK for FSYNC generation
w a0 39 20 #LSB for pasi BCLK to FSYNC ratio = 32d
w a0 4e 80 #ADC MOD_CLK = 1.5mhz
w a0 4f 80 #DAC MOD_CLK = 1.5mhz

w a0 00 03 #page 3
w a0 32 80 #PLL_PDIV_IN_CLK is CCLK, and PASI BCLK divider source is PLL output
w a0 34 10 #(default) NM div input clock is PLL output
w a0 35 04 #PDIV=4
w a0 36 14 #J MSB=0, D MSB=01 0100 (D=5264)
w a0 37 90 #D LSB= 1001 0000
w a0 38 07 #J LSB=00000111 (J=7)
w a0 39 20 #NDIV=1, PDM_DIV=1
w a0 3a 3e #MDIV=15, DIG_ADC_MODCLK_DIV=4
w a0 3b 28 #DIG_DAC_MODCLK_DIV=4, DAC MOD_CLK 2x disabled (1.536 mode)
w a0 3c 1e #PASI BCLK divider=30
w a0 3e 0f #ANA_NM_DIV=15
w a0 44 07 #NDIV, MDIV, and PDMDIV enabled
w a0 45 fa #MODCLK, PASI BDIV, and PASI FSYNC DIV enabled

w a0 00 00 #page 0
w a0 50 01 #ADC ch1 diff input, 5Kohm, 2Vrms AC-coupled, wide band mode (over 96k)
w a0 55 01 #ADC ch2 diff input, 5Kohm, 2Vrms ac-coupled, wide band mode (over 96k)
w a0 65 21 #OUT1P LINEOUT 0dB, DAC ch1 wide band mode (over 96k)
w a0 6c 21 #OUT2P LINEOUT 0dB, DAC ch2 wide band mode (over 96k)
w a0 76 cc #enable input and output channels 1 and 2
w a0 78 e0 #Power up all DAC+ADC channels
    
```

8 总结

TAx5x1x 系列的时钟系统具有极高的可定制性，用户可以计算在非标准时钟配置下使用该器件所需的分频器。手动 PLL 配置在以下场景中尤为实用：在控制器模式下处理非标准 CCLK 或 WCLK 采样率，或为 PDM 时钟、BCLK、WCLK 或通用 CLKOUT 生成特定输出。

9 参考资料

1. 德州仪器 (TI), [TAC5212 具有 119dB 动态范围 ADC 和 120dB 动态范围 DAC 的高性能立体声音频编解码器](#), 数据表。
2. 德州仪器 (TI), [器件的时钟配置和 TAx5x1x 系列的灵活时钟](#) 应用手册。
3. 德州仪器 (TI), [TAx5x1x 系列支持的时钟错误配置、检测和模式](#) 应用手册。
4. 德州仪器 (TI), [TAX5X1X 同步采样速率转换](#) 应用手册。
5. 德州仪器 (TI), [不同使用场景下的 TAC5XXX-Q1 功耗矩阵](#), 应用手册。
6. 德州仪器 (TI), [不同使用场景下的 TAA52xx 功耗矩阵](#), 应用手册。
7. 德州仪器 (TI), [不同使用场景下的 TAD52xx 功耗矩阵](#), 应用手册。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月