

Application Note

多个 TAC5x1x 器件，带共享 TDM 和 I²C 总线



Garret Godfrey

摘要

TAC5x1x 系列器件 (包括 TAC5111、TAC5112、TAC5211、TAC5212、TAC5311-Q1、TAC5312-Q1、TAC5412-Q1) 是用于音频应用的高性能编解码器，提供单通道 (TAC5x11) 或双通道 (TAC5x12) 两种配置。本文档介绍如何将多个 TAC5x1x 器件配置为共享单个 TDM 和 I²C 总线。

内容

1 简介.....2

2 共享控制总线.....2

3 共享音频总线.....3

 3.1 共享 TDM 的 ASI 配置.....4

 3.2 菊花链 TDM 的 ASI 配置.....7

4 为多个 TAC5x1x EVM 配置 PurePath Console 3.....9

 4.1 更改 TAC5x1x 的默认 I²C 地址.....10

 4.2 启动 PurePath Console (针对多个器件)11

5 PurePath Console I²C 脚本.....14

 5.1 用于共享 TDM 的 TAC5x1x I²C 脚本.....14

 5.2 用于菊花链 TDM 的 TAC5x1x I²C 脚本.....15

插图清单

图 1-1. 四个 TAC5x1x 器件，带共享控制和音频数据总线.....2

图 3-1. TDM 模式标准协议时序 (TX_OFFSET = 0).....3

图 3-2. TAC5x1x 共享 TDM 连接图.....4

图 3-3. TAC5x1x 菊花链 TDM 连接图.....7

图 4-1. TAC5x1x EVM I²C 和 TDM 信号的位置.....9

图 4-2. TAC5x1x EVM 的 I²C 地址配置.....10

图 4-3. PurePath Console “Input Number of Devices” 对话框.....11

图 4-4. PurePath Console 主窗口.....12

图 4-5. PurePath Console 器件 A 通道到时隙映射.....12

图 4-6. PurePath Console 器件 B 通道到时隙映射.....13

表格清单

表 2-1. TAC5x1x I²C 目标地址设置.....2

表 3-1. PASI_TX_CFG0 寄存器 (0x1B).....5

表 3-2. PASI_TX_CHx_CFG 寄存器 0x1E - 0x25.....6

表 3-3. PASI_RX_CHx_CFG 寄存器 0x28 - 0x2F.....6

表 3-4. ASI_CFG0 寄存器 (0x18).....8

表 4-1. TAC5x1x EVM I²C 目标地址.....10

商标

PurePath™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

1 简介

TAC5x1x 的每个 ADC 通道支持一个模拟差分或单端输入，或两个数字脉冲密度调制 (PDM) 麦克风输入；而每个 DAC 通道支持一个差分输出或最多两个单端输出。

最多可有四个 TAC5x1x 器件通过时分多路复用 (TDM) 接口共享单个音频数据总线，从而在最多支持 8 个模拟输入 (或 16 个 PDM 输入) 和最多 16 个模拟输出的系统中，最大限度地减小板级布线面积。

TAC5x1x 使用 I²C 接口支持共享控制总线。本应用手册重点介绍如何配置 TAC5x1x 以在器件之间共享单个控制和音频数据总线。如图 1-1 所示。

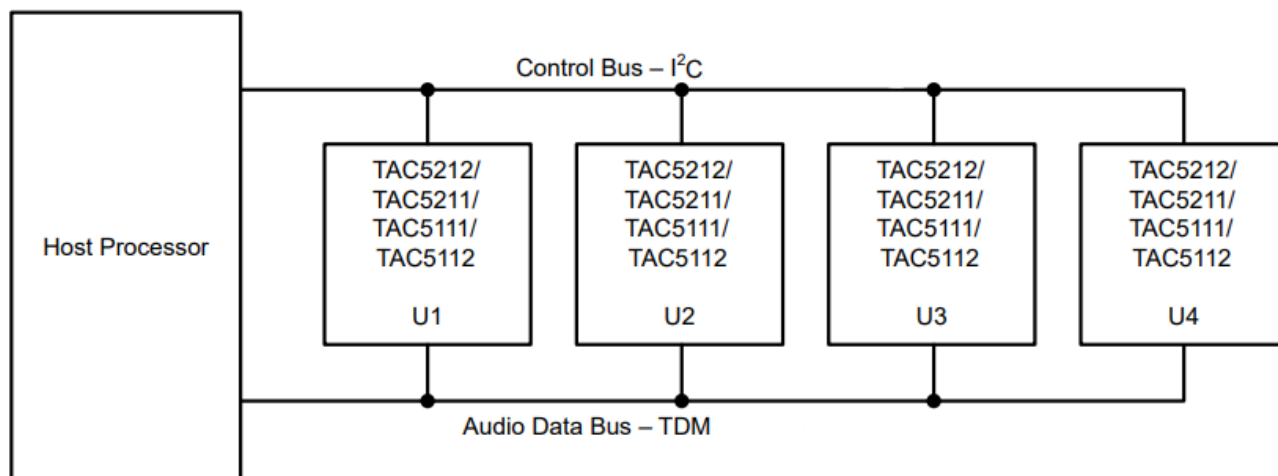


图 1-1. 四个 TAC5x1x 器件，带共享控制和音频数据总线

2 共享控制总线

TAC5x1x 器件通过 I²C 总线 (工作模式有标准模式、快速模式或快速 + 模式) 进行控制。该 I²C 控制总线使用一个 7 位目标地址，其最低两位可通过将 ADDR 引脚经指定阻值的电阻下拉至 GND 或上拉至 AVDD 进行编程。表 2-1 列出了该引脚的不同配置选项所对应的四种 TAC5x1x 器件地址。

表 2-1. TAC5x1x I²C 目标地址设置

ADDR 设置	器件地址 (7 位)	器件地址 (8 位)
短接至 GND	0x50	0xA0
将 4.7k Ω 下拉至 GND	0x51	0xA2
将 22k Ω 上拉至 AVDD	0x52	0xA4
将 4.7k Ω 上拉至 AVDD	0x53	0xA6

当每个 TAC5x1x 器件都具有唯一的 ADDR 设置时，各器件之间的 SCL 和 SDA 线可以短接在一起，并连接至主控制器的单个 I²C 总线。

3 共享音频总线

TAC5x1x 器件通过 TDM 音频总线发送数字化音频数据，其中通道传输从 FSYNC 的上升沿开始，以第一个数据时隙（时隙 0）为首，随后按递增顺序依次为其余数据时隙（时隙 1、时隙 2，依此类推）。每个时隙在 BCLK 的上升沿传输一个位，最高有效位优先开始。图 3-1 显示了当 TX_OFFSET 设置为 0 时，8 个时隙的 TDM 总线操作示例，即 MSB 在与 FSYNC 相同的 BCLK 沿上传输。在该图中，FSYNC 是来自主机处理器的帧同步信号，BCLK 是来自主机处理器的位时钟信号，DIN/DOUT 是来自 TAC5x1x 器件的数据总线。TAC5x1x 支持在 DIN 和 DOUT 数据总线上为每个通道分配最多 32 个时隙。

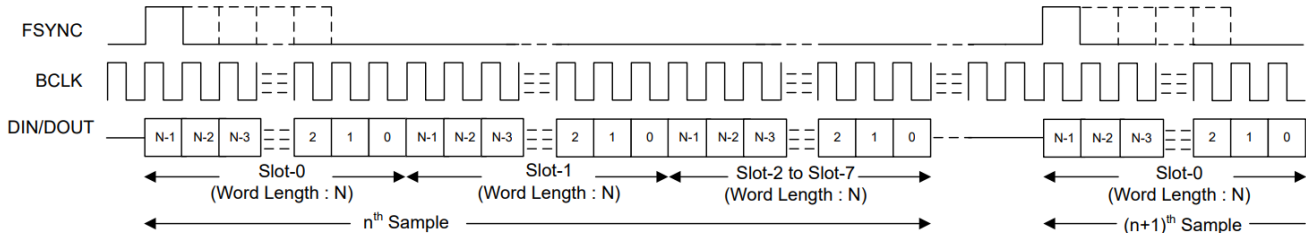


图 3-1. TDM 模式标准协议时序 (TX_OFFSET = 0)

为了使音频总线在 TDM 模式下正常工作，每帧的位时钟数必须大于或等于活动输出通道数乘以输出通道数据的编程字长，如方程式 1 所示。对于图 1-1 所示的示例（其中有四个器件，每个器件具有四个通道，采样速率为 48KHz，字长为 32 位）， $BCLK \geq 4 \times 4 \times 48\,000 \times 32 = 24.576\text{MHz}$ 。由于支持的最高 BCLK 为 25MHz，共享音频总线上可挂载的最大器件数量取决于每个器件使用的通道数、采样率以及字长。

$$25\text{ MHz} \geq BCLK \geq (\# \text{ channels/device}) \times (\# \text{ devices}) \times (\text{sampling rate}) \times (\text{word length}) \quad (1)$$

备注

如果 BCLK 周期大于 18.5MHz，微处理器必须将 DOUT 数据锁存在与器件相同的 BCLK 沿极性上。

如果不遵守此条件，可能会导致微处理器从 DOUT 采集损坏的数据。

TAC5x1x 支持将多个器件以 ADC 和 DAC 路径的共享 TDM 配置连接在一起。此外，可以采用菊花链 TDM 配置，但仅支持 ADC 路径。以下两部分详细介绍需要对哪些寄存器进行编程，以便将 TAC5x1x 器件配置为用这些方法共享 TDM 总线。

3.1 共享 TDM 的 ASI 配置

在共享 TDM 总线配置中，多个 TAC5x1x 器件的 ASI 总线连接在一起，形成一个共享总线，如图 3-2 所示。

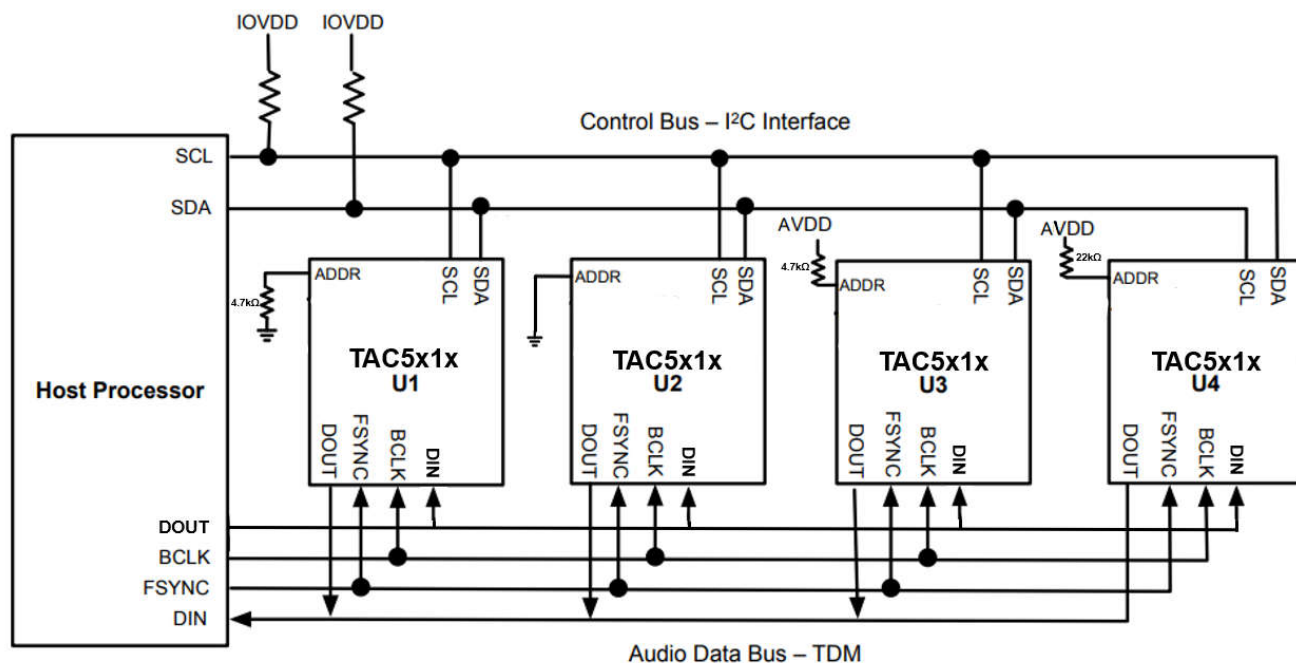


图 3-2. TAC5x1x 共享 TDM 连接图

为了避免多个器件在同一时隙中传输输出数据，TAC5x1x 支持使用以下寄存器将器件的输入通道映射到可编程时隙：

- PASI_TX_CH1_CFG (页 0x00, 寄存器 0x1E) ,
- PASI_TX_CH2_CFG (页 0x00, 寄存器 0x1F) ,
- PASI_TX_CH3_CFG (页 0x00, 寄存器 0x20) ,
- PASI_TX_CH4_CFG (页 0x00, 寄存器 0x21) ,

类似地，器件的输出通道可通过以下寄存器映射至可编程时隙：

- PASI_RX_CH1_CFG (页 0x00, 寄存器 0x28) ,
- PASI_RX_CH2_CFG (页 0x00, 寄存器 0x29) ,
- PASI_RX_CH3_CFG (页 0x00, 寄存器 0x2A) ,
- PASI_RX_CH4_CFG (页 0x00, 寄存器 0x2B) ,

这使得任一数据总线上的任意通道都可以按任意顺序映射到 32 个可用 TDM 时隙中的任何一个。

以图 3-2 为例，以下 I²C 脚本将 U1-U4 的输入通道分别配置到 TAC5x1x 的 0-15 TX 时隙中。此脚本启用共享的 ADC 数据输出总线，但此配置也适用于 DAC 输入总线，如图 3-2 所示。通过将寄存器地址更改为上文所述的相应 RX 值，该脚本可应用于 RX 总线上的 DAC 输入数据。注意，时隙并未按顺序分配给每个器件的输入通道，以显示为 TDM 时隙分配通道的灵活性：

```
w A0 1E 24 # Set U1 Ch1 mapped to slot 4 of DOUT
w A0 1F 26 # Set U1 Ch2 mapped to slot 6 of DOUT
w A0 20 21 # Set U1 Ch3 mapped to slot 1 of DOUT
w A0 21 20 # Set U1 Ch4 mapped to slot 0 of DOUT
w A2 1E 23 # Set U2 Ch1 mapped to slot 3 of DOUT
w A2 1F 25 # Set U2 Ch2 mapped to slot 5 of DOUT
w A2 20 22 # Set U2 Ch3 mapped to slot 2 of DOUT
w A2 21 27 # Set U2 Ch4 mapped to slot 7 of DOUT
w A4 1E 28 # Set U3 Ch1 mapped to slot 8 of DOUT
w A4 1F 29 # Set U3 Ch2 mapped to slot 9 of DOUT
w A4 20 2A # Set U3 Ch3 mapped to slot 10 of DOUT
```

```
w A4 21 2C # Set U3 Ch4 mapped to slot 12 of DOUT
w A6 1E 2F # Set U4 Ch1 mapped to slot 15 of DOUT
w A6 1F 2D # Set U4 Ch2 mapped to slot 13 of DOUT
w A6 20 2E # Set U4 Ch3 mapped to slot 14 of DOUT
w A6 21 2B # Set U4 Ch4 mapped to slot 11 of DOUT
```

这种配置要求所有器件将其输出置于高阻抗模式，以便另一器件驱动总线。TAC5x1x 支持通过 **PASI_TX_CFG0** 寄存器的 **0x1B** 位字段 **PASI_TX_FILL**，在未使用的位时钟周期内将输出线路驱动为低电平或置于高阻抗状态，如表 3-1 所示。设置 **PASI_TX_FILL** 会在未使用的位时钟周期内将输出线 **DOUT** 置于高阻抗状态。注意，复位值会将 **DOUT** 配置为在未使用的位时钟周期期间驱动为低电平。

表 3-1. PASI_TX_CFG0 寄存器 (0x1B)

位	字段	类型	复位	说明
7	PASI_TX_EDGE	R/W	0b	主要 ASI 数据输出 (在主要和辅助数据引脚上) 发送边沿 0d = 默认边沿符合 PASI_BCLK_POL 中的协议配置设置 1d = 相对于默认边沿设置的反相后继边沿 (半个周期延迟)
6	PASI_TX_FILL	R/W	0b	任何未使用周期的主要 ASI 数据输出 (在主要和辅助数据引脚上) 0d = 针对未使用周期始终发送 0 1d = 针对未使用周期始终使用 Hi-Z
5	PASI_TX_LSB	R/W	0b	用于 LSB 传输的主要 ASI 数据输出 (在主要和辅助数据引脚上) 0d = 一个完整周期内传输 LSB 1d = 在前半个周期内传输 LSB，在后半个周期内传输 Hi-Z 2d = 24 位 3d = 32 位
4-3	PASI_TX_KEEPER[1:0]	R/W	00b	主要 ASI 数据输出 (在主要和辅助数据引脚上) 总线保持器 0d = 始终禁用总线保持器 1d = 始终启用总线保持器 2d = 总线保持器仅在 LSB 传输期间启用一个周期 3d = 32 位总线保持器仅在 LSB 传输期间启用 1.5 个周期
2	PASI_TX_USE_INT_FSY NC	R/W	0b	主要 ASI 在控制器模式配置下使用内部 FSYNC 进行输出数据生成 0d = 使用外部 FSYNC 进行 ASI 协议数据生成 1d = 使用内部 FSYNC 进行 ASI 协议数据生成
1	PASI_TX_USE_INT_BCLK	R/W	0b	主要 ASI 使用内部 BCLK 在控制器模式配置中生成输出数据。 0d = 使用外部 BCLK 进行 ASI 协议数据生成 1d = 使用内部 BCLK 进行 ASI 协议数据生成
0	PASI_TDM_PULSE_WIDT H	R/W	0b	TDM 格式的主 ASI FSYNC 脉冲宽度。(对控制器模式有效) 0d = FSYNC 脉冲宽度为 1 个 BCLK 周期 1d = FSYNC 脉冲宽度为 2 个 BCLK 周期

TAC5x1x 还支持通过 **PASI_TX_CHx_CFG** 寄存器将未使用的通道时隙置为三态 (如表 3-2 所示)，或通过 **PASI_RX_CHx_CFG** 寄存器禁用未使用的输入时隙 (如表 3-2 所示)。

表 3-2. PASI_TX_CHx_CFG 寄存器 0x1E - 0x25

位	字段	类型	说明
7-6	RESERVED	R	保留位；仅写入复位值
5	PASI_TX_CHx_CFG	R/W	主要 ASI 输出通道 X 配置 0d = 主要 ASI 通道 X 输出处于三态条件 1d = 主要 ASI 通道 X 输出对应于 ADC/PDM 通道 X 数据
4-0	PASI_TX_CHx_SLOT_NUM[4:0]	R/W	主要 ASI 输出通道 X 时隙分配。 0d = TDM 为时隙 0 1d = TDM 为时隙 1 2d 至 14d = 时隙按配置分配 15d = TDM 为时隙 15 16d = TDM 为时隙 16 17d = TDM 为时隙 17 18d 至 30d = 时隙按配置分配 31d = TDM 为时隙 31

表 3-3. PASI_RX_CHx_CFG 寄存器 0x28 - 0x2F

位	字段	类型	说明
7-6	RESERVED	R	保留位；仅写入复位值
5	PASI_RX_CHx_CFG	R/W	主要 ASI 输入通道 X 配置 0d = 禁用主要 ASI 通道 X 输入 1d = 主要 ASI 通道 X 输入对应于 DAC 通道 X 数据
4-0	PASI_TX_CHx_SLOT_NUM[4:0]	R/W	主要 ASI 输入通道 X 时隙分配。 0d = TDM 为时隙 0 1d = TDM 为时隙 1 2d 至 14d = 时隙按配置分配 15d = TDM 为时隙 15 16d = TDM 为时隙 16 17d = TDM 为时隙 17 18d 至 30d = 时隙按配置分配 31d = TDM 为时隙 31

此外，TAC5x1x 支持通过 GPIO1_CFG0、GPIO2_CFG0 或 GPO1_CFG0 寄存器将 GPIO 引脚配置为辅助 DOUT 输出 (DOUT2) 或辅助 DIN 输入 (DIN2)。这允许一个或多个器件通过两个引脚传输数据。PASI_TX_CFG2 寄存器 0x1D 位字段 PASI_TX_CHx_SEL 将时隙映射到主要输出 (DOUT) 或辅助输出 (DOUT2)。PASI_RX_CFG1 寄存器 0x27 位字段 PASI_RX_CHx_SEL 将时隙映射到主要输出 (DIN) 或辅助输出 (DIN2)。

这些辅助数据总线可用于支持比 [方程式 1](#) 允许的时隙数更多的时隙。这种连接方法不仅降低位时钟 (BCLK) 速度，而且还减少了主机处理器数据线路上的负载电容。例如，一个具有 12 个通道、32 位数据字且以 96KHz 采样速率运行的系统，需要 36.864MHz 的位时钟 (三个器件 * 四个通道/器件 * 32 位字 * 96kHz)，违反了 25MHz 的最大 BCLK 速度。12 个通道可以分开，其中 6 个通道分配给主要总线，另外 6 个通道分配给辅助总线，使 BCLK 保持在 25MHz 以下。每个器件有四个通道，一个器件有两个通道分配给主要总线，两个通道分配给辅助总线。

如以上示例所述，以下 I²C 脚本将 U1、U2 和 U3 配置为具有主要和辅助 DOUT 总线的 ADC 输出的共享 TDM。

```

w A0 1E 20 # Set U1 ch1 mapped to slot 0 of DOUT
w A0 1F 21 # Set U1 ch2 mapped to slot 1 of DOUT
w A0 20 22 # Set U1 ch3 mapped to slot 2 of DOUT
w A0 21 23 # Set U1 ch4 mapped to slot 3 of DOUT
w A2 1E 24 # Set U2 ch1 mapped to slot 4 of DOUT
w A2 1F 25 # Set U2 ch2 mapped to slot 5 of DOUT
w A2 0A 62 # Set U2 GPIO1 as DOUT2
w A2 1D 0C # Set U2 ch3 and ch4 to DOUT2
w A2 20 20 # Set U2 ch3 mapped to slot 0 of DOUT2
w A2 21 21 # Set U2 ch4 mapped to slot 1 of DOUT2
w A4 0A 62 # Set U3 GPIO1 as DOUT2
w A4 1D 0F # Set U2 ch1-4 to DOUT2
w A4 1E 42 # Set U3 ch1 mapped to slot 2 of DOUT2

```

```
w A4 1F 43 # Set U3 Ch2 mapped to slot 3 of DOUT2
w A4 20 44 # Set U3 Ch3 mapped to slot 4 of DOUT2
w A4 21 45 # Set U3 Ch4 mapped to slot 5 of DOUT2
```

如前所述，可在 DAC 输入数据总线和 ADC 输出总线上分别启用共享 TDM 配置。对于上述示例，以下 I²C 脚本将 U1、U2 和 U3 配置为在 DAC 输入上使用主 DIN 和辅助 DIN 的共享 TDM。

```
w A0 28 20 # Set U1 Ch1 mapped to slot 0 of DIN
w A0 29 21 # Set U1 Ch2 mapped to slot 1 of DIN
w A0 2A 22 # Set U1 Ch3 mapped to slot 2 of DIN
w A0 2B 23 # Set U1 Ch4 mapped to slot 3 of DIN
w A2 28 24 # Set U2 Ch1 mapped to slot 4 of DIN
w A2 29 25 # Set U2 Ch2 mapped to slot 5 of DIN
w A2 0A 12 # Set U2 GPIO1 as input
w A2 0F 04 # Select GPIO1 as DIN2
w A2 27 0C # Set U2 Ch3 and Ch4 to DIN2
w A2 2A 20 # Set U2 Ch3 mapped to slot 0 of DIN2
w A2 2B 21 # Set U2 Ch4 mapped to slot 1 of DIN2
w A4 0A 12 # Set U3 GPIO1 as input
w A4 0F 04 # Select GPIO1 as DIN2
w A4 27 0F # Set U2 Ch1-4 to DIN2
w A4 28 22 # Set U3 Ch1 mapped to slot 2 of DIN2
w A4 29 23 # Set U3 Ch2 mapped to slot 3 of DIN2
w A4 2A 24 # Set U3 Ch3 mapped to slot 4 of DIN2
w A4 2B 25 # Set U3 Ch4 mapped to slot 5 of DIN2
```

3.2 菊花链 TDM 的 ASI 配置

为了简化电路板布线和 TDM 总线时序要求，或避免高 DOUT 线路负载电容，TAC5x1x 器件提供菊花链模式，将一个器件的数据输出 (DOUT) 作为输入路由到另一器件的 GPIO1、GPIO2 或 GPI1 引脚。每个器件在内部将数据合并到 TDM 总线的相应间隙中，并将其传递给下一个器件。与共享 TDM 不同、此配置仅可用于 ADC 路径、因为模拟 DAC 输出不能以菊花链形式连接。

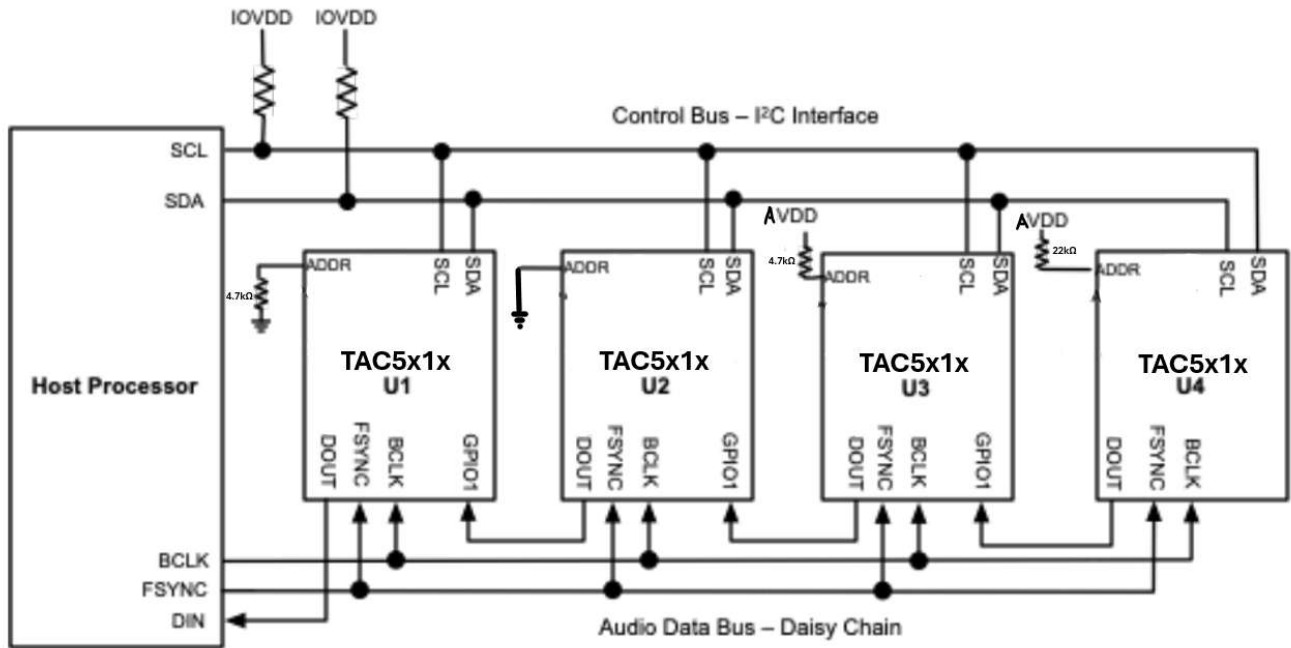


图 3-3. TAC5x1x 菊花链 TDM 连接图

按表 3-4 所示设置 ASI_CFG0 寄存器的 DAISY_EN 位字段可将器件配置为菊花链配置。DAISY_IN_SEL 位字段用于选择要用作菊花链输入的 GPIO 引脚。所选的 GPIO 方向也必须配置为输入。配置为菊花链模式后，只提供一个 ASI。

表 3-4. ASI_CFG0 寄存器 (0x18)

位	字段	类型	复位	说明
7	PASI_DIS	R/W	0b	禁用或启用主要 ASI (PASI)。 0d = 已启用主要 ASI 1d = 已禁用主要 ASI
6	SASI_DIS	R/w	1b	禁用或启用辅助 ASI (SASI)。 0d = 已启用辅助 ASI 1d = 已禁用辅助 ASI
5	SASI_CFG_GANG	R/W	0b	辅助 ASI 的所有配置都与主要 ASI 成组。 0d = 辅助 ASI 具有独立的配置 1d = 辅助 ASI 配置与主要 ASI 相同
4	DAISY_EN[1:0]	R/W	00b	菊花链功能启用 (仅 1 个 ASI, 提供 1 个 DOUT 和 DIN) 0d = 已禁用菊花链 1d = 已启用 PASI 菊花链 (辅助 ASI 不可用) 2d = 已启用 SASI 菊花链 (主要 ASI 不可用) 3d = 保留; 不使用
3-0	DAISY_IN_SEL[2:0]	R/W	000b	菊花输入选择配置。 0d = 已禁用菊花输入 1d = GPIO1 2d = GPIO2 3d = GPI1 4d = 保留 5d = DIN 6d 至 7d = 保留

以图 3-3 为例, 以下 I²C 脚本将 U1、U2 和 U3 配置为菊花链, 通过链的 GPIO1 从 DOUT 中的下一个器件接收输入。注意, 每个器件的通道都映射到时隙 0-3。然而, 在 U1 的 DOUT 中, 0-3 时隙用于 U1 通道, 4-7 时隙用于 U2 通道, 8-11 时隙用于 U3 通道, 12-15 时隙用于 U4 通道。注意, 菊花链中的第一个器件 (U4) 不需要配置为菊花链模式, 因为它不从其他器件获取 GPIO1 上的输入。

```

w A0 1E 20 # Set U1 Ch1 mapped to slot 0 of DOUT
w A0 1F 21 # Set U1 Ch2 mapped to slot 1 of DOUT
w A0 20 22 # Set U1 Ch3 mapped to slot 2 of DOUT
w A0 21 23 # Set U1 Ch4 mapped to slot 3 of DOUT
w A2 1E 20 # Set U2 Ch1 mapped to slot 0 of DOUT
w A2 1F 21 # Set U2 Ch2 mapped to slot 1 of DOUT
w A2 20 22 # Set U2 Ch3 mapped to slot 2 of DOUT
w A2 21 23 # Set U2 Ch4 mapped to slot 3 of DOUT
w A4 1E 20 # Set U3 Ch1 mapped to slot 0 of DOUT
w A4 1F 21 # Set U3 Ch2 mapped to slot 1 of DOUT
w A4 20 22 # Set U3 Ch3 mapped to slot 2 of DOUT
w A4 21 23 # Set U3 Ch4 mapped to slot 3 of DOUT
w A6 1E 20 # Set U4 Ch1 mapped to slot 0 of DOUT
w A6 1F 21 # Set U4 Ch1 mapped to slot 1 of DOUT
w A6 20 22 # Set U4 Ch1 mapped to slot 2 of DOUT
w A6 21 23 # Set U4 Ch1 mapped to slot 3 of DOUT
w A0 18 49 # Set U1's ASI to daisy chain via GPIO1
w A0 21 10 # Set U1's GPIO1 input as ASI input for daisy chain
w A2 18 49 # Set U2's ASI to daisy chain via GPIO1
w A2 21 10 # Set U2's GPIO1 input as ASI input for daisy chain
w A4 18 49 # Set U3's ASI to daisy chain via GPIO1
w A4 21 10 # Set U3's GPIO1 input as ASI input for daisy chain

```

4 为多个 TAC5x1x EVM 配置 PurePath Console 3

PurePath™ Console 3 支持将多个 TAC5x1x 器件连接到单个 AC-MB。但是，AC-MB 连接器只能连接到一个 TAC5x1x。要将额外的器件连接到单个 AC-MB，请将连接到单个 AC-MB 的电路板的电源、接地、I²C 和 TDM 信号外部连线到其他 TAC5x1x EVM 的相应信号。仅将一个 EVM 连接到 AC-MB，同时通过各自的接头或跳线连接其他信号，具体如下所示：

- 通过 IOVDD 测试点将所有 TAC5x1x EVM 的 IOVDD 连接在一起。
- 通过 AVDD 测试点将所有 TAC5x1x EVM 的 AVDD 连接在一起。
- 通过 SCL 测试点将所有 TAC5x1x 器件的 SCL 引脚连接在一起。
- 通过 SDA 测试点将所有 TAC5x1x 器件的 SDA 引脚连接在一起。
- 通过 BCLK 测试点将所有 TAC5x1x 器件的 BCLK 引脚连接在一起。
- 通过 FSYNC 测试点将所有 TAC5x1x 器件的 FSYNC 引脚连接在一起。
- 通过 GND 测试点将所有 TAC5x1x 器件的常用 GND 连接在一起。
- DOUT 连接取决于共享 TDM 或菊花链 TDM 模式：
 - 对于共享 TDM 模式，通过 DOUT 测试点将所有 TAC5x1x 器件的 DOUT 引脚连接在一起。
 - 对于菊花链 TDM 模式，以菊花链方式连接 TAC5x1x EVM：
 - 通过 DOUT 测试点将连接到 AC-MB 的电路板上 GPIO1 测试点处的 GPIO1 信号连接到第二个电路板的 DOUT 引脚。
 - 如果使用三个或更多器件，则通过 DOUT 测试引脚将第二个电路板上 GPIO1 测试点处的信号连接到第三个电路板的 DOUT 引脚。
 - 如果使用四个器件，则通过 DOUT 测试引脚将第三个电路板上 GPIO1 测试点处的信号连接到第四个电路板的 DOUT 引脚。

这些信号可在 TAC5x1x EVM 的相应数字测试点抽头，如图 4-1 所示。

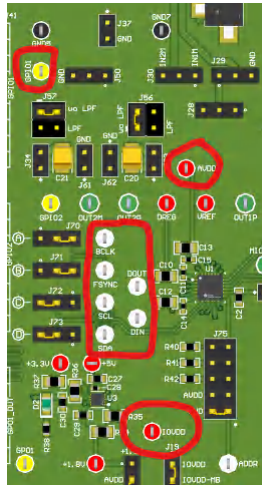


图 4-1. TAC5x1x EVM I²C 和 TDM 信号的位置

4.1 更改 TAC5x1x 的默认 I²C 地址

当多个 TAC5x1x EVM 连接到单个 I²C 总线时，每个 EVM 必须具有唯一的 I²C 地址。在 TAC5x1x EVM 上，I²C 地址通过接头 J75 上的上拉和下拉来设置，如图 4-2 所示。此部分的跳线放置（如表 4-1 所示）控制每个 TAC5x1x 器件的 I²C 地址。

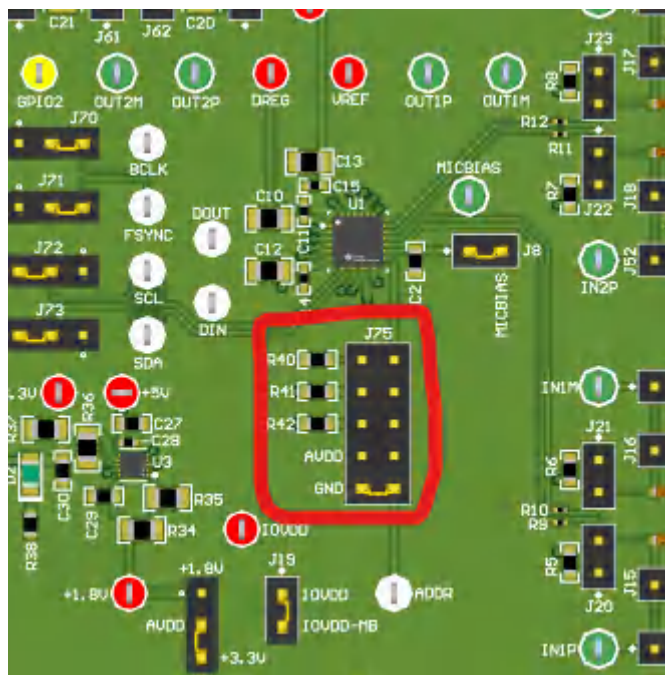


图 4-2. TAC5x1x EVM 的 I²C 地址配置

表 4-1. TAC5x1x EVM I²C 目标地址

J75 位置	ADDR 设置	I ² C 目标地址 (二进制)
1 (如图 4-2 所示)	短接至 GND	1010 000
2	短接至 AVDD	不适用 (SPI)
3	将 22k Ω 上拉至 AVDD	1010 010
4	将 4.7k Ω 上拉至 AVDD	1010 011
5	将 4.7k Ω 下拉至 GND	1010 001

4.2 启动 PurePath Console (针对多个器件)

PurePath Console 启动时，会询问用户要连接到 AC-MB 的器件数量，如图 4-3 所示。在该对话框窗口中，选择两个 TAC5212 器件并点击 “New” 后，将启动图 4-4 所示的主窗口。

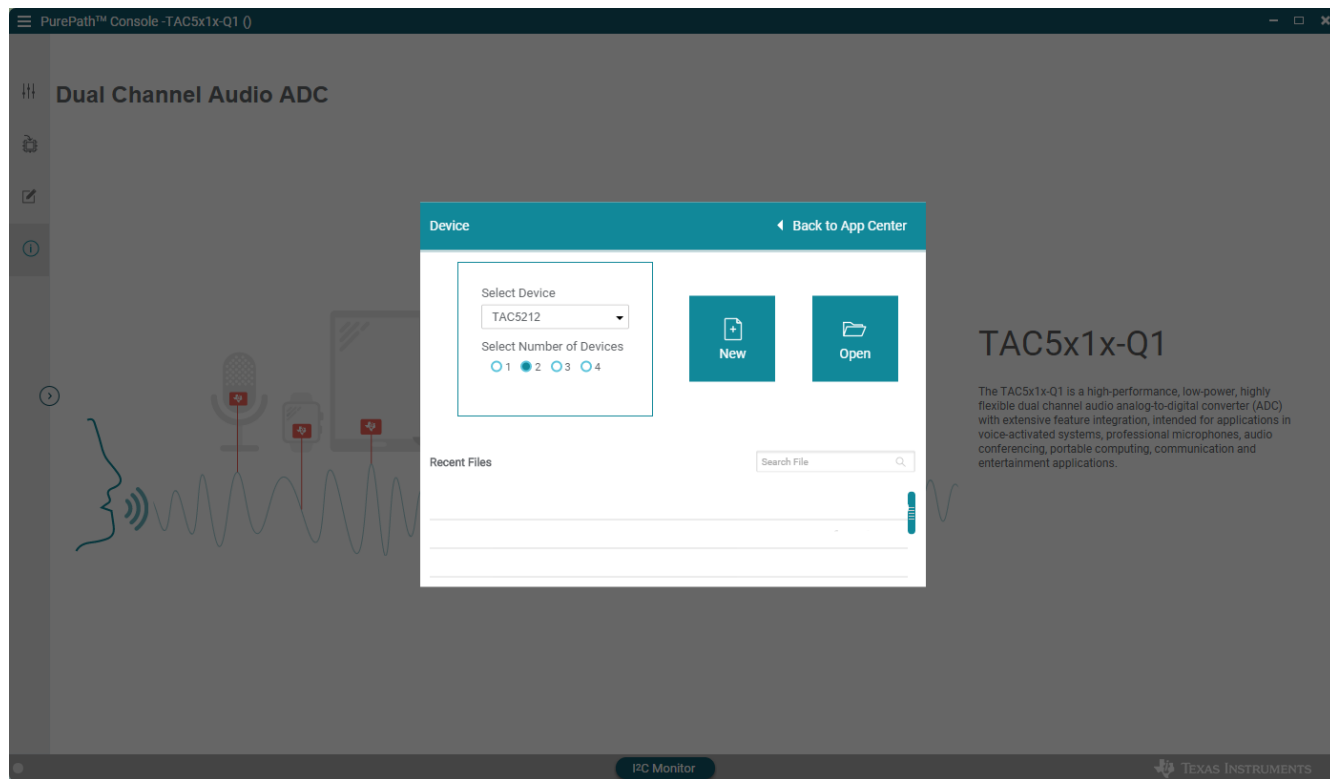


图 4-3. PurePath Console “Input Number of Devices” 对话框

PurePath Console 一次仅配置一个器件。器件通过屏幕顶部的器件图标 (字母) 进行标记，如图 4-4 所示。点击器件图标 A 可以对较小数字的 I²C 地址进行编程，点击 B 可以对下一个 I²C 地址进行编程，依此类推。

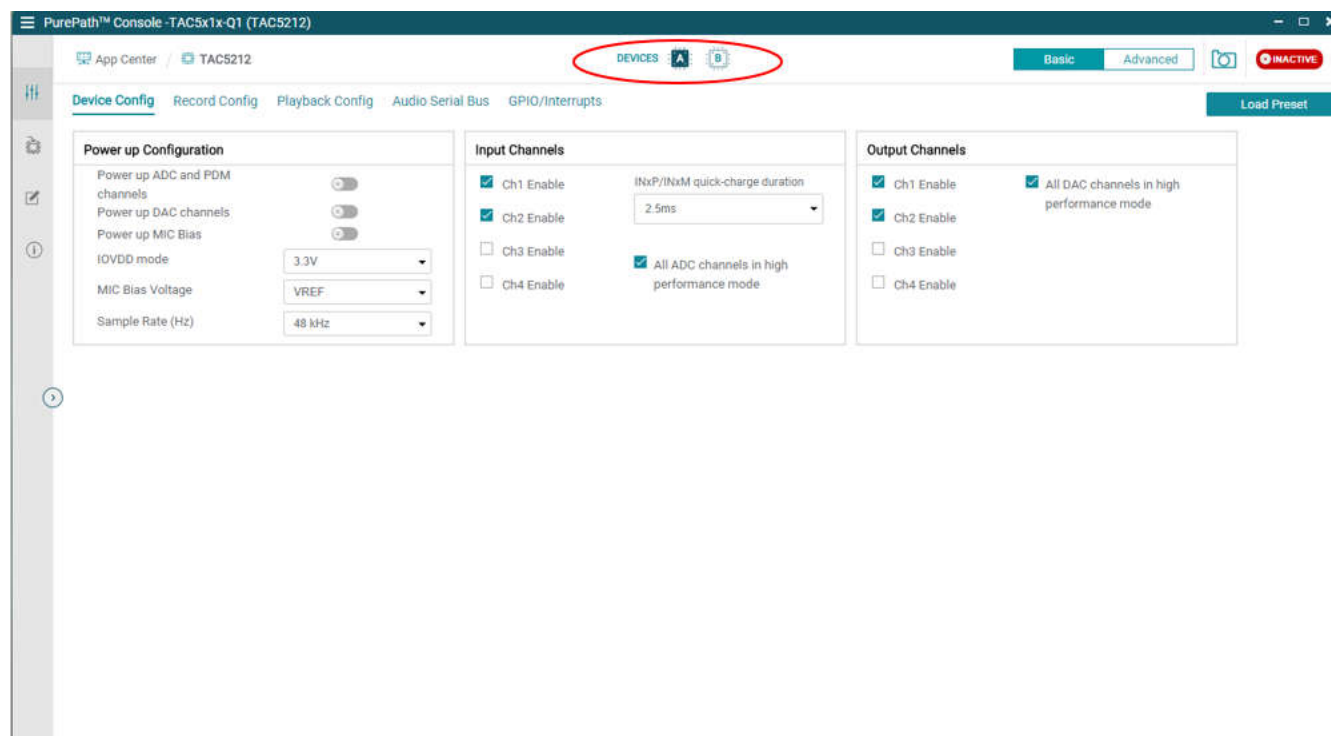


图 4-4. PurePath Console 主窗口

“Audio Serial Bus”选项卡将器件的每个通道分配给一个时隙。在图 4-5 中，器件 A 输入通道 1-4 分别分配给时隙 0-3。在图 4-6 中，器件 B 输入通道 1-4 分别分配给时隙 4-7。注意，TDM 总线中的先前时隙未显示，但 BCLK、FSYNC 和 SDOUT 中音频接口信号线路图开头的省略号表示这些时隙之前有其他时隙。

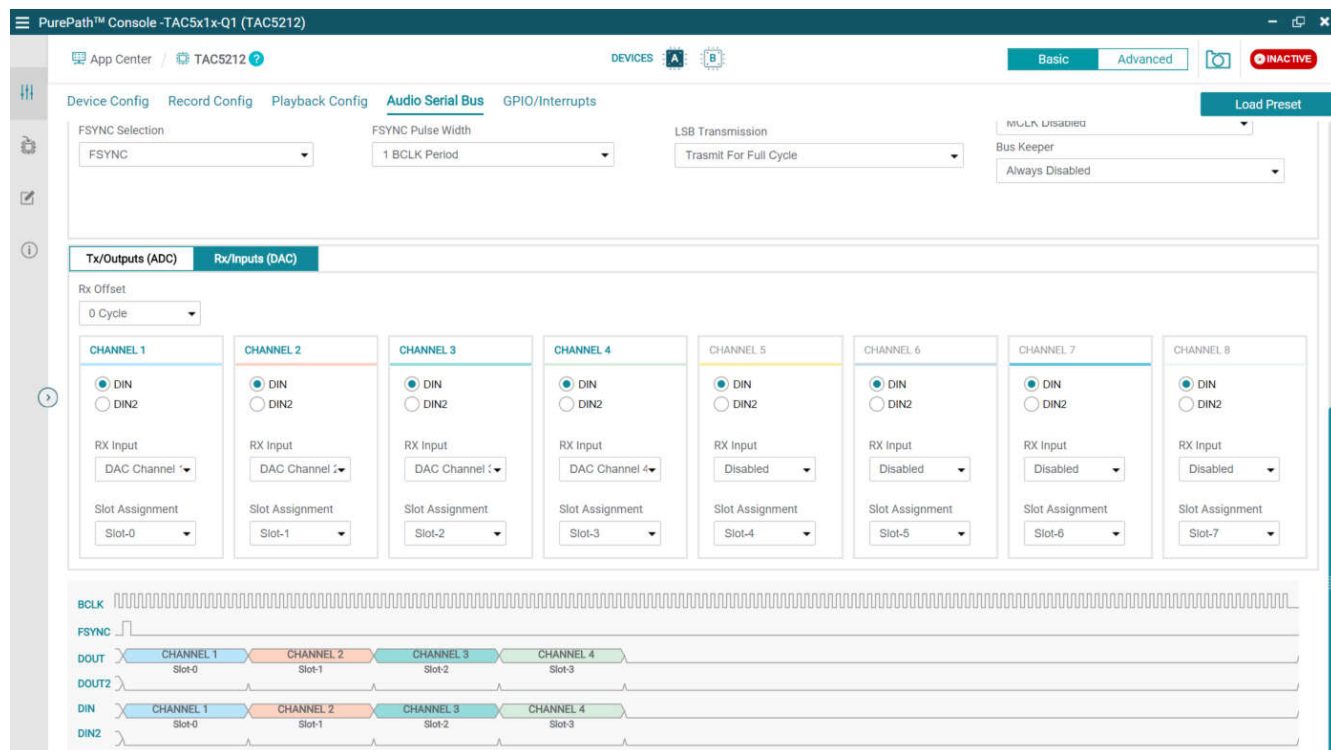


图 4-5. PurePath Console 器件 A 通道到时隙映射

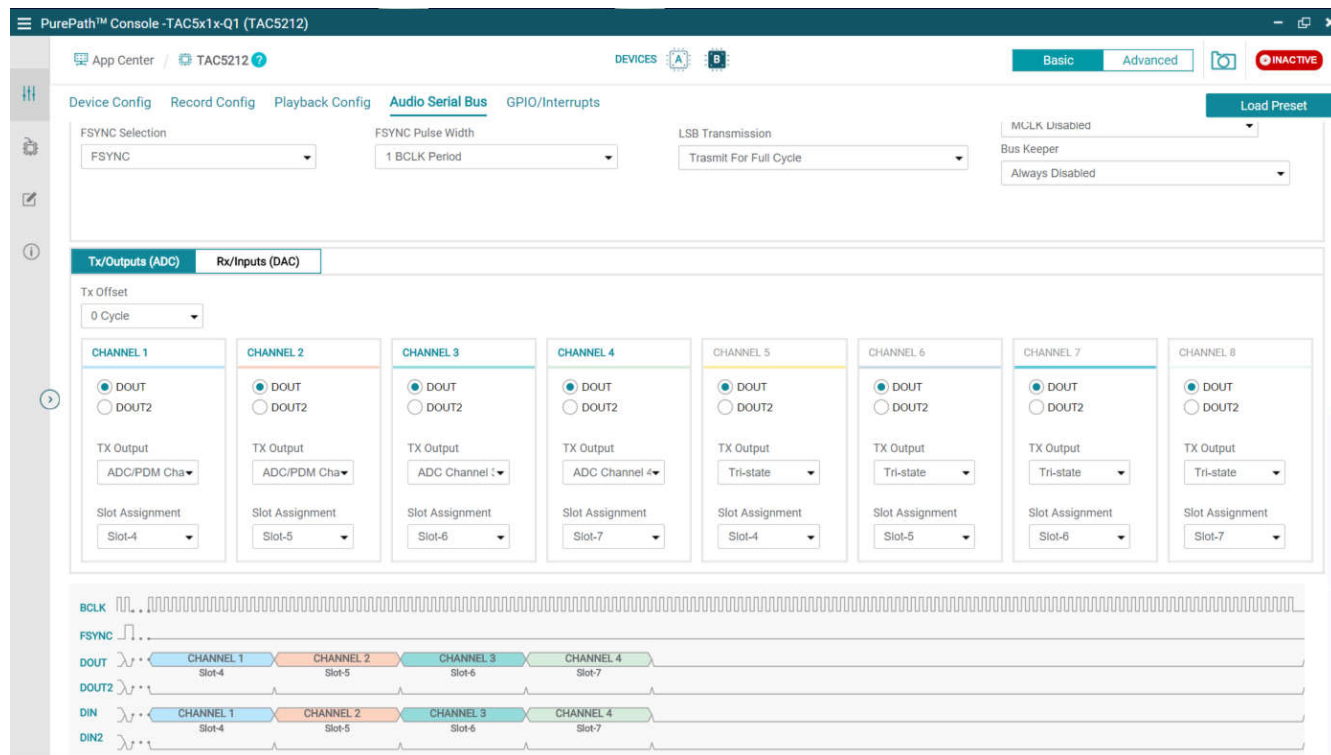


图 4-6. PurePath Console 器件 B 通道到时间隙映射

5 PurePath Console I²C 脚本

5.1 用于共享 TDM 的 TAC5x1x I²C 脚本

以下 I²C 脚本在器件复位后将四个器件设置为共享 TDM 模式：

```
# Key: w NN YY ZZ ==> write to I2C address 0xNN, to register 0xYY, data 0xZZ
#           # ==> comment delimiter
#
# I2C programming script for four devices sharing a TDM bus
# U4(SDOUT) -> U3 (SDOUT) -> U2 (SDOUT) -> U1 (SDOUT) -> Host Processor
#
#####
# Power-up Sequence:
# Power up IOVDD and AVDD power supplies
# wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.
# wait for 2ms.
#####
# wake-up devices
w A0 02 09 # Wake-up Device U1
w A2 02 09 # Wake-up Device U2
w A4 02 09 # Wake-up Device U3
w A6 02 09 # Wake-up Device U4
d 10      # 10 ms delay
# Program Device A (U1), interfaces to host processor
w A0 00 00 # Set Device page register to Page 0
w A0 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A0 1B 60 # ASI transmit Hi-Z for unused cycles
w A0 1E 20 # ASI primary output (DOUT) with CH1 assigned to slot 0
w A0 1F 21 # ASI primary output (DOUT) with CH2 assigned to slot 1
w A0 20 22 # ASI primary output (DOUT) with CH3 assigned to slot 2
w A0 21 23 # ASI primary output (DOUT) with CH4 assigned to slot 3
w A0 28 20 # ASI primary input (DIN) with CH1 assigned to slot 0
w A0 29 21 # ASI primary input (DIN) with CH2 assigned to slot 1
w A0 2A 22 # ASI primary input (DIN) with CH3 assigned to slot 2
w A0 2B 23 # ASI primary input (DIN) with CH4 assigned to slot 3
w A0 76 FF # Enable Ch1-4 of Device A
# Program Device B (U2)
w A2 00 00 # Set Device page register to Page 0
w A2 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A2 1B 60 # ASI transmit Hi-Z for unused cycles
w A2 1E 24 # ASI primary output (DOUT) with CH1 assigned to slot 4
w A2 1F 25 # ASI primary output (DOUT) with CH2 assigned to slot 5
w A2 20 26 # ASI primary output (DOUT) with CH3 assigned to slot 6
w A2 21 27 # ASI primary output (DOUT) with CH4 assigned to slot 7
w A2 28 24 # ASI primary input (DIN) with CH1 assigned to slot 4
w A2 29 25 # ASI primary input (DIN) with CH2 assigned to slot 5
w A2 2A 26 # ASI primary input (DIN) with CH3 assigned to slot 6
w A2 2B 27 # ASI primary input (DIN) with CH4 assigned to slot 7
w A2 76 FF # Enable Ch1-4 of Device B
# Program Device C (U3)
w A4 00 00 # Set Device page register to Page 0
w A4 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A4 1B 60 # ASI transmit Hi-Z for unused cycles
w A4 1E 28 # ASI primary output (DOUT) with CH1 assigned to slot 8
w A4 1F 29 # ASI primary output (DOUT) with CH2 assigned to slot 9
w A4 20 2A # ASI primary output (DOUT) with CH3 assigned to slot 10
w A4 21 2B # ASI primary output (DOUT) with CH4 assigned to slot 11
w A4 28 28 # ASI primary input (DIN) with CH1 assigned to slot 8
w A4 29 29 # ASI primary input (DIN) with CH2 assigned to slot 9
w A4 2A 2A # ASI primary input (DIN) with CH3 assigned to slot 10
w A4 2B 2B # ASI primary input (DIN) with CH4 assigned to slot 11
w A4 76 FF # Enable Ch1-4 of Device C
# Program Device D (U4)
w A6 00 00 # Set Device page register to Page 0
w A6 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A6 1B 60 # ASI transmit Hi-Z for unused cycles
w A6 1E 2C # ASI primary output (DOUT) with CH1 assigned to slot 12
w A6 1F 2D # ASI primary output (DOUT) with CH2 assigned to slot 13
w A6 20 2E # ASI primary output (DOUT) with CH3 assigned to slot 14
w A6 21 2F # ASI primary output (DOUT) with CH4 assigned to slot 15
w A6 28 2C # ASI primary input (DIN) with CH1 assigned to slot 12
w A6 29 2D # ASI primary input (DIN) with CH2 assigned to slot 13
w A6 2A 2E # ASI primary input (DIN) with CH3 assigned to slot 14
w A6 2B 2F # ASI primary input (DIN) with CH4 assigned to slot 15
w A6 76 FF # Enable Ch1-4 of Device D
# Power-up Devices A, B, C, & D
```

```
w A0 78 C0 # Power up ADC and DAC of Device A
w A2 78 C0 # Power up ADC and DAC of Device B
w A4 78 C0 # Power up ADC and DAC of Device C
w A6 78 C0 # Power up ADC and DAC of Device D
```

5.2 用于菊花链 TDM 的 TAC5x1x I²C 脚本

以下 I²C 脚本在器件复位后将四个器件设置为菊花链 TDM 模式：

```
# Key: w NN YY ZZ ==> write to I2C address 0xNN, to register 0xYY, data 0xZZ
#          # ==> comment delimiter
#
# I2C programming script for four devices in daisy chain TDM mode
# U4(DOUT) -> (GPIO1) U3 (DOUT) -> (GPIO1) U2 (DOUT) -> (GPIO1) U1 (DOUT) -> Host Processor
#
#####
# Power-up Sequence:
# Power up IOVDD and AVDD power supplies
# wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.
# wait for 2ms.
#####
# Wake-up devices
w A0 02 09 # Wake-up Device U1
w A2 02 09 # Wake-up Device U2
w A4 02 09 # Wake-up Device U3
w A6 02 09 # Wake-up Device U4
d 10      # 10 ms delay
# Program Device A (U1), interfaces to host processor
w A0 00 00 # Set Device page register to Page 0
w A0 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A0 1B 60 # ASI transmit Hi-Z for unused cycles
w A0 18 49 # Set U1's ASI to daisy chain via GPIO1
w A0 21 10 # Set U1's GPIO1 input as ASI input for daisy chain
w A0 1E 20 # Set U1 Ch1 mapped to slot 0 of DOUT
w A0 1F 21 # Set U1 Ch2 mapped to slot 1 of DOUT
w A0 20 22 # Set U1 Ch3 mapped to slot 2 of DOUT
w A0 21 23 # Set U1 Ch4 mapped to slot 3 of DOUT
w A0 76 F0 # Enable Ch1-4 of Device A
# Program Device B (U2)
w A2 00 00 # Set Device page register to Page 0
w A2 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A2 1B 60 # ASI transmit Hi-Z for unused cycles
w A2 18 49 # Set U2's ASI to daisy chain via GPIO1
w A2 21 10 # Set U2's GPIO1 input as ASI input for daisy chain
w A2 1E 20 # Set U2 Ch1 mapped to slot 0 of DOUT
w A2 1F 21 # Set U2 Ch2 mapped to slot 1 of DOUT
w A2 20 22 # Set U2 Ch3 mapped to slot 2 of DOUT
w A2 21 23 # Set U2 Ch4 mapped to slot 3 of DOUT
w A2 76 F0 # Enable Ch1-4 of Device B
# Program Device C (U3)
w A4 00 00 # Set Device page register to Page 0
w A4 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A4 1B 60 # ASI transmit Hi-Z for unused cycles
w A4 18 49 # Set U3's ASI to daisy chain via GPIO1
w A4 21 10 # Set U3's GPIO1 input as ASI input for daisy chain
w A4 1E 20 # Set U3 Ch1 mapped to slot 0 of DOUT
w A4 1F 21 # Set U3 Ch2 mapped to slot 1 of DOUT
w A4 20 22 # Set U3 Ch3 mapped to slot 2 of DOUT
w A4 21 23 # Set U3 Ch4 mapped to slot 3 of DOUT
w A4 76 F0 # Enable Ch1-4 of Device C
# Program Device D (U4)
w A6 00 00 # Set Device page register to Page 0
w A6 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A6 1B 60 # ASI transmit Hi-Z for unused cycles
w A6 1E 20 # Set U4 Ch1 mapped to slot 0 of DOUT
w A6 1F 21 # Set U4 Ch1 mapped to slot 1 of DOUT
w A6 20 22 # Set U4 Ch1 mapped to slot 2 of DOUT
w A6 21 23 # Set U4 Ch1 mapped to slot 3 of DOUT
w A6 76 F0 # Enable Ch1-4 of Device D
# Power-up Devices A, B, C, & D
w A0 78 C0 # Power up ADC and DAC of Device A
w A2 78 C0 # Power up ADC and DAC of Device B
w A4 78 C0 # Power up ADC and DAC of Device C
w A6 78 C0 # Power up ADC and DAC of Device D
```

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月