

## Errata

# J7200 DRA821 处理器器件修订版本 1.0、2.0

---



### 摘要

本文档介绍了功能规格的已知例外情况 ( 公告 )。本文档也包含了使用说明。在使用说明中介绍了器件行为可能与假定或记录的行为不匹配的情况。这可能包括影响器件性能或功能正确性的行为。

---

### 内容

1 受影响的模块.....	2
2 命名规则、封装编号法和修订版本标识.....	5
3 器件修订版本 1.0、2.0 使用说明和公告.....	7
修订历史记录.....	47

## 1 受影响的模块

表 1-1 介绍受每个使用说明影响的模块。

表 1-1. 按模块划分的使用说明

模块	使用说明
DDR	i2330 — DDRSS 寄存器配置工具更新

表 1-2 介绍受每条公告影响的模块。

表 1-2. 按模块划分的公告

模块	公告	受影响的器件修订版本	
		SR 1.0	SR 2.0
ADC	i2151 — ADC：去抖时间控制寄存器	是	是
引导	i2307 — 引导：ROM 无法根据 BOOTMODE 正确选择 OSPI 时钟模式	是	是
	i2360 — 引导：不支持以太网 RMII 引导模式	是	是
	i2361 — 引导：针对 SR2.0 的 SPI 和 xSPI BOOTMODE 引脚映射变更	否	是
	i2366 — 引导：ROM 不理解 8D-8D-8D 操作使用的特定 JEDEC SFDP 特性	是	是
	i2371 — 引导：数据传输过程中，UART 引导模式下的 ROM 代码可能出现挂起	是	是
	i2372 — 引导：ROM 不支持串行 NAND 引导中的所选多层平面寻址方案	否	是
	i2459 — 引导：不支持 PCIe 引导模式	是	是
	i2413 — 引导：HS-FS ROM 引导时加载的 ROM 引导镜像已损坏	是	是
	i2414 — 引导：以太网 PHY 扫描和启动流程不适用于不支持自动协商的 PHY	是	是
	i2418 — 引导：由于证书信息不存在，导致安全 ROM 冻结	是	是
	i2419 — 引导：禁用偏斜消除校准时，ROM 不会检查是否启用了偏斜消除校准	是	是
	i2422 — 引导：MMCSD 文件系统引导时，ROM 的超时时间过长	是	是
	i2435 — 引导：eMMC 引导的 ROM 超时过长	是	是
i2482 — 引导：ROM 在 SD 卡初始化期间未提供足够的时钟	是	是	
CBASS	i2207 — CBASS：命令仲裁阻塞	是	是
	i2235 — CBASS 空错误中断未被使能寄存器屏蔽	是	是
CC	i2221 — CC：：侵入式和非侵入式调试使能设置被 MCU_RESEtZ 复位	是	是
	i2222 — 计算群集：A72 Corepac 无法断电	是	是
CP	i2283 — 对于如何使用 CP Tracer 调试探针的限制	是	是
CPSW	i2184 — CPSW：IET 快速流量监管问题	是	是
	i2185 — CPSW：策略器颜色标记问题	是	是
	i2208 — CPSW：ALE IET 高速数据包丢失	是	是
	i2401 — CPSW：主机时间戳导致 CPSW 端口锁定	是	是
DCC	i2209 — DCC：时钟选择不正确	是	否
DDR	i2157 — DDR：为低功耗状态设置唤醒时间时控制器异常	是	是
	i2159 — DDR：必须在 LPDDR4 CBT 期间使用 VRCG 高电流模式	是	是
	i2160 — DDR：必须在 LPDDR4 命令总线训练期间定义有效 VRef 范围	是	是
	i2166 — DDR：进入和退出深度睡眠低功耗状态可能会导致 PHY 内部时钟失准	是	是
	i2182 — DDR：使用 row-cs-bank-col 地址映射时不支持双列非 2 的幂次方密度	是	是
	i2186 — DDR 速率限制为 2666MT/s 1333MHz 时钟	是	否
	i2232 — DDR：控制器在频率更改后推迟刷新超过允许的次数	是	是
	i2244 — DDR：必须为写入 DQ VREF 训练定义有效的停止值	是	是
i2274 — DDR：在 BSCAN 中包括 DDR 会导致 DDR 电源上出现电流警报	是	否	
DMADVR	i2233 — DMADVR：MAIN 域和 MCU 域之间出现链路/link_safer 同步问题	是	是

表 1-2. 按模块划分的公告 (续)

模块	公告	受影响的器件修订版本	
		SR 1.0	SR 2.0
DMSC	i2245 — DMSC：防火墙区域需要特定配置	是	是
	i2275 — DMSC 安全引导 ROM：X.509 证书中的显式 EC 曲线参数存在潜在的安全引导漏洞	是	否
ECC 聚合器	i2049 — ECC 聚合器：由于出现挂起的 ECC 聚合器中断，IP 时钟停止/复位序列可能挂起	是	是
I3C	i2197 — I3C：不支持从模式	是	是
	i2205 — 在某些情况下，待处理 IBI 期间获取的 I3C 命令未被正确处理	是	是
	i2216 — I3C：在从器件启动的 IBI 地址字节接收期间，命令执行可能失败	是	是
IA	i2196 — IA：IA 中可能出现的死锁情况	是	是
JTAG	i2228 — JTAG：如果 TRSTn 器件引脚从未置为有效，则调试器使用的 TAP 可能无法访问	是	否
MCAN	i2278 — MCAN：当从配置有相同报文 ID 的专用 Tx 缓冲区发送时，报文发送顺序无法保证	是	是
	i2279 — MCAN：配置有相同报文 ID 的专用 Tx 缓冲区和 Tx 队列的规范更新	是	是
MCU	i2217 — 通过 MCU_BOOTMODE[09:08] 配置的建议 POST 选择	是	否
MDIO	i2329 — MDIO：MDIO 接口损坏 (CPSW 和 PRU-ICSS)	是	是
MMCSD	i2312 — MMCSD：HS200 和 SDR104 命令超时窗口太小	是	是
MSMC	i2116 — MSMC：在 NRT 访问结束时设置冲突逻辑阻止 RT 访问等待	是	是
	i2187 — MSMC：将高速缓存大小调整为 0 会刷新标记，而不是更新标记	是	是
	i2201 — MSMC：bytecount 上的错误奇偶校验检测	是	否
OSPI	i2189 — OSPI：控制器 PHY 调优算法	是	是
	i2249 — OSPI：具有 DDR 时序的内部 PHY 环回和内部焊盘环回时钟模式无法运行	是	是
	i2351 — OSPI：控制器不支持带 NAND 闪存的连续读取模式	是	是
	i2383 — OSPI：PHY DDR 模式不支持 2 字节地址	是	是
PCIe	i2183 — PCIe：未使用的通道未分配给 PCIe 控制器时，链路建立失败	是	是
	i2237 — PCIe：串行器/解串器参考时钟输出不符合 Vcross、上升沿/下降沿匹配和边沿速率限制	是	否
	i2241 — PCIe：串行器/解串器 PCIe 参考时钟输出可能超过 5.0 GT/s 的数据速率 RMS 抖动限制	是	否
	i2242 — PCIe：在更改数据速率时，4-L 串行器/解串器 PCIe 参考时钟输出暂时禁用	是	是
	i2243 — PCIe：不满足在 L1.2 子状态期间禁用输出 refclk 的时序要求	是	是
	i2246 — PCIe：未使用的 SERDES 通道未分配给 PCIe 控制器时，自动合规性进入将失败	是	是
	i2326 — PCIe：当 MAIN_PLLx 运行在启用 SSC 所必需的分频模式下时，不符合 PCIe REFCLK 抖动限制	是	是
PLL	i2424 — PLL：PLL 编程序列可能会导致 PLL 不稳定	是	是
POK	i2277 — POK：去毛刺 (滤波器) 仅基于两个样本	是	否
PRG	i2253 — PRG：CTRL_MMR_STAT 寄存器是 POK 阈值失效的不可靠指示器	是	是
PSIL	i2137 — 时钟停止操作可能会导致异常行为	是	是
R5FSS	i2161 — R5FSS：在 VIM 模块处于活动状态时调试器无法访问它	是	否
	i2227 — R5FSS：错误中断 CCM_COMPARE_STAT_PULSE_INTR 被错误驱动	是	是
RAT	i2062 — RAT：即使设置了“错误记录禁用”，仍会触发错误中断	是	是
	i2449- R5FSS RAT MMR 不受奇偶校验保护	是	是
RINGACC	i2177 — RINGACC：环形加速器的调试事务跟踪流可能会被某些环形访问序列损坏	是	是
ROM 代码	i2306 — ROM 代码：需要关闭 SERDES 中的内部端接电阻器	是	否
安全	i2103 — 安全模块：针对功能安全错误的 ECC_GRP、ECC_BIT 和 ECC_TYPE 信息错误报告	是	是
SGMII	i2362 — 10-100M SGMII：Marvell PHY 没有忽略前导码字节，而导致链路故障	是	是
STOG	i2123 — STOG：来自从垫片的超时仿真调试写入响应始终返回成功	是	是
	i2126 — STOG：出现两个并发超时或两个并发意外响应时错误计数	是	是
	i2127 — STOG：当写入命令超时发生在目标侧上一次接受相同的周期，源侧写入数据总线挂起	是	是

**表 1-2. 按模块划分的公告 (续)**

模块	公告	受影响的器件修订版本	
		SR 1.0	SR 2.0
UDMA	<a href="#">i2146</a> — UDMA：在实时 TX/RX 寄存器中屏蔽强制清理位字段回读	是	是
	<a href="#">i2320</a> — UDMA、UDMAP：必须返回未分片的描述符和 TR	是	是
UDMAP	<a href="#">i2163</a> — UDMAP：在“事件触发”模式下使用时，ICNT 和/或源地址/目标地址未与 64B 对齐的情况下 UDMA 传输失败	是	是
	<a href="#">i2234</a> — UDMA：如果 ICNT0 小于 64 字节，则 TR15 挂起	是	是
USART	<a href="#">i2310</a> — USART：错误地清除/触发超时中断	是	是
	<a href="#">i2311</a> — USART：虚假 DMA 中断	是	是
USB	<a href="#">i2091</a> — 2.0 PHY 在接收的信号幅值在同一数据包内多次超过静噪阈值时挂起	是	是
	<a href="#">i2134</a> — USB：2.0 合规性接收灵敏度测试限制	是	是
	<a href="#">i2409</a> — USB2 PHY 由于短暂挂起锁定	是	是
xSPI	<a href="#">i2257</a> — xSPI 引导模式冗余映像引导失败	是	否

## 2 命名规则、封装编号法和修订版本标识

### 2.1 器件和开发支持工具命名规则

为了指明产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或 null (无前缀) (例如，DRA821U4TCBALMRQ1

)。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

**X** 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。

**P** 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。

**无** 完全合格的器件芯片的量产版本。

支持工具开发演变流程：

**TMDX** 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

**TMDS** 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件 (X 或者 P) 的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

有关如何读取任何 DRA821 器件完整器件名称的其他信息，请参阅器件特定的数据表 (SRPSP57)。

### 2.2 支持的器件

本文档支持以下器件：

- DRA821

有关所支持器件的参考文档如下：

- Jacinto™ DRA821 汽车处理器数据表 (SPRSP57)

### 2.3 封装编号法和修订版本标识

图 2-1 展示了封装编号法的示例。

表 2-1 列举了器件修订版本代码。

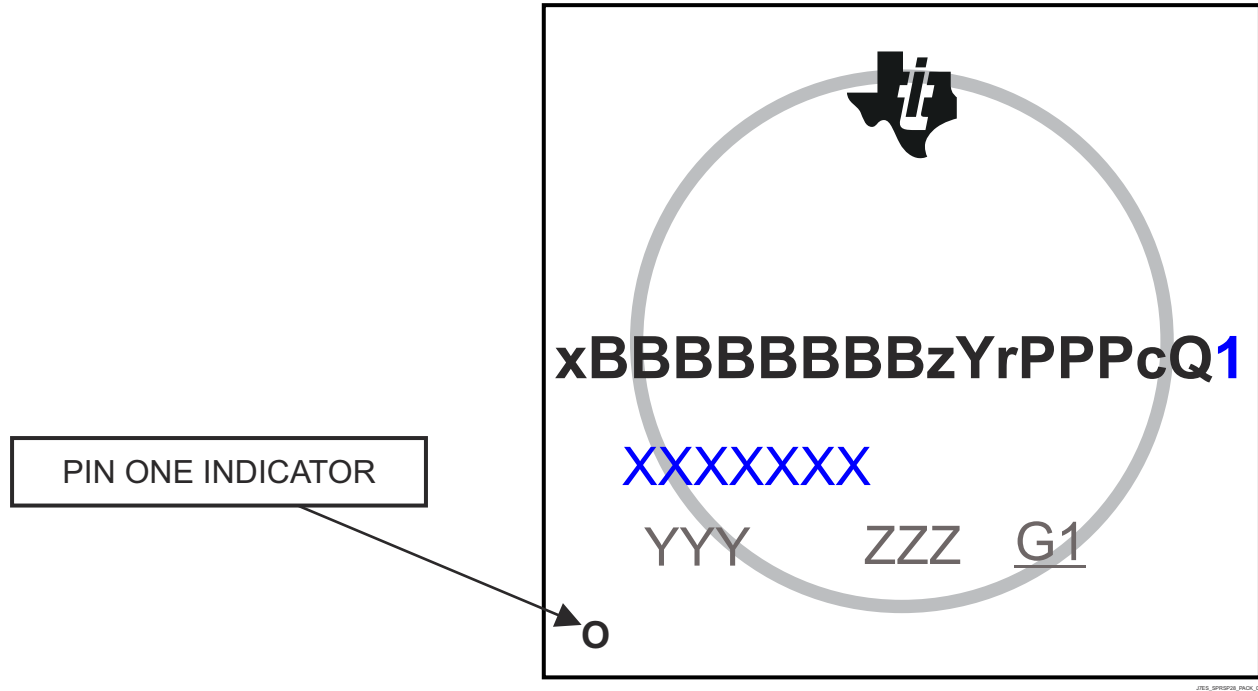


图 2-1. 封装符号

表 2-1. 版本标识

器件修订版本代码	器件修订版本	注释
A 或空白	1.0	
B	2.0	

### 3 器件修订版本 1.0、2.0 使用说明和公告

本节列出了此器件修订版本的使用说明和公告。

#### 3.1 器件修订版本 1.0、2.0 使用说明

此器件修订版本无已知使用说明。

##### **i2330** **DDRSS 寄存器配置工具更新**

###### 详细信息：

DDR 寄存器配置工具根据系统级详细信息提供自定义寄存器设置，例如 DDR 器件的架构（密度、数据宽度、列数）、工作频率以及通过电路板仿真确定的 IO 设置。经过一段时间，可能会对该工具进行更新，以支持新的器件和/或特生，修复该工具中发现的问题，最重要的是，详细解释勘误表中的权变措施或寄存器计算的最新更新，从而提升性能、信号完整性或信号之间的时序关系。

###### 权变措施：

为了确保根据经验教训正确设置参数并降低出现功能故障的风险，应始终使用最新的 DDR 寄存器配置工具生成寄存器值。由于 DDR 寄存器配置工具可以定期更新，因此应查看和评估该工具的修订历史记录，以确定工具更改是否适用于现有系统。如果适用，应适当更新现有系统的配置。可以在 <http://dev.ti.com/sysconfig> 上找到该工具的最新版本，并且对于正在使用的适用器件，选择“Software Product”下拉列表中的“DDR Configuration”。

#### 3.2 器件修订版本 1.0、2.0 公告

##### **i2049** **ECC\_AGGR：由于出现挂起的 ECC 聚合器中断，IP 时钟停止/复位序列可能挂起**

###### 详细信息：

ECC 聚合器模块用于聚合发生的安全错误（这种情况很少见）并产生中断以通知软件。ECC 聚合器通过软件控制安全错误中断的启用/禁用和清除。

当软件对 IP 执行时钟停止/复位序列时，该序列可能无法完成，因为该 IP 关联的 ECC 聚合器实例不是空闲的。ECC 聚合器空闲状态取决于挂起的任何安全错误中断，这些中断要么启用，要么禁用，并且未被软件清除。因此，如果有任何挂起的安全错误中断未被清除，IP 的时钟停止/复位序列可能永远不会完成（挂起）。

受影响的 ECC\_AGGR 可通过技术参考手册 (TRM) 中为其 REV 寄存器（寄存器偏移 0h）列出的值来确定。REV 寄存器在其字段中对 ECC\_AGGR 版本进行编码，如下所示：

v[REVM AJ].[REVM IN].[REVRTL]

v2.1.1 之前的 ECC\_AGGR 版本会受到影响。ECC\_AGGR 版本 V2.1.1 和更高版本不受影响。

受影响的示例：

REVM AJ = 2

REVM IN = 1

REVRTL = 0

上述值会解码为受到影响的 ECC\_AGGR 版本 v2.1.0。

不受影响示例：

REVM AJ = 2

REVM IN = 1

**i2049 (续)      *ECC\_AGGR : 由于出现挂起的 ECC 聚合器中断, IP 时钟停止/复位序列可能挂起***


---

REVRTL = 1

上述值会解码为不受影响的 ECC\_AGGR 版本 V2.1.1。

**权变措施 :**

一般说明 :

功能安全用例中不支持对 ECC 聚合器执行时钟停止。

对于非功能安全用例, 软件应使用以下权变措施 :

1. 为 IP 启用所有 ECC 聚合器中断
2. 处理并清除所有挂起的中断
3. 第 3 步 :
  - a. 禁用 ECC 聚合器的所有中断源, 然后执行时钟停止/复位序列。
  - b. 执行时钟停止/复位序列, 同时继续处理/清除挂起的中断。

由于中断属于外部刺激, 软件为第 3 步提供了两种选项 :

1. 在执行时钟停止/复位序列之前, 禁用所有可以产生挂起 ECC\_AGGR 中断的中断源 (EDC CTRL 校验器)
2. 继续处理/清除发生的挂起中断, 同时执行时钟停止/复位序列。当清除完所有中断除时, 该序列将继续进行。

通常, 软件可能需要检测在整个这一序列期间持续触发的挂起中断 (例如, 在卡滞故障情况下), 并禁用其关联的 EDC CTRL 安全校验器, 使得时钟停止/复位序列可以继续直到完成。

**i2062      *RAT : 即使设置了“错误记录禁用”, 仍会触发错误中断***


---

**详细信息 :**

如果对 RAT 错误记录进行编程以禁用记录并启用中断, 则错误将错误地触发中断, 但错误日志寄存器不会正确更新。错误中断不应产生。

**权变措施 :**

如果禁用 RAT 错误记录, 则错误中断也应由软件禁用。

**i2091      *USB : 2.0 PHY 在接收的信号幅值在同一数据包内多次超过静噪阈值时挂起***


---

**详细信息 :**

USB 2.0 PHY 在接收器上实现一条静噪检测电路, 以确保在总线空闲时噪声不会被视为有效数据。当 DP/DM 差分信号幅值小于静噪阈值时, 静噪电路通过禁用接收器输出来阻止无效数据。

如果在同一数据包内 DP/DM 差分信号幅值在一小段时间内下降至静噪阈值以下并且再次升高到静噪阈值以上, PHY 可能会挂起。如果 DP/DM 差分信号幅值在两个数据包之间的空闲时间内超过静噪阈值, 则不会发生该问题。

**权变措施 :**

通过确保在有效数据传输期间施加到接收器输入的 DP/DM 差分信号幅值保持在静噪阈值以上, 可以避免该问题。

## i2103

### **安全模块：针对功能安全错误的 ECC\_GRP、ECC\_BIT 和 ECC\_TYPE 信息错误报告**

#### 详细信息：

针对功能安全错误，错误状态寄存器中记录的信息 ( ECC\_GRP、ECC\_BIT 和 ECC\_TYPE ) 对于某些安全校验器可能不正确。这仅适用于映射到 ECC\_GRP = 0、15、31、47、63...(N\*16-1) 的安全校验器。对于 DDR 桥/控制器，该问题仅适用于 ECC\_GRP = 0、31、63...(N\*32-1) 的安全校验器。

此问题会影响所有安全模块实例及其子组。请参阅器件 TRM 的“安全模块”一节。

注意：这些安全错误的检测和中断信号不受影响。只有错误状态寄存器中的上述字段的记录会受到影响。

#### 权变措施：

无。对于这些特定的安全校验器，软件仅限于了解是否发生了可纠正或不可纠正的错误以及哪个安全模块实例出现错误 ( 因此知道 IP 模块 )，但不知道哪个确切的安全校验器遇到了错误。

## i2116

### **MSMC：在 NRT 访问结束时设置冲突逻辑阻止 RT 访问等待**

#### 详细信息：

DDR 控制器优先执行对同一页面的写入操作，然后才是读取操作。此外，无论实时属性如何，MSMC 都会为同一组的事务设置冲突。由于这两个事实，同一页面的写入流及随后的同一页面的非实时读取能够有效且无限期阻止实时访问命令。

示例序列：

1. MSMC 向 DDR 控制器发送的 A 页面的写入流
2. MSMC 向 DDR 控制器发送的 A 页面的非实时读取操作
  - 在 1) 中的写入流完成后，此命令将在 DDR 控制器中阻塞
3. 对 2) 中非实时读取操作针对的组进行的实时访问将由于设置冲突在 MSMC 内阻塞

#### 权变措施：

软件应按照对软件的影响从最小到最大的顺序尝试以下权变措施。

1. Cadence DDR 控制器将优先执行对同一页面的写入操作，然后再执行另一页面的读取操作，导致返回读取结果的延迟。尝试将 DDR 控制器 `command_age_count` 从 0x 减小到 0xF，对应于将命令周期计数从 16 个 DDR 刷新周期 (62us) 减少到 1 个刷新周期 (3.9us)。在大多数情况下，此设置解决了问题，但在某些情况下仍存在一些下溢。在这种情况下，软件可能需要第 2 或第 3 种权变措施。
2. 如果可能，设置 ARM MMU 属性，以将 DDR 配置为“正常存储器”而不是“器件存储器”类型。这使得从 ARM 到 DDR 的访问更加高效并有助于缓解问题。这是根据到目前为止的测试结果得出的观测，但可能需要进行更多分析和进一步的系统测试。如果系统中无法实现此权变措施，则软件可能需要权变措施 3)。
3. 如果可能，将实时访问设置为非 IO 一致。对于非虚拟化案例，设置 RT 访问 `ATYPE = 3`；对于 PVU 特定案例，设置 `ATYPE = 1` 和 `MEMTYPE = 0`。这会强制 RT 流量绕过 MSMC 设置冲突逻辑。软件必须执行缓存操作。

## i2123

### **STOG : 来自从垫片的超时仿真调试写入响应始终返回成功**

---

#### **详细信息：**

当垫片刷新事务时，所有响应都应返回并显示超时错误，但在仿真调试写入的情况下，响应会错误地返回并显示成功。

#### **权变措施：**

当出现系统超时/中断时，软件不应假定仿真调试写入成功。

## i2126

### **STOG : 出现两个并发超时或两个并发意外响应时错误计数**

---

#### 详细信息：

当同一周期内存在读取命令和写入命令超时情况时，超时计数器只会递增 1 而不是 2。同样，如果意外读取响应和意外写入响应都在同一周期内到达，则意外响应计数器只会递增 1 而不是 2。

#### 权变措施：

错误计数器主要作为软件调试的补充信息。仅记录一条超时错误命令/事务信息。计数器在计数为 3 时饱和，因此软件应主要关注非零错误计数器值与精确计数器值。同样的方法也应适用于意外响应计数器。注意：刷新垫片会丢弃意外响应。

**i2127** **STOG : 当写入命令超时发生在目标侧上一次接受相同的周期, 源侧写入数据总线挂起****详细信息 :**

如果写入命令在最后一次写入数据阶段在垫片的目标侧接受的同一周期超时, 垫片在源侧将永久停止接受写入数据并且无法正确刷新/自动响应。

用较短超时周期对垫片进行编程, 会导致系统由于超时垫片停止接受写入数据而挂起。

**权变措施 :**

软件应设置足够长的超时周期, 该周期应远远超过可能的最长写入命令突发传输周期。垫片的默认超时周期足够  $3 \times 2^{30}$  个周期。

**i2134** **USB : 2.0 合规性接收灵敏度测试限制****详细信息 :**

按照《USB-IF USB 2.0 电气合规性测试规范》中的规定执行接收灵敏度测试 ( EL\_16 和 EL\_17 ) 可能会引发公告 i2091 中描述的问题。

该问题最初是在使用自动化软件执行这些测试时发现的, 该软件会在发送数据包时增加 USB 信号的振幅。在验证被测器件 (DUT) 在振幅低于 100mV 时否定应答所有数据包并在振幅高于 150mV 时不否定答应任何数据包期间, 该软件一直从低于 100mV 的振幅扫描到高于 150mV 的振幅。但是, 如公告 i2091 中所述, 在发送有效数据包时, 增加振幅超过静噪阈值可能会锁定 PHY。

**权变措施 :**

启用以下两种硬件权变措施。

将 USB\*\_PHY2 区域中的 UTMI\_REG28 寄存器中的 cdr\_eb\_wr\_reset 位 ( 第 7 位 ) 设置为 1'b1。

将 USB\*\_MMR\_MMRVBP\_USBSS\_CMN 区域中的 PHYRST\_CFG 寄存器中的 phyrst\_a\_enable 位 ( 第 0 位 ) 设置为 1'b1。请注意, PHYRST\_CFG 寄存器中的 phyrst\_a\_value ( 第 12:8 位 ) 应保留为默认值 0xE。

**i2137** **PSIL : 时钟停止操作可能会导致异常行为****详细信息 :**

时钟停止接口是一个请求/确认接口, 用于协调正确停止的主时钟和模块之间的握手。如果不首先执行通道清理或清除全局启用位, 而尝试对在模块执行时钟停止, 将导致模块特定的异常行为。

受影响的模块包括 PDMA、SA2UL、以太网交换机、CSI、UDMAP、ICSS 和 CAL。

**权变措施 :**

在尝试进行时钟停止操作之前, 需要使用软件清理所有活动通道 ( 通过 UDMAP 中的 UDMAP “实时” 寄存器或 PSIL 模块中的 PSIL 寄存器 0x408 ), 并且在完成此操作后, 还要清除所有通道的全局启用位 ( 通过 UDMAP 和 PSIL 模块中的 PSIL 寄存器 0x2 ) 。

**i2146** **UDMA : 在实时 TX/RX 寄存器中屏蔽强制清理位字段回读****详细信息 :**

启动强制清理后, 强制清理位字段将不会在实时 TX/RX 寄存器的回读中持续设置。

**权变措施 :**

强制清理操作仅由软件用于干预, 以解决灾难性的系统状况, 因此软件应单独跟踪何时启动强制清理与正常清理, 因而不依赖于强制清理位字段的回读值来获取此信息。

## i2151

### **ADC : 去抖时间控制寄存器**

---

#### 详细信息 :

CTRLMMR\_WKUP\_PADCONFIG76.DEBOUNCE\_SEL 控制 MCU\_ADC0\_AIN0:7 的去抖时间, CTRLMMR\_WKUP\_PADCONFIG84.DEBOUNCE\_SEL 控制 MCU\_ADC1\_AIN0:7 的去抖时间。无论是否使用特定输入 ( 例如 MCU0\_ADC0\_AIN0 或 MCU\_ADC1\_AIN0 ), 这些寄存器都会为相应 ADC 上的所有输入通道设置去抖周期。

#### 权变措施 :

无

## i2157

### **DDR : 为低功耗状态设置唤醒时间时控制器异常**

---

#### 详细信息 :

如果下一个更深功耗状态的唤醒时间为禁用或设置为更低的值, 则 DDR 控制器可能会错误地减少当前低功耗状态的唤醒时间。

#### 权变措施 :

如果通过设置 DDRSS\_CTL\_139[29-24] LPI\_WAKEUP\_EN 位字段中的一个位来启用特定的低功耗状态, 则还必须启用所有更深的功耗状态位。从位 0 到 4, 低功耗状态的深度随着位编号增大而增加。例如, 如果设置了位 0, 则还必须设置包括位 1 到 4 的所有位。同样, 如果设置了位 2, 也必须设置位 3 和位 4。

此外, 必须按递增顺序对以下唤醒值进行编程 :

1. 和 LPI\_WAKEUP\_EN[0] 相关的 LPI\_CTRL\_IDLE\_WAKEUP\_FN -> 值应小于以下所有字段
2. 和 LPI\_WAKEUP\_EN[1] 相关的 LPI\_PD\_WAKEUP\_FN -> 值应小于以下所有字段
3. LPI\_SR\_SHORT\_WAKEUP\_FN、LPI\_SR\_LONG\_WAKEUP\_FN、LPI\_SRPD\_SHORT\_WAKEUP\_FN 以及和 LPI\_WAKEUP\_EN[2] 相关的 LPI\_SRPD\_LONG\_WAKEUP\_FN -> 值应小于以下所有字段
4. LPI\_SR\_LONG\_MCCLK\_GATE\_WAKEUP\_FN、和 LPI\_WAKEUP\_EN[3] 相关的 LPI\_SRPD\_LONG\_MCCLK\_GATE\_WAKEUP\_FN -> 值应小于以下所有字段
5. 和 LPI\_WAKEUP\_EN[4] 相关的 LPI\_TIMER\_WAKEUP\_FN -> 最高值,

其中, 对于不同的频率设定点, FN = F0、F1 和 F2。

## i2159

### **DDR : 必须在 LPDDR4 CBT 期间使用 VRCG 高电流模式**

---

#### 详细信息 :

DDR PHY 会在 LPDDR4 命令总线训练 (CBT) 期间更新命令/地址总线的 VREFca。LPDDR4 模式寄存器 13 (MR13) 中的位 3 定义 LPDDR4 器件内的 VRef 电流发生器 (VRCG) 模式。如果该位设置为 0, 则 VREFca 趋稳时间过长, 后续操作无法正常工作。为确保 CBT 正常运行, 在 CBT 期间必须将 MR13 中的位 3 设置为 1 ( VRef 快速响应高电流模式 )。

#### 权变措施 :

为确保正常运行, 应在命令总线训练 (CBT) 和写入 DQ VRef 训练期间启用 VRef 快速响应高电流模式。可通过将以下字段设置为 1 来实现 :

对于片选 0 : DDRSS\_PI\_259 寄存器中的 PI\_MR13\_DATA\_0[3]

对于片选 1 : DDRSS\_PI\_261 寄存器中的 PI\_MR13\_DATA\_1[3]

对于片选 2 : DDRSS\_PI\_263 寄存器中的 PI\_MR13\_DATA\_2[3]

对于片选 3 : DDRSS\_PI\_265 寄存器中的 PI\_MR13\_DATA\_3[3]

**i2160****DDR : 必须在 LPDDR4 命令总线训练期间定义有效 VRef 范围**

---

**详细信息 :**

DDR PHY 会在 LPDDR4 命令总线训练 (CBT) 期间更新命令/地址总线的 VREF (ca)。如果 VREF (ca) 搜索范围设置为无效值，因而在 CBT 期间无法找到工作设置，则培训过程可能失败或挂起。

**权变措施 :**

在启用 CBT 之前，将以下字段设置为已知的有效工作值。

对于频率集 0 : PI\_CALVL\_VREF\_INITIAL\_START\_POINT\_F0 和  
PI\_CALVL\_VREF\_INITIAL\_STOP\_POINT\_F0

对于频率集 1 : PI\_CALVL\_VREF\_INITIAL\_START\_POINT\_F1 和  
PI\_CALVL\_VREF\_INITIAL\_STOP\_POINT\_F1

对于频率集 2 : PI\_CALVL\_VREF\_INITIAL\_START\_POINT\_F2 和  
PI\_CALVL\_VREF\_INITIAL\_STOP\_POINT\_F2

建议使用标称 VRef 值 ( 基于处理器上驱动强度的器件编程和存储器终端 ) +/- 4%。请使用 <http://dev.ti.com/sysconfig> 上的在线 DDR 寄存器配置工具对这些寄存器进行编程并检查修订历史记录，以确保所使用的工具版本已采用此权变措施。

**i2161****R5FSS : 在 VIM 模块处于活动状态时调试器无法访问它**

---

**详细信息 :**

此问题影响 R5FSS 内的向量中断模块 (VIM)。VIM 中有一些寄存器，可在被读取时更改 IP 状态 ( 例如 VIM\_IRQVEC )。预期行为是只有功能性读取才应导致状态变化。对这些寄存器进行调试读取 ( 由 CCS 等 TI 调试工具生成 ) 应使状态保持不变。当前存在一个问题，即 VIM 用同样的方式处理调试寄存器读取和功能寄存器读取。这可能会导致调试操作 ( 例如在 CCS 中打开 VIM 寄存器存储器窗口 ) 无意中更改 VIM IP 的状态，从而使调试无效。

**权变措施 :**

此问题没有权变措施。用户应在调试期间应避免访问 VIM 寄存器。

## i2163

**UDMAP : 在“事件触发”模式下使用时, ICNT 和/或源地址/目标地址未与 64B 对齐的情况下 UDMA 传输失败**

### 详细信息 :

#### 备注

以下说明以 C7x DSP 内核为例, 但适用于任何可对 UDMA 进行编程的其他处理内核。

对于 C6x/C7x 上的 DSP 算法处理, 软件通常使用 NavSS 中的 UDMA 或 MSMC 中的 DRU。许多情况下, 使用 UDMA 而非 DRU, 因为 DRU 通道在许多用例中保留用于 C7x/MMA 深度学习操作。在典型的 DSP 算法处理中, 数据通过 DMA 逐块传输到 L2 存储器进行 DSP, 而 DSP 对 L2 存储器中的数据执行操作而不是 (通过高速缓存) 从 DDR 运行。此操作的典型 DMA 设置和事件触发如下所示; 在以下示例中, 这被称为“2 维触发等待”。

对于每个“帧”:

1. 设置 TR (通常为 3 或 4 维 TR)。
  - a. 设置 TYPE = 4D\_BLOCK\_MOVE\_REPACKING\_INDIRECTION
  - b. 设置 EVENT\_SIZE = ICNT2\_DEC
  - c. 设置 TRIGGER0 = GLOBAL0
  - d. 设置 TRIGGER0\_TYPE = ICNT2\_DEC
  - e. 设置 TRIGGER1 = NONE
  - f. ICNT0 x ICNT1 为块宽度 x 块高度
  - g. ICNT2 = 块数
  - h. ICNT3 = 1
  - i. src addr = DDR
  - j. dst addr = C6x L2 存储器
2. 提交此 TR
  - a. 该 TR 在 GLOBAL TRIGGER0 上启动传输并传输 ICNT0xICNT1 个字节, 然后引发事件
3. 对于每个块, 执行以下操作:
  - a. 通过设置 GLOBAL TRIGGER0 触发 DMA
  - b. 等待指示块已传输的事件
  - c. 执行 DSP 处理

该序列是简化的序列; 在实际算法中, 可以有多个通道以“乒乓”方式执行 DDR 到 L2 或 L2 DDR 传输, 使得 DSP 处理和 DMA 并行运行。在通道 OES 寄存器中对事件本身进行了适当的编程, 并使用 UDMA 的 IA 中的空闲位来完成事件状态检查。

当满足以下条件时, 第一个触发器不会收到步骤 3.2 中的事件:

- 条件 1: ICNT0xICNT1 不是 64 的倍数。
- 条件 2: src 或 dst 不是 64 的倍数。
- 条件 3: ICNT0xICNT1 不是 64 的倍数, 源地址/目标地址不是 64 的倍数

如果 ICNT0xICNT1 和源地址/目标地址是 16B 或 32B 的倍数, 也存在相同的问题, 即未收到事件。只有和 64B 对齐才有效。

令其有效的条件:

- 如果 ICNT0xICNT1 是 64 的倍数, 并且源地址/目标地址是 64 的倍数, 则测试用例通过。

**i2163 (续)**

**UDMAP** : 在“事件触发”模式下使用时, ICNT 和/或源地址/目标地址未与 64B 对齐的情况下 UDMA 传输失败

- 如果使用 DRU 而不是 UDMA, 则测试通过。必须通过 UDMA DRU 外部通道将 TR 提交至 DRU。使用 DRU 并且 ICNT 和源地址/目标地址未对齐的情况下, 用户可以正常地触发和收到事件, 前提是对 TR 进行编程, 使得一个帧中的事件数量和触发次数为 1, 即在上述情况下 ICNT2 = 1 或者 EVENT\_SIZE = COMPLETION 且触发器为无。然后, 完成事件正常发生。在相关用例中使用是不可行的。

上面是“2 维触发和等待”的示例, “1 维触发和等待”和“3 维触发和等待”的约束条件相同:

- 对于“1 维触发和等待”, ICNT0 必须是 64 的倍数
- 对于“3 维触发和等待”, ICNT0xICNT1xICNT2 必须是 64 的倍数

**权变措施:**

在 TR 中为 UDMAP 设置 EOL 标志, 如以下示例所示:

- 1 维触发和等待
  - TR.FLAGS |= CSL\_FMK ( UDMAP\_TR\_FLAGS\_EOL、CSL\_UDMAP\_TR\_FLAGS\_EOL\_ICNT0 );
- 2 维触发和等待
  - TR.FLAGS |= CSL\_FMK ( UDMAP\_TR\_FLAGS\_EOL、CSL\_UDMAP\_TR\_FLAGS\_EOL\_ICNT0\_ICNT1 );
- 3 维触发和等待
  - TR.FLAGS |= CSL\_FMK(UDMAP\_TR\_FLAGS\_EOL,CSL\_UDMAP\_TR\_FLAGS\_EOL\_ICNT0\_ICNT1\_ICNT2);

此权变措施不会影响性能。

**i2166**

**DDR** : 进入和退出深度睡眠低功耗状态可能会导致 PHY 内部时钟失准

**详细信息:**

当 DDR PHY 进入深度睡眠低功耗状态时, 在禁用和关断 PHY PLL 之前会有延迟。如果在 PHY PLL 禁用之前退出深度睡眠模式, PHY 内部时钟可能彼此错位, 导致 PHY 内部出现时序故障。

**权变措施:**

如果通过向 DENALI\_CTL\_132 寄存器中的 LP\_CMD 写入来使用软件启动的低功耗模式, 则确保已确认进入低功耗模式时至少等待 160 个 DDR 时钟周期, 然后再请求退出低功耗模式。另一个选项是采用以下权变措施。

如果使用 PSC 禁用 DDR 接口, 则确保在已确认禁用 DDR 接口后至少等待 160 个 DDR 时钟周期, 然后再发送启用该接口的请求。另一个选项是采用以下权变措施。

如果通过 DENALI\_CTL\_141 寄存器中的 LP\_AUTO\_ENTRY\_EN 使用控制器的自动低功耗进入/退出机制, 则采用以下权变措施。

权变措施: 确保 DDR PHY 没有进入深度睡眠低功耗状态。

通过将 DENALI\_PHY\_1318 寄存器中的 PHY\_LP\_WAKEUP[3:0] 的值编程为大于 DDR 控制器寄存器中所有以下阈值的值来确保这一点。

LPI\_CTRL\_IDLE\_WAKEUP\_FN、LPI\_PD\_WAKEUP\_FN、  
LPI\_SR\_SHORT\_WAKEUP\_FN、LPI\_SR\_LONG\_WAKEUP\_FN、  
LPI\_SRPD\_SHORT\_WAKEUP\_FN、LPI\_SRPD\_LONG\_WAKEUP\_FN、

**i2166 (续)**

**DDR : 进入和退出深度睡眠低功耗状态可能会导致 PHY 内部时钟失准**

---

LPI\_SR\_LONG\_MCCLK\_GATE\_WAKEUP\_FN、  
LPI\_SRPD\_LONG\_MCCLK\_GATE\_WAKEUP\_FN 和 LPI\_TIMER\_WAKEUP\_FN

其中，对于不同的频率设定点，FN = F0、F1 和 F2。

**i2177**

**RINGACC : 环形加速器的调试事务跟踪流可能会被某些环形访问序列损坏**

---

**详细信息 :**

通过调试器直接访问其内存空间并且能够将其事务的跟踪流导出到 cptracer 网络，环形加速器可以实现硬件辅助调试。通常，使用基于 JTAG 的调试器来启用、收集和分析该调试信息，该调试器通过 SOC 调试结构与环形加速器连接。存在一个勘误表，这可能导致环形调试跟踪信息损坏或挂起。此失效可由正常的环形窥视操作触发，或者如果调试器用于启动环形弹出操作，也可以触发。此勘误表的损坏签名是在跟踪中被错误地报告为弹出操作的窥视操作。此外，在非环形模式（消息或凭据）期间，正常的环形弹出操作可能会导致跟踪的空字段中出现错误信息，或者调试弹出操作可能会导致目标地址不正确。

**权变措施 :**

要使用环形加速器的硬件跟踪功能进行开发，代码应避免使用环形窥视操作和调试器启动的弹出操作。

**i2182**

**DDR : 使用 row-cs-bank-col 地址映射时不支持双列非 2 的幂次方密度**

---

**详细信息 :**

DDR 控制器不支持使用 row-cs-bank-col 地址映射的双列非 2 的幂次方密度的 LPDDR4 器件。

请注意，上述情况不适用于单列非 2 的幂次方密度器件以及所有 2 的幂次方密度器件。

**权变措施 :**

对双列非 2 的幂次方密度 LPDDR4 器件使用 cs-row-bank-col 地址映射。要确保选择 cs-row-bank-col 地址映射，Cadence 控制器寄存器中的 cs\_lower\_addr\_en 字段必须设置为 0。

**i2183**

**PCIe : 未使用的通道未分配给 PCIe 控制器时，链路建立失败**

---

**详细信息 :**

如果将 PCIe 未使用的 SERDES 通道分配给另一个协议，则 PCIe 无法建立链路。例如，如果通道 2 和 3 分配给另一个协议，而通道 0 和 1 用于 PCIe 以形成双通道链路，则链路训练失败。这种失败是由于指示电气空闲的内部状态信号的不正确连接所致。

当通道未分配给 PCIe 时，从 SERDES 传输到 PCIe 控制器的状态信号会连接。指示电气空闲的信号错误地连接至指示非空闲的状态。因此，PCIe 会认为未使用的通道退出电气空闲状态，这会导致 LTSSM 退出 Detect.Quiet 状态，而没有等待 12ms 超时发生。如果在 Detect.Active 状态下的第一次接收器检测尝试时未检测到接收器，则 LTSSM 会返回 Detect.Quiet 状态，然后再次进入 Detect.Active 状态，而没有等待 PCIe 基本规范的要求的 12ms。由于忽略了 Detect.Quiet 中的等待时间，因此会连续执行多个接收器检测操作，没有留出时间让发送线路上的电容放电。即使接收器最终连接上，这也会导致后续的接收器检测始终失败。

**i2183 (续)****PCIe : 未使用的通道未分配给 PCIe 控制器时, 链路建立失败**

---

**权变措施 :**

使用 PCIE\_CORE\_LM\_I\_PL\_CONFIG\_2\_REG 寄存器中的 DQMDC 字段为 Detect.Quiet 状态启用 2ms 最短等待时间。这将导致 LTSSM 在 Detect.Quiet 状态下等待至少 2ms。这为发送线路上的电容在连续接收器检测操作之间放电留出了足够的时间。

**i2184****CPSW : IET 快速流量监管问题**

---

**详细信息 :**

这适用于 9 端口 CPSW、5 端口 CPSW、3 端口 CPSW 和 2 端口 CPSW IET 流量。

在 IET ( 穿插快速流量 ) 中, 如果被抢占的数据包被快速数据包中断, 则可能会发生以下两种情况 :

1. 如果对快速流量进行了监管, 则被抢占数据包的帧大小将应用于快速流量策略器。假设策略器设置为对快速流量流进行速率调度, 则么它将接收它中断的被抢占数据包大小的命中。被抢占数据包还接收快速流量策略器状态。因此, 由于快速流量策略器, 被抢占数据包可能会与其他快速流量一同丢弃。
2. 如果未对快速流量执行监管, 则中断的抢占数据包将不会使其数据包大小应用于被抢占策略器。

**权变措施 :**

请勿监管 IET 快速流量。

**i2185****CPSW : 策略器颜色标记问题**

---

**详细信息 :**

仅适用于 CPSW9G 和 CPSW5G。

当来自两个不同端口的数据包命中同一策略器, 使一个端口具有大数据包, 另一个端口具有短数据包, 并且短数据包恰好在大数据包启动后到达时, 短数据包将停止备货计数, 从而可能在该策略器的下一个帧应为绿色时将其标记为黄色。由于策略器通常设置为不弃用黄色, 因此不应引起问题。只有在数据包到达共享相同策略器索引的不同端口时, 才会出现这种情况。

**权变措施 :**

确保策略器对端口是唯一的。

**i2186****DDR : LPDDR4 应配置为 2666MT/S**

---

**详细信息 :**

预量产器件不支持 LP4-3200。正在进行表征, 以确定支持的 LPDDR4 最大数据速率。

**权变措施 :**

建议将 LP4-2666 用于软件开发。

**i2187****MSMC : 将高速缓存大小调整为 0 会刷新标记, 而不是更新标记**

---

**详细信息 :**

对于之前在 MSMC 的 L3\$ (DDR) 中缓存了脏数据的行, 将 MSMC L3\$ 大小从非零更改为零、然后再改回非零时, 会发生数据损坏 (MSMC 返回全 0)。MSMC 复位释放后直接进行的 0->N 配置不受该问题的影响。

## i2187 (续)

### **MSMC : 将高速缓存大小调整为 0 会刷新标记, 而不是更新标记**

---

MSMC 内部高速缓存调整大小事务始终标记为 *非分配性* 缺失。标记仅使用 *分配性* 缺失和命中的新值进行更新。这会导致高速缓存调整大小操作, 使标记保持不变, 同时将底层数据清零。

当更改 L3 高速缓存大小但数据被置为零时, 所有现有标签都保留在 MSMC 中, 因此后续读取这些先前缓存的行时, 数据将返回全 0。

#### 权变措施:

在 L3 高速缓存的大小从 N 调整为 0 之后, 重置 MSMC, 然后再将 L3 的大小从 0 调整为 X。此权变措施会保留数据, 因为 L3 高速缓存大小 N -> 0 转换会强制数据进入 DDR, 从而允许 DDR (在自刷新模式下) 包含有效数据。

## i2189

### **OSPI : 控制器 PHY 调优算法**

---

#### 详细信息:

启用 PHY 模块后, OSPI 控制器使用 DQS 信号对数据进行采样。但是, 该模块中存在一个问题, 要求这种采样必须在内部时钟定义的窗口内进行。读取操作会受到外部延迟的影响, 该外部延迟会随温度变化而变化。要确保在任何温度下都能有效读取, 必须实施一种特殊调优算法来选择最稳健的 TX、RX 和读取延迟值。

#### 权变措施:

此错误的权变措施在 [SPRACT2](#) 中进行了详细介绍。要在某些 PVT 条件下对数据进行采样, 必须调高读取延迟字段, 以改变内部时钟采样窗口。这样就可以在数据眼图内的任何位置对数据进行采样。但是, 这会带来以下副作用:

1. 必须为所有读取操作启用 PHY 流水线模式。由于必须要对写入操作禁用 PHY 流水线模式, 因此读取和写入操作必须分开进行。
2. 当权变措施实施后, BUSY 位的硬件轮询中断, 因此必须改用软件轮询。写入必须在页边界内通过 DMA 访问进行, 以防主机或闪存器件发起的中断。软件必须在页写入操作间隙轮询 BUSY 位。或者, 在启用硬件轮询时, 写入可以在非 PHY 模式下执行。
3. STIG 读取必须填充额外的字节, 并且接收到的数据必须右移。

## i2196

### **IA : IA 中可能出现的死锁情况**

---

#### 详细信息:

中断聚合器 (IA) 的一个主要功能是转换到达事件传输通道 (ETL) 总线的事件, 它可以将事件转换为用于产生电平中断的中断状态位。在 IA 1.0 版中执行此功能的块称为状态事件块。

除了状态事件块外, 还有另外两个主处理块: 多播事件块和计数事件块。多播块实际上用作事件分离器。对于它接收的每个事件, 多播块都可以生成两个输出事件。计数事件块用于将高频事件转换为可读计数。它对输入事件进行计数, 并在计数从 0 转换到非零计数值/从非零读数值转换到 0 时生成输出事件。与状态事件块不同, 多播和计数事件块生成输出 ETL 事件, 然后将这些事件映射到其他处理块。

在设计后, 发现了一个可能导致 IA 死锁的问题。当事件“循环”在这三个处理块之间发生时, 就会出现该问题。有可能出现一种情况: 由于路径阻塞, 处理块无法输出事件, 并且由于它无法输出事件, 因此不能接收任何新的输入事件。无法接受输入事件这种情况会阻止输出路径展开, 因此两条路径都被阻塞阻止。

**i2196 (续)**

**IA : IA 中可能出现的死锁情况**

**权变措施:**

图 3-1 展示了 IA 1.0 的概念方框图。通过采用不允许计数事件块向多播块发送事件的策略，可以避免可能出现的循环。选择此方法是因为更常见的做法是先拆分一个事件，然后对其中一个事件进行计数，同时将另一个事件发送到其他位置。由于该路径由于约定被阻塞，单个事件无法多次访问任何块，因此只要输出保持未阻塞状态，路径就无法被阻塞。

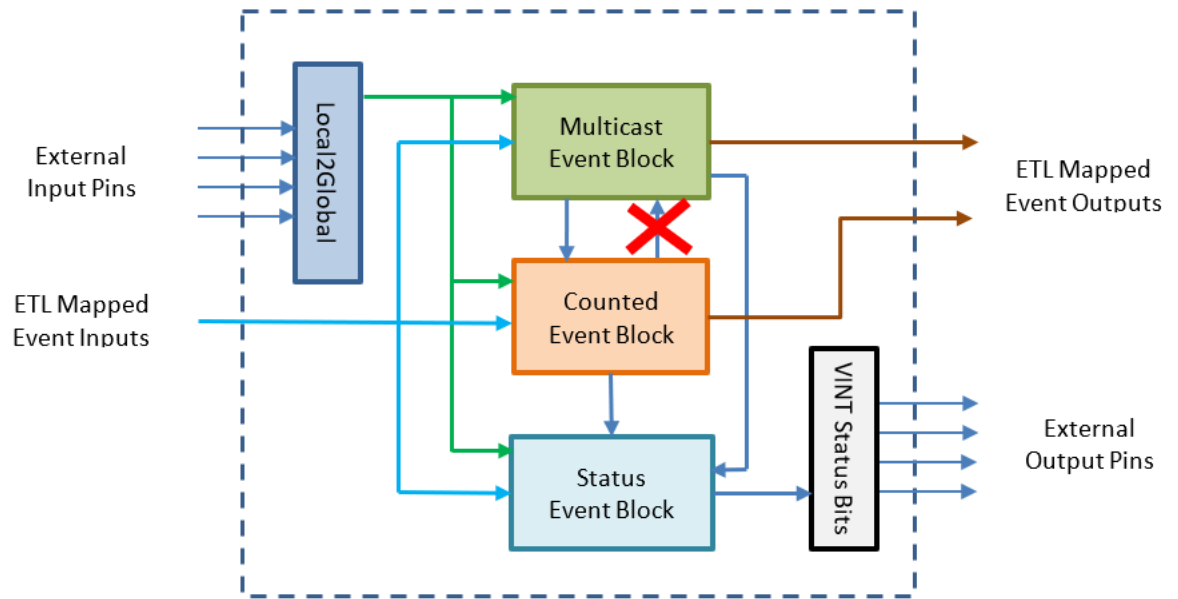


图 3-1. 中断聚合器 1.0 版

通过遵循此处概述的约定，系统不会出现可能产生死锁情况的危险循环。

**i2197**

**I3C : 不支持从模式**

**详细信息:**

I3C 从模式不可用。只应使用单主总线上的主角色。

**权变措施:**

无。只应使用单主总线上的主角色。

**i2201**

**MSMC : bytcount 上的错误奇偶校验检测**

**详细信息:**

用于检查从导航器子系统到 MSMC 的事务的字节使能奇偶校验的信号连接不正确，这会导致在 MSMC 边界和整个 DDR 路径上出现错误的奇偶校验指示。为了避免这些误报错，必须禁用整个 ECC 聚合器，这也会禁用对许多其他（潜在有效）错误和安全覆盖丧失的检测。

**权变措施:**

必须禁用 COMPUTE\_CLUSTER0\_MSMC\_ECC\_AGGR0。没有直接方法可以重现这些机制提供的诊断覆盖率。可以实施高级系统诊断来减轻覆盖范围损失，但这种方法将特定于应用。

## i2205

### ***IBC : 在某些情况下, 待处理 IBI 期间获取的命令未被正确处理***

---

#### 详细信息:

在目标启动的 IBI 地址字节接收期间, 主机执行的写入命令可能会导致控制器不正确执行命令, 包括错误的帧生成。

#### 权变措施:

主机必须通过在向控制器发送命令之前发送广播 DISEC CCC 来禁用 IBI。

## i2207

### ***CBASS : 命令仲裁阻塞***

---

#### 详细信息:

当互连仲裁来自多个源的命令时, 优先级较高的请求始终优先。优先级相同的请求将以轮询方式进行仲裁。问题在于, 在优先级较高的请求变为空闲状态并且有两个或多个优先级相同的待处理请求后, 硬件会任意选择其中一个请求。当软件从多个源轮询到同一端点时, 可能会出现一个潜在问题: 在为高优先级源提供服务后, 硬件可能会重复选择相同的低优先级源进行访问。这意味着其他相同优先级较低请求可能会被长时间阻止, 在最坏的情况下, 如果轮询序列之间存在依赖关系, 软件可能会运行进入活锁状态。

此问题仅影响某些互连, 其中一个交换机模块中至少有三个源可以同时访问同一目标。另请注意, 当所有请求都处于相同优先级时, 该问题不适用。

#### 权变措施:

当多个源同时从同一端点轮询并且根据读取的数据存在预期依赖关系时, 请确保所有源都以相同的优先级发送读取命令。中断依赖关系的源应具有与其他依赖源相同或更高的优先级。

## i2208

### ***CPSW : ALE IET 高速数据包丢失***

---

#### 详细信息:

此问题影响以下模块:

[J7VCL] 2.5G 5 端口 CPSW, 端口 2-4

ALE 出现问题的原因是简短高速流量和抢占数据包的 CPSW 频率和 IET 操作, 在不支持 10G 的端口上这些数据包在 60-69 个字节之间被抢占。

如果 IET 抢占数据包在 60-69 个字节处中断, 则在下一个块到达时进行查找。CPSW 仅提供可抢占 MAC 中的 ALE 64 个字节。

因此, 简短高速流量查找将在 64 字节高速流量结束时开始, 但当抢占队列继续时, 抢占队列将完成 64 个字节的流量并尝试查找抢占数据包。然而, 从高速查找开始, 该查找操作少于 64 个时钟, 因此高速查找将中止 (高速流量丢失) 并开始新的查找以获取抢占流量。

引发此问题的规则:

1. 您在不支持 5/10G 操作的端口上处于 IET (穿插快速流量) 模式
2. 远程高速数据包可以是小至 60 个字节的抢占数据包
3. 抢占 128 字节或更多字节的数据包流量。
4. 中断 60-69 个字节的抢占流量的高速流量。
5. 一个简短高速流量, 然后继续是抢占流量。
  - a. 高速帧与抢占帧之间的间隔是最小的。
6. CPSW 频率在所需速度下处于最低等级性能。

#### 权变措施:

在 IET 协商过程中, 指示远程器件在 128 字节处分段。

**i2209** **DCC : 时钟选择不正确**
**详细信息 :**

MCU DCC 上的时钟连接不正确，导致无法选择 HFOSC1 时钟进行比较。MCU 岛上的 DCC ( 使用由 HFOSC0 运行 ) 的主要目的是与 HFOSC1 提供的独立时钟源进行比较。

**权变措施 :**

提供有用于比较的其他时钟源 ( 包括内部振荡器 )，但精度较低。此外，还应更加注意外部看门狗机制，以便通过检查可用性是否丧失来间接检查时钟是否按预期工作。

**i2216** **I3C : 在从器件启动的 IBI 地址字节接收期间，命令执行可能失败**
**详细信息 :**

如果在从器件启动的 IBI 地址字节接收期间写入命令，则向 I3C 控制器发送的 SoC 主机命令可能会导致控制器错误执行命令，包括生成错误的帧。

在这种情况下，命令响应队列中错误地填充了响应。此外，如果接收到的 IBI 没有有效载荷并得到主器件的确认，则从器件获取的命令会导致通过总线发出错误帧。

**权变措施 :**

主机需要在向控制器发送命令之前发送广播 DISEC CCC 来禁用 IBI。

**i2217** **通过 MCU\_BOOTMODE[09:08] 配置的建议 POST 选择**
**详细信息 :**

MCU\_BOOTMODE[09:08] 引脚可用于配置加电自检 (POST) 运行模式。

MCU\_BOOTMODE[09:08] 的影响取决于内部电子保险丝覆盖控制的 TI 出厂设置。TRM 中定义的选项包括：

POST Config Pins		POST Sequence
MCU 9	MCU 8	
0	0	DMSC LBIST followed by MCU LBIST followed by PBIST <sup>(2)</sup>
0	1	DMSC LBIST and MCU LBIST in parallel followed by PBIST <sup>(2)</sup>
1	0	Reserved <sup>(2)</sup>
1	1	POST bypass <sup>(1)</sup>

如“权变措施”一节中所述，建议的 MCU\_BOOTMODE[09:08] 设置取决于器件类型。

器件类型由器件型号 Y/器件类型指示符标识，详见 SoC 数据手册第 10 章。下图对此进行了说明：

i2217 (续)

通过 MCU\_BOOTMODE[09:08] 配置的建议 POST 选择

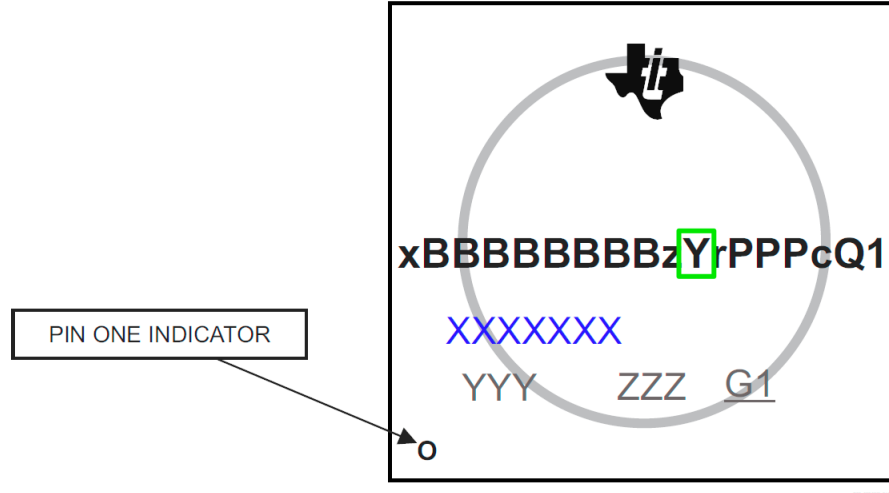


Figure 10-1. Printed Device Reference

权变措施：

对于器件类型 = C、5、D

- MCU\_BOOTMODE[09:08] 引脚为“不用考虑” - 通过电子保险丝覆盖
- 出厂电子保险丝 post\_enable = 1
  - SoC 将运行 POST 序列“DMSC LBIST 和 MCU LBIST 并行运行，然后运行 PBIST”，运行时间约为 20ms。
- TI 建议将 MCU\_BOOTMODE[09:08] 设置为“01”，以确保与未来器件兼容。

对于器件类型 = G、0

- MCU\_BOOTMODE[09:08] 必须设置为“11”，以运行“POST 旁路”。

i2221

CC：侵入式和非侵入式调试使能设置被 MCU\_RESEZz 复位

详细信息：

在将 MCU\_RESEZz 置为有效后，CTRLMMR\_MCUSEC\_CLSTR0\_CORE[1:0]\_DBG\_CFG 寄存器错误地复位为默认值。只应在 PORz 置为有效时复位这些寄存器。因此，在 MCU\_RESEZz 置为有效时，软件对此寄存器所做的任何影响侵入式和非侵入式调试操作的更改都将被覆盖。

权变措施：

MCU\_RESEZz 置为有效后，软件应对 CTRLMMR\_MCUSEC\_CLSTR0\_CORE[1:0]\_DBG\_CFG 寄存器重新编程。

i2222

计算群集：A72 Corepac 无法断电

详细信息：

如果在 DebugSS LPSC 关闭时软件请求 A72 Corepac 断电，则断电握手可能会挂起。当 DebugSS LPSC 关闭时，MSMC 封装模块的调试块的时钟关断，并且根据该调试块中 A72 相关调试组件的初始状态，A72 的 LPSC 可能永远不会收到 disable\_ack。

权变措施：

在启动 A72 Corepac 断电序列之前，软件需要确保 DebugSS LPSC 已开启。这将启用 MSMC 封装模块的调试块的时钟，并确保 A72 断电握手完成。

**i2227****R5FSS : 错误中断 CCM\_COMPARE\_STAT\_PULSE\_INTR 被错误驱动**

---

**详细信息**

当器件上的模块为节能而被功能禁用/隔离时，器件的任何输出都需要保持在固定值，以避免任何下游系统问题。

当 R5FSS 被隔离/禁用时，来自 R5FSS 的错误中断

CCM\_COMPARE\_STAT\_PULSE\_INTR 被错误地驱动为高电平有效值。如果在错误信令模块 (ESM) 中启用了检测逻辑，则这种情况将记录为器件中发生错误。默认情况下，禁用检测逻辑。

**权变措施**

在 R5FSS 模块处于功能激活状态之前，请勿启用对该错误的 ESM 检测。在禁用 R5FSS 模块之前禁用对该错误的 ESM 检测。

**i2228****JTAG : 如果 TRSTn 器件引脚从未置为有效，则调试器使用的 TAP 可能无法访问**

---

**详细信息**

如果从未观察到 TRSTn 为低电平，则未初始化逻辑可能会阻止访问嵌入式调试器扫描链。JTAG 旁路和边界扫描功能不受影响。

**权变措施**

在连接调试器之前，确保 TRSTn 引脚在 100ns 内置为低电平，然后在器件上电后至少一次置为高电平无效。

## i2232

### DDR：控制器在频率更改后推迟刷新超过允许的次数

#### 详细信息

当从较高的时钟频率动态切换到较低的时钟频率时，控制刷新命令推迟的滚动窗口计数器未正确加载，以适应较低的时钟频率。这将导致控制器推迟的刷新命令超过 DRAM 规范所允许的次数，从而违反 DRAM 的刷新要求。

#### 权变措施

权变措施 1：通过编程 `DFS_ENABLE = 0` 来禁用动态频率更改

权变措施 2：如果切换频率，则根据下面列出的伪代码对寄存器字段值进行编程。请注意，控制器要求在触发初始化之前对 `AREF_*_THRESHOLD` 值进行编程。在初始化后的任务模式中不能更改它们的值。因此，这些参数的值必须是计划使用的每次频率更改过渡所需的所有值中的最小值。

```

if (old_freq/new_freq >= 7){
    if (PBR_EN==1) { // Per-bank refresh is enabled
        AREF_HIGH_THRESHOLD = 19
        AREF_NORM_THRESHOLD = 18
        AREF_PBR_CONT_EN_THRESHOLD = 17
        AREF_CMD_MAX_PER_TREF = 8
    }
    else { // Per-bank refresh is disabled
        AREF_HIGH_THRESHOLD = 18
        AREF_NORM_THRESHOLD = 17
        // AREF_PBR_CONT_EN_THRESHOLD <=== don't care, PBR not enabled
        AREF_CMD_MAX_PER_TREF = 8
    }
}
else {
    AREF_HIGH_THRESHOLD = 21
    AREF_NORM_THRESHOLD //<=== keep AREF_NORM_THRESHOLD < AREF_HIGH_THRESHOLD
    AREF_CMD_MAX_PER_TREF = 8
    if (PBR_EN==1) { // Per-bank refresh is enabled
        //keep AREF_PBR_CONT_EN_THRESHOLD<AREF_NORM_THRESHOLD<AREF_HIGH_THRESHOLD
        AREF_PBR_CONT_EN_THRESHOLD
    }
}

```

**i2233*****DMADVR : MAIN 域和 MCU 域之间出现链路/link\_safer 同步问题***

---

**详细信息**

在不同 DMA 流式域 ( 主域和 MCU 域 ) 之间对 PSIL 链路信号进行奇偶校验时出现连接错误。在链路状态转换期间 ( 例如, 链路因为端点复位而断开 ), 关联的奇偶校验器可以标记错误的奇偶校验错误。指定的校验器在正常运行期间无法禁用, 或者可能会未检测到其他错误。

**权变措施**

应用程序必须选择禁用校验器并面临未检测到错误的风险, 或者在已知域电源转换期间检查所有报告的错误, 并忽略由 PSIL 链路信号引起的错误。

**i2234*****UDMA : 如果 ICNT0 小于 64 字节, 则 TR15 挂起***

---

**详细信息**

UDMA 始终尝试发送事务的突发大小。如果实际 ICNT0 小于最小突发大小 64, 则 UDMA 将等待从未出现的数据并挂起。如果在 TR 中设置了 EOL, 则 UDMA 始终发送最后一个数据的数据, 无论允许发送传输的大小如何。

**权变措施**

可以通过在 TR 中将 EOL 设置为 1 来解决此问题

## i2235

### CBASS 空错误中断未被使能寄存器屏蔽

---

#### 详细信息

CBASS 中有一个可选功能，可添加空错误报告 MMR 和中断源。当存在该功能且启用中断时，以下这两个输出端口：“err\_intr\_intr”（电平中断源）和“err\_intr\_pls\_intr”（脉冲中断源）将在发生空区域访问时置为有效。中断启用位于 ERR\_INTR\_ENABLE\_SET 寄存器（地址偏移 0x58）中。

问题在于 CBASS 会忽略该使能位，因此任何空访问始终会产生中断源/事件。

#### 权变措施

由于处理器事件的默认禁用状态，该错误不会导致虚假事件。在系统级，除非在关联的 GIC/VIM 中断控制器中启用，否则处理器不会接收任何事件。

当中断已启用并且确实发生中断时，在 cbass 级写入以下寄存器以将其清空：

将 0x1 写入 err\_intr\_enabled\_stat 寄存器，然后将 0x1 写入 err\_eoi 寄存器。

**i2237****PCIe : 串行器/解串器参考时钟输出不符合 Vcross、上升沿/下降沿匹配和边沿速率限制****详细信息**

串行器/解串器的 PCIe 参考时钟输出不符合 PCI-SIG 规范中的 VCROSS 和边沿速率限制。因此，一些外部 PCIe 元件在接收和使用参考时钟时可能遇到问题。但是，该器件系列中的串行器/解串器在接收这种不合规的参考时钟时不会出现问题。这意味着，当一个器件生成参考时钟而另一个器件接收参考时钟时，将一个器件中的串行器/解串器连接到另一个器件中的串行器/解串器的链路不会出现问题。

**权变措施****选项 1 :**

向 PCIe 参考时钟 SERDES0\_REFCLK\_P/N 输出添加外部电路，以使信号符合电气规范。

无源重新偏置电路可用于实现合规的 Vcross 电平：

- 使用串行器/解串器内部 50 欧姆端接电阻
- 在 SERDES0\_REFCLK\_P/N 输出端的每条单独走线上，使用 100nF 交流耦合电容器，再使用一个由 1kΩ 下拉电阻器和一个连接到 VDDA\_1P8\_SERDES0 的 3.5kΩ 上拉电阻器组成的偏置网络
- 电阻器的元件容差应为 +/- 5%，电容器的元件容差应为 +/- 30%

有两种选项可以实现合规的边沿速率：

- 可以向输出 SERDES0\_REFCLK\_P/N 信号添加外部缓冲器。根据所选的缓冲器，可能还需要使用重新偏置电路，才可以符合外部缓冲器输入要求。
- 为了实现合规的边沿速率，可以遵循降低的 -4dB@4MHz 通道损耗规格。

**选项 2 :**

使用外部时钟源为链路的根复合体和终点器件提供 PCIe 参考时钟。

## i2241

### **PCIe : 串行器/解串器 PCIe 参考时钟输出可能超过 5.0 GT/s 的数据速率 RMS 抖动限制**

#### 详细信息

在输出模式下运行串行器/解串器 PCIe 参考时钟时，时钟的 RMS 抖动可能超过 PCIe 规格限制 5.0 GT/s 数据速率。

#### 权变措施

选项 1：

在派生的 Refclk 模式（而非接收的 Refclk 模式）下配置参考时钟输出，并按以下方式对 PLL 配置寄存器进行编程：

- 设置 CMN\_PDIAG\_PLL0\_CP\_PADJ\_M0 = 0x0128 以启用抖动更低的运行

（注意，对于支持 8.0 GT/s 运行的器件：派生的 Refclk 模式有一个相关的勘误表 i2242，该勘误表涉及在单个 PLL 串行器/解串器配置中对数据速率 8.0 GT/s 进行更改时临时禁用 Refclk）。

选项 2：

请勿以 5.0 GT/s 的数据速率运行 PCIe 接口。

选项 3：

使用外部时钟源为链路的根复合体和终点器件提供 PCIe 参考时钟。

**i2242****PCIe : 在更改数据速率时, 串行器/解串器 PCIe 参考时钟输出暂时禁用****详细信息**

在派生的 REFCLK 模式 (而非接收的 REFCLK 模式) 下对数据速率 8.0 GT/s 进行更改并使用单个串行器/解串器 PLL 生成 PCIe TX 和 RX 时钟时, 串行器/解串器 PCIe 参考时钟输出将暂时禁用。这是由于 PLL 重新编程所致, 因为在该模式下, 将数据速率从 2.5 GT/s 或 5.0 GT/s 更改为 8.0 GT/s 时, 必须执行重新编程。

在更改数据速率时, 一些使用 PCIe 参考时钟的外部 PCIe 元件可能不允许禁用时钟。但是, 该器件系列中的串行器/解串器不存在接受此参考时钟行为的问题。这意味着, 当一个器件生成参考时钟而另一个器件接收参考时钟时, 将一个器件中的串行器/解串器连接到一个器件中的串行器/解串器的链路不会出现问题。

**权变措施****选项 1 :**

将串行器/解串器配置为使用一个 PLL 来生成用于 2.5 GT/s 和 5.0 GT/s 数据速率的时钟, 使用另一个 PLL 生成用于 8.0 GT/s 数据速率的时钟。这种选项带来了一些限制:

A) 如果使用内部 SSC 模式, 则两个 PLL 不会相互同步扩展。这可能导致两个 PLL 的频率差异高达 5000ppm, 进而造成链路伙伴的 TX 和 RX 之间这种频率差异。因此, 不建议使用内部 SSC 模式。

B) 串行器/解串器不同通道上与 PCIe 同时使用的协议必须兼容, 以便共享用于 PCIe 的两个 PLL 中至少一个的 PLL 配置。

**选项 2 :**

使用接收的 Refclk 模式。请注意, 此模式受另一则 Refclk 抖动勘误表公告 (i2241) 的影响

**选项 3 :**

请勿以 8.0 GT/s 的数据速率运行 PCIe 接口

**选项 4 :**

使用外部时钟源为链路的根复合体和终点器件提供 PCIe 参考时钟。

## i2243

### **PCIe : 不满足在 L1.2 子状态期间禁用输出 refclk 的时序要求**

---

#### 详细信息

PCIe 基本规范要求 Refclk 在进入 L1.2 子状态时在 CLKREQ# 置为无效的 100ns 内达到空闲电气状态 ( 请参阅 TL10\_REFCLK\_OFF 参数 )。

由于硬件不会自动选通 Refclk，因此当从器件拉取 Refclk 时，无法满足该时序要求。必须由软件通过写入 SERDES\_RST 寄存器中的 PHY\_EN\_REFCLK 字段来执行 Refclk 选通。

因此，Refclk 不能在 L1.2 子状态中选通。通常，允许 Refclk 在 L1.2 子状态下运行不会导致任何功能问题。但是，如果系统需要在 100ns 内选通过 Refclk，则无法支持 L1.2 子状态。

#### 权变措施

使用外部 Refclk 发生器提供 PCIe 参考时钟

**i2244**
**DDR : 必须为写入 DQ VREF 训练定义有效的停止值**


---

**详细信息**

DDR PHY 使用起始值、停止值和步长值进行写入 DQ VREF 训练。如果停止值不等于起始值 + 步长的倍数，则最终 VREF 设置可能会超出最大 VREF 范围，导致训练挂起。

**权变措施**

按以下方式对停止值进行编程：

$PI\_WDQLVL\_VREF\_INITIAL\_STOP = (PI\_WDQLVL\_VREF\_INITIAL\_STEP\_SIZE \text{ 的倍数}) + PI\_WDQLVL\_VREF\_INITIAL\_START$

**i2245**
**DMSC : 防火墙区域需要特定配置**


---

**详细信息**

DMSC 内部的 ECC 聚合器 (DMSC0\_ECC\_AGGR) 有一个用于保护该区域的端点防火墙。默认情况下，此防火墙阻止除来自 DMSC 内的 M3 内核之外的所有事务。

**权变措施**

如果另一个处理器或端点需要访问 DMSC0\_ECC\_AGGR 区域，软件应使用起始地址 0x0 和结束地址 0xFFFF\_FFFF 配置该防火墙区域，并使用与 DMSC0\_ECC\_AGGR 区域关联的 CBASS\_FW\_REGION\_i\_START\_ADDRESS 和 END\_ADDRESS 寄存器。这是该区域唯一允许的地址配置。

**i2246**
**PCIe : 未使用的 SERDES 通道未分配给 PCIe 控制器时，自动合规性进入将失败**


---

**详细信息**

连接到无源负载时，PCIe 无法进入合规性状态。当未使用的 SERDES 通道未分配给 PCIe 控制器时，会发生这种情况。例如，如果 PCIe 在通道 1 模式中配置，且只有 SERDES 的通道 0 分配给 PCIe 控制器并且通道 1、2 和 3 未分配给 PCIe 控制器，则合规性进入将失败。

当通道未分配给 PCIe 时，从 SERDES 传输到 PCIe 控制器的状态信号会连接。指示电气空闲的信号错误地连接至指示非空闲的状态。因此，控制器会认为未使用的通道退出电气空闲状态（表示该通道未连接到无源负载），而这会阻止合规性进入。

请注意，此问题仅在连接到无源负载时影响自动合规性进入机制（例如，在其接收线路中提供端接但不会使其发送线路退出电气空闲状态的示波器）。该问题不会影响 PCIe 规范定义的进入合规性或合规性接收机制。

**权变措施**

唯一提供的权变措施是在合规性验证期间将所有 SERDES 通道分配给 PCIe。

**i2249**
**OSPI : 具有 DDR 时序的内部 PHY 环回和内部焊盘环回时钟模式无法运行**


---

**详细信息**

OSPI 内部 PHY 环回模式和内部焊盘环回模式采用“启动沿作为捕获沿”（相同的边沿捕获或 0 周期时序）。

可编程接收延迟线 (Rx PDL) 用于补偿往返延迟 (Tx 时钟至闪存器件、闪存时钟至输出以及闪存数据至控制器)。

在内部环回模式和 IO 环回模式的情况下，Rx PDL 的总延迟不足以补偿往返延迟，因此不能使用这些模式。

下表介绍了 OSPI 控制器中推荐的时钟拓扑。在 DDR 模式下，此处未描述的所有其他模式都受本公告的影响，不推荐作为时钟拓扑。

i2249 (续)

**OSPI : 具有 DDR 时序的内部 PHY 环回和内部焊盘环回时钟模式无法运行**

表 3-1. OSPI 时钟拓扑

时钟模式术语	CONFIG_REG.PHY_MODE_ENABLE	READ_DATA_CAPTURE.BYPASS	READ_DATA_CAPTURE.DQS_EN	电路板实现
无环回、无 PHY	0 (PHY 禁用)	1 (禁用调整后的环回时钟)	X	无。依靠内部时钟。最大频率 50MHz。
具有 PHY 的外部电路板环回	1 (PHY 启用)	0 (启用调整后的环回时钟)	0 (DQS 禁用)	外部电路板环回 (OSPI_LOOPBACK_CLK_SEL = 0)
具有 PHY 的 DQS	1 (PHY 启用)	x (DQS 启用具有优先级)	1 (DQS 启用)	连接到 SOC DQS 引脚的存储器选通

权变措施

无。请根据介绍的表格，使用未受影响的时钟模式之一。

i2253

**PRG : CTRL\_MMR\_STAT 寄存器是 POK 阈值失效的不可靠指示器**

详细信息

CTRL\_MMR PRG STAT 寄存器中的 POK 过压和欠压标志是用于指示 POK 是否失效的不可靠指示器。因此，在器件技术参考手册 (TRM) 中将它们标记为“保留”。

权变措施

滤波后的 POK 输出会更新 ESM 标志。

在 POK 初始化 (即启用) 时，应该清除 ESM 标志 (根据带隙和/或 POK 趋稳时间内进行的比较)。在该初始清除之后，ESM 标志可用作 POK 失效 (或未失效) 的可靠指示器。

i2257

**引导 : xSPI 引导模式冗余映像引导失败**

详细信息

当偏移 0x0 处的映像损坏时，xSPI 引导无法从 0x400000 的冗余映像偏移进行引导。ROM 中的 xSPI 引导失败 API 没有正确处理 xSPI 的标头检查。

权变措施

对于 xSPI 1S 模式运行，启用 SPI 作为备用引导模式。请注意，该权变措施不适用于 xSPI SFDP 和 8D 模式件。没有适用于 SFDP 和 8D 模式的权变措施。

i2274

**DDR : 在 BSCAN 中包括 DDR 会导致 DDR 电源上出现电流警报**

详细信息

包含 DDR 时，BSCAN 会导致电流警报跳变。应向使用 BSCAN 的客户提醒此问题，以在边界扫描期间排除扫描链中的 DDR。这仅影响具有 DDR 接口引脚输出的器件封装。

权变措施

执行边界扫描时从扫描链中移除 DDR。如果 DDR 接口未引脚输出，则此勘误表不适用。

i2275

**DMSC 安全引导 ROM : X.509 证书中的显式 EC 曲线参数存在潜在的安全引导漏洞**

详细信息

引导 ROM 支持使用 EC 信任根密钥。但是，ROM 实现使用 X.509 证书中指定的显式曲线参数来保存 ROM 存储器。

- 问题是，如果显式定义了曲线参数，则显式定义的 EC 参数可以使用合法但不同的私钥来复制已知的公钥。

**i2275 (续)**
**DMSC 安全引导 ROM : X.509 证书中的显式 EC 曲线参数存在潜在的安全引导漏洞**


---

- NIAP (美国通用准则计划) 最近发布了一系列有关 ECDSA X.509 证书使用的技术决策 (TD), 涉及多种保护配置文件。
- 根据 RFC 5480 第 2.1.1 节, X.509 证书不允许使用显式定义的 EC 参数。

使用命名曲线扩展可绑定公钥和曲线类型以防止这种情况发生。

参考资料:

1. 概述 <https://lightshipsec.com/explicitly-parameterized-ecdsa-x-509-certificates/>
2. Microsoft 漏洞 <https://msrc.microsoft.com/update-guide/vulnerability/CVE-2020-0601>
3. 第 2.1.1 节建议不要在 PKI 中使用显式曲线参数 <https://tools.ietf.org/html/rfc5480>

**权变措施**

对受影响的器件型号和修订版本使用 RSA 根密钥。请勿使用需要显式形式的 EC 私有根密钥。

**i2277**
**POK : 去毛刺 (滤波器) 仅基于两个样本**


---

**详细信息**

以大约 1.25us 的周期对 POK 进行采样。“邻近”样本历史记录保存在循环缓冲区中。去毛刺 (滤波器) 旨在对样本历史记录中的最后  $n$  个条目进行 AND 运算, 以生成 (到 ESM) 的输出。

去毛刺滤波器可编程为 {4, 8, 12, 16} 个样本。去毛刺输出仅基于对最后一个条目 (第 0 个) 和前面的编程样本数 (即第 3 个、第 7 个、第 11 个或第 15 个) 的检查。滤波器对这两个结果 (而不是 4、8、12 或 16 个) 进行 AND 运算, 以生成到 ESM 的失败输出。

请注意, 当 POK 设置为监控固定阈值 (UV 或 OV, 但未设置为乒乓模式) 时, 将使用未检查的样本。

当以乒乓方式控制 POK 时, 忽略的样本将被丢弃。

**权变措施**

没有权变措施。

不过, 去毛刺 (滤波器) 的目的是确保离散电压骤降或上升不会触发失败。两个点的采样在时间上明显分开, 意味着电压骤降/上升不是单个孤立事件。

由于滤波器要求所有  $N$  个样本在向 ESM 生成失败信号之前失败, 因此包含 2 个点而不是  $N$  个使此电路更加敏感。

**i2278**
**MCAN : 当从配置有相同报文 ID 的专用 Tx 缓冲区发送时, 无法确保报文发送顺序**


---

**详细信息**

此勘误表仅限于多个 Tx 缓冲区配置有相同报文 ID (TXBC.NDTB > 1) 的情况。

在以下情况下, 消息可能会不按顺序发送:

- 多个 Tx 缓冲区配置有相同的报文 ID
- 这些 Tx 缓冲区的 Tx 请求按顺序提交, 且每个请求之间存在延迟

**权变措施**

权变措施 1:

将具有相同报文 ID 的 Tx 报文写入消息 RAM 后, 通过对 TXBAR 进行一次写访问, 同时请求发送所有这些报文。在同时发出请求之前, 确保所有这些报文中都没有挂起的 Tx 请求。

**i2278 (续)** **MCAN : 当从配置有相同报文 ID 的专用 Tx 缓冲区发送时, 无法确保报文发送顺序**

---

权变措施 2 :

使用 Tx FIFO 而不是专用 Tx 缓冲区 ( 设置位 MCAN\_TXBC[30] TFQM = 0 以使用 Tx FIFO ) 按特定顺序发送多条具有相同报文 ID 的报文。

**i2279** **MCAN : 配置有相同报文 ID 的专用 Tx 缓冲区和 Tx 队列的规范更新**

---

详细信息

此勘误表更新了 M\_CAN 用户手册中第 3.5.2 节专用 Tx 缓冲区和第 3.5.4 节 Tx 队列中的说明, 该说明与配置有相同报文 ID 的多个专用 Tx 缓冲区的报文发送有关。

权变措施

权变措施 1 :

将具有相同报文 ID 的 Tx 报文写入消息 RAM 后, 通过对 TXBAR 进行一次写访问, 同时请求发送所有这些报文。在同时发出请求之前, 确保所有这些报文中都没有挂起的 Tx 请求。

权变措施 2 :

使用 Tx FIFO 而不是专用 Tx 缓冲区 ( 设置位 MCAN\_TXBC[30] TFQM = 0 以使用 Tx FIFO ) 按特定顺序发送多条具有相同报文 ID 的报文。

**i2283** **对于如何使用 CP Tracer 调试探针的限制**

---

详细信息

某些 CP Tracer 总线探针不接收完整的 SoC 物理地址, 而只接收与所监测端点相关的最小地址集。这限制了探针在 CCS 的 SoC Analysis > Traffic Profiling 功能中的可有用性。

1) 地址过滤/匹配: 用户通常会为任何符合地址条件的总线探测作业输入完整的 36b/40b ( 取决于器件 ) 地址。

2) 事务跟踪解码: 用户期望解码流中提供的地址是事务的完整 36b/40b 物理地址。

受影响的探针头:

J7VCL

权变措施

无

**i2306** **ROM 代码: 需要关闭 SERDES 中的内部端接电阻器**

---

详细信息

此器件中的 SERDES 实现具有默认启用的内部端接电阻器。在 PCIe 引导期间, ROM 代码没有禁用这些端接电阻器, 这会导致 PCIe 参考时钟的电压摆幅降低, 可能小于为 PCIe 参考时钟定义的最小限值。这可能导致 PCIe 引导失败。

权变措施

无

**i2307**
**引导：ROM 无法根据 BOOTMODE 正确选择 OSPI 时钟模式**


---

**详细信息**

无论 BOOTMODE 引脚选择的 lclk 字段值如何，ROM 引导加载程序仅为 SPI/QSPI/OSPI/xSPI 引导选择内部环回模式（有关 BOOTMODE 引脚映射，请参阅器件特定 TRM），目的是允许用户选择内部或外部时钟方法。这会降低客户设计中电路板拓扑的灵活性。由于未使用外部环回时钟，打算使用外部电路板环回模式的客户可能会在 ROM 引导中遇到时序问题。

**权变措施**

如果计划使用 OSPI 作为引导源，则 OSPI 设计的拓扑不得使用“外部电路板环回”。可以使用所有其他时钟拓扑（包括内部环回或 DQS）。有关受支持的使用 OSPI 的时钟拓扑，请参阅器件特定数据表的“应用、实现和布局”一节。

**i2310**
**USART: 错误地清除/触发超时中断**


---

**详细信息：**

在 RHR/MSR/LSR 寄存器读取期间，USART 可能会错误地清除或触发超时中断。

**权变措施：**
**CPU 用例**

- 如果超时中断被错误地清除：
  - 清除是有效的，因为 FIFO 中的挂起数据会重触发超时中断
- 如果错误地设置了超时中断，并且 FIFO 为空，请使用以下软件权变措施来清除中断：
  - 在 TIMEOUTH 和 TIMEOUTL 寄存器中设置超时计数器的高值
  - 将 EFR2 第 6 位设置为 1 以将超时模式更改为周期性模式
  - 读取 IIR 寄存器以清除此中断
  - 将 EFR2 第 6 位设置回 0 以将超时模式改回原始模式

**DMA 用例**

- 如果超时中断被错误地清除：
  - 清除是有效的，因为下一个周期性事件会重触发超时中断
  - 用户必须通过将 EFR2 第 6 位设置为 1 来确保 RX 超时行为处于周期性模式
- 如果超时中断被错误地设置：
  - 这会导致 DMA 被软件驱动程序关闭
  - 有效，因为下一个传入数据将导致软件再次设置 DMA

**i2311**
**USART 虚假 DMA 中断**


---

**详细信息：**

当在 TLR 寄存器中出现非 2 的乘幂触发级别的情况下，使用 DMA 访问 TX/RX FIFO 时，可能会发生虚假 DMA 中断。

**权变措施：**

为 TX/RX FIFO 触发级别使用 2 的乘幂值（1、2、4、8、16 和 32）。

## i2312

### **MMCSDB : HS200 和 SDR104 命令超时窗口太小**

---

#### 详细信息：

在高速 HS200 和 SDR104 模式下，MMC 模块的功能时钟将达到 192 MHz。在此频率下，通过 MMC 主机控制器使用 MMCSDB\_SYSCCTL[19:16] DTO = 0xE 可获得的最大超时为  $(1/192\text{MHz}) \times 2^{27} = 700\text{ms}$ 。超过 700ms 的命令可能会受到这一较小窗口时间范围帧的影响。

#### 权变措施：

如果命令需要超过 700ms 的超时，则可以禁用 MMC 主机控制器命令超时 (MMCSDB\_CON[6] MIT=0x1) 并可以使用软件实现代替它。详细步骤如下所示 (在 Linux 中)：

1. 在 MMC 主机控制器探测函数 (omap\_hsmmc.c:omap\_hsmmc\_probe()) 执行期间，通知处理器主机控制器无法支持所有必需的超时。
2. 修改 MMC 核心软件层功能，以便在底层 MMC 主机控制器无法支持所需超时的情况下，内核自行超时。

## i2320

### **UDMA 和 UDMAP : 必须返回未分片的描述符和 TR**

---

#### 详细信息

UDMA 和 UDMAP 要求将描述符和 TR 放置在返回描述符或 TR 的存储器子系统中，而不对描述符进行任何分片。但是，一些存储器包含分片桥，因此无法用于保存描述符和 TR。

对于该器件，R5 TCM 存储器无法保存 UDMA 或 UDMAP 的描述符或 TR

#### 权变措施

无

## i2326

### **PCIe : 当 MAIN\_PLLx 运行在启用 SSC 所必需的分数模式下时，不符合 PCIe Refclk 抖动限制**

---

#### 详细信息：

在分数模式下配置时，MAIN\_PLLx 可为串行器/解串器和外部元件提供 100MHz PCIe Refclk，但不符合 PCIe Refclk 抖动限制。启用 SSC 需要分数模式，因此 SSC 模式不符合 PCIe Refclk 抖动限制。

#### 权变措施：

从 MAIN\_PLLx 拉取 100MHz PCIe Refclk 时，MAIN\_PLLx 应仅配置为整数模式 (DACEN = 0、DSMEN = 0)。这会阻止对 PCIe Refclk 使用 SSC，后者这要求 PLL 在小数模式下运行。如果 PCIe 接口需要 SSC，应使用具有 SSC 的外部 Refclk 发生器为串行器/解串器提供 100MHz Refclk。

## i2329

### **MDIO : MDIO 接口损坏 (CPSW 和 PRU-ICSS)**

---

#### 详细信息：

CPSW 和 PRU-ICSS 外设的所有实例 (如果存在) 的 MDIO 接口可能在 MDIO 读取时返回损坏的读取数据 (例如返回过时数据或以前的数据) 或在 MDIO 写入时发送错误的数数据。MDIO 接口也可能在下次外设复位 (通过 LPSC 或在 CPSW 的情况下禁用复位隔离时通过全局器件复位) 之前不可用。

**i2329 (续)****MDIO : MDIO 接口损坏 (CPSW 和 PRU-ICSS)**

该问题在系统层面的表现可能包括 (1) 错误的以太网 PHY 链路断开状态 (2) 无法通过 MDIO 正确配置以太网 PHY (3) PHY 检测不正确 (例如地址错误) (4) 尝试通过 MDIO 配置 PHY 时读取或写入超时。

对于启动模式 (如果支持, 仅限 CPSW), 不存在确保主以太网启动成功的权变措施。如果在主启动期间发生该异常, 启动可能发起重试, 重试可能成功, 也可能不成功。如果重试不成功, 这将导致最终超时并转换到备用启动模式 (如已选定)。如未选定备用启动模式, 此类故障将导致超时并强制通过芯片看门狗进行器件复位, 之后整个启动过程将再次重启。

要选择备用启动选项 (如果支持), 请在启动模式引脚上安装适当的拉电阻器。请参阅各特定器件选项的启动文档, 通过以太网进行主启动尝试的典型超时为 60 秒。

**权变措施:**

在受影响的器件上, 应使用以下权变措施:

**MDIO 手动模式: 适用于 PRU-ICSS 和 CPSW。**

可以通过读取和写入 MDIO 外设 MDIO\_MANUAL\_IF\_REG 寄存器中的相应位来模拟 MDIO 协议, 直接操作 MDIO 时钟和数据引脚。有关手动模式寄存器位及其功能的完整详细信息参见 TRM。

在这种情况下, 器件引脚多路复用应配置为允许 IO 由 CPSW 或 PRU-ICSS 外设控制 (与正常预期运行相同), 但必须确保 MDIO\_CONTROL\_REG 中的 MDIO\_CONTROL\_REG.ENABLE 位为 0 来禁用 MDIO 状态机, 同时将 MDIO\_POLL\_REG.MANUALMODE 位设置为 1 来启用手动模式。

联系 TI 了解如何实施软件权变措施。

**备注**

如果使用以太网 DLR (设备层环网) (在 CPSW 或 PRU-ICSS 上) 或 EtherCAT 协议 (在 PRU-ICSS 上), 由于链路状态检查需要轮询间隔, 实施运行时权变措施 1 可能对 CPU 或 PRU 负载产生重大影响。因此应考虑系统产生的影响。

对于 PRU-ICSS, 使用 MDIO 的 MLINK 功能通过 MIIX\_RXLINK 输入引脚到 PRU-ICSS 自动轮询链路状态可以减少软件权变措施的负载, 其中 PRU-ICSS 必须连接外部来自 PHY 且链路处于活动状态时不会切换的状态输出。根据外部 PHY 器件的指定行为, 该 PHY 状态输出可能是 LED\_LINK 或 LED\_SPEED, 也可能是 LED\_LINK 和 LED\_SPEED 的逻辑“或”。有关使用 MDIO 的 MLINK 功能的详细信息, 请参阅 TRM 的 MDIO 部分。此功能在 CPSW 外设上不可用。

对于在 PRU-ICSS 上实施 EtherCAT, 软件权变措施将在 RTUx/ TX\_PRUx 核心中完成。核心必须专门针对权变措施, 即无法用于其他目的。实施方案将支持通过两个用户访问通道访问 MDIO。这为 R5f 核心和 PRU 核心提供独立访问通道的选项。这些 API 将与我们在 RTOS 权变措施实施中的 API 类似。

EtherCAT 将继续通过链路状态的 MDIO MLINK 绕过状态 m/c (此路径不受勘误表影响) 使用 PHY 快速链路检测。这样可以确保仍然满足电缆冗余相关延迟要求。

i2329 (续)

**MDIO : MDIO 接口损坏 (CPSW 和 PRU-ICSS)**

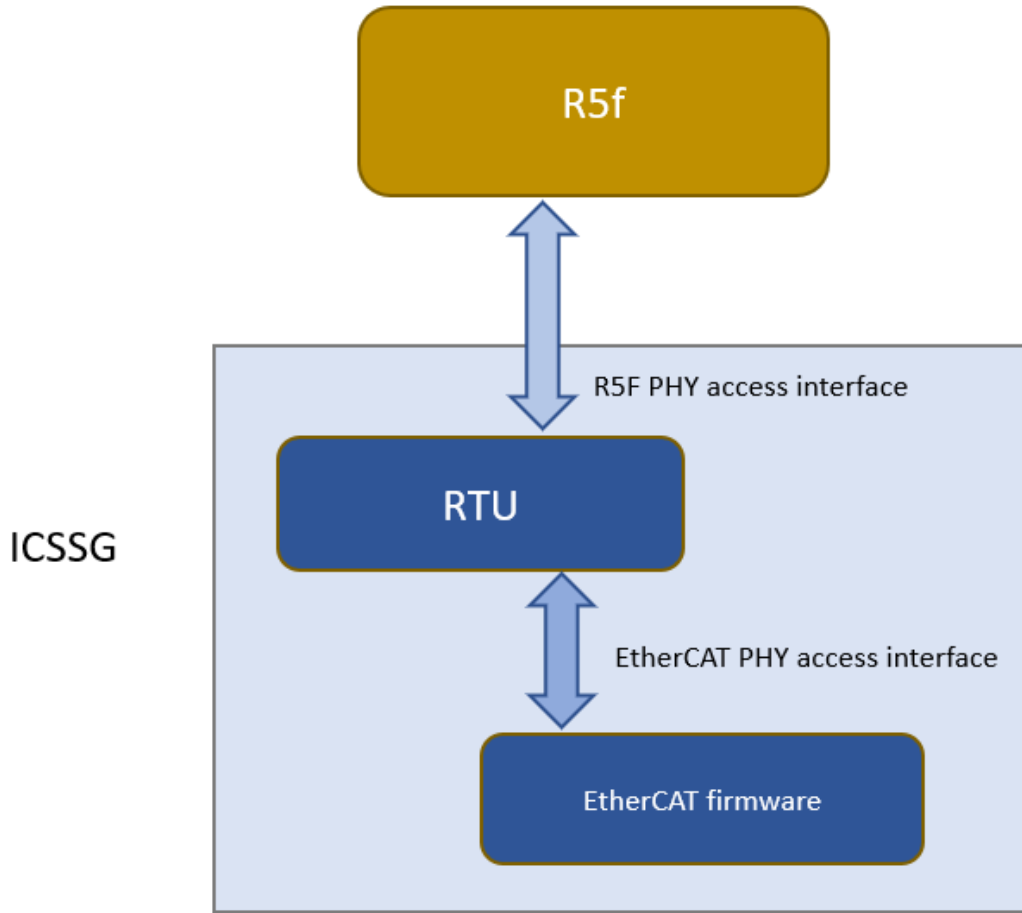


图 3-2. 使用 PRU 核心通过手动模式进行 MDIO 模拟

i2351

**OSPI : 直接访问控制器 (DAC) 不支持带 NAND 闪存连续读取模式**

详细信息 :

OSPI 直接访问控制器 (DAC) 不支持带 NAND 闪存连续读取模式, 因为 OSPI 控制器可以在发送到 OSPI 控制器的内部 DMA 总线请求之间, 将向闪存存储器发送的 CSn 信号置为无效 (根据设计意图)。

发生此问题的原因是, 一些 OSPI/QSPI NAND 闪存存储器提供的“连续读取”模式要求片选输入在整个突发事务中持续置为有效状态。

SoC 内部 DMA 控制器和其他启动器限制用于 1023 B 或更小的事务, 并且仲裁/排队可以在各种 DMA 控制器内部进行, 也可以在任何 DMA 控制器与 OSPI 外设之间的互连中进行。这会导致到 OSPI 控制器的总线请求延迟, 进而导致外部 CSn 信号被置为无效。

NOR 闪存存储器不受 CSn 置为无效的影响, 连续读取模式正常运行。

权变措施 :

软件可以使用页面/缓冲读取模式来访问 NAND 闪存。

**i2360 引导：不支持以太网 RMII 引导模式**

**详细信息：** 不支持以太网 RMII 引导模式并且不应使用它。在 TRM 的未来修订版中，它将标记为“保留”。

**权变措施：** 无。应选择替代引导模式。

**i2361 引导：针对 SR2.0 的 SPI 和 xSPI BOOTMODE 引脚映射变更**

**详细信息：** 根据下表，SPI 和 xSPI BOOTMODE 引脚映射在器件修订版本 SR1.0 和 SR2.0 之间变更（以符合其他 J7 系列器件引导模式定义）：

主引导模式 B 引脚	主引导模式 A 引脚	(左合并)	(左合并)	为 SR1.0 选择的引导模式	为 SR2.0 选择的引导模式
	MCU 5	MCU 4	MCU 3		
0	0	1	1	SPI	xSPI
1	1	1	0	xSPI	SPI

**权变措施：** 根据上表配置 BOOTMODE 引脚，以便为每个器件修订版本选择所需的引导模式。

**i2362 10-100M SGMII：Marvell PHY 没有忽略前导码字节，而导致链路故障**

**详细信息：** 在 10/100 模式下且数据包之间有奇数个时钟时，CPSW SGMII 模块最多输出 0x50 前导码数据的 5 个字节。所有字节均应为 0x55。在 1000Mbps 模式下，不会出现该问题，SFD 之前的前导码中有 7 个 0x55。在 100Mbps 模式下，SFD 之前的前导码中有 70 个字节（因为数据在 1000Mbps 模式下复制 10 次）。发生问题时，70 个字节中的前五个字节可以是 0x50。到目前为止，尚未检测到该问题，原因是仅对 PHY 进行了测试，PHY 允许前导码减少而不关心第一个字节数中的实际数据。但是，Marvel PHY ( 88Q1111 或类似产品 ) 最近检测到该问题，它查看前导码数据并根据 0x50 前导码数据作出数据包保留/丢弃决策。

**权变措施：** 可选权变措施包括：

1. 使用不会产生该问题的 1000M 模式。

或

2. 使用 TI PHY ( DP83869 或类似产品 ) 或任何其他在 10/100/1000M 模式下可以减少/忽略前导码数据的 PHY。

**i2366 引导：ROM 不理解 8D-8D-8D 操作使用的特定 JEDEC SFDP 特性**

**详细信息：** JEDEC 规范 JESD216 - 串行闪存可发现参数 (SFDP) 详细说明了在某些串行闪存器件中使用的参数表，用于描述特性以及如何与器件通信/配置器件。ROM 可以解释 SFDP 中适用于器件特性的相关部分（例如，如何从 1S-1S-1S 模式更改为 8D-8D-8D 模式），但不能正确理解有以下需要的闪存器件：

- 与 1S-1S-1S 模式相比，8D-8D-8D 模式下的交换的字节顺序

**i2366 (续)**

**引导：ROM 不理解 8D-8D-8D 操作使用的特定 JEDEC SFDP 特性**

---

- 8D-8D-8D 模式下的命令扩展，它需要使用与发送的第一个字节不同的命令（例如，操作码反转或其他唯一字节）

**权变措施：**

查看符合 JEDEC JESD216 的任何候选闪存存储器的 SFDP 表；大多数情况下，供应商不会发布该表，但可以向闪存供应商索取。如果 JEDEC 基本闪存参数表的第 18 个 DWORD 的第 31 位的值为“1b”，则必须在出厂时以交换的字节顺序对存储器进行编程，或使用 SoC 进行编程。如果 [30:29] 位的值不是“00b”，则它不能在 8D-8D-8D 模式下用于任何引导模式。因此，避免对该闪存器件使用任何 8D-8D-8D 引导模式。

**i2371**

**引导：数据传输过程中，UART 引导模式下的 ROM 代码可能出现挂起**

---

**详细信息：**

由于公告 i2310，UART 引导过程中可能出现 ROM 代码执行挂起的情况。i2310 公告中提及的软件权变措施未在 ROM 中实现，因此在非预期状态下可能触发错误的超时中断。这可能会导致 ROM 无法清除此中断，进而出现挂起。

只要使用 UART 引导模式或将 UART 用作引导接口以启用生产流程（例如 UniFlash 或者使用 OTP Keywriter 对电子保险丝进行编程），就可能会出现此问题。

**权变措施：**

无。应使用其他引导接口。

**i2372**

**引导：ROM 不支持串行 NAND 引导中的所选多层平面寻址方案**

---

**详细信息：**

ROM 引导加载程序不支持某些多层平面串行 SPI NAND 闪存存储器，因为它们要求从缓存/缓冲区读取命令理解如何更改缓存/缓冲区/平面编号以访问正确的数据。

**权变措施：**

请仔细查看候选闪存存储器的寻址要求，以作为特殊位在从缓存/缓冲区读取命令中选择平面/缓冲区/缓存的参考。不要使用具有此类要求的存储器。

**i2383****OSPI : PHY DDR 模式不支持 2 字节地址**

---

**详细信息 :**

当 OSPI 控制器配置为在 PHY DDR 模式中进行 2 字节寻址时，内部状态机将发送的地址字节数失配为值 1 (而不是 2)。这会导致状态机在地址阶段锁定，使 PHY DDR 模式不可运行。

使用任何 Tap 模式或 PHY SDR 模式时，不会发生此问题。在 PHY DDR 模式下使用 4 字节寻址时，也不会出现此问题。

**权变措施 :**

对于具有可编程地址字节设置的兼容 OSPI 存储器，请将闪存上所需的地址字节数从 2 设置为 4。这可能涉及发送一条特定命令以更改地址字节和/或在闪存上写入配置寄存器。完成后，将在控制器设置中发送的地址字节数从 2 更新为 4。

对于仅支持 2 字节寻址且无法重新编程的兼容 OSPI 存储器，PHY DDR 模式将与该存储器不兼容。替代模式包括：

- PHY SDR 模式
- TAP (无 PHY) DDR 模式
- TAP (无 PHY) SDR 模式

**i2401****CPSW : 主机时间戳导致 CPSW 端口锁定**

---

**详细信息 :**

CPSW 提供两种机制，将数据包进站时间戳信息传递给主机。

第一种机制是通过 CPTS 事件 FIFO 实现的，该机制在由特定事件触发时记录时间戳。这类事件包括接收到包含指定 EtherType 字段的以太网数据包。这种机制最常用于捕获 PTP 数据包的进站时间戳。通过这种机制，主机必须将时间戳 (来自 CPTS FIFO) 和 DMA 提供的数据包有效载荷分开读取。这种模式受支持并且不受此勘误表影响。

第二种机制是为所有数据包启用接收时间戳，而不仅仅是 PTP 数据包。采用这种机制时，时间戳会通过 DMA 与数据包有效载荷一起传送。第二种机制是本勘误表的主题。

当启用 CPTS 主机时间戳时，每个传送到内部 CPSW 端口 FIFO 的数据包都需要来自 CPTS 的时间戳。当数据包前导码由于 EMI 或任何其他损坏机制而损坏时，可能不会向 CPTS 发送时间戳请求。在这种情况下，CPTS 将不会生成时间戳，这会导致 CPSW 端口 FIFO 中出现锁定状况。当通过清除 CPTS\_CONTROL 寄存器中的 `tstamp_en` 位来禁用 CPTS 主机时间戳时，将阻止发生锁定状况。

**权变措施 :**

必须禁用以太网到主机的时间戳。

可以使用 CPTS 事件 FIFO 时间戳来代替 CPTS 主机时间戳。

**i2409****USB : USB2 PHY 由于短暂挂起而锁定**

---

**详细信息 :**

当 USB 2.0 PHY 可能挂起，以响应在 USB 控制器进入挂起状态的 3 微秒内发生的 USB 唤醒事件时。这种 PHY 挂起只能通过电源重启恢复，因为热复位无效。

**权变措施 :**

注意：此权变措施仅在 USB 不是主引导模式时适用。如果 USB 是主引导模式，则没有可用的权变措施。

为防止该问题发生，在 USB 控制器初始化过程中必须遵循特定的操作顺序：

**i2409 (续)**      **USB : USB2 PHY 由于短暂挂起而锁定**

---

1. 通过 LPSC 移除 USB 控制器复位。
2. 将 SUSP\_CTRL 中的 USB 控制器 suspend\_residency\_enable 字段设置为“1”。
3. 继续进行正常的 USB 控制器初始化

**i2413**      **引导 : HS-FS ROM 引导时加载的 ROM 引导镜像已损坏**

---

**详细信息 :**

ROM 支持一种镜像格式，该格式中同时包含引导加载程序镜像与 TIFS 镜像。这种格式被称为组合镜像。

在 HS-FS 器件上，当使用 RSA 密钥对组合镜像签名后，ROM 应执行以下操作：

- 跳过对引导加载程序组件的完整性检查
- 在 TIFS 组件上执行完整性检查和签名验证。

由于 ROM 存在漏洞，在 HS-FS 器件上使用非退化 RSA 密钥时，ROM 会跳过对 TIFS 组件的完整性校验。

**权变措施 :**

使用退化 RSA 密钥对 X509 证书进行签名，以启用对所有组件（引导加载程序与 TIFS）的完整性校验

**i2414**      **引导 : 以太网 PHY 扫描和启动流程不适用于不支持自动协商的 PHY**

---

**详细信息 :**

ROM 以太网（RGMII 或 RMII）引导模式需要 PHY 自动协商完成后，才会检查链路状态。因此，不支持自动协商的 PHY 无法使用此引导模式。

**权变措施 :**

无，需要支持自动协商的 PHY。

**i2418**      **引导 : 由于证书信息不存在，导致安全 ROM 冻结**

---

**详细信息 :**

在正常引导流程（而非完整组合映像流程）中，如果证书信息（扩展信息或旧信息）不存在，安全 ROM 将进入无限循环。当向 SOC 提供证书而 SOC 没有证书信息时，将出现这种情况。安全 ROM 将在以下更多情况下冻结（陷入无限循环）：

1. 证书信息不存在
2. 地址转换失败
3. 哈希计算失败

**权变措施 :**

确保证书信息（扩展信息或旧信息）存在。

**i2419** **引导：禁用偏斜消除校准时，ROM 不会检查是否启用了偏斜消除校准****详细信息：**

如果禁用了 PLL 偏斜消除校准，ROM 驱动程序代码往往会检查偏斜消除校准是否已启用以及锁定是否失效。但是，当前代码在 IF 条件下有赋值。因此，在清除配置位之前，它不会检查偏斜消除校准是否启用。不存在功能问题。

**权变措施：**

无

**i2422** **引导：MMCSD 文件系统引导时，ROM 的超时时间过长****详细信息：**

由于 ROM 存在漏洞，如果尝试从空或已擦除（或出厂全新状态）的 eMMC 器件通过 SD/MMC 引导（文件系统模式）进行引导，正常的引导超时切换至备份引导模式功能将失效，因为引导过程会陷入无限循环，直至看门狗计时器触发复位。

**权变措施：**

需要从另一个主引导模式引导才能对 eMMC 闪存进行编程。

**i2424** **PLL：PLL 编程序列可能会导致 PLL 不稳定****详细信息：**

PLL 编程序列已经更改，以确保如果使用它，在启用 PLL 校准前，所有校准字段都已配置。除了更改对校准逻辑的控制之外，还实现了其他更改，以便在启用 PLL 时 PLL 参数保持不变。

在整数模式下时，软件会在支持校准的 PLL 上启用 PLL 校准功能。之前的软件在 CAL\_LOCK 置为有效后调整校准模式。已经看到，这些写入操作会导致某些器件上的 PLL 锁定丢失。此外，即使在易受影响的器件上，锁定丢失也是间歇性的，但是当丢失发生时，相关电路以不正确的频率运行；这种错误频率可能表现为算法执行缓慢或通信故障。

限制影响：当 PLL 处于小数模式时，不能使用校准逻辑。因此，被编程为使用分数模式的 PLL 不应出现与校准编程相关的故障。然而，由于对完整 PLL 序列的更改，建议所有用户使用新软件。

**权变措施：**

请勿将 clk\_pll\_16fft\_cal\_option4() 用于 SYSFW。执行任何 PLL 配置更改时，确保使用 SDK v10.0 或更高版本中更新后的 PLL 编程序列。

**i2435** **引导：eMMC 引导的 ROM 超时过长****详细信息：**

由于 ROM 中存在错误，如果尝试从空的或已擦除（即，恢复出厂设置）的 eMMC 器件以 eMMC 引导模式（即从 eMMC 引导分区进行引导，有时称为 eMMC 替代模式）进行引导，切换至备份引导模式的正常引导超时时间可长达 10 秒。

**权变措施：**

如果系统认为此超时时间过长，则需要从另一种引导模式引导。

---

**i2449** ***RAT : R5FSS RAT MMR 不受奇偶校验保护***

---

**详细信息：** 存储在 R5FSS RAT MMR 中的值在存储期间不受奇偶校验保护。这意味着即使在奇偶校验保护启用的情况下，也不会检测到 MMR 中的位翻转，因此没有针对永久或瞬态错误的保护。发起奇偶校验（其中，奇偶校验是根据读取时存储在 MMR 中的值动态计算）仅涵盖通过互连引入的错误。不涵盖存储的 MMR 值本身可能存在的错误。

**权变措施：** 在运行时，用户需要对 MMR 值执行软件回读。

---

**i2459** ***引导：不支持 PCIe 引导模式***

---

**详细信息：** 不支持 PCIe 引导模式并且不应使用它。在 TRM 的未来修订版中，它将标记为“保留”。

**权变措施：** 无。应选择替代引导模式。

---

**i2482** ***引导：ROM 在 SD 卡初始化期间未提供足够的时钟***

---

**详细信息：** ROM 代码未按《SD 卡物理层规范 2.00》。这可能导致 SD 卡引导失败，然而在受影响的器件上尚未因该勘误观察到引导失败。

**权变措施：** 无

## 商标

所有商标均为其各自所有者的财产。

## 修订历史记录

### Changes from DECEMBER 31, 2024 to JUNE 30, 2026 (from Revision E (December 2024) to Revision F (June 2026))

	<b>Page</b>
• 增加了使用说明 i2330 : DDRSS 寄存器配置工具更新.....	7
• 更新了公告 i2160 ; DDR : 必须在 LPDDR4 命令总线训练期间定义有效 VRef 范围.....	14
• 增加了公告 i2449 ; RAT : R5FSS RAT MMR 不受奇偶校验保护.....	45
• 增加了公告 i2482 ; 引导 : ROM 在 SD 卡初始化期间未提供足够的时钟.....	45

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月