

ADC101S101

ADC101S101 Single Channel, 0.5 to 1 Msps, 10-Bit A/D Converter



Literature Number: JAJ SAC9

ADC101S101

1チャンネル、0.5 ~ 1.0MSPS、10ビット A/D コンバータ

概要

ADC101S101 は、高速シリアル・インタフェースを備えた、低消費電力で動作する1チャンネル構成のCMOS 10ビット・アナログ・デジタル・コンバータです。単一のサンプリング・レートのみで性能を規定している従来の製品とは異なり、ADC101S101 では、500kSPS から1.0MSPS の範囲のサンプリング・レート全体で動作を規定しています。ADC101S101 はトラック / ホールド回路を内蔵した逐次比較レジスタ・アーキテクチャを採用しています。

シリアル・データ出力はストレート・バイナリ形式で、SPI™、QSPI™、MICROWIRE など、広く使われている標準的な DSP シリアル・インタフェースと互換性があります。

ADC101S101 は + 2.7V ~ + 5.25V の単一電源で動作します。標準的な消費電力は、+ 3V 動作時で 2.0mW、+ 5V 動作時で 10mW です。パワーダウン機能は + 5V 電源使用時に消費電力を 2.5µW まで低減します。

ADC101S101 は LLP-6 および SOT-23 パッケージで供給されます。産業用温度範囲 (- 40 ~ + 85) での動作が保証されています。

特長

- サンプリング・レート範囲にわたって仕様を規定
LLP-6 および SOT-23 パッケージ
- 可変パワー・マネジメント
- 2.7V から 5.25V の範囲の単一電源動作
- SPI™/QSPI™/MICROWIRE/DSP 互換シリアル・インタフェース

主な仕様

- DNL + 0.3/ - 0.2LSB(代表値)
- INL ± 0.2LSB(代表値)
- S/N 比 62dB(代表値)
- 消費電力
 - 3V 電源 2.0mW (代表値)
 - 5V 電源 10mW (代表値)

アプリケーション

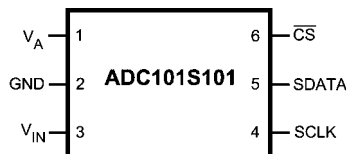
- ポータブル・システム
- リモート・データ・アキュイジション
- 計測器や制御システム

分解能と速度が異なるピン互換品

各デバイスはピン互換および機能互換です。

Resolution	Specified for Sample Rate Range of:		
	50 to 200 ksp/s	200 to 500 ksp/s	500 ksp/s to 1 Msp/s
12-bit	ADC121S021	ADC121S051	ADC121S101
10-bit	ADC101S021	ADC101S051	ADC101S101
8-bit	ADC081S021	ADC081S051	ADC081S101

ピン配置図

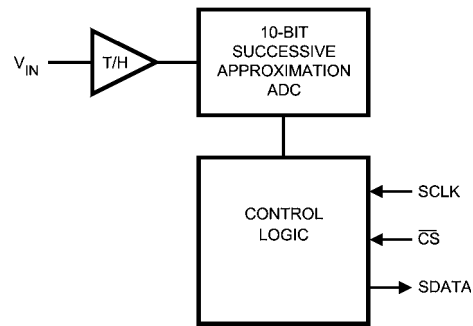


製品情報

Order Code	Temperature Range	Description	Top Mark
ADC101S101CISD	-40°C to +85°C	6-Lead LLP Package	X2C
ADC101S101CISDX	-40°C to +85°C	6-Lead LLP Package, Tape & Reel	X2C
ADC101S101CIMF	-40°C to +85°C	6-Lead SOT-23 Package	X02C
ADC101S101CIMFX	-40°C to +85°C	6-Lead SOT-23 Package, Tape & Reel	X02C
ADC101S101EVAL		SOT-23 Evaluation Board	

TRI-STATE® はナショナル セミコンダクターの登録商標です。
QSPI™ および SPI™ はモトローラ (株) の商標です。

ブロック図



端子説明および等価回路

端子番号	シンボル	説明
アナログ I/O		
3	V_{IN}	アナログ入力です。信号の電圧範囲は 0V から V_A です。
デジタル I/O		
4	SCLK	デジタル・クロック入力です。このクロックは変換処理と読み出し処理を直接制御します。
5	SDATA	デジタル・データ出力です。出力サンプルは、SCLK の立ち下がりがエッジに同期して出力されます。
6	\overline{CS}	チップ・セレクトです。 \overline{CS} ピンの立ち下がりがエッジで変換処理が開始されます。
電源		
1	V_A	正電圧の電源ピンです。+ 2.7V ~ + 5.25V の安定した電源に接続し、0.1 μ F と 1 μ F のモノリシック・コンデンサをピンから 1cm 以内に配置してバイパスを行なってください。
2	GND	電源と信号のグラウンド・リターンです。
PAD	GND	パッケージ・サフィックスが C1SD (X) 品のみ該当します。中央のパッドをグラウンドに接続してください。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

アナログ電源電圧 (V _A)	- 0.3V ~ 6.5V
任意のピンの対 GND 電圧	- 0.3V ~ (V _A + 0.3)V
入力電流 (Note 3)	± 10mA
パッケージの入力電流 (Note 3)	± 20mA
パッケージ消費電力 (T _A = 25)	Note 4 参照
ESD 耐性 (Note 5)	
人体モデル	3,500V
マシン・モデル	300V
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150

動作定格 (Note1、2)

動作温度範囲	- 40 T _A + 85
電源電圧 (V _A)	+ 2.7V ~ + 5.25V
デジタル入力ピン電圧範囲 (電源電圧に依存しません)	- 0.3V ~ + 5.25V
クロック周波数	1MHz ~ 20MHz
サンプリング・レート	最大 1MSPS
アナログ入力電圧	0V ~ V _A

パッケージ熱抵抗

Package	θ _{JA}
6-lead LLP	94°C / W
6-lead SOT-23	265°C / W

ハンダ付けのプロセスは、National Semiconductor's Reflow Temperature Profile 規格に準拠してください。
www.national.com/JPN/packaging をご覧ください (Note 6)。

ADC101S101 コンバータの電気的特性 (Note 7、9)

特記のない限り、以下の仕様は V_A = + 2.7V ~ 5.25V、GND = 0V、f_{SCLK} = 10MHz ~ 20MHz、C_L = 15pF、f_{SAMPLE} = 500kSPS ~ 1MSPS に適用されます。太字のリミット値は T_A = T_{MIN} ~ T_{MAX} に、それ以外のリミット値は T_A = 25 に適用されます。

Symbol	Parameter	Conditions	Typical	Limits (Note 9)	Units
STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			10	Bits
INL	Integral Non-Linearity	V _A = +2.7V to +5.25V	±0.2	±0.7	LSB (max)
DNL	Differential Non-Linearity	V _A = +2.7V to +5.25V	+0.3	±0.7	LSB (max)
			-0.2		LSB (min)
V _{OFF}	Offset Error	V _A = +2.7V to +5.25V	±0.1	±0.7	LSB (max)
GE	Gain Error	V _A = +2.7V to +5.25V	±0.2	±1.0	LSB (min)
DYNAMIC CONVERTER CHARACTERISTICS					
SINAD	Signal-to-Noise Plus Distortion Ratio	V _A = +2.7 to 5.25V f _{IN} = 100 kHz, -0.02 dBFS	61.7	61	dB (min)
SNR	Signal-to-Noise Ratio	V _A = +2.7 to 5.25V f _{IN} = 100 kHz, -0.02 dBFS	62	61.2	dB (min)
THD	Total Harmonic Distortion	V _A = +2.7 to 5.25V f _{IN} = 100 kHz, -0.02 dBFS	-77	-73	dB (max)
SFDR	Spurious-Free Dynamic Range	V _A = +2.7 to 5.25V f _{IN} = 100 kHz, -0.02 dBFS	78	74	dB (min)
ENOB	Effective Number of Bits	V _A = +2.7 to 5.25V f _{IN} = 100 kHz, -0.02 dBFS	9.9	9.8	Bits (min)
IMD	Intermodulation Distortion, Second Order Terms	V _A = +5.25V f _a = 103.5 kHz, f _b = 113.5 kHz	-78		dB
	Intermodulation Distortion, Third Order Terms	V _A = +5.25V f _a = 103.5 kHz, f _b = 113.5 kHz	-78		dB
FPBW	-3 dB Full Power Bandwidth	V _A = +5V	11		MHz
		V _A = +3V	8		MHz

ADC101S101 コンバータの電気的特性 (Note 7, 9)(つづき)

特記のない限り、以下の仕様は $V_A = +2.7V \sim 5.25V$, $GND = 0V$, $f_{SCLK} = 10MHz \sim 20MHz$, $C_L = 15pF$, $f_{SAMPLE} = 500kSPS \sim 1MSPS$ に適用されます。太字のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ に、それ以外のリミット値は $T_A = 25$ に適用されます。

Symbol	Parameter	Conditions	Typical	Limits (Note 9)	Units	
ANALOG INPUT CHARACTERISTICS						
V_{IN}	Input Range		0 to V_A		V	
I_{DCL}	DC Leakage Current			± 1	μA (max)	
C_{INA}	Input Capacitance	Track Mode	30		pF	
		Hold Mode	4		pF	
DIGITAL INPUT CHARACTERISTICS						
V_{IH}	Input High Voltage	$V_A = +5.25V$		2.4	V (min)	
		$V_A = +3.6V$		2.1	V (min)	
V_{IL}	Input Low Voltage	$V_A = +5V$		0.8	V (max)	
		$V_A = +3V$		0.4	V (max)	
I_{IN}	Input Current	$V_{IN} = 0V$ or V_A	± 0.1	± 1	μA (max)	
C_{IND}	Digital Input Capacitance		2	4	pF (max)	
DIGITAL OUTPUT CHARACTERISTICS						
V_{OH}	Output High Voltage	$I_{SOURCE} = 200 \mu A$	$V_A - 0.07$	$V_A - 0.2$	V (min)	
		$I_{SOURCE} = 1 mA$	$V_A - 0.1$		V	
V_{OL}	Output Low Voltage	$I_{SINK} = 200 \mu A$	0.03	0.4	V (max)	
		$I_{SINK} = 1 mA$	0.1		V	
I_{OZH} , I_{OZL}	TRI-STATE® Leakage Current		± 0.1	± 10	μA (max)	
C_{OUT}	TRI-STATE® Output Capacitance		2	4	pF (max)	
	Output Coding		Straight (Natural) Binary			
POWER SUPPLY CHARACTERISTICS						
V_A	Supply Voltage			2.7	V (min)	
				5.25	V (max)	
I_A	Supply Current, Normal Mode (Operational, \overline{CS} low)	$V_A = +5.25V$, $f_{SAMPLE} = 1 Msps$	SOT-23 LLP	2.0	3.2 2.8	mA (max)
		$V_A = +3.6V$, $f_{SAMPLE} = 1 Msps$	SOT-23 LLP	0.6	1.5 1.3	mA (max)
	Supply Current, Shutdown (\overline{CS} high)	$f_{SCLK} = 0 MHz$, $V_A = +5V$ $f_{SAMPLE} = 0 ksps$		500		nA
		$V_A = +5V$, $f_{SCLK} = 20 MHz$, $f_{SAMPLE} = 0 ksps$		60		μA
P_D	Power Consumption, Normal Mode (Operational, \overline{CS} low)	$V_A = +5V$	SOT-23 LLP	10.0	16 14	mW (max)
		$V_A = +3V$	SOT-23 LLP	2.0	4.5 3.9	mW (max)
	Power Consumption, Shutdown (\overline{CS} high)	$f_{SCLK} = 0 MHz$, $V_A = +5V$ $f_{SAMPLE} = 0 ksps$		2.5		μW
		$f_{SCLK} = 20 MHz$, $V_A = +5V$, $f_{SAMPLE} = 0 ksps$		300		μW
AC ELECTRICAL CHARACTERISTICS						
f_{SCLK}	Clock Frequency	(Note 8)		10	MHz (min)	
				20	MHz (max)	
f_S	Sample Rate	(Note 8)		500	ksps (min)	
				1	MSPS (max)	
t_{CONV}	Conversion Time			16	SCLK cycles	

ADC101S101 コンバータの電気的特性 (Note 7, 9)(つづき)

特記のない限り、以下の仕様は $V_A = +2.7V \sim 5.25V$ 、 $GND = 0V$ 、 $f_{SCLK} = 10MHz \sim 20MHz$ 、 $C_L = 15pF$ 、 $f_{SAMPLE} = 500kSPS \sim 1MSPS$ に適用されます。太字のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ に、それ以外のリミット値は $T_A = 25$ に適用されます。

Symbol	Parameter	Conditions	Typical	Limits (Note 9)	Units
AC ELECTRICAL CHARACTERISTICS					
DC	SCLK Duty Cycle	$f_{SCLK} = 20\text{ MHz}$	50	40	% (min)
				60	% (max)
t_{ACQ}	Track/Hold Acquisition Time			400	ns (max)
	Throughput Time	Acquisition Time + Conversion Time		20	SCLK cycles
t_{QUIET}	(Note 10)			50	ns (min)
t_{AD}	Aperture Delay		3		ns
t_{AJ}	Aperture Jitter		30		ps

ADC101S101 タイミング仕様

特記のない限り、以下の仕様は $V_A = +2.7V \sim 5.25V$ 、 $GND = 0V$ 、 $f_{SCLK} = 10.0MHz \sim 20.0MHz$ 、 $C_L = 25pF$ 、 $f_{SAMPLE} = 500kSPS \sim 1MSPS$ に適用されます。太字のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ に、それ以外のリミット値は $T_A = 25$ に適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units
t_{CS}	Minimum CS Pulse Width			10	ns (min)
t_{SU}	CS to SCLK Setup Time			10	ns (min)
t_{EN}	Delay from CS Until SDATA TRI-STATE® Disabled (Note 11)			20	ns (max)
t_{ACC}	Data Access Time after SCLK Falling Edge (Note 12)	$V_A = +2.7\text{ to }+3.6$		40	ns (max)
		$V_A = +4.75\text{ to }+5.25$		20	ns (max)
t_{CL}	SCLK Low Pulse Width			0.4 x t_{SCLK}	ns (min)
t_{CH}	SCLK High Pulse Width			0.4 x t_{SCLK}	ns (min)
t_H	SCLK to Data Valid Hold Time	$V_A = +2.7\text{ to }+3.6$		7	ns (min)
		$V_A = +4.75\text{ to }+5.25$		5	ns (min)
t_{DIS}	SCLK Falling Edge to SDATA High Impedance (Note 13)	$V_A = +2.7\text{ to }+3.6$		25	ns (max)
				6	ns (min)
		$V_A = +4.75\text{ to }+5.25$		25	ns (max)
				5	ns (min)
$t_{POWER-UP}$	Power-Up Time from Full Power-Down		1		μs

Note 1: 「絶対最大定格」とは、デバイスに破壊が発生する可能性のある制限値をいいます。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された仕様、および試験条件については「電気的特性」を参照してください。保証された仕様はリストに示された試験条件でのみ適用されます。リストに示されている試験条件の下で動作していない場合には、いくつかの性能特性は低下することがあります。

Note 2: 特記のない限り、全電圧は $GND = 0V$ を基準にして測定されます。

Note 3: いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 ($V_{IN} < GND$ または $V_{IN} > V_A$)、そのピンの入力電流を 10mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (20mA) により、電源電圧を超えて 10mA の電流を流すことができるピンの数は 2 本に制限されます。絶対最大定格仕様は V_A ピンには適用されません。 V_A ピンに流入する電流は、アナログ電源電圧の規定により制限されます。

Note 4: 温度上昇時の動作では、最大消費電力の定格を T_{Jmax} (最大接合部温度: このデバイスの場合、 T_{Jmax} は 150)、 J_A (接合部・周囲温度間熱抵抗)、 T_A (周囲温度) に従ってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{Dmax} = (T_{Jmax} - T_A) / J_A$ または「絶対最大定格」で示される値のうち、いずれか低い方の値です。上記の最大許容消費電力の値にまで上がる場合は、デバイスが何らかの異常状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。明らかにこのような条件での動作は避けなければなりません。

Note 5: 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k を通して各ピンに放電させます。マシン・モデルの場合は、220pF のコンデンサから直列抵抗 0 を通して各ピンに放電させます。

Note 6: リフロー温度プロファイルは、鉛フリー・パッケージの場合と非鉛フリー・パッケージの場合で異なります。

Note 7: テスト・リミット値はナショナル セミコンダクター社の平均出荷品質レベル AOQL に基づき保証されます。

Note 8: これは電気的特性が保証される周波数範囲です。デバイスは「動作定格」で規定されている周波数範囲にわたって機能します。

Note 9: データシートの min/max リミット値は、設計、テスト、統計解析によって保証されています。

Note 10: バス開放と次の変換開始のために最小 Quiet Time が必要です。

Note 11: Figure 1 に示すタイミング試験回路で測定され、出力信号が 1.0V を横切るタイミングとして定義されています。

Note 12: Figure 1 に示すタイミング試験回路で測定され、出力信号が 1.0V または 2.0V を横切るタイミングとして定義されています。

Note 13: t_{DIS} は Figure 1 に示すタイミング試験回路を使って、出力が 0.5V 変化するタイミングから取得しています。続いて、測定値を調整して出力容量の充電または放電効果を排除しています。そのため t_{DIS} はバス開放に要する実際の時間であり、バス負荷には依存しません。

タイミング図

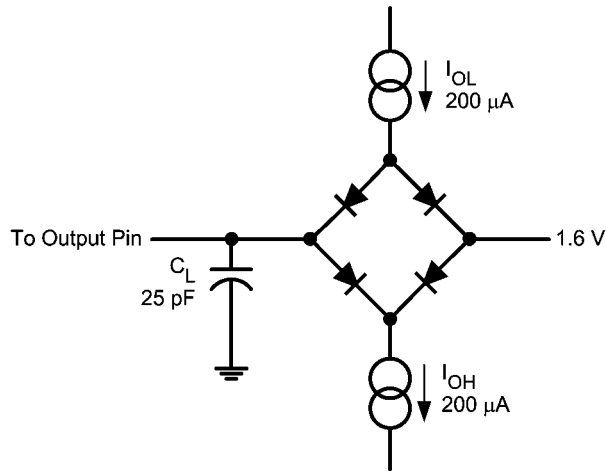


FIGURE 1. Timing Test Circuit

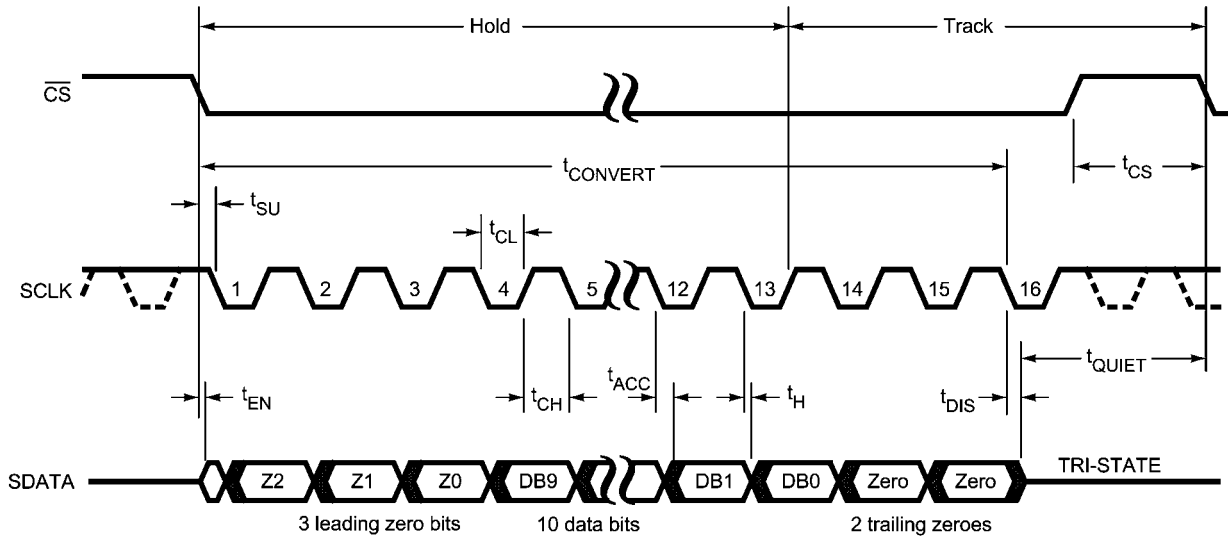


FIGURE 2. ADC101S101 Serial Timing Diagram

用語の定義

アキュジション時間 (**ACQUISITION TIME**) は、入力電圧の取り込みに必要な時間です。すなわち、ホールド・コンデンサが入力電圧で充電されるまでに必要な時間に相当します。

アパーチャ・ディレイ (**APERTURE DELAY**) は、変換処理開始後 4 番目の SCLK 立ち下がりエッジから、変換を行なうために入力信号がホールドされるまでの時間です。

アパーチャ・ジッタ(アパーチャ不確定性)(**APERTURE JITTER**) は、サンプルとサンプルの間のアパーチャ・ディレイのばらつきです。アパーチャ・ジッタは、それ自身は出力のノイズとして現れます。

変換時間 (**CONVERSION TIME**) は、A/D コンバータが入力電圧を取り込んだあと、入力電圧をデジタル・ワードに変換するために A/D コンバータが必要とする時間です。

微分非直線性 (**DIFFERENTIAL NON-LINEARITY: DNL**) は、理想的なステップである 1LSB からの最大偏差として表されます。

デューティ・サイクル (**DUTY CYCLE**) とは、繰り返し波形の周期に対する High 期間の割合です。このデータシートでは SCLK に適用されます。

有効ビット (**EFFECTIVE NUMBER OF BITS: ENOB**) は、信号/(ノイズ+歪み)比または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー入力帯域 (**FULL POWER BANDWIDTH**) は、フルスケール入力に対して再現される出力基本周波数特性において低周波数帯域に対して 3dB 落ちる周波数として測定されます。

ゲイン・エラー (**GAIN ERROR**) は、理想的な値 ($V_{\text{REF}} - 1.5 \text{ LSB}$) に対する、オフセット・エラー調整後の、(111...110) から (111...111) に移る最終コード遷移の偏差です。

積分非直線性 (**INTEGRAL NON-LINEARITY: INL**) は、負のフルスケール (最初のコード遷移の 1/2 LSB 下) から正のフルスケール (最後のコード遷移の 1/2 LSB 上) まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。

混変調歪み (**INTERMODULATION DISTORTION: IMD**) は、A/D コンバータの入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。2 つの周波数入力のうちの 1 つの周波数のパワーに対する 2 次および 3 次混変調成分のパワーの比として定義されます。IMD は通常 dB で表されます。

ミッシング・コード (**MISSING CODES**) は、A/D コンバータから出力されない出力コードです。ADC101S101 は、ミッシング・コードのないことが保証されています。

オフセット・エラー (**OFFSET ERROR**) は、理想的な値 ($\text{GND} + 0.5\text{LSB}$) に対する、(000...000) から (000...001) に移る最初のコード遷移の偏差です。

信号/ノイズ比 (**SIGNAL TO NOISE RATIO: SNR**) は、クロック信号の 1/2 以下の周波数における、高調波と DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

信号/(ノイズ+歪み)比 (**SIGNAL TO NOISE PLUS DISTORTION: S/(N + D) または SINAD**) は、クロック信号の 1/2 以下の周波数における、高調波を含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

スプリアス・フリー・ダイナミック・レンジ (**SPURIOUS FREE DYNAMIC RANGE: SFDR**) は、対象信号の振幅とピーク・スプリアス・スペクトラル成分の振幅との差で、dB で表します。ここでスプリアス・スペクトラル成分とは、入力には存在しないものの出力スペクトラムに含まれるあらゆる信号を指し、高調波かどうかは問いません。

全高調波歪み (**TOTAL HARMONIC DISTORTION: THD**) は、出力で観測される先頭の 5 次の高調波成分の rms レベルの合計と、出力で観測される入力信号周波数の rms レベルとの比で、dB または dBc で表されます。全高調波歪み THD は次式から求めます。

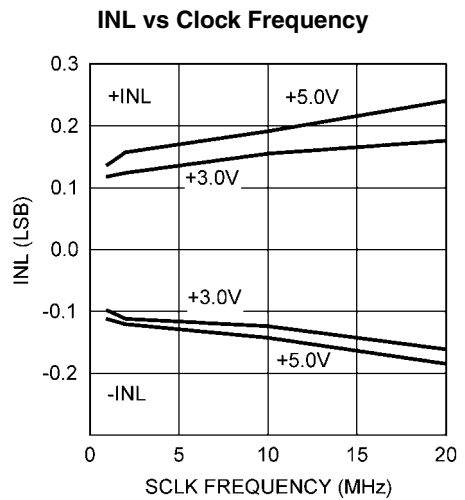
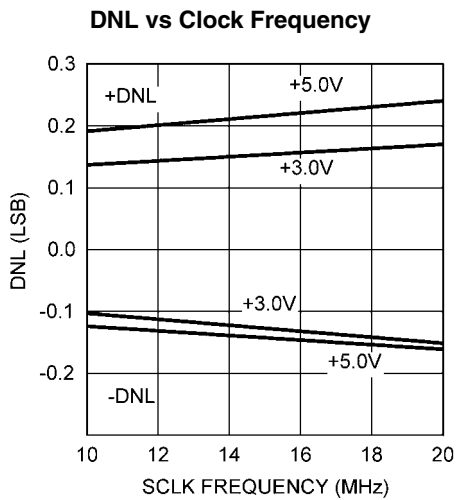
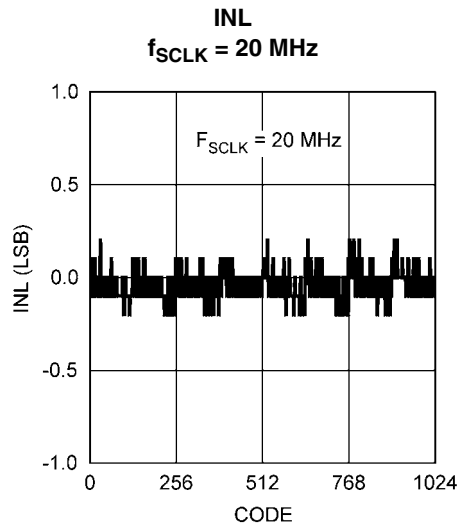
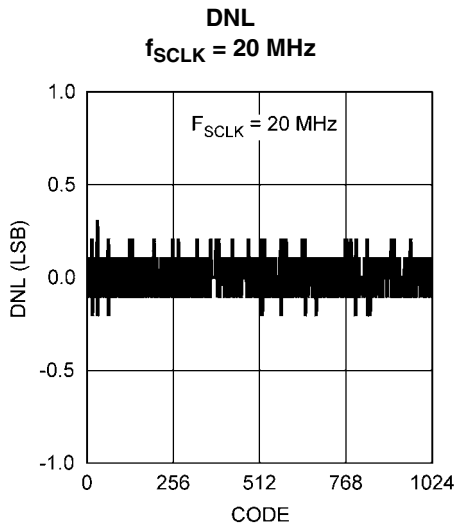
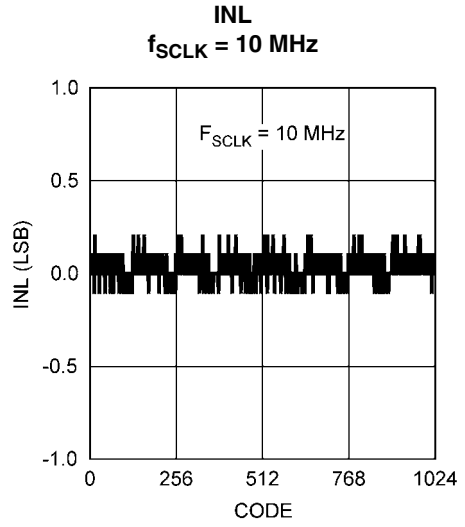
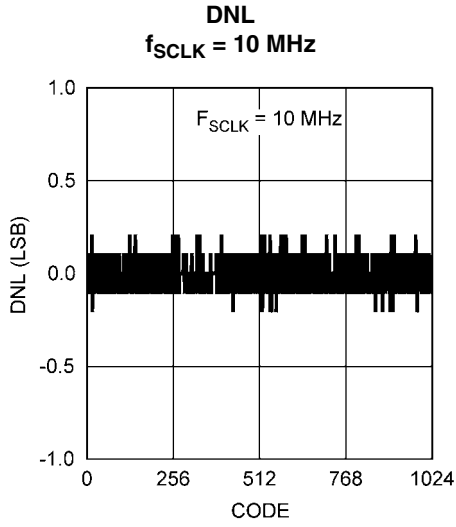
$$\text{THD} = 20 \cdot \log_{10} \sqrt{\frac{A_{f_2}^2 + \dots + A_{f_6}^2}{A_{f_1}^2}}$$

ここで、 A_{f_1} は出力で観測される入力周波数の RMS パワー、 A_{f_2} から A_{f_6} は先頭の 5 個の高調波周波数の RMS パワーです。

スループット時間 (**THROUGHPUT TIME**) は、2 回の連続した変換の開始点同士の最小時間間隔です。アキュジション時間と変換時間の合計に相当します。

代表的な性能特性

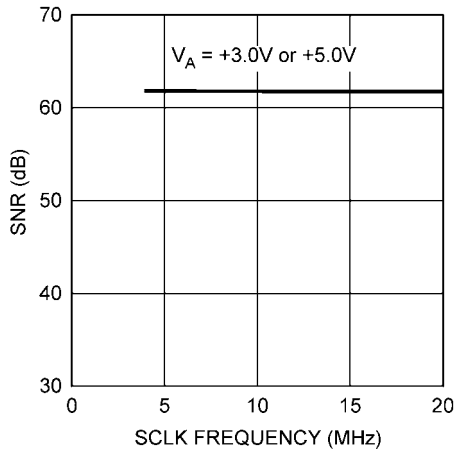
特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS} \sim 1\text{MSPS}$ 、 $f_{SCLK} = 10\text{MHz} \sim 20\text{MHz}$ 、 $f_{IN} = 100\text{kHz}$ 。



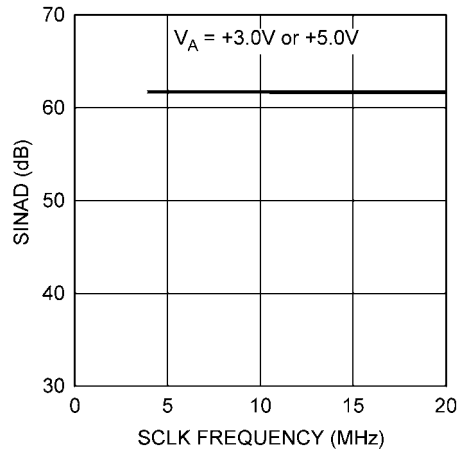
代表的な性能特性 (つづき)

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS} \sim 1\text{MSPS}$ 、 $f_{SCLK} = 10\text{MHz} \sim 20\text{MHz}$ 、 $f_{IN} = 100\text{kHz}$ 。

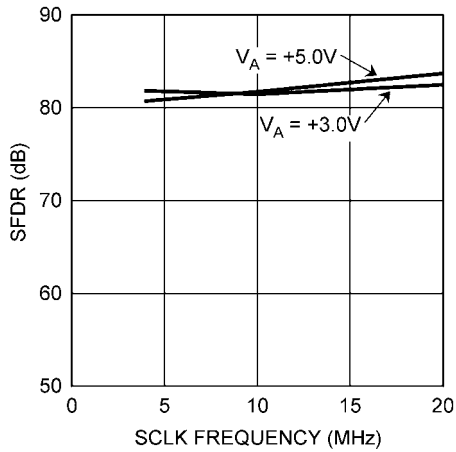
SNR vs Clock Frequency



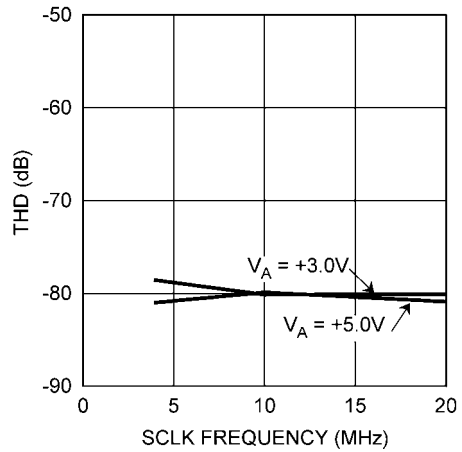
SINAD vs. Clock Frequency



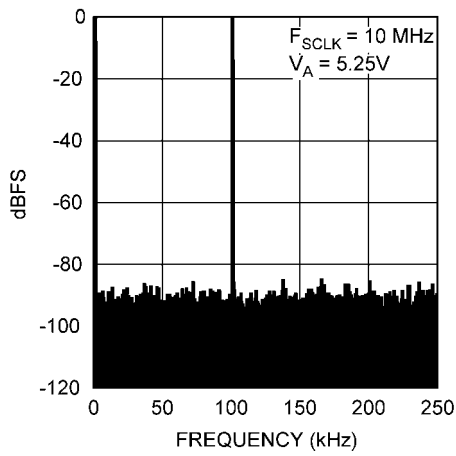
SFDR vs. Clock Frequency



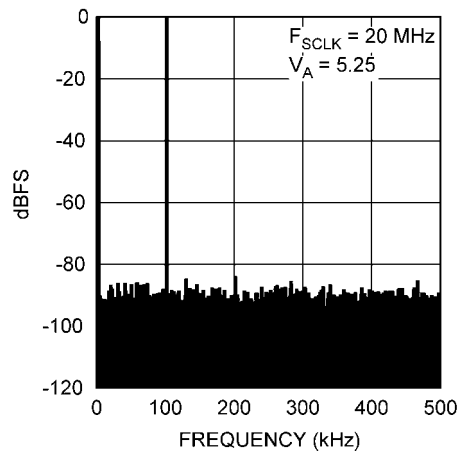
THD vs. Clock Frequency



Spectral Response, $V_A = 5.25\text{V}$
 $f_{SCLK} = 10\text{ MHz}$



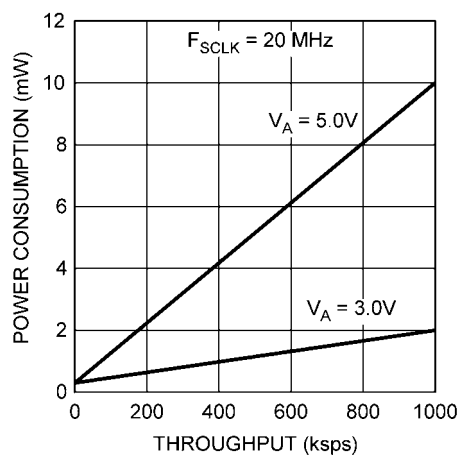
Spectral Response, $V_A = 5.25\text{V}$
 $f_{SCLK} = 20\text{ MHz}$



代表的な性能特性 (つづき)

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS} \sim 1\text{MSPS}$ 、 $f_{SCLK} = 10\text{MHz} \sim 20\text{MHz}$ 、 $f_{IN} = 100\text{kHz}$ 。

Power Consumption vs. Throughput,
 $f_{SCLK} = 20\text{ MHz}$



アプリケーション情報

1.0 ADC101S101 の動作

ADC101S101 は、電荷再配分 D/A コンバータを採用した逐次比較型の A/D コンバータです。トラック・モードとホールド・モードでの ADC101S101 の内部回路を Figure 3 と Figure 4 にそれぞれ模式化して示します。Figure 3 ではデバイスはトラック・モードにあります。SW1 によってサンプリング・コンデンサには入力信号電圧が与えられ、また SW2 はコンパレータを平衡状態にします。CS が Low になってホールド・モードに移るまで、デバイスはこの状態を保ちます。

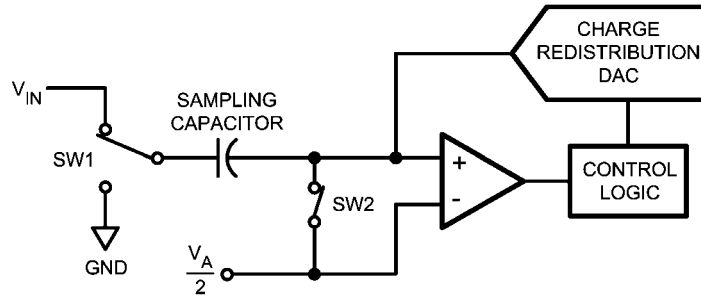


FIGURE 3. ADC101S101 in Track Mode

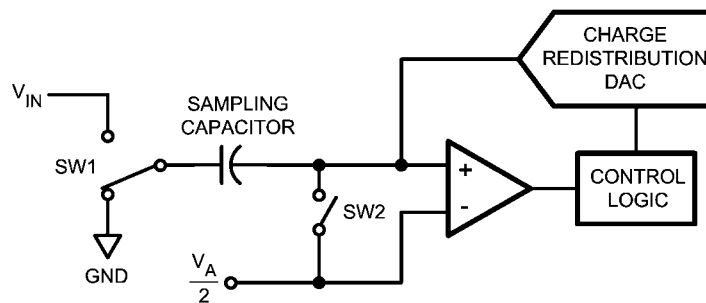


FIGURE 4. ADC101S101 in Hold Mode

2.0 ADC101S101 を使用する

ADC101S101 のシリアル・インタフェース・タイミングを Figure 2 に示します。CS はチップ・セレクトを表し、ADC101S101 の変換サイクルとシリアル・データ転送フレームの開始をトリガします。また SCLK (シリアル・クロック) は、変換処理とシリアル・データ・タイミングの両方を制御します。SDATA はシリアル・データ出力ピンで、変換結果がシリアル・データ・ストリームとして出力されます。

CS を Low にすると ADC101S101 の基本動作として変換処理とデータ転送が開始されます。CS の立ち下がりを基準にして、SCLK の立ち上がりエッジと立ち下がりエッジに番号を付けて呼ぶことにします。たとえば「SCLK の 3 番目の立ち下がりエッジ」は、CS が Low になった時点から数えて 3 回目の SCLK の立ち下がりエッジを表します。

CS を Low にすると、SDATA ピンは TRI-STATE から復帰し、コンバータはトラック・モードからホールド・モードへと移ります。入力信号はサンプルされ、変換のために CS の立ち下がりエッジで保持されます。コンバータは SCLK の 13 番目の立ち上がりエッジで、ホールド・モードからトラック・モードへ戻ります (Figure 2 参照)。SDATA ピンは、SCLK の 16 番目の立ち下がりエッジ、または CS の立ち上がりエッジで TRI-STATE に戻ります。変換完了後、次

Figure 4 ではデバイスはホールド・モードにあります。サンプリング・コンデンサは入力電圧を保持したまま SW1 によってグラウンドに接続され、またスイッチ SW2 はコンパレータを不平衡状態にします。制御回路はコンパレータが平衡状態になるまで、サンプリング・コンデンサに一定量の電荷 (電位) を加算または減算するように電荷再配分型 DAC を制御します。コンパレータが平衡になった時点で DAC に与えられているデジタル・ワードがアナログ入力電圧のデジタル値を表します。デバイスはホールド・モードに移行した SCLK の 13 番目の立ち上がりエッジ後にトラック・モードに戻ります。

の変換のため CS を再び Low にするまで、静止時間 t_{QUIET} の時間間隔を満たす必要があります。

ADC101S101 からの読み出し完了には 16 SCLK サイクルを必要とします。先頭のゼロを含むサンプル・ビットは SCLK の立ち下がりエッジに同期して出力され、次の SCLK の立ち下がりエッジで後段のレシーバに取り込まれる (有効な出力となる) ことを意図しています。ADC101S101 は、SDATA の先頭に 3 つのゼロ・ビットを出力し、続いて、10 ビットのデータを MSB から順に出力します。データビットの最後には、ADC101S101 では 2 個のゼロが続きます。

CS が SCLK の立ち上がりエッジの前で Low になると SCLK の次の立ち下がりエッジで追加のゼロ・ビット (4 つ目) がキャプチャされます。

アプリケーション情報 (つづき)

3.0 ADC101S101 の伝達関数

ADC101S101 の出力フォーマットはストレート・バイナリ形式です。コード遷移は連続する LSB と LSB の中点付近で生じます。ADC101S101 の LSB の大きさは $V_A/1024$ です。理想伝達特性を Figure 5 に示します。出力コード 00 0000 0000 からコード 00 0000 0001 への遷移は 1/2 LSB または $V_A/2048$ のポイントで生じます。以後、1LSB を単位として遷移が発生します。

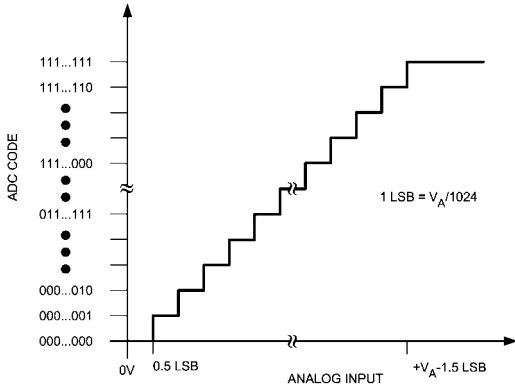


FIGURE 5. Ideal Transfer Characteristic

4.0 代表的なアプリケーション回路

ADC101S101 の代表的なアプリケーション回路例を Figure 6 に示します。この回路例では固定出力電圧品や可変出力電圧品が揃ったナショナル セミコンダクターの LP2950/LP2951 低ドロップアウト電圧レギュレータを用いて電源を供給しています。電源電圧は ADC101S101 近くに配置したコンデンサ・ネットワークでバイパスしています。ADC101S101 はリファレンスに電源電圧を使用するため、電源にノイズが重畳しているとデバイスのノイズ性能が低下します。電源ノイズを抑えるには、このデバイス専用リニアレギュレータを設けるか、ADC101S101 の電源ピンを他の回路に対して十分にデカップリングしてノイズの低減を図ってください。ADC101S101 の消費電力は小さいため、高精度な電圧リファレンスを電源として用いて性能を最大限に引き出すことも可能です。また、3 線式のシリアル・インタフェースがマイクロプロセッサまたは DSP に接続されています。

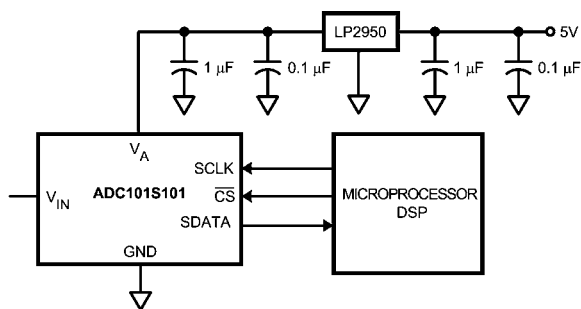


FIGURE 6. Typical Application Circuit

5.0 アナログ入力

ADC101S101 の等価回路を Figure 7 に示します。ダイオード D1 と D2 はアナログ入力の ESD 保護を目的としています。アナログ入力が $V_A + 300\text{mV}$ を上回った場合、あるいは $\text{GND} - 300\text{mV}$ を下回った場合、ESD ダイオードが即座に導通を開始するため、正当ではない結果が得られます。

Figure 7 のコンデンサ C1 の代表値は 4pF で、主にパッケージ容量に起因します。抵抗 R1 はマルチプレクサとトラック / ホールド・スイッチの抵抗で、代表値は 500 です。コンデンサ C2 は ADC101S101 のサンプリング・コンデンサで、容量は代表値で 26pF です。サンプリング・コンデンサの充電で生じるこのような変動を吸収させる意味で、ADC101S101 は低インピーダンスの信号源で駆動されたときに最も高い性能を発揮します。このような設計は ADC101S101 を AC 信号のサンプリングに使用する場合に特に重要です。また、ダイナミック信号のサンプリングでは、アンチエイリアス・フィルタを設けることも重要です。

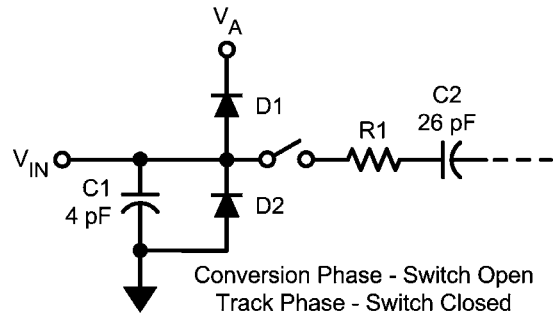


FIGURE 7. Equivalent Input Circuit

6.0 デジタル入力とデジタル出力

ADC101S101 デジタル入力 (SCLK と $\overline{\text{CS}}$) にはアナログ入力の絶対最大定格は適用されません。デジタル入力電圧は、電源電圧 V_A によらず、グラウンド基準で + 5.25V に制限されています。そのため ADC101S101 は、電源電圧とは別に広い範囲のロジックレベルとインタフェースさせることが可能です。

7.0 動作モード

ADC101S101 は、ノーマル・モードとシャットダウン・モードの 2 つの動作モードを持っています。ADC101S101 は $\overline{\text{CS}}$ を Low にするとノーマル・モードに移行します (あわせて変換処理が始まります)。 $\overline{\text{CS}}$ を Low にしたあと 10 SCLK までに $\overline{\text{CS}}$ を High にすればシャットダウン・モードに移行し、 $\overline{\text{CS}}$ を High にしなければノーマル・モードを保ちます。シャットダウン・モードに移行すると、 $\overline{\text{CS}}$ を Low にするまではノーマル・モードには戻りません。ノーマル・モードとシャットダウン・モードの動作時間比を変化させることで、スリープと最小サンプリング・レートをゼロとした状態での低消費電力とをトレードオフすることが可能です。

7.1 ノーマル・モード

ADC101S101 を常時ノーマル・モードで使えば、パワーアップ遅延が生じないため最速スリープが得られます。デバイスを連続させてノーマル・モードにしておくためには、 $\overline{\text{CS}}$ を Low にして変換を開始した後、SCLK の 10 番目の立ち下がりが $\overline{\text{CS}}$ を Low に保っておかなければなりません。

アプリケーション情報 (つづき)

SCLK の 10 番目の立ち上がりエッジから 16 番目の立ち上がりエッジの間に \overline{CS} を High にすると、デバイスはノーマル・モードを保ったまま、その時点の変換は中断され SDATA は TRI-STATE になります (出力ワードの残りビットは切り捨てられます)。

デバイスからすべての変換ワードを読み出すには 16 SCLK サイクルが必要です。16 SCLK サイクルが経過したあとは、次の変換まで \overline{CS} は High または Low のどちらにしておいても構いません。 \overline{CS} を Low で保持する場合は、次の変換開始時に \overline{CS} を再び Low にする前に High に戻す必要があります。

16 SCLK サイクルが経過すると SDATA は TRI-STATE に戻ります。 t_{QUIET} 時間後に \overline{CS} を Low にすれば次の変換が開始されます。

7.2 シャットダウン・モード

シャットダウン・モードは、連続したサンプルを必要としないアプリケーション、またはスループットより消費電力を優先したいアプリケーションに適しています。ADC101S101 がシャットダウン・モードになると、すべてのアナログ回路はターンオフされます。

シャットダウン・モードに移行させるには、Figure 8 に示すように、SCLK の 2 番目の立ち上がりエッジから 10 番目の立ち上がりエッジまでの間で \overline{CS} を High にし、変換を中断させる必要があります。 \overline{CS} をこのようなタイミングで High にすると、デバイスはシャットダウン・モードに移行し、その時点の変換は中断され SDATA は TRI-STATE になります。なお、 \overline{CS} 信号にノイズが重畳した場合の誤動作を防ぐため、SCLK の 2 番目の立ち上がりエッジより前に \overline{CS} を High にしてもデバイスのモードは変わらないよう設計されています。

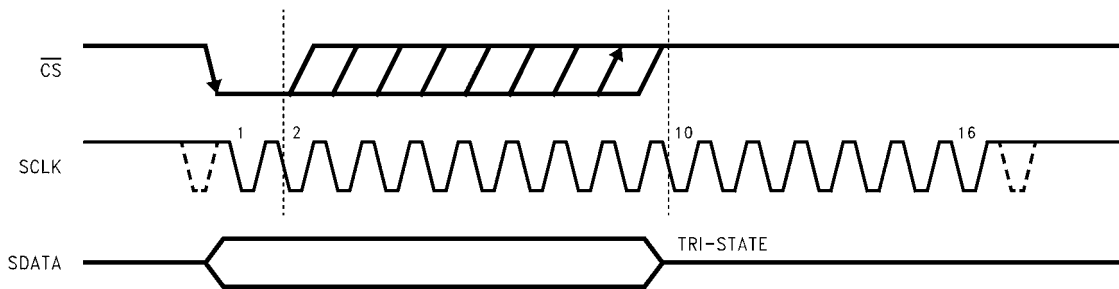


FIGURE 8. Entering Shutdown Mode

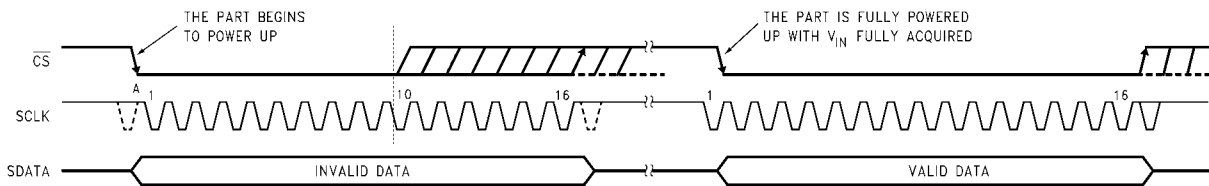


FIGURE 9. Entering Normal Mode

シャットダウン・モードからノーマル・モードへと復帰させるには \overline{CS} を Low にします。 \overline{CS} を Low にすると ADC101S101 はパワーアップを開始します (パワーアップ時間は「ADC101S101 タイミング仕様」の表に記載)。パワーアップ時の遅延があるため最初の変換結果は有効ではありません。その次の変換は、Figure 9 に示すように有効です。

\overline{CS} を SCLK の 10 番目の立ち上がりエッジ前に High にすると、デバイスは再びシャットダウン・モードに入ります。 \overline{CS} 信号のノイズによって、予期せずノーマル・モードに戻ることを防止するためです。ノーマル・モード動作を維持するには、 \overline{CS} は SCLK の 10 番目の立ち上がりエッジ後まで Low に保つ必要があります。ADC101S101 は 16 SCLK サイクル後に完全にパワーアップします。

8.0 パワーマネジメント

ADC101S101 は、 V_A を最初に印加した時点と、シャットダウン・モードからノーマル・モードに復帰する時点で、パワーアップ時間を必要とします。この時間は、データシートで規定されている任意の SCLK 周波数で、1 サイクル分の変換に相当します。この最初の変換は結果を利用できないダミー変換で、正常な結果が得られるのは次の変換からとなります。ダミー変換サイクルから次の有効な変換サイクルの間 t_{QUIET} タイミングを満たす必要があります。

V_A を先に印加した場合、ADC101S101 はノーマル・モードかシャットダウン・モードのいずれかでパワーアップします。そのため、前項に記載のように、1 つのダミー変換サイクルをスタートアップ後に実行してください。その後デバイスを、セクション 7.1 と 7.2 で述べたノーマル・モードかシャットダウン・モードのどちらかに確定させます。

ADC101S101 をノーマル・モードで連続動作させた場合の最大スループットは $f_{\text{SCLK}}/20$ です。各変換ごとに SCLK の立ち上がりエッジの 10 クロック目から 15 クロック目までの間に \overline{CS} を High に変化させながら、最大規定定格の f_{SCLK} を与えて単位時間あたりの変換を抑えることで、スループットと消費電力とを両立させることができます。代表的な消費電力とスループットとの関係は「代表的な性能特性」のセクションに記載しています。あるスループットでの消費電力を求めるには、ノーマル・モードで動作する時間割り合いにノーマル・モードの消費電力を乗じた値に、シャットダウン・モードで動作する時間割り合いにシャットダウン・モードの消費電力を乗じた値を加えます。消費電力とスループットとの関係は実質的にリニアな特性にある点に着目してください。その理由は、シャットダウン・モードでの消費電力はきわめて小さく実質的に無視できるからです。

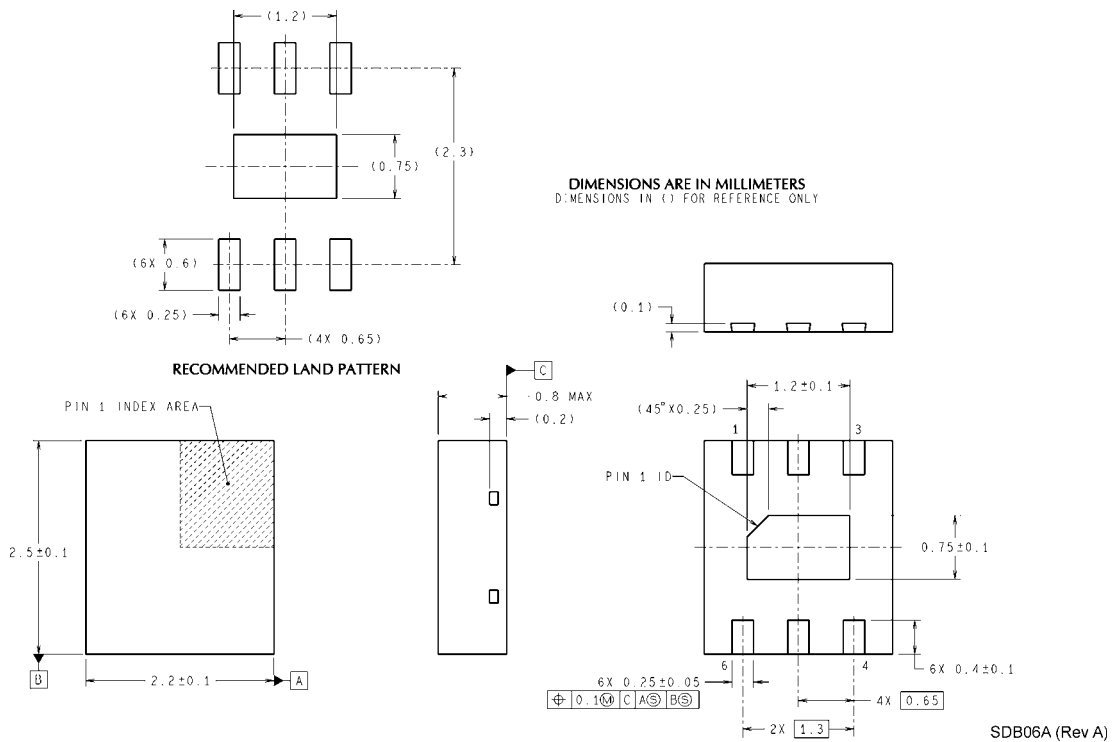
アプリケーション情報 (つづき)

9.0 電源ノイズに対する考慮事項

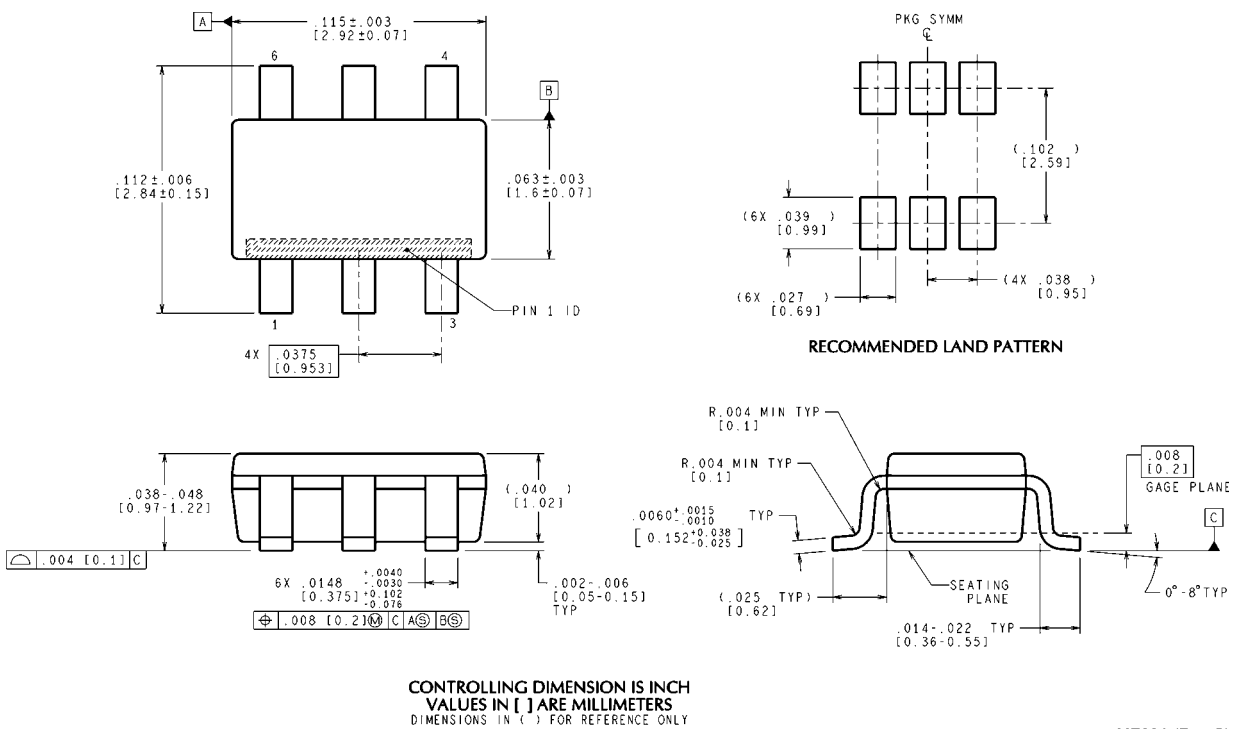
出力負荷容量の充電には電源 V_A からの電流が必要です。電源から流れる出力容量の充電に必要な電流パルスは電源電圧に変動をもたらします。この変動がきわめて大きい場合、A/D コンバータの SNR 性能と SINAD 性能が低下します。また、デジタル出力レベルが High から Low に変化したときに発生する出力容量からの放電電荷は、抵抗性を持つダイ・サブストレートに電流として流れ込みます。負荷放電電流が大きい場合、ノイズ性能を低下させる「グラウンド・バウンス」がサブストレート内で発生します。出力容量が大きいほど多くの電流がダイ・サブストレートに流れ、アナログ・チャンネルへのノイズ重畳が大きくなり、ノイズ性能が劣化します。

電源のノイズを抑えるには出力負荷容量をできるだけ小さくします。A/D コンバータの出力のできるだけ近くに 100 の直列抵抗を挿入する方法が適当です。抵抗が出力容量の充電電流と放電電流を制限し、ノイズ性能の低下を防ぎます。

外形寸法図 特記のない限り inches (millimeters)



6-Lead LLP
Order Number ADC101S101CISD or ADC101S101CISDX
NS Package Number SDB06A
 単位は millimeters



6-Lead SOT-23
Order Number ADC101S101CIMF, ADC101S101CIMFX
NS Package Number MF06A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2006 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上