

# ADC122S706

*ADC122S706 Dual 12-Bit, 500 kSPS to 1 MSPS, Simultaneous Sampling A/D Converter*



Literature Number: JAJSAT4

## ADC122S706

### デュアル 12 ビット、500kSPS ~ 1MSPS、同時サンプリング A/D コンバータ

#### 概要

ADC122S706 は、デュアル 12 ビット、500kSPS ~ 1MSPS の同時サンプリング A/D コンバータです。両チャンネルのアナログ入力と同時にサンプリングされ、サンプリングされた入力の相対位相情報が保持されます。このコンバータは、逐次比較レジスタ・アーキテクチャを採用しており、内蔵トラック / ホールド回路から A/D コンバータ全体にわたってアナログ入力の差動特性が保持されることにより、優れた共通モード信号除去性能を提供します。ADC122S706 は、1.0V ~  $V_A$  の動作範囲の外部リファレンスを備えています。

ADC122S706 の出力は、2 の補数バイナリで、SPI™、QSPI™、MICROWIRE™ などの標準や、主要な DSP シリアル・インタフェースと互換性があるデュアル高速シリアル・データです。チャンネル A の変換結果は  $D_{OUTA}$  に出力され、チャンネル B の変換結果は  $D_{OUTB}$  に出力されます。この機能を備えた ADC122S706 は、同時サンプリング・アプリケーションで 2 つの ADC を使用するシステムに代わるソリューションとして最適です。シリアル・クロック (SCLK) およびチップ・セレクト・バー (CS) は両方のチャンネルで共有されます。低消費電力では、単一のシリアル・データ出力モードを外部から選択可能です。

ADC122S706 は、アナログ系 ( $V_A$ ) とデジタル系 ( $V_D$ ) に個別の電源電圧を与えて動作できます。 $V_A$  の電圧範囲は 4.5V ~ 5.5V、 $V_D$  の電圧範囲は 2.7V ~  $V_A$  です。ADC122S706 を  $V_A = 5V$ 、 $V_D = 3V$  で動作させた場合、1MSPS での消費電力は通常 25mW になります。パワーダウン・モードで動作させた場合、ADC122S706 の消費電力は 3 $\mu$ W に低下します。差動入力、低消費電力、小型パッケージを特長とする ADC122S706 は、モータ制御アプリケーションのセンサとの直接接続に最適です。

- 40 ~ + 105 の工業用温度範囲と 8MHz ~ 16MHz のクロック・レート範囲での動作が保証されています。ADC122S706 は 14 ピンの TSSOP パッケージで提供されます。

#### 特長

- 同時サンプリングの全差動入力
- 500kSPS ~ 1MSPS の範囲で保証された性能
- 外部リファレンス電圧源
- 広い範囲の入力共通モード電圧
- シングルまたはデュアルの高速シリアル・データ出力
- 動作温度範囲 - 40 ~ + 105
- SPI™/QSPI™/MICROWIRE™/DSP と互換性のあるシリアル・インタフェース

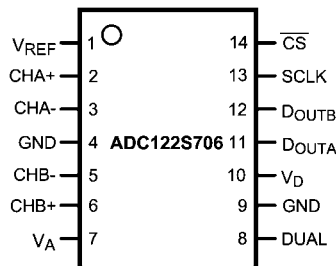
#### 主な仕様

変換レート	500kSPS ~ 1MSPS
INL	$\pm 1$ LSB (max)
DNL	$\pm 0.95$ LSB (max)
S/N 比	71dBc (min)
THD	- 72dBc (min)
ENOB	11.25 ビット (min)
1MSPS での消費電力	
変換時、 $V_A = 5V$ 、 $V_D = 3V$	20mW (typ)
変換時、 $V_A = 5V$ 、 $V_D = 5V$	25mW (typ)
パワーダウン時	3 $\mu$ W (typ)

#### アプリケーション

- モータ制御
- パワー・メーター / パワー・モニタ
- 多軸位置決めシステム
- 計測器や制御システム
- データ・アキュジション・システム
- 医療機器
- ダイレクト・センサ・インタフェース

#### ピン配置図

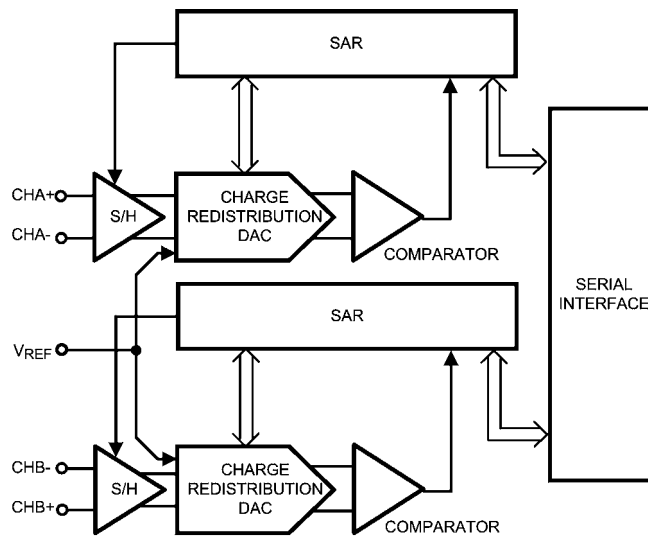


TRI-STATE® はナショナル セミコンダクターの登録商標です。  
MICROWIRE™ はナショナル セミコンダクターの商標です。  
QSPI™ および SPI™ はモトローラ (株) の商標です。

製品情報

Order Code	Temperature Range	Description	Top Mark
ADC122S706CIMT	-40°C to +105°C	14-Lead TSSOP Package, 1000 Units Tape & Reel	2S706
ADC122S706CIMTX	-40°C to +105°C	14-Lead TSSOP Package, 3500 Units Tape & Reel	2S706
ADC122S706EB		Evaluation Board	

ブロック図



## ピン説明および等価回路

ピン番号	シンボル	説明
1	$V_{REF}$	リファレンス電圧入力ピン。この入力ピンに $1V \sim V_A$ の範囲のリファレンス電圧を印加する必要があります。 $V_{REF}$ を $0.1\mu F$ の最小セラミック・コンデンサ値で GND にデカップリングする必要があります。性能を高めるために、 $1.0 \sim 10\mu F$ のバリク・コンデンサを $0.1\mu F$ コンデンサと並列に接続することを推奨します。
2	CHA +	チャンネル A の非反転入力ピン。CHA + は、チャンネル A に印加される差動信号の正のアナログ入力ピンです。
3	CHA -	チャンネル A の反転入力ピン。CHA - は、チャンネル A に印加される差動信号の負のアナログ入力ピンです。
4	GND	グラウンド。GND は、ADC122S706 に印加されるすべての信号のグラウンド基準点です。
5	CHB -	チャンネル B の反転入力ピン。CHB - は、チャンネル B に印加される差動信号の負のアナログ入力ピンです。
6	CHB +	チャンネル B の非反転入力ピン。CHB + は、チャンネル B に印加される差動信号の正のアナログ入力ピンです。
7	$V_A$	アナログ電源入力。この入力ピンに $4.5V \sim 5.5V$ の範囲の電圧を印加する必要があります。 $V_A$ を $1.0 \sim 10\mu F$ のバリク・コンデンサと並列に接続されている $0.1\mu F$ のセラミック・コンデンサで GND にデカップリングする必要があります。
8	DUAL	このピンを論理 High にすると、チャンネル A の変換結果は $D_{OUTA}$ に出力され、チャンネル B の変換結果は $D_{OUTB}$ に出力されます。このピンをグラウンドに接続すると、チャンネル A およびチャンネル B の変換結果が $D_{OUTA}$ に出力されますが、まずチャンネル A の結果が先に出力されます。DUAL をグラウンドに接続すると、 $D_{OUTB}$ はハイ・インピーダンス状態になります。
9	GND	グラウンド。GND は、ADC122S706 に印加されるすべての信号のグラウンド基準点です。
10	$V_D$	デジタル電源入力。この入力ピンに $2.7V \sim V_A$ の範囲の電圧源を印加する必要があります。 $V_D$ を $1.0 \sim 10\mu F$ のバリク・コンデンサと並列に接続されている $0.1\mu F$ のセラミック・コンデンサで GND にデカップリングする必要があります。
11	$D_{OUTA}$	チャンネル A のシリアル・データ出力。DUAL がロジック High 状態の場合、チャンネル A の変換結果は $D_{OUTA}$ に提供されます。シリアル・データ出力ワードは、4 つの null ビットと 12 のデータ・ビット (MSB が先頭) で構成されています。変換中、データは SCLK の立ち下がりがエッジで出力され、通常立ち上がりエッジで有効になります。DUAL がロジック Low 状態の場合、チャンネル A とチャンネル B の変換結果は $D_{OUTA}$ に出力されます。
12	$D_{OUTB}$	チャンネル B のシリアル・データ出力。DUAL がロジック High 状態の場合、チャンネル B の変換結果は $D_{OUTB}$ に提供されます。シリアル・データ出力ワードは、4 つの null ビットと 12 のデータ・ビット (MSB が先頭) で構成されています。変換中、データは SCLK の立ち下がりがエッジで出力され、通常立ち上がりエッジで有効になります。DUAL がロジック Low 状態の場合、 $D_{OUTB}$ はハイ・インピーダンス状態になります。
13	SCLK	シリアル・クロック。SCLK はデータ転送を制御するために使用され、変換クロックとして機能します。
14	$\overline{CS}$	チップ・セレクト・バー。 $\overline{CS}$ はアクティブ Low です。ADC122S706 は、 $\overline{CS}$ が Low であるとノーマル・モード、 $\overline{CS}$ が High であるとパワーダウン・モードになります。 $\overline{CS}$ の立ち下がりがエッジで変換が始まります。

**絶対最大定格** (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

アナログ電源電圧 $V_A$	- 0.3V ~ 6.5V
デジタル電源電圧 $V_D$	- 0.3V ~ ( $V_A + 0.3V$ ) 最大 6.5V
任意のピンの対 GND 電圧	- 0.3V ~ ( $V_A + 0.3V$ )
各ピンの入力電流 (Note 3)	$\pm 10mA$
各パッケージの入力電流 (Note 3)	$\pm 50mA$
パッケージ消費電力 ( $T_A = 25^\circ C$ )	(Note 4 参照)
ESD 耐性 (Note 5)	
人体モデル	2500V
マシン・モデル	250V
デバイス帯電モデル	1000V
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150

**動作定格** (Note 1、2)

動作温度範囲	- 40 $T_A$ + 105
電源電圧 ( $V_A$ )	+ 4.5V ~ + 5.5V
電源電圧 ( $V_D$ )	+ 2.7V ~ $V_A$
リファレンス電圧 ( $V_{REF}$ )	+ 1.0V ~ $V_A$
入力コモンモード電圧 ( $V_{CM}$ )	Figure 10 (セクション 2.3) を参照
デジタル入力ピン電圧範囲	0 ~ $V_D$
クロック周波数	8MHz ~ 16MHz
差動アナログ入力電圧	- $V_{REF}$ ~ + $V_{REF}$

**パッケージ熱抵抗**

Package	$\theta_{JA}$
14-lead TSSOP	121°C / W

ハンダ付けのプロセスは、National Semiconductor's Reflow Temperature Profile 規格に準拠してください。  
[www.national.com/JPN/packageing](http://www.national.com/JPN/packageing) をご覧ください。 (Note 6)

**ADC122S706 コンバータの電気的特性** (Note 8)

特記のない限り、以下の仕様は、 $V_A = +4.5V \sim 5.5V$ 、 $V_D = +2.7V \sim V_A$ 、 $V_{REF} = 2.5V$ 、 $f_{SCLK} = 8 \sim 16MHz$ 、 $DUAL = V_D$ 、 $f_{IN} = 100kHz$ 、 $C_L = 25pF$  に対して適用されます。太文字表記のリミット値は  $T_A = T_{MIN} \sim T_{MAX}$  にわたって適用され、その他のすべてのリミット値は  $T_A = 25^\circ C$  に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units (Note 7)	
<b>STATIC CONVERTER CHARACTERISTICS</b>						
	Resolution with No Missing Codes			<b>12</b>	Bits	
INL	Integral Non-Linearity		$\pm 0.5$	<b><math>\pm 1</math></b>	LSB (max)	
	Integral Non-Linearity Matching		0.02		LSB	
DNL	Differential Non-Linearity		$\pm 0.4$	<b><math>\pm 0.95</math></b>	LSB (max)	
	Differential Non-Linearity Matching		0.02		LSB	
OE	Offset Error		0.2	<b><math>\pm 3</math></b>	LSB (max)	
	Offset Error Matching		0.1		LSB	
GE	Positive Gain Error		-2	<b><math>\pm 5</math></b>	LSB (max)	
	Positive Gain Error Matching		0.2		LSB	
	Negative Gain Error		3	<b><math>\pm 8</math></b>	LSB (max)	
	Negative Gain Error Matching		0.2		LSB	
<b>DYNAMIC CONVERTER CHARACTERISTICS</b>						
SINAD	Signal-to-Noise Plus Distortion Ratio	$f_{IN} = 100 kHz, -0.1 dBFS$	72.5	<b>69.5</b>	dBc (min)	
SNR	Signal-to-Noise Ratio	$f_{IN} = 100 kHz, -0.1 dBFS$	73.2	<b>71</b>	dBc (min)	
THD	Total Harmonic Distortion	$f_{IN} = 100 kHz, -0.1 dBFS$	-83	<b>-72</b>	dBc (max)	
SFDR	Spurious-Free Dynamic Range	$f_{IN} = 100 kHz, -0.1 dBFS$	84	<b>72</b>	dBc (min)	
ENOB	Effective Number of Bits	$f_{IN} = 100 kHz, -0.1 dBFS$	11.8	<b>11.25</b>	bits (min)	
FPBW	-3 dB Full Power Bandwidth	Output at 70.7%FS with FS Input	Differential Input	26		MHz
			Single-Ended Input	22		MHz
ISOL	Channel-to-Channel Isolation	$f_{IN} < 1 MHz$	-90		dBc	
<b>ANALOG INPUT CHARACTERISTICS</b>						
$V_{IN}$	Differential Input Range			- $V_{REF}$	V (min)	
				+ $V_{REF}$	V (max)	
$I_{DCL}$	DC Leakage Current	$V_{IN} = V_{REF}$ or $V_{IN} = -V_{REF}$		<b><math>\pm 1</math></b>	$\mu A$ (max)	
$C_{INA}$	Input Capacitance	In Track Mode	20		pF	
		In Hold Mode	3		pF	

**ADC122S706 コンバータの電気的特性** (Note 8) (つづき)

特記のない限り、以下の仕様は、 $V_A = +4.5V \sim 5.5V$ 、 $V_D = +2.7V \sim V_A$ 、 $V_{REF} = 2.5V$ 、 $f_{SCLK} = 8 \sim 16MHz$ 、 $DUAL = V_D$ 、 $f_{IN} = 100kHz$ 、 $C_L = 25pF$  に対して適用されます。太文字表記のリミット値は  $T_A = T_{MIN} \sim T_{MAX}$  にわたって適用され、その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units (Note 7)
CMRR	Common Mode Rejection Ratio	See the Specification Definitions for the test condition	-90		dB
$V_{REF}$	Reference Voltage Range			<b>1.0</b>	V (min)
				$V_A$	V (max)
<b>DIGITAL INPUT CHARACTERISTICS</b>					
$V_{IH}$	Input High Voltage			<b>2.4</b>	V (min)
$V_{IL}$	Input Low Voltage			<b>0.8</b>	V (max)
$I_{IN}$	Input Current (Note 11)	$V_{IN} = 0V$ or $V_A$		<b><math>\pm 1</math></b>	$\mu A$ (max)
$C_{IND}$	Input Capacitance		2	<b>4</b>	pF (max)
<b>DIGITAL OUTPUT CHARACTERISTICS</b>					
$V_{OH}$	Output High Voltage	$I_{SOURCE} = 200 \mu A$	$V_D - 0.02$	<b><math>V_D - 0.2</math></b>	V (min)
		$I_{SOURCE} = 1 mA$	$V_D - 0.09$		V
$V_{OL}$	Output Low Voltage	$I_{SINK} = 200 \mu A$	0.01	<b>0.4</b>	V (max)
		$I_{SINK} = 1 mA$	0.08		V
$I_{OZH}, I_{OZL}$	TRI-STATE Leakage Current	Force 0V or $V_A$		<b><math>\pm 1</math></b>	$\mu A$ (max)
$C_{OUT}$	TRI-STATE Output Capacitance	Force 0V or $V_A$	2	<b>4</b>	pF (max)
	Output Coding		Binary 2'S Complement		
<b>POWER SUPPLY CHARACTERISTICS</b>					
$V_A$	Analog Supply Voltage			<b>4.5</b>	V (min)
				<b>5.5</b>	V (max)
$V_D$	Digital Supply Voltage			<b>2.7</b>	V (min)
				$V_A$	V (max)
$I_{VA}$ (Conv)	Analog Supply Current, Continuously Converting (Dual Data Output Mode)	$f_{SCLK} = 16 MHz$ , $f_S = 1 MSPS$ , $f_{IN} = 100 kHz$ , $V_A = 5V$ , $DUAL = V_D$	3.3	<b>4.2</b>	mA (max)
	Analog Supply Current, Continuously Converting (Single Data Output Mode)	$f_{SCLK} = 16 MHz$ , $f_S = 500 kSPS$ , $f_{IN} = 100 kHz$ , $V_A = 5V$ , $DUAL = 0V$	1.8	<b>2.9</b>	mA (max)
$I_{VD}$ (Conv)	Digital Supply Current, Continuously Converting (Dual Data Output Mode)	$f_{SCLK} = 16 MHz$ , $f_S = 1 MSPS$ , $f_{IN} = 100 kHz$ , $V_D = 5V$ , $DUAL = 5V$	1.7	<b>2.0</b>	mA (max)
		$f_{SCLK} = 16 MHz$ , $f_S = 1 MSPS$ , $f_{IN} = 100 kHz$ , $V_D = 3V$ , $DUAL = 3V$	1.0	<b>1.3</b>	mA (max)
	Digital Supply Current, Continuously Converting (Single Data Output Mode)	$f_{SCLK} = 16 MHz$ , $f_S = 500 kSPS$ , $f_{IN} = 100 kHz$ , $V_D = 5V$ , $DUAL = 0V$	0.9	<b>1.2</b>	mA (max)
		$f_{SCLK} = 16 MHz$ , $f_S = 500 kSPS$ , $f_{IN} = 100 kHz$ , $V_D = 3V$ , $DUAL = 0V$	0.6	<b>0.7</b>	mA (max)
$I_{VREF}$ (Conv)	Reference Current, Continuously Converting (Dual Data Output Mode)	$f_{SCLK} = 16 MHz$ , $f_S = 1 MSPS$ , $V_{REF} = 2.5V$ , $DUAL = V_D$	90	<b>105</b>	$\mu A$ (max)
	Reference Current, Continuously Converting (Single Data Output Mode)	$f_{SCLK} = 16 MHz$ , $f_S = 500 kSPS$ , $V_{REF} = 2.5V$ , $DUAL = 0V$	45	<b>60</b>	$\mu A$ (max)
$I_{VA}$ (PD)	Analog Supply Current, Power Down Mode ( $\overline{CS}$ high)	$f_{SCLK} = 16 MHz$ , $V_A = 5.0V$	10		$\mu A$
		$f_{SCLK} = 0$ , $V_A = 5.0V$ (Note 8)	0.5	<b>1</b>	$\mu A$ (max)
$I_{VD}$ (PD)	Digital Supply Current, Power Down Mode ( $\overline{CS}$ high)	$f_{SCLK} = 16 MHz$ , $V_D = 5.0V$	10		$\mu A$
		$f_{SCLK} = 0$ (Note 8)	0.1	<b>0.2</b>	$\mu A$ (max)
$I_{VREF}$ (PD)	Reference Current, Power Down Mode ( $\overline{CS}$ high)	$f_{SCLK} = 16 MHz$	0.05		$\mu A$
		$f_{SCLK} = 0$ (Note 8)	0.05	<b>0.1</b>	$\mu A$ (max)

### ADC122S706 コンバータの電気的特性 (Note 8) (つづき)

特記のない限り、以下の仕様は、 $V_A = +4.5V \sim 5.5V$ 、 $V_D = +2.7V \sim V_A$ 、 $V_{REF} = 2.5V$ 、 $f_{SCLK} = 8 \sim 16MHz$ 、 $DUAL = V_D$ 、 $f_{IN} = 100kHz$ 、 $C_L = 25pF$  に対して適用されます。太文字表記のリミット値は  $T_A = T_{MIN} \sim T_{MAX}$  にわたって適用され、その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units (Note 7)
PWR (Conv)	Power Consumption, Continuously Converting (Dual Data Output Mode)	$f_{SCLK} = 16 MHz, f_S = 1 MSPS, f_{IN} = 100 kHz, V_A = V_D = 5V, V_{REF} = 2.5V, DUAL = V_D$	25	<b>31.3</b>	mW (max)
		$f_{SCLK} = 16 MHz, f_S = 1 MSPS, f_{IN} = 100 kHz, V_A = 5V, V_D = 3V, V_{REF} = 2.5V, DUAL = V_D$	20	<b>25.2</b>	mW (max)
	Power Consumption, Continuously Converting (Single Data Output Mode)	$f_{SCLK} = 16 MHz, f_S = 500 kSPS, f_{IN} = 100 kHz, V_A = V_D = 5V, V_{REF} = 2.5V, DUAL = 0V$	13.6	<b>20.6</b>	mW (max)
		$f_{SCLK} = 16 MHz, f_S = 500 kSPS, f_{IN} = 100 kHz, V_A = 5V, V_D = 3V, V_{REF} = 2.5V, DUAL = 0V$	10.9	<b>16.8</b>	mW (max)
PWR (PD)	Power Consumption, Power Down Mode ( $\overline{CS}$ high)	$f_{SCLK} = 16 MHz, V_A = V_D = 5.0V, V_{REF} = 2.5V$	100		$\mu W$
		$f_{SCLK} = 0, V_A = V_D = 5.0V, V_{REF} = 2.5V$	3.1	<b>6.5</b>	$\mu W$ (max)
PSRR	Power Supply Rejection Ratio	See the Specification Definitions for the test condition	-85		dB

#### AC ELECTRICAL CHARACTERISTICS

$f_{SCLK}$	Maximum Clock Frequency		20	<b>16</b>	MHz (min)
$f_{SCLK}$	Minimum Clock Frequency		0.8	<b>8</b>	MHz (max)
$f_S$	Maximum Sample Rate		1.25	<b>1</b>	MSPS (min)
$t_{ACQ}$	Track/Hold Acquisition Time			<b>3</b>	SCLK cycles
$t_{CONV}$	Conversion Time			<b>12</b>	SCLK cycles
$t_{AD}$	Aperture Delay		6		ns

### ADC122S706 のタイミング特性 (Note 8)

特記のない限り、以下の仕様は、 $V_A = +4.5V \sim 5.5V$ 、 $V_D = +2.7V \sim V_A$ 、 $V_{REF} = 2.5V$ 、 $f_{SCLK} = 8 \sim 16MHz$ 、 $C_L = 25pF$  に対して適用されます。太文字表記のリミット値は  $T_A = T_{MIN} \sim T_{MAX}$  に対して適用されます。その他のリミット値は  $T_A = 25$  に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units
$t_{CSSU}$	$\overline{CS}$ Setup Time prior to an SCLK rising edge	$V_D = +2.7V$ to 3.6V	5	<b>11</b>	ns (min)
			$1/f_{SCLK}$	<b><math>1/f_{SCLK} - 3</math></b>	ns (max)
		$V_D = +4.5V$ to 5.5V	4	<b>7</b>	ns (min)
			$1/f_{SCLK}$	<b><math>1/f_{SCLK} - 3</math></b>	ns (max)
$t_{EN}$	$D_{OUT}$ Enable Time after the falling edge of $\overline{CS}$	$V_D = +2.7V$ to 3.6V	22	<b>39</b>	ns (max)
		$V_D = +4.5V$ to 5.5V	9	<b>20</b>	ns (max)
$t_{DH}$	$D_{OUT}$ Hold time after an SCLK Falling edge		9	<b>6</b>	ns (min)
$t_{DA}$	$D_{OUT}$ Access time after an SCLK Falling edge	$V_D = +2.7V$ to 3.6V	24	<b>39</b>	ns (max)
		$V_D = +4.5V$ to 5.5V	20	<b>26</b>	ns (max)
$t_{DIS}$	$D_{OUT}$ Disable Time after the rising edge of $\overline{CS}$ (Note 10)		10	<b>20</b>	ns (max)
$t_{CH}$	SCLK High Time			<b>25</b>	ns (min)
$t_{CL}$	SCLK Low Time			<b>25</b>	ns (min)
$t_r$	$D_{OUT}$ Rise Time		7		ns
$t_f$	$D_{OUT}$ Fall Time		7		ns

**Note 1:** 絶対最大定格とは、デバイスが破壊される可能性があるリミット値をいいます。動作定格とはデバイスが機能する条件を示していますが、特定の性能リミット値を保証するものではありません。保証された仕様、および試験条件については「電気的特性」を参照してください。保証された仕様はリストに示された試験条件でのみ適用されます。リストに示されている試験条件の下でデバイスを動作させていない場合には、いくつかの性能特性は低下することがあります。最大動作定格を超えた状態でデバイスを動作させてはなりません。

**Note 2:** 特記のない限り、すべての電圧は  $GND = 0V$  を基準にして測定されています。

**Note 3:** いずれかのピンで入力電圧 ( $V_{IN}$ ) が電源電圧を超えた場合 ( $V_{IN} < GND$  または  $V_{IN} > V_A$ )、そのピンの入力電流を 10mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 10mA の電流を流せるピン数は 5 本に制限されます。

**Note 4:** 温度上昇時の動作では、最大消費電力の定格を  $T_{jmax}$  (最大接合部温度: このデバイスの場合、 $T_{jmax}$  は 150 )、 $J_A$  (接合部・周囲温度間熱抵抗)、 $T_A$  (周囲温度) に従ってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{D,MAX} = (T_{jmax} - T_A) / J_A$  または「絶対最大定格」で示される値のうち、いずれか低い方の値です。上記の最大許容消費電力の値にまで上がる場合は、ADC122S706 が何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。このような条件での動作は必ず避けるようにしてください。

**Note 5:** 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k を通して各ピンに放電させます。マシン・モデルでは 220pF のコンデンサから直列抵抗 0 を通して、各ピンに放電させます。デバイス帯電モデルは、ピンがゆっくりと電荷を取り込んだ後、急速に放電する状態 (例えば、自動組立て装置内でフィーダを滑り落ちるデバイス) をシミュレートします。

**Note 6:** リフロー温度プロファイルは、鉛フリー・パッケージの場合には異なります。

**Note 7:** テスト・リミット値は、ナショナルセミコンダクターの AOQL (平均出荷品質レベル) に基づき保証されます。

**Note 8:** データシートの min/max リミット値は、設計、テスト、統計解析によって保証されています。

**Note 9:** サンプリング・レートの最高は  $f_{SCLK}/16$  ですが、 $\overline{CS}$  レートを  $f_{SCLK}/16$  より先低く設定すれば実際のサンプリング・レートは下がります。

**Note 10:**  $t_{DIS}$  は、 $D_{OUT}$  が 10% 変化するのにかかる時間です。

**Note 11:** デジタル入力ピン DUAL のリーク電流は  $\pm 5\mu A$  です。



タイミング図

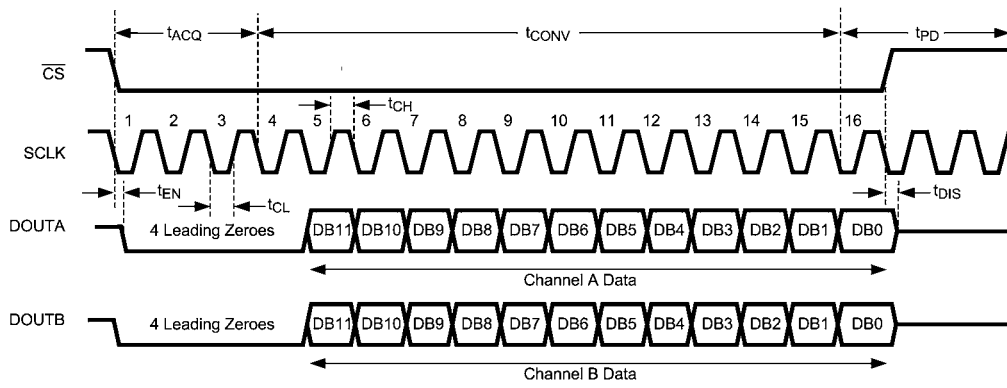


FIGURE 1. ADC122S706 Single Conversion Timing Diagram (DUAL Data Output Mode)

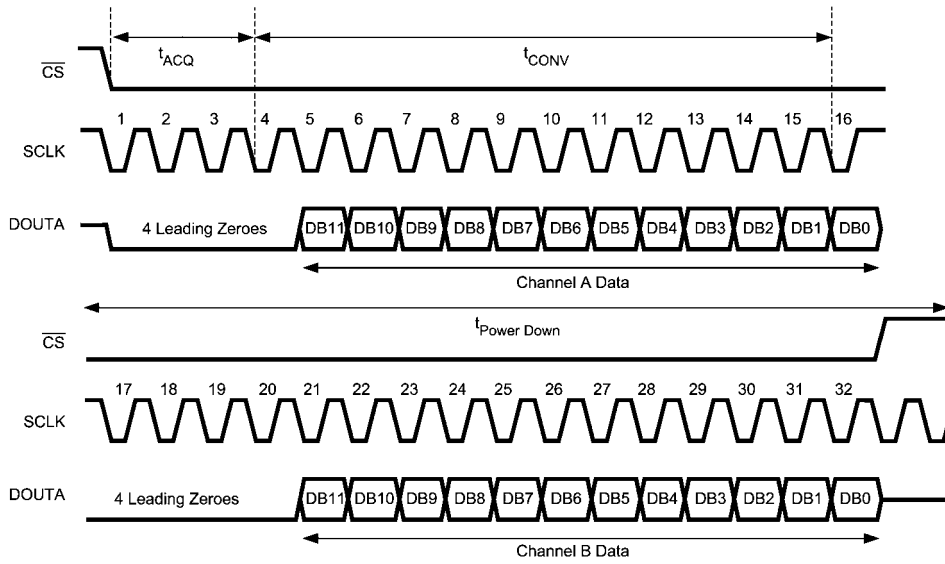


FIGURE 2. ADC122S706 Single Conversion Timing Diagram (SINGLE Data Output Mode)

タイミング図(つぎ)

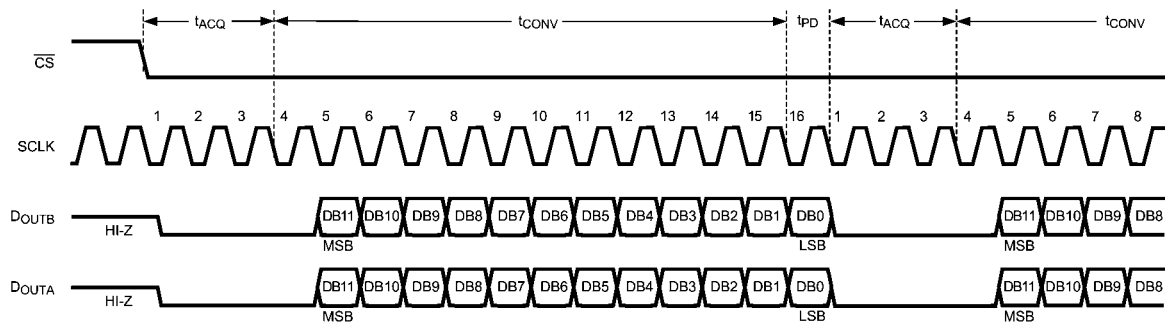


FIGURE 3. ADC122S706 Continuous Conversion Timing Diagram (DUAL Data Output Mode)

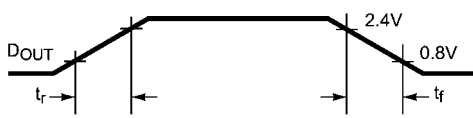


FIGURE 4. D<sub>OUT</sub> Rise and Fall Times

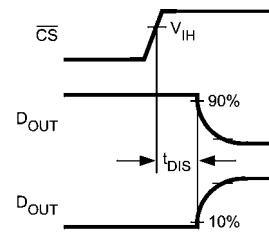


FIGURE 7. Voltage Waveform for t<sub>DIS</sub>

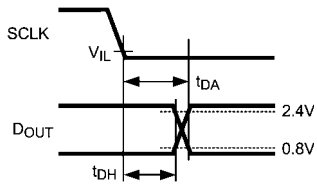


FIGURE 5. D<sub>OUT</sub> Hold and Access Times

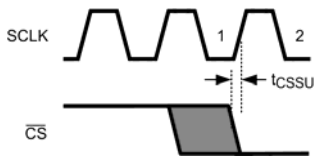


FIGURE 6. Valid  $\overline{CS}$  Assertion Times

## 用語の定義

アパーチャ・ディレイ (**APERTURE DELAY**) は、変換処理開始後 4 番目の SCLK 立ち下がりエッジから、変換を行なうために入力信号が取り込まれるかホールドされるまでの時間です。

コモンモード除去比 (**COMMON MODE REJECTION RATIO: CMRR**) とは、両方の入力ピンに与えられた同位相の信号を除去する性能指標です。

CMRR を計算するには、コモンモード入力電圧が 2V ~ 3V に変化する間の出力オフセットの変化を測定します。

$CMRR = 20 \log ( \text{コモン入力} / \text{出力オフセット} )$

変換時間 (**CONVERSION TIME**) とは、入力電圧を取り込んだ後、A/D コンバータが入力電圧をデジタル・ワードに変換するために必要な時間のことです。

微分非直線性 (**DIFFERENTIAL NON-LINEARITY: DNL**) は、理想的なステップである 1LSB からの最大偏差として表されます。

デューティ・サイクル (**DUTY CYCLE**) は、繰り返しデジタル波形での、周期に対する High の時間の比です。本データシートでは SCLK に適用されます。

有効ビット数 (**EFFECTIVE NUMBER OF BITS : ENOB, or EFFECTIVE BITS**) は、信号 / (ノイズ + 歪み) または SINAD の別の規定方法です。ENOB は  $(SINAD - 1.76) / 6.02$  として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー入力帯域幅 (**FULL POWER BANDWIDTH**) は、フルスケール入力に対して再現される出力基本周波数が低周波数帯域における値に対して 3dB 落ちる部分までの周波数として測定される帯域幅です。

積分非直線性 (**INTEGRAL NON-LINEARITY: INL**) は、負のフルスケール (最初のコード遷移の 1/2LSB 下) から正のフルスケール (最後のコード遷移の 1/2LSB 上) まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線と任意のコードとの偏差は、各コード値の中央から測定します。

ミッシング・コード (**MISSING CODES**) は ADC 出力に現れることのないコードです。ADC122S706 は、ミッシング・コードのないことが保証されています。

負のフルスケール誤差 (**NEGATIVE FULL-SCALE ERROR**) は、出力コードが負のフルスケールから次のコードに遷移する差動入力電圧と、 $-V_{REF} + 0.5LSB$  との差です。

負のゲイン誤差 (**NEGATIVE GAIN ERROR**) は、負のフルスケール誤差とオフセット誤差との差です。

オフセット誤差 (**OFFSET ERROR**) は、出力がコード 000h からコード 001h に遷移する差動入力電圧と、1/2LSB との差です。

正のフルスケール誤差 (**POSITIVE FULL-SCALE ERROR**) は、出力コードが正のフルスケールに遷移する差動入力電圧と、 $V_{REF} - 1.5LSB$  との差です。

正のゲイン誤差 (**POSITIVE GAIN ERROR**) は、正のフルスケール誤差とオフセット誤差との差です。

電源電圧変動除去比 (**POWER SUPPLY REJECTION RATIO: PSRR**) は、電源電圧の変動がどの程度除去されるかを表したものです。PSRR は、電源電圧の変動に対応するオフセット誤差の変化の割合を、dB 値で示します。ADC122S706 では、 $V_A$  は 4.5V から 5.5V に変動します。

$PSRR = 20 \log ( \text{Offset} / V_A )$

信号 / ノイズ比 (**SIGNAL TO NOISE RATIO: SNR**) は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

信号 / (ノイズ + 歪み) 比 (**SIGNAL TO NOISE PLUS DISTORTION RATIO: S/N + D** または **SINAD**) は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

スプリアス・フリー・ダイナミック・レンジ (**SPURIOUS FREE DYNAMIC RANGE: SFDR**) は、対象信号の振幅とピーク・スプリアス・スペクトラル成分の振幅との差で、dB で表します。ここでスプリアス・スペクトラル成分とは、入力には存在しないものの出力スペクトラムに含まれるあらゆる信号を指し、高調波かどうかは問いません。

全高調波歪み (**TOTAL HARMONIC DISTORTION: THD**) は、出力に現れる 2 次から 6 次までの高調波成分の実効値と、出力に現れる入力周波数の実効値の比で、dB で表されます。全高調波歪み THD は次式から求めます。

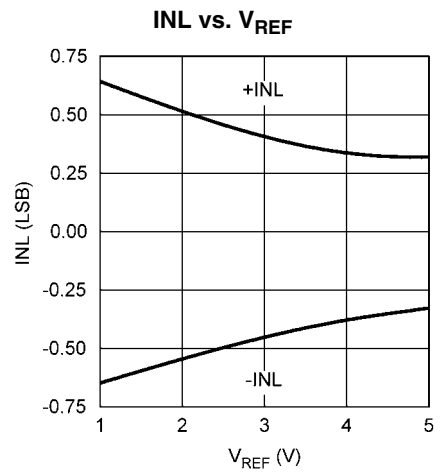
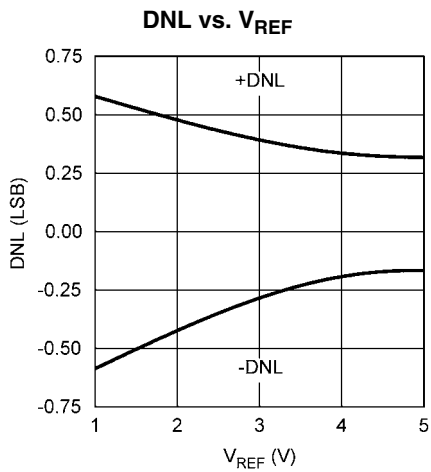
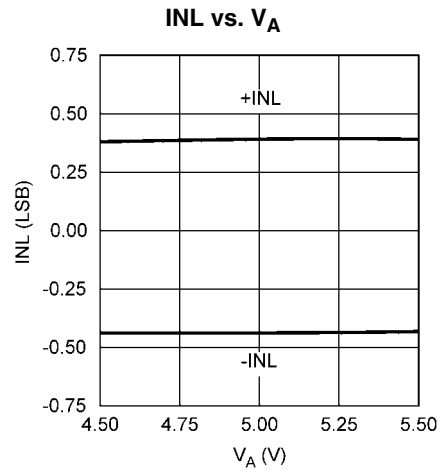
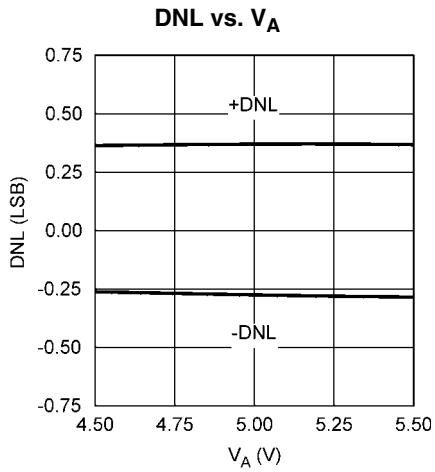
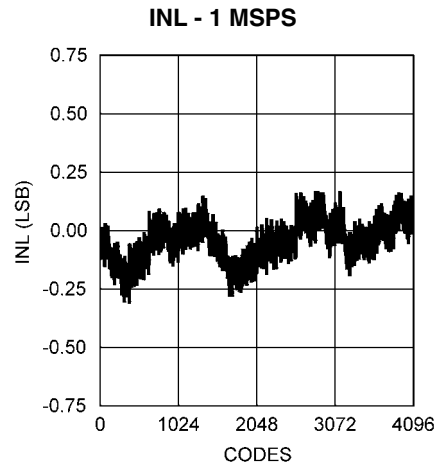
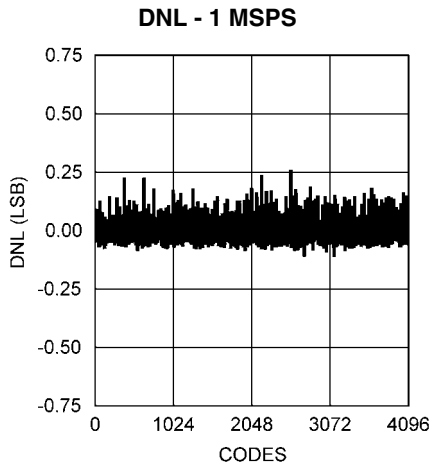
$$THD = 20 \cdot \log_{10} \sqrt{\frac{A_{f2}^2 + \dots + A_{f6}^2}{A_{f1}^2}}$$

$A_{f1}$  は基本周波数 (出力) パワーの実効値 (RMS 値)、 $A_{f2}$  から  $A_{f6}$  は高調波のうち 2 次から 6 次までの高調波のパワーです。

スループット時間 (**THROUGHPUT TIME**) は、連続した 2 回の変換を開始するために必要な最小の時間です。

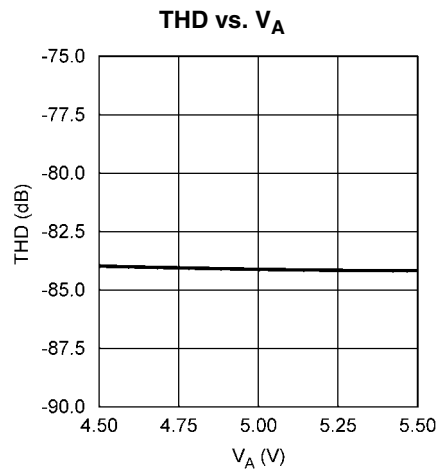
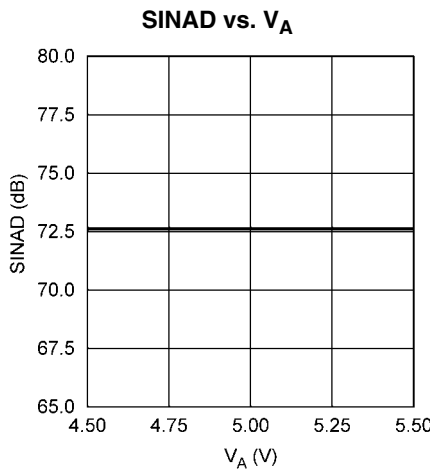
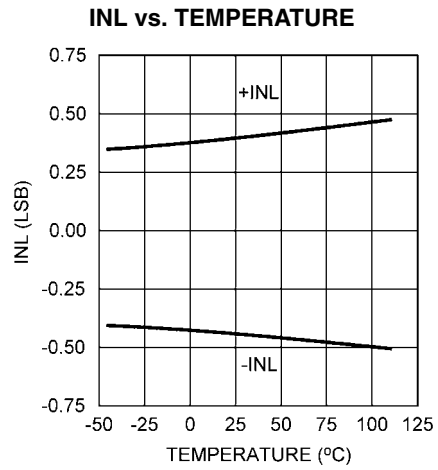
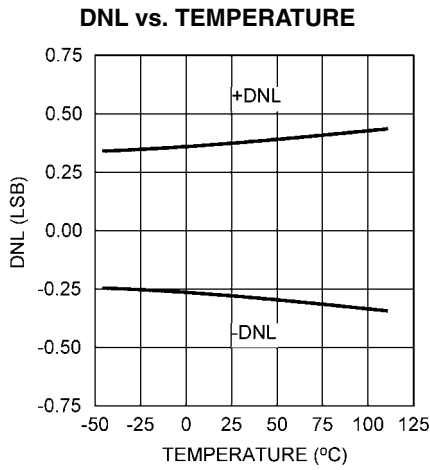
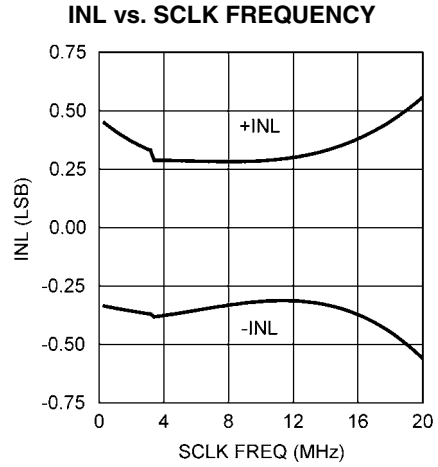
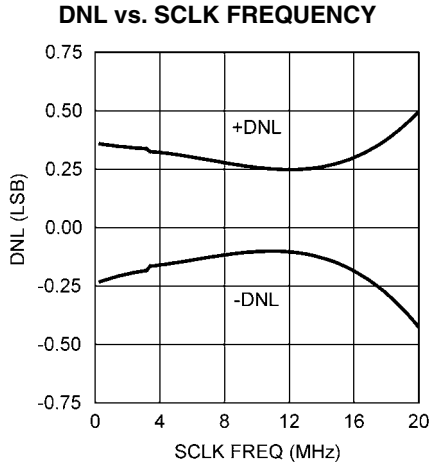
代表的な性能特性

特記のない限り、 $V_A = V_D = 5.0V$ 、 $V_{REF} = 2.5V$ 、 $T_A = +25$ 、 $f_{SAMPLE} = 1MSPS$ 、 $f_{SCLK} = 16MHz$ 、 $DUAL = V_D$ 、 $f_{IN} = 100kHz$ 。



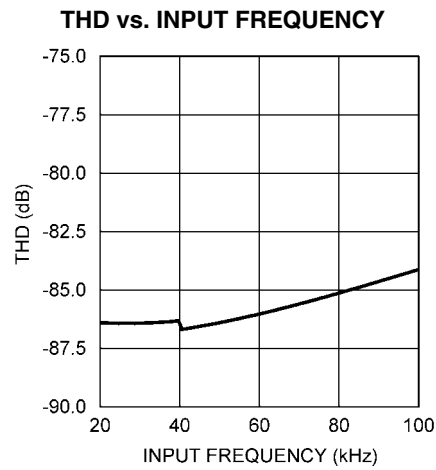
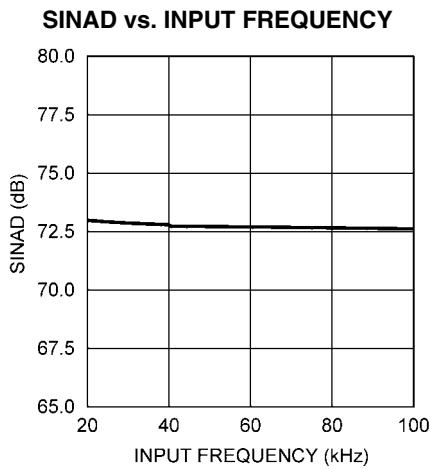
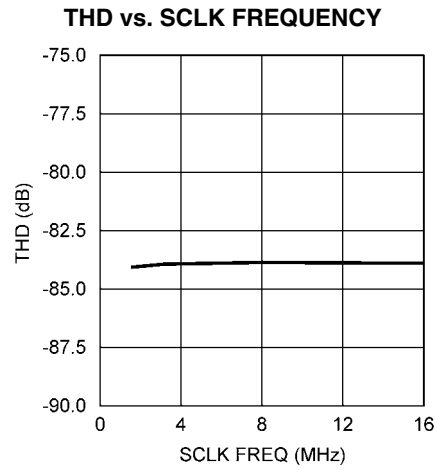
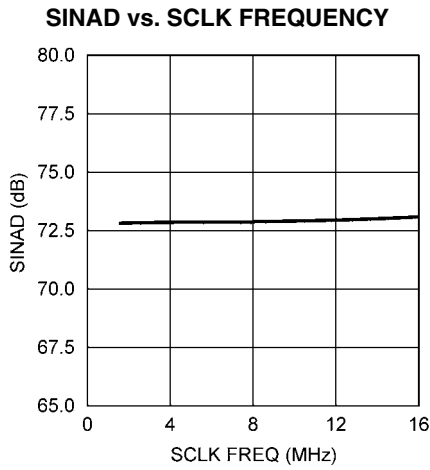
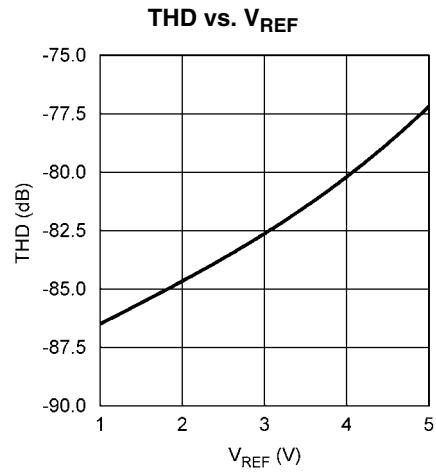
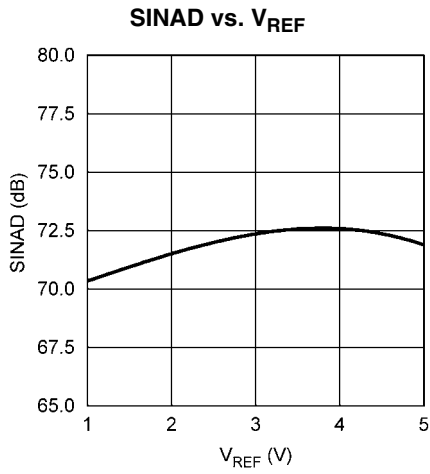
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = 5.0V$ 、 $V_{REF} = 2.5V$ 、 $T_A = +25$ 、 $f_{SAMPLE} = 1MSPS$ 、 $f_{SCLK} = 16MHz$ 、 $DUAL = V_D$ 、 $f_{IN} = 100kHz$ 。



代表的な性能特性 (つづき)

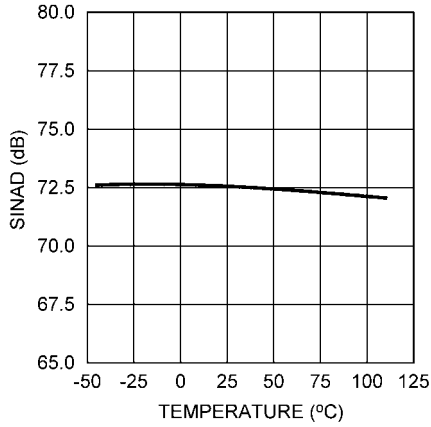
特記のない限り、 $V_A = V_D = 5.0V$ 、 $V_{REF} = 2.5V$ 、 $T_A = +25$ 、 $f_{SAMPLE} = 1MSPS$ 、 $f_{SCLK} = 16MHz$ 、 $DUAL = V_D$ 、 $f_{IN} = 100kHz$ 。



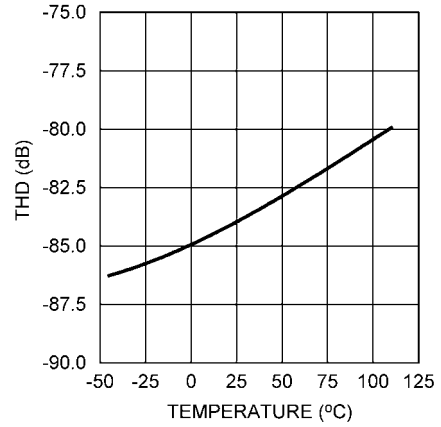
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = 5.0V$ 、 $V_{REF} = 2.5V$ 、 $T_A = +25$ 、 $f_{SAMPLE} = 1MSPS$ 、 $f_{SCLK} = 16MHz$ 、 $DUAL = V_D$ 、 $f_{IN} = 100kHz$ 。

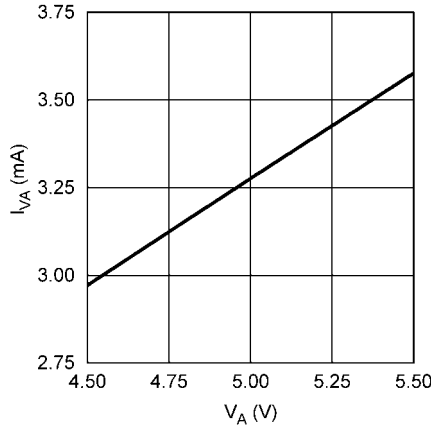
SINAD vs. TEMPERATURE



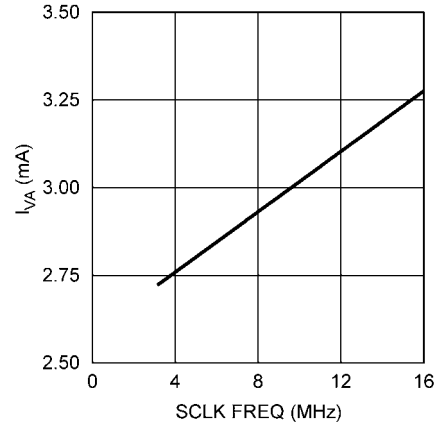
THD vs. TEMPERATURE



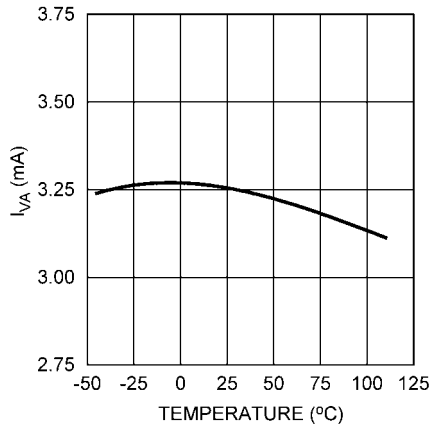
$V_A$  CURRENT vs.  $V_A$



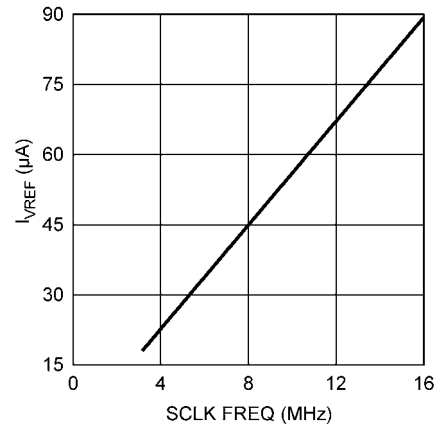
$V_A$  CURRENT vs. SCLK FREQ



$V_A$  CURRENT vs. TEMPERATURE

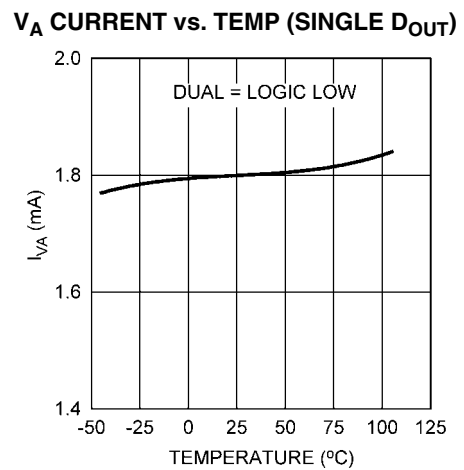
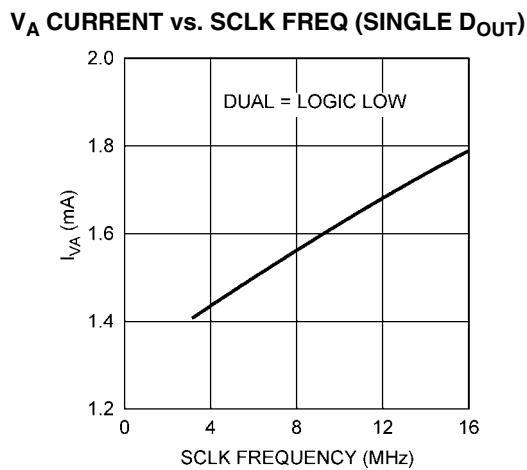
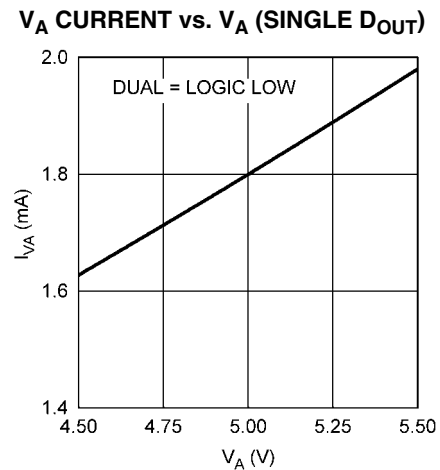
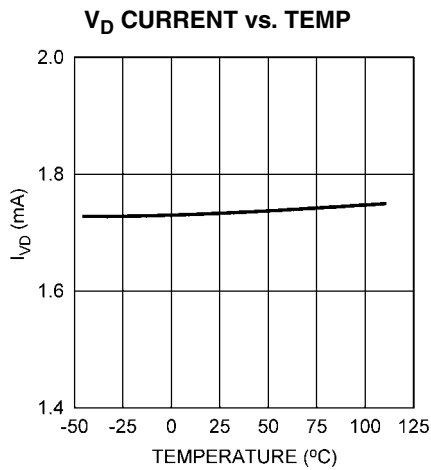
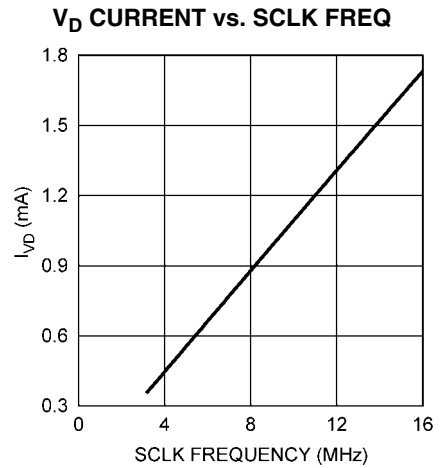
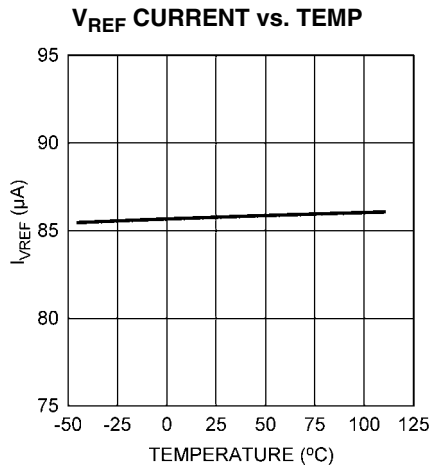


$V_{REF}$  CURRENT vs. SCLK FREQ



代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = 5.0V$ 、 $V_{REF} = 2.5V$ 、 $T_A = +25$ 、 $f_{SAMPLE} = 1MSPS$ 、 $f_{SCLK} = 16MHz$ 、 $DUAL = V_D$ 、 $f_{IN} = 100kHz$ 。

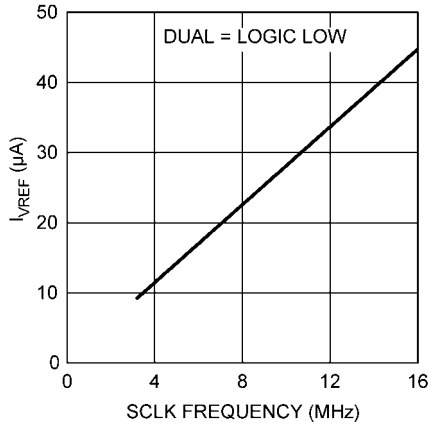




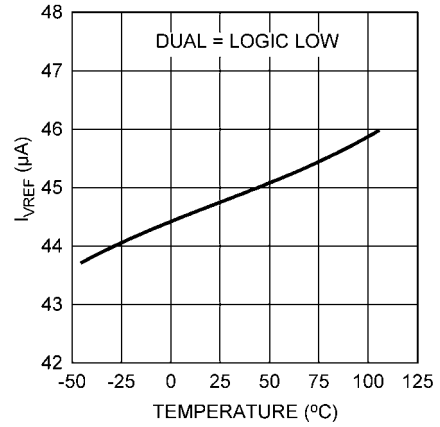
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = 5.0V$ 、 $V_{REF} = 2.5V$ 、 $T_A = +25$ 、 $f_{SAMPLE} = 1MSPS$ 、 $f_{SCLK} = 16MHz$ 、 $DUAL = V_D$ 、 $f_{IN} = 100kHz$ 。

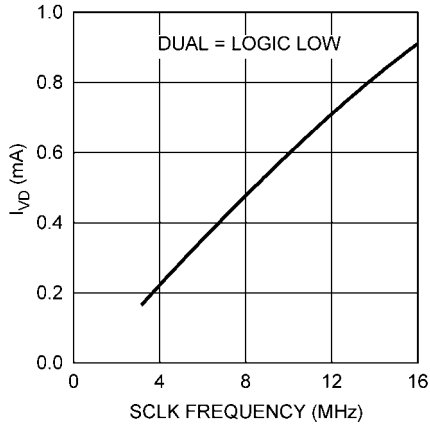
$V_{REF}$  CURRENT vs. SCLK (SINGLE  $D_{OUT}$ )



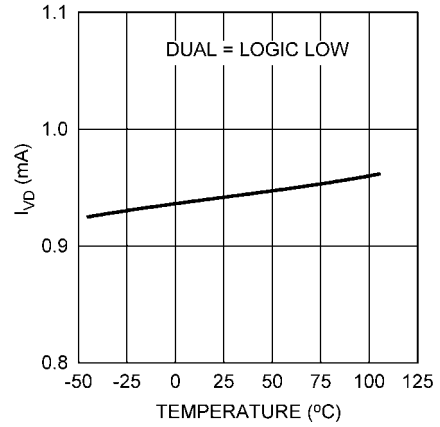
$V_{REF}$  CURRENT vs. TEMP (SINGLE  $D_{OUT}$ )



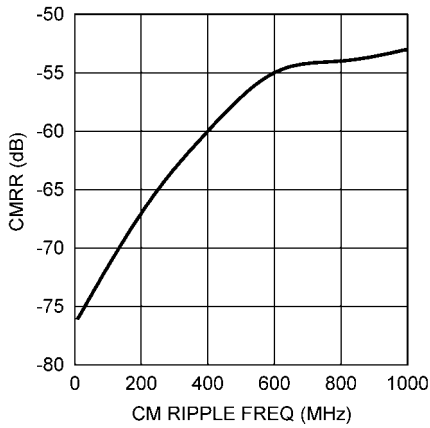
$V_D$  CURRENT vs. SCLK (SINGLE  $D_{OUT}$ )



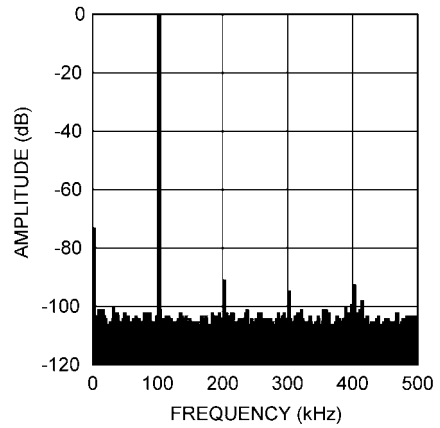
$V_D$  CURRENT vs. TEMP (SINGLE  $D_{OUT}$ )



CMRR vs. CM RIPPLE FREQ



SPECTRAL RESPONSE - 1 MSPS



## 機能説明

ADC122S706 は、デュアル 12 ビット、同時サンプリング A/D コンバータです。このコンバータは、逐次比較レジスタ (SAR) アーキテクチャを採用しており、内蔵トラック / ホールド回路から A/D コンバータ全体にわたってアナログ入力の差動特性が保持されます。両チャンネルのアナログ入力と同時にサンプリングされ、サンプリングされた入力の相対位相情報が保持されます。このようなアーキテクチャと製造プロセスが相まった ADC122S706 は、低消費電力ながら、最高 1MSPS のサンプリング・レートでデュアル・アナログ信号をキャプチャして変換する高い性能を備えています。

ADC122S706 は、アナログ系とデジタル系に個別の電源電圧を与えて動作します。アナログ電源 ( $V_A$ ) の電圧範囲は 4.5V ~ 5.5V まで、デジタル電源 ( $V_D$ ) の電圧範囲は 2.7V ~  $V_A$  です。ADC122S706 は、外部リファレンスを使用します。外部リファレンスの電圧範囲は 1V ~  $V_A$  です。リファレンス電圧値によってアナログ入力の電圧範囲が決まります。また、リファレンス入力電流は変換レートによって変わります。

アナログ入力はチャンネル A とチャンネル B の入力に与えられます。変換を開始すると、これらのピンに与えられている差動入力が内部キャパシタ・アレイにサンプリングされます。変換処理中は入力は内部回路から切り離されます。

ADC122S706 は、外部クロックを必要とします。最小クロック High 時間と Low 時間を満たしていれば、クロックのデューティ・サイクルは本質的には重要ではありません。最低クロック周波数は内部コンデンサの漏れ電流により決まります。1 回の変換処理には 16 SCLK サイクルが必要です。必要な変換データが 12 ビット未満である場合、変換中の任意の時点で  $\overline{CS}$  を High にすることができます。

ADC122S706 の出力は、2 の補数バイナリで、SPI™、QSPI™、MICROWIRE™ などの標準や、主要な DSP シリアル・インタフェースと互換性があるデュアル高速シリアル・データです。チャンネル A の変換結果は  $D_{OUTA}$  に出力され、チャンネル B の変換結果は  $D_{OUTB}$  に出力されます。この機能を備えた ADC122S706 は、同時サンプリング・アプリケーションで 2 つの ADC を使用するシステムに代わるソリューションとして最適です。シリアル・クロック (SCLK) およびチップ・セレクト・バー ( $\overline{CS}$ ) は両方のチャンネルで共有されます。チャンネル A とチャンネル B のデジタル変換は、SCLK 入力に同期し、それぞれ  $D_{OUTA}$  と  $D_{OUTB}$  から最上位ビット (MSB) を先頭にシリアル・データとして出力されます。 $D_{OUTA}$  および  $D_{OUTB}$  から出力されるデジタル・データは、現在処理中の変換結果です。変換が完了した後も  $\overline{CS}$  が Low に保持されていれば、ADC122S706 は引き続きアナログ入力を変換します。低消費電力では、単一のシリアル・データ出力モードを外部から選択可能です。この機能を備えた ADC122S706 は、2 つの独立した ADC で構成されるデジタイズ・チェーン動作に代わるソリューションとして最適です。

### 1.0 リファレンス入力

外部から与えるリファレンス電圧によってアナログ入力範囲が決まります。ADC122S706 は 1V ~  $V_A$  のリファレンス電圧範囲で動作します。

1V 未満のリファレンス電圧での動作も可能ですが、性能が少し低下します。リファレンス電圧 ( $V_{REF}$ ) を下げると、許容可能なアナログ入力電圧の範囲が小さくなります。コモンモード入力電圧が適切であることを前提とすると、差動ピーク・ツー・ピーク入力範囲は  $V_{REF}$  の 2 倍に制限されます。詳細はセクション 2.3 を参照してください。 $V_{REF}$  の値を小さくすると、最下位ビット (LSB) のサイズも小さくなります。1LSB の大きさは、リファレンス電圧の 2 倍を 4096 で除算した値です。LSB の大きさが ADC122S706 のノイズ・フロアを下回れば、ノイズが影響する範囲はより多くの出力コードに広がり、全体の性能が低下します。例えば、ダイナミック信号の SNR が低下し、DC 信号のコード不確実性が高まります。

す。ノイズはガウス分布特性を有するため、変換を複数回連続して行って結果を平均すれば、ノイズの影響は小さくなります。

また、オフセット誤差とゲイン誤差は LSB を単位として規定されているため、リファレンス電圧を下げて LSB の大きさが小さくなればなるほど、A/D コンバータが原理的に持っているオフセット誤差とゲイン誤差は相対的に大きく見えるようになります。

リファレンス入力とアナログ入力は、入力がサンプリングされるときに、スイッチ・マトリックスを介してコンデンサ・アレイに接続されます。そのため、リファレンス入力およびアナログ入力における電流要件として、一連の瞬間的なスパイク電流が必要になります。その頻度は ADC122S706 の動作サンプリング・レートに依存します。

リファレンス電流の温度変化はわずかです。詳細については、「代表的な性能特性」の「Reference Current vs. SCLK Frequency」および「Reference Current vs. Temperature」を参照してください。

### 2.0 アナログ信号入力

ADC122S706 はデュアル差動入力を備え、デジタイズされる実効入力電力は  $CHA + - CHA -$  (DIFFINA) と  $CHB + - CHB -$  (DIFFINB) です。他の差動入力 A/D コンバータと同じように、入力信号はシングルエンドで取り扱うより先完全な差動方式で取り扱ったほうが高い性能が得られます。ただし、ADC122S706 はシングルエンド入力にも対応しています。

入力サンプリング・コンデンサを充電するために必要な電流によって、+ 入力および - 入力で電圧スパイクが発生します。ただし、このスパイク・ノイズはフィルタを使って除去しようとはしません。それより先アキュイジション期間 ( $\overline{CS}$  入力の立ち下がりに後 3 SCLK サイクル) の間に変動を落ち着かせるようにしてください。

### 2.1 差動入力動作

完全差動入力電圧または信号では、正のフルスケール出力コード (0111 1111 1111b または 7FFh) は、DIFFINA または DIFFINB が  $V_{REF} - 1.5LSB$  以上であるときに得られます。負のフルスケール・コード (1000 0000 0000b または 800h) は、DIFFINA または DIFFINB が  $-V_{REF} + 0.5LSB$  以上であるときに得られます。ここではゲイン誤差、オフセット誤差、リニアリティ誤差を無視していますが、これらの誤差は出力コードと差動入力電圧との正確な対応に影響を与えます。Figure 8 では ADC122S706 はフルスケール差動信号によって駆動されます。

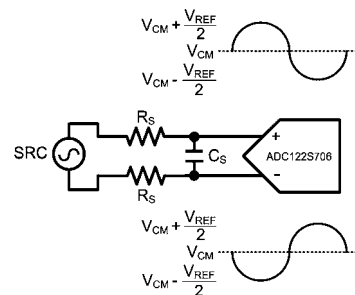


FIGURE 8. Differential Input

機能説明 (つづき)

2.2 シングルエンド入力動作

シングルエンド動作の場合、ADC122S706 の非反転入力、最大電圧と最小電圧の振幅幅がリファレンス電圧の 2 倍以下となる信号で駆動してください。反転入力、最大電圧と最小電圧の中間となる安定した電圧にバイアスしてください。ADC122S706 のダイナミックレンジ全体を活用できるように、リファレンス電圧は  $V_A / 2$  に制限されています。それによって非反転入力のグラウンドから  $V_A$  へのスイング範囲を最大にすることができます。Figure 9 では、ADC122S706 はフルスケール・シングルエンド信号によって駆動されます。

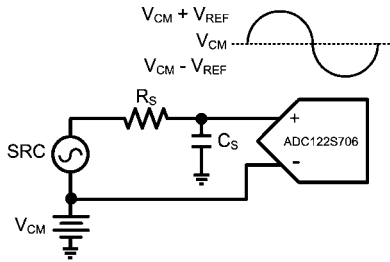


FIGURE 9. Single-Ended Input

ADC122S706 の設計は差動入力用に最適化されているため、シングルエンド入力で駆動すると性能が少し低下します。INL や DNL などの直線性特性は一般的に 0.1LSB ほど低下し、SINAD などのダイナミック特性は一般的に 2dB ほど低下します。シングルエンド動作は差動動作に比した性能低下が許容可能な場合のみ使用してください。

2.3 入力コモンモード電圧

入力コモンモード電圧 ( $V_{CM}$ ) の許容範囲は ADC122S706 に与える電源電圧とリファレンス電圧に依存します。 $V_{CM}$  の範囲を Figure 10 と Figure 11 に示しています。差動動作およびシングルエンド動作におけるそれぞれの最小コモンモード電圧と最大コモンモード電圧の計算式を Table 1 に示しています。

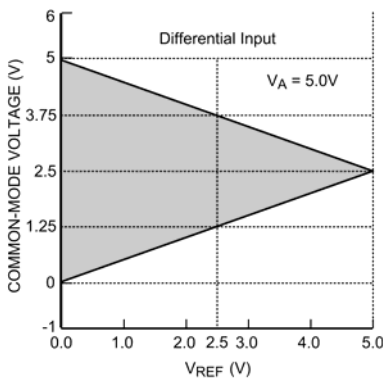


FIGURE 10.  $V_{CM}$  range for Differential Input operation

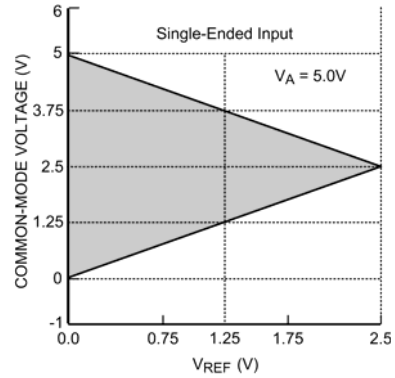


FIGURE 11.  $V_{CM}$  range for single-ended operation

TABLE 1. Allowable  $V_{CM}$  Range

Input Signal	Minimum $V_{CM}$	Maximum $V_{CM}$
Differential	$V_{REF} / 2$	$V_A - V_{REF} / 2$
Single-Ended	$V_{REF}$	$V_A - V_{REF}$

3.0 シリアル・デジタル・インタフェース

ADC122S706 は、タイミング図のセクションに示すように、同期式のシリアル・インタフェースを介してデータを出力します。 $\overline{CS}$  はチップ・セレクトを表し、変換サイクルとシリアル・データ転送フレームの開始をトリガします。また SCLK (シリアル・クロック) は、変換処理とシリアル・データ・タイミングの両方を制御します。 $D_{OUTA}$  と  $D_{OUTB}$  はシリアル・データ出力ピンで、チャンネル A とチャンネル B の変換結果がシリアル・データ・ストリーム (MSB が先頭) として出力されます。

シリアル・フレームは  $\overline{CS}$  の立ち下がりがエッジで始まり、 $\overline{CS}$  の立ち上がりエッジで終わります。ADC122S706 のデータ出力ピンは、 $\overline{CS}$  が High のときハイ・インピーダンス状態になり、 $\overline{CS}$  が Low のときアクティブ状態になります。そのため、 $\overline{CS}$  は出力インエーブル信号として機能します。単一の変換サイクルのタイミング図を Figure 1 に示しています。

SCLK の最初の 3 サイクルの間、ADC122S706 はアキュイジション・モード ( $t_{ACQ}$ ) になっており、入力電圧をトラッキングします。SCLK の次の 12 サイクル ( $t_{CONV}$ ) では、変換が実行され、同期したデータが出力されます。SCLK の立ち下がりがエッジ 1 ~ 4 で先頭のゼロがクロック出力され、立ち下がりがエッジ 5 ~ 16 では変換結果が、MSB を先頭にして、クロック出力されます。1 つのフレーム期間内に 2 回以上の変換が実行されると (連続変換モード)、Figure 3 に示すように、ADC122S706 は SCLK の  $N \times 16$  番目の立ち上がりエッジ後の SCLK の立ち下がりがエッジでアキュイジション・モードに再び移行し、 $N \times 16 + 4$  番目の SCLK の立ち下がりがエッジで変換モードに再び移行します。N は整数です。

ADC122S706 がアキュイジション・モードになる条件が 3 通りあります。最初の条件は、SCLK が High のときに  $\overline{CS}$  が Low になる (アサートされる) ことです。この場合、ADC122S706 は、 $\overline{CS}$  がアサートされた後の SCLK の最初の立ち下がりがエッジでアキュイジション・モードになります。2 つ目は、SCLK が Low のときに  $\overline{CS}$  を Low にする条件です。この条件では、ADC122S706 は自動的にアキュイジション・モードに入り、 $\overline{CS}$  の立ち下がりがエッジが、SCLK の最初の立ち下がりがエッジと同条件とみなされます。3 つ目は、 $\overline{CS}$  と SCLK が同時に Low となることです。このとき ADC122S706 はアキュイジション・モードに入ります。 $\overline{CS}$  の立ち下がりがエッジと SCLK の立ち下がりがエッジに関してタイミング制約はありませんが、SCLK の立ち上がりエッジに関連する  $\overline{CS}$  の立ち下がりがエッジに対するセットアップとホールド・タイム要件に関しては Figure 6 を参照してください。

## 機能説明 (つづき)

### 3.1 $\overline{CS}$ 入力

$\overline{CS}$  (チップ・セレクト・バー) はアクティブ Low 入力、TTL および CMOS 互換です。ADC122S706 は、 $\overline{CS}$  が Low であると変換モード、 $\overline{CS}$  が High であるとパワーダウン・モードになります。このため、 $\overline{CS}$  が変換ウィンドウのフレームを形成することになります。 $\overline{CS}$  の立ち下がりがエッジが変換の開始を示し、 $\overline{CS}$  の立ち上がりエッジが変換ウィンドウの終了を示します。1 つの変換フレーム内で複数回の変換が可能です。各変換には 16 SCLK サイクルがかかります。これは連続変換モードと呼ばれるもので、これを図示したものが「タイミング図」の Figure 3 です。

適切な動作を得るには、 $\overline{CS}$  の立ち下がりが SCLK の立ち上がりエッジと同時に起こらないように、タイミング設計を行う必要があります。 $\overline{CS}$  の立ち下がりが SCLK の立ち上がりエッジ中に起こった場合、データは 1 ビット早く出力されます。 $\overline{CS}$  遷移と SCLK 遷移のタイミングが近い場合、デバイス温度や個々のデバイスのばらつきに依存して、データが早く出力されることがあります。MSB が常に同じタイミング (SCLK の 5 番目の立ち上がりエッジ) で出力されるようにするには、 $\overline{CS}$  の立ち下がりが「タイミング仕様」の表で指定されているタイミング要件に一致していなければなりません。

### 3.2 SCLK 入力

ADC122S706 では、SCLK (シリアル・クロック) は 2 つの役割を持っています。ADC で変換クロックとして使用されること、変換結果を出力するためのシリアル・クロックとして使用されることです。この SCLK 入力は CMOS 互換です。内部セットリング時間の要件によって最高クロック周波数が決まり、内部コンデンサの漏れ電流によって最低クロック周波数が決まります。ADC122S706 の性能は電気的特性の表記載のクロック・レートによって保証されています。

### 3.3 データ出力

ADC122S706 では、システム設計者が ADC122S706 から変換されたデータを受け取るのに 2 つのオプションが提供されています。データは個々のデータ出力ピン ( $D_{OUTA}$  および  $D_{OUTB}$ ) から受け取ることも、単一のデータ出力ラインから受け取ることもできます。このオプションは、デジタル入力ピン DUAL によって制御されます。DUAL ピンがロジック High レベルになっていると、デュアル高速シリアル出力が有効になります。チャンネル A の変換結果は  $D_{OUTA}$  に出力され、チャンネル B の変換結果は  $D_{OUTB}$  に出力されます。DUAL ピンがロジック Low レベルになっていると、チャンネル A とチャンネル B の変換結果が  $D_{OUTA}$  に出力されますが、チャンネル A の結果が先に出力された後、チャンネル B の結果が出力されます。 $D_{OUTB}$  ピンは、この状態の間ハイ・インピーダンス状態です。DUAL モードおよび SINGLE DOUT モードの詳細は、「タイミング図」の Figure 1 および Figure 2 を参照してください。

ADC122S706 の出力データ・フォーマットは 2 の補数です。Table 2 を参照してください。この表は与えられた入力電圧に対する理想出力を示し、オフセット誤差、ゲイン誤差、リニアリティ誤差、ノイズの影響は考慮していません。各データ・ビットは SCLK の立ち上がりエッジで出力されます。

TABLE 2. Ideal Output Code vs. Input Voltage

Analog Input (+IN) - (-IN)	2's Complement Binary Output	2's Comp. Hex Code	2's Comp. Dec Code
$V_{REF} - 1.5 \text{ LSB}$	0111 1111 1111	7FF	2047
+ 0.5 LSB	0000 0000 0001	001	1
- 0.5 LSB	0000 0000 0000	000	0
0V - 1.5 LSB	1111 1111 1111	FFF	-1
$-V_{REF} + 0.5 \text{ LSB}$	1000 0000 0000	800	-2048

SCLK の立ち上がりエッジでデータは出力されますが、後段のシステムでは SCLK の次の立ち上がりエッジまたは立ち下がりエッジでデータをキャプチャできます。2 つの電源電圧範囲について、 $t_{DA}$  (SCLK 立ち下がりエッジ後の  $D_{OUT}$  アクセス時間) の最大仕様が規定されています。最高クロック周波数 16MHz、 $V_D$  電源電圧 3V でシステムが動作している場合、全温度範囲で性能を保証するために、レシーバでは SCLK の次の立ち下がりエッジでデータをキャプチャする必要があります。 $V_D$  電源電圧が 5V または SCLK 周波数が 10MHz 未満の場合は、SCLK のいずれのエッジでもデータをキャプチャできます。SCLK の次の立ち下がりエッジでデータをキャプチャする場合は、SCLK の立ち下がりエッジ後の最小ホールド時間 ( $t_{DH}$ ) が満たされていることを確認することが重要です。 $D_{OUT}$  のホールド時間とアクセス時間については、Figure 5 を参照してください。

$D_{OUT}$  は、 $\overline{CS}$  の立ち下がりエッジでイネーブルになり、 $\overline{CS}$  の立ち上がりエッジでディスエーブルになります。SCLK の 16 番目の立ち下がりエッジより前に  $\overline{CS}$  が High になった場合、現在の変換が中断され、 $D_{OUT}$  がハイ・インピーダンス状態になります。新しい変換は  $\overline{CS}$  が Low になったとき開始します。

## アプリケーション情報

### 動作条件

ADC122S706 の動作条件としては次の各値を推奨します。

- 40  $T_A$  + 105
- + 4.5V  $V_A$  + 5.5V
- + 2.7V  $V_D$   $V_A$
- 1V  $V_{REF}$   $V_A$
- 8MHz  $f_{SCLK}$  16MHz
- $V_{CM}$ : セクション 2.3 参照。

### 4.0 消費電力

ADC122S706 は、アーキテクチャ、回路、製造プロセスの工夫により、低消費電力と最高変換レート 1MSPS で動作します。ADC122S706 は、パワーダウン・モードで動作するとき、消費電力は最小です。消費電力が非常に重要な要件となるアプリケーションでは、アプリケーションによって許容される限り、ADC122S706 をパワーダウン・モードで動作させます。電力消費をさらに減らすには、 $\overline{CS}$  が High の間 SCLK を停止します。

### 4.1 ショート・サイクリング制御

ショート・サイクリングとは、必要とされる最後のビットが出力された後、変換を停止するプロセスを言います。ショート・サイクリングは、12 ビットすべての分解能を必要としないアプリケーションや、特定の条件が起こるまでアナログ信号を監視するアプリケーションで、消費電力を低減する方法として有用です。例えば、監視されている信号が特定の範囲内に収まっているのであれば、ADC122S706 から 12 ビットも分解能でデータを得る必要がない事例などが考えられます。状況によっては、変換を最初の数ビットだけで終了することができます。これによって ADC122S706 がパワーダウン・モードで動作する時間が増えて、変換モードで動作する時間が減るため、コンバータの電力消費を抑制できます。

ショート・サイクリングを行うには、ADC122S706 出力から必要な最後のビットを受信した後、 $\overline{CS}$  を High にします。ADC122S706 は生成された順番で最後に変換されたデータ・ビットを  $D_{OUT}$  ピンに出力するため、このような制御が可能です。例えば、8 ビット分の変換結果のみが必要な場合、8 番目のビットが出力された後で  $\overline{CS}$  を High にすれば変換動作は終了します。

## アプリケーション情報 (つづき)

### 4.2 バースト・モード動作

ADC122S706 では、通常は SCLK にはサンプリング・レートの 16 倍の周波数のクロックを与え、また CS には、サンプリング・レートと同じレートの信号を与える必要があります。しかし、500kSPS 以下のサンプリング・レートを必要とするアプリケーションで消費電力を最小限に抑えるには、ADC122S706 に 16MHz の SCLK 周波数を与え、CS にシステムが必要とすることができるだけ低いレートを与えて動作させてください。この条件が満たされたとき、ADC122S706 はバースト・モードで動作します。ADC122S706 は各変換の終了でパワーダウン・モードに移行するため、消費電力は最小限に抑えられます。このような制御を行うことで、コンバータを可能な限り長い時間にわたってパワーダウン・モードに保持することができます。消費電力は変換レートに直接比例するので、消費電力を最小限に抑えるために、変換レートはシステム要件を満たす最低の値に設定してください。

### 4.3 シングル DOUT モード

DUAL ピンがロジック Low レベルであると、ADC122S706 はシングル DOUT モードで動作します。シングル DOUT モードでは、チャンネル A とチャンネル B のいずれの変換結果も  $D_{OUTA}$  に出力されます (Figure 2 参照)。このモードで動作すると、SCLK 周波数が 16MHz の場合、最高変換レートは 500kSPS に下がります。これは、チャンネル A とチャンネル B の変換結果を受け取るために、変換ウィンドウが 16 クロック・サイクルから 32 クロック・サイクルに変わるためです。さらに、チャンネル A とチャンネル B の変換が同時に行われるため、ADC122S706 は 16 番目の SCLK の立ち下がりでエッジでパワーダウン状態に移行します。パワーダウン・モードで動作する時間が長くなるため、ADC122S706 の消費電力はほぼ 1/2 に低減されます。詳細については、「Power Supply Characteristics」の表を参照してください。

### 5.0 電源の考慮事項と PCB レイアウト

最高の性能を実現するために、プリント回路基板の物理的レイアウトに十分な配慮が必要です。これは特に、リファレンス電圧が低い場合や、変換レートが高い場合に重要です。クロック・レートが高い場合は入力波形がセティングする時間が十分にありません。そのため精度を確保するには、変換を開始する前に、いかなるノイズに対しても入力を安定させることが重要です。

#### 5.1 アナログおよびデジタル電源

ADC アーキテクチャは電源ピン、リファレンス・ピン、およびグラウンド・ピン上のスパイクに敏感です。スパイクは、スイッチング電源、デジタル回路、大電力デバイスその他の原因によって発生します。ADC122S706 に与える電源はクリーンでなければならず、併せて適切なバイパスが必要で、0.1  $\mu\text{F}$  のセラミック・バイパス・コンデンサと 1  $\mu\text{F}$  ~ 10  $\mu\text{F}$  のコンデンサを ADC122S706 の電源バイパスに使用し、このうち 0.1  $\mu\text{F}$  のコンデンサは ADC122S706 パッケージのできるだけ近くに実装してください。

ADC122S706 にはアナログとデジタルの両方の電源ピンがあるため、ユーザーには 3 つのオプションがあります。最初のオプションでは、アナログ電源ピンとデジタル電源ピンを接続し、それらのピンを同じ電源に接続します。これは ADC122S706 への電力供給の最も費用効率が高い方法ですが、多くの問題があります。すでに述べたように、デジタル電源ピンからのノイズがアナログ電源ピンと結合し、性能を低下させることがあります。他の 2 つのオプションでは、アナログ電源ピンとデジタル電源ピンに別の電源電圧を供給します。これらの電源電圧の振幅は同じでも、異なっていても構いません。設計上の唯一の制約条件は、デジタル電源電圧がアナログ電源電圧より低いことです。ADC122S706 のアナログ回路が 5V で動作している場合、通常、3V のデジタル・インタフェースが推奨されるため、これが問題になることはほとんど

ありません。3V のデジタル電源ピンを使用した場合、5V のときと比べ、2 つの利点が得られます。ADC122S706 の消費電力を抑えるとともに、デジタル・インタフェース・ピンの容量の充放電に伴うノイズが抑制されます。

#### 5.2 電圧リファレンス

リファレンス電源は出力インピーダンスを小さくしなければならず、最小の容量値のコンデンサ (0.1  $\mu\text{F}$ ) でバイパスする必要があります。大きな容量値のコンデンサ (1  $\mu\text{F}$  ~ 10  $\mu\text{F}$ ) を 0.1  $\mu\text{F}$  と並列に接続することを推奨します。ADC122S706 はリファレンス・ピンから平均ではわずかな電流しか引き込みませんが、リファレンス入力に高い瞬間的な電流スパイクが発生します。

一般の A/D コンバータと同様に、ADC122S706 のリファレンス入力にはノイズや電圧変動を除去する機能はありません。リファレンス電圧を電源電圧から生成する場合はこの点に注意してください。外部リファレンスの回路では除去されない電源起因のノイズやリップルは変換結果に現れます。アクティブなリファレンス電源を使用することを推奨します。LM4040/LM4050 シヤント・リファレンス・ファミリや LM4132/LM4140 シリーズ・リファレンス・ファミリがリファレンス電圧源として最適です。

#### 5.3 PCB レイアウト

ノイズの多いデジタル回路とノイズに高感度なアナログ回路との間の S/E により、変換性能が低下する可能性があります。解決方法として、アナログ回路をデジタル回路から十分に分離させたレイアウトを行い、クロック信号の配線パターンを最短にします。デジタル回路は非常に大きな電源トランジエントやグラウンド・トランジエントを生じます。このようなロジックノイズがシステムのノイズ特性に大きく影響を及ぼします。電源ノイズによる ADC122S706 の性能低下を避けるため、基板上でデジタル回路に使用する ADC122S706 の VA と VREF に同じ電源を使用しないでください。

一般に、アナログとデジタルの配線パターンどうしのクロストークを防ぐには、両者の配線パターンを互いに 90° で交差させるのが望ましいとされています。高周波 / 高分解能のシステムで精度を最大限にするためには、アナログ信号ラインとデジタル信号ラインが互いに交差する配線は避けなければなりません。クロック・ラインは最短にし、他のデジタル・ラインを含むすべてのその他のラインからアイソレートすることが重要です。さらに、クロック・ラインは伝送ラインとして扱い、正しく終端してください。スプリアス信号が入力にカップリングするのを避けるために、アナログ入力は、ノイズの多い信号経路から十分にアイソレートしてください。コンバータの入力ピンとグラウンドの間、またはリファレンス入力ピンとグラウンドに接続される任意の外部回路 (例えば、フィルタ用のコンデンサ) は、アナログ・グラウンド帰路中の非常にクリーンなノイズの少ない 1 点で接続してください。

単一の均等なグラウンド層と、電源層を専用に設ける層構成を推奨します。電源層は同一の基板層に配置してください。すべてのアナログ回路 (入力アンプ、フィルタ、リファレンス回路など) は、アナログ・グラウンド層を覆うように配置してください。すべてのデジタル回路とデジタル入出力 (I/O) は、デジタル・グラウンド・プレーンを覆うように配置してください。さらに、ADC122S706 上の GND ピンと、グラウンドに接続されているリファレンス回路および入力信号チェーンに含まれているすべての部品は、グラウンド層のノイズのない点に接続する必要があります。これらのピンは、マイクロプロセッサ、マイクロコントローラ、デジタル・シグナル・プロセッサなどの高パワー・デジタル・デバイスに近いグラウンド点に接続してはなりません。

## アプリケーション情報 (つづき)

### 6.0 アプリケーション回路

以降の図は、ADC122S706 の代表的なアプリケーション回路の例です。これらの回路は基本的なものであり、実用化には修正が必要です。

### 6.1 データ・アキュイジション

Figure 12 は低コストかつ低電力のデータ・アキュイジション回路です。アナログ電源ピンとデジタル電源ピンは+ 5V システム電源を使用して電源が供給され、2.5V のリファレンス電圧が LM4040-2.5 ショット・リファレンスによって生成されます。

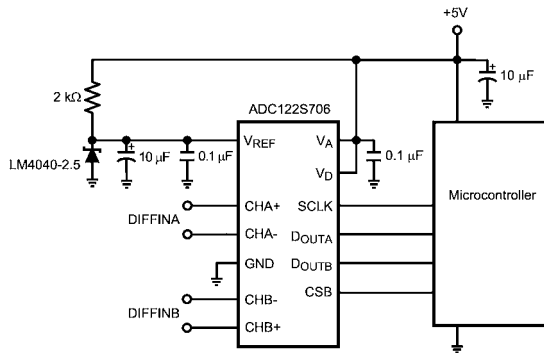


FIGURE 12. Low cost, low power Data Acquisition System

### 6.2 電流センサ・アプリケーション

Figure 13 の例では、1 対の電流トランスデューサを ADC122S706 に接続しています。電流トランスデューサは、入力電流を、ADC が変換する電圧に変換します。電流トランスデューサの出力電圧はシングルエンドで、2.5V の共通モード電圧を中心電圧とするので、ADC122S706 は、トランスデューサの出力が非反転入力を駆動し、トランスデューサの共通モード出力電圧が反転入力を駆動するように構成されています。トランスデューサの出力は、共通モード電圧 2.5V を中心に  $\pm 2V$  の範囲です。その結果、2.0V のシリーズ・リファレンス電圧が ADC122S706 に接続されます。それによってアプリケーションでは ADC122S706 のすべてのコードを利用できます。ADC122S706 のこの構成を差動 ADC のシングルエンド・アプリケーションと言います。アプリケーション内のすべての要素は同じ + 5V 電源から電源が供給されるため、回路の複雑さとコストが最小限に抑えられます。

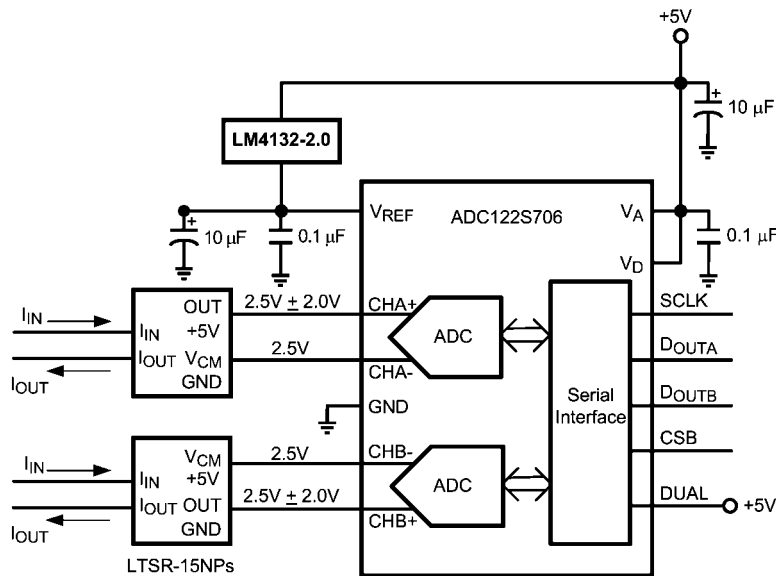


FIGURE 13. Interfacing the ADC122S706 to a Current Transducer

アプリケーション情報 (つづき)

6.3 ブリッジ・センサ・アプリケーション

Figure 14 の例では、ADC122S706 に 1 対のブリッジ・センサを接続しています。このアプリケーションは、ブリッジ・センサが ADC のダイナミック・レンジをフルに活用するためにバッファリングと増幅を必要としている想定で、信号パス全体の性能を最適化します。各 ADC 入力の増幅段は、LMP7704 の 1 対のオペアンプから構成されています。増幅段には、高い入力インピーダンスと高い増

幅能力の利点があります。しかし、ブリッジ・センサから発生するノイズに対してはコモンモード除去を行いません。アプリケーション回路では、ブリッジ・センサに ADC122S706 のアナログ電源ピンと同じ +5V の電源電圧から電力が供給されることが前提となります。これには、ADC122S706 のための理想的なコモンモード入力電圧を提供し、しかも設計の複雑さや経費を最小限に抑えられる利点があります。LM4132-4.1、4.1V シリーズ・リファレンスは、アプリケーション内でリファレンス電圧として使用されます。

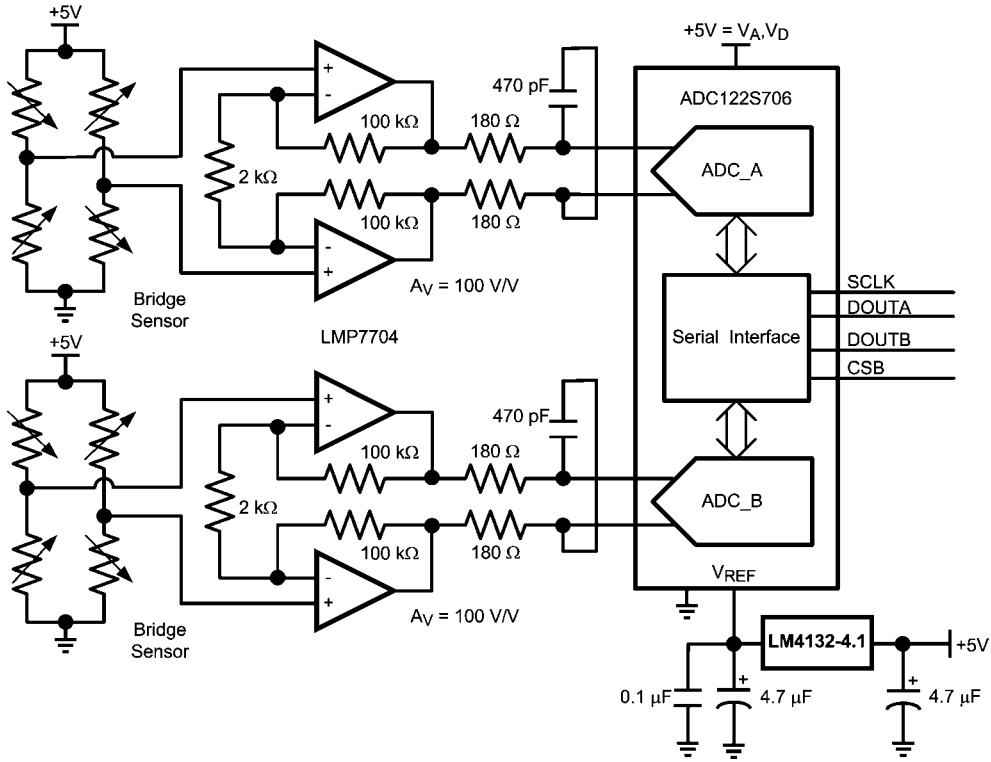
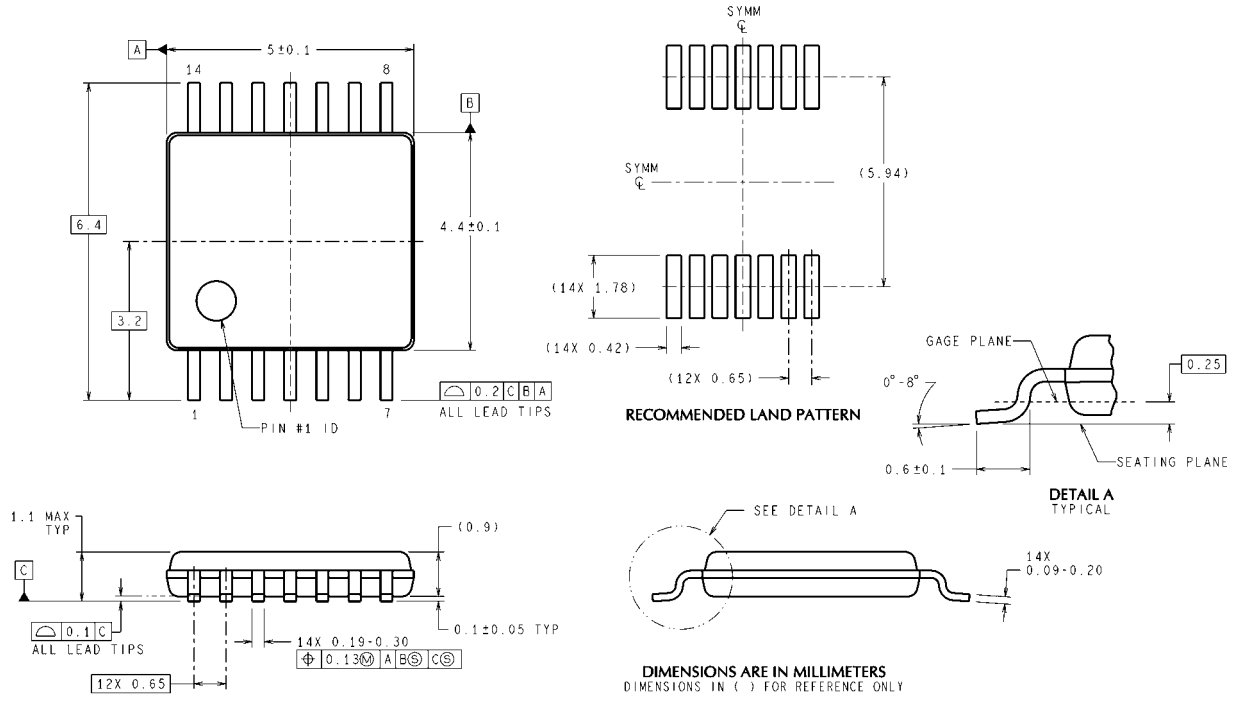


FIGURE 14. Interfacing the ADC122S706 to Bridge Sensors

外形寸法図 単位は millimeters



MTC14 (Rev D)

**14-Lead TSSOP**  
**Order Number ADC122S706C1MM**  
**NS Package Number MTC14**



このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

#### 生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation  
製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

## ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上