

ADC14DC080

ADC14DC080 Dual 14-Bit, 80 MSPS A/D Converter with CMOS Outputs



Literature Number: JAJ SAY7

ADC14DC080/ADC14DC105

CMOS 出力付デュアル 14 ビット、80/105MSPS A/D コンバータ

概要

NOTE: これは現在開発中の製品の先行情報です。すべての仕様は設計目標であり、変更することがあります。

ADC14DC080とADC14DC105は、2つのアナログ入力信号を最高80/105MSPSのサンプリング・レートで、14ビットのデジタル・ワードに変換できる、高性能CMOS A/Dコンバータです。デジタル誤差補正機能とサンプル / ホールド回路を備えた差動パイプライン型アーキテクチャを採用し、消費電力と外付け部品を最小限に抑えながら優れた性能を発揮します。独自のサンプル / ホールド・ステージによって、1GHzのフルパワー帯域幅を備えています。ADC14DC080/105は+3.3V単一電源で動作します。パワーダウン機能によって消費電力は非常に低いレベルに抑えられますが、わずかなウェイクアップ時間で通常動作に復帰できます。差動入力には2Vのフルスケール差動入力振幅に対応可能です。ADC14DC080/105には、安定した1.2V内部リファレンスが用意され、また1.2Vの外部的リファレンスでも動作できます。出力データ・フォーマット（オフセット・バイナリか2の補数）とデューティ・サイクル・スタビライザはピンで選択します。デューティ・サイクル・スタビライザは、クロック・デューティ・サイクルの広範囲にわたって性能を保持します。

ADC14DC080/105は60ピンのLLPパッケージで提供され、産業用温度範囲（-40 ~ +85）で動作します。

特長

- 1GHzフルパワー帯域幅
- サンプル / ホールドおよび高精度リファレンス内蔵
- 低消費電力
- クロック・デューティ・サイクル・スタビライザ
- +3.3V単一電源で動作
- パワーダウン・モード
- 出力データ・フォーマットはオフセット・バイナリまたは2の補数
- 60ピンLLPパッケージ（9×9×0.8mm、0.5mmピンピッチ）

主な仕様

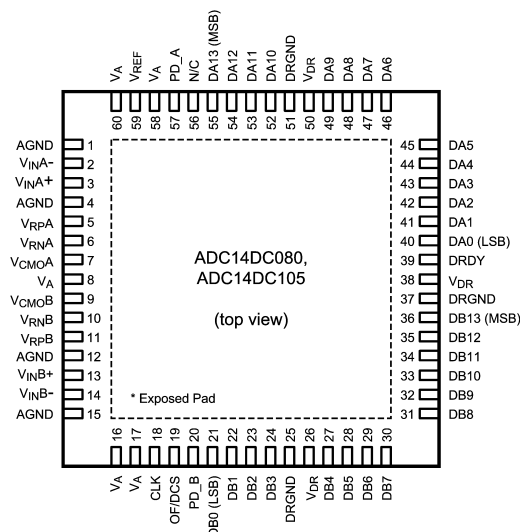
ADC14DC105:

分解能	14ビット
変換レート	105MSPS
SN比 ($f_{IN} = 240\text{MHz}$)	72dBFS (typ)
SFDR ($f_{IN} = 240\text{MHz}$)	83dBFS (typ)
フルパワー帯域幅	1GHz (typ)
消費電力	800mW (typ)

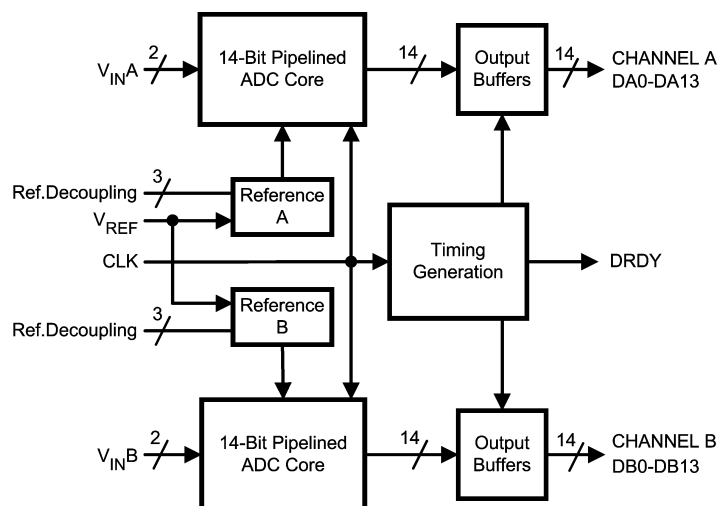
アプリケーション

- 高IFサンプリング・レーザ
- 無線基地局レーザ
- 試験装置および測定機器
- 通信機器
- 携帯機器

ピン配置図



ブロック図



製品情報

Industrial ($-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$)	Package
ADC14DC080CISQ	60 Pin LLP ²
ADC14DC105CISQ	60 Pin LLP

ピン説明および等価回路

ピン番号	シンボル	等価回路	説明
アナログ I/O			
3 13	V_{IN^+A} V_{IN^+B}		<p>差動アナログ入力ピン。差動フルスケール入力信号レベルは $2V_{P-P}$、各入力ピンの中心電圧はコモンモード電圧 V_{CM} です。</p>
2 14	V_{IN^-A} V_{IN^-B}		
5 11	V_{RP^A} V_{RP^B}		<p>これらのピンを、低 ESL (等価直列インダクタンス) の $1\mu F$ コンデンサで AGND にバイパスし、それは浮遊インダクタンスを最小にするためピンのごく近くに配置する必要があります。 V_{RP} と V_{RN} の間のできるだけピンの近くに 0201 サイズの $0.1\mu F$ のコンデンサを配置し、 $1\mu F$ のコンデンサを並列に接続します。 V_{RP} と V_{RN} には負荷を接続しないでください。 V_{CMO} は、温度の安定した $1.5V$ リファレンスとして $1mA$ までの負荷をかけることができます。差動アナログ入力、コモンモード電圧 (V_{CM}) の供給のために V_{CMO} の使用を推奨します。</p>
7 9	V_{CMO^A} V_{CMO^B}		
6 10	V_{RN^A} V_{RN^B}		
59	V_{REF}		<p>リファレンス電圧。本デバイスは内部で生成する $1.2V$ リファレンス電圧を備えています。内部リファレンスを使用する場合、 V_{REF} は、低等価直列インダクタンス (ESL) の $0.1\mu F$ および $1\mu F$ コンデンサで AGND にデカップルする必要があります。</p> <p>このピンは $1.2V$ 外部リファレンス電圧で駆動できます。</p> <p>このピンは、電流をソースまたはシンクするために使用してはなりません。</p>
デジタル I/O			
19	OF/DCS		<p>これは入力クロック・モードと出力データ・フォーマットを制御する 4 ステート・ピンです。</p> <p>OF/DCS = V_A の場合、出力データのフォーマットは 2 の補数となり、入力クロックにデューティ・サイクル安定化機能が適用されません。</p> <p>OF/DCS = AGND とすると、出力データのフォーマットはオフセット・バイナリとなり、入力クロックにデューティ・サイクル安定化機能は適用されません。</p> <p>OF/DCS = $(2/3) * V_A$ の場合、出力データは 2 の補数で、入力クロックはデューティ・サイクル安定化機能が適用されます。</p> <p>OF/DCS = $(1/3) * V_A$ の場合、出力データはオフセット・バイナリで、入力クロックはデューティ・サイクル安定化機能が適用されます。</p>
18	CLK		<p>クロック入力ピン。</p> <p>アナログ入力は、クロック入力の立ち上がりエッジでサンプリングされます。</p>
57 20	PD_A PD_B		<p>パワーダウンをコントロールする 2 ステート入力。</p> <p>PD = V_A でパワーダウン・モードになり、消費電力が低減されます。</p> <p>PD = AGND では通常動作になります。</p>

ピン番号	シンボル	等価回路	説明
40-49, 52-55	DA0-DA9, DA10-DA13		チャンネル A 用変換後の 12 ビット・デジタル・データ出力ピン。DA0 (pin 40) がオフセット・バイナリ出力ワードの LSB であり、DA13 (pin 55) が同 MSB です。出力レベルは CMOS レベルです。
21-24, 27-36	DB0-DB3, DB4-DB13		チャンネル B 用変換後の 14 ビット・デジタル・データ出力ピン。DB0 (pin 21) がオフセット・バイナリ出力ワードの LSB であり、DB13 (pin 36) が同 MSB です。出力レベルは CMOS レベルです。
39	DRDY		データ・レディ・ストロープ。データ出力の遷移はこの信号の立ち下がりエッジに同期します。この信号は、CLK 入力と同じ周波数でスイッチします。

アナログ電源

8, 16, 17, 58, 60	V _A		正のアナログ電源ピン。これらのピンは、無負荷の電源に接続する必要があり、電源ピンの近くに配置した 0.1 μF コンデンサで AGND にバイパスしてください。
1, 4, 12, 15、露出 パッド	AGND		アナログ電源のグラウンド・ピン。

デジタル電源

26, 38, 50	V _{DR}		出力ドライバ用の正のデジタル電源ピン。これらのピンは、無負荷の電源に接続する必要があり、電源ピンの近くに配置した 0.1 μF コンデンサで DRGND にバイパスしてください。
25, 37, 51	DRGND		デジタル出力ドライバ電源のグラウンド・ピン。システムのデジタル・グラウンドに接続してください。ただし、A/D コンバータの AGND ピンの近くには接続しないでください。

絶対最大定格 (Note 1、3)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V_A , V_{DR})	- 0.3V ~ 4.2V
各入出力ピン電圧 (4.2V を超えないこと)	- 0.3V ~ ($V_A + 0.3V$)
電源ピン以外の全ピン入力電流 (Note 4)	$\pm 5\text{mA}$
パッケージ入力電流 (Note 4)	$\pm 50\text{mA}$
最大接合部温度 (T_J)	+150
熱抵抗 (θ_{JA})	30 /W
ESD 耐圧	
人体モデル (Note 6)	2,500V
マシン・モデル (Note 6)	250V
保存温度範囲	- 65 ~ + 150

ハンダ付けのプロセスは、National Semiconductor's Reflow Temperature Profile 規格に準拠してください。
www.national.com/JPN/packaging を参照してください (Note 7)。

動作定格 (Note 1、3)

動作温度範囲	- 40	T_A	+ 85
電源電圧 (V_A)	+ 2.7V ~ + 3.6V		
出力ドライバ用の電源 (V_{DR})	2.4V ~ V_A		
クロック・デューティ・サイクル			
(DCS イネーブル)			30/70 %
(DCS ディスエーブル)			45/55 %
V_{CM}	1.4V ~ 1.6V		
AGND - DRGND	100mV		

ADC14DC080 コンバータの電気的特性

この製品は現在開発中です。このため、各仕様パラメータは設計目標です。各仕様値はデバイスの特性評価を終えるまでは保証されません。

特記のない限り、AGND = DRGND = 0V、 $V_A = + 3.0V$ 、 $V_{DR} = + 2.5V$ 、内部 $V_{REF} = + 1.2V$ 、 $f_{CLK} = 80\text{MHz}$ 、 $V_{CM} = V_{CMO}$ 、 $C_L = 5\text{pF}$ /ピン。標準値は $T_A = 25$ のときのもので、太字表記のリミット値は T_{MIN} 、 T_A 、 T_{MAX} に適用されます。その他のすべてのリミット値は $T_A = 25$ に対して適用されます。(Note 8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			14	Bits (min)
INL	Integral Non Linearity (Note 11)		± 1.5		LSB (max) LSB (min)
DNL	Differential Non Linearity		± 0.5		LSB (max) LSB (min)
	Under Range Output Code		0	0	
	Over Range Output Code		16383	16383	
REFERENCE AND ANALOG INPUT CHARACTERISTICS					
V_{CMO}	Common Mode Output Voltage		1.5	1.45 1.55	V (min) V (max)
V_{CM}	Analog Input Common Mode Voltage		1.5	1.4 1.6	V (min) V (max)
C_{IN}	V_{IN} Input Capacitance (each pin to GND) (Note 12)	$V_{IN} = 1.5\text{Vdc}$	(CLK LOW)	8.5	pF
		$\pm 0.5\text{V}$	(CLK HIGH)	3.5	pF
V_{REF}	External Reference Voltage		1.20	1.176 1.224	V (min) V (max)

ADC14DC080 コンバータの電氣的ダイナミック特性

特記のない限り、AGND = DRGND = 0V、 $V_A = +3.0V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 80MHz$ 、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピン。標準値は $T_A = 25$ のときのもので、太字表記のリミット値は T_{MIN} 、 T_A 、 T_{MAX} に適用されます。その他のすべてのリミット値は $T_A = 25$ に対して適用されます。(Note 8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits) (Note 2)
DYNAMIC CONVERTER CHARACTERISTICS, $A_{IN} = -1dBFS$					
FPBW	Full Power Bandwidth	-1 dBFS Input, -3 dB Corner	1.0		GHz
SNR	Signal-to-Noise Ratio	$f_{IN} = 10$ MHz	74.2		dBFS
		$f_{IN} = 70$ MHz	72		dBFS
		$f_{IN} = 170$ MHz	72		dBFS
SFDR	Spurious Free Dynamic Range	$f_{IN} = 10$ MHz	90		dBFS
		$f_{IN} = 70$ MHz	88		dBFS
		$f_{IN} = 170$ MHz	83		dBFS
ENOB	Effective Number of Bits	$f_{IN} = 10$ MHz	12		Bits
		$f_{IN} = 70$ MHz	11.6		Bits
		$f_{IN} = 170$ MHz	11.6		Bits
THD	Total Harmonic Distortion	$f_{IN} = 10$ MHz	-88		dBFS
		$f_{IN} = 70$ MHz	-85		dBFS
		$f_{IN} = 170$ MHz	-80		dBFS
H2	Second Harmonic Distortion	$f_{IN} = 10$ MHz	-100		dBFS
		$f_{IN} = 70$ MHz	-95		dBFS
		$f_{IN} = 170$ MHz	-85		dBFS
H3	Third Harmonic Distortion	$f_{IN} = 10$ MHz	-90		dBFS
		$f_{IN} = 70$ MHz	-88		dBFS
		$f_{IN} = 170$ MHz	-83		dBFS
SINAD	Signal-to-Noise and Distortion Ratio	$f_{IN} = 10$ MHz	74		dBFS
		$f_{IN} = 70$ MHz	71.8		dBFS
		$f_{IN} = 170$ MHz	71.4		dBFS

ADC14DC080ロジックおよび電源の電氣的特性

特記のない限り、AGND = DRGND = 0V、 $V_A = +3.0V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 80MHz$ 、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピン。標準値は $T_A = 25$ のときのもので、太字表記のリミット値は T_{MIN} 、 T_A 、 T_{MAX} に適用されます。その他のすべてのリミット値は $T_A = 25$ に対して適用されます。(Note 8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
DIGITAL INPUT CHARACTERISTICS (CLK, PD_A, PD_B)					
$V_{IN(1)}$	Logical "1" Input Voltage	$V_D = 3.6V$		2.0	V (min)
$V_{IN(0)}$	Logical "0" Input Voltage	$V_D = 3.0V$		0.8	V (max)
$I_{IN(1)}$	Logical "1" Input Current	$V_{IN} = 3.3V$	10		μA
$I_{IN(0)}$	Logical "0" Input Current	$V_{IN} = 0V$	-10		μA
C_{IN}	Digital Input Capacitance		5		pF
DIGITAL OUTPUT CHARACTERISTICS (DA0-DA13, DB0-DB13, DRDY)					
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_{OUT} = -0.5$ mA, $V_{DR} = 2.4V$		2.0	V (min)
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_{OUT} = 1.6$ mA, $V_{DR} = 2.4V$		0.4	V (max)
$+I_{SC}$	Output Short Circuit Source Current	$V_{OUT} = 0V$	-10		mA
$-I_{SC}$	Output Short Circuit Sink Current	$V_{OUT} = V_{DR}$	10		mA
C_{OUT}	Digital Output Capacitance		5		pF
POWER SUPPLY CHARACTERISTICS					

ADC14DC080 ロジックおよび電源の電気的特性 (つぎ)

特記のない限り、AGND = DRGND = 0V、 $V_A = +3.0V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 80MHz$ 、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピン。標準値は $T_A = 25$ のときのもので、太字表記のリミット値は T_{MIN} 、 T_A 、 T_{MAX} に適用されます。その他のすべてのリミット値は $T_A = 25$ に対して適用されます。(Note 8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
I_A	Analog Supply Current	Full Operation	200		mA (max)
I_{DR}	Digital Output Supply Current	Full Operation (Note 13)	26		mA
	Power Consumption	Excludes I_{DR} (Note 13)	600		mW (max)
	Power Down Power Consumption	PD_A=PD_B= V_A	30		mW

ADC14DC080 タイミングと AC 特性

特記のない限り、AGND = DRGND = 0V、 $V_A = +3.0V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 80MHz$ 、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピン。代表値は $T_A = 25$ の場合の値です。タイミング測定は信号振幅の 50% で行われます。太字表記のリミット値は T_{MIN} 、 T_A 、 T_{MAX} に適用されます。その他のすべてのリミット値は $T_A = 25$ に対して適用されます。(Note8、9)

Symb	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
	Maximum Clock Frequency			80	MHz (max)
	Minimum Clock Frequency			20	MHz (min)
t_{CH}	Clock High Time		6		ns
t_{CL}	Clock Low Time		6		ns
t_{CONV}	Conversion Latency			7	Clock Cycles
t_{OD}	Output Delay of CLK to DATA	Relative to rising edge of CLK	4	2 6	ns (min) ns (max)
t_{SU}	Data Output Setup Time	Relative to DRDY	5		ns (min)
t_H	Data Output Hold Time	Relative to DRDY	5		ns (min)
t_{AD}	Aperture Delay		0.6		ns
t_{AJ}	Aperture Jitter		0.1		ps rms

ADC14DC105 コンバータの電気的特性

この製品は現在開発中です。このため、各仕様パラメータは設計目標です。各仕様値はデバイスの特性評価を終えるまでは保証されません。

特記のない限り、AGND = DRGND = 0V、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピン。標準値は $T_A = 25$ のときのもので、太字表記のリミット値は T_{MIN} 、 T_A 、 T_{MAX} に適用されます。その他のすべてのリミット値は $T_A = 25$ に対して適用されます。(Note 8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			14	Bits (min)
INL	Integral Non Linearity (Note 11)		± 1.5		LSB (max) LSB (min)
DNL	Differential Non Linearity		± 0.5		LSB (max) LSB (min)
	Under Range Output Code		0	0	
	Over Range Output Code		16383	16383	
REFERENCE AND ANALOG INPUT CHARACTERISTICS					
V_{CMO}	Common Mode Output Voltage		1.5	1.45 1.55	V (min) V (max)
V_{CM}	Analog Input Common Mode Voltage		1.5	1.4 1.6	V (min) V (max)
C_{IN}	V_{IN} Input Capacitance (each pin to GND) (Note 12)	$V_{IN} = 1.5 V_{dc}$ $\pm 0.5 V$	(CLK LOW)	8.5	pF
			(CLK HIGH)	3.5	pF
V_{REF}	External Reference Voltage		1.20	1.176 1.224	V (min) V (max)

ADC14DC105 コンバータの電気的ダイナミック特性

特記のない限り、AGND = DRGND = 0V、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピン。標準値は $T_A = 25$ のときのもので、太字表記のリミット値は T_{MIN} 、 T_A 、 T_{MAX} に適用されます。その他のすべてのリミット値は $T_A = 25$ に対して適用されます。(Note 8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits) (Note 2)
DYNAMIC CONVERTER CHARACTERISTICS, $A_{IN} = -1dBFS$					
FPBW	Full Power Bandwidth	-1 dBFS Input, -3 dB Corner	1.0		GHz
SNR	Signal-to-Noise Ratio	$f_{IN} = 10 MHz$	73		dBFS
		$f_{IN} = 70 MHz$	72		dBFS
		$f_{IN} = 240 MHz$	72		dBFS
SFDR	Spurious Free Dynamic Range	$f_{IN} = 10 MHz$	88		dBFS
		$f_{IN} = 70 MHz$	85		dBFS
		$f_{IN} = 240 MHz$	83		dBFS
ENOB	Effective Number of Bits	$f_{IN} = 10 MHz$	11.8		Bits
		$f_{IN} = 70 MHz$	11.7		Bits
		$f_{IN} = 240 MHz$	11.6		Bits
THD	Total Harmonic Distortion	$f_{IN} = 10 MHz$	-86		dBFS
		$f_{IN} = 70 MHz$	-85		dBFS
		$f_{IN} = 240 MHz$	-80		dBFS
H2	Second Harmonic Distortion	$f_{IN} = 10 MHz$	-95		dBFS
		$f_{IN} = 70 MHz$	-90		dBFS
		$f_{IN} = 240 MHz$	-85		dBFS

ADC14DC105 コンバータの電氣的ダイナミック特性 (つづき)

特記のない限り、AGND = DRGND = 0V、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピン。標準値は $T_A = 25$ のときのもので、太字表記のリミット値は T_{MIN} T_A T_{MAX} に適用されます。その他のすべてのリミット値は $T_A = 25$ に対して適用されます。(Note 8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits) (Note 2)
H3	Third Harmonic Distortion	$f_{IN} = 10\text{ MHz}$	-88		dBFS
		$f_{IN} = 70\text{ MHz}$	-85		dBFS
		$f_{IN} = 240\text{ MHz}$	-83		dBFS
SINAD	Signal-to-Noise and Distortion Ratio	$f_{IN} = 10\text{ MHz}$	72.8		dBFS
		$f_{IN} = 70\text{ MHz}$	72.3		dBFS
		$f_{IN} = 240\text{ MHz}$	71.4		dBFS

ADC14DC105 ロジックおよび電源の電氣的特性

特記のない限り、AGND = DRGND = 0V、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピン。標準値は $T_A = 25$ のときのもので、太字表記のリミット値は T_{MIN} T_A T_{MAX} に適用されます。その他のすべてのリミット値は $T_A = 25$ に対して適用されます。(Note 8、9)

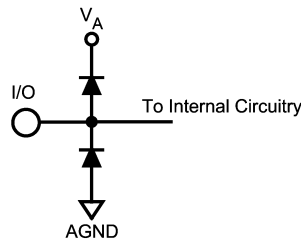
Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
DIGITAL INPUT CHARACTERISTICS (CLK, PD_A, PD_B)					
$V_{IN(1)}$	Logical "1" Input Voltage	$V_D = 3.6V$		2.0	V (min)
$V_{IN(0)}$	Logical "0" Input Voltage	$V_D = 3.0V$		0.8	V (max)
$I_{IN(1)}$	Logical "1" Input Current	$V_{IN} = 3.3V$	10		μA
$I_{IN(0)}$	Logical "0" Input Current	$V_{IN} = 0V$	-10		μA
C_{IN}	Digital Input Capacitance		5		pF
DIGITAL OUTPUT CHARACTERISTICS (DA0-DA13, DB0-DB13, DRDY)					
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_{OUT} = -0.5\text{ mA}$, $V_{DR} = 2.4V$		1.2	V (min)
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_{OUT} = 1.6\text{ mA}$, $V_{DR} = 2.4V$		0.4	V (max)
$+I_{SC}$	Output Short Circuit Source Current	$V_{OUT} = 0V$	-10		mA
$-I_{SC}$	Output Short Circuit Sink Current	$V_{OUT} = V_{DR}$	10		mA
C_{OUT}	Digital Output Capacitance		5		pF
POWER SUPPLY CHARACTERISTICS					
I_A	Analog Supply Current	Full Operation	242		mA (max)
I_{DR}	Digital Output Supply Current	Full Operation (Note 13)	32		mA
	Power Consumption	Excludes I_{DR} (Note 13)	800		mW (max)
	Power Down Power Consumption	$PD_A=PD_B=V_A$	33		mW

ADC14DC105 タイミングと AC 特性

特記のない限り、AGND = DRGND = 0V、 $V_A = +3.3V$ 、 $V_{DR} = +2.5V$ 、内部 $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピン。代表値は $T_A = 25$ の場合の値です。タイミング測定は信号振幅の 50% で行われます。太字表記のリミット値は T_{MIN} T_A T_{MAX} に適用されます。その他のすべてのリミット値は $T_A = 25$ に対して適用されます。(Note 8、9)

Symb	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
	Maximum Clock Frequency			105	MHz (max)
	Minimum Clock Frequency			20	MHz (min)
t_{CH}	Clock High Time		4		ns
t_{CL}	Clock Low Time		4		ns
t_{CONV}	Conversion Latency			7	Clock Cycles
t_{OD}	Output Delay of CLK to DATA	Relative to rising edge of CLK	4	2 6	ns (min) ns (max)
t_{SU}	Data Output Setup Time	Relative to DRDY	3		ns (min)
t_H	Data Output Hold Time	Relative to DRDY	3		ns (min)
t_{AD}	Aperture Delay		0.6		ns
t_{AJ}	Aperture Jitter		0.1		ps rms

- Note 1:** 絶対最大定格とは、デバイスに破壊が発生する可能性のある制限値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された仕様、および試験条件については「電気的特性」を参照してください。保証された仕様はリストに示された試験条件でのみ適用されます。リストに示されている試験条件の下で動作していない場合には、いくつかの性能特性は低下することがあります。最大動作定格を超えた状態でデバイスを動作させてはなりません。
- Note 2:** dBFS で指定されたパラメータは、フルスケール入力信号で達成される値を示しています。
- Note 3:** 特記のない限り、すべての電圧は GND = AGND = DRGND = 0V に対して測定された値です。
- Note 4:** いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 ($V_{IN} < AGND$ または $V_{IN} > V_A$)、そのピンの入力電流を $\pm 5\text{mA}$ 以下に制限しなければなりません。 $\pm 50\text{mA}$ の最大パッケージ入力定格電流によって、電源電圧を超えて $\pm 5\text{mA} \sim \pm 10\text{mA}$ の電流を流せるピン数が制限されます。
- Note 5:** 最大許容消費電力 ($T_{J,max}$) は、接合部周囲間熱抵抗 (J_A) および周囲温度 (T_A) によって決まり、 $P_{D,max} = (T_{J,max} - T_A) / J_A$ で表されます。上記の最大許容消費電力の値にまで上がる場合は、デバイスが何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。このような条件での動作は必ず避けるようにしてください。
- Note 6:** 使用した試験回路は人体モデルに基づき、100pF のコンデンサから直列抵抗 1.5k を通して、各ピンに放電させます。マシン・モデルでは 220pF のコンデンサから直列抵抗 0 を通して、各ピンに放電させます。
- Note 7:** リフロー温度プロファイルは、鉛フリー・パッケージの場合と非鉛フリー・パッケージの場合で異なります。
- Note 8:** 以下に示すように、各入出力ピンは 1 個のツェナーダイオードで保護されています。(Note 4) に従って電流制限を行うことで、入力電圧が V_A を上回った場合や GND を下回った場合でも本デバイスがダメージを受けることはありません。しかし、動作定格で記載されたように入力が 2.6V 以上または GND より低い場合、A/D 変換のエラーが発生します。



- Note 9:** $2V_{p-p}$ のフルスケールの差動入力では 14 ビットの LSB は $122.1\mu\text{V}$ です。
- Note 10:** 代表的性能値は、 $T_A = 25^\circ\text{C}$ のときのものであり、製品特性試験の時点でとり得る最適なパラメータの基準を表しています。この代表的な仕様は保証されているわけではありません。
- Note 11:** 積分非直線性 (INL) は LSB で表され、正と負のフルスケールを通る直線からのアナログ値の偏差として定義されます。
- Note 12:** 入力容量は、パッケージ/ピン・キャパシタンスとサンプル/ホールド回路キャパシタンスの合計です。
- Note 13:** I_{DR} とは、出力ドライバのスイッチング処理に消費される電流のことです。この値を決める主要な要素は、出力ピンの負荷容量、電源電圧、 V_{DR} 、出力信号のスイッチング・レートです。出力信号のスイッチング・レートは入力信号に左右されます。 I_{DR} は、 $I_{DR} = V_{DR}(C_0 \times f_0 + C_1 \times f_1 + \dots + C_{13} \times f_{13})$ の式で計算されます。 V_{DR} は出力ドライバ用の電源電圧、 C_n は当該出力ピンの総負荷容量、 f_n は当該出力ピンの平均スイッチング周波数です。
- Note 14:** このパラメータは設計と特性評価によって保証されています。製造時の試験は行っていません。

用語の定義

アパーチャ・ディレイ (APERTURE DELAY) は、クロック・パルスが立ち下がってから入力信号が取り込まれるか保持されるまでの時間です。

アパーチャ・ジッタ (アパーチャ不確定性) (APERTURE JITTER: APERTURE UNCERTAINTY) は、サンプルとサンプルの間のアパーチャ・ディレイのばらつきです。アパーチャ・ジッタは、それ自身は出力のノイズとして現れます。

クロック・デューティ・サイクル (CLOCK DUTY CYCLE) は、繰り返しデジタル波形の周期に対する High の時間の比です。本データシートに記載されているデューティ・サイクルの仕様は、ADC のクロック入力信号に対して適用されます。

コモンモード電圧 (COMMON MODE VOLTAGE: V_{CM}) とは A/D コンバータの両方の入力ピンに印加されるコモン DC 電圧です。

変換レイテンシ (CONVERSION LATENCY) は、変換開始からその変換結果が出力ドライバで得られるまでの期間をクロック・サイクル数で表したものです。任意に与えられたサンプリングに対するデータは、そのサンプリングが行われた後、パイプライン・ディレイや出力ディレイの出力ピン上で有効になります。新しいデータはクロック・サイクル毎に有効ですが、その出力データはパイプライン・ディレイ分の変換ラグがあります。

クロストーク (CROSSTALK) とは、1 つのチャネルから別のチャネルへエネルギーが結合することです。

微分非直線性 (DIFFERENTIAL NON-LINEARITY: DNL) は、理想的なステップである 1LSB からの最大偏差として表されます。

有効ビット (EFFECTIVE NUMBER OF BITS: ENOB) は、信号 / (ノイズ + 歪み) または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー入力帯域 (FULL POWER BANDWIDTH) は、フルスケール入力に対して再現される出力の基本周波数が低周波数における値に対して 3dB 低下した部分の帯域幅です。

利得誤差 (GAIN ERROR) は、伝達関数の実測値と理想カーブとの偏差のことです。次の式で計算できます。

ゲイン誤差 = 正側フルスケール誤差 - 負側フルスケール誤差

正側ゲイン誤差と負側ゲイン誤差によって次のように表すこともできます。

正側ゲイン誤差 = 正側フルスケール誤差 - オフセット誤差

負側ゲイン誤差 = オフセット誤差 - 負側フルスケール誤差

積分非直線性 (INTEGRAL NON LINEARITY: INL) は、ベストフィットさせた直線と各個別コードとの偏差を表します。この直線と任意のコードとの偏差は、各コード値の中央から測定します。

混変調歪み (INTERMODULATION DISTORTION: IMD) は、A/D コンバータの入力に 2 つの近接した周波数を同時に入力し、結果として作り出される別のスペクトラル成分です。元の周波数のトータル・パワーに対する混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

LSB (LEAST SIGNIFICANT BIT) は、全ビットのうち、最も小さな値、または最も小さな重みを持ったビットです。この値は $V_{FS}/2^n$ として表されます。"V_{FS}" はフルスケール入力電圧、"n" は ADC の分解能 (ビット) です。

ミッシング・コード (MISSING CODES) は、A/D コンバータから出力されない出力コードです。ADC14DC080/105 は、ミッシング・コードのないことが保証されています。

MSB (MOST SIGNIFICANT BIT) は、全ビットのうち、最も大きな値、または最も大きな重みを持ったビットです。MSB の値はフルスケールの 1/2 に相当します。

負のフルスケール誤差 (NEGATIVE FULL SCALE ERROR) は、最初のコード遷移点の実測値と (負側フルスケール + 0.5LSB) の理想値とのずれです。

オフセット誤差 (OFFSET ERROR) とは、コード 8191 から 8192 への遷移を発生させるために必要な、2 つの入力電圧の差 $[(V_{IN+}) - (V_{IN-})]$ です。

出力ディレイ (OUTPUT DELAY) は、クロック入力の立ち下がりがエッジから出力ピンにアップデートされたデータが現われるまでの遅延時間です。

パイプライン・ディレイ (PIPELINE DELAY : LATENCY) については「変換レイテンシ」(CONVERSION LATENCY) をご覧ください。

正のフルスケール誤差 (POSITIVE FULL SCALE ERROR) は、最後のコード遷移点の実測値と (正側フルスケール - 1.5LSB) の理想値とのずれのことです。

電源電圧変動除去比 (POWER SUPPLY REJECTION RATIO : PSRR) は、電源電圧の変動を ADC でどの程度除去できるかを表したものです。PSRR は、最大 DC 電源限界値の電源での A/D コンバータのフルスケールの出力に対する、最小 DC 電源限界値の電源での A/D コンバータのフルスケールの出力の比であり、dB で表わされます。

信号 / ノイズ比 (SIGNAL TO NOISE RATIO: SNR) は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

信号 / (ノイズ + 歪み) 比 (SIGNAL TO NOISE PLUS DISTORTION RATIO: S/(N + D) または SINAD) は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

スプリアス・フリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE : SFDR) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現われる任意のスプリアス信号であり、入力に現われるものではありません。

全高調波歪み (TOTAL HARMONIC DISTORTION: THD) は、最初から第 6 番目までの歪み成分の実効値の総和に対する入力信号の実効値 (rms 値) の比で、dB で表されます。全高調波歪み THD は次式から求めます。

$$\text{THD} = 20 \times \log \sqrt{\frac{f_2^2 + \dots + f_7^2}{f_1^2}}$$

f_1 は基本周波数 (出力) パワーの実効値 (RMS 値)、 f_2 から f_7 は出力スペクトラムに現れる高調波のうち最初から第 6 番目までの高調波のパワーです。

二次高調波歪み (SECOND HARMONIC DISTORTION (2ND HARM)) とは、出力に現れる入力基本周波数の RMS パワーと二次高調波のパワーとの差を dB で表した値です。

三次高調波歪み (THIRD HARMONIC DISTORTION (3RD HARM)) とは、出力に現れる入力基本周波数の RMS パワーと三次高調波のパワーとの差を dB で表した値です。

タイミング図

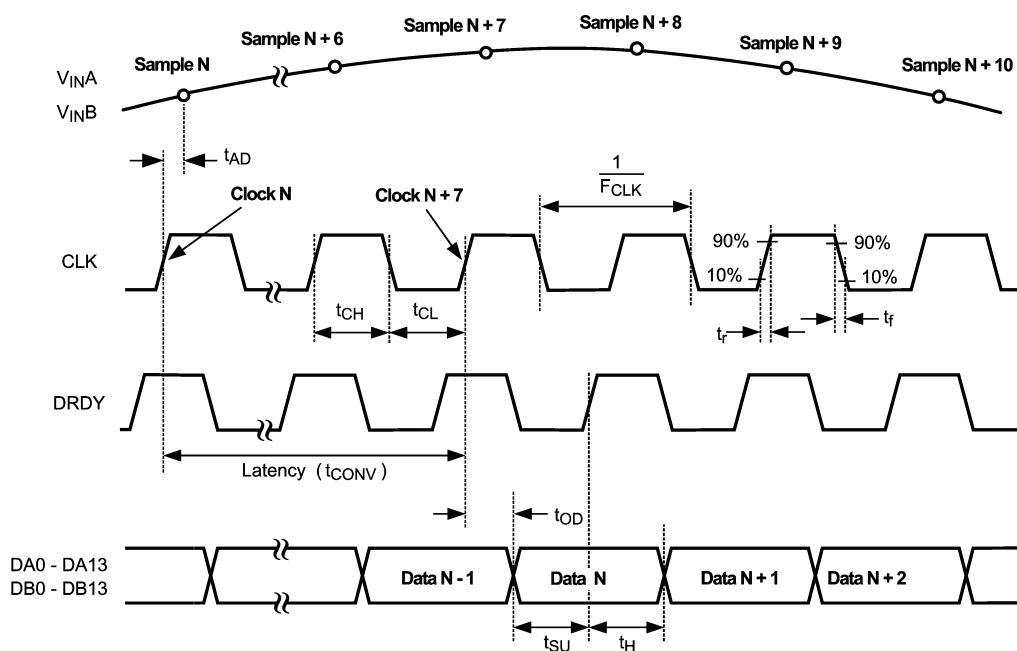


FIGURE 1. Output Timing

変換特性

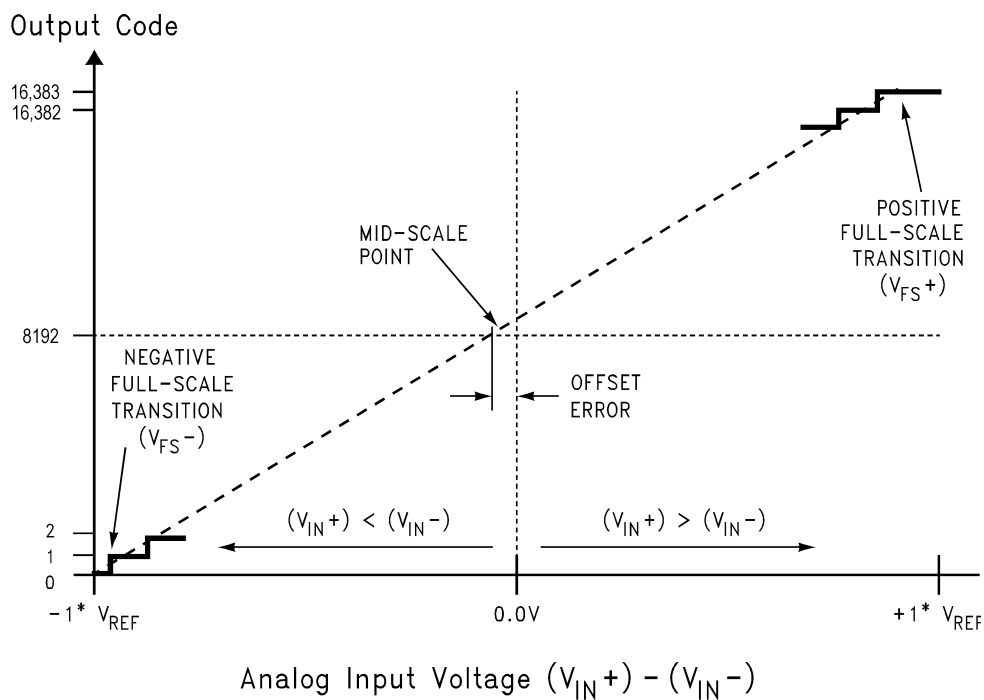
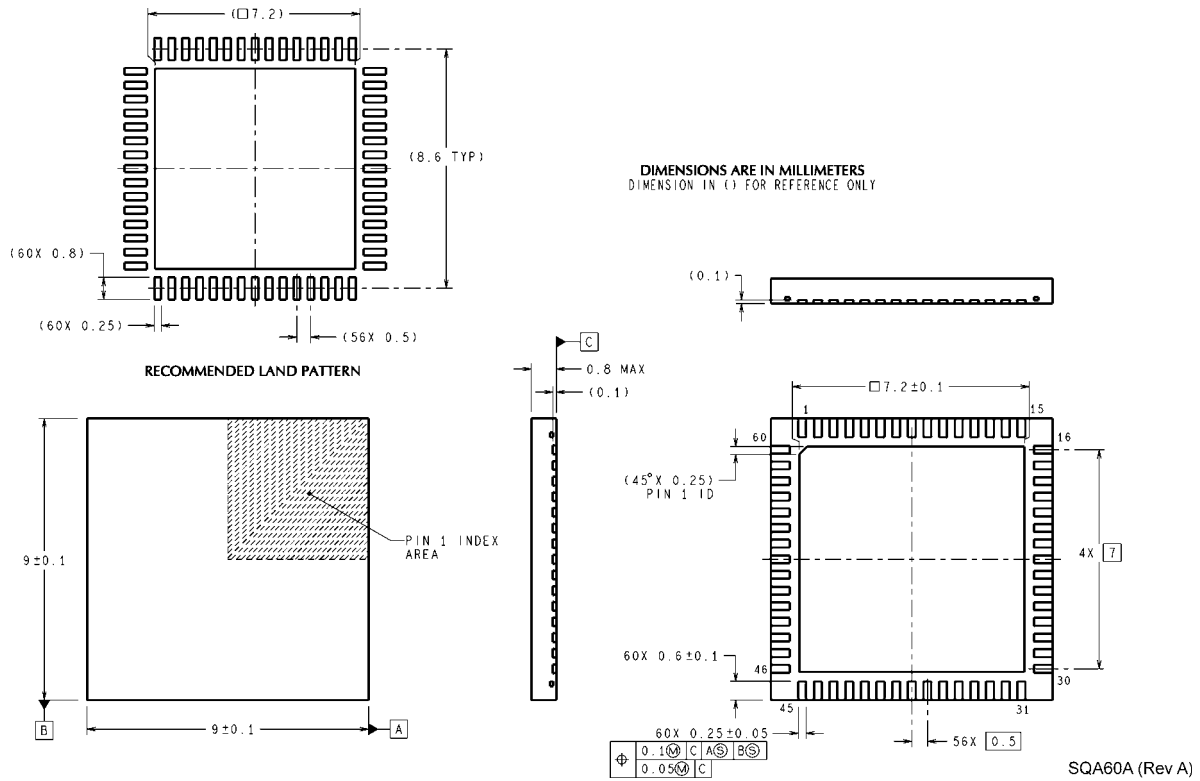


FIGURE 2. Transfer Characteristic

外形寸法図 単位は millimeters



このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上