

# ADS1x2S14 低消費電力 16 ビット/24 ビット、8 チャネル、64kSPS、PGA および電圧リファレンスを搭載したデルタ シグマ ADC および SPI

## 1 特長

- 低消費電力 (最小 57 $\mu$ A)
- 広い電源電圧範囲:
  - アナログ: 1.74V ~ 3.6V
  - デジタル: 1.65V ~ 3.6V
- ゲインをプログラム可能: 0.5 ~ 256
- 消費電力とノイズ性能のトレードオフを行うための、プログラマブルなデータレート (最大 64kSPS) および速度モード
- 単一サイクル整定のデジタル フィルタにより、20 または 25SPS で 50Hz と 60Hz を同時に除去
- 8 の独立して選択可能な入力を備えたアナログ マルチプレクサ
- デュアル マッチド プログラマブル電流源
- 内部プログラム可能電圧リファレンス: 25ppm/ $^{\circ}$ C (最大) のドリフト特性を持つ 1.25V または 2.5V
- 1% (max) 精度の内部発振器
- 内部温度センサ
- 4 つの汎用 I/O (プッシュプル出力またはオープンドレイン出力)
- オプションの CRC およびデジタイズチェーン機能を備えた SPI 互換インターフェイス

## 2 アプリケーション

- フィールドトランスミッタ: 温度、圧力、歪み、フロー
- PLC および DCS アナログ入力モジュール
- 温度コントローラ
- 患者モニタリング システム: 体温、血圧

## 3 説明

ADS1x2S14 は、高精度・低消費電力の 16 ビットおよび 24 ビットの A/D コンバータ (ADC) で、一般的なセンサ測定アプリケーションにおいて、システム コストと部品点数を削減するための多くの統合機能を備えています。このデバイスは、柔軟な入力マルチプレクサ (MUX) を介した eight のアナログ入力、低ノイズのプログラマブル ゲイン アンプ (PGA)、プログラム可能な低ドリフト電圧リファレンス、2 系統のプログラム可能な励起電流源、オシレータ、および温度センサを備えています。

20SPS から最大 64kSPS までプログラム可能な出力データレートを備えた 4 種類の方法により、各アプリケーションに応じて消費電力とノイズ性能を最適化できます。出力データレートが 20SPS および 25SPS の場合、内蔵デジタル フィルタは、1 サイクルで整定しつつ、50Hz と 60Hz のライン サイクル ノイズを同時に除去します。

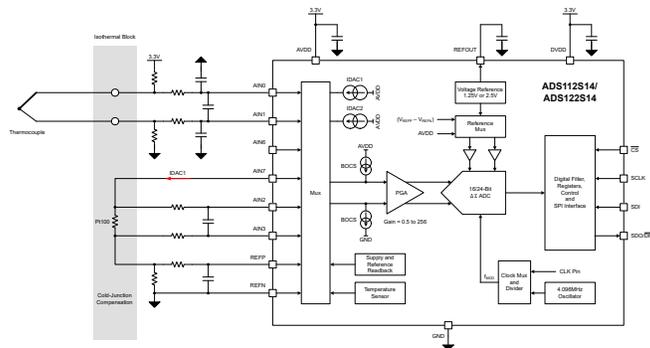
### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
ADS1x2S14	RTE (WQFN, 16)	3.00mm × 3.00mm
	YBH (DSBGA, 16)	1.87mm × 1.97mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、

表 3-1. 製品情報

部品番号	分解能	アナログ入力
ADS112S14	16 ビット	8
ADS122S14	24 ビット	8



2 線式 Pt100 RTD を用いた  
冷接点補償付き K タイプ熱電対測定



## 目次

<b>1 特長</b> .....	1	7.5.4 デバイスのコマンド	46
<b>2 アプリケーション</b> .....	1	7.5.5 連続読み取りモード	52
<b>3 説明</b> .....	1	7.5.6 デイジー チェーン動作	54
<b>4 ピン構成および機能</b> .....	3	7.5.7 3 線式 SPI モード	56
<b>5 仕様</b> .....	5	7.5.8 新しい変換データの監視	57
5.1 絶対最大定格	5	7.5.9 DRDY ピンの動作	59
5.2 ESD 定格	5	7.5.10 変換データの形式	62
5.3 推奨動作条件	6	7.5.11 レジスタ マップ CRC	63
5.4 熱に関する情報	6	<b>8 レジスタ</b> .....	64
5.5 電気的特性	7	<b>9 アプリケーションと実装</b> .....	82
5.6 タイミング要件	15	9.1 アプリケーション情報	82
5.7 スイッチング特性	15	9.1.1 シリアル インターフェイスの接続	82
5.8 タイミング図	15	9.1.2 複数のデバイスとのインターフェイス	83
5.9 代表的特性	16	9.1.3 未使用入出力	83
<b>6 パラメータ測定情報</b> .....	17	9.1.4 デバイスの初期化	85
6.1 ノイズ性能	17	9.2 代表的なアプリケーション	86
<b>7 詳細説明</b> .....	21	9.2.1 ソフトウェアで構成可能な RTD 測定入力	86
7.1 概要	21	9.2.2 2 線式 RTD を使用した冷接点補償による熱電 対測定	91
7.2 機能ブロック図	22	9.2.3 温度補償付き抵抗ブリッジ センサ測定	92
7.3 機能説明	22	9.3 電源に関する推奨事項	94
7.3.1 アナログ入力およびマルチプレクサ	22	9.3.1 電源	94
7.3.2 プログラマブル ゲイン アンプ (PGA)	24	9.3.2 電源シーケンス	94
7.3.3 電圧リファレンス	25	9.3.3 電源のデカップリング	94
7.3.4 クロック ソース	25	9.4 レイアウト	95
7.3.5 デルタ シグマ変調器	26	9.4.1 レイアウトのガイドライン	95
7.3.6 デジタル フィルタ	26	9.4.2 レイアウト例	96
7.3.7 励起電流源 (IDAC)	31	<b>10 デバイスおよびドキュメントのサポート</b> .....	97
7.3.8 バーンアウト電流源の電流 (BOCS)	32	10.1 ドキュメントのサポート	97
7.3.9 汎用インターフェイス (GPIO)	32	10.1.1 関連資料	97
7.3.10 システム モニタ	33	10.2 ドキュメントの更新通知を受け取る方法	97
7.3.11 モニタおよびステータス フラグ	35	10.3 サポート・リソース	97
7.4 デバイスの機能モード	37	10.4 商標	97
7.4.1 パワーアップとリセット	37	10.5 静電気放電に関する注意事項	97
7.4.2 動作モード	38	10.6 用語集	97
7.5 プログラミング	40	<b>11 改訂履歴</b> .....	97
7.5.1 シリアル インターフェイス (SPI)	40	<b>12 メカニカル、パッケージ、および注文情報</b> .....	98
7.5.2 シリアル インターフェイス信号	40		
7.5.3 シリアル インターフェイス通信構造	42		

## 4 ピン構成および機能

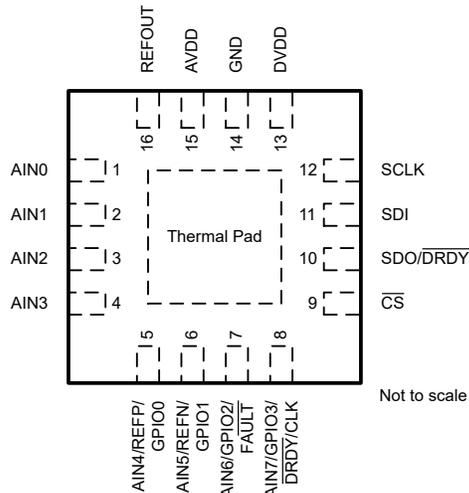


図 4-1. ADS1x2S14、RTE パッケージ、  
16 ピン WQFN、上面図

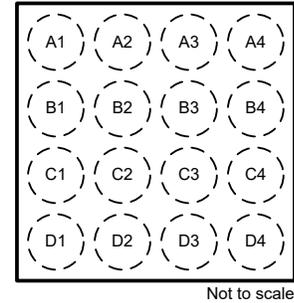


図 4-2. ADS1x2S14、YBH パッケージ、  
16 ピン DSBGA、上面図

表 4-1. ADS1x2S14 のピンの機能

名称	ピン		タイプ	説明 <sup>(1)</sup>
	RTE	YBH		
AIN0	1	A4	アナログ入力	アナログ入力 0
AIN1	2	B4	アナログ入力	アナログ入力 1
AIN2	3	C4	アナログ入力	アナログ入力 2
AIN3	4	D4	アナログ入力	アナログ入力 3
AIN4/REFP/ GPIO0	5	B3	アナログ入力/ デジタル IO	アナログ入力 4。正の外部リファレンス入力。 汎用デジタル入力/出力 0。(2) (4)
AIN5/REFN/ GPIO1	6	C3	アナログ入力/ デジタル IO	アナログ入力 5。負の外部リファレンス入力。 汎用 デジタル入力/出力 1。(2) (4)
AIN6/ GPIO2/FAULT	7	D3	アナログ入力/ デジタル IO	アナログ入力 6。 汎用デジタル入出力 2。(2) (4) ピンは、専用の故障出力として構成できます。
AIN7/ GPIO3/DRDY/CLK	8	D2	アナログ入力/ デジタル IO	アナログ入力 7。 汎用デジタル入出力 3。(2) (4) このピンは、専用の <u>DRDY</u> 出力または外部クロック入力として構成できます。
AVDD	15	A2	アナログ電源	正のアナログ電源。100nF のデカップリングコンデンサを GND に接続してください。
CS	9	C2	デジタル入力	チップ セレクト入力。アクティブ low。(5)
DVDD	13	A1	デジタル電源	デジタル電源。100nF のデカップリングコンデンサを GND に接続してください。
GND	14	B2	グラウンド	グラウンド
REFOUT	16	A3	アナログ出力	内部電圧リファレンス出力。100nF のデカップリングコンデンサを GND に接続してください。
SCLK	12	B1	デジタル入力	シリアル データ クロック入力 <sup>(5)</sup>
SDI	11	C1	デジタル入力	シリアル データ入力 <sup>(5)</sup>
SDO/DRDY	10	D1	デジタル出力	シリアル データ出力およびデータレディの表示 <sup>(3) (5)</sup>
サーマル パッド	-	該当なし	-	サーマル パワー パッド。GND に接続。

(1) 未使用ピンの接続方法の詳細については、未使用入出力 セクションを参照してください。

- (2) プッシュプル出力またはオープンドレイン出力として設定可能。
- (3) プッシュプル出力。
- (4) AVDD を基準とするロジック レベル。
- (5) DVDD を基準とするロジック レベル。

## 5 仕様

### 5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
電源電圧	AVDD から GND	-0.3	5	V
	DVDD から GND	-0.3	5.5	V
アナログ入力電圧	AINx, REFP, REFN	GND - 0.3	AVDD + 0.3	V
デジタル入力電圧	GPIO0, GPIO1, GPIO2/FAULT, GPIO3/DRDY/CLK	GND - 0.3	AVDD + 0.3	V
デジタル入力電圧	CS, SCLK, SDI, SDO/DRDY	GND - 0.3	DVDD + 0.3	V
入力電流	連続、電源ピンを除く任意のピン	-10	10	mA
温度	接合部、T <sub>J</sub>		140	°C
	保存、T <sub>stg</sub>	-60	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。

### 5.2 ESD 定格

			値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 <sup>(1)</sup>	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	±750	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
<b>電源</b>						
	アナログ電源	AVDD から GND、 $I_{IDAC} \leq 500\mu A$	1.74		3.6	V
		AVDD から GND、 $I_{IDAC} > 500\mu A$ 、または内部 $V_{REF} = 2.5V$	2.7		3.6	
	デジタル電源	DVDD から GND	1.65		3.6	V
<b>アナログ入力<sup>(1)</sup></b>						
$V_{AINx}$	絶対入力電圧	ゲイン = 0.5 ~ 10	GND		AVDD - 0.35	V
		ゲイン = 16 ~ 256	GND + 0.35		AVDD - 0.4	
$V_{IN}$	差動入力電圧 <sup>(2)</sup>	ユニポーラ ストレート バイナリ符号化	0		$V_{REF} / \text{ゲイン}$	V
		2 の補数 バイナリ符号化	$-V_{REF} / \text{ゲイン}$		$V_{REF} / \text{ゲイン}$	
<b>電圧リファレンス入力</b>						
$V_{REF}$	差動リファレンス入力電圧	$V_{REF} = (V_{REFP} - V_{REFN})$	0.5		AVDD	V
$V_{REFN}$	絶対負リファレンス電圧	負のリファレンス バッファが無効	GND - 0.05			V
		負のリファレンス バッファが有効	GND + 0.1			V
$V_{REFP}$	絶対正リファレンス電圧	正のリファレンス バッファが無効			AVDD + 0.05	V
		正のリファレンス バッファが有効			AVDD - 0.1	V
<b>外部クロック ソース<sup>(3)</sup></b>						
$f_{CLK}$	外部クロック周波数設定		3	4.096	4.15	MHz
	デューティ サイクル		40%	50%	60%	
<b>汎用入力 (GPIO)</b>						
	入力電圧		GND		AVDD	V
<b>デジタル入力 (GPIO 以外)</b>						
	入力電圧		GND		DVDD	V
<b>温度範囲</b>						
	規定周囲温度		-40		125	°C
$T_A$	動作時周囲温度		-50		125	°C

- (1)  $AIN_P$  および  $AIN_N$  は、PGA の正と負の入力を示します。利用可能なアナログ入力 ( $AIN_x$ ) はいずれも、入力マルチプレクサにより  $AIN_P$  または  $AIN_N$  のいずれかを選択できます。
- (2)  $V_{IN} = (V_{AINP} - V_{AINN})$ 。オフセットとゲイン誤差の影響を除外したものです。
- (3) 内部発振器を使用する場合、外部クロックは不要です。

### 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		WQFN (RTE)	DSBGA (YBH)	単位
		16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	59.3	86.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	40.2	0.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	31.6	22.9	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	0.8	0.2	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	31.5	22.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	27.2	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

## 5.5 電気的特性

最小値および最大値の仕様は、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$  の範囲に適用されます。代表値の仕様は  $T_A = 25^\circ\text{C}$  での値です。すべての仕様は、 $AVDD = 1.74\text{V} \sim 3.6\text{V}$ 、 $DVDD = 1.65\text{V} \sim 3.6\text{V}$ 、内部リファレンス、内部発振器、すべての速度モード、すべてのデータレート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>アナログ入力</b>						
	絶対入力電流 <sup>(1)</sup>	すべてのゲイン、 $f_{\text{DATA}} = 20\text{SPS}$ または $25\text{SPS}$ 、 グローバル チョップ イネーブルまたはディスエーブル、 $V_{\text{AINx(MIN)}} \leq V_{\text{AINx}} \leq V_{\text{AINx(MAX)}}$ 、 $V_{\text{IN}} = 0\text{V}$	-2	$\pm 0.3$	2	nA
	絶対入力電流ドリフト <sup>(1)</sup>	すべてのゲイン、 $f_{\text{DATA}} = 20\text{SPS}$ または $25\text{SPS}$ 、 グローバル チョップ イネーブルまたはディスエーブル、 $V_{\text{AINx(MIN)}} \leq V_{\text{AINx}} \leq V_{\text{AINx(MAX)}}$ 、 $V_{\text{IN}} = 0\text{V}$		2		pA/°C
	差動入力電流 <sup>(1)</sup>	すべてのゲイン、 $f_{\text{DATA}} = 20\text{SPS}$ または $25\text{SPS}$ 、 グローバル チョップが有効または無効、 $V_{\text{CM}} = AVDD/2$ 、 $-V_{\text{REF}}/ \text{ゲイン} \leq V_{\text{IN}} \leq V_{\text{REF}}/ \text{ゲイン}$	-2	$\pm 0.1$	2	nA
	差動入力電流ドリフト <sup>(1)</sup>	すべてのゲイン、 $f_{\text{DATA}} = 20\text{SPS}$ または $25\text{SPS}$ 、 グローバル チョップが有効または無効、 $V_{\text{CM}} = AVDD/2$ 、 $-V_{\text{REF}}/ \text{ゲイン} \leq V_{\text{IN}} \leq V_{\text{REF}}/ \text{ゲイン}$		2		pA/°C
<b>PGA</b>						
	ゲイン設定			0.5、1、2、4、5、 8、10、16、20、 32、50、64、 100、128、200、 256		
<b>システム性能</b>						
	分解能 (欠落コードなし)	ADS112S14 ADS122S14	16 24			ビット
$f_{\text{DATA}}$	出力データレート	速度モード 0 ( $f_{\text{MOD}} = 32\text{kHz}$ ) 速度モード 1 ( $f_{\text{MOD}} = 256\text{kHz}$ ) 速度モード 2 ( $f_{\text{MOD}} = 512\text{kHz}$ ) 速度モード 3 ( $f_{\text{MOD}} = 1024\text{kHz}$ )	20 20 20 20		2k 16k 32k 64k	SPS
INL	積分非直線性	$V_{\text{CM}} = AVDD/2$ 、最適なフィット		5	15	ppm <sub>FSR</sub>
$V_{\text{IO}}$	入力オフセット電圧	$T_A = 25^\circ\text{C}$ 、ゲイン = 0.5、グローバル チョップは無効 $T_A = 25^\circ\text{C}$ 、ゲイン = 1 ~ 10、グローバル チョップは無効 $T_A = 25^\circ\text{C}$ 、ゲイン $\geq 16$ 、グローバル チョップは無効 $T_A = 25^\circ\text{C}$ 、ゲイン = 0.5、グローバル チョップは有効 $T_A = 25^\circ\text{C}$ 、ゲイン $\geq 1$ 、グローバル チョップは有効	-250 -150 -50 -5 -2	$\pm 50$ $\pm 20$ $\pm 10$ $\pm 0.5$ $\pm 0.2$	250 150 50 5 2	$\mu\text{V}$
	オフセットのドリフト	ゲイン $\leq 10$ 、グローバル チョップは無効 ゲイン $\geq 16$ 、グローバル チョップは無効 すべてのゲイン、グローバル チョップは有効		60 20 10	300 125 50	nV/°C
	ゲイン誤差	$T_A = 25^\circ\text{C}$ 、すべてのゲイン、外部リファレンス	-0.3	$\pm 0.08$	0.3	%
	ゲインドリフト	すべてのゲイン、外部リファレンス		0.5	2.5	ppm/°C
	ノイズ (入力換算)		詳細については、 <a href="#">ノイズ性能</a> セクションを参照してください			
NMRR	ノーマル モード除去比	$f_{\text{IN}} = 50\text{Hz}$ または $60\text{Hz}$ ( $\pm 1\text{Hz}$ )、 $f_{\text{DATA}} = 20\text{SPS}$ $f_{\text{IN}} = 50\text{Hz}$ または $60\text{Hz}$ ( $\pm 1\text{Hz}$ )、 $f_{\text{DATA}} = 20\text{SPS}$ 、外部 $f_{\text{CLK}} = 4.096\text{MHz}$ $f_{\text{IN}} = 50\text{Hz}$ または $60\text{Hz}$ ( $\pm 1\text{Hz}$ )、 $f_{\text{DATA}} = 25\text{SPS}$ $f_{\text{IN}} = 50\text{Hz}$ または $60\text{Hz}$ ( $\pm 1\text{Hz}$ )、 $f_{\text{DATA}} = 25\text{SPS}$ 、外部 $f_{\text{CLK}} = 4.096\text{MHz}$	82 95 57 62	95 62		dB
CMRR	同相除去比	DC 時 $f_{\text{CM}} = 50\text{Hz}$ または $60\text{Hz}$ ( $\pm 1\text{Hz}$ )、 $f_{\text{DATA}} = 20\text{SPS}$ または $25\text{SPS}$ $f_{\text{CM}} = 50\text{Hz}$ または $60\text{Hz}$ ( $\pm 1\text{Hz}$ )、 $f_{\text{DATA}} > 25\text{SPS}$		120 130 120		dB

最小値および最大値の仕様は、 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  の範囲に適用されます。代表値の仕様は  $T_A = 25^{\circ}\text{C}$  での値です。すべての仕様は、 $AVDD = 1.74\text{V} \sim 3.6\text{V}$ 、 $DVDD = 1.65\text{V} \sim 3.6\text{V}$ 、内部リファレンス、内部発振器、すべての速度モード、すべてのデータレート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
PSRR	電源除去比	dc での AVDD		110		dB
		dc での DVDD		115		

最小値および最大値の仕様は、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$  の範囲に適用されます。代表値の仕様は  $T_A = 25^\circ\text{C}$  での値です。すべての仕様は、 $AVDD = 1.74\text{V} \sim 3.6\text{V}$ 、 $DVDD = 1.65\text{V} \sim 3.6\text{V}$ 、内部リファレンス、内部発振器、すべての速度モード、すべてのデータレート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>電圧リファレンス入力</b>						
絶対入力電流		REF バッファがディスエーブル、速度モード 0 <sup>(2)</sup>	-1.5	±1	1.5	μA/V
		REF バッファがディスエーブル、速度モード 1 <sup>(2)</sup>	-7	±6	7	
		REF バッファがディスエーブル、速度モード 2 <sup>(2)</sup>	-8	±7	8	
		REF バッファがディスエーブル、速度モード 3 <sup>(2)</sup>	-9	±8	9	
		REF バッファがイネーブル、速度モード 0	-2	±0.2	2	nA
		REF バッファがイネーブル、速度モード 1		3	7	
		REF バッファがイネーブル、速度モード 2		10	12	
		REF バッファがイネーブル、速度モード 3		17	23	
<b>内部基準電圧</b>						
$V_{REF}$	出力電圧	$AVDD < 2.7\text{V}$		1.25		V
		$AVDD \geq 2.7\text{V}$		1.25, 2.5		
	精度	$T_A = 25^\circ\text{C}$	-0.15	±0.05	0.15	%
	温度ドリフト			10	25	ppm/°C
	出力電流	$V_{REF} = 1.25\text{V}$ 、シンクまたはソース	-5		5	mA
		$V_{REF} = 2.5\text{V}$ 、 $AVDD \geq 2.75\text{V}$ 、シンクまたはソース	-10		5	
	回路短絡時の電流制限	シンクまたはソース		±25		mA
PSRR	電源除去比	dc での AVDD		90		dB
	負荷レギュレーション	負荷電流 = -5mA ~ 0mA (ソース)		100		μV/mA
	容量性負荷および安定性		50	100	1300	nF
	リファレンス ノイズ	f = 0.1Hz ~ 10Hz、REFOUT に 100nF のコンデンサを接続		4		ppm <sub>pp</sub>
	起動時間	パワーダウン モードから、REFOUT に 100nF コンデンサを接続、0.01% セトリング			10	ms
<b>内部発振器</b>						
$f_{osc}$	周波数			4.096		MHz
	精度		-1		1	%
<b>励起電流源 (IDAC)</b>						
	電流設定	IDAC ユニット電流 = 1μA		1~100		μA
		IDAC ユニット電流 = 10μA、 $AVDD < 2.7\text{V}$		10~500		
		IDAC ユニット電流 = 10μA、 $AVDD \geq 2.7\text{V}$		10~1000		
	コンプライアンス電圧	$I_{IDAC} < 100\mu\text{A}$ 、( $AVDD - 1\text{V}$ ) から 1% 未満で電流が変化	GND		$AVDD - 0.3$	V
		$I_{IDAC} = 100\mu\text{A} \sim 700\mu\text{A}$ へ、電流は ( $AVDD - 1\text{V}$ ) から 1% 未満で変化	GND		$AVDD - 0.4$	
		$I_{IDAC}$ 電流 $\geq 800\mu\text{A}$ 、( $AVDD - 1\text{V}$ ) から 1% 未満で電流が変化	GND		$AVDD - 0.45$	
	精度	$I_{IDAC} = 1\mu\text{A}$ 、 $T_A = 25^\circ\text{C}$	-6	±0.4	6	%
		$I_{IDAC} = 10\mu\text{A} \sim 1\text{mA}$ 、 $T_A = 25^\circ\text{C}$	-3	±0.4	3	
	IDAC 間の電流ミスマッチ	$I_{IDAC} \leq 10\mu\text{A}$ 、IDAC1 と IDAC2 は同一値に設定、 $T_A = 25^\circ\text{C}$		0.5	2	%
		$I_{IDAC} \geq 20\mu\text{A}$ 、IDAC1 と IDAC2 は同一値に設定、 $T_A = 25^\circ\text{C}$		0.05	0.5	
	温度ドリフト	$I_{IDAC} = 1\mu\text{A}$		50	300	ppm/°C
		$I_{IDAC} \geq 10\mu\text{A}$		25	110	
	温度ドリフト マッチング	$I_{IDAC} \leq 10\mu\text{A}$ 、IDAC1、IDAC2 は同じ値に設定されます		12	70	ppm/°C
		$I_{IDAC} \geq 20\mu\text{A}$ 、IDAC1、IDAC2 は同じ値に設定されます		1	10	

最小値および最大値の仕様は、 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  の範囲に適用されます。代表値の仕様は  $T_A = 25^{\circ}\text{C}$  での値です。すべての仕様は、 $AVDD = 1.74\text{V} \sim 3.6\text{V}$ 、 $DVDD = 1.65\text{V} \sim 3.6\text{V}$ 、内部リファレンス、内部発振器、すべての速度モード、すべてのデータレート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>バーンアウト電流源 (BOCS)</b>						
	電流設定			0.2, 1, 10		$\mu\text{A}$
	精度	シンクおよびソース		$\pm 2$		%
<b>温度センサ</b>						
$T_{S\text{Offset}}$	出力電圧	$T_A = 25^{\circ}\text{C}$		119.5		mV
$T_{S\text{TC}}$	温度係数			405		$\mu\text{V}/^{\circ}\text{C}$
<b>モニタ</b>						
$TH_{DVDD\_POR}$	DVDD POR スレッシュホールド			1.55		V
$TH_{AVDD\_UV}$	AVDD 低電圧スレッシュホールド <sup>(3)</sup>		1.2		1.5	V
$TH_{REF\_UV}$	リファレンス低電圧スレッシュホールド <sup>(3)</sup>		0.5		0.6	V
	システム監視電圧リードバック精度	$(V_{REFP} - V_{REFN}) / 8$		$\pm 0.5$		%
		$AVDD / 8$		$\pm 1$		
		$DVDD / 8$		$\pm 1$		
<b>汎用入出力 (GPIO)</b>						
$V_{IL}$	ロジック入力レベル、Low		GND		0.3 AVDD	V
$V_{IH}$	ロジック入力レベル、High		0.7 AVDD		AVDD	V
$V_{OL}$	ロジック出力レベル、Low	$I_{OL} = 100\mu\text{A}$ 、オープンドレインまたはプッシュプル出力	GND		0.2 AVDD	V
$V_{OH}$	ロジック出力レベル、High	$I_{OH} = -100\mu\text{A}$ 、プッシュプル出力の	0.8 AVDD		AVDD	V
	入力ヒステリシス			10		mV
<b>デジタル入出力</b>						
$V_{IL}$	ロジック入力レベル、Low		GND		0.3 DVDD	V
$V_{IH}$	ロジック入力レベル、High		0.7 DVDD		DVDD	V
$V_{OL}$	ロジック出力レベル、Low	$I_{OL} = 1\text{mA}$	GND		0.2 DVDD	V
$V_{OH}$	ロジック出力レベル、High	$I_{OH} = -1\text{mA}$	0.8 DVDD		DVDD	V
	入力ヒステリシス			180		mV
	入力電流	$GND \leq V_{\text{Digital Input}} \leq DVDD$	-1		1	$\mu\text{A}$

最小値および最大値の仕様は、 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  の範囲に適用されます。代表値の仕様は  $T_A = 25^{\circ}\text{C}$  での値です。すべての仕様は、 $AVDD = 1.74\text{V} \sim 3.6\text{V}$ 、 $DVDD = 1.65\text{V} \sim 3.6\text{V}$ 、内部リファレンス、内部発振器、すべての速度モード、すべてのデータレート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
<b>アナログ電源電流 (<math>AVDD = 3.3\text{V}</math>、外部リファレンス、リファレンスバッファがディスエーブル、IDAC がディスエーブル、すべてのデータレート、<math>V_{IN} = 0\text{V}</math>)</b>						
$I_{AVDD}$	アナログ電源電流	パワーダウン モード		0.2	2	$\mu\text{A}$
		スタンバイ モード		10	16	
		変換モード、速度モード 0、ゲイン = 0.5 ~ 2		52	59	
		変換モード、速度モード 0、ゲイン = 4 および 5		55	63	
		変換モード、速度モード 0、ゲイン = 8 ~ 50		61	68	
		変換モード、速度モード 0、ゲイン = 64 ~ 256		57	64	
		変換モード、速度モード 1、ゲイン = 0.5 ~ 2		135	145	
		変換モード、速度モード 1、ゲイン = 4 および 5		155	170	
		変換モード、速度モード 1、ゲイン = 8 ~ 50		205	220	
		変換モード、速度モード 1、ゲイン = 64 ~ 256		255	275	
		変換モード、速度モード 2、ゲイン = 0.5 ~ 2		315	335	
		変換モード、速度モード 2、ゲイン = 4 および 5		360	380	
		変換モード、速度モード 2、ゲイン = 8 ~ 50		450	480	
		変換モード、速度モード 2、ゲイン = 64 ~ 256		670	705	
		変換モード、速度モード 3、ゲイン = 0.5 ~ 2		540	570	
		変換モード、速度モード 3、ゲイン = 4 および 5		640	680	
		変換モード、速度モード 3、ゲイン = 8 ~ 50		870	920	
変換モード、速度モード 3、ゲイン = 64 ~ 256		1090	1140			
<b>機能ごとに追加のアナログ電源電流 (<math>AVDD = 3.3\text{V}</math>、<math>V_{REF} = 2.5\text{V}</math>)</b>						
$I_{AVDD}$	アナログ電源電流	内部電圧リファレンス、速度モード 0		4.5	6	$\mu\text{A}$
		内部電圧リファレンス、速度モード 1		25	28	
		内部電圧リファレンス、速度モード 2		35	40	
		内部電圧リファレンス、速度モード 3		65	75	
		REFP または REFN バッファがイネーブル、速度モード 0		4.5	6	
		REFP または REFN バッファがイネーブル、速度モード 1		25	28	
		REFP または REFN バッファがイネーブル、速度モード 2		35	40	
		REFP または REFN バッファがイネーブル、速度モード 3		65	75	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 0		6.5	9	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 1		33	39	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 2		51	60	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 3		106	124	
		IDAC オーバーヘッド、IDAC ユニット電流 = $1\mu\text{A}$		4	6	
		IDAC オーバーヘッド、IDAC ユニット電流 = $10\mu\text{A}$		16	28	
		<b>デジタル電源電流 (<math>DVDD = 3.3\text{V}</math>、すべてのデータレート、SPI はアクティブではありません)</b>				

最小値および最大値の仕様は、 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  の範囲に適用されます。代表値の仕様は  $T_A = 25^{\circ}\text{C}$  での値です。すべての仕様は、 $AVDD = 1.74\text{V} \sim 3.6\text{V}$ 、 $DVDD = 1.65\text{V} \sim 3.6\text{V}$ 、内部リファレンス、内部発振器、すべての速度モード、すべてのデータレート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I <sub>DVDD</sub>	デジタル電源電流	パワーダウン モード		1.6	6.5	μA
		スタンバイ モード、速度モード 0		8	13	
		スタンバイ モード、速度モード 1		20	26	
		スタンバイ モード、速度モード 2		26	33	
		スタンバイ モード、速度モード 3		40	47	
		変換モード、速度モード 0		9	16	
		変換モード、速度モード 1		30	38	
		変換モード、速度モード 2		48	56	
		変換モード、速度モード 3		82	92	

最小値および最大値の仕様は、 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  の範囲に適用されます。代表値の仕様は  $T_A = 25^{\circ}\text{C}$  での値です。すべての仕様は、 $AVDD = 1.74\text{V} \sim 3.6\text{V}$ 、 $DVDD = 1.65\text{V} \sim 3.6\text{V}$ 、内部リファレンス、内部発振器、すべての速度モード、すべてのデータレート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
<b>アナログ電源電流 (<math>AVDD = 1.8\text{V}</math>、外部リファレンス、リファレンス バッファがディスエーブル、IDAC がディスエーブル、すべてのデータレート、<math>V_{IN} = 0\text{V}</math>)</b>						
$I_{AVDD}$	アナログ電源電流	パワーダウン モード		0.2	2	$\mu\text{A}$
		スタンバイ モード		8	14	
		変換モード、速度モード 0、ゲイン = 0.5 ~ 2		48	55	
		変換モード、速度モード 0、ゲイン = 4 および 5		51	58	
		変換モード、速度モード 0、ゲイン = 8 ~ 50		57	64	
		変換モード、速度モード 0、ゲイン = 64 ~ 256		53	60	
		変換モード、速度モード 1、ゲイン = 0.5 ~ 2		120	130	
		変換モード、速度モード 1、ゲイン = 4 および 5		140	155	
		変換モード、速度モード 1、ゲイン = 8 ~ 50		190	205	
		変換モード、速度モード 1、ゲイン = 64 ~ 256		240	260	
		変換モード、速度モード 2、ゲイン = 0.5 ~ 2		285	305	
		変換モード、速度モード 2、ゲイン = 4 および 5		325	345	
		変換モード、速度モード 2、ゲイン = 8 ~ 50		420	445	
		変換モード、速度モード 2、ゲイン = 64 ~ 256		635	670	
		変換モード、速度モード 3、ゲイン = 0.5 ~ 2		485	515	
		変換モード、速度モード 3、ゲイン = 4 および 5		580	620	
		変換モード、速度モード 3、ゲイン = 8 ~ 50		810	860	
変換モード、速度モード 3、ゲイン = 64 ~ 256		1020	1080			
<b>機能ごとに追加のアナログ電源電流 (<math>AVDD = 1.8\text{V}</math>、<math>V_{REF} = 1.25\text{V}</math>)</b>						
$I_{AVDD}$	アナログ電源電流	内部電圧リファレンス、速度モード 0		3.5	5	$\mu\text{A}$
		内部電圧リファレンス、速度モード 1		16	20	
		内部電圧リファレンス、速度モード 2		26	31	
		内部電圧リファレンス、速度モード 3		56	66	
		REFP または REFN バッファがイネーブル、速度モード 0		3.5	5	
		REFP または REFN バッファがイネーブル、速度モード 1		16	20	
		REFP または REFN バッファがイネーブル、速度モード 2		26	31	
		REFP または REFN バッファがイネーブル、速度モード 3		56	66	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 0		5.5	8	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 1		25	30	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 2		43	53	
		REFP バッファと REFN バッファの両方がイネーブル、速度モード 3		100	120	
		IDAC オーバーヘッド、IDAC ユニット電流 = $1\mu\text{A}$		4	6	
		IDAC オーバーヘッド、IDAC ユニット電流 = $10\mu\text{A}$		16	28	
		<b>デジタル電源電流 (<math>DVDD = 1.8\text{V}</math>、すべてのデータレート、SPI はアクティブではありません)</b>				

最小値および最大値の仕様は、 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  の範囲に適用されます。代表値の仕様は  $T_A = 25^{\circ}\text{C}$  での値です。すべての仕様は、 $AVDD = 1.74\text{V} \sim 3.6\text{V}$ 、 $DVDD = 1.65\text{V} \sim 3.6\text{V}$ 、内部リファレンス、内部発振器、すべての速度モード、すべてのデータレート、すべてのゲイン設定、ならびにグローバル チョップ無効の条件下で規定されています (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I <sub>DVDD</sub>	デジタル電源電流	パワーダウン モード		1.6	6.5	μA
		スタンバイモード、速度モード 0		7	13	
		スタンバイモード、速度モード 1		19	26	
		スタンバイモード、速度モード 2		25	33	
		スタンバイモード、速度モード 3		39	47	
		変換モード、速度モード 0		9	16	
		変換モード、速度モード 1		30	38	
		変換モード、速度モード 2		48	56	
		変換モード、速度モード 3		82	92	

- (1) 入力電流は、速度モード、データレート、ゲイン、グローバル チョップ モード設定によってスケーリングされます。
- (2) 電流は REFP に流れ込み、REFN から流れ出します。
- (3) 低電圧モニタは常に、指定された最小値を下回るようにトリップし、指定された最大値を超えるようにはトリップしません。

## 5.6 タイミング要件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
$t_{c(SC)}$	SCLK 周期	60	$1/(4 f_{DATA})$	ns
$t_{w(SCL)}$	パルス幅、SCLK low	20		ns
$t_{w(SCH)}$	パルス幅、SCLK high	30		ns
$t_{d(CSSC)}$	遅延時間、 $\overline{CS}$ 立ち下がりエッジから最初の SCLK 立ち上がりエッジまで	10		ns
$t_{d(SCCS)}$	遅延時間、最後の SCLK 立ち下がりエッジから $\overline{CS}$ 立ち上がりエッジまで	10		ns
$t_{w(CSH)}$	パルス幅、 $\overline{CS}$ High	30		ns
$t_{su(DI)}$	セットアップ時間、SDI 有効から SCLK 立ち下がりエッジまで	8		ns
$t_{h(DI)}$	ホールド時間、SCLK 立ち下がりエッジから SDI 有効まで	8		ns
$t_{d(fr2fr)}$	遅延時間、3 線式 SPI モードでのフレーム間	0		ns
$t_{h(DIIR)}$	ホールド時間、SDI High からインターフェイスの再同期が強制されるまで (3 線式 SPI モードのみ)。インターフェイスの再同期は、SDI が再び Low になる最初の SCLK 立ち下がりエッジで行われます。	63		$t_{SCLK}$
$t_{d(RST)}$	遅延時間、SPI リセット パターンまたは RESET[5:0] ビット フィールドを使用したソフトウェアリセット後に SPI 通信を開始するまでの時間	500		$\mu s$
$t_{d(POR)}$	遅延時間、DVDD が最小 DVDD 電圧を超えた後の最初の SCLK 立ち上がりエッジまでの時間	5		ms

## 5.7 スイッチング特性

動作時周囲温度範囲全体、 $C_{LOAD} = 20pF$  (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{p(CSDO)}$	伝搬遅延時間、 $\overline{CS}$ 立ち下がりエッジから SDO/DRDY 駆動まで				25	ns
$t_{p(CSDOZ)}$	伝搬遅延時間、 $\overline{CS}$ 立ち上がりエッジから SDO/DRDY 高インピーダンス状態まで				25	ns
$t_{p(SCDO)}$	伝搬遅延時間、SCLK 立ち上がりエッジから有効な SDO/DRDY まで				28	ns
$t_{w(DRH)}$	パルス幅、 $\overline{DRDY}$ High		2			$t_{MOD}$
$t_{p(SCDR)}$	伝搬遅延時間、変換結果 MSB 読み取りから $\overline{DRDY}$ までの 8 番目の SCLK 立ち下がりエッジ				5	$t_{MOD}$
$t_{p(DODR)}$	伝搬遅延時間、最後の SCLK 立ち下がりエッジにおける SDO から $\overline{DRDY}$ モードへの SDO/DRDY 遷移の読み取り動作	SDO_DRDY = 1b			50	ns
$t_{p(GPIO)}$	伝搬遅延時間、レジスタ書き込みコマンドの $\overline{CS}$ 立ち上がりエッジから GPIOx 出力有効まで				100	ns

## 5.8 タイミング図

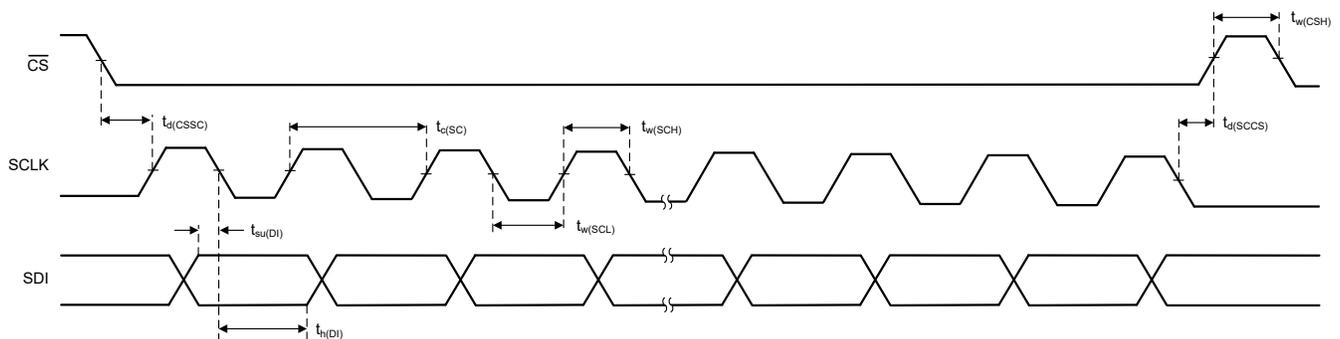


図 5-1. シリアル インターフェイスのタイミング要件



## 6 パラメータ測定情報

### 6.1 ノイズ性能

デルタシグマ ( $\Delta\Sigma$ ) 方式の A/D コンバータ (ADC) は、オーバーサンプリングの原理に基づいています。 $\Delta\Sigma$  ADC の入力信号は高い周波数 (変調器周波数) でサンプリングされ、その後、デジタル領域でフィルタ処理およびデシメーションが行われ、対応する出力データ レートでの変換結果が得られます。変調器周波数と出力データレートの比は、オーバーサンプリング比 (OSR) と呼ばれます。OSR を高くし、それによって出力データ レートを低下させることで、ADC のノイズ性能を最適化できます。言い換えると、内部変調器のより多くのサンプルが平均化されて一つの変換結果が得られるため、出力データ レートを下げると入力換算ノイズは低下します。ゲインを大きくすると、入力換算ノイズも減少し、低レベル信号を測定する場合に特に役立ちます。

表 6-1～表 6-3 は、 $T_A = 25^\circ\text{C}$ 、 $f_{\text{CLK}} = 4.096\text{MHz}$  における代表的なデバイスのノイズ性能を要約しています。示されているデータは、アナログ入力を短絡した状態で測定した、 $\mu\text{V}_{\text{RMS}}$  単位の代表的な入力換算ノイズ ( $e_n$ ) 結果です。RMS ノイズの測定には、連続した 1,000 回の変換、または連続 10 秒間の変換のいずれか先に到達した方が使用されます。ノイズの統計的な性質から、繰り返しノイズを測定すると、ノイズの結果は大きく、または小さくなる可能性があります。

選択したコーディング方式に応じて、提供される  $\mu\text{V}_{\text{RMS}}$  の数値によって有効分解能を計算するには、式 2 または式 1 を使用します。

$$\text{Binary two's complement coding: Effective Resolution} = \ln[(2 \times V_{\text{REF}} / \text{Gain}) / e_{n(\text{RMS})}] / \ln(2) \quad (1)$$

$$\text{Unipolar straight binary coding: Effective Resolution} = \ln[(V_{\text{REF}} / \text{Gain}) / e_{n(\text{RMS})}] / \ln(2) \quad (2)$$

$\mu\text{V}_{\text{PP}}$  単位の入力換算ノイズ ( $e_n$ ) は、 $e_{n(\text{PP})} = 6.6 \times e_{n(\text{RMS})}$  と推定できます。選択したコーディング方式に応じて、推定  $\mu\text{V}_{\text{PP}}$  値からノイズフリー分解能を計算するには、式 4 または式 3 を使用します。

$$\text{Binary two's complement coding: Noise-free Resolution} = \ln[(2 \times V_{\text{REF}} / \text{Gain}) / e_{n(\text{PP})}] / \ln(2) \quad (3)$$

$$\text{Unipolar straight binary coding: Noise-free Resolution} = \ln[(V_{\text{REF}} / \text{Gain}) / e_{n(\text{PP})}] / \ln(2) \quad (4)$$

入力を短絡した状態での入力換算ノイズ性能は、基準電圧によってほとんど変化しません。つまり表 6-1～表 6-3 は、他のリファレンス電圧値にも適用されます。

グローバル チョップ モードでは、入力を入れ替えた状態で行った ADC の 2 回の測定結果をデバイスが平均化します。グローバル チョップ モードでは、デバイスの入力オフセットが大幅に低減され、ノイズは  $\sqrt{2}$  の係数で低減されます。

ノイズ データは、デバイスの 24 ビット バージョンを使用して測定します。16 ビット デバイスの場合は、ノイズ データを LSB サイズでクリップします。

**表 6-1. 入力換算ノイズ ( $\mu\text{V}_{\text{RMS}}$ 、  
 AVDD = 3.3V、グローバル チョップ モード無効、内部 2.5V リファレンス、ゲイン = 0.5 ~ 8)**

OSR	データレート (SPS) <sup>(1)</sup>	ゲイン					
		0.5	1	2	4	5	8
<b>速度モード 0 (<math>f_{\text{MOD}} = 32\text{kHz}</math>)</b>							
1600	20	8.06	3.91	2.20	1.44	1.37	0.99
1280	25	8.44	4.36	2.46	1.51	1.50	1.10
1024	31.25	8.27	4.22	3.32	1.46	1.44	1.07
512	62.5	11.5	5.82	3.27	2.09	2.00	1.47
256	125	16.1	8.18	4.44	2.91	2.91	2.08
128	250	21.6	10.9	6.20	3.80	3.80	2.75
32	1000	33.1	16.5	9.24	5.80	5.80	4.13
16	2000	51.7	26.0	14.1	8.37	8.37	5.81
<b>速度モード 1 (<math>f_{\text{MOD}} = 256\text{kHz}</math>)</b>							
12800	20	2.46	1.32	0.80	0.57	0.57	0.49
10240	25	2.64	1.41	0.82	0.61	0.59	0.54
1024	250	7.34	3.87	2.33	1.69	1.69	1.53
512	500	10.4	5.41	3.23	2.37	2.37	2.15
256	1000	14.4	7.44	4.51	3.31	3.31	2.98
128	2000	19.5	10.2	6.08	4.39	4.39	3.93
32	8000	29.4	15.2	9.10	6.56	6.56	5.76
16	16000	49.4	25.3	14.5	9.78	9.77	8.26
<b>速度モード 2 (<math>f_{\text{MOD}} = 512\text{kHz}</math>)</b>							
25600	20	1.74	0.90	0.51	0.33	0.33	0.28
20480	25	1.85	0.99	0.55	0.35	0.35	0.30
1024	500	7.36	3.75	2.11	1.42	1.40	1.18
512	1000	10.2	5.16	2.93	1.97	1.97	1.65
256	2000	14.3	7.16	4.13	2.73	2.73	2.27
128	4000	19.3	9.82	5.55	3.66	3.65	3.04
32	16000	29.0	14.8	8.34	5.40	5.40	4.45
16	32000	49.4	25.1	13.6	8.31	8.31	6.48
<b>速度モード 3 (<math>f_{\text{MOD}} = 1024\text{kHz}</math>)</b>							
51200	20	1.27	0.67	0.39	0.28	0.28	0.26
40960	25	1.36	0.70	0.41	0.30	0.30	0.27
1024	1000	7.43	3.86	2.27	1.64	1.63	1.55
512	2000	10.4	5.42	3.18	2.29	2.29	2.18
256	4000	14.5	7.47	4.43	3.17	3.17	3.02
128	8000	19.6	10.2	5.93	4.27	4.26	4.03
32	32000	29.5	15.2	8.89	6.31	6.30	5.93
16	64000	50.1	25.6	14.3	9.56	9.56	8.52

(1)  $f_{\text{CLK}} = 4.096\text{MHz}$  を使用

**表 6-2. 入力換算ノイズ ( $\mu\text{V}_{\text{RMS}}$ 、  
 AVDD = 3.3V、グローバルチョップモード無効、内部 2.5V リファレンス、ゲイン = 10 ~ 64)**

OSR	データレート (SPS) <sup>(1)</sup>	ゲイン					
		10	16	20	32	50	64
<b>速度モード 0 (<math>f_{\text{MOD}} = 32\text{kHz}</math>)</b>							
1600	20	1.02	0.57	0.57	0.42	0.41	0.33
1280	25	1.07	0.60	0.60	0.43	0.43	0.35
1024	31.25	1.06	0.61	0.58	0.44	0.44	0.34
512	62.5	1.44	0.84	0.79	0.61	0.61	0.48
256	125	2.08	1.15	1.13	0.80	0.80	0.65
128	250	2.75	1.57	1.54	1.11	1.11	0.91
32	1000	4.13	2.36	2.33	1.66	1.66	1.35
16	2000	5.81	3.25	3.25	2.30	2.30	1.80
<b>速度モード 1 (<math>f_{\text{MOD}} = 256\text{kHz}</math>)</b>							
12800	20	0.49	0.31	0.31	0.28	0.28	0.16
10240	25	0.53	0.34	0.34	0.30	0.30	0.17
1024	250	1.51	0.97	0.97	0.87	0.87	0.49
512	500	2.12	1.33	1.31	1.25	1.25	0.68
256	1000	2.98	1.90	1.89	1.72	1.72	0.94
128	2000	3.88	2.42	2.41	2.18	2.16	1.19
32	8000	5.76	3.50	3.50	3.10	3.10	1.59
16	16000	8.26	4.97	4.96	4.37	4.36	2.21
<b>速度モード 2 (<math>f_{\text{MOD}} = 512\text{kHz}</math>)</b>							
25600	20	0.28	0.19	0.19	0.16	0.15	0.10
20480	25	0.30	0.21	0.21	0.17	0.17	0.10
1024	500	1.18	0.82	0.82	0.69	0.69	0.43
512	1000	1.64	1.15	1.15	0.96	0.96	0.59
256	2000	2.27	1.59	1.59	1.37	1.37	0.83
128	4000	3.04	2.10	2.10	1.77	1.74	1.08
32	16000	4.45	3.03	3.03	2.50	2.49	1.55
16	32000	6.48	4.35	4.35	3.53	3.52	2.17
<b>速度モード 3 (<math>f_{\text{MOD}} = 1024\text{kHz}</math>)</b>							
51200	20	0.26	0.17	0.17	0.16	0.16	0.09
40960	25	0.27	0.19	0.19	0.16	0.16	0.10
1024	1000	1.54	1.09	1.09	0.93	0.93	0.58
512	2000	2.17	1.54	1.54	1.31	1.31	0.80
256	4000	2.99	2.13	2.13	1.81	1.81	1.11
128	8000	4.03	2.83	2.83	2.41	2.37	1.48
32	32000	5.92	4.16	4.16	3.47	3.47	2.14
16	64000	8.50	5.92	5.91	4.91	4.91	3.02

(1)  $f_{\text{CLK}} = 4.096\text{MHz}$  を使用

表 6-3. 入力換算ノイズ ( $\mu\text{V}_{\text{RMS}}$ 、  
 AVDD = 3.3V、グローバル チョップ モード無効、内部 2.5V リファレンス、ゲイン = 100 ~ 256)

OSR	データレート (SPS) <sup>(1)</sup>	ゲイン			
		100	128	200	256
<b>速度モード 0 (<math>f_{\text{MOD}} = 32\text{kHz}</math>)</b>					
1600	20	0.327	0.299	0.299	0.268
1280	25	0.347	0.310	0.308	0.305
1024	31.25	0.333	0.301	0.301	0.278
512	62.5	0.474	0.435	0.421	0.387
256	125	0.654	0.589	0.572	0.552
128	250	0.914	0.776	0.776	0.773
32	1000	1.349	1.190	1.187	1.117
16	2000	1.812	1.587	1.574	1.510
<b>速度モード 1 (<math>f_{\text{MOD}} = 256\text{kHz}</math>)</b>					
12800	20	0.146	0.143	0.141	0.134
10240	25	0.164	0.152	0.152	0.141
1024	250	0.482	0.438	0.438	0.426
512	500	0.661	0.635	0.617	0.593
256	1000	0.944	0.900	0.857	0.822
128	2000	1.186	1.086	1.086	1.036
32	8000	1.593	1.441	1.441	1.350
16	16000	2.211	1.987	1.980	1.859
<b>速度モード 2 (<math>f_{\text{MOD}} = 512\text{kHz}</math>)</b>					
25600	20	0.099	0.083	0.083	0.073
20480	25	0.102	0.086	0.084	0.079
1024	500	0.425	0.353	0.353	0.316
512	1000	0.589	0.507	0.505	0.440
256	2000	0.832	0.690	0.690	0.609
128	4000	1.080	0.902	0.896	0.782
32	16000	1.541	1.260	1.251	1.078
16	32000	2.167	1.747	1.746	1.489
<b>速度モード 3 (<math>f_{\text{MOD}} = 1024\text{kHz}</math>)</b>					
51200	20	0.093	0.080	0.079	0.068
40960	25	0.101	0.085	0.083	0.074
1024	1000	0.576	0.484	0.474	0.414
512	2000	0.801	0.666	0.666	0.589
256	4000	1.114	0.929	0.929	0.804
128	8000	1.477	1.221	1.208	1.045
32	32000	2.140	1.742	1.742	1.490
16	64000	3.007	2.436	2.434	2.067

(1)  $f_{\text{CLK}} = 4.096\text{MHz}$  を使用

## 7 詳細説明

### 7.1 概要

ADS1x2S14 は小型、低消費電力の 16 ビットおよび 24 ビットの  $\Delta\Sigma$  ADC で、多くの機能を統合しているため、最も一般的なセンサ測定アプリケーションでシステムコストと部品数を削減できます。このデバイスは、3mm × 3mm の WQFN-16 パッケージに加え、極めて厳しい実装面積制約のあるアプリケーション向けに、1.87mm × 1.97mm の DSBGA-16 パッケージでも提供されています。

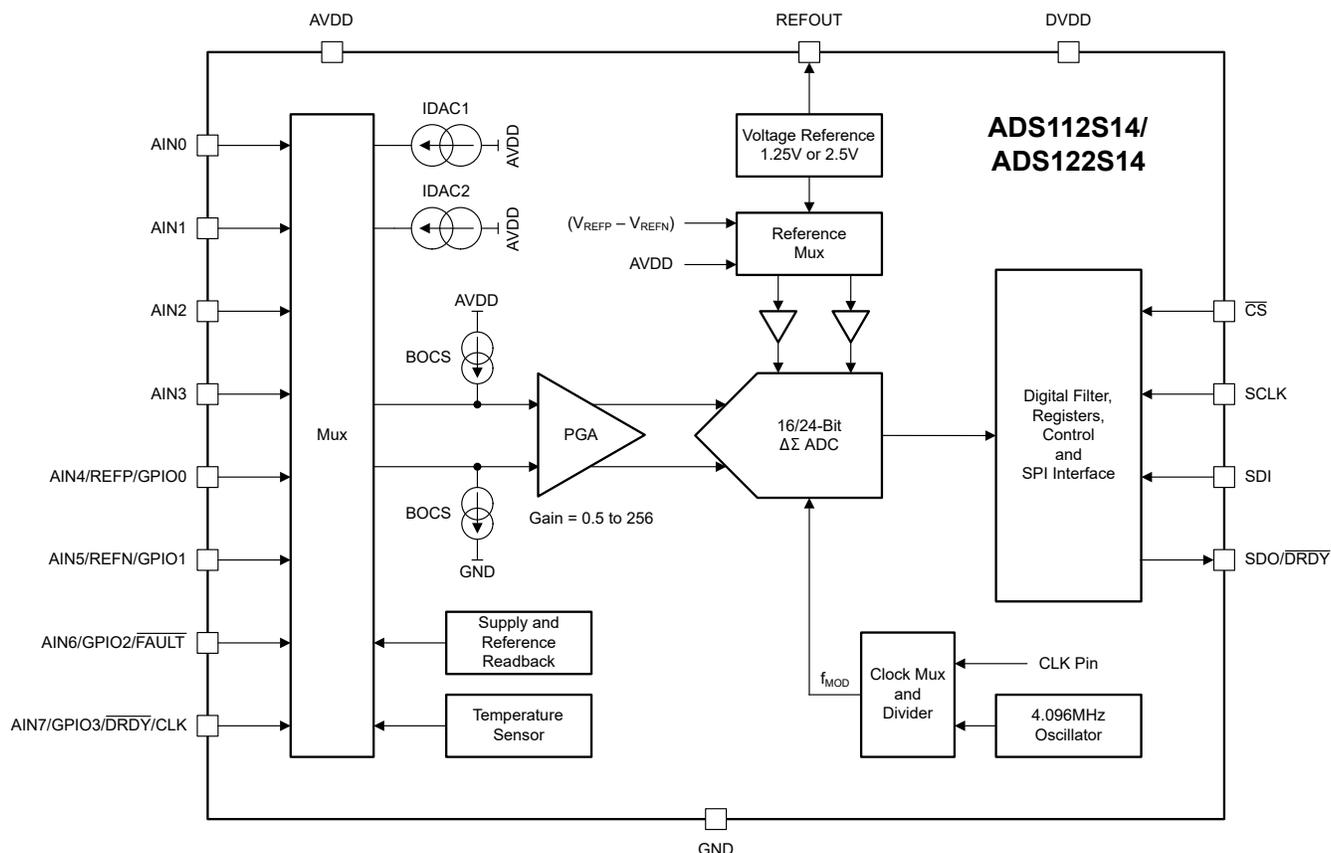
主な統合アナログ機能:

- 柔軟な入力マルチプレクサにより、8 つのアナログ入力または GND のいずれかを正または負の入力として選択できます。
- 0.5 ~ 256 の範囲でプログラム可能なゲインを備えた、低ノイズ、高入力インピーダンスの PGA。
  - ゲイン 0.5 の場合、選択した基準電圧よりも高い信号を測定できます。
  - 負入力を GND に接続したシングル エンド測定では、0.5 ~ 10 のゲイン設定が可能です。
- 1.25V または 2.5V にプログラム可能な低ドリフト電圧リファレンス。内部電圧リファレンスのバッファ付きバージョンは、REFOUT ピンで利用でき、外部回路へのバイアスに使用できます。
- 1 つの外部差動リファレンス入力と、個別にイネーブルおよびディスエーブルできるオプション リファレンス バッファを備えています。
- サーミスタ、測温抵抗体 (RTD)、ブリッジ センサなどの抵抗型センサをバイアスするために、8 つのアナログ入力のいずれにもルーティング可能な、2 系統のマッチングされたセンサ励起電流源 (IDAC) を備えています。1 $\mu$ A ~ 1mA の範囲の励起電流を、高い分解能でプログラム可能です。
- センサ故障検出に使用する一連のプログラマブル バーンアウト電流源。
- デバイスのメイン クロックを確立する低ドリフトの 4.096MHz 発振器。代わりに、外部クロックを供給することもできます。
- リニア温度センサ。
- アナログ電源とリファレンス電圧の低電圧モニタ。回路の実装によっては、リファレンス低電圧モニタはセンサが開放されている状態を検出するのに特に役立ちます。
- アナログ入力と共有される 4 本の汎用入出力ピン (GPIO)。汎用出力ごとに、プッシュプルまたはオープンドレインの各出力構成を個別に選択できます。GPIO は、アナログ電源に基づくロジックレベルを使用します。

このデバイスには、幅広いアプリケーションに対応するさまざまなデジタル機能も搭載されています:

- 4 つの速度モードにより、各アプリケーションの消費電力とノイズ性能を最適化できます。
- 選択した速度モードに応じて、内蔵デジタル フィルタのオーバーサンプリング比 (OSR) を調整することにより、20SPS ~ 64kSPS の出力データレートを実現できます。20SPS/25SPS の出力データレートでは、デジタル フィルタは 50Hz および 60Hz のラインサイクル除去を同時に実現し、シングル サイクルの安定化を実現します。
- オフセットとオフセットドリフトを最小に低減するグローバル チョップ モード。
- シングルショット モードと連続変換モードの選択。
- SPI 互換のシリアル インターフェイスで、変換やレジスタ データの読み取り、デバイスの構成と制御が可能です。CS ピンを永続的に Low に接続しておくこと、必要なデジタル通信信号の数を減らすため、3 線式 SPI 動作が可能です。このインターフェイスにより、デジチェーン内の 1 つの SPI バス上で複数のデバイスとの通信が可能です。
- SPI CRC、レジスタ マップ CRC、内部メモリ CRC などのデータ整合性機能により、通信の故障や意図しないビット反転を検出します。
- 2 つの出力データコーディング方式 (バイナリ 2 の補数およびユニポーラのストレート バイナリ形式) を選択可能。ユニポーラのストレート バイナリ形式は、差動入力信号が常に正となるアプリケーションに役立ちます。

## 7.2 機能ブロック図



## 7.3 機能説明

### 7.3.1 アナログ入力およびマルチプレクサ

ADS1x2S14 には、柔軟な入力マルチプレクサが内蔵されています。図 7-1 を参照してください。AINP[3:0] および AINN[3:0] ビットを使用して、8 つのアナログ入力のいずれかを PGA の正入力または負入力として選択します。また、内部 GND 接続を正または負の PGA 入力として選択できます。

マルチプレクサは、2 つの内蔵励起電流源を 8 つのアナログ入力ピンのいずれかにルーティングし、抵抗式センサ (ブリッジ、RTD、サーミスタ) のバイアスに使用します。

さらに、ADS1x2S14 には、以下に示すシステム モニタ機能が含まれており、SYS\_MON[2:0] ビットを使用して測定するために選択できます：

- PGA の入力は、内部信号チェーンの入力オフセットを測定およびキャリブレーションするために、ミッドサプライ ( $AVDD / 2$ ) に短絡できます。
- デバイス温度に比例した出力信号を提供する内蔵温度センサです。
- 減衰した外部リファレンス電圧  $(V_{REFP} - V_{REFN}) / 8$ 。
- 減衰されたアナログ電源およびデジタル電源で、それぞれ  $(AVDD / 8)$  と  $(DVDD / 8)$  です。

AVDD と GND への静電放電 (ESD) ダイオードにより、入力を保護します。ESD ダイオードがオンしないようにするため、各入力の絶対電圧は、式 5 に示されている範囲内に維持する必要があります：

$$GND - 0.3V < V_{AINx} < AVDD + 0.3V \quad (5)$$

入力電流を安全な値に制限するには、外付けのショットキー クランプ ダイオードまたは直列抵抗が必要な場合があります (絶対最大定格表を参照)。デバイスで選択されていない入力をオーバードライブすると、他の入力ピンで行われている変換に影響を与える可能性があります。

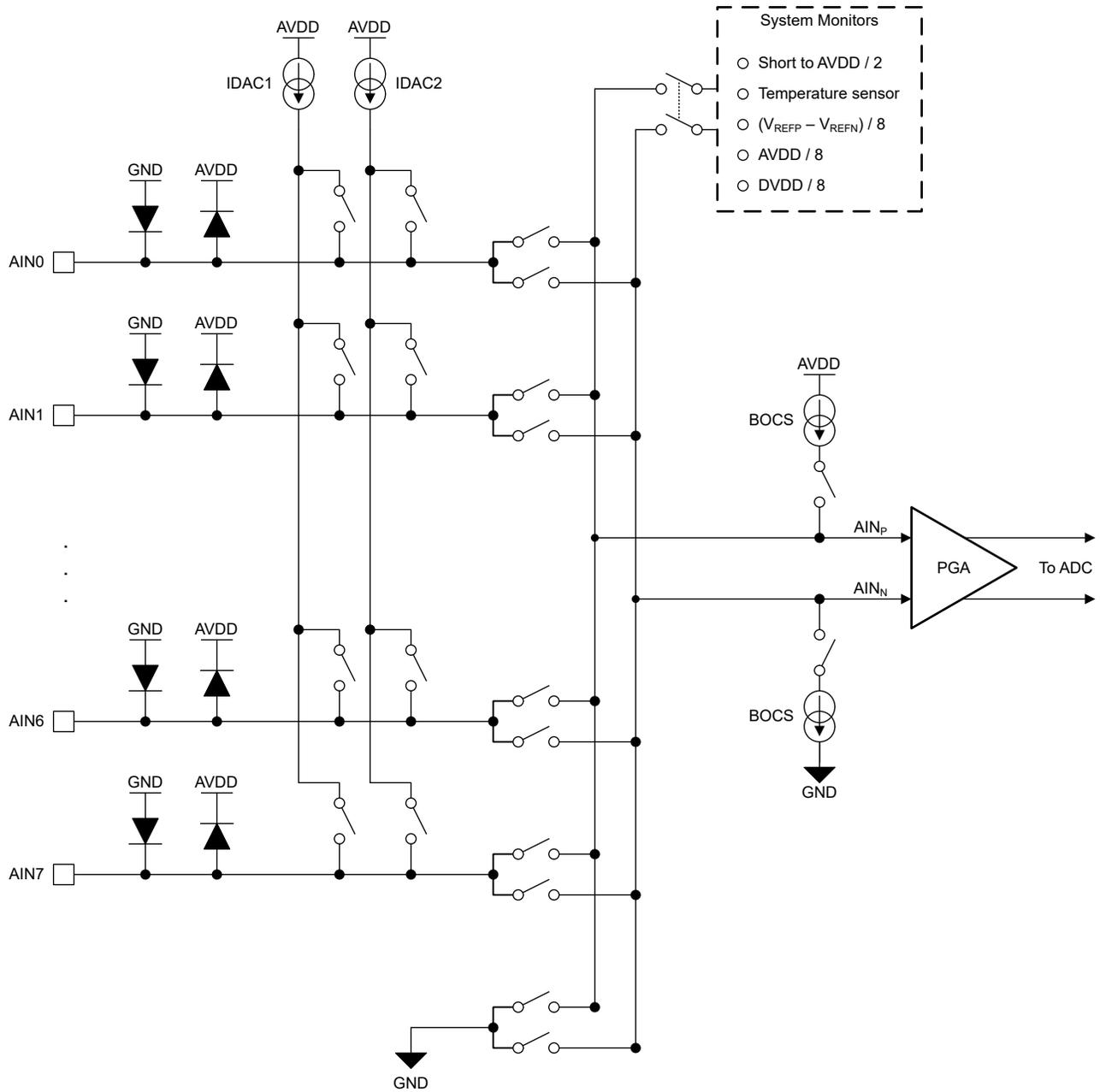


図 7-1. 入力マルチプレクサ

### 7.3.2 プログラマブル ゲイン アンプ (PGA)

ADS1x2S14 は、低ドリフト、低ノイズ、高入力カインピーダンスのプログラマブル ゲイン アンプ (PGA) を内蔵しています。GAIN[3:0] ビットを使用して、PGA のゲインを 0.5、1、2、4、5、8、10、16、20、32、50、64、100、128、200、または 256 に設定します。PGA のフルスケール入力電圧範囲 (FSR) は、式 6 および式 7 に示すように、ゲイン設定、基準電圧、変換データコーディング設定によって定義されます：

$$\text{Binary two's complement coding: FSR} = \pm V_{\text{REF}} / \text{Gain} \quad (6)$$

$$\text{Unipolar straight binary coding: FSR} = 0V \text{ to } +V_{\text{REF}} / \text{Gain} \quad (7)$$

表 7-1 に、1.25V および 2.5V のリファレンス電圧について、バイナリ 2 の補数コーディングを使って、対応する公称フルスケール レンジを示します。

表 7-1. PGA フルスケール レンジ (2 の補数コーディング)

ゲイン設定	V <sub>REF</sub> = 1.25V	V <sub>REF</sub> = 2.5V
0.5	±2.5V	±5V
1	±1.25V	±2.5V
2	±0.625V	±1.25V
4	±0.313V	±0.625V
5	±0.25V	±0.5V
8	±0.156V	±0.313V
10	±0.125V	±0.25V
16	±78.125mV	±0.156V
20	±62.5mV	±0.125V
32	±39.063mV	±78.125mV
50	±25mV	±50mV
64	±19.531mV	±30.063mV
100	±12.5mV	±25mV
128	±9.766mV	±19.531mV
200	±6.25mV	±12.5mV
256	±4.883mV	±9.766mV

ゲイン設定に応じて、PGA には、推奨動作条件の絶対入力電圧パラメータで指定されているように、選択した正および負のアナログ入力について、線形動作範囲内に維持する必要がある特定の電圧ヘッドルーム要件があります。原理的にはこれらの電圧制限を超える FSR 設定であっても、PGA の正入力および負入力の両方は、これらの電圧範囲内に維持する必要があります。たとえば、AVDD = 3.3V、ゲイン = 0.5、V<sub>REF</sub> = 2.5V、ユニポーラ コーディング方式、AINN が GND に接続されていると仮定します。この場合、AINP は 0 V から (3.3 V – 0.35 V) = 2.95 V の範囲内に維持する必要があります。そのため、フルコードレンジ (FSR = 0V から 5V)のうち、一部のみが使用されます。

ゲイン設定が 0.5 ~ 10 の場合、デバイス、は負のアナログ入力を GND に保持してシングルエンド測定が可能です。この場合、負のアナログ入力は、いずれかのアナログ入力を使用して外部接続するか、またはマルチプレクサの内部 GND 接続を使用して GND に接続できます。これらのデバイスは、ユニポーラのストレート バイナリ変換データ符号化方式を備えており、CODING ビットを使用して選択できます。この符号化方式は、フルコードレンジが 0 V から +V<sub>REF</sub>/ゲイン の電圧範囲に割り当てられるため、シングルエンド測定に適しています。

ゲイン設定 16 ~ 256 の場合、PGA には、正と負の両方のアナログ入力について、GND と AVDD からの電圧ヘッドルームが必要です。

PGA はアイドル モードでは有効のままですが、スタンバイ モードおよびパワーダウン モードではオフになります。

### 7.3.3 電圧リファレンス

ADC は、動作にリファレンス電圧を必要とします。電圧リファレンスの大きさは、PGA のゲイン設定とともに ADC のフルスケールレンジを決定します。REF\_SEL[1:0] ビットを使用して、次のいずれかのリファレンスソースを選択します：

- 内部基準電圧
- REFP ピンと REFN ピンの間に接続された外部リファレンス電圧 ( $V_{REF} = V_{REFP} - V_{REFN}$ )
- アナログ電源 ( $V_{REF} = AVDD$ )

#### 7.3.3.1 内部リファレンス

これらのデバイスは、高精度でドリフトの少ない電圧リファレンスを内蔵しています。REF\_VAL ビットを使用して、1.25V と 2.5V のリファレンス電圧オプションを選択します。REF\_VAL ビットの設定を変更した場合、変換を開始する前に、デバイスがリファレンス値を切り替えるために少なくとも 250 $\mu$ s 待つ必要があります。内部電圧リファレンスが動作するには、[電気的特性](#) 表に規定されているとおり、AVDD 電源から一定の電圧ヘッドルームが必要です。2.5V のリファレンス値を選択する際は、この電圧ヘッドルームを考慮します。

外部リファレンスまたはアナログ電源をリファレンス源として選択した場合でも、内部リファレンスは常に有効です。内部電圧リファレンスは、パワーダウン モードでのみパワーダウンします。

REFOUT ピンは、内部リファレンス電圧をバッファした信号を出力します。REFOUT ピンは、外部回路のバイアス用として、電流の供給および吸い込みの両方を行うことができます。REFOUT と GND の間に 100nF コンデンサを接続します。最大 1.3 $\mu$ F までのより大きなコンデンサ値を使用することで、より多くのノイズをフィルタできますが、その代わりにリファレンスの起動時間は長くなります。このコンデンサは、REFOUT ピンを外部回路のバイアスに使用しない場合や、外部リファレンスまたはアナログ電源をリファレンスソースとして選択した場合であっても、内部電圧リファレンスの安定性を確保するために必要です。デバイスの電源投入後、またはパワーダウン モードから復帰した後に変換を開始する前は、リファレンスのセトリング時間を考慮します。

#### 7.3.3.2 外部リファレンス

REFP ピンと REFN ピンの間に外部基準電圧を印加できます ( $V_{REF} = V_{REFP} - V_{REFN}$ )。差動リファレンス入力により、リファレンスの同相モード電圧を自由に設定できます。ただし、リファレンス電圧の極性は正である必要があります。入力電圧の絶対値および差動リファレンス電圧については、[推奨動作条件](#)の要件に従います。

REFP および REFN 入力は、AIN4 ピンおよび AIN5 ピンと結合されます。AIN4 および AIN5 は、入力が外部基準電圧入力として構成されている場合でも、アナログ入力として使用できます。

#### 7.3.3.3 リファレンス バッファ

デバイスは、リファレンス入力電流を低減するために、個別に選択可能な 2 つのリファレンス入力バッファを備えています。REFP\_BUF\_EN ビットおよび REFN\_BUF\_EN ビットを使用して、正および負のリファレンス バッファをそれぞれ有効または無効にします。

外部の負リファレンス入力 (REFN) が GND に接続されている場合は、負のリファレンス バッファを無にします。外部の正リファレンス入力 (REFP) が AVDD に接続されている場合は、正のリファレンス バッファを無効にします。内部電圧リファレンスまたはアナログ電源のいずれかがリファレンスソースとして選択されている場合は、両方のリファレンス バッファを無効にします。

リファレンス バッファはアイドル モードでは有効なままですが、スタンバイ モードおよびパワーダウン モードではオフになります。

### 7.3.4 クロック ソース

ADS1x2S14 は、動作にメイン クロックを必要とします。メイン クロックは、次の 2 つの方法のいずれかで供給されます：

- 内部低ドリフト 4.096MHz 発振器または
- CLK 入力ピンに接続された外部クロック

CLK\_SEL ビットを使用して、クロック ソースを選択します。デバイスの電源投入時またはデバイスリセット後は、デフォルトで内部発振器がクロック ソースとして選択されます。

外部 CLK 入力は、AIN7/GPIO3 ピンと結合されます。内部発振器から外部クロックに切り替えるには、まず GPIO3\_CFG = 01b に設定して GPIO3 ピンを外部クロック入力として構成し、その後 CLK\_SEL = 1b を設定します。

デルタ シグマ ADC のモジュレータ クロックは、メイン クロックから生成されます。クロック分周器は、選択した速度モードに基づいてメイン クロック周波数 ( $f_{CLK}$ ) を分周して、変調器の周波数を生成します ( $f_{MOD} = f_{CLK}/DIV$ )。表 7-2 に、速度モードごとのそれぞれのクロック分周器の設定と公称の変調器周波数を示します。

**表 7-2. クロック デバイダの設定**

速度モード	クロック デバイダ (DIV)	変調器の周波数 ( $f_{MOD}$ ) <sup>(1)</sup>
0	128	32kHz
1	16	256kHz
2	8	512kHz
3	4	1.024MHz

(1)  $f_{CLK} = 4.096\text{MHz}$  の公称クロック周波数を使用します。

### 7.3.5 デルタ シグマ変調器

ADS1x2S14 は、本質的に安定性の高い 3 次デルタ シグマ変調器を使用しています。この変調器は、変調器の周波数 ( $f_{MOD} = 1/t_{MOD}$ ) でアナログ入力電圧をサンプリングし、アナログ入力を入力信号とリファレンス電圧の比を表す 1 密度ビットストリームに変換します。変調器はコンバータのノイズを高周波側へシェーピングし、そのノイズはデジタル フィルタによって除去されます。

### 7.3.6 デジタル フィルタ

デルタ シグマ モジュレータのビット ストリームは、デジタル フィルタに入力されます。デジタル フィルタは、低分解能かつ高速なモジュレータ出力に対してローパス フィルタリングおよびデシメーションを行い、出力データ レート  $f_{DATA}$  における高分解能 ADC データを生成します。式 8 に示すように、定義されるデシメーション係数を オーバーサンプリング レート (OSR) と呼びます。

$$OSR = f_{MOD} / f_{DATA} \quad (8)$$

OSR は、デジタル フィルタの変調器の出力に適用される平均化の量、つまりフィルタの帯域幅と変換ノイズを決定します。OSR が高いほど、フィルタ帯域幅が狭くなり、ノイズ性能が向上します。

FLTR\_OS[2:0] ビットを使用して OSR を選択し、さらに以下のデジタル フィルタ タイプから選択します:

- OSR 16 および 32 用の Sinc4 フィルタ
- Sinc4 フィルタの後に OSR 128 ~ 1024 に対応する Sinc1 フィルタが続きます
- 20SPS および 25SPS のスピード モード非依存のデータ レート オプションを備え、50Hz と 60Hz のライン サイクル除去を同時に実現する有限インパルス応答 (FIR) フィルタ

図 7-2 に、デジタル フィルタのアーキテクチャを示します。

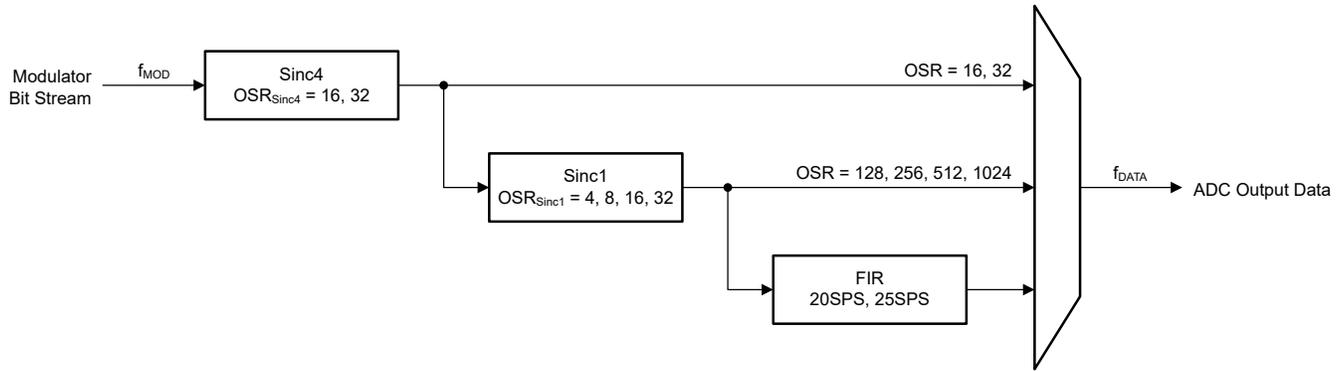


図 7-2. デジタル フィルタ アーキテクチャ

### 7.3.6.1 Sinc4 および Sinc4 + Sinc1 フィルタ

Sinc フィルタ パスは、図 7-2 に示すように、FLTR\_OSR[2:0] の設定に基づいて 1 段または 2 段で構成されます。OSR の設定が 16 および 32 の場合、純粋な Sinc4 フィルタが使用されます。OSR の設定が 128 から 1024 の場合、Sinc4 フィルタは OSR = 32 で動作し、その後に OSR を 4、8、16、32 から選択可能な Sinc1 フィルタ段が続きます。表 7-3 では、FLTR\_OSR[2:0] の設定に基づく Sinc フィルタ構成の概要を示します。

表 7-3. Sinc フィルタの OSR 設定

FLTR_OSR[2:0]	SINC4 OSR	SINC1 OSR	全体的な OSR
000b	16	–	16
001b	32	–	32
010b	32	4	128
011b	32	8	256
100b	32	16	512
101b	32	32	1024

表 7-4 では、OSR の設定に基づく各速度モードにおける出力 データ レートの結果の概要を示します。f<sub>CLK</sub> でデータ レートを計算します。

表 7-4. Sinc フィルタ出力データ レート

OSR	-3dB 周波数	出力データレート (f <sub>DATA</sub> ) <sup>(1)</sup>			
		速度モード 0 (f <sub>MOD</sub> = 32kHz)	速度モード 1 (f <sub>MOD</sub> = 256kHz)	速度モード 2 (f <sub>MOD</sub> = 512kHz)	速度モード 3 (f <sub>MOD</sub> = 1.024MHz)
16	0.228 × f <sub>DATA</sub>	2kSPS	16kSPS	32kSPS	64kSPS
32	0.228 × f <sub>DATA</sub>	1kSPS	8kSPS	16kSPS	32kSPS
128	0.410 × f <sub>DATA</sub>	250SPS	2kSPS	4kSPS	8kSPS
256	0.434 × f <sub>DATA</sub>	125SPS	1kSPS	2kSPS	4kSPS
512	0.440 × f <sub>DATA</sub>	62.5SPS	500SPS	1kSPS	2kSPS
1024	0.442 × f <sub>DATA</sub>	31.25SPS	250SPS	500SPS	1kSPS

(1) f<sub>CLK</sub> = 4.096MHz の公称クロック周波数に基づいています

組み合わせた Sinc4 + Sinc1 フィルタの周波数応答は、式 9 で求められます。純粋な Sinc4 フィルタの周波数応答については、式の第 2 項を無視します。

$$|H(f)| = \left| \frac{\sin \left[ \frac{A\pi f}{f_{MOD}} \right]}{A \sin \left[ \frac{\pi f}{f_{MOD}} \right]} \right|^4 \cdot \left| \frac{\sin \left[ \frac{B\pi f}{f_{MOD}} \right]}{B \sin \left[ \frac{\pi f}{f_{MOD}} \right]} \right| \tag{9}$$

ここで:

- $f$  = 単一周波数
- $f_{MOD}$  = 変調器周波数
- $A$  = Sinc4 フィルタ OSR
- $B$  = Sinc1 フィルタ OSR

図 7-3～図 7-6 に出力データレートに正規化された Sinc フィルタの周波数応答を示します。Sinc フィルタは、図 7-4 に示すように、 $f_{MOD}$  の整数倍を除き、出力データレートの整数倍の周波数で無限大の減衰を持ちます。すべてのデジタルフィルタと同様に、デジタルフィルタ応答は、変調器の周波数  $f_{MOD}$  の整数倍で繰り返されます。データレートおよびフィルタ ノッチ周波数は  $f_{MOD}$  でスケールリングされます。

表 7-4 に、各種 Sinc フィルタ構成における  $-3\text{dB}$  の周波数を示します。

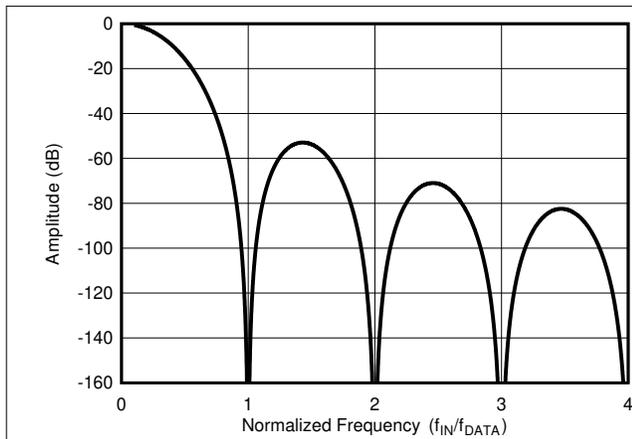


図 7-3. Sinc4 の周波数応答

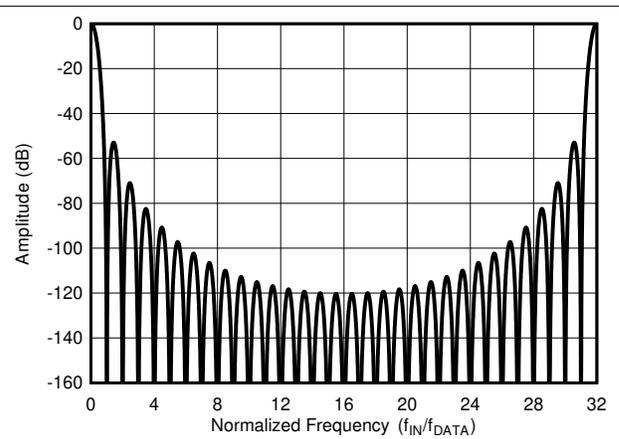


図 7-4.  $f_{MOD}$  に対する sinc4 の周波数応答 (OSR = 32)

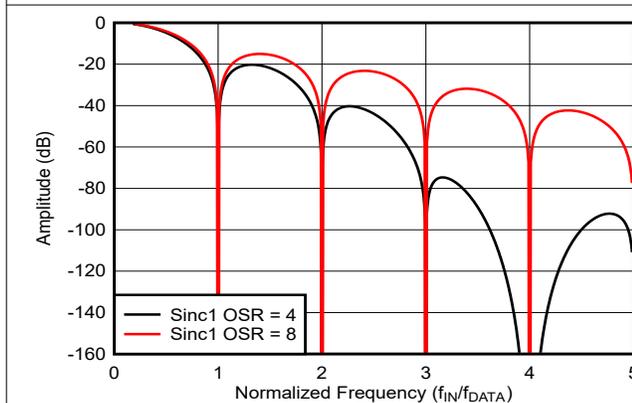


図 7-5. Sinc4 + Sinc1 の周波数応答 (Sinc4 OSR = 32)

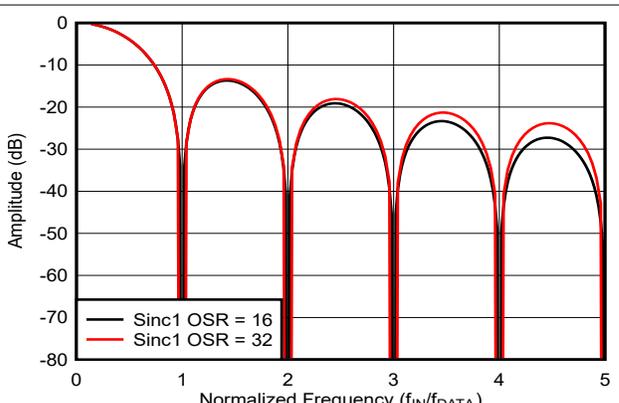


図 7-6. Sinc4 + Sinc1 の周波数応答 (Sinc4 OSR = 32)

### 7.3.6.2 FIR フィルタ

sinc フィルタに加えて、デバイスは 50Hz および 60Hz のライン サイクル ノイズを同時に除去できる 2 種類の FIR フィルタ オプションも備えています。FLTR\_OSR[2:0] ビットを使用して、20SPS または 25SPS のデータレート オプションを選

択します。表 7-5 に示すように、FIR フィルタは選択した速度モードに基づいて OSR を調整し、4 つの速度モードすべてで 20SPS および 25SPS のデータレートを実現します。

表 7-5. FIR フィルタ OSR 設定

出力データレート <sup>(1)</sup>	-3dB 周波数	OSR			
		速度モード 0 ( $f_{MOD} = 32\text{kHz}$ )	速度モード 1 ( $f_{MOD} = 256\text{kHz}$ )	速度モード 2 ( $f_{MOD} = 512\text{kHz}$ )	速度モード 3 ( $f_{MOD} = 1.024\text{MHz}$ )
20SPS	13.2Hz	1600	12800	25600	51200
25SPS	15.1Hz	1280	10240	20480	40960

(1)  $f_{CLK} = 4.096\text{MHz}$  の公称クロック周波数に基づいています

図 7-7～図 7-10 に、2 つの FIR フィルタ構成のフィルタ周波数応答を示します。表 7-5 に、2 つの FIR フィルタの -3dB 周波数を示します。

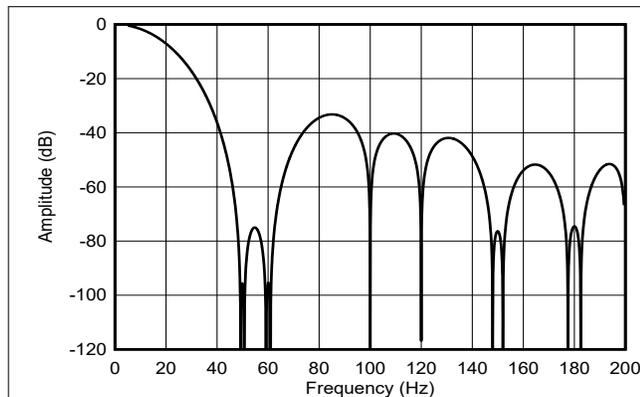


図 7-7. 20SPS の周波数応答

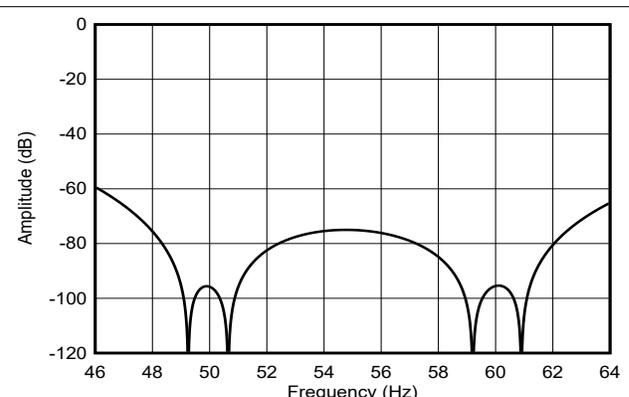


図 7-8. 20SPS 周波数応答 (拡大)

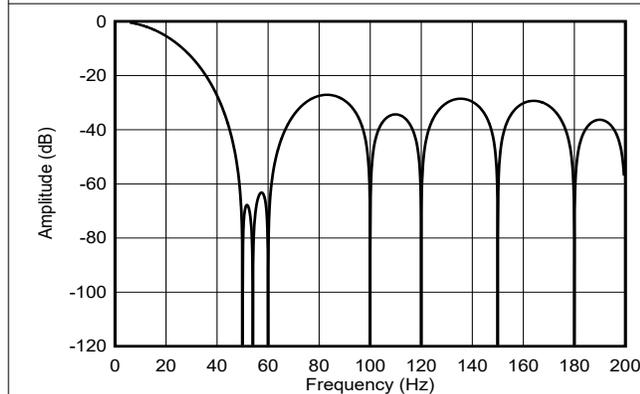


図 7-9. 25SPS の周波数応答

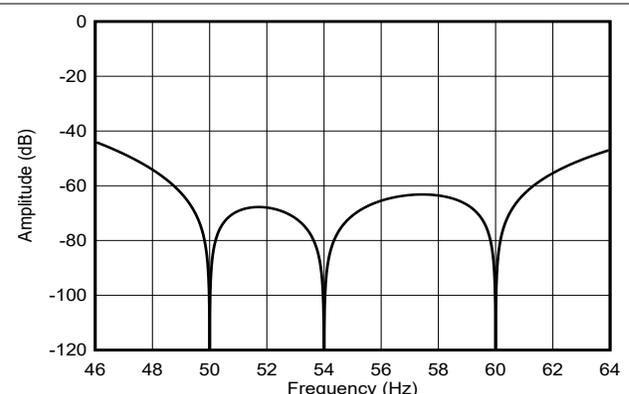


図 7-10. 25SPS 周波数応答 (拡大)

### 7.3.6.3 デジタル フィルタのレイテンシ

変換を開始または再起動すると、デジタル フィルタはリセットされ、出力データがセトリングされているために一定の時間が必要です。この時間をレイテンシ時間  $t_{LATENCY}$  と呼びます。ADS1x2S14 は、安定していないデータを内部で隠し、 $\overline{DRDY}$  の立ち下がりエッジまたは  $\overline{DRDY}$  ビットによって、安定した変換データが利用可能になったことのみを示します。表 7-6 および表 7-7 に、各種の速度モードおよびデジタル フィルタ設定のレイテンシ時間をまとめます。レイテンシ時間は、 $\overline{START}$  ビットが 1b に設定されたレジスタ書き込みフレームの  $\overline{CS}$  の立ち上がりエッジ、またはアイドル モードで  $\overline{CONVERSION\_CTRL}$  レジスタが書き込まれた後の  $\overline{ACK}$  ビットに対応する  $SCL$  の立ち上がりエッジから、時の  $\overline{CS}$  信号は、モジュレータ クロック ドメインで動作するデジタル フィルタ ロジックによってラッチされるため、提示されているレ

イテンシ時間には  $\pm 1 t_{MOD}$  の不正確性があります。2 番目とそれ以降のすべての変換の変換期間は、[図 7-11](#) に示すように、 $t_{DATA} = 1/f_{DATA} = OSR/f_{MOD}$  と等しくなります。

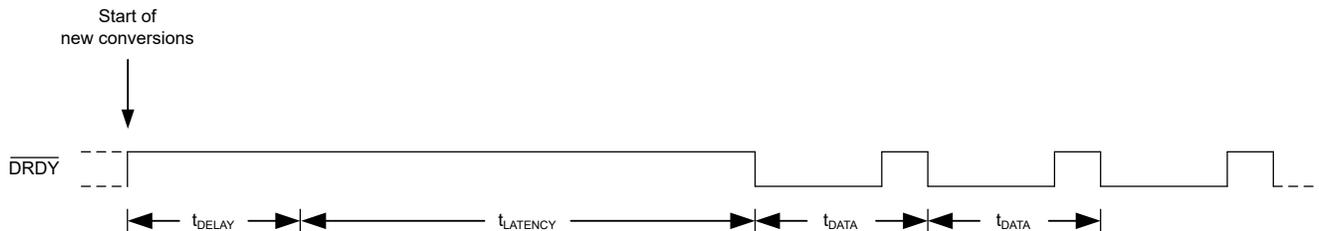


図 7-11. レイテンシ時間と変換時間

特定の状況では、レイテンシ時間が長くなります：

- スタンバイモードから変換を開始する場合、次の遅延が追加されます： $5t_{MOD}$  (速度モード 0)、 $27t_{MOD}$  (速度モード 1 および 2)、 $35 t_{MOD}$  (速度モード 3) を追加します
- 変換を再開するレジスタに書き込んで進行中の変換を再開する場合： $6t_{MOD}$  を追加します

さらに、START ビットが設定された後、変換サイクルの開始を遅らせるために、プログラム可能な遅延時間を追加できます。この遅延時間により、スタンバイモードを終了した後で電圧リファレンスなどの外部コンポーネントをセリングさせる、またはマルチプレクサ経由で信号をスイッチングするときのセリング時間を増やすことができます。遅延時間は、[図 7-11](#) に示すように、変換開始後の最初の変換にのみ追加されます。その後の変換は遅延されません。DELAY[3:0] ビットを使用して、遅延時間を設定します。

表 7-6. Sinc フィルタのレイテンシ

OSR	$t_{MOD}$ <sup>(1)</sup> (絶対時間 <sup>(2)</sup> ) 単位のレイテンシ			
	速度モード 0 ( $f_{MOD} = 32\text{kHz}$ )	速度モード 1 ( $f_{MOD} = 256\text{kHz}$ )	速度モード 2 ( $f_{MOD} = 512\text{kHz}$ )	速度モード 3 ( $f_{MOD} = 1.024\text{MHz}$ )
16	80 (2.5ms)	88 (344 $\mu\text{s}$ )	88 (172 $\mu\text{s}$ )	104 (102 $\mu\text{s}$ )
32	144 (4.5ms)	152 (594 $\mu\text{s}$ )	152 (297 $\mu\text{s}$ )	168 (164 $\mu\text{s}$ )
128	240 (7.5ms)	248 (969 $\mu\text{s}$ )	248 (484 $\mu\text{s}$ )	264 (258 $\mu\text{s}$ )
256	368 (11.5ms)	376 (1.47ms)	376 (734 $\mu\text{s}$ )	392 (383 $\mu\text{s}$ )
512	624 (19.5ms)	632 (2.47ms)	632 (1.23ms)	648 (633 $\mu\text{s}$ )
1024	1136 (35.5ms)	1144 (4.47ms)	1144 (2.23ms)	1160 (1.13ms)

- (1)  $t_{MOD} = 1 / f_{MOD}$ 。レイテンシ時間は、アイドルモードから変換を開始するときに測定されます。  
 (2)  $f_{CLK} = 4.096\text{MHz}$  の公称クロック周波数に基づいています。

表 7-7. FIR フィルタのレイテンシ

出力データレート	$t_{MOD}$ <sup>(1)</sup> (絶対時間 <sup>(2)</sup> ) 単位のレイテンシ			
	速度モード 0 ( $f_{MOD} = 32\text{kHz}$ )	速度モード 1 ( $f_{MOD} = 256\text{kHz}$ )	速度モード 2 ( $f_{MOD} = 512\text{kHz}$ )	速度モード 3 ( $f_{MOD} = 1.024\text{MHz}$ )
20SPS	1736 (54.25ms)	12944 (50.56ms)	25744 (50.28ms)	51360 (50.16ms)
25SPS	1416 (44.25ms)	10384 (40.56ms)	20624 (40.28ms)	41120 (40.16ms)

- (1)  $t_{MOD} = 1 / f_{MOD}$ 。レイテンシ時間は、アイドルモードから変換を開始するときに測定されます。  
 (2)  $f_{CLK} = 4.096\text{MHz}$  の公称クロック周波数に基づいています。

### 7.3.6.4 グローバルチョップモード

ADS1x2S14 の信号チェーンは、非常に低ドリフトのチョップ安定化 PGA とデルタシグマモジュレータを使用しており、非常に低いオフセット誤差とオフセットドリフトを実現しています。ただし、通常の測定では、わずかなオフセットドリフトが残っています。そのため、このデバイスには、温度および時間の両方にわたってオフセット誤差とオフセットドリフトを極めて低いレベルまで低減するための、オプションのグローバルチョップモードが組み込まれています。GC\_EN ビットを設定

してグローバル チョップ モードを有効にすると、デバイスは入力信号の極性を交互に切り替えながら 2 回連続で変換を行い、オフセット誤差を打ち消します。最初の変換は、通常の入力極性で取得されます。グローバル チョップ制御ロジックは入力極性を反転し、2 回目の変換用のデジタル フィルタをリセットします。2 つの変換の平均値から、最終的なオフセット補正結果が得られます。図 7-12 は、グローバル チョップ実装のブロック図を示しています。 $V_{OFS}$  は、PGA と ADC の組み合わせた内部オフセット電圧をモデル化します。グローバル チョップ モードによって、このデバイス固有のオフセット電圧のみが低減されます。アナログ入力に接続された外部回路に起因するオフセットは、グローバル チョップ モードの影響を受けません。

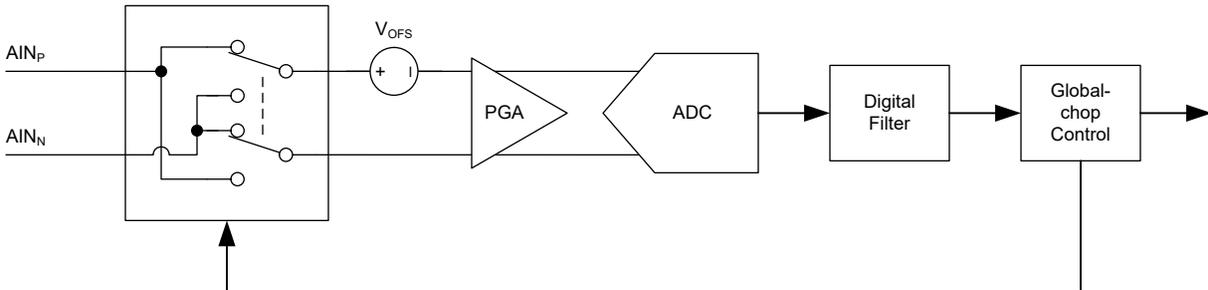


図 7-12. グローバル チョップ モード制御図

グローバル チョップ モードの動作シーケンスは次のとおりです：

- 変換 C1:  $V_{AINP} - V_{AINN} - V_{OFS}$  → 変換開始後に最初の変換を保留
- 変換 C2:  $V_{AINN} - V_{AINP} - V_{OFS}$  → 出力 1 =  $(V_{C1} - V_{C2}) / 2 = V_{AINP} - V_{AINN}$
- 変換 C3:  $V_{AINP} - V_{AINN} - V_{OFS}$  → 出力 2 =  $(V_{C3} - V_{C2}) / 2 = V_{AINP} - V_{AINN}$
- ...

変換開始後の最初の変換結果 (出力 1) は、デバイスが 2 回の安定した変換を実行した後に利用可能になります。式 10 は、変換開始後の最初の変換結果を出力するために必要な時間を計算します。

グローバル チョップ モードを有効にした連続変換モードでは、式 11 で計算された通り、その後の変換は  $t_{GC\_DATA}$  で完了します。

$$t_{GC\_LATENCY} = 2 \times (t_{DELAY} + t_{LATENCY}) - 12 t_{MOD} \quad (10)$$

$$t_{GC\_DATA} = t_{DELAY} + t_{LATENCY} - 12 t_{MOD} \quad (11)$$

ここで：

- $t_{LATENCY}$  は、表 7-6 と表 7-7 に示すレイテンシ時間です
- $t_{DELAY}$  は、DELAY[3:0] ビットでプログラム可能な遅延時間です

デバイスは、内部回路が安定するまでの時間を確保するため、入力極性を反転させた後、プログラム可能な遅延時間だけ待ってから次の変換を開始します。場合によっては、外部部品のセリングを許容するために、プログラム可能な遅延時間を長くする必要があります。

グローバル チョップ モードでは、2 つの変換が平均化されるため、ADC のノイズが  $\sqrt{2}$  倍に低減されます。グローバル チョップ モード有効時のノイズ性能を求めるには、表 6-1～表 6-3 に示す入力換算ノイズ値を  $\sqrt{2}$  で割ってください。

グローバル チョップ モードでも、デジタル フィルタのノッチ特性は変化しません。ただし、追加のフィルタ ノッチは  $f_{gc\_data}/2$  の倍数で表示されます。

### 7.3.7 励起電流源 (IDAC)

このデバイスには、2 つのプログラマブルなマッチングされた電流源 (IDAC1 および IDAC2) が組み込まれています。これらの電流源は、一定の電流バイアスを必要とする抵抗式温度デバイス (RTD)、サーミスタ、ダイオード、およびその他の抵抗式センサに励起電流を供給します。各電流源は個別にプログラム可能で、 $1\mu A$  から  $1mA$  までの値を出力できます。

各 IDAC の出力電流は、I1MAG[3:0] および I2MAG[3:0] ビットを IUNIT ビットと組み合わせて使用することで設定します。IUNIT ビットは、IDAC1 と IDAC2 の両方に対する基準電流を、1 $\mu$ A または 10 $\mu$ A のいずれかに設定します。I1MAG[3:0] および I2MAG[3:0] ビットは、基準電流の乗数として動作し、個別の IDAC1 および IDAC2 の出力電流を設定します。

電流源間の最良のマッチングは、両方の IDAC を同じ電流値に設定した場合に得られます。3 線式 RTD アプリケーションでは、整合された電流源を使用して、センサのリード抵抗による誤差を相殺できます (詳細については、[ソフトウェアで構成可能な RTD 測定入力セクション](#)を参照)。

各電流源は、I1MUX[2:0] および I2MUX[2:0] ビットを使用して、任意のアナログ入力 AINx にルーティングできます。最大 2mA までの励起電流が必要な場合、I1MUX[2:0] と I2MUX[2:0] を同じビット値に設定することで、両方の電流源を同一のピンにまとめることもできます。アナログ入力 AIN3 から AIN7 は、IDAC のルーティングに関係なく、アナログ入力、リファレンス入力、または GPIO として設定できます。電流源出力として選択されたピンは、同時にアナログ入力またはリファレンス電圧入力として使用できます。ただし、IDAC の電流によって、アナログ入力またはリファレンス入力パスの内部信号配線に電圧降下が生じ、その結果オフセットが発生するため、これを考慮する必要があります。これはには当てはまりません。図 7-1 は、入力マルチプレクサを介した IDAC の接続を示しています。

電流源が動作するためには、AVDD 電源に対する電圧ヘッドルームが必要です。この電圧ヘッドルームは、コンプライアンス電圧とも呼ばれます。抵抗性負荷を駆動する際は、IDAC のコンプライアンス電圧を超えないよう注意してください。これを超えると、IDAC 電流の規定された精度が常に満たされるとは限りません。IDAC のコンプライアンス電圧仕様については、[電気的特性表](#)を参照してください。

IDAC はアイドル モードでは有効のままですが、スタンバイ モードおよびパワーダウン モードではオフになります。

### 7.3.8 バーンアウト電流源の電流 (BOCS)

潜在的なセンサ故障の検出を支援するため、ADS1x2S14 は一対のプログラム可能なバーンアウト 電流源 (BOCS) を提供します。BOCS[1:0] ビットを使用して電流源を有効化し、値を 0.2 $\mu$ A、1 $\mu$ A、または 10 $\mu$ A に設定します。

BOCS は、内部マルチプレクサの後段で PGA 入力に接続されます。有効化されると、一方の BOCS は AVDD から選択された正のアナログ入力 (AINP) へ電流を供給し、もう一方の BOCS は選択された負のアナログ入力 (AINN) から GND へ電流を引き込みます。

外部センサのオープン回路またはセンサ配線の断線が発生した場合、これらの BOCS は正の入力を AVDD 側へ、負の入力を GND 側へプルし、その結果フルスケールの読み取りとなります。フルスケールの読み取りは、センサが過負荷状態である場合や、リファレンス電圧が存在しない場合にも示されることがあります。ほぼゼロの読み取り値は、センサの短絡を示している可能性があります。センサ短絡状態を通常の読み取り結果と区別するのは、特に入力に RC フィルタを使用している場合、困難になることがあります。電流源によって生じる外部フィルタ抵抗での電圧降下と、内部マルチプレクサの残留抵抗により、ADC 出力がゼロより大きい値を読み取る場合があります。

バーンアウト電流源が有効な場合、正常に動作しているセンサの ADC 読み取り値が乱されることがあります。そのため、高精度測定を行う際にはバーンアウト電流源を無効にし、専用の診断測定時にのみセンサ故障状態をテストする目的で BOCS を有効にします。

グローバル チョップ モード (GC\_EN = 1b) を使用する場合は、BOCS を無効にします。バーンアウト電流源機能は、グローバル チョップ モードには対応していません。

バーンアウト電流源はアイドル モードでは有効なままですが、スタンバイ モードおよびパワーダウン モードではオフになります。

### 7.3.9 汎用インターフェイス (GPIO)

ADS1x2S14 は 4 つのアナログ入力 (AIN4 ~ AIN7) を備えており、汎用入出力 (GPIO) として構成可能です。これらの GPIO のロジックレベルは AVDD 電源を基準としています。GPIOx\_CFG[1:0](x = 0~3) ビットを使用して、ピンをアナログ入力、デジタル入力、またはプッシュプルもしくはオープンドレイン特性のデジタル出力として設定します。

GPIOx\_DAT\_OUT ビットを使用して、GPIO のデジタル出力レベルを設定します。GPIOx がアナログ入力またはデジタル入力として設定されている場合、GPIOx\_DAT\_OUT ビットの設定は無効です。

GPIOx\_DAT\_IN ビットは、ピンがデジタル入力として設定されているかデジタル出力として設定されているかに関係なく、GPIOx ピンでの読み戻し値を示します。GPIOx がアナログ入力として設定されている場合、GPIOx\_DAT\_IN ビットは 0b を読み戻します。

さらに、次の特殊機能を使用できます：

- GPIO2 は  $\overline{\text{FAULT}}$  表示出力として設定できます。
- GPIO3 は専用の  $\overline{\text{DRDY}}$  出力として設定できます。
- GPIO3 は、外部クロック入力として構成できます。詳細については、[クロックソース](#)セクションを参照してください。

### 7.3.9.1 $\overline{\text{FAULT}}$ 出力

GPIO2\_CFG = 10b または 11b、かつ GPIO2\_SRC = 1b に設定することで、GPIO2 を  $\overline{\text{FAULT}}$  出力として構成します。AVDD\_UVn、REF\_UVn、REG\_MAP\_CRC\_FAULTn、MEM\_FAULTn の各ステータスビットのいずれかが「0b」になると、 $\overline{\text{FAULT}}$  ピンは low になり、故障となります。リセット中およびリセット後にこのピンが High-Z のアナログ入力に戻るため、デバイスのリセット発生を検出できるように、GPIO2 から GND にプルダウン抵抗を接続してください。

$\overline{\text{FAULT\_PIN\_BEHAVIOR}}$  ビットを使用して、次の  $\overline{\text{FAULT}}$  出力動作から選択します：

- 静的出力。故障が発生したとき、 $\overline{\text{FAULT}}$  出力は low になります。それ以外の場合、出力は high になります。
- ハートビート出力。故障が発生したとき、 $\overline{\text{FAULT}}$  出力は Low になります。それ以外の場合、出力は  $f_{\text{MOD}}/256$  の周波数を持つ 50% デューティ サイクル信号になります。ハートビート信号の周波数をホストが監視することで、デバイスのクロック故障の可能性を検出できます。

### 7.3.9.2 $\overline{\text{DRDY}}$ 出力

GPIO3\_CFG を 10b または 11b に、GPIO3\_SRC を 1b に設定することで、GPIO3 を専用の  $\overline{\text{DRDY}}$  出力として構成します。 $\overline{\text{DRDY}}$  ピンの立ち下がりがエッジは、新しい変換データが完了したことを示します。 $\overline{\text{DRDY}}$  出力は、 $\overline{\text{CS}}$  が high のときでも常に駆動されます。詳細については、「[DRDY ピンの動作](#)」セクションを参照してください。

## 7.3.10 システム モニタ

デバイスは一連のシステム監視機能を備えており、入力マルチプレクサを介した測定のために、内部で PGA 入力ルーティングすることができます。SYS\_MON[2:0] ビットを使用して、以下のいずれかのシステム監視項目を選択します：

- PGA の入力は、内部信号チェーンの入力オフセットを測定およびキャリブレーションするために、ミッドサプライ (AVDD / 2) に短絡できます。
- デバイス温度に比例した出力信号を提供する内蔵温度センサです。
- 減衰した外部リファレンス電圧  $(V_{\text{REFP}} - V_{\text{REFN}}) / 8$ 。
- 減衰されたアナログ電源およびデジタル電源で、それぞれ (AVDD / 8) と (DVDD / 8) です。

いずれかのシステム監視項目が選択されている場合、AINP[3:0] および AINN[3:0] ビットは無効となり、アナログ入力は PGA から切り離されます。SYS\_MON[2:0] が 010b ~ 101b に設定されている場合、REF\_SEL[1:0] ビットの設定に関係なく、REF\_VAL ビットで設定された内部リファレンスが自動的に選択されます。それぞれの測定に適切な PGA ゲイン設定を選択します。

### 7.3.10.1 内部短絡 (オフセット校正)

システム モニタには、両方の PGA 入力 (AINP および AINN) を中電圧 (AVDD/2) に短絡するオプションがあります。このオプションは、入力を短絡した状態での電圧読み取り結果をマイコンに保存し、その値を以降の各読み取り結果から差し引くことで、デバイスのオフセットを測定および補正するために使用できます。入力を短絡した状態で複数回測定を行い、その結果を平均化することでノイズの影響を低減します。

### 7.3.10.2 内部温度センサ

ADS1x2S14 は、ダイ温度を測定するための内蔵温度センサ (TS) を備えています。温度センサは、ダイ温度に比例した電圧を出力します。温度センサの出力電圧特性 (TS<sub>Offset</sub>、TS<sub>TC</sub>) は、[電気的特性](#)表に記載されています。

式 12 に、測定された温度センサの出力電圧をダイ温度に変換する方法を示します。

$$\text{Die temperature } [^{\circ}\text{C}] = 25^{\circ}\text{C} + (\text{Measured voltage} - \text{TS}_{\text{Offset}}) / \text{TS}_{\text{TC}} \quad (12)$$

アプリケーションで発生可能な最大温度センサ出力電圧が  $V_{\text{REF}} / \text{ゲイン}$  よりも小さくなるように、PGA のゲイン設定を選択します。

#### 7.3.10.3 外部リファレンス電圧読み戻し

システム モニタを使用すると、REFP ピンと REFN ピンの間に接続された外部電圧リファレンスを監視できます。このために、減衰した外部リファレンス電圧 ( $V_{\text{REFP}} - V_{\text{REFN}}) / 8$  を測定用に選択します。

#### 7.3.10.4 電源の読み戻し

システム モニタでは、アナログ電源とデジタル電源の両方を監視できます。このため、測定するために減衰したアナログ電源 (AVDD/8) または減衰したデジタル電源 (DVDD/8) のいずれかを選択します。

### 7.3.11 モニタおよびステータス フラグ

ADS1x2S14 には、特定のデバイスまたはシステムの故障を検出してホストに通知するための、対応するステータス フラグを備えた一連のモニタが用意されています。表 7-8 では、使用可能なモニタの概要を示します。一部のモニタは、専用のモニタ有効化ビットを使用して有効にする必要があります。モニタの故障フラグは、読み取り用として STATUS\_MSB レジスタで参照できます。モニタが故障を検出した場合、変換が進行中でない場合でも、対応する低アクティブの故障フラグは直ちに 0b に設定されます。

**表 7-8. モニタの概要**

モニタ名	モニタ有効ビット	故障フラグの監視	故障フラグのリセットのメカニズム
リセット	該当なし	RESETn	「1b」を書き込むと、ビットは「1b」にクリアされます
AVDD 低電圧	該当なし	AVDD_UVn	「1b」を書き込むと、ビットは「1b」にクリアされます
リファレンス低電圧ス	REV_UV_EN	REF_UVn	「1b」を書き込むと、ビットは「1b」にクリアされます
SPI の CRC	SPI_CRC_EN	SPI_CRC_FAULTn	前回の SPI フレームの CRC 結果に基づいて、各新規 SPI フレームごとに更新されます
レジスタ マップの CRC	REG_MAP_CRC_EN	REG_MAP_CRC_FAULTn	「1b」を書き込むと、ビットは「1b」にクリアされます
メモリ マップの CRC	該当なし	MEM_FAULTn	デバイスをリセットするか、電源を入れ直します
レジスタ書き込みエラー	該当なし	REG_WRITE_FAULTn	次のレジスタ書き込みコマンドで更新

モニタに加えて、データ準備完了表示ビット (DRDY) が STATUS\_MSB レジスタに用意されており、さらに STATUS\_LSB レジスタには 4 ビットの変換カウンタがあります。

レジスタ読み取りコマンドを使用して必要に応じて STATUS\_MSB または STATUS\_LSB レジスタを読み出す代わりに、このデバイスは SDO の時に、各フレームの先頭 2 バイトとして STATUS ヘッダを出力できます。STATUS\_EN ビットを使用して、ステータス ヘッダの送信をイネーブルします。16 ビットの ステータス ヘッダは、STATUS\_MSB[7:0] と STATUS\_LSB[7:0] の各レジスタ ビットを連結したものです。

#### 7.3.11.1 リセット (RESETn フラグ)

RESETn フラグは、最後にビットが 1b にクリアされてから、デバイスリセットが発生したかどうかを示します。RESETn ビットを 1b にクリアするには、1b を書き込みます。

#### 7.3.11.2 AVDD 低電圧モニタ (AVDD\_UVn フラグ)

AVDD 低電圧モニタは、アナログ電源が AVDD 低電圧スレッシュホールド (TH<sub>AVDD\_UV</sub>) を下回ったかどうかを検出します。AVDD\_UVn ビットを 1b にクリアするには、1b を書き込みます。

AVDD 低電圧モニタは、パワーダウン モードを除き、常に有効です。AVDD 電源が AVDD 低電圧スレッシュホールドを下回っていない場合でも、パワーダウン モードに入ると AVDD\_UVn は 0b に設定されます。REF\_VAL ビットを使用して内部電圧リファレンス値を変更すると、意図せず AVDD\_UVn ビットが 0b に設定される場合があります。

DVDD 電源が供給されている限り、アナログ電源が AVDD スレッシュホールドを下回ってもデバイスはリセットされません。

#### 7.3.11.3 リファレンス低電圧モニタ (REV\_UVn フラグ)

リファレンス低電圧モニタは、REF\_SEL[1:0] ビットで選択されたリファレンス電圧がリファレンス低電圧スレッシュホールド (TH<sub>REF\_UV</sub>) を下回ったかどうかを検出します。REF\_UV\_EN ビットを使用して、リファレンス低電圧モニタを有効にします。ただし、REF\_UV\_EN ビットの設定に関係なく、スタンバイ モードおよびパワーダウン モードではリファレンス低電圧モニタは無効です。リファレンス低電圧モニタを有効化した場合、リファレンス電圧源を変更した場合、またはパワーダウン モードやスタンバイ モードから復帰した場合に、REF\_UVn ビットが意図せず 0b に設定されることがあります。REF\_UVn ビットを 1b にクリアするには、1b を書き込みます。

#### 7.3.11.4 SPI CRC フォルト (SPI\_CRC\_FAULTn フラグ)

SPI\_CRC\_FAULTn フラグは、直前の SPI フレームにおいて SDI 上で SPI CRC エラーが発生したかどうかを示します。SPI CRC 故障が発生したフレーム内でのコマンド実行はブロックされます。代わりに、ノーオペレーション コマンドが

実行されます。次のフレーム内のコマンドはブロックされません。SPI\_CRC\_FAULTn ビットは、新しい SPI フレームごとに、直前の SPI フレームの CRC 結果に基づいて更新されます。SPI\_CRC\_EN ビットを使用して SPI CRC を有効にします。さらに、STATUS\_EN ビットを使用して ステータス ヘッダの送信を有効にすることで、SPI CRC 故障の発生を通知として受け取ることができます。SPI CRC の実装の詳細については、[SPI の CRC](#) セクションを参照してください。

#### 7.3.11.5 レジスタ マップ CRC 故障 (REG\_MAP\_CRC\_FAULTn フラグ)

REG\_MAP\_CRC\_FAULTn フラグは、意図しないレジスタ ビット反転によってレジスタ マップの CRC エラーが発生したかどうかを示します。REG\_MAP\_CRC\_EN ビットを使用して、レジスタ マップ CRC を有効にします。ただし、REG\_MAP\_CRC\_EN ビットの設定に関係なく、スタンバイ モードおよびパワーダウン モードではレジスタ マップ CRC は停止します。REG\_MAP\_CRC\_FAULTn ビットをクリアするには、1b を書き込んでビットを 1b にします。レジスタ マップ CRC の実装の詳細については、[レジスタ マップ CRC](#) セクションを参照してください。

#### 7.3.11.6 内部メモリ故障 (MEM\_FAULTn フラグ)

MEM\_FAULTn フラグは、メモリ マップの CRC 故障が発生したかどうかを示します。レジスタ マップ CRC と同様に、このデバイスは内部メモリで意図しないビット変化が発生していないかを確認するため、メモリ マップ CRC を使用します。内部メモリ ビットを変更すると、デバイスの動作が不明になったり、デバイスのパフォーマンスが低下したりする可能性があります。メモリ マップ CRC は、スタンバイ モードおよびパワーダウン モードを除き常に有効で、内部メモリ マップ全体に対して継続的に CRC 値を計算します。デバイスは、計算結果を、製造時にメモリ マップ内に格納されたメモリ マップ CRC 値と比較します。内部で計算された結果と保存されているメモリ マップ CRC 値が一致しない場合、MEM\_FAULTn フラグは 0b に設定されます。メイン プログラム メモリのエラーが発生した場合、ADC はそれ以外の処理を実行しません。MEM\_FAULTn ビットが 0b の場合は、電源の再投入を行うか、デバイスをリセットします。

#### 7.3.11.7 レジスタ書き込み故障 (REG\_WRITE\_FAULTn フラグ)

REG\_WRITE\_FAULTn フラグは、無効なレジスタ アドレスへの書き込みアクセスが発生したかどうかを示します。このフラグは、無効なレジスタ アドレスへの書き込まれるタイミングを設定し、次のレジスタ書き込みコマンドで更新します。無効なレジスタ アドレスからの読み出しではこのフラグは設定されませんが、読み取りコマンドの SPI フレーム内に含まれるアドレス表示から検出できます。

#### 7.3.11.8 DRDY インジケータ (DRDY ビット)

DRDY ビットは、 $\overline{\text{DRDY}}$  ピンの反転です。STATUS\_EN ビットを使用して ステータス ヘッダの送信を有効にし、DRDY ビットの通知を利用します。DRDY ビットは、現在の SPI フレーム内で読み取られた変換データが新しいデータか、前回の読み取り操作から繰り返されているデータかを示します。レジスタ読み取りコマンドを使用して DRDY ビットをポーリングする方法は信頼性がありません。DRDY ビットは、読み出しレジスタコマンドの送信における最初のフレームの時点で既に 0b に戻ってしまうためです。

#### 7.3.11.9 変換カウンタ (CONV\_COUNT[3:0])

変換カウンタ (CONV\_COUNT[3:0]) は、新しい変換が完了するたびにインクリメントされます。カウンタが Fh の値に達した後、次の変換が完了するとカウンタは 0h にロールオーバーします。デバイスをパワーダウン モードに移行するか、デバイスをリセットすることで、カウンタを Fh にリセットします。リセットまたはパワーダウン後に最初の変換が完了すると、カウンタは 0h を読み取ります。

ステータス ヘッダの一部として変換カウンタが出力される場合 (STATUS\_EN = 1b)、変換カウンタ値が常に同じ SPI フレームで出力される ADC 変換結果と一致していることを確認します。

## 7.4 デバイスの機能モード

### 7.4.1 パワーアップとリセット

ADS1x2S14 は、次の 3 つの方法でリセットされます：

- パワーオンリセット (POR)
- RESET[5:0] ビットフィールドへの書き込み (ソフトウェアリセット)
- SPI リセット パターンの送信 (ソフトウェアリセット)

リセットが発生すると、ユーザーレジスタはそれぞれのデフォルト設定にリセットされ、デバイスはアイドルモードとなり、変換は開始されません。リセットプロセスの完了後、デバイスとの SPI 通信が可能です。デバイスとの通信を開始する前に、各種リセットイベントの後に考慮する必要のあるタイミング仕様については、[タイミング要件](#)を参照してください。

RESETn ビットは、最後に RESETn ビットが 1b にクリアされてからリセットが発生したかどうかを示します。動作中の意図しないデバイスリセットを検出できるように、デバイスリセット直後に RESETn ビットを 1b にクリアしてください。

#### 7.4.1.1 パワーオンリセット (POR)

パワーオンリセット (POR) 回路により、DVDD 電源が DVDD POR スレッショルド ( $TH_{DVDD\_POR}$ ) を超えるまで、デバイスはリセット状態に保持されます。パワーオンリセットは、DVDD 電源が DVDD の POR スレッショルドを下回るブラウナウト事象が発生した場合でも、デバイスが既知の正常な状態から動作を開始することを保証します。AVDD に低電圧イベントが発生してもデバイスリセットは発生しませんが、AVDD\_UVn フラグで示されます。

#### 7.4.1.2 レジスタ書き込みによるリセット

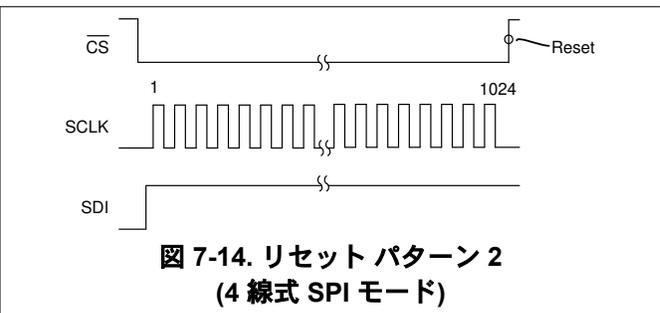
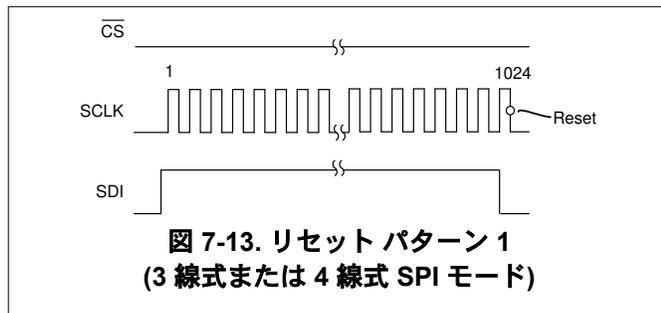
RESET[5:0] ビットフィールドに 010110b を書き込むことで、ソフトウェアリセットを開始します。このビットフィールドに他の値を書き込んでも、リセットは実行されません。4 線式 SPI モードでは、 $\overline{CS}$  が High になったとき、フレームの最後でリセットが有効になります。3 線式 SPI モードでは、レジスタ書き込み動作の最後の SCLK 立ち下がりがエッジでリセットが有効になります。3 線式 SPI モードでリセットするには、SPI が SPI ホストと同期している必要があります。SPI 同期が保証されない場合は、[SPI の入力パターンによるリセット](#)セクションに記載されているパターンを使用してデバイスをリセットします。

#### 7.4.1.3 SPI の入力パターンによるリセット

デバイスは、SDI に特定のビットパターンを入力することで、SPI 動作を介してもリセットされます。その入力パターンは、通常の SPI コマンド形式には従っていません。ADC をリセットするために、2 種類の入力パターンが用意されています。

パターン 1 は、1023 個以上の連続した 1 と、それに続く 1 つの 0 で構成されます。最終ビットの 0 がシフトインされたときの SCLK の立ち下がりがエッジで、デバイスはリセットされます。このパターンは、3 線式および 4 線式のいずれの SPI モードでも使用できます。パターン 1 のリセット例を、[図 7-13](#) に示します。

リセットパターン 2 は、4 線式 SPI モードでのみ使用できます。リセットのため、最小 1024 個の連続した 1 を入力し (最後に 0 がない)、その後で  $\overline{CS}$  を high にすると、リセットが発生します。複数のデバイスがダイジーチェーン接続されている場合は、パターン 2 を使用してください。パターン 2 のリセット例を、[図 7-14](#) に示します。



## 7.4.2 動作モード

ADS1x2S14 は、電力のスケラブルな変換モード、スタンバイ、アイドル、パワーダウン モードの 4 つの動作モードを備えています。図 7-15 に、デバイスが各種の動作モード間をどのように遷移するかを示します。

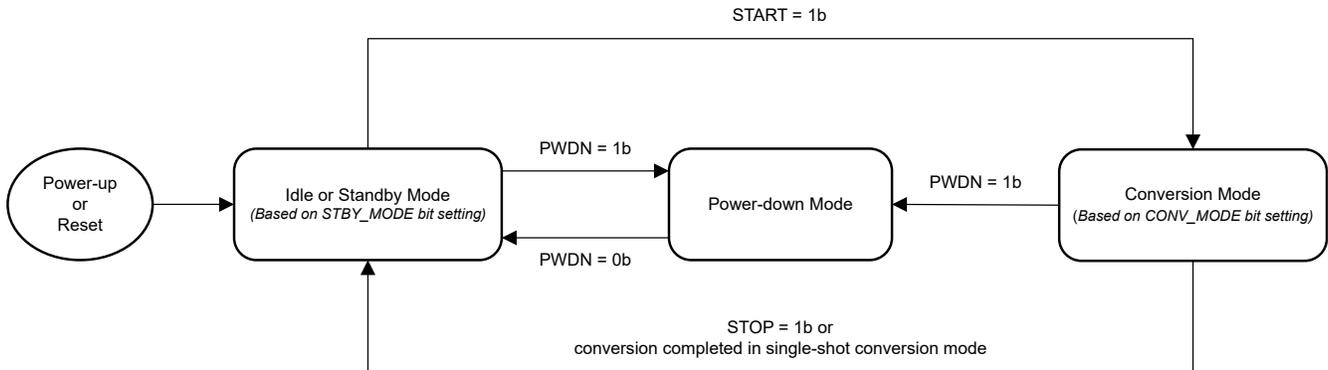


図 7-15. 動作時モードの状態図

### 7.4.2.1 アイドルモードとスタンバイモード

リセット後、デバイスはアイドルモードになります。各レジスタビット設定に基づいてすべてのアナログ回路は電源投入されていますが、変換は実行されておらず、デジタルフィルタはリセット状態に保持されています。

スタンバイモードでは、レジスタビット設定に関係なく、ADC、PGA、IDAC、BOCS、リファレンスバッファ、リファレンス低電圧モニタ、レジスタマップCRC、およびメモリマップCRCがパワーダウンします。スタンバイモードでは、内部電圧リファレンスと発振器は電源投入状態のままです。

START ビットを 1b に設定すると、アイドルモードまたはスタンバイモードを終了し、変換を開始します。変換が停止すると、STBY\_MODE ビットの設定に応じて、デバイスはアイドルモードまたはスタンバイモードに遷移します。

変換が停止したときは、消費電力を抑えるためにスタンバイモードを使用します。スタンバイモードから変換を開始する場合、最初の変換に要するレイテンシ時間は、セクション [デジタルフィルタのレイテンシ](#) で説明されているアイドルモードから変換を開始する場合のレイテンシ時間と比べて長くなります。

### 7.4.2.2 パワーダウンモード

パワーダウンモードでは、ユーザレジスタ設定を保持するために必要な回路を除き、すべてのアナログ回路およびデジタル回路の電源がオフになります。SPI 通信は引き続き可能です。PWDN ビットを 1b に設定すると、デバイスは直ちにパワーダウンし、進行中の変換はすべて中断されます。パワーダウンモードでは、変換カウンタ (CONV\_COUNT[3:0]) は Fh にリセットされ、変換データはクリアされ、START ビットは無視されます。

パワーダウンモードでは、GPIO のデジタル出力として設定されているすべてのアナログ入力、ハイインピーダンス状態に遷移します。パワーダウン中に特定の GPIO ロジックレベルを維持する必要がある場合は、該当する GPIO ピンに外付けのプルアップまたはプルダウン抵抗を使用することを検討してください。

パワーダウンモードから復帰する際は、変換を開始する前に内部電圧リファレンスが起動し、安定するまで待ってください。

### 7.4.2.3 電力スケラブル変換モード

ADS1x2S14 は、連続変換モードとシングルショット変換モードの 2 つの変換モードを提供します。CONV\_MODE ビットは、変換モードを選択します。

また、このデバイスは消費電力、分解能、データレートのトレードオフを行うため 4 つの速度モードを備えています。各速度モードは、特定のモジュレータクロック周波数およびデバイスのバイアス電流設定に対応します。速度モード 3 ( $f_{MOD} = 1.024\text{MHz}$ ) は、最高のデータレート(最大 64kSPS)を提供し、20SPS のデータレート設定時に最小のノイズを実現します。対照的に、速度モード 0 ( $f_{MOD} = 32\text{kHz}$ ) では、消費電力が最小化されますが、ノイズ性能が犠牲になります。必

要なデータレート、分解能、およびデバイスの消費電力要件に基づいて、SPEED\_MODE [1:0] ビットを使用して速度モードを選択します。

#### 7.4.2.3.1 連続変換モード

連続変換モードでは、ADC はユーザーによって停止されるまで継続的に変換を行います。START ビットを 1b に設定して、変換を開始します。変換が進行中に START ビットを 1b に設定すると、進行中の変換は中止され、変換が再開されます。

変換を停止するには、STOP ビットを使用します。STOP ビットを 1b に設定すると、現在進行中の変換は完了するまで継続されます。STOP ビットを設定した後、変換が停止されるまで STOP ビットは 1b のまま読み出されます。変換が停止すると、デバイスがアイドルモードまたはスタンバイモードに移行したことを示すため、STOP ビットは 0b として読み出されます。

START ビットと STOP ビットの両方に同時に 1b を書き込んでも、何の効果もありません。

変換が停止した後でも、最後の変換結果は読み取り可能です。変換結果は、デバイスリセット後、パワーダウンモード時、または新しい変換結果が利用可能になって上書きされた場合にのみクリアされます。

START ビットは、CONVERSION\_CTRL レジスタが書き込まれる SPI フレームにおいて、 $\overline{CS}$  の立ち上がりエッジ (4 線式 SPI モード) または最後の SCLK の立ち下がりエッジ (3 線式 SPI モード) で有効になります。レジスタ書き込みコマンドの SPI フレームの詳細については、[レジスタ書き込みコマンド](#) セクションを参照してください。

DRDY が low の場合に START ビットを設定すると DRDY ピンは high に駆動されますが、新しい変換結果が利用可能になるまでは、古い変換データを引き続き読み出すことができます。

START ビットを使用して変換を開始または再開すると、デバイスは未安定な変換結果を内部で隠し、[デジタルフィルタのセトリングタイムおよび変換周期](#) に示すように、変換レイテンシ時間 ( $t_{LATENCY}$ ) にオプションの遅延時間 ( $t_{DELAY}$ ) を加えた後にのみ、安定した変換結果を提供します。それ以降のすべての変換は、変換周期  $t_{DATA} = 1 / f_{DATA} = OSR / f_{MOD}$  となります。

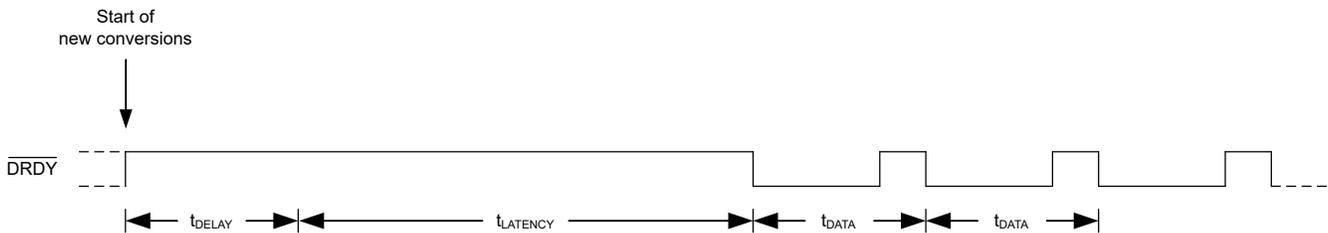


図 7-16. デジタルフィルタのセトリングタイムおよび変換周期

#### 7.4.2.3.2 シングルショット変換モード

シングルショット変換モードでは、START ビットが 1b に設定された後、ADC は 1 回のみ変換を実行します。変換が進行中に START ビットを設定すると、進行中の変換は中断され、新たに 1 回の変換が再開されます。シングルショット変換モードでは、STOP ビットは無効です。

連続変換モードと同様に、START ビットは、CONVERSION\_CTRL レジスタが書き込まれた SPI フレームにおいて、 $\overline{CS}$  の立ち上がりエッジ (4 線式 SPI モード) または最後の SCLK の立ち下がりエッジ (3 線式 SPI モード) で有効になります。レジスタ書き込みコマンドの SPI フレームの詳細については、[レジスタ書き込みコマンド](#) セクションを参照してください。

シングルショット変換モードの各変換は、変換レイテンシ期間 ( $t_{LATENCY}$ ) にオプションの遅延時間を加えた後に利用可能になります。変換処理中に入力がステップ状に変化した場合、変換結果が常に完全に整定するとは限りません。この場合、セトリングした変換結果を出力するには、以後のシングルショット変換が必要です。

## 7.5 プログラミング

### 7.5.1 シリアル インターフェイス (SPI)

シリアル インターフェイスは、変換データの読み取り、デバイスレジスタの構成、ADC 変換の制御に使用されます。

シリアル インターフェイスは、次の 4 本の信号線で構成されます： $\overline{CS}$ 、SCLK、SDI、 $\overline{SDO/DRDY}$  の 4 つの信号で構成されます。また、GPIO3 は専用の  $\overline{DRDY}$  出力ピンとして構成できます。ホストは常に SCLK を駆動し、デバイスはペリフェラルとして動作します。このインターフェイスは、SPI 構成 (CPOL = 0、CPHA = 1) のみをサポートしており、この構成では SCLK は Low でアイドルし、データは SCLK の立ち上がりエッジで更新され、SCLK の立ち下がりエッジでラッチされます。

このインターフェイスは全二重動作をサポートしているため、入力データと出力データを同時に送信できます。このインターフェイスは、複数の ADC をデジタイチェーン接続することもサポートしています。

### 7.5.2 シリアル インターフェイス信号

#### 7.5.2.1 チップ セレクト ( $\overline{CS}$ )

$\overline{CS}$  はアクティブ Low 入力で、インターフェイスの通信をイネーブルします。通信フレームは  $\overline{CS}$  を low にすると開始され、 $\overline{CS}$  を high にすると終了します。 $\overline{CS}$  が high にされると、シフトインされた総ビット数に関係なく、入力データの最後の 16 ビット (SPI CRC 有効時は 24 ビット) を解釈してフレームを終了します。 $\overline{CS}$  が high の間、SPI はリセットされ、コマンドは受け付けられず、 $\overline{SDO/DRDY}$  はハイインピーダンス状態になります。専用  $\overline{DRDY}$  ピンは、GPIO3 が  $\overline{DRDY}$  出力として構成されている場合、 $\overline{CS}$  の状態に関係なくアクティブ出力です。インターフェイスを 3 線式 SPI モードで動作させるには、 $\overline{CS}$  を low に接続します。

#### 7.5.2.2 シリアル クロック (SCLK)

SCLK は、ADC との間でデータのシフトイン / シフトアウトを行うために使用されるシリアル クロック入力です。SDO 上のデータは SCLK の立ち上がりエッジで更新され、SDI 上のデータは SCLK の立ち下がりエッジでラッチされます。SCLK はシュミットトリガ入力で、ノイズ耐性を高めるよう設計されています。SCLK はノイズ耐性がありますが、意図しない遷移を避けるため、可能な限りノイズがないようにしてください。SCLK 入力のリンギングとオーバーシュートを避けてください。SCLK ドライバに直列終端抵抗を挿入することで、リンギングを低減できます。

#### 7.5.2.3 シリアル データ入力 (SDI)

SDI は、シリアル インターフェイスのデータ入力です。デバイスにデータを入力するために使用されます。入力データは、SCLK の立ち下がりエッジでラッチされます。アクティブでないとき、アイドル SDI は High または Low です。

#### 7.5.2.4 シリアル データ出力 / データ準備完了 ( $\overline{SDO/DRDY}$ )

$\overline{SDO/DRDY}$  は、デュアル機能の出力ピンです。このピンは、出力データのみを供給するか、出力データとともにデータ準備完了の提示を行うようにプログラム可能です。SDO\_MODE ビットは、モードを選択します。デュアル機能モードでは、出力データとデータ準備完了の動作が単一のピンに多重化されます。このモードでは、専用  $\overline{DRDY}$  ピンの機能を置き換えることで、ホストとのインターフェイスに必要な SPI I/O ラインの数を減らすことができます。

SCLK の立ち上がりエッジで出力データが更新されます。 $\overline{SDO/DRDY}$  ピンは、 $\overline{CS}$  が high のときハイインピーダンス状態です。

デュアル機能モード (SDO\_MODE = 1b) に設定され、かつ  $\overline{CS}$  が low のとき、 $\overline{SDO/DRDY}$  は最初の SCLK 立ち上がりエッジまで  $\overline{DRDY}$  を反映します。その立ち上がりエッジの時点で、ピンはデータ出力を行うモードに切り替わります。データ読み取り動作が完了すると、このピンはミラーリング  $\overline{DRDY}$  に戻ります。図 7-17 は  $\overline{SDO/DRDY}$  ピンの動作を示しています。

出力データ専用モード (SDO\_MODE = 0b) では、ホストが最後のデータを SDO からシフトアウトした後に追加の SCLK パルスを送信しない場合、図 7-17 に示すように、SDO は最後に送信されたビットのレベルを保持します。

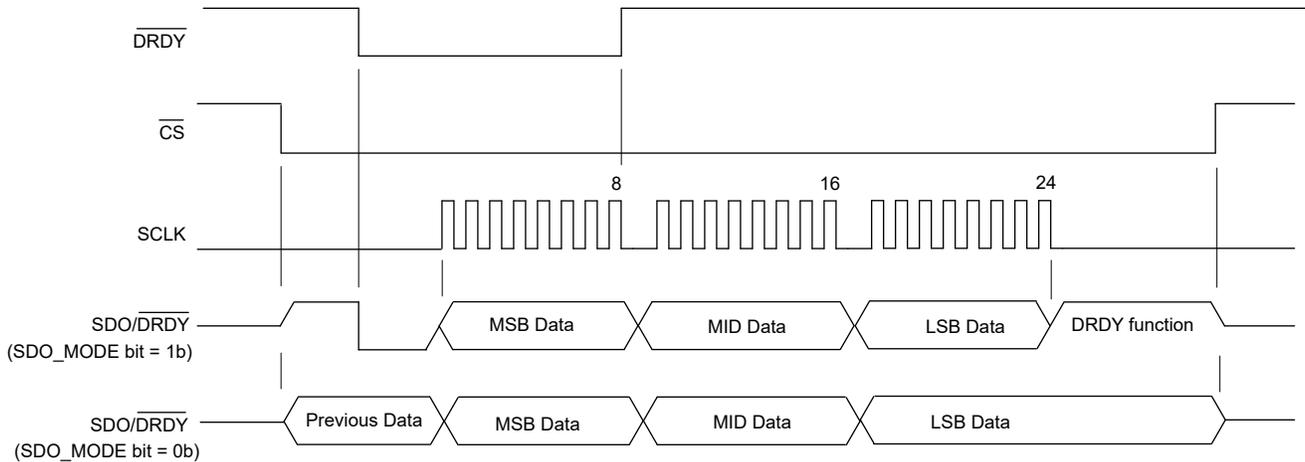


図 7-17.  $\text{SDO}/\overline{\text{DRDY}}$  および  $\overline{\text{DRDY}}$  の動作  
(24 ビット デバイス、ステータス ヘッダと CRC がディスエーブル)

#### 7.5.2.5 データ準備完了 ( $\overline{\text{DRDY}}$ ) ピン

$\text{GPIO3}$  は、専用の  $\overline{\text{DRDY}}$  出力ピンとして構成できます ( $\text{GPIO3\_CFG}[1:0] = 10\text{b}$  または  $11\text{b}$ 、 $\text{GPIO3\_SRC} = 1\text{b}$ )。  $\overline{\text{DRDY}}$  は、 $\overline{\text{CS}}$  が High か Low かにかかわらずアクティブ出力です。

$\overline{\text{DRDY}}$  は、変換が開始されたとき High に駆動され、変換データが準備完了したとき Low に駆動されます。図 7-17 に示すように、 $\overline{\text{DRDY}}$  は MSB の変換データ読み取り時の 8 番目の  $\text{SCLK}$  立ち下がりエッジで再び High になります。変換データが読み出されない場合、 $\overline{\text{DRDY}}$  は次の立ち下がりエッジの前に  $t_{\text{W(DRH)}}$  の期間だけ High にパルスします。変換が停止した後にデバイスがスタンバイモードに入るようにプログラムされている場合 ( $\text{STBY\_MODE}$  ビット =  $1\text{b}$ )、 $\overline{\text{DRDY}}$  は Low に遷移してから  $4t_{\text{MOD}}$  後に再び High に駆動されます。

$\overline{\text{DRDY}}$  ピンの動作の詳細については、[DRDY ピンの動作](#) セクションを参照してください。

### 7.5.3 シリアル インターフェイス通信構造

#### 7.5.3.1 SPI フレーム

シリアル インターフェイスによる通信は、フレームの概念に基づいています。フレームは、SDI 上でデータをシフトインする、または SDO 上でデータをシフトアウトするために必要な所定数の SCLK で構成されます。フレームは  $\overline{\text{CS}}$  を low にすると開始され、 $\overline{\text{CS}}$  を high にすると終了します。 $\overline{\text{CS}}$  が high にされると、デバイスは、デバイスにシフトインされたデータ量に関係なく、入力データの最後の 16 ビット (SPI CRC が有効な場合は 24 ビット) を解釈します。

このインターフェイスは全二重です。つまり、インターフェイスは SDO でデータを送信すると同時に、SDI でデータを受信できます。通常は、入力フレームが出力フレームのサイズと一致するよう、必要に応じて入力フレームを先行 0 でパディングします。ただし、SDO 上のデータを無視してデバイスへの書き込みのみを行う場合、フレームは最小サイズである 16 ビット (SPI CRC が有効な場合は 24 ビット) に短縮できます。図 7-18 および図 7-19 に、それぞれ 16 ビットおよび 24 ビット デバイスの代表的な通信フレーム構造を示します。これらの例では、変換データは SDO でシフトアウトされます。図に示すとおり、SDI 上のコマンド バイト (およびオプションの CRC-IN バイト) は、フレーム内で常に右寄せで配置されます。SDO 上のデータ バイト (およびオプションの ステータス ヘッダと CRC-OUT バイト) は、フレーム内で常に左寄せで配置されます。

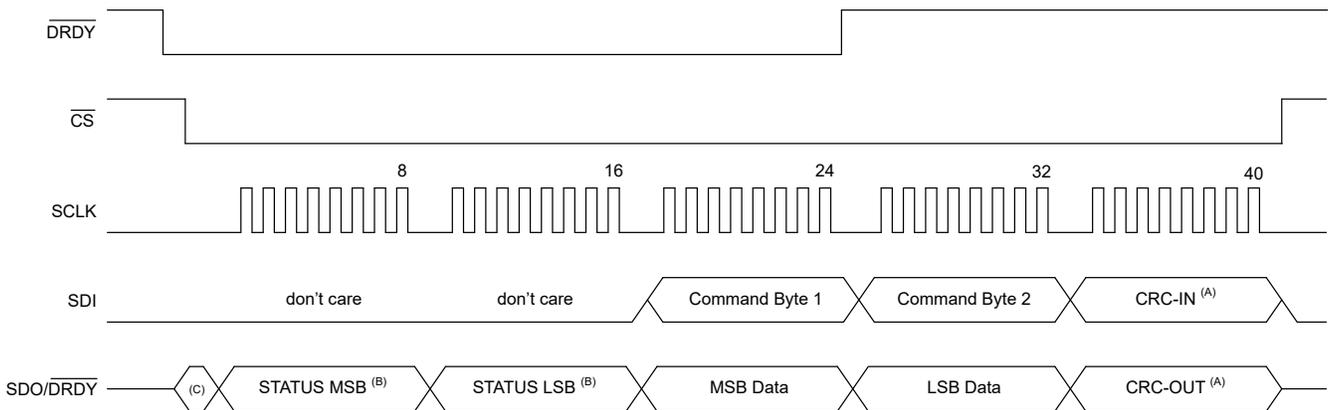
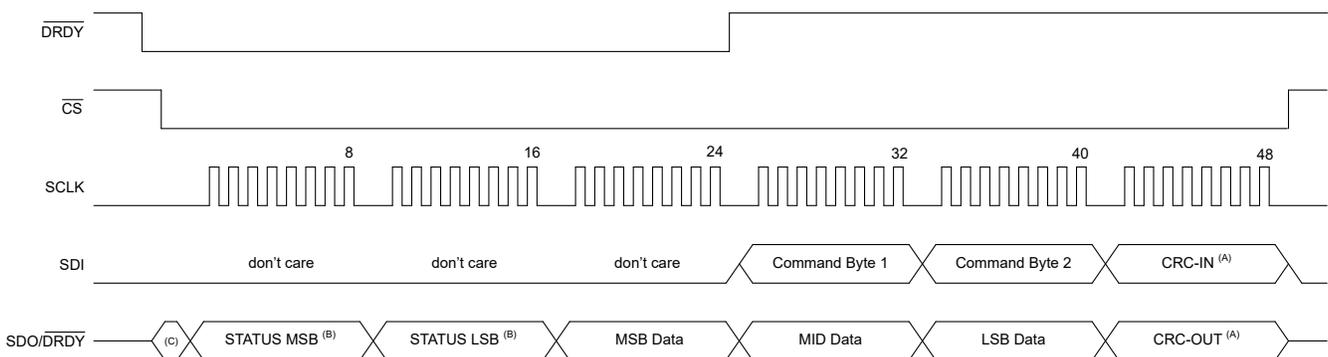


図 7-18. 代表的な通信フレーム (16 ビット デバイス)



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
- B. オプションの ステータス ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。

- C. SDO\_MODE = 0b の場合、SDO/ $\overline{\text{DRDY}}$  の以前の状態は、SCLK が開始するまで保持されます。それ以外の場合、SDO/ $\overline{\text{DRDY}}$  は  $\overline{\text{DRDY}}$  に従います。

**図 7-19. 代表的な通信フレーム (24 ビット デバイス)**

表 7-9 に示すとおり、出力フレーム サイズは、データ分解能 (16 ビットまたは 24 ビット)、オプションの ステータス ヘッダ (2 バイト)、およびオプションの CRC バイトによって決まります。

**表 7-9. 出力フレームのサイズ**

分解能	ステータス ヘッダ	CRC バイト	フレーム サイズ
16 ビット	なし	なし	16 ビット
16 ビット	なし	あり	24 ビット
16 ビット	あり	なし	32 ビット
16 ビット	あり	あり	40 ビット
24 ビット	なし	なし	24 ビット
24 ビット	なし	あり	32 ビット
24 ビット	あり	なし	40 ビット
24 ビット	あり	あり	48 ビット

4 線式 SPI モードでは、表 7-9 に示されているフレームサイズを超えてフレームを拡張すると、デバイスはフレームの開始時に SDI でシフトインされた SDO 上でデータのシフトアウトを開始します。この動作は、[デジタイズ チェーン動作](#)セクションで説明されているように、デジタイズチェーン動作をサポートするためです。

連続読み取りモードは、4 線式 SPI モードで使用できます。このモードでは、CS の遷移なしに任意の数のレジスタデータを取得でき、フレームが追加データに対応するために拡張されます。詳細については、[連続読み取りモード](#)セクションを参照してください。連続読み取りモードでは、出力フレーム サイズは無制限で

3 線式 SPI モードでは、SPI の同期を維持するため、入力フレームは表 7-9 に示す出力フレームのサイズと一致している必要があります。詳細については、[3 線式 SPI モード](#)セクションを参照してください。

### 7.5.3.2 ステータス ヘッダ

ADS1x2S14 は、SDO の各フレームの最初の 2 バイトとして、オプションの ステータス ヘッダを出力します。STATUS\_EN ビットを使用して、ステータス ヘッダの送信をイネーブルします。16 ビットの ステータス ヘッダは、STATUS\_MSB[7:0] と STATUS\_LSB[7:0] の各レジスタビットを連結したものです。故障フラグ、DRDY ビット、GPIO 入力データ、変換カウンタ、は、すべてこれらのビットの一部です。詳細については、[モニタおよびステータス フラグ](#)およびレジスタセクションおよびセクションの該当するレジスタビットの説明を参照してください。

### 7.5.3.3 SPI の CRC

SPI の巡回冗長検査 (CRC) は、ホスト コントローラとの間で行われる通信における伝送エラーを検出するためのチェックコードです。CRC-IN バイトは、ホストによって ADC の入力データとともに SDI 上で送信され、CRC-OUT バイトは、デバイスによって出力データとともに SDO 上で送信されます。SPI CRC をイネーブルするには、SPI\_CRC\_EN ビットを使用します。さらに、STATUS\_EN ビットを使用して ステータス ヘッダの送信を有効にすることで、SPI 入力 CRC フォルトが発生した場合に通知を受けることができます。

CRC-IN コードは、ホストによって 2 つのコマンド バイトに対して計算されます。フレームの先頭にパディングされる入力バイトは、CRC-IN の計算に含まれません。ADC は、受信した 2 バイトの入力コマンドに基づいて内部で計算したコードと、入力コマンドの CRC-IN コードを照合します。CRC-IN コードが一致しない場合、コマンドは実行されず、SPI\_CRC\_FAULTn ビットが 0b に設定されます。

SPI\_CRC\_FAULTn ビットは ステータス ヘッダの一部として出力され、前のフレームで CRC エラーが発生したことを即座に示します。SPI\_CRC\_FAULTn ビットは、現在のフレームで SPI CRC エラーが発生していない場合、次の SPI フレームで自動的にクリアされます。

出力 CRC コードの計算に使用されるバイト数は、SDO 上のフレームで送信されるデータ バイト数に依存します。表 7-10 は、出力 CRC 計算に含まれるバイト数を示します。

表 7-10. 出力 CRC でカバーされるデータ

アクション	N デバイスの分解能	ステータス ヘッダが有効です	バイト数	出力 CRC の対象データ
変換データの読み取り	16 ビット	なし	2	16 ビットの変換データ
変換データの読み取り	16 ビット	あり	4	16 ビット ステータス ヘッダ + 16 ビットの変換データ
レジスタ データ読み取り	16 ビット	なし	2	8 ビットのレジスタ データ + 8 ビットのアドレス バイト
レジスタ データ読み取り	16 ビット	あり	4	16 ビットのステータス ヘッダ + 8 ビットのレジスタ データ + 8 ビットのアドレス バイト
変換データの読み取り	24 ビット	なし	3	24 ビットの変換データ
変換データの読み取り	24 ビット	あり	5	16 ビット ステータス ヘッダ + 24 ビットの変換データ
レジスタ データ読み取り	24 ビット	なし	3	レジスタ データの 8 ビット + 8 ビット アドレス バイト + 00h のパディングの 8 ビット
レジスタ データ読み取り	24 ビット	あり	5	16 ビットの ステータス ヘッダ + 8 ビットのレジスタ データ + 8 ビットのアドレス バイト + 8 ビットの 00h パディング

CRC コードの計算は、可変長の引数と CRC 多項式とのビット単位の排他的論理和 (XOR) 演算によって得られる 8 ビットの剰余です。CRC は、CRC-8-ATM (HEC) 多項式に基づいています： $X^8 + X^2 + X^1 + 1$  に基づいています。この多項式には、9 つの係数として 100000111.CRC 計算は、SDI および SDO/DRDY が High または Low に固着した場合にエラーを検出するため、すべて 1 に初期化されます。

CRC 計算を視覚的に示したものを、図 7-20 に示します。CRC の値は、次の手順で計算します：

- CRC 多項式 (07h) に対応する位置に XOR ブロックを備えた 8 ビット シフトレジスタを、シード値 FFh でプリロードします。
- すべてのデータ ビットを最上位ビット (MSB) から順にシフトし、各ビットの後にシフトレジスタ値を再計算します。
- すべてのデータ ビットをシフトインした後のシフトレジスタの値が、計算された CRC 値です。

ここでダウンロードできる C のサンプル コードには、潜在的な CRC 実装が含まれています。

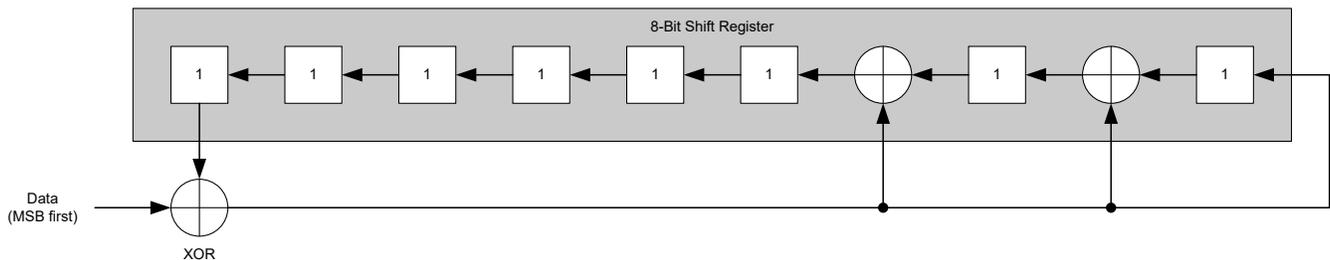


図 7-20. CRC 計算の視覚的な表現

## 7.5.4 デバイスのコマンド

レジスタのデータの読み取りと書き込みのため、コマンドが使用されます。レジスタ マップは、読み出しおよび書き込み操作でアクセス可能な 1 バイト (8 ビット) のレジスタ群で構成されています。入力コマンド シーケンスの最小フレーム長は 16 ビットです (SPI CRC が有効な場合は 24 ビット)。必要に応じて、入力コマンド シーケンスは、出力データ フレームの長さに合わせるため、先頭に 0 をパディングできます。SPI CRC が有効な場合、デバイスはフレーム末尾の CRC-IN バイトの直前にある 2 バイトをコマンド バイトとして解釈します。ADS1x2S14 のデバイス コマンドを、表 7-11 に示します。

表 7-11. SPI コマンド

説明	BYTE 1	BYTE 2	バイト 3 (オプションの CRC-IN バイト)
動作なし (変換データの読み取り)	00h	00h	D7h
レジスタ読み取りコマンド	40h + アドレス[3:0]	未使用	バイト 1 とバイト 2 の CRC-IN
レジスタ書き込みコマンド	80h + アドレス[3:0]	レジスタ データ	バイト 1 とバイト 2 の CRC-IN

このデバイスは、標準のコマンド長よりも長い特殊な拡張長ビット パターンをサポートしています。これらのパターンは、ADC のリセットおよび 3 線式 SPI モードにおけるフレームのリセットに使用されます。拡張ビット パターンについては、「SPI の入力パターンによるリセット」と「3 線式 SPI モード」の説明を参照してください。

コマンドがデバイスにラッチされるタイミングは、SPI モードによって異なります:

- 4 線式 SPI モード:  $\overline{CS}$  の立ち上がりエッジ
- 3 線式 SPI モード: SPI フレームの最後の SCLK 立ち下がりエッジ (CRC モードでは CRC-OUT バイトを含む)

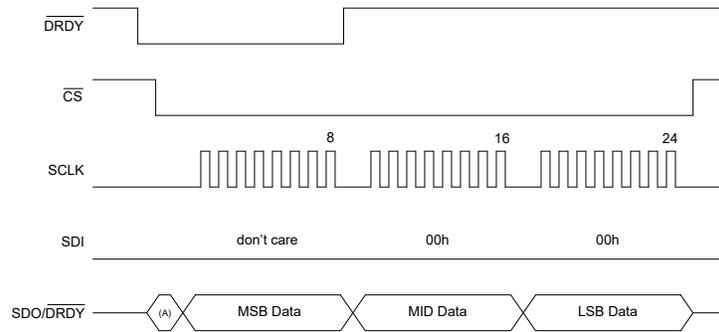
### 7.5.4.1 動作なし (変換データの読み取り)

無動作コマンドは、バイト 00h と 00h です。同時にレジスタの読み取りまたは書き込みコマンドを送信しない場合は、このコマンドを使用して変換データを読み取ります。SPI CRC チェックがイネーブルなら、CRC バイトが必要です (バイト 3)。これは、00h と 00h のバイトでは常に D7h です。データの読み戻し中、SDI は Low に保持できますが、CRC モードでは SPI\_CRC\_FAULTn ビットが 0b に設定されます。変換データの読み取り中は SPI\_CRC\_FAULTn フラグは無視でき、新しい SPI フレームごとに更新されます。

変換データはバッファされるため、次の  $\overline{DRDY}$  立ち下がりエッジの前に、最大  $1 f_{MOD}$  クロック サイクルまでデータを読み取ることができます。次の変換データが準備されるまで、変換データは複数回読み取ることができ、内容が破損することはありません。前のフレームでレジスタ読み取りコマンドが送信された場合、変換データの代わりにレジスタ データが出力されます。

$\overline{DRDY}$  は、変換データの読み取り時、つまり変換データの MSB バイトの送信が完了した時点で、8 番目の SCLK 立ち下がりエッジで high に戻ります。

図 7-21 は、STATUS ヘッダおよび CRC バイトを無効にした状態で、1 24 ビットの変換データを読み取る例を示しています。

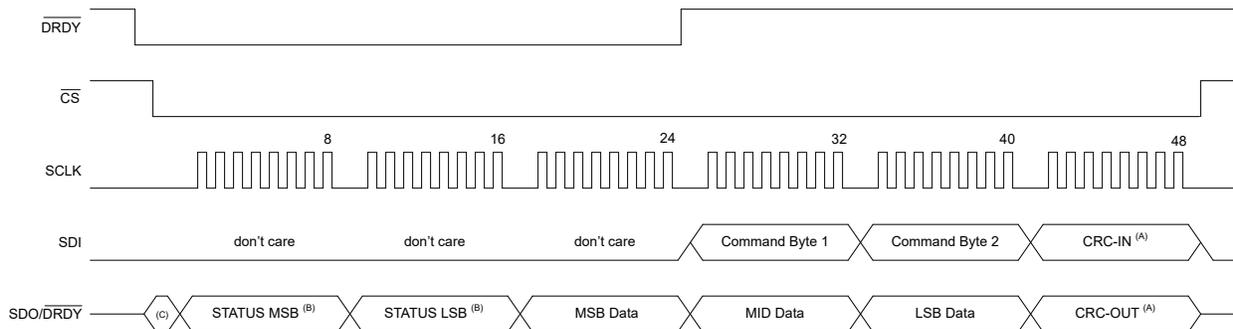


- A. SDO\_MODE = 0b の場合、SDO/DRDY の以前の状態は、SCLK が開始するまで保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-21. 変換データの読み取り (24 ビット デバイス、ステータス ヘッダ、CRC がディセーブル)

図 7-22 は、STATUS ヘッダと CRC バイトがイネーブルのときの変換データの読み取り動作の例です。この例は、オプションの全二重伝送を使用し、変換データの出力と同時にコマンドを入力できるようにする方法も示しています。入力コマンドが必要ない場合、入力バイトは 00h、00h、D7h です。出力の CRC (CRC-OUT) コードの計算には、STATUS ヘッダが含まれます。

DRDY は、変換データの MSB バイトの送信が完了する 24 番目の SCLK 立ち下がりエッジで High に戻されます。これは、データが完全に読み出されなかった場合、つまり変換データの MSB バイトの送信後からフレーム終了前の任意のタイミングで読み出し動作を停止した場合でも同様です。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。  
 B. オプションのステータス ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。  
 C. SDO\_MODE = 0b の場合、SDO/DRDY の以前の状態は、SCLK が開始するまで保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-22. 変換データの読み取り (24 ビット デバイス、STATUS ヘッダおよび CRC 有効)

変換データは、DRDY と非同期に読み取ることができます。ただし、DRDY の立ち下がりエッジの近くで変換データを読み取った場合、以前のデータと新しいデータのどちらが出力されるかは不確定です。SCLK のシフト動作が、DRDY の立ち下がりエッジよりも少なくとも 1 f<sub>MOD</sub> クロック サイクル前に開始すると、古いデータが提供されます。シフト動作が、DRDY の少なくとも 1 f<sub>MOD</sub> クロック サイクル後に開始すると、新しいデータが出力されます。いずれの場合も、データは破損していません。STATUS ヘッダの送信が有効な場合、DRDY ビットは、現在のフレームで送信されているデータが古いデータ (以前に読み取られたデータ、DRDY = 0b) か、新しいデータ (DRDY = 1b) かを示します。

#### 7.5.4.2 レジスタ読み取りコマンド

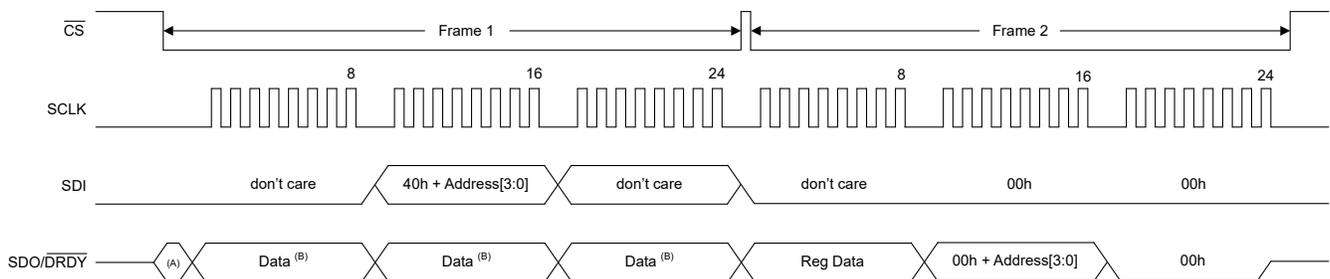
レジスタ データを読み取るには、レジスタ読み取りコマンドを使用します。このコマンドは 2 フレーム プロトコルに従っており、1 つ目のフレームで読み取りコマンドが送信され、次のフレームで ADC がレジスタ データを応答します。コマンドの最

初のバイトは、4ビットのレジスタアドレスにベースコマンド値 (40h) を追加したものです。2番目のコマンドバイトの値は任意ですが、最初のバイトとまとめてCRCが計算されます。

図 7-23 は、ステータスヘッダおよびCRCを無効にした状態で、24ビットデバイスのレジスタデータを読み出す例を示しています。フレーム1はコマンドフレーム、フレーム2はデータ応答フレームです。 $\overline{CS}$ をHighにすると、フレームは分割されます。データ応答フレームでは、要求されたレジスタデータバイトに続いて、レジスタアドレス表示バイト、および24ビットフレームを完成させるための00hのパディングバイトが返されます。レジスタデータは最上位ビットファーストで配置されています。4ビットのレジスタアドレスは、レジスタアドレス表示バイト内で右寄せされ (MSB側は0000bでパディング)、配置されています。必要に応じて、 $\overline{CS}$ をHighにすることで、レジスタデータバイトの後でデータ応答フレームを短縮できます。

有効なアドレス範囲外のレジスタアドレスを読み出した場合、レジスタデータとして00hが返され、エラーを示すためにレジスタアドレス表示バイトにはFFhが返されます。

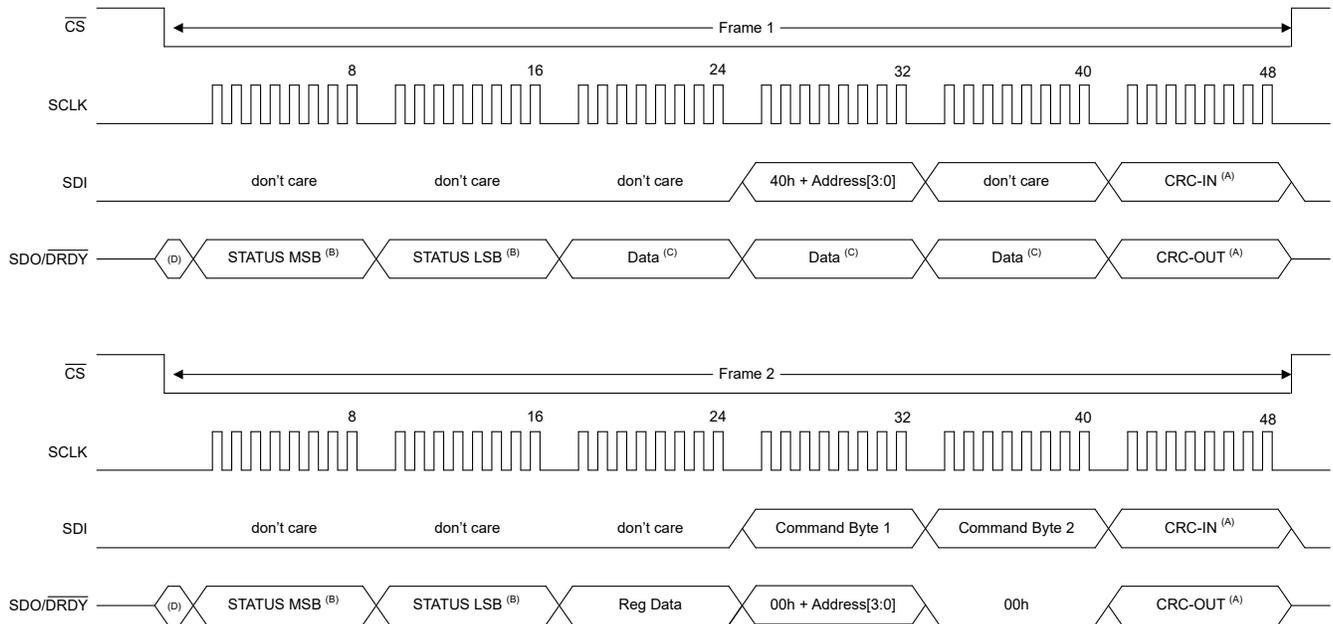
複数のレジスタを読み出す場合、前のレジスタのデータ応答フレーム中に次のレジスタ読み取りコマンドを入力することでフルデュプレックス動作を使用でき、レジスタ読み取り操作のスループットを2倍にできます。



- A. 最初の SCLK より前の SDO/DRDY の以前の状態。
- B. データは、24ビットの変換データ、もしくは前のフレームでレジスタ読み取りコマンドが送信されている場合は、レジスタデータバイト + アドレス表示バイト + 00h のパディングから成るデータフィールドになります。

### 図 7-23. レジスタデータの読み取り (24ビットデバイス、ステータスヘッダ、CRCがディスエーブル)

ステータスヘッダとCRCがイネーブルの24ビットデバイスのレジスタ読み取り動作の例を、図 7-24 に示します。フレーム1では、前のフレームがレジスタ読み取りコマンドでない場合、レジスタ読み取りコマンドの入力と同時に変換データが出力されます。入力コマンドには、出力データフレームの長さと同じ長さの無意味なバイトがパディングされます。パディングされた入力バイトは、CRC-INコードの計算から除外されます。フレーム2では、要求されたレジスタデータの出力と同時に、次のコマンドが入力される様子を示しています。CRC-OUTコードには、データ出力フレーム内のすべての先行バイトが含まれています。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
- B. オプションの ステータス ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。
- C. 直前の動作内容に応じて、データフィールドは変換データ、またはレジスタ データ バイト + アドレス指示バイト +  $00h$  のパディングのいずれかになります。
- D. 最初の SCLK より前の SDO/ $\overline{DRDY}$  の以前の状態。

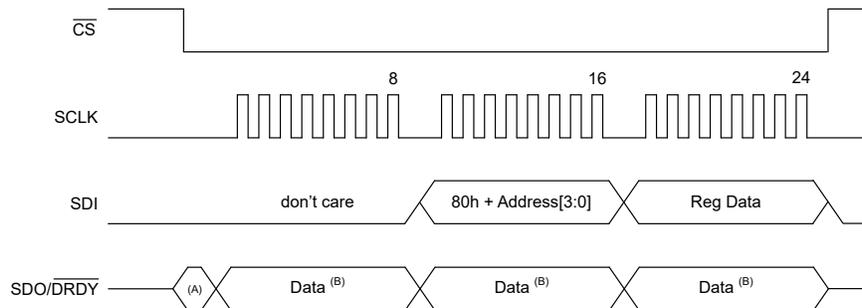
**図 7-24. レジスタ データの読み取り (24 ビット デバイス、ステータス ヘッダ、CRC がイネーブル)**

### 7.5.4.3 レジスタ書き込みコマンド

レジスタ データを書き込むには、書き込み レジスタ コマンドを使用します。レジスタ書き込みの動作は、単一のフレームで実行されます。コマンドの最初のバイトは、4 ビットのレジスタ アドレスに追加されたベース値 (80h) です。コマンドの 2 番目のバイトはレジスタのデータです。

有効なアドレス範囲外のレジスタに書き込みを行った場合、その書き込みは無視され、エラーを示すために REG\_WRITE\_FAULTn ビットが 0b に設定されます。

ステータス ヘッダと CRC がディセーブルの 24 ビット デバイスのレジスタ書き込み動作の例を、[図 7-25](#) に示します。同時に変換データを読み出す必要がなく、一連のレジスタを設定する場合には、スループットを向上させるために短縮された 16 ビット フレームを使用できます。短縮された SPI フレームは、3 線式 SPI モードや、デバイスをダイジーチェーンで動作させる場合は使用できません。

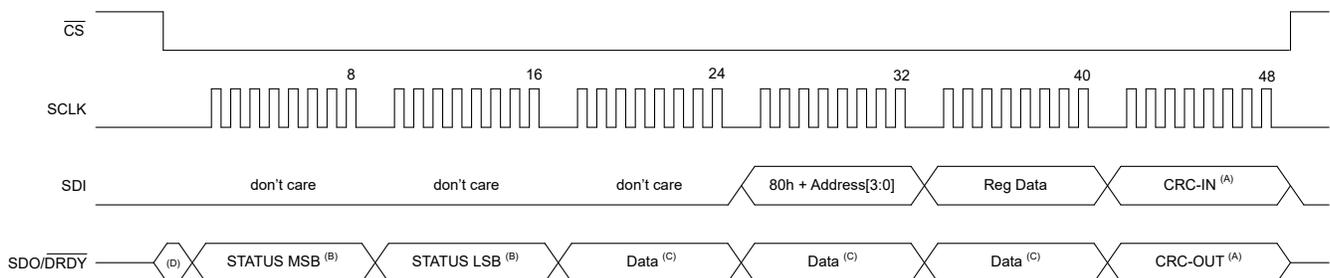


- A. 最初の SCLK より前の SDO/DRDY の以前の状態。
- B. データは変換データ、または前のフレームで読み出しレジスタ コマンドが送信されている場合は、レジスタ データ バイト、アドレス 表示 バイト、および 00h のパディングで構成されます。

**図 7-25. レジスタ データの書き込み (24 ビット デバイス、ステータス ヘッダ、CRC がディセーブル)**

ステータス ヘッダと CRC がイネーブルの 24 ビット デバイスのレジスタ書き込み動作の例を、[図 7-26](#) に示します。全二重動作で、コマンドの入力と変換データの出力が同時に行われることも示しています。入力フレームには、出力フレームと一致するよう先頭に 3 つの未使用バイトが付加されているため、すべての変換データ バイトが送信されます。同時に変換データを読み出す必要がなく、一連のレジスタを設定する場合には、スループットを向上させるために短縮された 24 ビット フレームを使用できます。

レジスタ書き込みが正常に行われたことは、レジスタ データを読み戻すか、入力 CRC エラーを示す SPI\_CRC\_FAULTn ビットを確認することで検証します。SPI\_CRC の入力エラーが発生した場合、次のフレームで SPI\_CRC\_FAULTn フラグが 0b と読み取られ、書き込み動作は無視されます。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
- B. オプションの ステータス ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。
- C. データフィールドは変換データ、または前のフレームで読み出しレジスタ コマンドが送信されている場合は、レジスタ データ バイト、アドレス 表示 バイト、および 00h のパディングで構成されます。

D. 最初の SCLK より前の SDO/DRDY の以前の状態。

### 図 7-26. レジスタ データの書き込み (24 ビット デバイス、ステータス ヘッド、CRC がイネーブル)

次のレジスタに書き込みを行うと (同じ値を書き込んだ場合でも)、進行中の変換は停止され、デジタル フィルタがリセットされ、更新されたデバイス設定を用いて変換が再開されます:

- DEVICE\_CFG (アドレス 05h)
- DATA\_RATE\_CFG (アドレス 06h)
- MUX\_CFG (アドレス 07h)
- GAIN\_CFG (アドレス 08h)
- REFERENCE\_CFG (アドレス 09h)
- DIGITAL\_CFG (アドレス 0Ah)

このデバイスの動作は、例えば最小限の通信オーバーヘッドで複数チャンネルをマルチプレクシングする場合に役立ちます。そのため、このデバイスを連続変換モードで動作させます。START ビットを使用して、最初の測定チャンネルで変換を開始します。変換が完了した後、MUX\_CFG レジスタに新しいマルチプレクサ設定を書き込み、測定対象として 2 番目のチャンネルを選択します。MUX\_CFG レジスタへの書き込み中に、最初の測定チャンネルの変換データを同時に読み取ります。書き込みレジスタ コマンドがデバイスにラッチされると、デバイスは 2 番目の測定チャンネルで変換を開始します。

デバイスがスタンバイ モードまたはアイドル モードのとき、上記のレジスタに書き込むと、変換は開始されません。

### 7.5.5 連続読み取りモード

ADS1x2S14 は連続読み取りモードを備えています。連続読み取りモードでは、 $\overline{\text{CS}}$  の遷移なしに任意の数のレジスタ データを取得でき、追加データに対応するためにフレームが拡張されます。これにより、大量のレジスタ データを読み取る処理が簡素化され、 $\overline{\text{CS}}$  ラインを制御するマイコン パリフェラルのオーバーヘッドが低減されます。

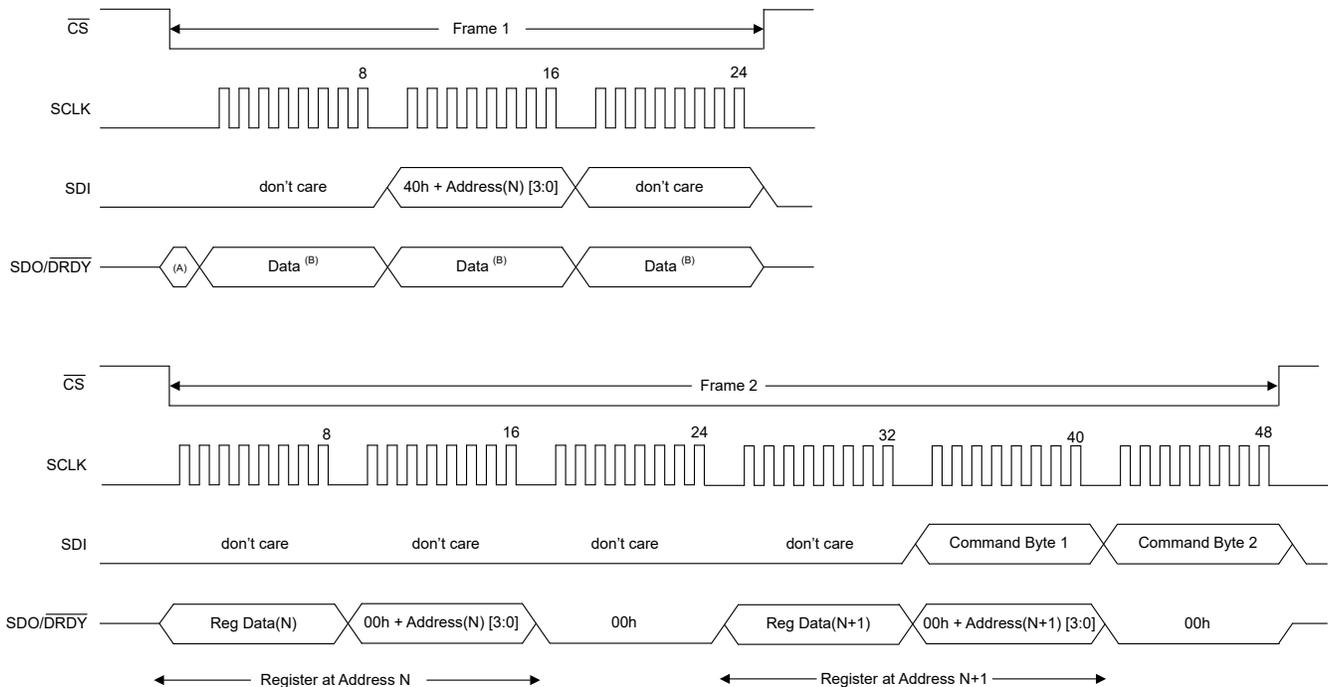
CONT\_READ\_EN ビットをセットすると、連続読み取りモードが有効になります。SPI は、CONT\_READ\_EN ビットを 0b から 1b に変更した SPI フレームの次のフレームから、連続読み取りモードに切り替わります。

CONT\_READ\_EN ビットを 0b に戻すと、SPI は単一読み取りモードに戻ります。

#### 7.5.5.1 連続読み取りモードでのレジスタの読み取り

連続読み取りモードでは、[レジスタ読み取りコマンド](#)セクションで説明されているように、同じコマンド フレームを使用してレジスタのデータを読み取ります。データ応答フレームは、 $\overline{\text{CS}}$  が High に戻されたタイミングに応じて、1 つまたは複数のレジスタ データ バイトを返します。最初のレジスタ データ バイトは、コマンド フレームで指定されたアドレスから読み出されます。その後、後続のレジスタ読み取りごとに、レジスタ アドレスは自動的に 1 ずつインクリメントされます。これは、次のレジスタ アドレスが無効なレジスタを指している場合にも当てはまります。有効なアドレス範囲外のレジスタに対する応答は、データ バイトが 00h、アドレス インジケータ バイトが FFh となります。

図 7-27 は、STATUS ヘッダおよび CRC を無効にした状態で、24 ビット デバイスにおける連続読み取りモードのレジスタ データ読み出し例を示します。この例では、2 つの連続するレジスタ N および N+1 の読み出しを示していますが、追加のクロック周期で  $\overline{\text{CS}}$  を Low に保持すると、任意の数のレジスタを読み出すことができます。

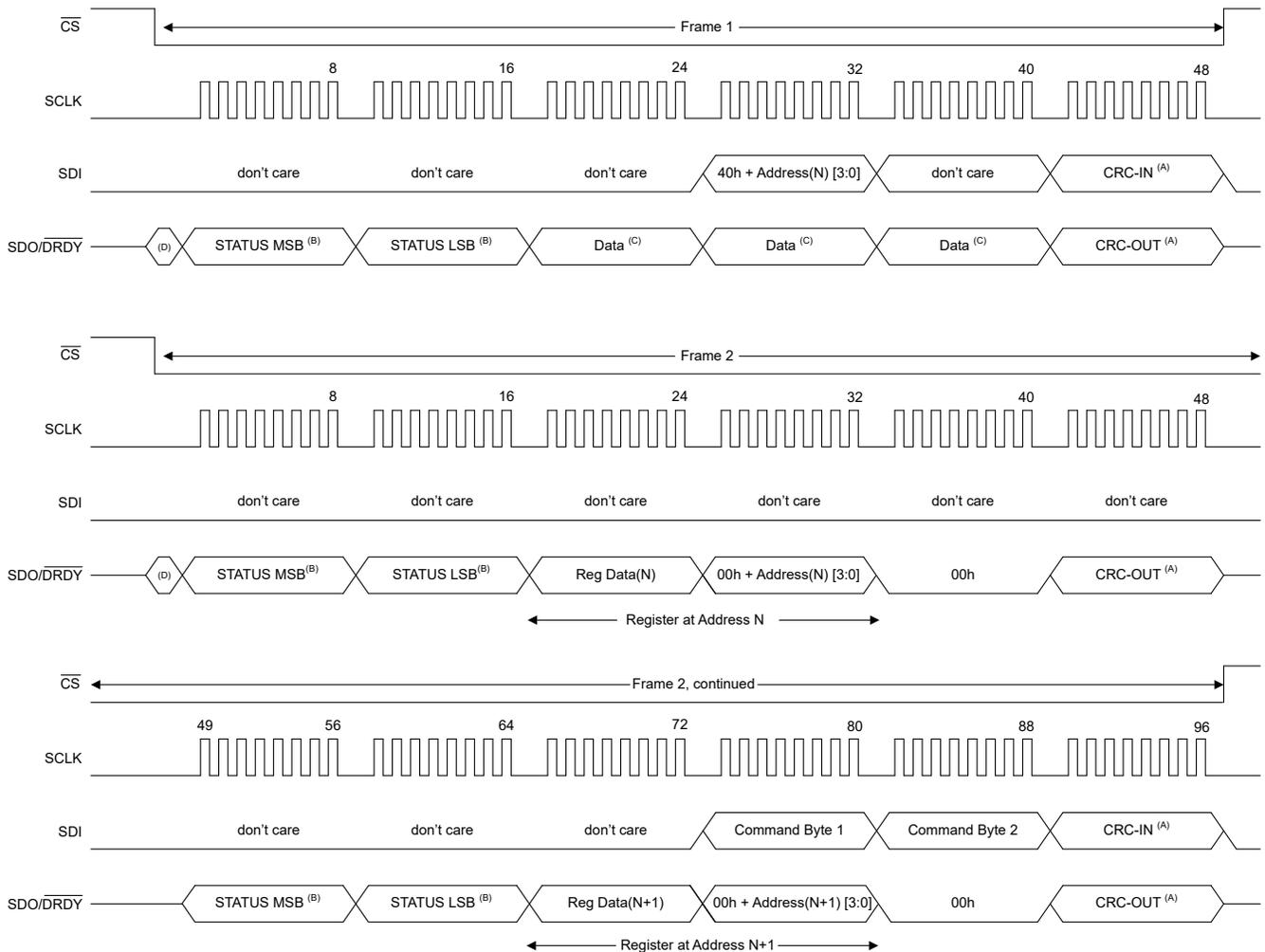


- A. 最初の SCLK より前の SDO/DRDY の以前の状態。
- B. 直前の動作内容に応じて、データフィールドは変換データ、またはレジスタ データ バイト + アドレス バイト + 00h のパディングのいずれかになります。

**図 7-27. 連続読み取りモードでのレジスタ データの読み取り  
 (24 ビットデバイス、STATUS ヘッダ、CRC がディセーブル)**

図 7-28 は、STATUS ヘッダおよび CRC を有効にした状態で、24 ビット デバイスにおける連続読み取りモードのレジスタ読み出し動作の例を示します。入力および出力フレームでは、[レジスタ読み取りコマンド](#)セクションで説明しているように、データ フレーム プロトコルと一致するために、無意味なバイトと 00h のパディング バイトが使用されます。この例で

は、2 つの連続するレジスタ N および N+1 の読み出しを示していますが、追加のクロック周期で  $\overline{CS}$  を Low に保持すると、任意の数のレジスタを読み出すことができます。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
- B. オプションの ステータス ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。
- C. 直前の動作内容に応じて、データフィールドは変換データ、またはレジスタ データ バイト + アドレス バイト + 00h のパディングのいずれかになります。
- D. 最初の SCLK より前の SDO/DRDY の以前の状態。

**図 7-28. 連続読み取りモードでのレジスタ データの読み取り (24 ビットデバイス、STATUS ヘッダ、CRC がイネーブル)**

### 7.5.6 デイジーチェーン動作

複数の ADC を使用するシステムでは、SPI 接続数を削減するために、デバイスをデイジーチェーン接続することができます。デイジーチェーン接続では、あるデバイスの SPI 出力 (SDO) を次のデバイスの SPI 入力 (SDI) に接続し、チェーン内のデバイスグループがホストコントローラからは単一の論理デバイスとして見えるようになります。デイジーチェーン動作に特別なプログラミングは必要ありません。追加のシフトクロックを適用して、チェーン内のすべてのデバイスにアクセスします。動作を簡素化するため、各デバイスには同じ SPI フレームサイズを設定してください (例えば、すべてのデバイスで CRC オプションを有効にすることで、16 ビット デバイスでは 24 ビット、24 ビット デバイスでは 32 ビットのフレームサイズになります)。

デイジーチェーン構成で接続された 4 台のデバイスを、[図 7-29](#) に示します。ADS1x2S14 (1) の SDI はホストの SPI データ出力に接続され、ADS1x2S14 (4) の SDO/DRDY はホストの SPI データ入力に接続されます。シフト動作は、チェーン内のすべてのデバイスで同時に行われます。各 ADC が変換データをシフトアウトすると、SDI のデータが SDO/DRDY に出現し、チェーン内の次のデバイスの SDI を駆動します。シフト動作は、チェーン内の最後のデバイスに到達するまで続けられます。 $\overline{CS}$  が High になると、SPI フレームは終了します。この時点で、各デバイスにシフトインされたデータが解釈されます。デイジーチェーン動作の場合、SDO/DRDY ピンをデータ出力専用モード (SDO\_MODE = 0b) にプログラムし、連続読み取りモードをディスエーブルにします (CONT\_READ\_EN = 0b)。

各デバイスの SDO/DRDY ピンにプルアップ抵抗を DVDD に接続します。 $\overline{CS}$  が High のとき、SDO/DRDY はハイインピーダンスになります。したがって、プルアップ抵抗は、 $\overline{CS}$  が High のときにチェーン内の次のデバイスでのフローティング SDI 入力を避けるために使用されます。

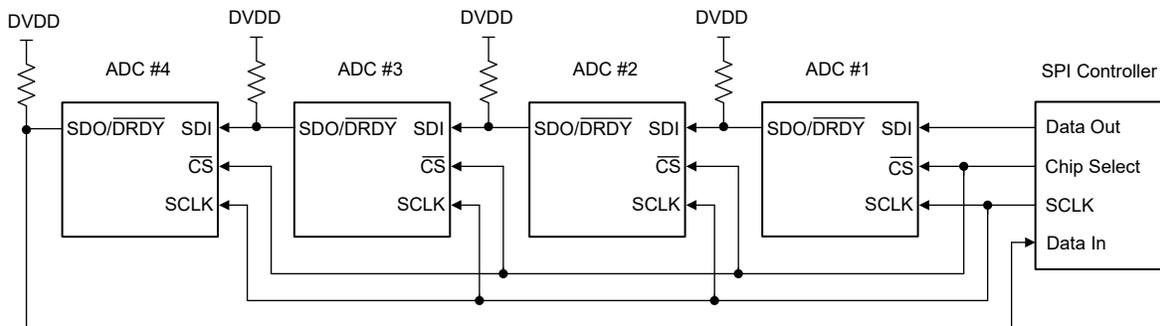


図 7-29. デイジーチェーン接続

デイジーチェーン接続された 4 つの 24 ビット デバイスのフレーム構造を、[図 7-30](#) に示します。このとき、STATUS ヘッダと CRC はディスエーブルです。

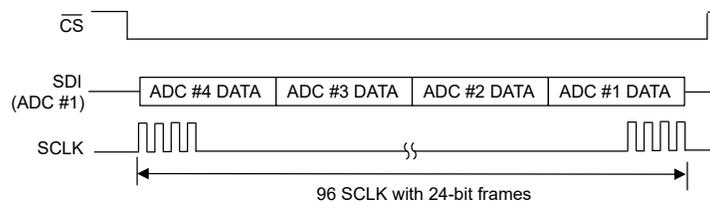
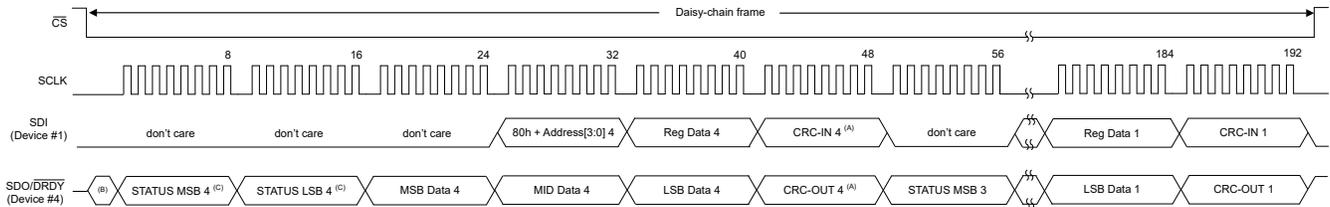


図 7-30. デイジーチェーンのデータ入力シーケンス  
 (4 つの 24 ビットデバイス、ステータス ヘッダと CRC がディスエーブル)

データを入力するため、ホストは最初に、チェーン内の最後のデバイス向けのデータをシフトインします。各 ADC の入力バイト数は、出力フレームサイズと一致するようにサイズ設定されています。デフォルトのフレームサイズは 24 ビット (24 ビット デバイスの場合) であるため、初期状態では各 ADC は、2 バイトのコマンドバイトの前にパディングバイトを 1 バイト付加した合計 3 バイトを必要とします。ADC #4 の入力データが最初にシフトインされ、その後に ADC #3 の入力データが続き、同様に順次シフトインされます。

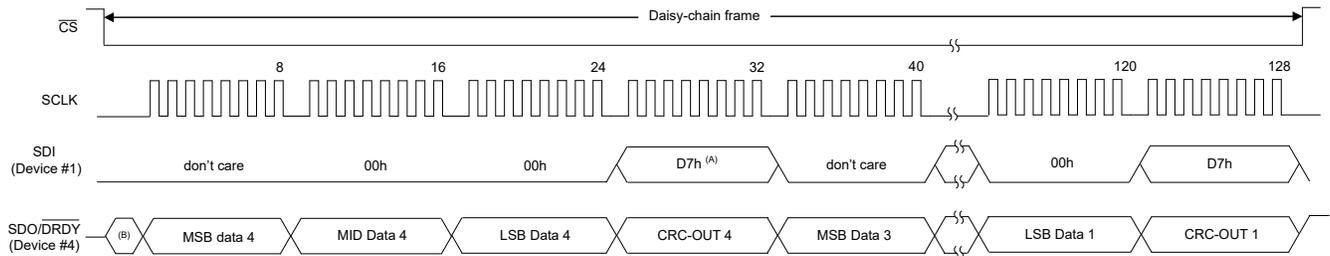
図 7-29 のデジチェーンにおけるレジスタの書き込み動作の詳細な入力データシーケンスを、図 7-31 に示します。各 ADC について 48 ビットフレームが示されています (ステータス ヘッダと CRC を有効にした場合の 24 ビットデータ)。コマンド動作は、ADC ごとに異なる場合があります。レジスタの読み取り動作では、レジスタのデータを読み取るために 2 番目のフレーム動作が必要です。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
- B. SCLK が適用される前の SDO/DRDY の以前の状態。
- C. オプションの ステータス ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。

図 7-31. デジチェーン接続時のレジスタ データ書き込み  
(24 ビット デバイス 4 個、STATUS ヘッダおよび CRC 有効)

図 7-29 に記載されているデバイス接続から変換データを読み取るためデータのシーケンスを 図 7-32 に示します。この例は、CRC を有効にした場合の 32 ビット出力フレーム (24 ビットデータ) を示しています。ADC (4) の変換データが最初にシフトアウトされ、その後 ADC (3) のデータが続き、同様に順次出力されます。データをシフトアウトするために必要な SCLK の総数は、フレームあたりのビット数 × チェーン内のデバイス数で決まります。この例では、出力フレームが 32 ビット × 4 つのデバイスで、合計クロック数は 128 です。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
- B. SCLK が適用される前の SDO/DRDY の以前の状態。

図 7-32. デジチェーン接続での変換データの読み取り  
(24 ビット デバイス 4 個、STATUS ヘッダ無効、CRC 有効)

式 13 で示されるように、デジチェーン構成で接続できるデバイスの最大数は、SCLK 信号の周波数、選択したデータレート、およびフレームあたりのビット数によって制限されます。

$$\text{Maximum devices in a chain} = \lfloor f_{\text{SCLK}} / (f_{\text{DATA}} \times \text{bits per frame}) \rfloor \quad (13)$$

たとえば、 $f_{\text{SCLK}} = 10\text{MHz}$ 、 $f_{\text{DATA}} = 64\text{kSPS}$  で、32 ビットのフレームが使用される場合、デジチェーン接続デバイスの最大数は以下のようになります： $\lfloor 10\text{MHz} / (64\text{kHz} \times 32) \rfloor = 4$ 。

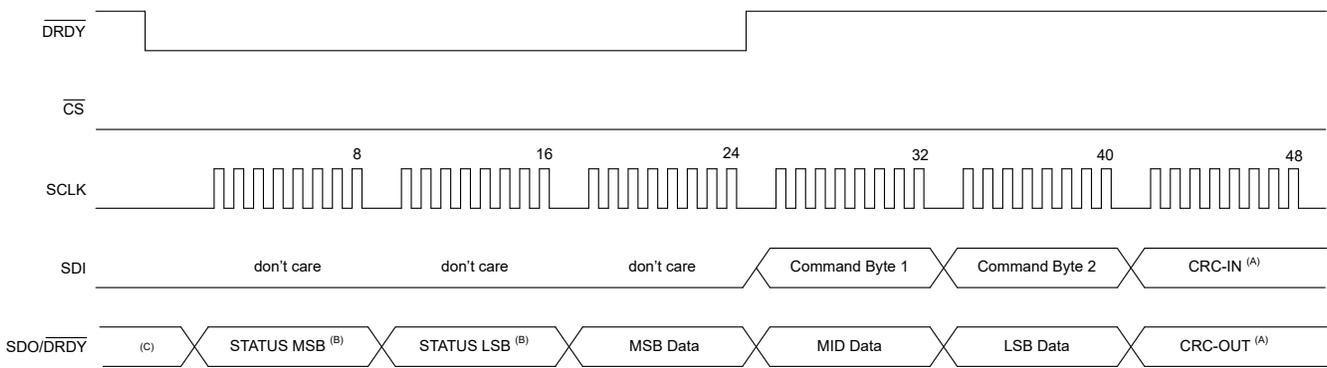
### 7.5.7.3 線式 SPI モード

$\overline{CS}$  ピンを GND に固定的に接続することで、本デバイスは 3 線式 SPI モードで動作させることができます。電源投入時またはリセット後に  $\overline{CS}$  が low に接続されると、デバイスは 3 線式 SPI モードで動作します。 $\overline{CS}$  を High にすると、デバイスは 4 線式 SPI モードに変更されます。

3 線式 SPI モードでは  $\overline{CS}$  がフレーム長を制御しなくなるため、ADC は SCLK のクロック数をカウントしてフレームの開始と終了を判断します。SCLK の数はホスト側で制御する必要があり、出力フレームのサイズと一致している必要があります。フレーム当たりのビット数は、デバイスの分解能および設定によって異なります。出力フレームのサイズを、表 7-9 に示します。フレーム タイミングは SCLK の数によって決定されるため、電源投入時に発生する可能性のあるような SCLK の意図しない遷移を避ける必要があります。

3 線式 SPI モードでは、4 線式モードと同じコマンド フォーマットとクロック供給がサポートされます。ただし、 $\overline{CS}$  のトグルはありません。3 線式 SPI モードでの変換データの読み取り例を、図 7-33 に示します。

3 線式 SPI モードではデバイスのデジチェーン接続は使用できず、連続読み取りモードも利用できません。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
- B. オプションの ステータス ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。
- C. SDO\_MODE = 0b の場合、SDO/ $\overline{DRDY}$  の以前の状態は、SCLK が開始するまで保持されます。それ以外の場合、SDO/ $\overline{DRDY}$  は  $\overline{DRDY}$  に従います。

図 7-33. 3 線式 SPI モードでの変換データの読み取り (24 ビット デバイス、ステータス ヘッダ、CRC がイネーブル)

#### 7.5.7.1.3 線式 SPI モードにおけるフレームの再整列

3 線式 SPI モードでは、意図しない SCLK によってフレームの揃いが崩れ、ホストとのフレーム同期が失われる可能性があります。図 7-34 に示すように、SPI の再整列パターンを送信することで、デバイスのリセットを行わずに SPI を再同期させることができます。再アライン パターンは、少なくとも 63 個の連続した 1 に続いて、64 番目の SCLK で 1 つの 0 を送信するものです。65 番目の SCLK は、新しい SPI フレームを開始します。このデバイスは、63 個を超える連続した 1 に続いて 1 つの 0 を送信する再整列パターンも受け付けます。その場合、新しいフレームは、その 0 の後の SCLK の立ち上がりエッジから開始されます。必要に応じて、SPI の入力パターンによるリセットセクションに示されているリセット パターンを使用することで、ADC を完全にリセットすることもできます。

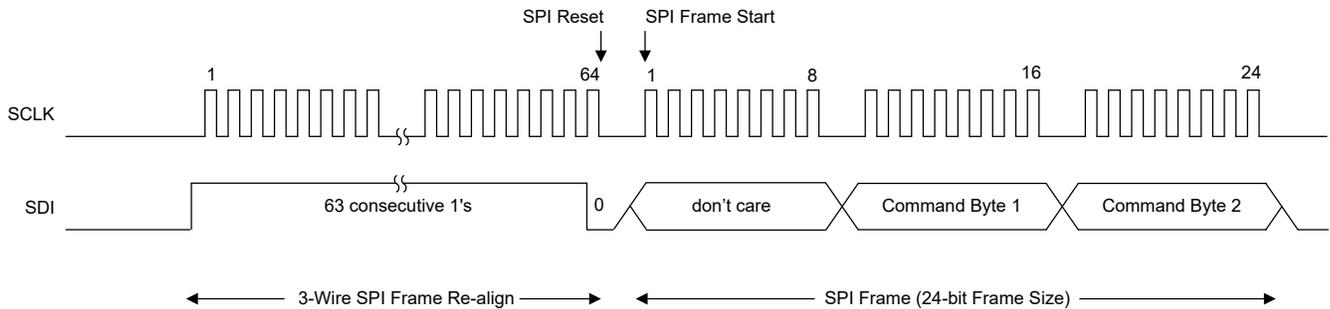


図 7-34. 3 線式モード SPI 再アラインパターン (24 ビットデバイス)

### 7.5.8 新しい変換データの監視

新しい変換データが読み取り可能になったタイミングを判断する方法はいくつかあります。

1.  $\overline{\text{DRDY}}$  または  $\text{SDO}/\overline{\text{DRDY}}$  ピンを監視します。
2.  $\text{STATUS}$  ヘッダの一部として送信される  $\text{DRDY}$  ビットおよび変換カウンタを評価します。
3. 外部クロックを使用したクロック カウント:  $\text{ADC}$  メインクロックの数をカウントし、データの準備完了を予測します。

#### 7.5.8.1 $\overline{\text{DRDY}}$ ピンまたは $\text{SDO}/\overline{\text{DRDY}}$ ピンの監視

$\overline{\text{DRDY}}$  は専用のデータ準備完了出力ピンで、 $\text{SDO}/\overline{\text{DRDY}}$  ピンはデュアル機能の出力ピンです。 $\overline{\text{DRDY}}$  ピンの説明については [データ準備完了 \( \$\overline{\text{DRDY}}\$ \) ピン](#) のセクションを、 $\text{SDO}/\overline{\text{DRDY}}$  ピンの説明については [シリアル データ出力 / データ準備完了 \( \$\text{SDO}/\overline{\text{DRDY}}\$ \)](#) のセクションを参照してください。

$\overline{\text{DRDY}}$  ピンの立ち下がりがエッジは、新しい変換が完了したことを示します。 $\overline{\text{DRDY}}$  ピンを、ホストコントローラの立ち下がりがエッジトリガ割り込み対応  $\text{GPIO}$  に接続します。ホストが  $\overline{\text{DRDY}}$  信号の立ち下がりがエッジを検出した後、ホストは次の  $\overline{\text{DRDY}}$  立ち下がりがエッジの前に変換データを読み取ります。割り込み対応  $\text{GPIO}$  が利用できない場合、ホストは  $\overline{\text{DRDY}}$  ピンレベルを監視できます。ロジック low レベルは、利用可能な最新の変換結果が読み出されていないことを示します。ロジック high レベルは、新しい変換結果が利用できず、最新の変換結果が以前に読み取られたことを示します。変換データは、データの破損の懸念なしに、いつでも読み取ることができます。

$\text{SDO\_MODE} = 1\text{b}$  設定でデュアル機能がイネーブルになっている場合、 $\text{SDO}/\overline{\text{DRDY}}$  ピンは専用の  $\overline{\text{DRDY}}$  ピンと同様に使用できます。ただし、 $\overline{\text{DRDY}}$  ピンとは対照的に、 $\text{SDO}/\overline{\text{DRDY}}$  ピンは  $\overline{\text{CS}}$  が low のときのみ駆動されます。つまり、ホストは  $\text{SDO}/\overline{\text{DRDY}}$  信号を評価するために  $\overline{\text{CS}}$  ラインをドロップする必要があります。

#### 7.5.8.2 $\text{DRDY}$ ビットと変換カウンタの読み取り

新しいデータが読み取り可能になったタイミングをソフトウェアで判定する方法の一つは、 $\text{STATUS}$  ヘッダの一部として  $\text{DRDY}$  ビットを評価することです。そのために、 $\text{STATUS\_EN}$  ビットを使用して、 $\text{SDO}$  でステータス ヘッダ送信をイネーブルします。 $\text{DRDY}$  ビットを評価するには、次の 2 つの方法が使用できます：

- ホストは、 $\text{SPI}$  フレーム全体を定期的に取り、変換データとステータス ヘッダを受信します。そのフレームで  $\text{DRDY}$  ビットが 1b と読み取られた場合、受信した変換データは新しいデータです。 $\text{DRDY}$  ビットが 0b の場合、同じ変換結果がすでに以前に読み出されているため、ホストはそのフレームで受信した変換データを破棄します。
- ホストは、 $\text{SDO}$  の最初のバイト内で送信される  $\text{DRDY}$  ビットを読み取るために、短い 8 ビットの  $\text{SPI}$  フレームを周期的に送信します。 $\text{DRDY}$  ビットが 1b と読み取られた場合にのみ、ホストは新しい変換データとともに  $\text{STATUS}$  ヘッダを受信するためのフル  $\text{SPI}$  フレームを送信します。この  $\text{SPI}$  フレームを短縮して繰り返す方法は、3 線式  $\text{SPI}$  モードでは使用できず、またデバイスをダイジー チェーン構成で動作させている場合にも使用できません。

データの取りこぼしを防ぐため、 $\text{DRDY}$  ビットは出力データレート以上の頻度で評価します。

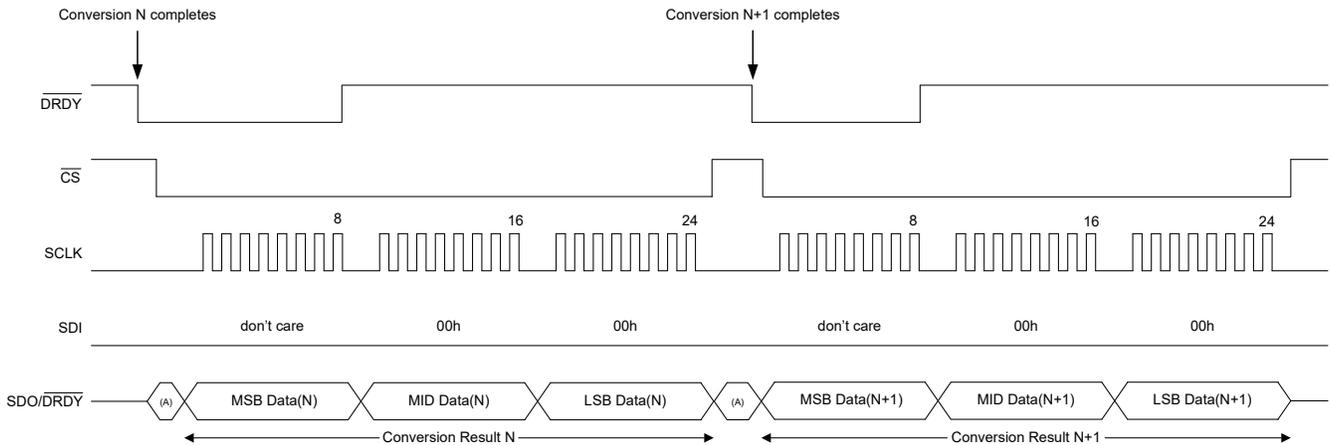
さらに、 $\text{STATUS}$  ヘッダの一部として送信される変換カウンタは、現在の  $\text{SPI}$  フレームで取得される変換の回数を示します。ホストは変換カウンタを評価することで、同じ変換結果を複数回読み出したのか、あるいは変換結果の読み出しを取りこぼしたのかを把握します。

### 7.5.8.3 クロックのカウン

新しいデータが準備できたタイミングを判断する別の方法として、ADC のメイン クロック サイクルをカウントする方法があります。各変換には決まった数のクロック サイクルが必要なためです。内部クロック発振器は観察できないため、この方法は外部クロックを使用するときのみ使用可能です。変換開始後、最初の変換に必要なクロック サイクル数は、その後続くすべての変換に必要なクロック サイクル数よりも多くなります。クロック サイクル数の初期値は、「[デジタル フィルタのレイテンシ](#)」セクションに示すように、デジタル フィルタのレイテンシ時間と等しくなります。

### 7.5.9 DRDY ピンの動作

このセクションでは、さまざまなシナリオにおける DRDY ピンの動作について詳しく説明します。新しい変換データが完了すると、DRDY は ow に遷移します。図 7-35 に示すように、DRDY は、変換データの MSB 読み取りの 8 番目の SCLK 立ち下がりエッジで high に遷移します。

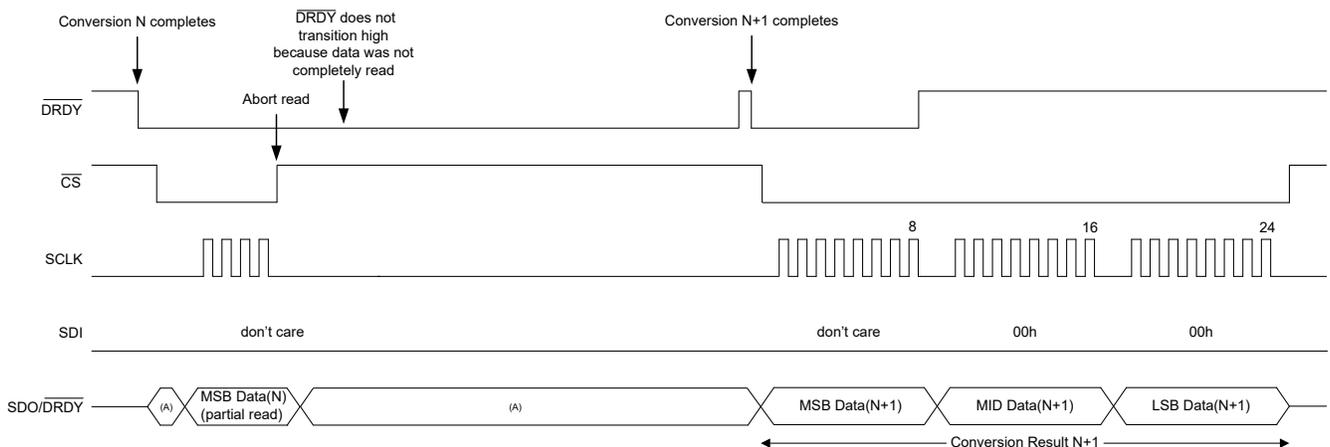


- A. SDO\_MODE ビットが 0b の場合、SDO/DRDY の以前の状態は、最初の SCLK 立ち上がりエッジまで保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-35. DRDY ピンの動作：利用可能な最新の交換データを読み取ります

新しい変換が完了した時点で DRDY が low の場合、DRDY は立ち下がりエッジの前に  $t_{W(DRH)}$  の期間だけ high に駆動され、その後 DRDY は立ち下がります (図 7-36 を参照)。

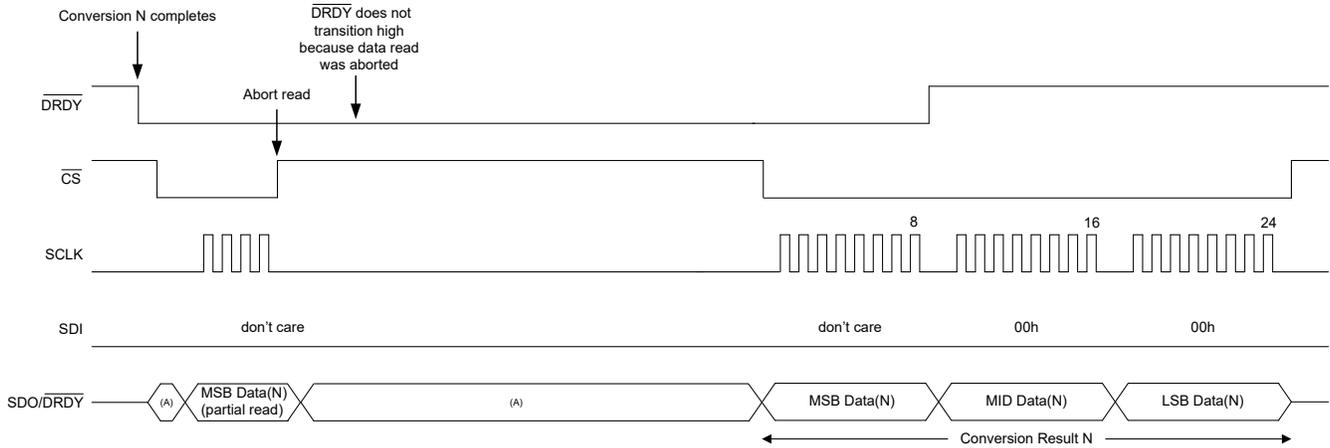
変換データの MSB 読み取りの 8 番目の SCLK よりも前に CS が high に駆動された場合、DRDY は low のままで、変換データが読み取られなかったことを示します (図 7-36 および図 7-37 を参照)。



- A. SDO\_MODE ビットが 0b の場合、SDO/DRDY の以前の状態は、最初の SCLK 立ち上がりエッジまで保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-36. DRDY ピンの動作：新しい変換が完了する前の交換データの読み取りが未完了

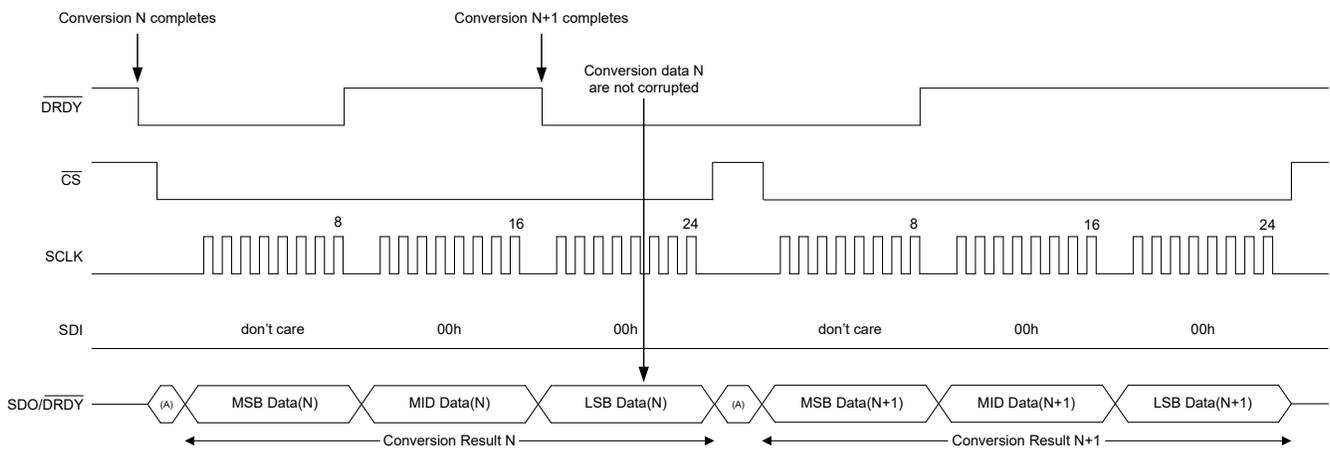
図 7-37 に、新しい変換が完了するまで、同じ変換データを複数回読み取ることができることを示しています。変換カウンタ (STATUS\_LSB レジスタの CONV\_COUNT[3:0] ビット) は、同じデータが再度読み出されたのか、または新しいデータが読み出されたのかを示します。



- A. SDO\_MODE ビットが 0b の場合、SDO/DRDY の以前の状態は、最初の SCLK 立ち上がりエッジまで保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-37. DRDY ピンの動作：変換データの読み取りが不完全で、同じ変換データの読み取りが完了する

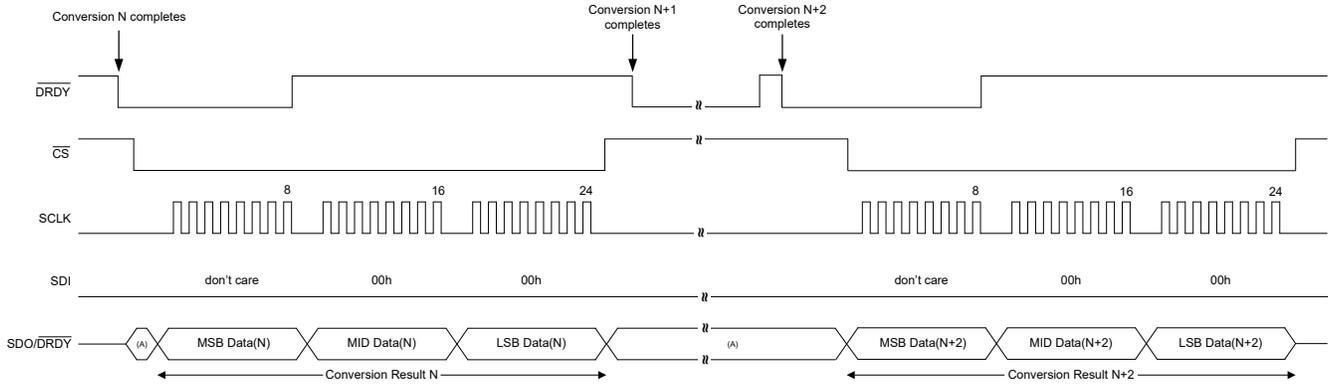
このデバイスは、変換データ N の読み取り中に新しい変換 N+1 が完了すると、データの破損を防止します。変換データ N+1 は、変換データ N の読み出しが完了するまで、内部バッファに保持されます。以下のフレームでは、変換データ N+1 が SDO 出力バッファにロードされます。このケースでは、変換データ n が読み出された後も、DRDY は high に遷移しません。これは、新しい変換データ n+1 が読み出し可能であることを示します (図 7-38 を参照)。



- A. SDO\_MODE ビットが 0b の場合、SDO/DRDY の以前の状態は、最初の SCLK 立ち上がりエッジまで保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-38. DRDY ピンの動作：新しい変換が完了したときに変換データを読み取り

図 7-39 は、変換 N+2 が完了する前にホストがデータを読み出さない場合、変換データ N+1 が失われることを示しています。この状況にある場合、変換カウンタは、ホストが中間変換結果の読み取りを見逃しているかどうかを検出するのに役立ちます。



A. SDO\_MODE ビットが 0b の場合、SDO/DRDY の以前の状態は、最初の SCLK 立ち上がりエッジまで保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-39. DRDY ピンの動作：中間コンバージョン結果の読み取りに失敗しました

変換が停止した後にデバイスがスタンバイモードに入るようにプログラムされている場合 (STBY\_MODE ビット = 1b)、DRDY は Low に遷移してから  $4t_{MOD}$  後に再び High に駆動されます。図 7-40 に、シングルショット変換モードを使用してスタンバイモードに移行したときの DRDY ピンの動作の例を示します。

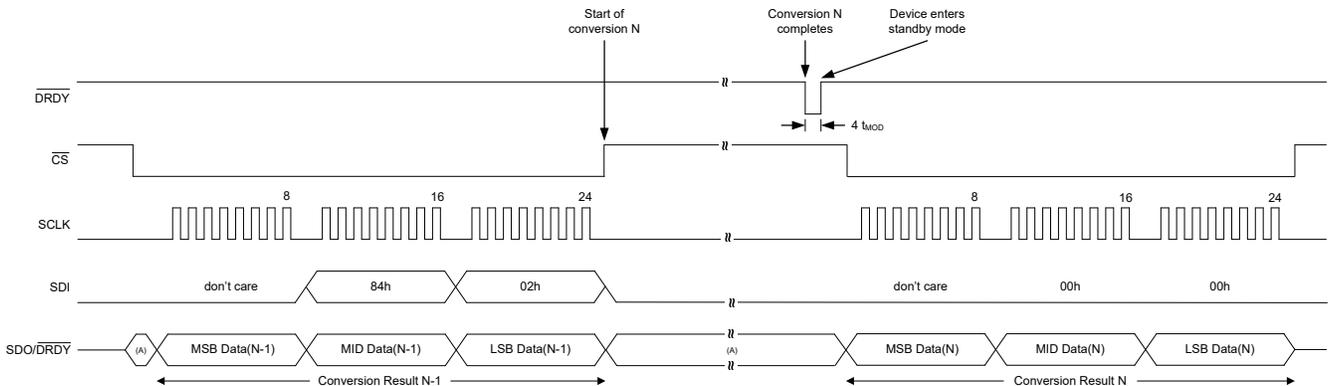


図 7-40. DRDY ピンの動作：スタンバイモードの開始 (シングルショット変換モード)

DRDY ピンが短いため、DRDY ビットまたは DRDY ピンの状態をポーリングして変換の完了をチェックすることは、この特定のシナリオ (STBY\_MODE ビット = 1b) では実用的ではありません。新しいデータが利用可能になったタイミングを判断するには、DRDY ピンの立ち下がりエッジを検出する、変換カウンタをポーリングする、または変換周期と同じかそれ以上の固定時間を持つといった、ほかの利用可能なオプションを使用します。

### 7.5.10 変換データの形式

変換データは、コーディング ビットの設定に応じてコード化されます。デフォルトでは、バイナリ 2 の補数形式で符号化され、MSB ファースト (サイン ビット) です。ユニポーラのストレート バイナリ形式にするには、CODING ビットを 1b に設定します。表 7-12 および表 7-13 に、それぞれ 16 ビットおよび 24 ビット デバイスの出力コードを示します。2 の補数によるバイナリ形式では、入力信号が正または負のフルスケール値をそれぞれ超えた場合、変換データは正側または負側のフルスケール コードにクリップされます。ユニポーラのストレート バイナリ形式では、入力信号がフルスケール値を超えると変換データはフルスケール コードにクリップされ、入力信号が 0 未満の場合はゼロ コードにクリップされます。

**表 7-12. 理想的な出力コードと入力信号との関係 (16 ビットの変換データ)**

差動入力電圧 (V)	理想的な出力コード <sup>(1)</sup>	
	バイナリ 2 の補数形式 (コーディング = 0b)	ユニポーラのストレート バイナリ形式 (コーディング = 1b)
$\geq \text{FSR} \times (2^{16} - 1) / 2^{16}$	7FFFh	FFFFh
$\geq \text{FSR} \times (2^{15} - 1) / 2^{15}$		FFFEh
$\text{FSR} / 2^{15}$	0001h	0002h
0	0000h	0000h
$-\text{FSR} / 2^{15}$	FFFFh	
$-\text{FSR} \times (2^{15} - 1) / 2^{15}$	8001h	
$\leq -\text{FSR}$	8000h	

(1) オフセット、ゲイン、直線性、ノイズ誤差を除く理想的な出力データ。

**表 7-13. 理想的な出力コードと入力信号との関係 (24 ビットの変換データ)**

差動入力電圧 (V)	理想的な出力コード <sup>(1)</sup>	
	バイナリ 2 の補数形式 (コーディング = 0b)	ユニポーラのストレート バイナリ形式 (コーディング = 1b)
$\geq \text{FSR} \times (2^{24} - 1) / 2^{24}$	7FFFFFFh	FFFFFFh
$\geq \text{FSR} \times (2^{23} - 1) / 2^{23}$		FFFFFEh
$\text{FSR} / 2^{23}$	000001h	000002h
0	000000h	000000h
$-\text{FSR} / 2^{23}$	FFFFFFh	
$-\text{FSR} \times (2^{23} - 1) / 2^{23}$	800001h	
$\leq -\text{FSR}$	800000h	

(1) オフセット、ゲイン、直線性、ノイズ誤差を除く理想的な出力データ。

### 7.5.11 レジスタ マップ CRC

レジスタ マップ CRC は、レジスタ マップ内容における意図しない変更を検出します。レジスタ アドレス 00h ~ 04h は、CRC 保護から除外されます。CRC の計算は、レジスタ アドレス空間の 05h から 0Eh にわたって実行されます。REG\_MAP\_CRC\_EN ビットを使用して、レジスタ マップ CRC を有効にします。レジスタ マップ CRC が有効な場合、デバイスはそのレジスタ マップ セクションに対して常時 8 ビット CRC 値を計算し、その内部計算結果を、REG\_MAP\_CRC\_VAL[7:0] ビット フィールドでユーザーが指定した CRC 値と比較します。内部の計算結果と REG\_MAP\_CRC\_VAL[7:0] が一致しない場合、REG\_MAP\_CRC\_FAULTn フラグは 0b に設定されます。レジスタ マップ CRC 故障が発生しても、デバイスはそれ以外の動作を行いません。

CRC の計算は、アドレス 05h のレジスタの MSB から開始し、CRC-8-ATM (HEC) 多項式を用いて、アドレス 0Eh のレジスタの LSB で終了します： $X^8 + X^2 + X^1 + 1$  に基づいています。この多項式には、9 つの係数として 10000111.CRC 計算の詳細については、[SPI の CRC](#) セクションを参照してください。CRC の計算は、シード値 FFh で初期化されます。

CRC の計算はシリアルに実装されているため、REG\_MAP\_CRC\_FAULTn フラグは、意図しないビット変化を即座には示しません。REG\_MAP\_CRC\_FAULTn フラグが故障を示すまでに、最大で  $t_{p(\text{REG\_MAP\_CRC})} = 640 t_{\text{CLK}}$  サイクルが経過する場合があります。

REG\_MAP\_CRC\_FAULTn の表示を誤って発生させることなくレジスタ ビットを変更するには、以下の手順を使用します：

- REG\_MAP\_CRC\_EN=0b に設定して、レジスタ マップを無効にします
- フォルト応答時間  $t_{p(\text{REG\_MAP\_CRC})}$  を待ちます。
- REG\_MAP\_CRC\_FAULTn フラグが 0b に設定されている場合は、REG\_MAP\_CRC\_FAULTn ビットに 1b を書き込んで故障フラグをクリアします
- オプション: REG\_MAP\_CRC\_FAULTn 故障フラグが 1b にクリアされていることを確認します
- 必要に応じてデバイスのレジスタ ビットを変更します
- 新しいレジスタ マップ設定に基づいて、REG\_MAP\_CRC\_VAL[7:0] ビットを更新します
- REG\_MAP\_CRC\_EN=1b に設定して、レジスタ マップ CRC を有効にします

以下の手順で説明するように、レジスタ マップ CRC が有効な状態でもレジスタ ビットを変更できますが、意図しない REG\_MAP\_CRC\_FAULTn の表示を引き起こす可能性があります。

- レジスタマップ CRC が有効な状態のまま、必要に応じてレジスタ ビットを変更します
- 新しいレジスタ マップ設定に基づいて、REG\_MAP\_CRC\_VAL[7:0] ビットを更新します
- フォルト応答時間  $t_{p(\text{REG\_MAP\_CRC})}$  を待ちます。
- REG\_MAP\_CRC\_FAULTn フラグが 0b に設定されている場合は、REG\_MAP\_CRC\_FAULTn ビットに 1b を書き込んで故障フラグをクリアします
- オプション: REG\_MAP\_CRC\_FAULTn 故障フラグが 1b にクリアされていることを確認します

## 8 レジスタ

表 8-1 にレジスタのレジスタ用メモリ マップ レジスタを示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

**表 8-1. レジスタ マップ**

アドレス	略称	リセット	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
ID レジスタ:レジスタ マップ CRC の対象外											
00h	DEVICE_ID	XXh	DEV_ID[7:0]								
01h	REVISION_ID	XXh	REV_ID[7:0]								
ステータスレジスタ:レジスタ マップ CRC の対象外											
02h	STATUS_MSB	3Eh	RESETn	AVDD_UVn	REF_UVn	SPI_CRC_FAULTn	REG_MAP_CRC_FAULTn	MEM_FAULTn	REG_WRITE_FAULTn	DRDY	
03h	STATUS_LSB	F0h	CONV_COUNT[3:0]				GPIO3_DAT_IN	GPIO2_DAT_IN	GPIO1_DAT_IN	GPIO0_DAT_IN	
変換制御レジスタ - レジスタ マップ CRC の対象外											
04h	CONVERSION_CTRL	00h	RESET[5:0]						START	ストップ	
デバイス設定レジスタ - レジスタ マップ CRC の対象											
05h	DEVICE_CFG	00h	PWDN	STBY_MODE	BOCS[1:0]		CLK_SEL	CONV_MODE	SPEED_MODE[1:0]		
06h	DATA_RATE_CFG	00h	DELAY[3:0]				GC_EN	FLTR_OSR[2:0]			
07h	MUX_CFG	01h	AINP[3:0]				AINN[3:0]				
08h	GAIN_CFG	01h	SPARE	SYS_MON[2:0]		GAIN[3:0]					
09h	REFERENCE_CFG	00h	REF_UV_EN	予約済み	REFP_BUF_EN	REFN_BUF_EN	予約済み	REF_VAL	REF_SEL[1:0]		
0Ah	DIGITAL_CFG	00h	SPARE	REG_MAP_CRC_EN	SPI_CRC_EN	STATUS_EN	FAULT_PIN_BEHAVIOR	CONT_READ_EN	CODING	SDO_MODE	
0Bh	GPIO_CFG	00h	GPIO3_CFG[1:0]		GPIO2_CFG[1:0]		GPIO1_CFG[1:0]		GPIO0_CFG[1:0]		
0Ch	GPIO_DATA_OUTPUT	00h	GPIO3_SRC	GPIO2_SRC	予約済み		GPIO3_DAT_OUT	GPIO2_DAT_OUT	GPIO1_DAT_OUT	GPIO0_DAT_OUT	
0Dh	IDAC_MAG_CFG	00h	I2MAG[3:0]				I1MAG[3:0]				
0Eh	IDAC_MUX_CFG	10h	IUNIT	I2MUX[2:0]			予約済み	I1MUX[2:0]			
レジスタ マップの CRC 値レジスタ											
0Fh	REG_MAP_CRC	00h	REG_MAP_CRC_VAL[7:0]								

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

**表 8-2. レジスタ アクセス タイプ コード**

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

## 8.1 DEVICE\_ID レジスタ (アドレス = 00h) [リセット = XXh]

[概略表](#)に戻ります。

**図 8-1. DEVICE\_ID レジスタ**

7	6	5	4	3	2	1	0
DEV_ID[7:0]							
R-xxxxxxx <b>b</b>							

**表 8-3. DEVICE\_ID レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	DEV_ID[7:0]	R	xxxxxxx <b>b</b>	デバイス ID DEV_ID[7:4]ビットは、予告なく変更される場合があります。 DEV_ID[3:0]ビットは、24 ビット デバイスでは常に 1011b、16 ビット デバイスでは常に 1010b として読み出されます。

## 8.2 REVISION\_ID レジスタ (アドレス = 01h) [リセット = XXh]

[概略表](#)に戻ります。

図 8-2. REVISION\_ID レジスタ

7	6	5	4	3	2	1	0
REV_ID[7:0]							
R-xxxxxxx <b>b</b>							

表 8-4. REVISION\_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	REV_ID[7:0]	R	xxxxxxx <b>b</b>	リビジョン ID 値が予告なく変更される可能性があります。

### 8.3 STATUS\_MSB レジスタ (アドレス = 02h) [リセット = 3Eh]

概略表に戻ります。

図 8-3. STATUS\_MSB レジスタ

7	6	5	4	3	2	1	0
RESETn	AVDD_UVn	REF_UVn	SPI_CRC_FAULTn	REG_MAP_CRC_FAULTn	MEM_FAULTn	REG_WRITE_FAULTn	DRDY
R/W-0b	R/W-0b	R/W-1b	R-1b	R/W-1b	R-1b	R-1b	R-0b

表 8-5. STATUS\_MSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RESETn	R/W	0b	リセット フラグ デバイスリセットが発生したことを示します。1b を書き込むことで、ビットを 1b にクリアします。 0b = リセットが発生しました 1b = リセットは発生していません
6	AVDD_UVn	R/W	0b	AVDD 低電圧故障フラグ AVDD 電源電圧が AVDD 低電圧スレッショルドを下回ったことを示します。AVDD_UVn は、AVDD 電源が AVDD 低電圧スレッショルドを下回っていない場合でも、パワーダウン モードに入ると常に 0b に設定されます。1b を書き込むことで、ビットを 1b にクリアします。 0b = 低電圧故障が発生しました 1b = 低電圧故障が発生していません
5	REF_UVn	R/W	1b	リファレンス電圧低電圧故障フラグ REF_SEL[1:0]ビットで選択されたリファレンス電圧が、リファレンス低電圧スレッショルドを下回ったことを示します。1b を書き込むことで、ビットを 1b にクリアします。REF_UV_EN ビットを使用して、リファレンス低電圧モニタを有効にします。 0b = 低電圧故障が発生しました 1b = 低電圧故障が発生していません
4	SPI_CRC_FAULTn	R	1b	SPI CRC 故障フラグ は、前の SPI フレームにおいて SDI 上で SPI CRC 故障が発生したことを示します。SPI CRC 故障が発生したフレーム内でのコマンド実行はブロックされます。代わりに、ノーオペレーション コマンドが実行されます。次のフレーム内のコマンドはブロックされません。このビットは、前回の SPI フレームの CRC 結果に基づいて、新しい SPI フレームごとに更新されます。SPI_CRC_EN ビットを使用して SPI CRC を有効にします。さらに、STATUS_EN ビットを使用して ステータス ヘッダの送信を有効にすることで、SPI CRC 故障の発生を通知として受け取ることができます。 0b = SPI CRC 故障が発生しました 1b = SPI CRC 故障は発生していません
3	REG_MAP_CRC_FAULTn	R/W	1b	レジスタ マップ CRC 故障フラグ 内部メモリでメモリ マップ CRC 故障が発生したことを示します。1b を書き込むことで、ビットを 1b にクリアします。REG_MAP_CRC_EN ビットを使用して、レジスタ マップ CRC を有効にします。 0b = レジスタ マップの CRC 故障が発生しました 1b = レジスタ マップの CRC 故障は発生していません
2	MEM_FAULTn	R	1b	メモリ マップ CRC 故障フラグ 内部メモリでメモリ マップ CRC 故障が発生したことを示します。このビットが 0b になったときは、電力サイクルを実行するか、デバイスをリセットします。 0b = メモリ マップの CRC 故障が発生しました 1b = メモリ マップの CRC 故障は発生していません

表 8-5. STATUS\_MSB レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	REG_WRITE_FAULTn	R	1b	レジスタ アクセス故障フラグ 無効なレジスタ アドレスへの書き込みアクセスが発生したことを示します。このフラグは、無効なレジスタ アドレスへの書き込まれるタイミングを設定し、次のレジスタ 書き込みコマンドで更新します。無効なレジスタ アドレスからの読み出しではこのフラグは設定されませんが、読み取りコマンドの SPI フレーム内に含まれるアドレス表示から検出できます。 0b = レジスタ アクセス故障が発生しました 1b = レジスタ アクセス故障は発生していません
0	DRDY	R	0b	データ準備完了表示ビット DRDY ビットは <u>DRDY</u> ピンの反転です。STATUS_EN ビットを使用して ステータス ヘッダの送信を有効にし、DRDY ビットの通知を利用します。DRDY ビットは、現在の SPI フレーム内で読み取られた変換データが新しいデータか、前回の読み取り操作から繰り返されているデータかを示します。レジスタ読み取りコマンドを使用して DRDY ビットをポーリングする方法は信頼性がありません。DRDY ビットは、読み出しレジスタコマンドの送信における最初のフレームの時点で既に 0b に戻ってしまうためです。 0b = データは新しいものではありません 1b = データは新しいものです

## 8.4 STATUS\_LSB レジスタ (アドレス = 03h) [リセット = F0h]

概略表に戻ります。

図 8-4. STATUS\_LSB レジスタ

7	6	5	4	3	2	1	0
CONV_COUNT[3:0]			GPIO3_DAT_IN		GPIO2_DAT_IN	GPIO1_DAT_IN	GPIO0_DAT_IN
R-1111b			R-0b		R-0b	R-0b	R-0b

表 8-6. STATUS\_LSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CONV_COUNT[3:0]	R	1111b	変換カウンタ 変換カウンタは、新しい変換が完了するたびにインクリメントします。カウンタが Fh の値に達した後、次の変換が完了するとカウンタは 0h にロールオーバーします。カウンタは、パワーダウン モード時、またはデバイスリセット後にのみ Fh へリセットされます (同時に変換データもクリアされます)。リセットまたはパワーダウン後に最初の変換が完了すると、カウンタは 0h を読み取ります。
3	GPIO3_DAT_IN	R	0b	GPIO3 データ AIN7/ GPIO3/ DRDY/CLK をデジタル入力、デジタル出力、または DRDY 出力として設定した場合の GPIO3 の読み戻し値。GPIO 機能が無効 (GPIO3_CFG[1:0] = 00b) の場合、またはクロック入力機能が選択されている場合 (GPIO3_CFG[1:0] = 01b かつ CLK_SEL = 1b)、このビットは 0b を読み取ります。 0b = Low 1b = High
2	GPIO2_DAT_IN	R	0b	GPIO2 データ AIN6/GPIO2/FAULT がデジタル入力、デジタル出力、または静的故障出力として構成されている場合の GPIO2 の読み戻し値。GPIO 機能が無効 (GPIO2_CFG[1:0] = 00b) の場合、または GPIO2 がハートビート機能付きの FAULT 出力として設定されている場合 (GPIO2_CFG[1:0] = 10b または 11b、GPIO2_SRC = 1b、FAULT_PIN_BEHAVIOR = 1b)、このビットは 0b を読み取ります。 0b = Low 1b = High
1	GPIO1_DAT_IN	R	0b	GPIO1 データ AIN5/REFN/GPIO1 がデジタル入力または出力として構成されている場合の GPIO1 の読み戻し値。GPIO 機能が無効化されているとき (GPIO1_CFG[1:0] = 00b)、ビットは 0b と読み取られます。 0b = Low 1b = High
0	GPIO0_DAT_IN	R	0b	GPIO0 データ AIN4/REFP/GPIO0 がデジタル入力または出力として構成されている場合の GPIO0 の読み戻し値。GPIO 機能が無効化されているとき (GPIO0_CFG[1:0] = 00b)、ビットは 0b と読み取られます。 0b = Low 1b = High

## 8.5 CONVERSION\_CTRL レジスタ (アドレス = 04h) [リセット = 00h]

概略表に戻ります。

図 8-5. CONVERSION\_CTRL レジスタ

7	6	5	4	3	2	1	0
RESET[5:0]						START	ストップ
R/W-000000b						R/W-0b	R/W-0b

表 8-7. CONVERSION\_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	RESET[5:0]	R/W	000000b	デバイスリセット 010110b を書き込んで ADC をリセットします。ADC をリセットするには、同一の書き込み操作で START ビットと STOP ビットの両方を 0b に設定する必要があります。これらのビットの読み取り値は常に 000000b です。
1	START	R/W	0b	変換開始 1b を書き込むと、変換を開始または再開します。シングル ショット変換モードでは、1 回の変換が開始されます。連続変換モードでは、変換が開始され、STOP ビットによって停止されるまで続きます。変換が進行中に 1b を書き込むと、変換は再開されます。START ビットと STOP ビットの両方に同時に 1b を書き込んでも、何の効果もありません。START ビットは自己クリア型であり、常に 0b を読み取ります。 0b = 動作なし 1b = 変換を開始または再開
0	ストップ	R/W	0b	変換を停止 連続変換モードで変換を停止するには、1b を書き込みます。進行中の変換は完了できます。シングル ショット変換モードでは、STOP ビットは無効です。START ビットと STOP ビットの両方に同時に 1b を書き込んでも、何の効果もありません。STOP ビットは、進行中の変換が完了した後、または進行中の変換が完了する前に START ビットが設定されて進行中の変換が中止され、新しい変換が再開された場合に、0b にクリアされます。 0b = 動作なし 1b = 現在の変換が完了した後に変換を停止します

## 8.6 DEVICE\_CFG レジスタ (アドレス = 05h) [リセット = 00h]

概略表に戻ります。

図 8-6. DEVICE\_CFG レジスタ

7	6	5	4	3	2	1	0
PWDN	STBY_MODE	BOCS[1:0]		CLK_SEL	CONV_MODE	SPEED_MODE[1:0]	
R/W-0b	R/W-0b	R/W-00b		R/W-0b	R/W-0b	R/W-00b	

表 8-8. DEVICE\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PWDN	R/W	0b	<p>パワーダウン モードの選択</p> <p>ユーザー レジスタ設定を維持するために必要な回路を除くすべての回路をパワーダウンします。SPI 通信は引き続き可能です。パワーダウン モードでは、変換カウンタ (CONV_COUNT[3:0]) は Fh にリセットされ、変換データはクリアされ、START ビットは無視されます。PWDN ビットを 1b に設定すると、デバイスは直ちにパワーダウンし、進行中の変換はすべて中断されます。パワーダウン モードでは、GPIO のデジタル出力として設定されているすべてのアナログ入力、ハイインピーダンス状態に遷移します。パワーダウン中に特定のロジックレベルを維持する必要がある場合は、該当する GPIO ピンに外付けのプルアップまたはプルダウン抵抗を使用することを検討してください。</p> <p>0b = アクティブ モード 1b = パワーダウン モード</p>
6	STBY_MODE	R/W	0b	<p>スタンバイ モードの選択</p> <p>このビットは、変換が停止した後に低消費電力スタンバイ モードを自動的に有効化します。</p> <p>0b = アイドルモード。変換が停止してもデバイスは完全に電力を供給され続けます。</p> <p>1b = スタンバイ モード。変換が停止すると、ADC、PGA、IDAC、BOCS、REF バッファ、および REF UV モニタはパワーダウンし、有効になっている場合は FAULTn ピンのハートビート出力信号も停止します。スタンバイ モードでは、FAULTn ピンは静的出力として設定されている場合と同様に動作します。内部 VREF および AVDD UV モニタは電源オンの状態を維持します。スタンバイ モードでは、レジスタ マップ CRC とメモリ マップ CRC は無効になります。変換が再開されると、スタンバイ モードを終了します。</p>
5:4	BOCS[1:0]	R/W	00b	<p>バーニアアウト電流のソースとシンクの選択</p> <p>バーニアアウト電流の電流源および電流シンクを有効化し、その値を選択します。グローバル チョップ モード (GC_EN = 1b) を使用する場合は、バーニアアウト電流源を無効にしてください。</p> <p>00b = デイセーブル 01b = 0.2μA 10b = 1μA 11b = 10μA</p>
3	CLK_SEL	R/W	0b	<p>クロックソースの選択</p> <p>デバイスのクロック ソースを選択します。内部発振器から外部クロックに切り替えるには、まず GPIO3_CFG = 01b に設定して GPIO3 ピンを外部クロック入力として構成し、その後 CLK_SEL = 1b を設定します。</p> <p>0b = 内部発振器 1b = 外部クロック</p>
2	CONV_MODE	R/W	0b	<p>変換モードの選択</p> <p>デバイスの変換モードを選択します。</p> <p>0b = 連続変換モード 1b = シングルショット変換 モード</p>
1:0	SPEED_MODE[1:0]	R/W	00b	<p>速度モードの選択</p> <p>デバイスの速度モードを選択します。</p> <p>00b = 速度モード 0 (f<sub>MOD</sub> = 32kHz) 01b = 速度モード 1 (f<sub>MOD</sub> = 256kHz) 10b = 速度モード 2 (f<sub>MOD</sub> = 512kHz) 11b = 速度モード 3 (f<sub>MOD</sub> = 1024kHz)</p>

### 8.7 DATA\_RATE\_CFG レジスタ (アドレス = 06h) [リセット = 00h]

概略表に戻ります。

図 8-7. DATA\_RATE\_CFG レジスタ

7	6	5	4	3	2	1	0
DELAY[3:0]				GC_EN	FLTR_OSR[2:0]		
R/W-0000b				R/W-0b	R/W-000b		

表 8-9. DATA\_RATE\_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	DELAY[3:0]	R/W	0000b	<p>プログラム可能な変換開始遅延の選択</p> <p>デジタルフィルタのリセット後、最初の変換に対するプログラマブルな変換開始遅延時間を設定します。この遅延時間は、グローバルチョップモードが有効化されている場合の変換間の遅延としても使用されます。</p> <p>0000b = 0x <math>t_{MOD}</math>                      0001b = 1x <math>t_{MOD}</math>                      0010b = 2x <math>t_{MOD}</math>                      0011b = 4x <math>t_{MOD}</math>                      0100b = 8x <math>t_{MOD}</math>                      0101b = 16x <math>t_{MOD}</math>                      0110b = 32x <math>t_{MOD}</math>                      0111b = 64x <math>t_{MOD}</math>                      1000b = 128x <math>t_{MOD}</math>                      1001b = 256x <math>t_{MOD}</math>                      1010b = 512x <math>t_{MOD}</math>                      1011b = 1024x <math>t_{MOD}</math>                      1100b = 2048x <math>t_{MOD}</math>                      1101b = 4096x <math>t_{MOD}</math>                      1110b = 8192x <math>t_{MOD}</math>                      1111b = 16384x <math>t_{MOD}</math></p>
3	GC_EN	R/W	0b	<p>グローバルチョップモードの有効化</p> <p>グローバルチョップモードを有効にします。有効にすると、デバイスはアナログ入力を自動的に入れ替え、連続する2回の変換の平均を取ることで、内部オフセット電圧を打ち消します。</p> <p>0b = ディセーブル                      1b = イネーブル</p>
2:0	FLTR_OSR[2:0]	R/W	000b	<p>フィルタ OSR の選択</p> <p>デジタルフィルタの OSR または出力データレートを選択します。OSR が指定された設定の場合、出力データレートは <math>f_{DATA} = f_{MOD}/OSR</math> で計算されます。20SPS および 25SPS のデータレート設定では、デジタルフィルタは選択された速度モードに基づいて OSR を自動的に調整します。20SPS と 25SPS のデータレートは、<math>f_{CLK} = 4.096MHz</math> の公称クロック周波数に対して有効です。データレートは、クロック周波数に比例します。出力データレートが 20SPS および 25SPS の場合、デジタルフィルタは 50Hz および 60Hz のラインサイクル除去特性を提供します。</p> <p>000b = OSR = 16 (Sinc4 OSR = 16)                      001b = OSR = 32 (Sinc4 OSR = 32)                      010b = OSR = 128 (Sinc4 OSR = 32, Sinc1 OSR = 4)                      011b = OSR = 256 (Sinc4 OSR = 32, Sinc1 OSR = 8)                      100b = OSR = 512 (Sinc4 OSR = 32, Sinc1 OSR = 16)                      101b = OSR = 1024 (Sinc4 OSR = 32, Sinc1 OSR = 32)                      110b = <math>f_{DATA} = 25SPS</math> (速度モードに依存しない)                      111b = <math>f_{DATA} = 20SPS</math> (速度モードに依存しない)</p>

## 8.8 MUX\_CFG レジスタ (アドレス = 07h) [リセット = 01h]

概略表に戻ります。

図 8-8. MUX\_CFG レジスタ

7	6	5	4	3	2	1	0
AINP[3:0]				AINN[3:0]			
R/W-0000b				R/W-0001b			

表 8-10. MUX\_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	AINP[3:0]	R/W	0000b	正のマルチプレクサ入力の選択 ADC の正のアナログ入力を選択します。アナログ入力 AIN4 および AIN5 は、それぞれ REFP 入力および REFN 入力として設定されている場合でも、引き続きアナログ入力として使用できます。アナログ入力が GPIO として設定されている場合でも、そのアナログ入力は Mux で選択でき、GPIO ピン上の電圧を測定するために使用できます。 0000b = AIN0 0001b = AIN1 0010b = AIN2 0011b = AIN3 0100b = AIN4 0101b = AIN5 0110b = AIN6 0111b = AIN7 1000b = GND 1001b = GND 1010b = GND 1011b = GND 1100b = GND 1101b = GND 1110b = GND 1111b = GND
3:0	AINN[3:0]	R/W	0001b	負のマルチプレクサ入力の選択 ADC の負のアナログ入力を選択します。アナログ入力 AIN4 および AIN5 は、それぞれ REFP 入力および REFN 入力として設定されている場合でも、引き続きアナログ入力として使用できます。アナログ入力が GPIO として設定されている場合でも、そのアナログ入力は Mux で選択でき、GPIO ピン上の電圧を測定するために使用できます。 0000b = AIN0 0001b = AIN1 0010b = AIN2 0011b = AIN3 0100b = AIN4 0101b = AIN5 0110b = AIN6 0111b = AIN7 1000b = GND 1001b = GND 1010b = GND 1011b = GND 1100b = GND 1101b = GND 1110b = GND 1111b = GND

### 8.9 GAIN\_CFG レジスタ (アドレス = 08h) [リセット = 01h]

概略表に戻ります。

図 8-9. GAIN\_CFG レジスタ

7	6	5	4	3	2	1	0
SPARE	SYS_MON[2:0]			GAIN[3:0]			
R/W-0b	R/W-000b			R/W-0001b			

表 8-11. GAIN\_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPARE	R/W	0b	予備ビット ビット設定は影響しません。レジスタ マップ CRC を確認する手段として用意された R/W ビットです。
6:4	SYS_MON[2:0]	R/W	000b	システムモニタの選択 PGA の入力として、システム モニタのいずれかを選択します。システム モニタのいずれかが選択されている場合、AINP[3:0] ビットおよび AINN[3:0] ビットは無効です。システム モニタが選択されている場合、アナログ入力は PGA から切断されます。010b~101b の設定では、REF_VAL ビットで設定された値の内部リファレンスが自動的に選択されます。それぞれの測定に適切な PGA ゲイン設定を選択します。 000b=ディセーブル 001b = 差動 PGA 入力を (AVDD / 2) に内部短絡 010b = 内蔵温度センサ 011b = 外部 (V <sub>REFP</sub> - V <sub>REFN</sub> ) / 8 100b = AVDD/8 101b = DVDD/8 110b = 使用しません 111b = 使用しません
3:0	GAIN[3:0]	R/W	0001b	PGA のゲインの選択 PGA のゲインを選択します。 0000b = 0.5 0001b = 1 0010b = 2 0011b = 4 0100b = 5 0101b = 8 0110b = 10 0111b = 16 1000b = 20 1001b = 32 1010b = 50 1011b = 64 1100b = 100 1101b = 128 1110b = 200 1111b = 256

## 8.10 REFERENCE\_CFG レジスタ (アドレス = 09h) [リセット = 00h]

概略表に戻ります。

図 8-10. REFERENCE\_CFG レジスタ

7	6	5	4	3	2	1	0
REF_UV_EN	予約済み	REFP_BUF_EN	REFN_BUF_EN	予約済み	REF_VAL	REF_SEL[1:0]	
R/W-0b	R-0b	R/W-0b	R/W-0b	R-0b	R/W-0b	R/W-00b	

表 8-12. REFERENCE\_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	REF_UV_EN	R/W	0b	リファレンス電圧モニタの有効化 電圧リファレンス モニタは、REF_SEL[1:0] ビットで選択された電圧リファレンスがリファレンス低電圧スレッシュホールドを下回ったことを検出できます。 0b=ディセーブル 1b = イネーブル
6	予約済み	R	0b	予約済み 常に 0b が読み出されます。
5	REFP_BUF_EN	R/W	0b	正のリファレンス バッファの有効化 正のリファレンス バッファを有効化します。REF_SEL[1:0] ビット フィールドを使用して内部リファレンスまたはアナログ電源をリファレンス ソースとして選択する場合は、正側リファレンス バッファを無効にします。 0b=ディセーブル 1b = イネーブル
4	REFN_BUF_EN	R/W	0b	負のリファレンス バッファを有効化 負のリファレンス バッファを有効化します。REF_SEL[1:0] ビット フィールドを使用して内部リファレンスまたはアナログ電源をリファレンス ソースとして選択した場合は、負のリファレンス バッファを無効にします。 0b=ディセーブル 1b = イネーブル
3	予約済み	R	0b	予約済み 常に 0b が読み出されます。
2	REF_VAL	R/W	0b	内部リファレンス電圧の値の選択 内部リファレンス電圧の電圧を選択します。内部電圧リファレンスは常にイネーブルになっています。 0b = 1.25 V 1b = 2.5 V
1:0	REF_SEL[1:0]	R/W	00b	リファレンス電圧の選択 ADC のリファレンス電圧を選択します。外部電圧リファレンスを選択した場合は、GPIO0_CFG[1:0] = 00b および GPIO1_CFG[1:0] = 00b に設定します。 00b = 内部電圧リファレンス 01b = 外部電圧リファレンス 10b = AVDD 11b = AVDD

## 8.11 DIGITAL\_CFG レジスタ (アドレス = 0Ah) [リセット = 00h]

概略表に戻ります。

図 8-11. DIGITAL\_CFG レジスタ

7	6	5	4	3	2	1	0
SPARE	REG_MAP_CRC_EN	SPI_CRC_EN	STATUS_EN	FAULT_PIN_BEHAVIOR OR	CONT_READ_EN	CODING	SDO_MODE
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-13. DIGITAL\_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPARE	R/W	0b	予備ビット ビット設定は影響しません。レジスタ マップ CRC を確認する手段として用意された R/W ビットです。
6	REG_MAP_CRC_EN	R/W	0b	レジスタ マップ CRC 有効化 レジスタ アドレス 05h~0Eh に対して、レジスタ マップ CRC を有効にします。 0b=ディセーブル 1b = イネーブル
5	SPI_CRC_EN	R/W	0b	SPI CRC 有効化 SDI および SDO の SPI CRC を有効にします。 0b=ディセーブル 1b = イネーブル
4	STATUS_EN	R/W	0b	ステータス ヘッダ出力イネーブル SDO でステータス ヘッダ (STATUS_MSB + STATUS_LSB レジスタ) の送信を各 SPI フレームの最初の 2 バイトとしてイネーブルにします。 0b=ディセーブル 1b = イネーブル
3	FAULT_PIN_BEHAVIOR	R/W	0b	FAULT ピンの動作の選択 GPIO2 が FAULT 出力として構成されている場合 (GPIO2_CFG = 10b または 11b、GPIO2_SRC = 1b)、FAULT ピンの動作を選択します。 0b = 静止。故障が発生した場合、出力は Low になり、それ以外の場合は High になります。 1b = ハートビート。故障が発生したとき、出力は Low になります。それ以外の場合、出力は $f_{MOD}/256$ の周波数を持つ 50% デューティサイクルの信号になります。
2	CONT_READ_EN	R/W	0b	連続読み取りモードのイネーブル 連続読み取りモードが可能になり、4 線式 SPI モードで単一の SPI フレーム内で複数の連続レジスタを読み取ることができます。デバイスをデジタイズ チェーンまたは 3 線式 SPI モードで動作させる場合、連続読み取りモードを無効化します。 0b=ディセーブル 1b = イネーブル
1	CODING	R/W	0b	変換データコーディングの選択 変換データのコーディングを選択します。 0b = 2 の補数 1b = ユニポーラ ストレート バイナリ
0	SDO_MODE	R/W	0b	SDO/DRDY モードの選択 SDO/ DRDY ピンのモードを、データ出力機能のみにするか、データ出力とデータレディのデュアル モード機能にするか選択します。デバイスをデジタイズ チェーン構成で動作させる場合は、データ出力専用モードを使用します。 0b = データ出力専用モード 1b = デュアル モード: データ出力およびデータレディ

## 8.12 GPIO\_CFG レジスタ (アドレス = 0Bh) [リセット = 00h]

概略表に戻ります。

図 8-12. GPIO\_CFG レジスタ

7	6	5	4	3	2	1	0
GPIO3_CFG[1:0]		GPIO2_CFG[1:0]		GPIO1_CFG[1:0]		GPIO0_CFG[1:0]	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 8-14. GPIO\_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	GPIO3_CFG[1:0]	R/W	00b	GPIO3 の設定 GPIO3 ピンの動作を設定します。 00b = 無効 (ハイ インピーダンス) 01b = デジタル入力 (CLK_SEL = 0b) または外部クロック入力 (CLK_SEL = 1b) 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = オープンドレイン デジタル出力 (読み戻し付き)
5:4	GPIO2_CFG[1:0]	R/W	00b	GPIO2 の設定 GPIO2 ピンの動作を設定します。 00b = 無効 (ハイ インピーダンス) 01b = デジタル入力 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = オープンドレイン デジタル出力 (読み戻し付き)
3:2	GPIO1_CFG[1:0]	R/W	00b	GPIO1 の設定 GPIO1 ピンの動作を設定します。 00b = 無効 (ハイ インピーダンス) 01b = デジタル入力 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = オープンドレイン デジタル出力 (読み戻し付き)
1:0	GPIO0_CFG[1:0]	R/W	00b	GPIO0 の設定 GPIO0 ピンの動作を設定します。 00b = 無効 (ハイ インピーダンス) 01b = デジタル入力 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = オープンドレイン デジタル出力 (読み戻し付き)

### 8.13 GPIO\_DATA\_OUTPUT レジスタ (アドレス = 0Ch) [リセット = 00h]

概略表に戻ります。

図 8-13. GPIO\_DATA\_OUTPUT レジスタ

7	6	5	4	3	2	1	0
GPIO3_SRC	GPIO2_SRC	予約済み		GPIO3_DAT_OUT	GPIO2_DAT_OUT	GPIO1_DAT_OUT	GPIO0_DAT_OUT
R/W-0b	R/W-0b	R-00b		R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-15. GPIO\_DATA\_OUTPUT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO3_SRC	R/W	0b	GPIO3 データソースの選択 GPIO3 がデジタル出力として設定されている場合に、GPIO3 ピンのデータソースを選択します。 0b = GPIO3_DAT_OUT ビット 1b = DRDY
6	GPIO2_SRC	R/W	0b	GPIO2 データソースの選択 GPIO2 がデジタル出力として設定されている場合に、GPIO2 ピンのデータソースを選択します。AVDD_UVn、REF_UVn、REG_MAP_CRC_FAULTn、MEM_FAULTn の各ステータスビットのいずれかが「0b」になると、FAULT ピンは low になります。 0b = GPIO2_DAT_OUT ビット 1b = FAULT
5:4	予約済み	R	00b	予約済み 常に 00b が読み出されます。
3	GPIO3_DAT_OUT	R/W	0b	GPIO3 データ デジタル出力として設定されている場合の GPIO3 の書き込み値です。GPIO3 がデジタル入力として構成されている場合、または DRDY をデータソースとして構成されている場合、ビット設定は影響されません。 0b = Low 1b = High
2	GPIO2_DAT_OUT	R/W	0b	GPIO2 データ デジタル出力として設定されている場合の GPIO2 の書き込み値です。GPIO2 がデジタル入力として構成されている場合、または FAULT をデータソースとして構成されている場合、ビット設定は影響されません。 0b = Low 1b = High
1	GPIO1_DAT_OUT	R/W	0b	GPIO1 データ デジタル出力として設定されている場合の GPIO1 の書き込み値です。GPIO1 がデジタル入力として設定されている場合、このビット設定は無効です。 0b = Low 1b = High
0	GPIO0_DAT_OUT	R/W	0b	GPIO0 データ デジタル出力として設定されている場合の GPIO0 の書き込み値です。GPIO0 がデジタル入力として設定されている場合、このビット設定は無効です。 0b = Low 1b = High

### 8.14 IDAC\_MAG\_CFG レジスタ (アドレス = 0Dh) [リセット = 00h]

概略表に戻ります。

図 8-14. IDAC\_MAG\_CFG レジスタ

7	6	5	4	3	2	1	0
I2MAG[3:0]				I1MAG[3:0]			
R/W-0000b				R/W-0000b			

表 8-16. IDAC\_MAG\_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	I2MAG[3:0]	R/W	0000b	IDAC2 の振幅の選択 励起電流源 IDAC2 の値を選択します。 0000b=ディセーブル 0001b = 1x IUNIT 0010b = 10x IUNIT 0011b = 20x IUNIT 0100b = 30x IUNIT 0101b = 40x IUNIT 0110b = 50x IUNIT 0111b = 60x IUNIT 1000b = 70x IUNIT 1001b = 80x IUNIT 1010b = 90x IUNIT 1011b = 100x IUNIT 1100b = 100x IUNIT 1101b = 100x IUNIT 1110b = 100x IUNIT 1111b = 100x IUNIT
3:0	I1MAG[3:0]	R/W	0000b	IDAC1 の振幅の選択 励起電流源 IDAC1 の値を選択します。 0000b=ディセーブル 0001b = 1x IUNIT 0010b = 10x IUNIT 0011b = 20x IUNIT 0100b = 30x IUNIT 0101b = 40x IUNIT 0110b = 50x IUNIT 0111b = 60x IUNIT 1000b = 70x IUNIT 1001b = 80x IUNIT 1010b = 90x IUNIT 1011b = 100x IUNIT 1100b = 100x IUNIT 1101b = 100x IUNIT 1110b = 100x IUNIT 1111b = 100x IUNIT

### 8.15 IDAC\_MUX\_CFG レジスタ (アドレス = 0Eh) [リセット = 10h]

概略表に戻ります。

図 8-15. IDAC\_MUX\_CFG レジスタ

7	6	5	4	3	2	1	0
IUNIT	I2MUX[2:0]			予約済み		I1MUX[2:0]	
R/W-0b	R/W-001b			R-0b		R/W-000b	

表 8-17. IDAC\_MUX\_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IUNIT	R/W	0b	IDAC ユニット電流の選択 励起電流源 IDAC1 と IDAC2 のユニット電流を選択します。 0b = 1μA 1b = 10μA
6:4	I2MUX[2:0]	R/W	001b	IDAC2 出力ピンの選択 IDAC2 の出力ピンを選択します。IDAC1 と IDAC2 は、必要に応じて同じピンに配線できます。IDAC2 出力として使用されるアナログ入力、引き続きアナログ入力またはリファレンス電圧入力として使用できます。 000b = AIN0 001b = AIN1 010b = AIN2 011b = AIN3 100b = AIN4 101b = AIN5 110b = AIN6 111b = AIN7
3	予約済み	R	0b	予約済み 常に 0b が読み出されます。
2:0	I1MUX[2:0]	R/W	000b	IDAC1 出力ピンの選択 IDAC1 の出力ピンを選択します。IDAC1 と IDAC2 は、必要に応じて同じピンに配線できます。IDAC1 出力として使用されるアナログ入力は、引き続きアナログ入力またはリファレンス電圧入力として使用できます。 000b = AIN0 001b = AIN1 010b = AIN2 011b = AIN3 100b = AIN4 101b = AIN5 110b = AIN6 111b = AIN7

## 8.16 REG\_MAP\_CRC レジスタ (アドレス = 0Fh) [リセット = 00h]

[概略表](#)に戻ります。

図 8-16. REG\_MAP\_CRC レジスタ

7	6	5	4	3	2	1	0
REG_MAP_CRC_VAL[7:0]							
R/W-00000000b							

表 8-18. REG\_MAP\_CRC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	REG_MAP_CRC_VAL[7:0]	R/W	00000000b	レジスタ マップの CRC 値 レジスタ マップの CRC 値は、レジスタ 05h ~ 0Eh のユーザが計算した CRC 値です。このレジスタに書き込まれた CRC 値は、内部 CRC 計算と比較されます。値が一致しない場合、STATUS_MSB レジスタの REG_MAP_CRC_FAULTn ビットがセットされます。REG_MAP_CRC_EN ビットを使用して、レジスタ マップ CRC を有効にします。

## 9 アプリケーションと実装

### 注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 9.1 アプリケーション情報

#### 9.1.1 シリアル インターフェイスの接続

図 9-1 は、ADS1x2S14 の基本的なインターフェース接続を示しています。

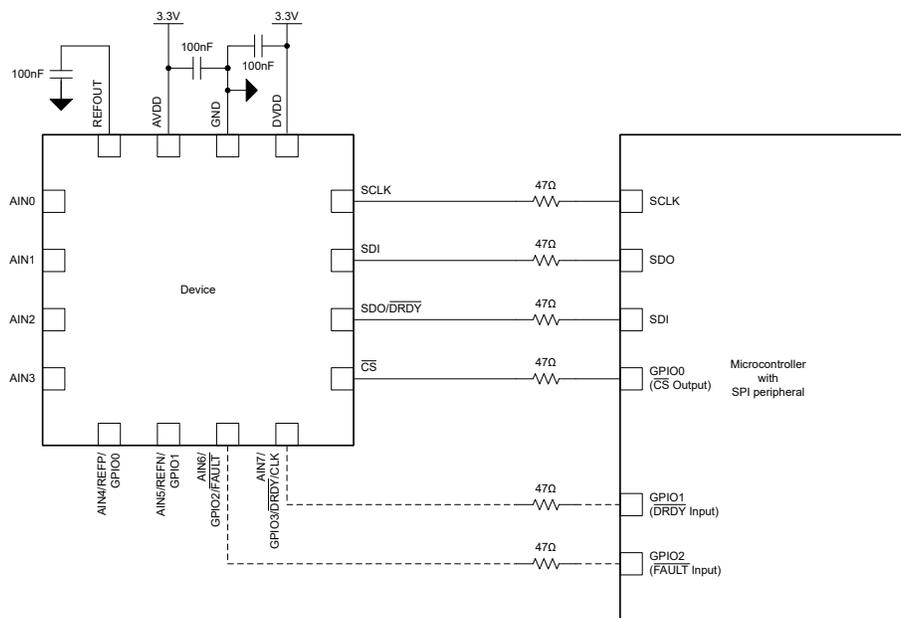


図 9-1. シリアル インターフェイスの接続

ほとんどのマイコン SPI ペリフェラルは、デバイスと接続できます。インターフェイスは、SPI 構成 (CPOL = 0、CPHA = 1) のみをサポートします。この構成では、SCLK はアイドル時に Low となり、データは SCLK の立ち上がりエッジで出力または変更され、SCLK の立ち下がりエッジでラッチまたは読み取られます。

CS ピンを永続的に GND に接続することで、デバイスを 3 線式 SPI モードで動作させることができます。

オプションで、割り込みによる新しいデータレディ表示が必要な場合は、専用の DRDY ピンを立ち下がりエッジトリガ割り込み対応 GPIO に配線します。このために、AIN7/ GPIO3/DRDY/CLK ピンを DRDY 出力として構成します (GPIO3\_CFG = 10b または 11b および GPIO3\_SRC = 1b)。

FAULT ピンはホストコントローラに接続でき、故障フラグによる故障表示のほかに、ピンによる故障表示が必要な場合も備えています。このために、AIN6/GPIO2/FAULT ピンを故障出力として構成します (GPIO2\_CFG = 10b または 11b および GPIO2\_SRC = 1b)。

DRDY ピンまたは FAULT ピンがオープンドレイン出力として設定されている場合は、これらのピンに DVDD へのプルアップ抵抗を追加します。

デバイスまたはマイコンのパワーアップ時に特定の信号レベルを駆動する必要がある場合、デジタル入力および出力信号ラインにプルアップ抵抗またはプルダウン抵抗を配置できます。

オプションとして、すべてのデジタル入出力ピンと直列に抵抗を配置します。標準的な直列抵抗値の範囲は  $10\Omega \sim 50\Omega$  です。この抵抗は、鋭い信号遷移を平滑化し、オーバーシュートを抑制し、過電圧保護を提供します。追加の抵抗は、デジタル信号ライン上に存在するバス容量と相互作用するため、すべての SPI タイミング要件を満たすように注意する必要があります。

### 9.1.2 複数のデバイスとのインターフェイス

ADS1x2S14 は、1 つの SPI バスで複数のデバイスを動作させるために次の 2 つの方法を備えています：

- **デジジーチェーン動作** セクションで説明されている、すべてのデバイスで単一の  $\overline{\text{CS}}$  信号を使用したデジジーチェーン接続。ホストは、データを送信するために、チェーン内の最初のデバイスの SDI に接続されます。チェーン内の最初のデバイスの SDO 信号は、次のデバイスの SDI 信号に接続され、同様に順次接続されます。ホストコントローラは、チェーン内の最後のデバイスの SDO 信号からデータを受信します。すべてのデバイスが同じ SCLK 信号を共有します。この方法では、ホストはチェーン内のすべてのデバイスと同時に通信できます。ただし、チェーンに接続されているデバイスの数に応じて、SPI フレームが非常に長くなる可能性があります。
- **図 9-2** に示すように、各デバイスに専用の  $\overline{\text{CS}}$  信号を使用します。この場合、すべてのデバイスが SCLK、SDI、SDO/DRDY 信号を共有します。 $\overline{\text{CS}}$  が low のデバイスのみが、SDO/DRDY ピンを駆動します。他のすべてのデバイスの SDO/DRDY 出力は、 $\overline{\text{CS}}$  が high になり、SDO ラインでの競合を避けるため、ハイインピーダンス状態になります。ホストコントローラは、各デバイスと一度に 1 つずつ接続します。

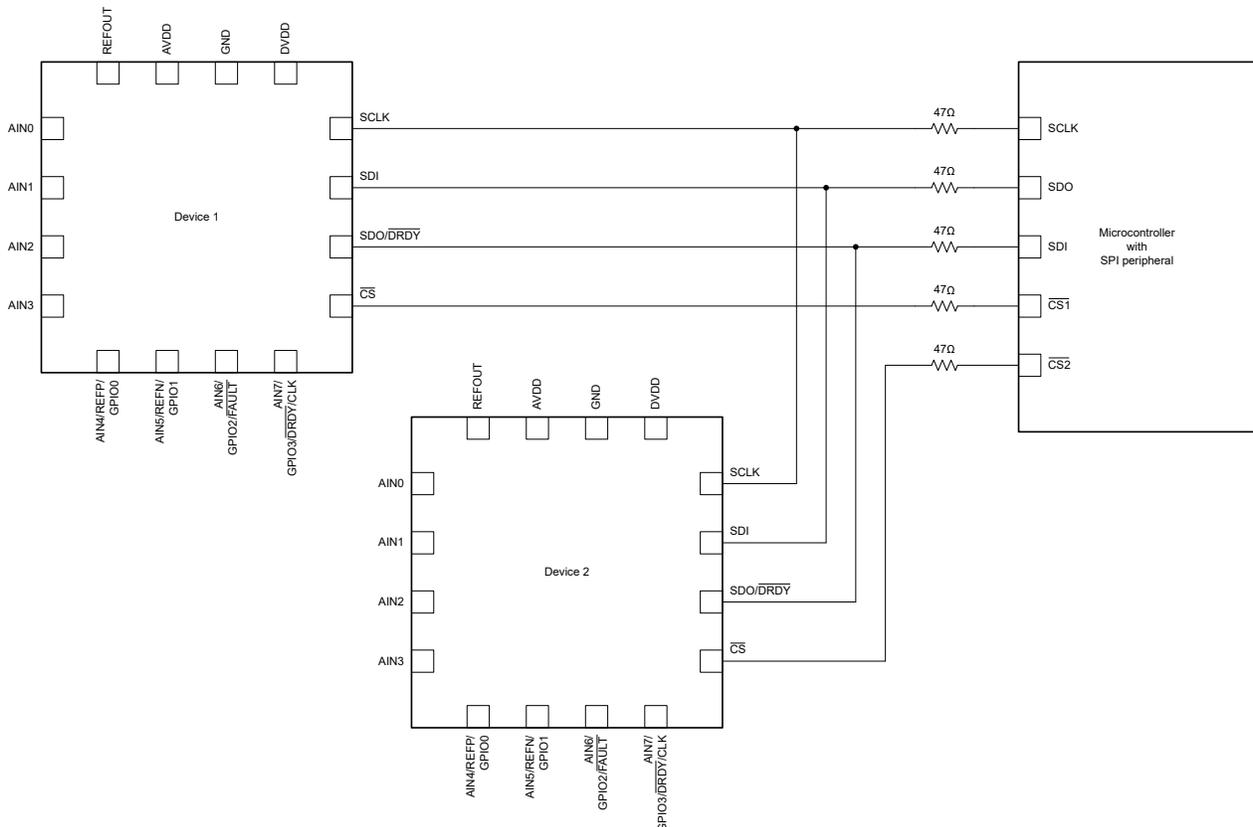


図 9-2. 個別の  $\overline{\text{CS}}$  信号を使用した複数のデバイス シリアル インターフェイス接続

### 9.1.3 未使用入出力

未使用のデバイスピン接続については、以下のガイドラインに従ってください。

- 未使用のアナログ入力、フローティングのままにするか、GND に接続します。
- REFP、REFN、GPIO0、GPIO1、GPIO2、GPIO3 を使用しない場合、 $\overline{\text{FAULT}}$ 、 $\overline{\text{DRDY}}$ 、または CLK 機能で、各ピンをアナログ入力 (GPIOx\_CFG[1:0] = 00b) として構成し、上記の未使用アナログ入力のガイドラインに従います。
- 3 線式 SPI モードを使用する場合は、 $\overline{\text{CS}}$  ピンを GND に接続します。

### 9.1.4 デバイスの初期化

図 9-3 に、ADS1x2S14 を初期化し、連続変換モードで変換を開始するために必要なシーケンス ステップを示します。この例では、デバイスは専用の  $\overline{\text{DRDY}}$  ピンを使用して、新しい変換データがホスト コントローラに使用可能かどうかを示します。

ホスト コントローラの SPI を CPOL = 0 および CPHA = 1 に構成します。デバイスの  $\overline{\text{DRDY}}$  ピンに接続するホスト コントローラ GPIO を、立ち下がりエッジトリガ割り込み入力として構成します。

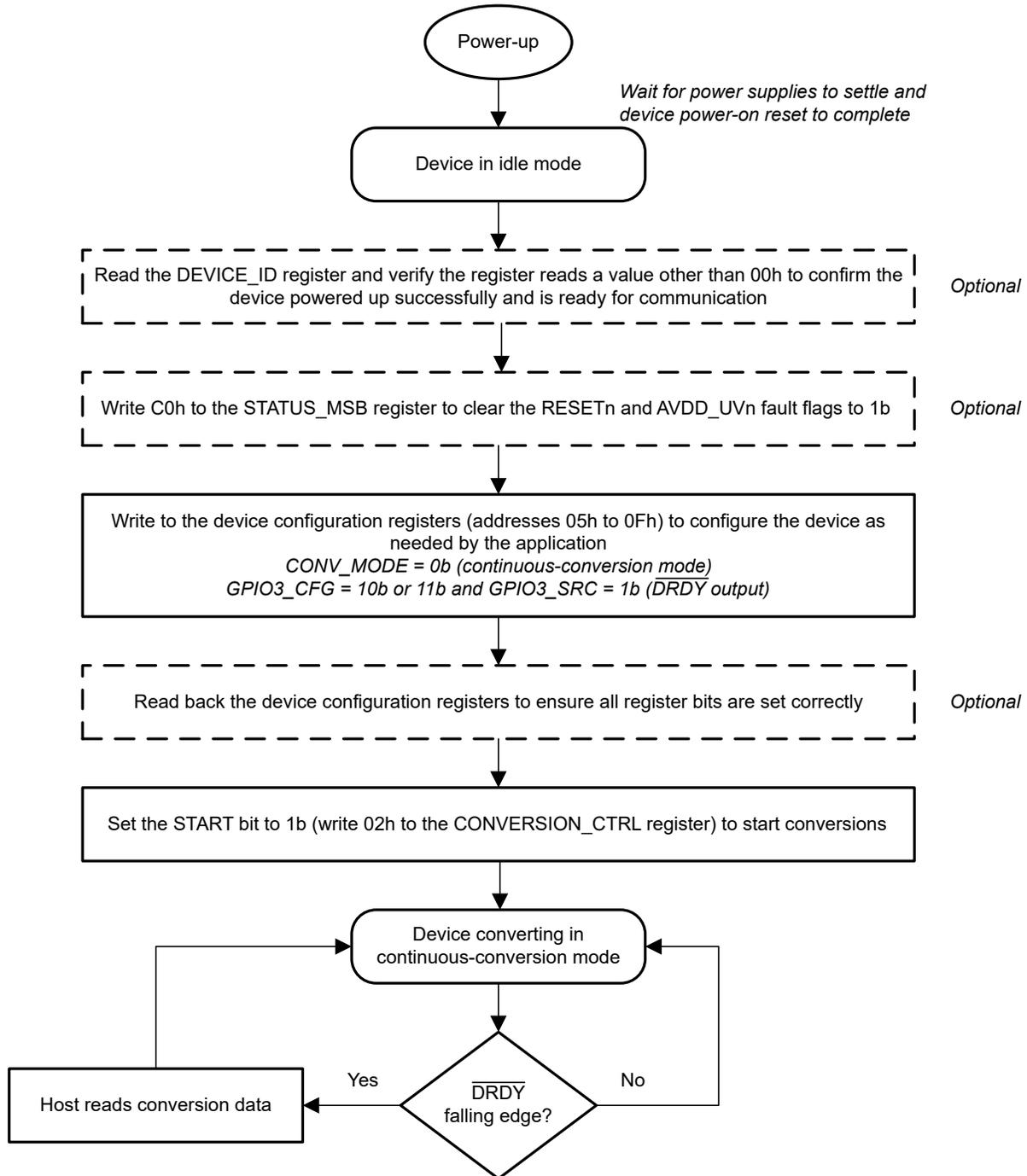


図 9-3. デバイス初期化フローチャート

## 9.2 代表的なアプリケーション

### 9.2.1 ソフトウェアで構成可能な RTD 測定入力

ADS1x2S14 は、比率測定方式の RTD 測定入力モジュールを実装するために必要なすべての機能(励起電流源、バッファ付き外部リファレンス入力、PGA など)を統合しており、ソフトウェア設定によって 2 線式、3 線式、および 4 線式 RTD に対応します。図 9-4 は、ソフトウェアで構成可能な RTD 測定入力モジュールの実装例を示します。

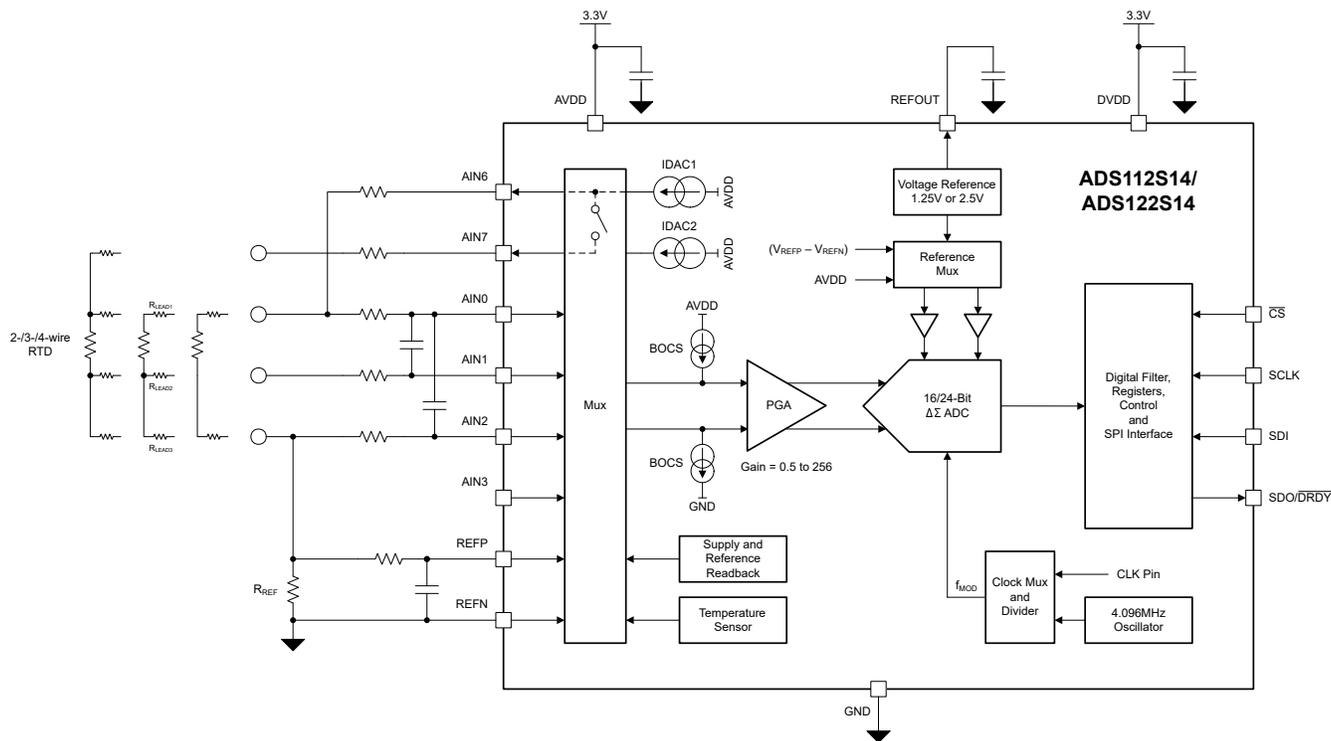


図 9-4. ソフトウェアで構成可能な RTD 測定入力

#### 9.2.1.1 設計要件

表 9-1. 設計パラメータ

設計パラメータ	値
電源電圧	3.3V
サポートされる RTD タイプ	2 線式、3 線式、4 線式 Pt100
消費電流	500μA (最大値)
温度の測定範囲	-200°C ~ +850°C
T <sub>A</sub> = 25°C での測定の正確性	±0.1°C
50Hz または 60Hz (±1Hz) でのラインサイクル除去	80dB (最小値)
RTD 端子での最大過電圧	±10V

#### 9.2.1.2 詳細な設計手順

図 9-4 の回路では、レシオメトリック測定構成が採用されています。つまり、センサ信号 (この場合は RTD 両端の電圧) と ADC 用のリファレンス電圧は、同一の励起源から生成されます。そのため、励起源の温度ドリフトやノイズに起因する誤差は、センサ信号とリファレンスの両方に共通で現れるため、相殺されます。

このデバイスで比率測定方式の RTD 測定を実装するには、I1MUX[2:0] ビットを使用して、IDAC1 を AIN7 (4 線式 RTD 接続の場合) または AIN6 (2 線式および 3 線式 RTD 接続の場合) にルーティングします。I1MAG[3:0] ビットを使用して、励起電流源の値を選択します。励起電流は RTD を流れ、高精度で低ドリフトの基準抵抗  $R_{REF}$  をグラウンドに接続します。基準抵抗の両端で生成される電圧  $V_{REF}$  が、ADC リファレンス電圧として使用されます (式 14 を参照)。その目的のために、REF\_SEL[1:0] を使用して、AIN4/REFP ピンと AIN5/REFN ピン間の外部電圧リファレンスを選択します

$$V_{REF} = I_{IDAC1} \times R_{REF} \quad (14)$$

以下の説明を簡単にするため、RTD の個別のリード抵抗値 ( $R_{LEADx}$ ) をゼロに設定します。式 15 に示すように、IDAC1 は RTD を励起し、温度依存 RTD 値と IDAC1 値に比例する電圧 ( $V_{RTD}$ ) を生成します。

$$V_{RTD} = R_{RTD} \times I_{IDAC1} \quad (15)$$

RTD の種類に応じて、AINP[3:0] および AINN[3:0] ビットを使用し、 $V_{RTD}$  を測定するためのアナログ入力を選択します:

- 2 線式 RTD の場合、 $AIN_P = AIN0$  と  $AIN_N = AIN2$  の間を測定します。
- 3 線式または 4 線式 RTD の場合、 $AIN_P = AIN0$  と  $AIN_N = AIN1$  の間を測定します。

このデバイスは、PGA を使用して RTD 両端の電圧を内部的に増幅し、結果として得られた電圧を基準電圧と比較して、式 16 に従ってデジタル出力コードを生成します。

$$Code / 2^n = V_{RTD} \times Gain / V_{REF} = (R_{RTD} \times I_{IDAC1} \times Gain) / (I_{IDAC1} \times R_{REF}) \quad (16)$$

$$Code / 2^n = (R_{RTD} \times Gain) / R_{REF} \quad (17)$$

ここで、 $n$  は選択した符号化方式および ADC の分解能に依存します:

- $n = 15$  (16 ビット ADC、バイナリ 2 の補数形式)
- $n = 16$  (16 ビット ADC、ユニポーラ ストレート バイナリ形式)
- $n = 23$  (24 ビット ADC、バイナリ 2 の補数形式)
- $n = 24$  (24 ビット ADC、ユニポーラ ストレート バイナリ形式)

式 17 に示すように、出力コードは RTD の値、PGA ゲイン、基準抵抗 ( $R_{REF}$ ) に依存しますが、IDAC1 の値には依存しません。したがって、励起電流の絶対精度や温度ドリフトは問題になりません。ただし、リファレンス抵抗の値は測定結果に直接影響するため、 $R_{REF}$  で生じる測定誤差を制限するには、良好な初期精度と温度係数が非常に小さいリファレンス抵抗を選択することが重要です。

リファレンス抵抗  $R_{REF}$  は、デバイスのリファレンス電圧を生成するだけでなく、RTD のリード電圧を PGA の規定された絶対入力電圧範囲内に設定します。これは、PGA のゲインが 10 を超える場合に重要です。というのも、ゲインが 10 を超える設定では、PGA が動作するために GND からのヘッドルームが必要になるためです。

回路を設計するときは、IDAC のコンプライアンス電圧要件も満たすように注意する必要があります。IDAC が正確に動作するためには、電流経路から GND に向かって生じる最大電圧降下が、規定されたコンプライアンス電圧以下である必要があります。

設計要件で述べたように、この設計例では、 $-200^{\circ}\text{C}$  から  $+850^{\circ}\text{C}$  の範囲を測定する Pt100 素子の回路実装について説明します。この例に必要な電力バジェットを満たすために、Pt100 の励起電流は  $I_{IDAC1} = 400\mu\text{A}$  として選択されます。前述のように、 $R_{REF}$  の両端の電圧は、ADC の基準電圧を生成するほか、RTD 測定の絶対入力電圧も設定します。一般に、IDAC のコンプライアンス電圧を維持し、かつ PGA の絶対入力電圧要件を満たす範囲で、可能な限り高いリファレンス電圧を選択します。同相電圧をアナログ電源の半分またはそれ以下に設定することが、設計の出発点として適切です。この例では、目標同相電圧として 1.6V を使用します。したがって、 $R_{REF}$  の値は式 18 を用いて計算します:

$$R_{REF} = V_{REF} / I_{IDAC1} = 1.6\text{V} / 400\mu\text{A} = 4\text{k}\Omega \quad (18)$$

温度および時間の変化に対して優れた測定精度を達成するには、 $R_{REF}$  の安定性が重要です。温度係数  $\pm 10\text{ppm}/^{\circ}\text{C}$  以下の基準抵抗を選択することをお勧めします。

最後のステップとして、ADC の FSR への最大入力信号に一致するように PGA ゲインを選択します。Pt100 の抵抗値は温度とともに上昇します。したがって、測定する最大電圧 ( $V_{INMAX}$ ) は極端な正温度のときに発生します。850°C では、NIST の表に基づくと、Pt100 の等価抵抗は約 391Ω です。Pt100 両端の電圧は式 19 と等しくなります:

$$V_{INMAX} = V_{RTD} \text{ (at } 850^{\circ}\text{C)} = R_{RTD} \text{ (at } 850^{\circ}\text{C)} \times I_{IDAC1} = 391\Omega \times 400\mu\text{A} = 156.4\text{mV} \quad (19)$$

1.6V のリファレンス電圧を使用した場合に適用可能な最大ゲインは、 $(1.6\text{V}/156.4\text{mV}) = 10.23$  と計算されます。ADS1x2S14 で利用可能な、次に小さい PGA ゲイン設定は 10 です。ゲインが 10 のとき、このデバイスは式 20 に示すような FSR 値を提供します:

$$\text{FSR} = \pm V_{REF} / \text{Gain} = \pm 1.6\text{V} / 10 = \pm 160\text{mV} \quad (20)$$

この範囲により、IDAC およびリファレンス抵抗の初期精度やドリフトに対するマージンを確保できます。

ADC の消費電力を最小限に抑えるため、速度モード 0 ( $f_{MOD} = 32\text{kHz}$ ) は、SPEED\_MODE[1:0] ビットを使って選択します。また、50Hz および 60Hz におけるライン サイクル リジエクシオン要件を満たすため、FLTR\_OSR[2:0] ビットを使用して出力データレートを 20SPS に設定します。同じ 20SPS の出力データレート設定を持つ高速モードを選択した場合、測定分解能 (ADC ノイズで決定) は消費電力の増加を代償として増加します。ただし、測定精度 (ゲイン誤差やオフセット誤差などの ADC DC 誤差によって決定) は、速度モード設定にほとんど影響されません。

アナログ入力および正のリファレンス入力に直列に入れる抵抗の主な目的は、過電圧状態からデバイス入力を保護することです。アプリケーションにおいて RTD 端子に過電圧状態が発生する可能性がある場合は、アナログ入力および正のリファレンス入力に流れ込む電流が 10mA 未満に制限されるよう、直列抵抗の値を選択します。この例では、RTD 端子に最大 ±10V の過電圧が印加された場合でも入力電流を 5mA 未満に制限するため、2.2kΩ の直列抵抗値を選択しています。抵抗値を選択するときは、直列抵抗とアナログ入力およびリファレンス入力への入力電流との相互作用を考慮します。直列抵抗の両端で発生する電圧降下は、オフセット誤差の可能性があります。さらに、直列抵抗は入力コンデンサと組み合わせることで、一次の RC アンチエイリアシング フィルタを形成します。デルタシグマ ADC では、RC フィルタの正確なコーナー周波数はそれほど重要ではありません。一般的な推奨事項は、ADC の変調器周波数の 10 分の 1 以上低いコーナー周波数を選択することです。

IDAC、 $R_{REF}$ 、PGA ゲイン、直列抵抗の値を選択した後で、その設定が PGA の絶対入力電圧要件および IDAC のコンプライアンス電圧を満たしていることを再確認します。計算には、RTD のリード抵抗および IDAC1 出力ピンにある直列抵抗により、IDAC1 で生じる電圧降下を含めます。

この例では、2 段階測定手法を実装することで、3 線式 RTD に対するリード線補償を実現しています。

1. 手順 1 で、AIN0 と AIN1 の間の電圧 ( $V_1$ ) を測定します。
2. 2 番目の測定ステップで、AIN0 と AIN2 の間の電圧 ( $V_2$ ) を測定します。

式 21 と式 22 に、2 つの測定値を示します。

$$V_1 = I_{IDAC1} (R_{LEAD1} + R_{RTD}) \quad (21)$$

$$V_2 = I_{IDAC1} (R_{LEAD1} + R_{RTD} + R_{LEAD3}) \quad (22)$$

3 本すべてのリード抵抗が同じ値  $R_{LEAD}$  を持つと仮定するのは妥当です。そのため、リード線補償 RTD 電圧を計算するには、式 23 を使用します。

$$V_{RTD} = 2 \times V_1 - V_2 = 2 \times [I_{IDAC1} (R_{LEAD} + R_{RTD})] - I_{IDAC1} (2 \times R_{LEAD} + R_{RTD}) = I_{IDAC1} \times R_{RTD} \quad (23)$$

RTD 測定レジスタ ビットの設定に、この設計例の各種測定における重要なレジスタ ビット設定を示します。

表 9-2. RTD 測定レジスタ ビットの設定

レジスタビット	2-WIRE RTD		3-WIRE RTD		4-WIRE RTD
			V <sub>1</sub>	V <sub>2</sub>	
SPEED_MODE[1:0]	00b (スピード モード 0)				
FLTR_OSR[2:0]	111b (f <sub>DATA</sub> = 20SPS)				
GAIN[3:0]	0110b (ゲイン = 10)				
REFP_BUF_EN	1b (REFP バッファが有効)				
REFN_BUF_EN	0b (REFN バッファが無効)				
REF_SEL[1:0]	01b (外部リファレンス)				
IUNIT	1b (IUNIT = 10μA)				
I2MAG[3:0]	0000b (IDAC2 が無効)				
I2MUX[2:0]	未使用				
I1MAG[3:0]	0101b (I <sub>IDAC1</sub> = 40 × IUNIT)				
I1MUX[2:0]	110b (AIN6)	110b (AIN6)	110b (AIN6)	111b (AIN7)	
AINP[3:0]	0000b (AIN0)	0000b (AIN0)	0000b (AIN0)	0000b (AIN0)	0000b (AIN0)
AINN[3:0]	0010b (AIN2)	0001b (AIN1)	0010b (AIN2)	0001b (AIN1)	0001b (AIN1)

RTD 測定回路と TI ADC を使用した実装の詳細については、[RTD 測定に関する基本的なガイド](#) アプリケーション ノート を参照してください。ADS1x2S14 に内蔵されている機能と類似の機能を使用したセンサ故障検出のさまざまな方針については、[高精度デルタ シグマ ADC を使用した RTD 断線検出](#) アプリケーション ノートで説明しています。ホスト コントローラ上で RTD の線形化アルゴリズムを実装する方法を示した、C コードによるソフトウェア ライブラリが[こちら](#)に用意されています。

### 9.2.1.3 アプリケーション特性の波形

図 9-5 および図 9-6 に、4 線式 Pt100 の測定結果を示します。測定は、4 線式 Pt100 の代わりに高精度抵抗を使用して、T<sub>A</sub> = 25°C で行われます。図 9-5 は、キャリブレーションなしの場合と、システムのオフセットおよびゲイン キャリブレーション後の抵抗測定誤差の両方を示しています。図 9-6 のそれぞれの温度測定誤差は、NIST 表を使用して、図 9-5 のオフセットおよびゲイン誤差の補正データから計算されます。

この設計は、[設計要件](#)に示す必要な温度測定精度を満たしています。ただし、図 9-6 に示す測定誤差には、RTD の誤差は含まれていません。

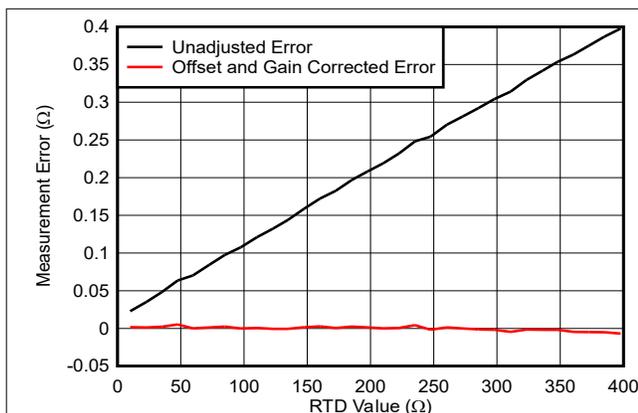


図 9-5. 抵抗測定誤差と RTD 抵抗との関係

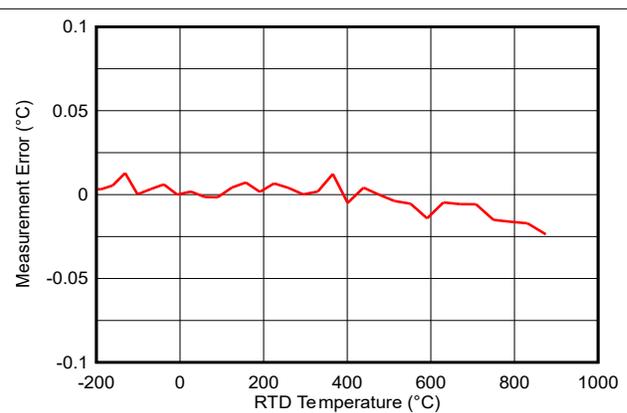


図 9-6. 温度測定誤差と RTD 温度との関係

### 9.2.1.4 設計バリエーション – 3つのIDACを使用した自動リードワイヤ補償付き3線式RTD測定

図 9-4 に示す回路実装では、3 線式 RTD の導線抵抗を補償するため、2 回の測定が必要です。または、2 番目の IDAC を利用して、図 9-7 に示すように、3 線式 RTD リード線自動補償を実装します。これにより、個別の導線抵抗測定ステップは必要ありません。

そのため、IDAC2 を AIN3 にルーティングし、AIN3 を AIN1 の手前にある直列抵抗に端子が接続されるポイントへ接続します。この構成では、両方の励起電流値を 400µA から 200µA に変更する(または基準抵抗値を 4kΩ から 2kΩ に変更する)とともに、PGA ゲインを 10 から 20 に変更します。AIN0 と AIN1 間の単一の測定で、リードワイヤ補償された RTD 値を取得するのに十分です。この実装での 3 線式 RTD の抵抗を計算するには、式 24 を使用します。

$$\text{Code} / 2^n = (R_{\text{RTD}} \times \text{Gain}) / (2 \times R_{\text{REF}}) \tag{24}$$

ここで、n は式 17 のガイドラインに従います。

詳細については、[RTD 測定に関する基本的なガイドアプリケーション ノート](#)を参照してください。

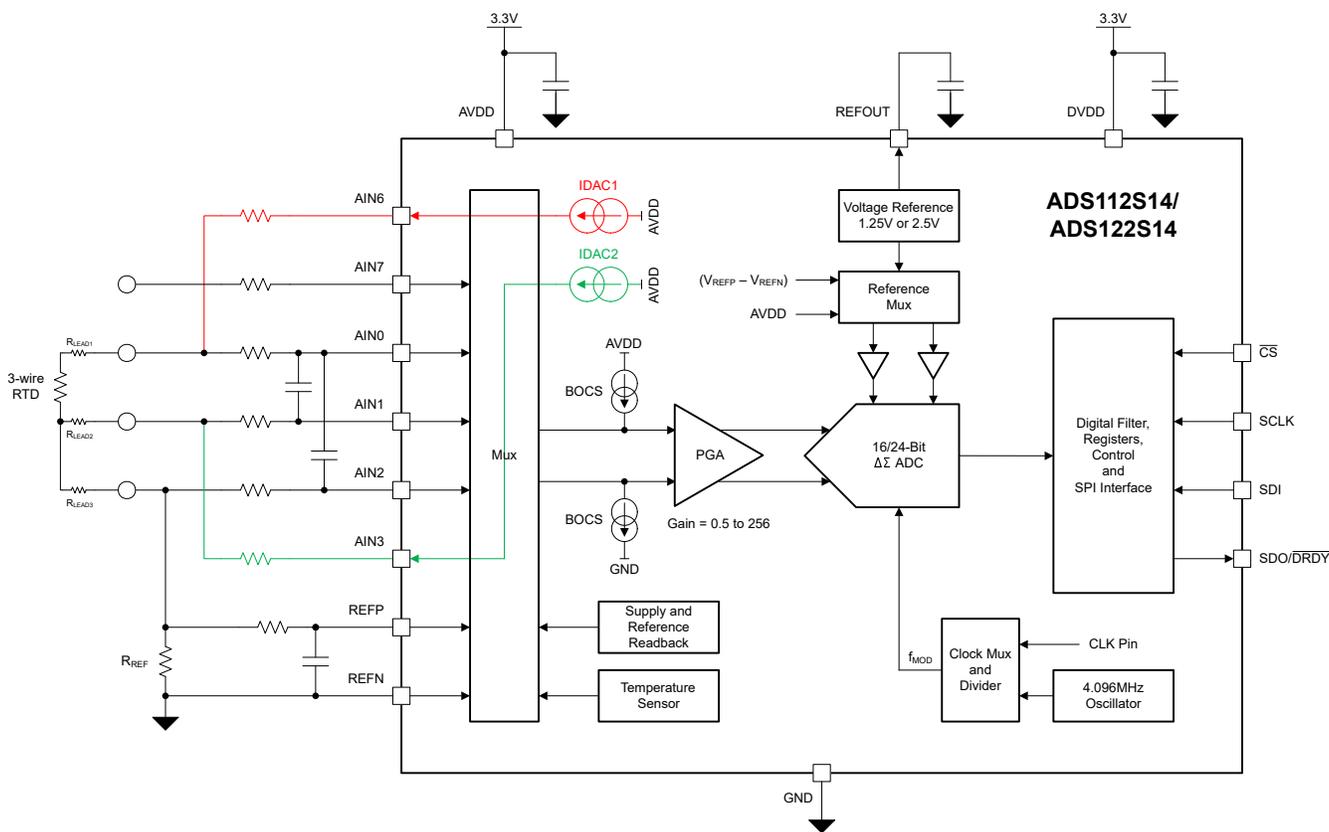


図 9-7. 自動リードワイヤ補償のために 2 つの IDAC を使用した 3 線式 RTD 測定の実装

### 9.2.2.2 線式 RTD を使用した冷接点補償による熱電対測定

図 9-8 は、冷接点温度測定に 2 線式 RTD を用いた熱電対測定の実装を示します。ADS1x2S14 では、冷接点温度を測定する他の方法も使用できます。例えば、サーミスタ (TMP61 など)、アナログ出力温度センサ (LMT70A など)、または内蔵温度センサを使用する方法があります。

式 25 に、ADC コードと、AIN0 と AIN1 の間で測定された熱電対電圧 ( $V_{TC}$ ) との関係を示します。

$$\text{Code} / 2^n = (V_{TC} \times \text{Gain}) / V_{REF} \quad (25)$$

ここで、 $n$  は式 17 のガイドラインに従います。

回路実装における重要な点の 1 つは、熱電対の端子電圧が ADS1x2S14 の入力電圧要件を満たすように、熱電対にバイアスを与えることです。この例では、RC フィルタの前段にあるプルアップおよびプルダウン抵抗 (通常  $1\text{M}\Omega \sim 10\text{M}\Omega$  の範囲) を使用して、熱電対の出力電圧を  $AVDD / 2$  にバイアスしています。同時に、プルアップ抵抗およびプルダウン抵抗は、センサ接続が開いていることを検出する手段として機能します。センサ接続がオープンの場合、正のアナログ入力 (AIN0) は  $AVDD$  にプルされ、負のアナログ入力 (AIN1) は  $GND$  にプルされます。この状態では、熱電対の通常の測定範囲外となる測定結果が得られます。

熱電対をバイアスする他の多くの方法も使用できます。例えば、プルダウン抵抗の代わりに REFOUT を負の熱電対端子に接続することで、基準出力電圧を使用できます。熱電対測定回路および TI ADC を用いた実装の詳細については、[熱電対測定の基本ガイドアプリケーション ノート](#)を参照してください。ホスト コントローラで熱電対の直線化および冷接点補償アルゴリズムを実装する方法を示す C コードを使用したソフトウェア ライブラリは[こちら](#)で入手できます。

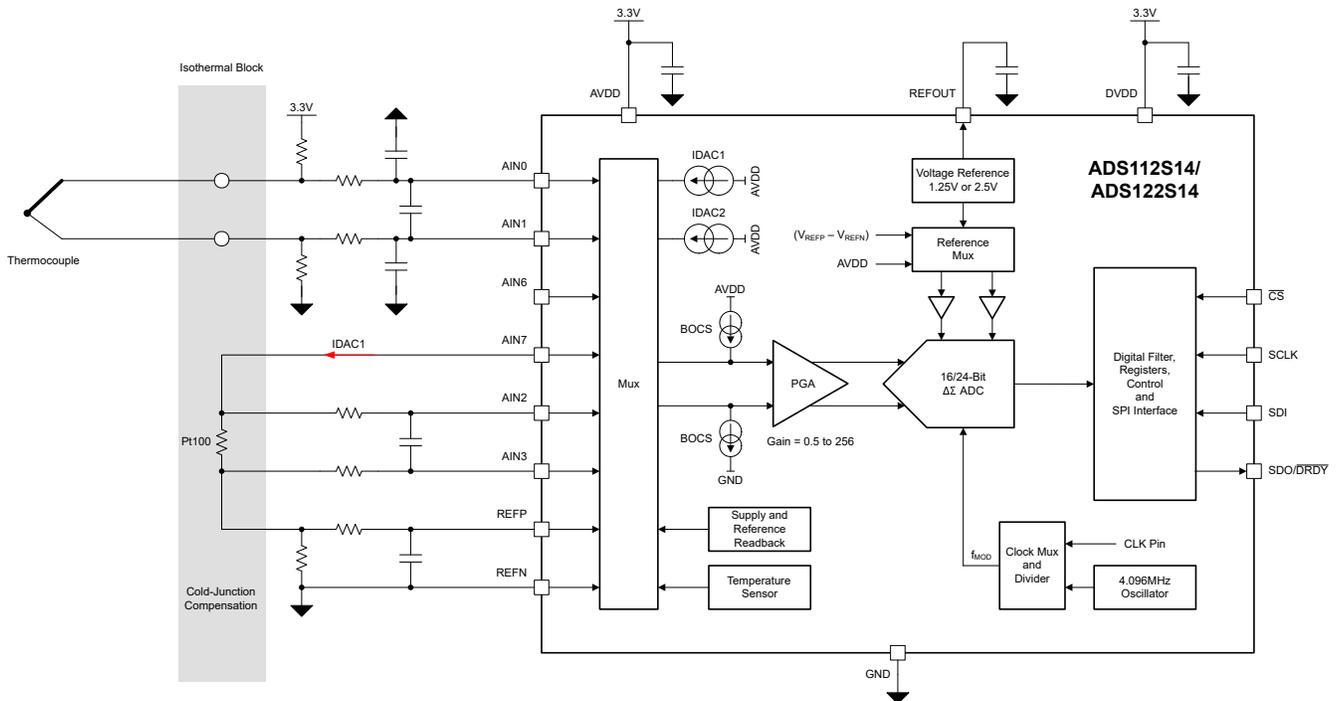


図 9-8. 2 線式 RTD を使用した冷接点補償による熱電対測定

### 9.2.3 温度補償付き抵抗ブリッジ センサ測定

図 9-9 と図 9-10 に、ADS1x2S14 を使用した温度補償付き抵抗ブリッジ センサ測定の実装方法の 2 つの例を示します。ブリッジの温度は通常、ホストコントローラで使用され、ブリッジの温度ドリフトを補償するために用いられます。

図 9-9 に示す回路実装では、アナログ電源を使用してブリッジ センサを励起します。ブリッジ励起電圧を ADC の外部基準電圧として使用して、レゾメトリックブリッジ測定を実装します。アナログ電源の代わりに、内蔵された励起電流源の 1 つを使用してブリッジを励起することもできます。式 26～式 28 に圧力センサを使って、ADC の出力コードと印加されるブリッジ信号との関係を導く方法を示します。式 28 は、この比率測定方式の回路実装において、出力コードが励起電圧に依存しないことを示しています。

$$V_{\text{Bridge}} = V_{\text{AIN2}} - V_{\text{AIN3}} = (\text{Pressure}_{\text{APL}} / \text{Pressure}_{\text{MAX}}) \times \text{Sensitivity} \times V_{\text{Excitation}} \quad (26)$$

$$\text{Code} / 2^n = V_{\text{Bridge}} \times \text{Gain} / V_{\text{REF}} \quad (27)$$

$$\text{Code} / 2^n = (\text{Pressure}_{\text{APL}} / \text{Pressure}_{\text{MAX}}) \times \text{Sensitivity} \times \text{Gain} \quad (28)$$

ここで:

- $V_{\text{Excitation}} = V_{\text{REF}} = \text{AVDD}$
- $\text{Pressure}_{\text{APL}} =$  適用された圧力
- $\text{Pressure}_{\text{MAX}} =$  圧力センサの最大容量。ブリッジ センサがフルスケール出力信号を出力する圧力を意味します
- 感度 = ブリッジ センサの感度で、通常、ブリッジ励起の mV/V 単位で与えられます
- n は式 17 のガイドラインに従います

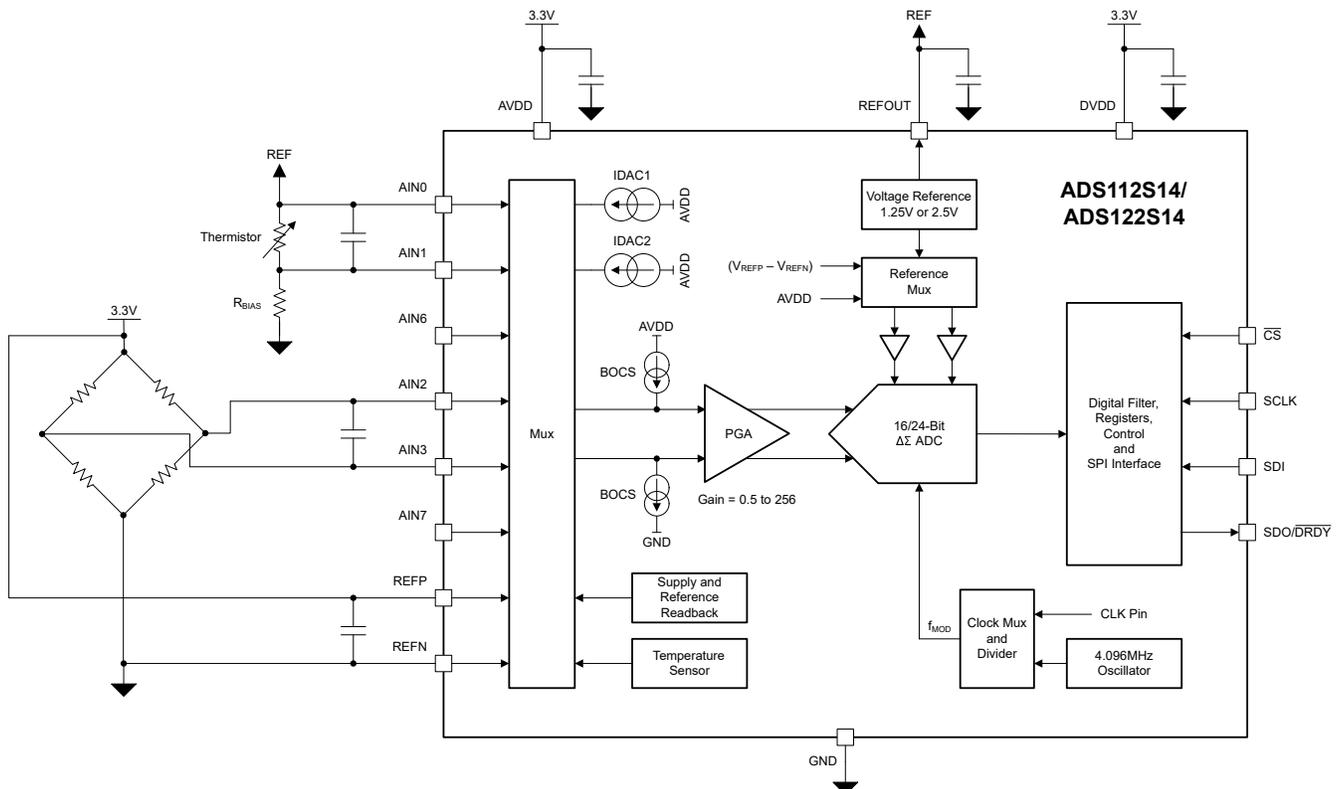


図 9-9. 抵抗性ブリッジセンサ測定の例 1  
 (アナログ電源をブリッジ励起に使用し、サーミスタでブリッジ温度を測定する方法)

この例は、ブリッジ温度を測定するためのサーミスタを示しています。この場合、リファレンス電圧出力を使用して、レシオメトリックサーミスタ測定を実装します。式 30 に基づく変換結果は、バイアス抵抗 ( $R_{BIAS}$ ) と PGA ゲインの設定のみに依存します。

$$V_{Thermistor} = V_{AIN0} - V_{AIN1} = V_{REF} \times R_{Thermistor} / (R_{Thermistor} + R_{BIAS}) \quad (29)$$

$$Code / 2^n = (V_{Thermistor} \times Gain) / V_{REF} = (R_{Thermistor} \times Gain) / (R_{Thermistor} + R_{BIAS}) \quad (30)$$

ここで、 $n$  は式 17 のガイドラインに従います。

図 9-10 は、リファレンス出力を用いてブリッジを励起し、温度依存性を持つブリッジ抵抗の測定 (AIN0 と AIN3 間の測定) によってブリッジ温度を求める、別の回路実装例を示しています。上記のサーミスタ測定と同様に、ブリッジ抵抗測定はレシオメトリックで、式 31 に示すように、バイアス抵抗と PGA ゲイン設定のみに依存します。

$$Code / 2^n = (R_{Bridge} \times Gain) / (R_{Bridge} + R_{BIAS}) \quad (31)$$

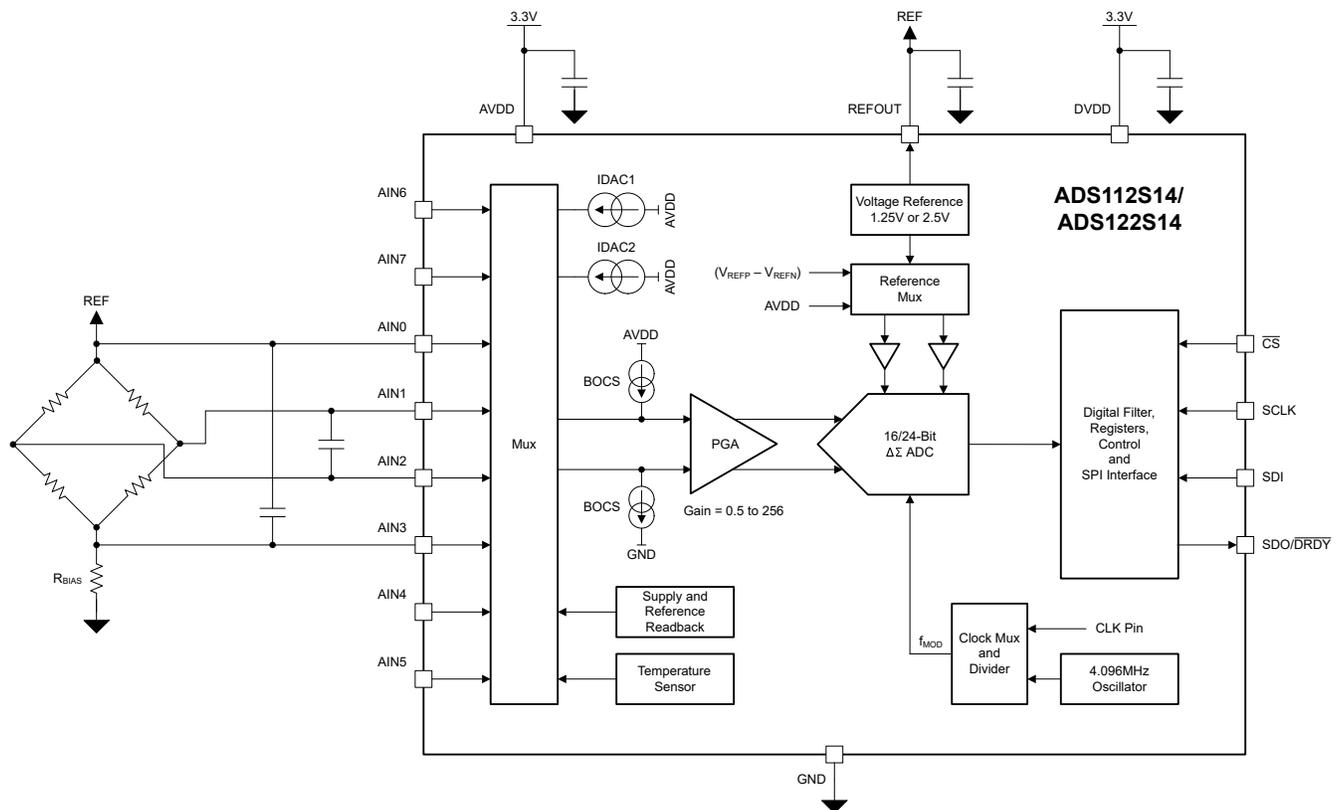


図 9-10. 抵抗性ブリッジセンサ測定の例 2  
(リファレンス出力をブリッジ励起に使用し、ブリッジ抵抗を温度測定に用いる方法)

省電力のためにブリッジセンサを定期的にパワーダウンする必要があるアプリケーションでは、ブリッジセンサと GND の間に配置したスイッチを制御するために、GPIO 出力のいずれかを使用します。

抵抗性ブリッジセンサ測定回路と、TI の ADC を使用した実装の詳細については、[ブリッジ測定に関する基本的なガイド](#) アプリケーション ノートを参照してください。

## 9.3 電源に関する推奨事項

### 9.3.1 電源

このデバイスは、アナログ (AVDD) とデジタル (DVDD) の 2 種類の電源を必要とします。アナログ電源は、デジタル電源から個別に選択できます。DVDD 電源電圧は、シリアルインターフェイスピン ( $\overline{CS}$ 、SCLK、SDI、SDO/ $\overline{DRDY}$ ) のロジックレベルを設定します。AVDD 電源は、GPIO のロジックレベル (GPIO0 ~ GPIO3) を設定します。

### 9.3.2 電源シーケンス

電源の立ち上げ順序は任意ですが、いかなる場合でもアナログ入力およびデジタル入力が、それぞれのアナログ/デジタル電源の電圧および電流の制限値を超えてはなりません。DVDD 電源が安定した後、パワーオンリセット処理が完了するまで  $t_d(\text{POR})$  の時間だけ待ってから、デバイスとの通信を行います。

### 9.3.3 電源のデカップリング

最適なデバイス性能を得るためには、適切な電源デカップリングが重要です。図 9-11 に示すように、AVDD および DVDD は、GND との間に 100nF 以上のコンデンサでそれぞれデカップリングする必要があります。電源バイパスコンデンサは、低インピーダンスの接続を用いて、デバイスの電源ピンのできるだけ近くに配置してください。電源デカップリング用途には、等価直列抵抗 (ESR) および等価直列インダクタンス (ESL) が低い多層セラミックチップコンデンサ (MLCC) を使用します。非常に高感度なシステム、またはノイズ環境が厳しいシステムでは、コンデンサをデバイスのピンに接続する際にビアの使用を避けることで、ノイズ耐性をさらに高めることができます。並列に複数のビアを使用すると、全体的なインダクタンスが低減でき、さらにグランドプレーンへの接続も改善されます。

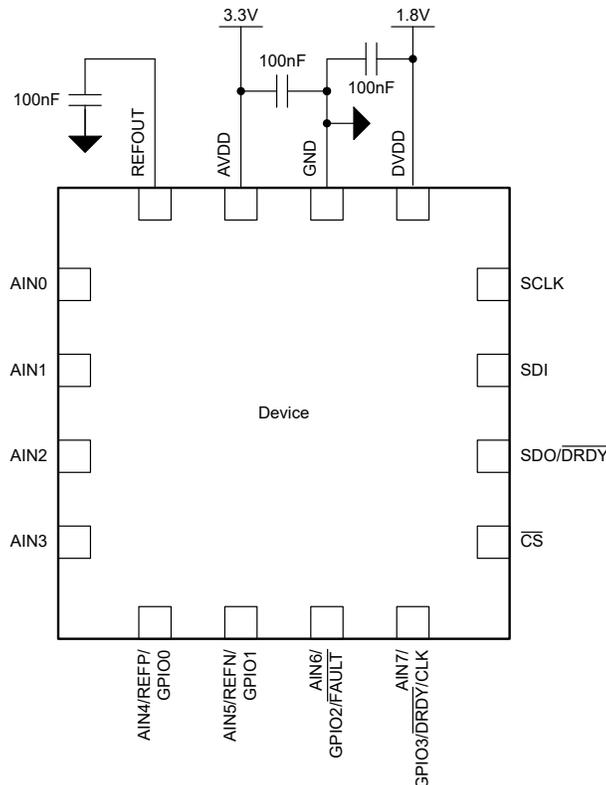


図 9-11. 電源のデカップリング

## 9.4 レイアウト

### 9.4.1 レイアウトのガイドライン

ADS1x2S14 のレイアウトに関する基本的な推奨事項は、ADC の性能を最大限に引き出すのに役立ちます。

- 最良の性能を得るために、PCB の 1 層全体をグランド プレーンに割り当て、この層には他の信号配線を一切引かないでください。
- 電源デカップリング コンデンサにはセラミック コンデンサ (X7R レベルなど) を使用します。高 K コンデンサ (Y5V) は推奨されません。必要なコンデンサをデバイスのピンにできるだけ近づけて配置します。バイパス コンデンサは、デバイスと同じ層に、できるだけ近接して配置することで最良の結果が得られます。
- 干渉を最小限に抑えるため、デジタルトレースはすべてのアナログ入力および関連部品から離して配線します。
- 良好なグランド帰還パスを確保します。信号のリターン電流は、インピーダンスが最も低い経路を流れます。グランド プレーンが分断されている、または他の配線によって信号トレースの直下を電流が流れられない場合、回路を完結させてソースに戻るために、リターン電流は別の経路を見つける必要があります。より大きな経路に強制されると、信号が放射される可能性が高くなります。高感度の信号は、EMI 干渉の影響を受けやすくなります。
- 配線の抵抗とインダクタンスを考慮します。多くの場合、入力用トレースには抵抗成分があり、これが入力バイアス電流と反応して、追加の誤差電圧を引き起こします。ソース信号とリターン電流によって囲まれるループ面積を減らすことで、経路内のインダクタンスを低減できます。インダクタンスを低減することで、EMI の取り込みが抑えられ、デバイス入力における高周波インピーダンスが低減されます。
- レイアウトの寄生熱電対に注意してください。各アナログ入力からセンサまでの配線に異なる金属が使用されていると、寄生的な熱電対が形成され、測定値にオフセットが加わる可能性があります。測定信号源に供給される両方の入力で、差動入力を一致させる必要があります。
- アナログ入力の RC フィルタには C0G コンデンサを使用します。
- 信号層の空き領域は、グランド フィルで埋めます。
- 外部クロックを印加するときは、クロックにオーバーシュートやグリッチがないことを確認してください。多くの場合、クロックバッファのソース端子抵抗を配置すると、オーバーシュートを低減できます。クロック入力にグリッチがあると、変換データ内のノイズにつながる可能性があります。

### 9.4.2 レイアウト例

図 9-12 に ADS1x2S14 の基板レイアウト例が示されています：

- C1 は、REFOUT ピンと GND 間に必要なコンデンサです。C1 は、REFOUT ピンのできるだけ近くに配置します。
- C2 および C3 は、電源デカップリング用コンデンサです。C2 および C3 は、それぞれ対応する電源 ピンのできるだけ近くに配置します。
- GND ピンは、デカップリング コンデンサを介してグラウンド プレーンに接続します。
- 差動アナログ入力ペア AIN0–AIN1、AIN2–AIN3、および AIN4–AIN5 に対して、それぞれ差動アンチエイリアシング RC フィルタが示されています。
- SPI ラインには、オプションの直列抵抗 (R5~R8) が示されています。直列抵抗は、信号エッジをなだらかにすることで、デジタル ライン上のオーバーシュートやリングングを低減するのに役立ちます。

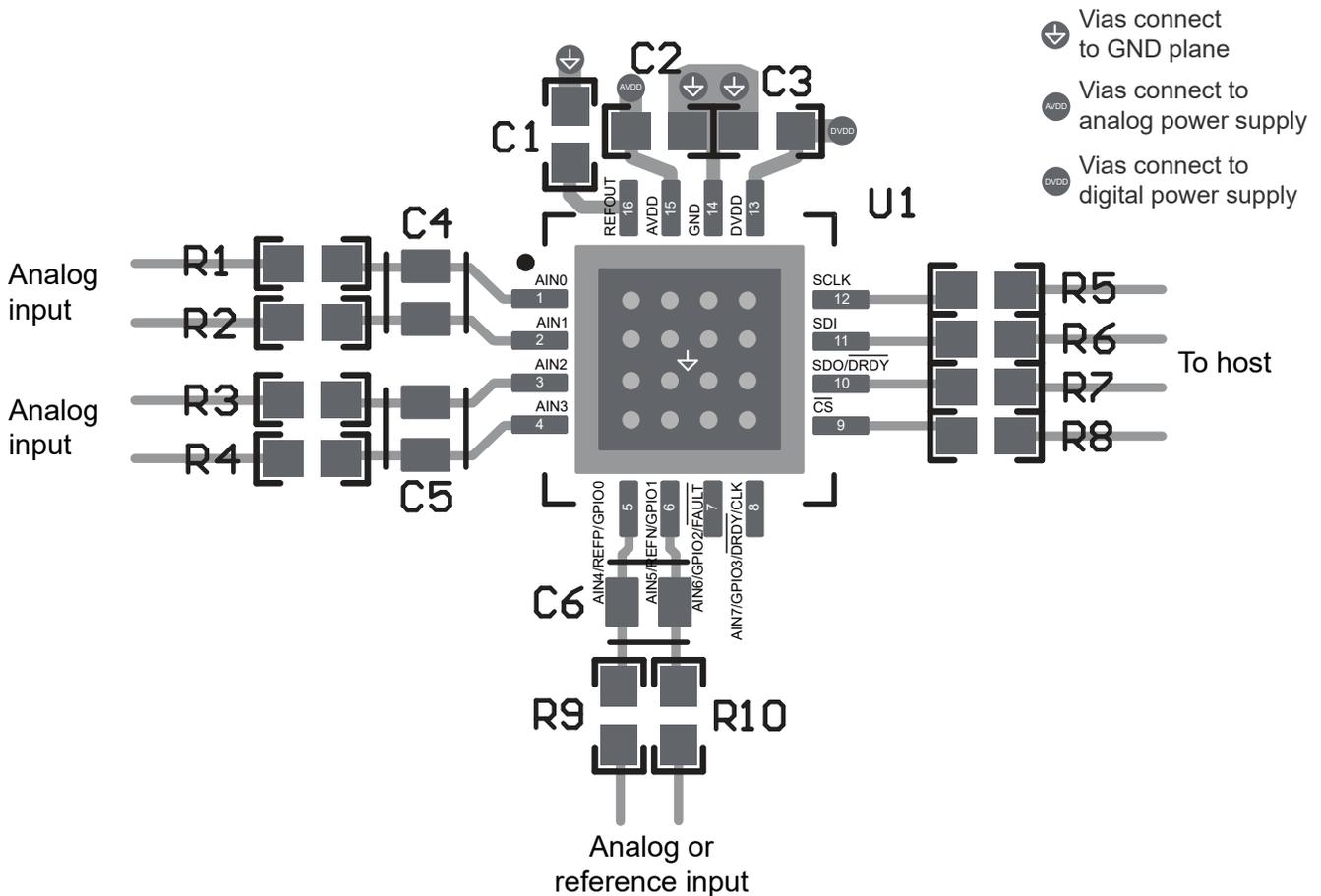


図 9-12. レイアウト例

## 10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

### 10.1 ドキュメントのサポート

#### 10.1.1 関連資料

1. テキサス インスツルメンツ、『[RTD 測定に関する基本的なガイド](#)』アプリケーション ノート。
2. テキサス インスツルメンツ、『[高精度デルタシグマ ADC を使用した RTD 断線検出](#)』アプリケーション ノート
3. テキサス インスツルメンツ、『[熱電対測定に関する基本的なガイド](#)』アプリケーション ノート
4. テキサス インスツルメンツ、『[ブリッジ測定に関する基本的なガイド](#)』アプリケーション ノート
5. テキサス インスツルメンツ、『[高精度 ADC 用の温度センサ \(RTD、熱電対、サーミスタ\) ファームウェア](#)』ツール ページ

### 10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
December 2025	*	初版リリース

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">ADS112S14IRTER</a>	Active	Production	WQFN (RTE)   16	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-50 to 125	A12S14
<a href="#">ADS122S14IRTER</a>	Active	Production	WQFN (RTE)   16	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-50 to 125	A22S14

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## GENERIC PACKAGE VIEW

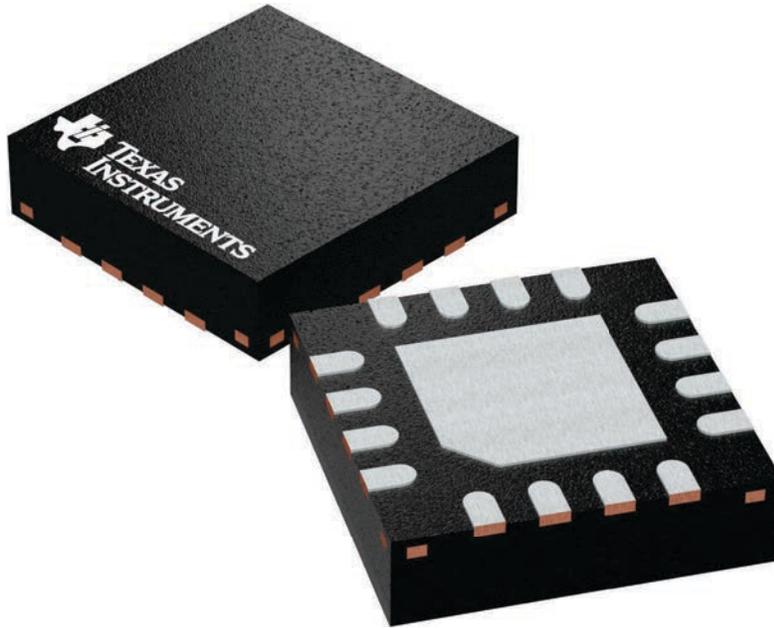
**RTE 16**

**WQFN - 0.8 mm max height**

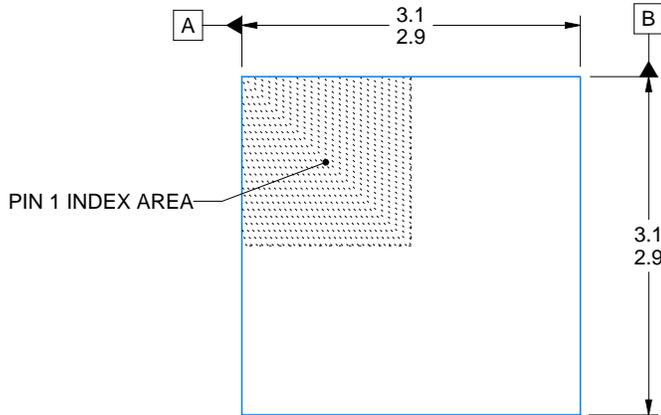
3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

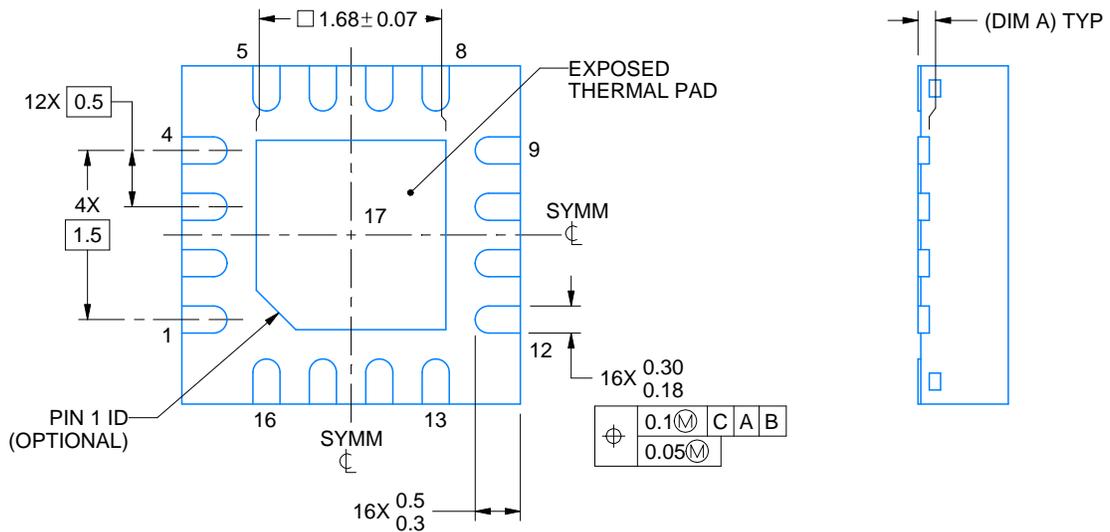
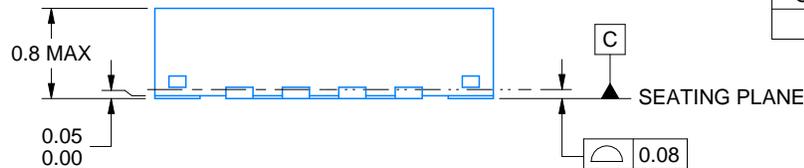
This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4225944/A



SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2



4219117/B 04/2022

NOTES:

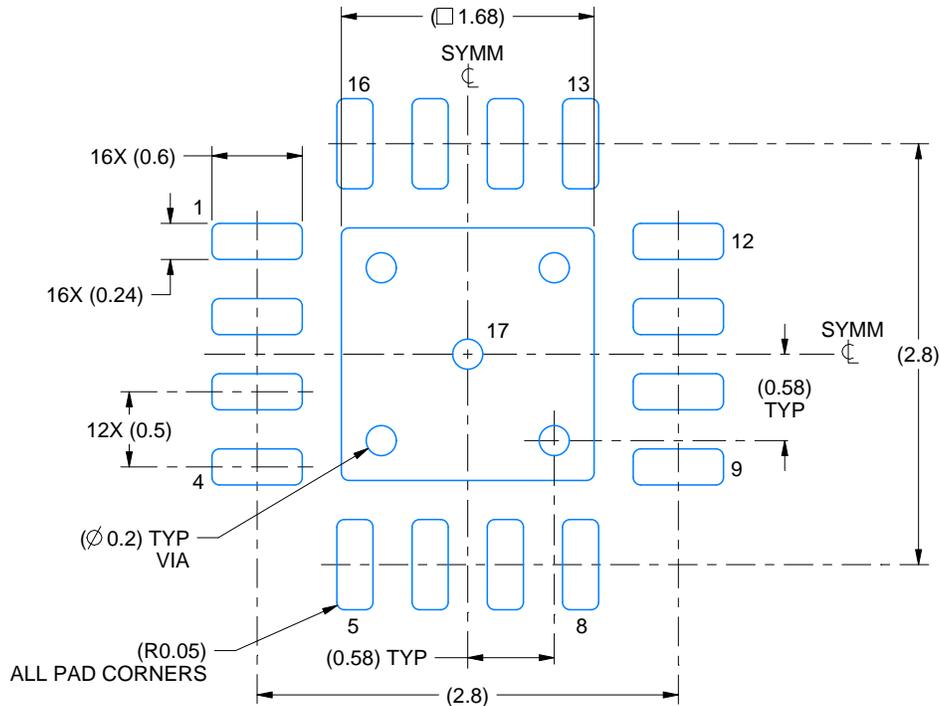
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

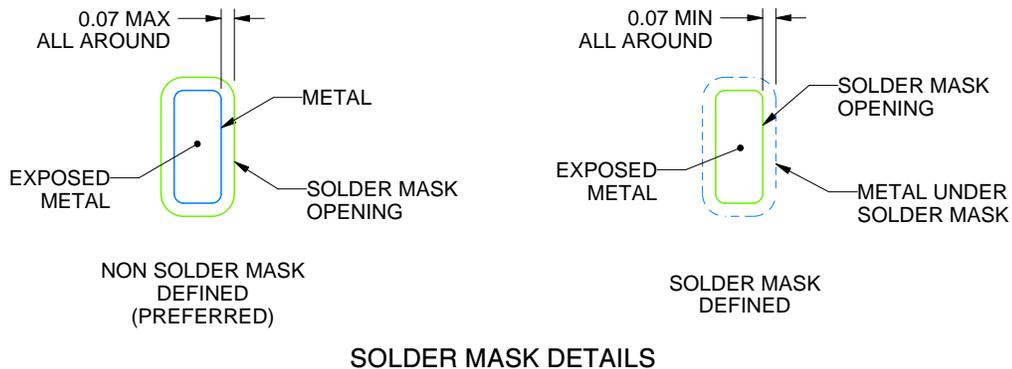
RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:20X



SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

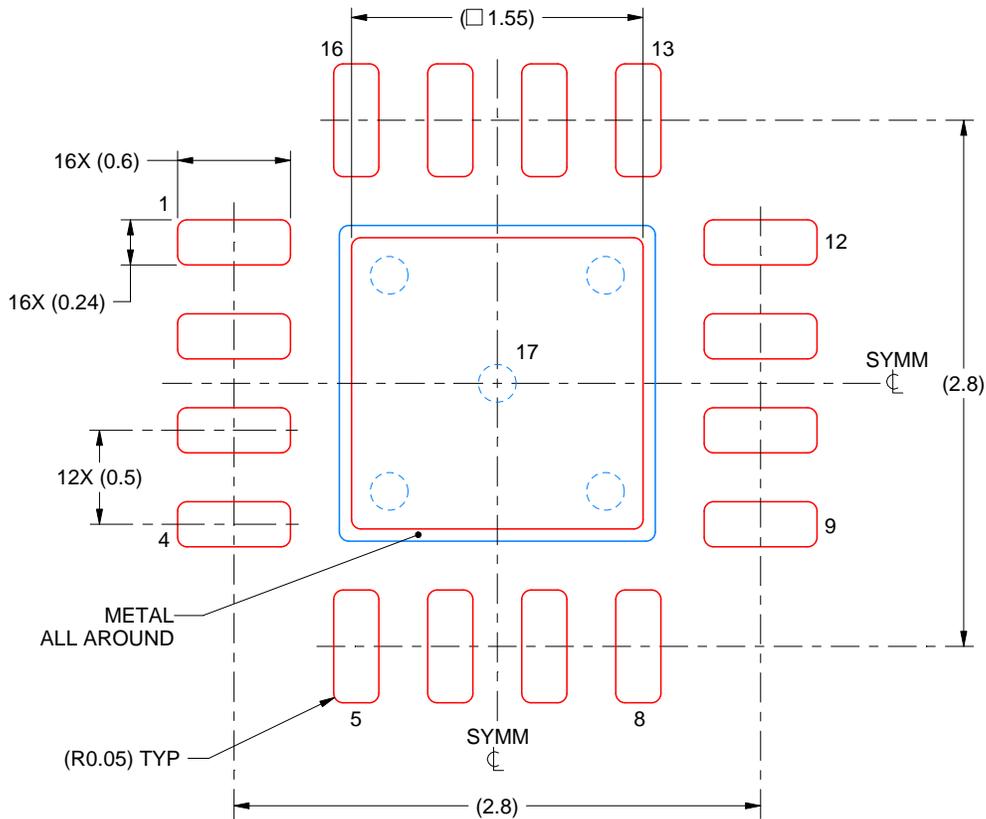
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



**SOLDER PASTE EXAMPLE**  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:  
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月