

目次

1 特長	1	7.4.2 シーケンサの機能モード	87
2 アプリケーション	1	7.4.3 アイドル モードとスタンバイ モード	87
3 説明	1	7.4.4 パワーダウン モード	87
4 ピン構成および機能	3	7.4.5 リセット	87
5 仕様	5	7.4.6 同期	88
5.1 絶対最大定格	5	7.4.7 変換開始の遅延時間	89
5.2 ESD 定格	5	7.5 プログラミング	90
5.3 推奨動作条件	6	7.5.1 シリアル インターフェイス (SPI)	90
5.4 熱に関する情報	6	7.5.2 シリアル インターフェイス信号	90
5.5 電気的特性	8	7.5.3 シリアル インターフェイス通信構造	92
5.6 タイミング要件	12	7.5.4 デバイスのコマンド	94
5.7 スイッチング特性	12	7.5.5 連続読み取りモード	100
5.8 タイミング図	13	7.5.6 POR またはリセット後の SPI 通信	107
5.9 代表的特性	14	7.5.7 $\overline{\text{DRDY}}$ ピンの動作	109
6 パラメータ測定情報	16	7.5.8 デイジー チェーン動作	112
6.1 オフセット誤差の測定	16	7.5.9 3 線式 SPI モード	114
6.2 オフセットドリフトの測定	16	7.5.10 変換データ	115
6.3 ゲイン誤差の測定	16	7.5.11 データ準備完了	115
6.4 ゲインドリフトの測定	16	7.6 レジスタ マップ	117
6.5 NMRR の測定	16	7.6.1 ADS125H18 のステータスおよび一般設定ページ	118
6.6 CMRR の測定	17	7.6.2 ADS125H18 ステップ構成ページ	157
6.7 PSRR の測定	17	8 アプリケーションと実装	176
6.8 SNR の測定	18	8.1 アプリケーション情報	176
6.9 INL 誤差の測定	18	8.1.1 シリアル インターフェイスの接続	176
6.10 THD の測定	18	8.1.2 複数のデバイスとのインターフェイス	176
6.11 SFDR の測定	18	8.1.3 未使用入出力	177
6.12 ノイズ性能	19	8.1.4 デバイスの初期化	178
6.13 TUE (総合未調整誤差) の測定	23	8.2 代表的なアプリケーション	179
7 詳細説明	24	8.2.1 2 端子 V/I PLC アナログ入力モジュール	179
7.1 概要	24	8.2.2 3 端子 V/I PLC アナログ入力モジュール	185
7.2 機能ブロック図	25	8.2.3 ソリッド ステートスイッチ付き 2 端子 V/I PLC アナログ入力モジュール	186
7.3 機能説明	26	8.2.4 2 端子、シングル エンド V/I PLC アナログ入力モジュール	186
7.3.1 分圧器と入力マルチプレクサ	26	8.2.5 2 端子の I 入力 PLC アナログ入力モジュール	187
7.3.2 入力レンジ	29	8.3 電源に関する推奨事項	188
7.3.3 ADC の基準電圧	29	8.3.1 電源	188
7.3.4 電源	31	8.3.2 電源シーケンス	188
7.3.5 クロック動作	32	8.3.3 電源のデカップリング	188
7.3.6 変調器	34	8.4 レイアウト	189
7.3.7 デジタル フィルタ	34	8.4.1 レイアウトのガイドライン	189
7.3.8 FIFO バッファ	44	8.4.2 レイアウト例	190
7.3.9 チャネル自動シーケンサ	48	9 デバイスおよびドキュメントのサポート	191
7.3.10 オフセットおよびゲインの較正	58	9.1 ドキュメントのサポート	191
7.3.11 デジタル PGA	60	9.1.1 関連資料	191
7.3.12 汎用 IO (GPIO)	60	9.2 ドキュメントの更新通知を受け取る方法	191
7.3.13 断線電流源 (OWCS)	61	9.3 サポート・リソース	191
7.3.14 ADC 0 コード出力での断線検出	64	9.4 商標	191
7.3.15 システム モニタ	65	9.5 静電気放電に関する注意事項	191
7.3.16 フラグ、インジケータ、カウンタの監視	66	9.6 用語集	191
7.3.17 テスト DAC (TDAC)	72	10 改訂履歴	191
7.3.18 並列ポスト フィルタ	73	11 メカニカル、パッケージ、および注文情報	191
7.3.19 チップ セレクト転送	80		
7.4 デバイスの機能モード	87		
7.4.1 電力スケラブルな速度モード	87		

4 ピン構成および機能

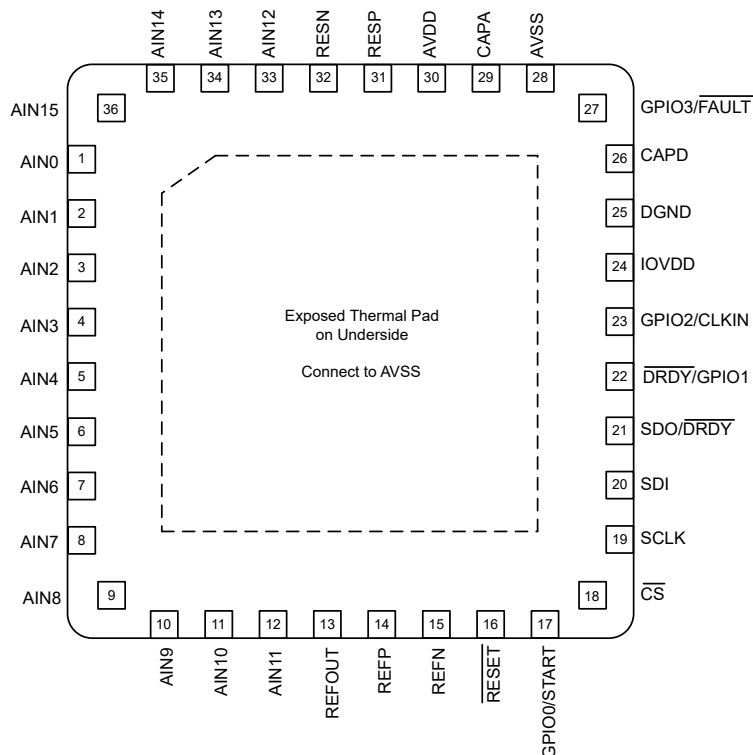


図 4-1. RHB パッケージ、36 ピン VQFN (上面図)

表 4-1. ピンの機能

名称	番号	タイプ	説明
AIN0	1	アナログ入力	アナログ入力 0
AIN1	2	アナログ入力	アナログ入力 1
AIN2	3	アナログ入力	アナログ入力 2
AIN3	4	アナログ入力	アナログ入力 3
AIN4	5	アナログ入力	アナログ入力 4
AIN5	6	アナログ入力	アナログ入力 5
AIN6	7	アナログ入力	アナログ入力 6
AIN7	8	アナログ入力	アナログ入力 7
AIN8	9	アナログ入力	アナログ入力 8
AIN9	10	アナログ入力	アナログ入力 9
AIN10	11	アナログ入力	アナログ入力 10
AIN11	12	アナログ入力	アナログ入力 11
AIN12	33	アナログ入力	アナログ入力 12
AIN13	34	アナログ入力	アナログ入力 13
AIN14	35	アナログ入力	アナログ入力 14
AIN15	36	アナログ入力	アナログ入力 15
RESP	31	アナログ電源	抵抗デバイダ回路の正の接続
RESN	32	アナログ電源	抵抗デバイダ回路の負の接続
AVDD	30	アナログ電源	正のアナログ電源
AVSS	28	アナログ電源	負のアナログ電源
CAPA	29	アナログ電源	アナログ電圧レギュレータ出力外部バイパス

表 4-1. ピンの機能 (続き)

名称	番号	タイプ	説明
CAPD	26	アナログ電源	デジタル電圧レギュレータ出力外部バイパス
IOVDD	24	デジタル電源	I/O 電源電圧
DGND	25	グラウンド	デジタル グラウンド
REFOUT	13	アナログ出力	電圧リファレンス出力
REFP/TDACOUT	14	アナログ入出力	正のリファレンス入力/テスト DAC 出力
REFN	15	アナログ入力	負のリファレンス入力
リセット	16	デジタル入力	リセット、アクティブ Low
GPIO0/START	17	デジタル入力	汎用入出力 0 このピンは、変換制御の専用 START 入力として構成できます。
CS	18	デジタル入力	チップ セレクト、アクティブ Low
SCLK	19	デジタル入力	シリアル データ クロック
SDI	20	デジタル入力	シリアル データ入力
SDO/DRDY	21	デジタル IO	シリアルデータ出力およびデータ準備完了、アクティブ Low (オプション)
DRDY/GPIO1	22	デジタル IO	データ準備完了、アクティブ Low/汎用入出力 1
GPIO2/CLKIN	23	デジタル IO	汎用入出力 2 このピンは、外部クロック入力として構成できます。
GPIO3/FAULT	27	デジタル IO	汎用入出力 3 ピンは、専用 FAULT 出力として構成できます。
サーマル パッド		該当なし	サーマル パワー パッド。AVSS に接続

5 仕様

5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧	AVDD から AVSS へ	-0.3	6.5	V
	AVSS から DGND へ	-3	0.3	
	IOVDD から DGND へ	-0.3	6.5	
	IOVDD から AVSS へ		8.5	
アナログ入力電圧	AINx から AVSS へ ⁽²⁾	-75	75	V
基準入力電圧	REFP, REFN	AVSS - 0.3	AVDD + 0.3	V
アナログ出力電圧	CAPA	AVSS	1.65	V
	CAPD	DGND	1.65	
デジタル入力電圧	RESET, GPIO0/START, SDO/DRDY, DRDY/GPIO1, GPIO2/CLKIN, GPIO3/FAULT	DGND - 0.3	IOVDD + 0.3	V
	CS, SCLK, SDI	DGND - 0.3	6.5	V
温度	接合部、T _J		150	°C
	保存、T _{stg}	-65	150	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。絶対最大定格の範囲内であっても推奨動作条件の範囲外で短時間動作させると、デバイスは損傷を受けないかもしれませんが、完全に機能しなくなる可能性があります。また、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての入力は、±75V まで (V20 デバイス バリエーション、AVSS に対する絶対入力電圧) を T_A = 25°C でテストされましたが、損傷は観測されませんでした。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±750	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

				最小値	公称値	最大値	単位
電源							
	アナログ電源	AVDD から AVSS へ	スピード モード 3	4.5		5.5	V
			スピード モード 2	4.5		5.5	
			スピード モード 1	3		5.5	
			スピード モード 0	3		5.5	
		AVDD から DGND へ		1.65			V
		AVSS から DGND へ		-2.75		0	V
	デジタル電源	IOVDD から DGND へ		1.65		5.5	V
アナログ入力							
V _{AINx}	絶対入力電圧	V12 デバイス バリエント		-12.5		12.5	V
		V20 デバイス バリエント		-20.5		20.5	
		V40 デバイス バリエント		-40.5		40.5	
V _{AINP} 、 V _{AINN}	差動入力電圧 ⁽¹⁾ V _{IN} = V _{AINP} - V _{AINN}	V12 デバイス バリエント		-12.0		12.0	V
		V20 デバイス バリエント		-20.0		20.0	
		V40 デバイス バリエント		-40.0		40.0	
電圧リファレンス入力							
V _{REF}	差動リファレンス電圧 V _{REF} = V _{REFP} - V _{REFN}			1	2.5	AVDD - AVSS	V
V _{REFN}	負のリファレンス電圧			AVSS - 0.05	AVSS		V
V _{REFP}	正のリファレンス電圧	REFP バッファがオフ				AVDD + 0.05	V
		REFP バッファがオン				AVDD - 0.7	
外部クロック ソース							
f _{CLK}	クロック周波数	スピード モード 3		0.5	25.6	26.2	MHz
		スピード モード 2		0.5	12.8	13.1	
		スピード モード 1		0.5	3.2	3.28	
		スピード モード 0		0.5	1.6	1.64	
デジタル入力							
V _{IL}	ロジック Low の入力電圧			0		0.3 × IOVDD	V
V _{IH}	ロジック High の入力電圧			0.7 × IOVDD		IOVDD	V
I _{LEAK}	外部リーケージ電流	トライステートピン、フローティング入力		-5		5	μA
温度範囲							
T _A	周囲温度	動作中		-45		125	°C
		仕様		-40		125	

(1) AIN_P および AIN_N は、入力バッファ/ADC の正と負の入力を示します。利用可能なアナログ入力 (AIN_x) はいずれも、入力マルチプレクサにより AIN_P または AIN_N のいずれかを選択できます。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		VQFN (RSH)	単位
		36 ピン	
R _{θJA}	接合部から周囲への熱抵抗	32.5	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	11.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	6.3	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	6.2	°C/W

熱評価基準 ⁽¹⁾		VQFN (RSH)	単位
		36 ピン	
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	1.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ です。すべての仕様は $AVDD = AVSS = 5\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $V_{AINx} = 0\text{V}$ 、 $V_{CM} = 0\text{V}$ 、 $(V_{REFP} - V_{REFN}) = 2.5\text{V}$ 、 V_{20} バリエント、すべての速度モード、外部クロック、およびリファレンス バッファ オンで適用されます (特に記述がない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
アナログ入力							
Zin	入力インピーダンス			1	1.25		MΩ
TUE	総未調整誤差、全範囲	内部 VREF、FSR =±10V	TA = 25°C		0.03	0.06	% FSR
			TA = -20°C ~ 105°C		0.03	0.12	% FSR
			TA = 0°C ~ 125°C		0.03	0.09	% FSR
			TA = -40°C ~ 125°C		0.03	0.13	% FSR
		外部 VREF、FSR = ±10V	TA = 25°C		0.02	0.07	% FSR
			TA = -20°C ~ 105°C		0.02	0.09	% FSR
TA = -40°C ~ 125°C			0.02	0.1	% FSR		
TUE	総未調整誤差、縮小範囲	内部 VREF、FSR =±5V	TA = 25°C		0.03	0.07	% FSR
			TA = -20°C ~ 105°C		0.03	.13	% FSR
			TA = 0°C ~ 125°C		0.03	0.1	% FSR
			TA = -40°C ~ 125°C		0.03	0.14	% FSR
		外部 VREF、FSR = ±5V	TA = 25°C		0.02	0.08	% FSR
			TA = -20°C ~ 105°C		0.02	0.1	% FSR
			TA = -40°C ~ 125°C		0.02	0.11	% FSR
DC 特性							
	分解能 (欠落コードなし)			24			ビット
	ノイズ			詳細については、「 ノイズ性能 」を参照してください			
INL	積分非直線性	TA = -40°C ~ 125°C、 VCM = 0V、OSR = 512、 最適なフィット	速度モード 3 または 2	7	25	ppm (対 FSR)	
			速度モード 1 または 0	3	6		
	オフセット誤差	TA = 25°C		-8	0.5	8	mV
	オフセットのドリフト				4	30	μV/°C
	ゲイン誤差	TA = 25°C、外部リファレンスを使用		-850	±200	850	ppm (対 FSR)
		TA = 25°C、内部リファレンスを含みます		-1300	±300	1300	
	ゲインドリフト	外部リファレンスを使用			±2	ppm (対 FSR) / °C	
		内部リファレンスを含みます			±5		
システム性能							
fDATA	出力データレート、sinc³ または sinc⁴ フィルタ	速度モード 3 (fMOD = 12.8MHz)		0.08		1067	kSPS
		速度モード 2 (fMOD = 6.4MHz)		0.04		533.3	
		速度モード 1 (fMOD = 1.6MHz)		0.01		133.3	
		速度モード 0 (fMOD = 0.8MHz)		0.005		66.7	
NMRR	通常モード除去比、50/60Hz の同 時ノッチ フィルタがイネーブル	fIN = 50Hz または 60Hz (±1Hz)、fDATA = 20SPS、 外部 fCLK = 25.6MHz			-95.3	dB	
		fIN = 50Hz または 60Hz (±1Hz)、fDATA = 20SPS、 内部 fCLK = 25.6MHz			-82.7		
		fIN = 50Hz または 60Hz (±1Hz)、fDATA = 25SPS、 外部 fCLK = 25.6MHz			-62.7		
		fIN = 50Hz または 60Hz (±1Hz)、fDATA = 25SPS、 内部 fCLK = 25.6MHz			-57.9		
CMRR	同相除去比	DC 時			86	dB	
		fCM = 50Hz または 60Hz (±1Hz)、fDATA = 20SPS ま たは 25SPS			125		
		fCM = 50Hz または 60Hz (±1Hz)、fDATA > 25SPS			90		

最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ です。すべての仕様は $\text{AVDD} - \text{AVSS} = 5\text{V}$ 、 $\text{IOVDD} = 1.8\text{V}$ 、 $V_{\text{AINx}} = 0\text{V}$ 、 $V_{\text{CM}} = 0\text{V}$ 、 $(V_{\text{REFP}} - V_{\text{REFN}}) = 2.5\text{V}$ 、V20 バリエーション、すべての速度モード、外部クロック、およびリファレンス バッファ オンで適用されます (特に記述がない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
PSRR	電源除去比	dc での AVDD			77		dB
		dc での IOVDD			105		
電圧リファレンス入力							
	REFP および REFN 入力電流 (REFN = AVSS)	REFP バッファがオフ	スピード モード 3		190		μA/V
スピード モード 2				130			
スピード モード 1				80			
スピード モード 0				70			
	REFP 入力電流	REFP バッファがオン	スピード モード 3		±0.5		μA
スピード モード 2				±0.3			
スピード モード 1				±0.1			
スピード モード 0				±0.1			
	REFP および REFN 入力電流ドリフト	REFP バッファがオフ	スピード モード 3		2.5		nA/°C
スピード モード 2				5			
スピード モード 1				7			
スピード モード 0				7.5			
	REFP 入力電流ドリフト	REFP バッファがオン	スピード モード 3		4		nA/°C
スピード モード 2				2.5			
スピード モード 1				0.5			
スピード モード 0				0.5			
内部基準電圧							
	出力電圧	AVDD > 4.5V、 AVSS に対する REFOUT	REF_VAL = 0b		2.5		V
			REF_VAL = 1b		4.096		
		2.85V ≤ AVDD ≤ 4.5V、 AVSS に対する REFOUT			2.5		
	初期精度	T _A = 25°C		-0.1	±0.02	0.1	%
	温度ドリフト ⁽¹⁾	T _A = 0°C ~ +125°C			3.5	8.5	ppm/°C
		T _A = -40°C ~ +125°C			4	12	
	基準出力負荷電流	シンクまたはソース		-10		10	mA
	回路短絡時の電流制限	シンクまたはソース			25	40	
	電源除去比	DC での AVDD			95		dB
	負荷レギュレーション				50		ppm/mA
	電圧ノイズ	0.1 ~ 10Hz、C _L = 1μF	V _{REF} = 2.5V		1.0		μV _{RMS}
			V _{REF} = 4.096V		1.7		
	電圧ノイズ密度	1kHz、C _L = 1μF	V _{REF} = 2.5V		200		nV/√Hz
			V _{REF} = 4.096V		300		
	容量性負荷			0.5	1	2	μF
	抵抗性負荷			2			kΩ
	起動時間	パワーダウン モードから、C _L = 1μF、0.01% セトリン グ			1	1.5	ms
内部発振器							
f _{OSCM}	周波数				25.6		MHz
	精度			-0.75	0.07	0.75	%
温度センサ							
TS _{Offset}	出力電圧	T _A = 25°C			120		mV
TS _{TC}	温度係数				400		μV/°C
	精度	スピード モード 0、内部クロック、OSR = 12		-3	±0.5	3	°C

最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ です。すべての仕様は $\text{AVDD} - \text{AVSS} = 5\text{V}$ 、 $\text{IOVDD} = 1.8\text{V}$ 、 $V_{\text{AINx}} = 0\text{V}$ 、 $V_{\text{CM}} = 0\text{V}$ 、 $(V_{\text{REFP}} - V_{\text{REFN}}) = 2.5\text{V}$ 、V20 バリエント、すべての速度モード、外部クロック、およびリファレンス バッファ オンで適用されます (特に記述がない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
モニタ							
THREF_UV	リファレンス低電圧スレッシュホールド ⁽²⁾			0.5		0.6	V
	外部リファレンス電圧読み戻し精度	(VREFP – VREFN) / 3			±0.5		%
	電源電圧読み戻し精度	AVDD / 3			±1		%
		DVDD / 3			±1		
		(CAPA – AVSS)/3			±1		
		(CAPD – DGND)/3			±1		
		(RESP – RESN)/3			±1		
テスト DAC							
	テスト DAC の基準電圧	AVDD ≥ 4.65V	TDAC_RANGE = 0b		2.5		V
			TDAC_RANGE = 1b		4.096		V
		2.85V ≤ AVDD ≤ 4.65V			2.5		V
	分解能				5		ビット
	精度				±1		%
	オフセット誤差	2 つのコードを通過するラインによって測定されます			±1	10	mV
	起動時間	TDAC の立ち上がりエッジから、DAC 出力電圧が最終値の 99% に達するまで。最も低速な DAC 構成 (バッファまたはバッファなし) に適用されます。			10		μs
	バッファの出力インピーダンス	コード = 11111、リファレンス電圧 = 4.096V でバッファをグランドに短絡			150		Ω
	バッファ負荷電流、短絡	コード = 11111、リファレンス電圧 = 4.096V でバッファをグランドに短絡			15		mA
デジタル入出力							
VIL	ロジック入力レベル、Low			DGND	0.3 × IOVDD		V
VIH	ロジック入力レベル、High			0.7 × IOVDD			V
VOL	ロジック出力レベル、Low	OUT_DRV = 0b、IOL = 2mA			0.2 × IOVDD		V
		OUT_DRV = 1b、IOL = 1mA			0.2 × IOVDD		
VOH	ロジック出力レベル、High	OUT_DRV = 0b、IOH = -2 mA		0.8 × IOVDD			V
		OUT_DRV = 1b、IOH = -1 mA		0.8 × IOVDD			
	入力ヒステリシス				100		mV
	入力電流	RESET ピンを除く		-1		1	μA
	RESET ピンの内部プルアップ抵抗				20		kΩ
アナログ電源電流							

最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ です。すべての仕様は $\text{AVDD} - \text{AVSS} = 5\text{V}$ 、 $\text{IOVDD} = 1.8\text{V}$ 、 $V_{\text{AINx}} = 0\text{V}$ 、 $V_{\text{CM}} = 0\text{V}$ 、 $(V_{\text{REFP}} - V_{\text{REFN}}) = 2.5\text{V}$ 、V20 バリエント、すべての速度モード、外部クロック、およびリファレンス バッファ オンで適用されます (特に記述がない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
I _{AVDD} 、 I _{AVSS}	AVDD および AVSS 電流 (リファレンス バッファ オフ、内部リファ レンス オフ)	スピード モード 3			10	11.5	mA
		スピード モード 2			7.5	9	mA
		スピード モード 1			2.2	3	mA
		スピード モード 0			2	2.75	mA
		スタンバイ モード			500	1200	μA
		パワーダウン モード			180	800	μA
	AVDD および AVSS 追加 電流 (機能による)	REFP (同相電圧) バッパ ア	スピード モード 3		1.2		mA/バッパ ア
			スピード モード 2		0.8		mA/バッパ ア
			スピード モード 1		0.3		mA/バッパ ア
			スピード モード 0		0.25		mA/バッパ ア
		内部リファレンス			100	200	μA
		テスト DAC、2.5V または 4.096V 範囲			700	1100	μA
		テスト DAC バッファ			800	1100	μA
デジタル電源電流							
I _{IOVDD}	IOVDD 電流	スピード モード 3、OSR = 32			0.90	1	mA
		スピード モード 2、OSR = 32			0.5	0.6	
		スピード モード 1、OSR = 32			0.2	0.25	
		スピード モード 0、OSR = 32			0.12	0.2	
		スタンバイ モード、外部クロック			5		μA
		スタンバイ モード、内部発振器			60		
		パワーダウン モード			10		
消費電力							
P _D	消費電力	AVDD = 5V、 REFP バッファ オフ	スピード モード 3		50		mW
			スピード モード 2		36		
			スピード モード 1		11		
			スピード モード 0		10		

- (1) 設計と特性評価による仕様で、製造テストは未実施。
- (2) 低電圧モニタは常に、指定された最小値を下回るようにトリップし、指定された最大値を超えるようにはトリップしません。

5.6 タイミング要件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
$t_{c(SC)}$	SCLK 周期	40	$1/(4 \cdot f_{DATA})$	ns
$t_{w(SCL)}$	パルス幅、SCLK low	10		ns
$t_{w(SCH)}$	パルス幅、SCLK high	20		ns
$t_d(CSSC)$	遅延時間、 \overline{CS} 立ち下がりエッジから最初の SCLK 立ち上がりエッジまで	5		ns
$t_d(SCCS)$	遅延時間、最後の SCLK 立ち下がりエッジから \overline{CS} 立ち上がりエッジまで	5		ns
$t_w(CSH)$	パルス幅、 \overline{CS} High	5		ns
$t_d(FIFORD)$	後続の FIFO 読み取りフレーム間の遅延時間	5		t_{CLK}
$t_{su(DI)}$	セットアップ時間、SDI 有効から SCLK 立ち下がりエッジまで	3		ns
$t_h(DI)$	ホールド時間、SCLK 立ち下がりエッジから SDI 有効まで	4		ns
$t_d(fr2fr)$	遅延時間、3 線式 SPI モードでのフレーム間	5		ns
$t_h(DIIR)$	ホールド時間、SDI High からインターフェイスの再同期が強制されるまで (3 線式 SPI モードのみ)。インターフェイスの再同期は、SDI が再び Low になる最初の SCLK 立ち下がりエッジで行われます。	63		t_{SCLK}
$t_d(RSSC)$	遅延時間、 \overline{RESET} 立ち上がりエッジ後または SPI リセット パターンまたは $RESET[7:0]$ ビット フィールドを使用したソフトウェア リセット後に SPI 通信を開始するまでの時間		500	μs
$t_d(POR)$	遅延時間、IOVDD の電源投入 (IOVDD が最小 IOVDD 電圧を超えた後) から最初の SCLK 立ち上がりエッジまで	5		ms
$t_w(STL)$	パルス幅、START low	4		t_{CLK}
$t_w(STH)$	パルス幅、START high	4		t_{CLK}
$t_{su(STCL)}$	セットアップ時間、CLKIN の立ち上がりエッジの前に START 遷移になっている時間 ⁽¹⁾	9		ns
$t_h(STCL)$	ホールド時間、CLKIN 立ち上がりエッジから START 遷移まで ⁽¹⁾	9		ns
$t_{su(STFS)}$	セットアップ時間、START 立ち上がりエッジまたは STOP ビットから FSYNC 立ち下がりエッジにより次の変換を停止するまで (スタート / ストップ変換モード)	24		t_{CLK}
$t_w(RSL)$	パルス幅、 \overline{RESET} Low	4		t_{CLK}
$t_h(DIRS1)$	ホールド時間、SDI High から \overline{RESET} パターンを使用して強制的にデバイスをリセットするまで。デバイスリセットは、SDI が再び Low になる最初の SCLK 立ち下がりエッジで発生します。	1023		t_{SCLK}
$t_h(DIRS2)$	ホールド時間、SDI High から \overline{RESET} パターンを使用して強制的にデバイスをリセットするまで。デバイスリセットは \overline{CS} 立ち上がりエッジで発生します (4 線式 SPI モードのみ)。	1024		t_{SCLK}

(1) CLKIN の立ち上がりエッジのセットアップ時間とホールド時間の間に START 立ち上がりエッジを適用しないでください

5.7 スイッチング特性

動作時周囲温度範囲全体、 $C_{LOAD} = 20pF$ (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_p(CSDO)$	伝搬遅延時間、 \overline{CS} 立ち下がりエッジから SDO/DRDY 駆動まで			20	ns
$t_p(CSDOZ)$	伝搬遅延時間、 \overline{CS} 立ち上がりエッジから SDO/DRDY 高インピーダンス状態まで			10	ns
$t_h(SCDO)$	ホールド時間、SCLK 立ち上がりエッジから無効な SDO/DRDY まで	1			ns
$t_p(SCDO)$	伝搬遅延時間、SCLK 立ち上がりエッジから有効な SDO/DRDY まで			18	ns
$t_w(DRH)$	パルス幅、DRDY High	2			t_{MOD}
$t_p(SCDR)$	伝搬遅延時間、8 番目の SCLK 立ち下がりエッジから DRDY が High に戻るまで			5	t_{MOD}
$t_p(DRDO)$	伝搬遅延時間、最初の SCLK 立ち上がりエッジにおける DRDY モードから有効な SDO への SDO/DRDY 遷移の読み取り動作	SDO_DRDY = 1b	30	46	ns
$t_p(DODR)$	伝搬遅延時間、最後の SCLK 立ち下がりエッジにおける SDO から DRDY モードへの SDO/DRDY 遷移の読み取り動作	SDO_DRDY = 1b	30	45	ns
$t_p(GPIO)$	伝搬遅延時間、最後の SCLK 立ち下がりエッジ (3 線式) または \overline{CS} 立ち上がりエッジ (4 線式)、GPIO_CFG/STEP_GPIO_DATA_OUT から GPIOx 出力有効まで			14	ns

5.8 タイミング図

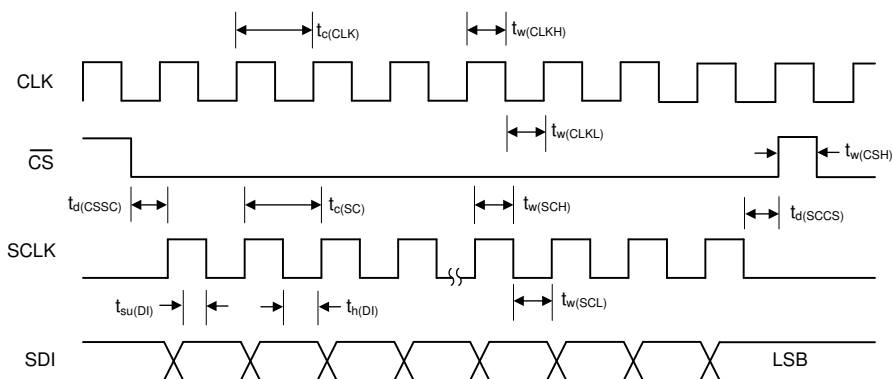


図 5-1. クロックおよびシリアルインターフェースのタイミング要件

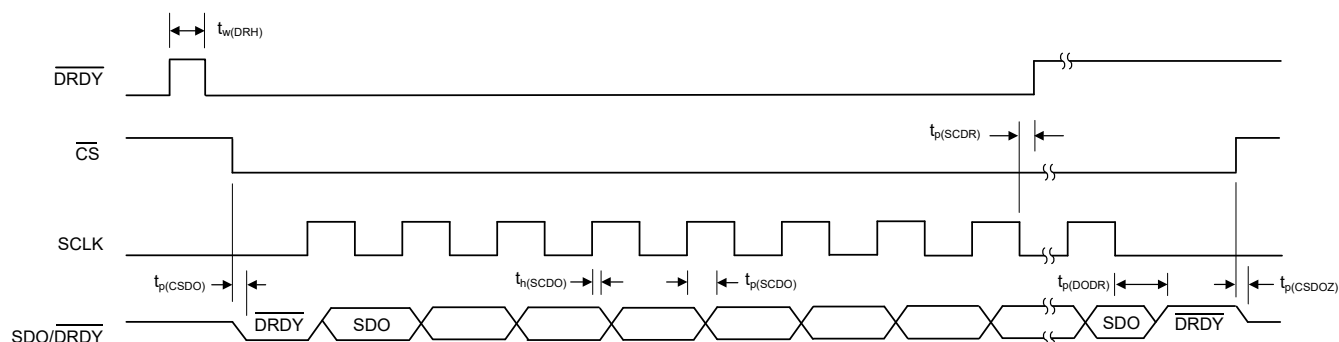


図 5-2. シリアル インターフェースのスイッチング特性

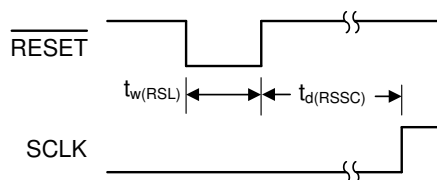


図 5-3. RESET ピンのタイミング

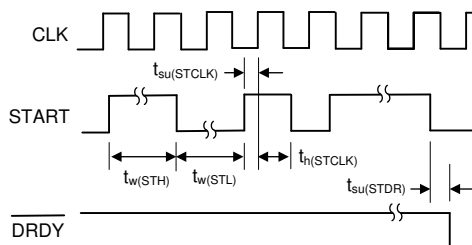


図 5-4. START ピンのタイミング

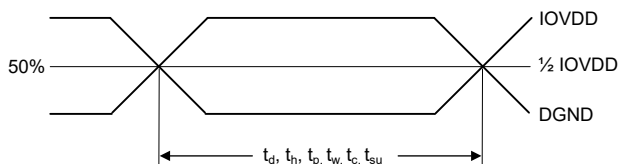


図 5-5. タイミング リファレンス

5.9 代表的特性

AVDD = 5V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 2.5V、OSR = 32、T_A = 25°C (特に記述のない限り)。

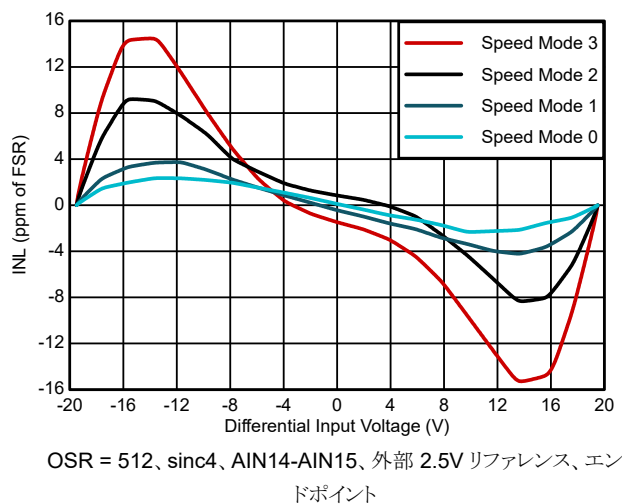


図 5-6. INL と差動入力電圧の関係

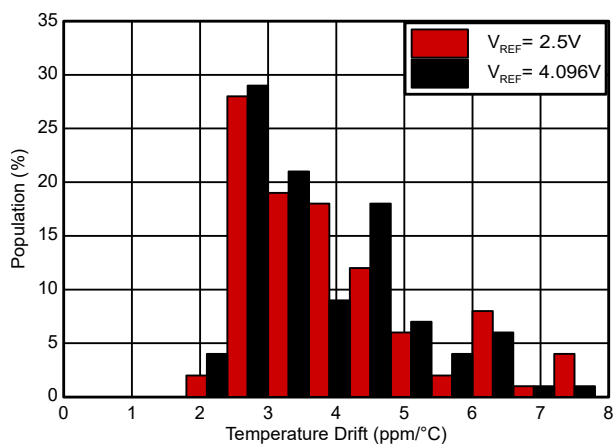


図 5-7. 内部リファレンス温度ドリフト

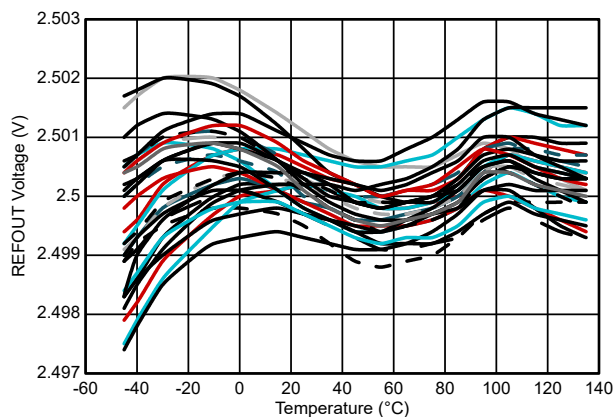


図 5-8. 内部基準電圧と温度との関係、2.5V

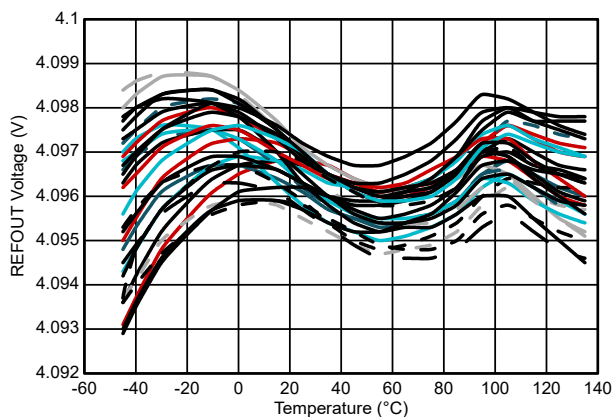
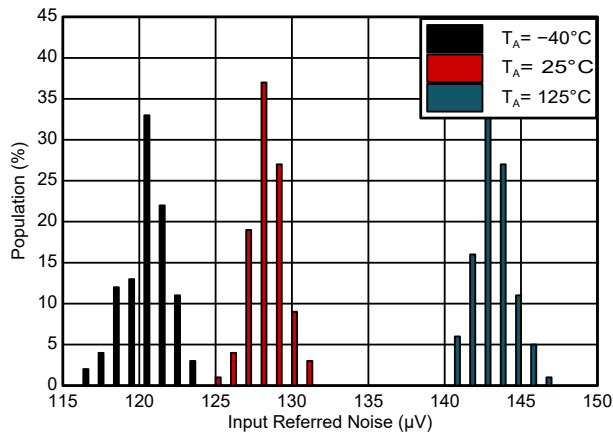


図 5-9. 内部基準電圧と温度との関係、4.096V

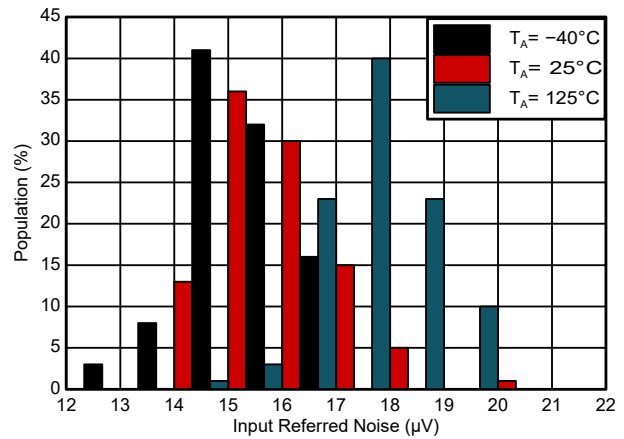
5.9 代表的特性 (続き)

AVDD = 5V、AVSS = 0V、IOVDD = 1.8V、V_{REF} = 2.5V、OSR = 32、T_A = 25°C (特に記述のない限り)。



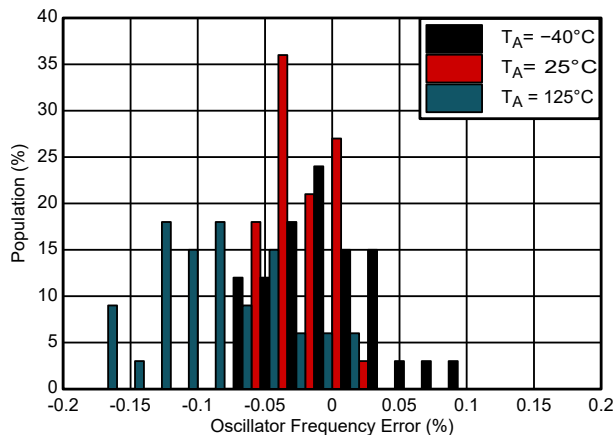
30 ユニット、OSR = 32、sinc4、スピード モード 1、外部短絡

図 5-10. 入力換算ノイズ ヒストグラム、OSR = 32



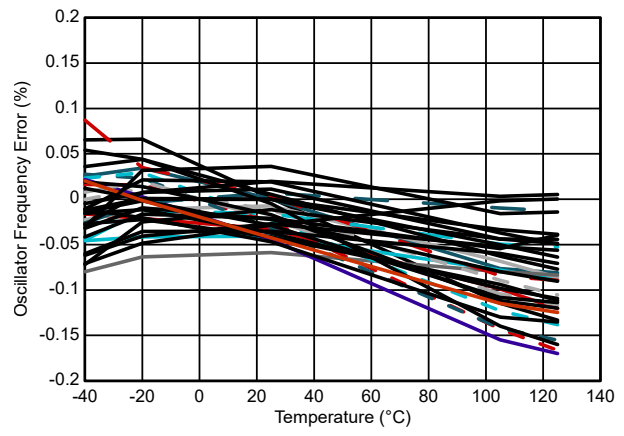
30 ユニット、OSR = 2048、sinc4、スピード モード 1、外部短絡

図 5-11. 入力換算ノイズ ヒストグラム、OSR = 2048



35 ユニット

図 5-12. 内部発振器周波数ヒストグラム



35 ユニット

図 5-13. 内部発振器周波数と温度との関係

6 パラメータ測定情報

6.1 オフセット誤差の測定

ADS125H18 のオフセット誤差は、ADC 入力外部で短絡した状態で測定されます。入力同相電圧は、AVDD1 および AVSS 電源電圧範囲の中間点に固定されています。オフセット誤差は、 $T_A = 25^\circ\text{C}$ で規定されています。

6.2 オフセット ドリフトの測定

オフセットドリフトは、指定された温度範囲全体にわたって複数のポイントで測定される、オフセット電圧の変化として定義されます。オフセットドリフトは ボックス方式 を使用して計算され、指定された温度範囲内で最大と最小のオフセット電圧を囲むボックスが形成されます。このボックス方式では、温度誤差の限界が規定されますが、テスト対象となるデバイスの測定結果について、正確な形状とスロープは規定されません。

ボックス方式を使用したオフセットのドリフトの計算には、以下を使用します。

$$\text{Offset Drift (nV/}^\circ\text{C)} = 10^9 \cdot (V_{\text{OFSMAX}} - V_{\text{OFSMIN}}) / (T_{\text{MAX}} - T_{\text{MIN}}) \quad (1)$$

ここで

- V_{OFSMAX} および V_{OFSMIN} =指定された温度範囲内での最大と最小のオフセット電圧
- T_{MAX} と T_{MIN} =最高と最低の温度

6.3 ゲイン誤差の測定

ゲイン誤差は、ADC 伝達関数の実際のスロープと理想的なスロープとの差として定義されます。ゲイン誤差は、DC テスト電圧を FSR の -95% と 95% で印加して測定します。誤差は、DC テスト電圧 (理想的なスロープ) の変化を、ADC 出力電圧 (実際のスロープ) の変化から減算して計算されます。スロープの差を理想的なスロープで除算し、 10^6 を掛けて、誤差を FSR の ppm に変換します。ADC リファレンス電圧に起因する誤差は、ゲイン誤差の測定から除外されます。ゲイン誤差は、 $T_A = 25^\circ\text{C}$ で規定されます。ゲイン誤差の計算を、式 2 に示します。

$$\text{Gain Error (ppm of FSR)} = 10^6 \times (\Delta V_{\text{OUT}} - \Delta V_{\text{IN}}) / \Delta V_{\text{IN}} \quad (2)$$

ここで

- ΔV_{OUT} = 2 つの ADC 出力電圧の差
- ΔV_{IN} = 2 つの入力テスト電圧の差

6.4 ゲイン ドリフトの測定

ゲインドリフトは、指定された温度範囲全体にわたって複数のポイントで測定される、ゲイン誤差の変化として定義されます。ボックス方式が使用され、指定された温度範囲内で最大と最小のゲイン誤差を囲むボックスが形成されます。このボックス方式では、温度誤差の限界が規定されますが、テスト対象となるデバイスの測定結果について、正確な形状とスロープは規定されません。ボックス方式によるゲインドリフトを、式 3 に示します。

$$\text{Gain Drift (ppm/}^\circ\text{C)} = (GE_{\text{MAX}} - GE_{\text{MIN}}) / (T_{\text{MAX}} - T_{\text{MIN}}) \quad (3)$$

ここで

- GE_{MAX} と GE_{MIN} =指定された温度範囲における最大と最小のゲイン誤差
- T_{MAX} と T_{MIN} =最高と最低の温度

6.5 NMRR の測定

通常モード除去比 (NMRR) は、ADC が特定の周波数で通常モードの入力信号を除去する能力を規定しています。通常は、50Hz および 60Hz の入力周波数について示されます。通常モード除去は、デジタル フィルタの周波数応答によって一意に決定されます。この場合、低レイテンシの sinc3 フィルタ オプションの周波数応答のヌルは 50Hz と 60Hz に配置され、これらの周波数で除去を行います。

6.6 CMRR の測定

CMRR (同相除去比) は、ADC が同相入力信号をどの程度除去できるのかを示すものです。CMRR は、DC および AC パラメータとして表されます。CMRR (DC) を測定するには、 $AVSS + 50mV$ 、 $(AVDD1 + AVSS) / 2$ 、 $AVDD1 - 50mV$ と等しい 3 つの同相テスト電圧を、外部で互いに短絡した入力に印加します。同相テスト電圧の変化に対する、ADC オフセット電圧の最大の変化を記録します。CMRR (DC) の計算方法を、式 4 に示します。

$$CMRR (dc) (dB) = 20 \times \log(\Delta V_{CM} / \Delta V_{OS}) \quad (4)$$

ここで

- ΔV_{CM} = DC 同相テスト電圧の変化
- ΔV_{OS} = 対応するオフセット電圧の変化

CMRR (AC) を測定するには、フルスケール範囲の 95% のさまざまなテスト周波数で AC 同相信号を印加します。FFT は、同相信号が印加されたときの ADC データから計算されます。式 5 に示すように、周波数スペクトル内の 9 つの最大振幅スプリアス周波数は、べき乗として合計され、同相テスト信号の振幅に関連しています。

$$PSRR (ac) (dB) = 20 \times \log(V_{CM} / V_O) \quad (5)$$

ここで

- $V_{CM} (RMS)$ = 同相入力信号の振幅
- $V_O (RMS)$ = スプリアス周波数の 2 乗和平方根の振幅 = $\sqrt{(V_0^2 + V_1^2 + \dots V_8^2)}$

6.7 PSRR の測定

電源除去比 (PSRR) は、ADC が電源との干渉をどの程度除去できるかを示します。PSRR は AC および DC パラメータとして表されます。PSRR (DC) を測定するには、外部で入力を短絡させた状態で、電源電圧を最小、公称、最大の規定電圧の範囲で変化させます。電源電圧の変化に対する、ADC オフセット電圧の最大の変化を記録します。PSRR (DC) は、式 6 に示すように、電源電圧ステップの変化とオフセット電圧の変化との比率として計算されます。

$$PSRR (dc) (dB) = 20 \times \log(\Delta V_{PS} / \Delta V_{OS}) \quad (6)$$

ここで

- ΔV_{PS} = 電源電圧の変化
- ΔV_{OS} = オフセット電圧の変化

PSRR (AC) を測定するため、電源電圧がさまざまなテスト周波数で、100mVpp (35mV_{RMS}) 信号によって変調されます。電源変調による ADC データの FFT が実行されます。式 7 に示すように、周波数スペクトル内の 9 つの最大振幅スプリアス周波数は、電力として加算され、電源変調信号の振幅に関連しています。

$$PSRR (ac) (dB) = 20 \times \log(V_{PS} / V_O) \quad (7)$$

ここで

- $V_{PS} (RMS)$ = 100mV の AC 電源変調信号
- $V_O (RMS)$ = スプリアス周波数の 2 乗和平方根の振幅 = $\sqrt{(V_0^2 + V_1^2 + \dots V_8^2)}$

6.8 SNR の測定

信号対雑音比 (SNR) は、フルスケールの AC 入力信号でのノイズ性能の測定値です。SNR の測定では、 V_{CM} = 中間電源電圧で、-0.2dBFS、1kHz のテスト信号を使用します。式 8 に示すように、SNR は入力信号の RMS 値と、ADC 出力サンプルの FFT 結果から求められた、他のすべての周波数成分の 2 乗和平方根との比です。元の信号の DC および高調波は、SNR 計算から除外されます。非コヒーレントなサンプリングを理由に FFT ウィンドウ機能を使用するテストケースでは、SNR を計算するとき、DC、元の信号、信号の高調波を囲む隣接周波数ビンのスペクトル リークが除去されます。

$$\text{SNR (dB)} = 20 \times \log(V_{IN} / e_n) \quad (8)$$

ここで

- V_{IN} = 入力テスト信号
- e_n = DC および信号高調波を除く周波数成分の 2 乗和平方根

6.9 INL 誤差の測定

積分非直線性 (INL) 誤差は、ADC の DC 伝達関数の直線性を示します。INL は、ADC のスロープとオフセット伝達関数から計算される直線に沿って、一連の DC テスト電圧を印加することで測定されます。INL は、DC テスト電圧 [$V_{IN(N)}$] の組と、対応する出力電圧 [$V_{OUT(N)}$] の組との差です。INL 誤差を計算するエンドポイント方式を、式 9 に示します。

$$\text{INL (ppm of FSR)} = \text{maximum absolute value of INL test series } [10^6 \times (V_{IN(N)} - V_{OUT(N)}) / \text{FSR}] \quad (9)$$

ここで

- N = DC テスト電圧のインデックス
- [$V_{IN(N)}$] = FSR の -95%~95% の範囲にわたるテスト電圧の組
- [$V_{OUT(N)}$] = 対応する ADC 出力電圧の組
- FSR (フルスケール範囲) = $2 \times V_{REF}$ (1x 入力範囲) または $4 \times V_{REF}$ (2x 入力範囲)

INL の最適化手法では、最小 2 乗誤差 (LSE) の計算を使用して新しい直線を決定し、元のエンドポイント線の上下にある INL 誤差の 2 乗和平方根を最小化します。

6.10 THD の測定

全高調波歪み (THD) は、AC 入力信号を使用する ADC の動的直線性を規定します。THD の測定では、 V_{CM} = 中間電源電圧で、-0.2dBFS、1kHz 差動の入力信号が適用されます。十分な数のデータ ポイントを収集して、周波数ビンの幅が 5Hz 以下の FFT 結果を生成します。5Hz のビン幅により、高調波ビンのノイズが低減され、一貫した THD 測定が可能になります。式 10 に示すように、THD は入力信号振幅に対する高調波の 2 乗和平方根振幅の比として計算されます。

$$\text{THD (dB)} = 20 \times \log(V_H / V_{IN}) \quad (10)$$

ここで

- V_H = 高調波の 2 乗和平方根: $\sqrt{V_2^2 + V_3^2 + \dots + V_n^2}$ 、ここで V_n = 9 次高調波電圧
- V_{IN} = 入力信号の基本波

6.11 SFDR の測定

スプリアス フリー ダイナミック レンジ (SFDR) は、シングル トーン AC 入力の RMS 値と、ADC 周波数スペクトル内で最大のスプリアス信号との比です。SFDR の測定結果には、元の信号の高調波が含まれます。SFDR の測定では、 V_{CM} = 中間電源電圧で、-0.2dBFS、1kHz の入力信号を印加します。式 11 に示すように、SFDR は、入力信号の RMS 値と、元の信号の高調波を含む、単一の最も大きいスプリアス信号との比です。

$$\text{SFDR (dB)} = 20 \times \log(V_{IN} / V_{SPUR}) \quad (11)$$

ここで

- V_{IN} = 入力テスト信号
- V_{SPUR} = 単一の最大スプリアスのレベル

6.12 ノイズ性能

デルタシグマ ($\Delta\Sigma$) 方式の A/D コンバータ (ADC) は、オーバーサンプリングの原理に基づいています。 $\Delta\Sigma$ ADC の入力信号は高い周波数 (変調器周波数) でサンプリングされ、その後、デジタル領域でフィルタ処理およびデシメーションが行われ、対応する出力データ レートでの変換結果が得られます。変調器周波数と出力データレートの比は、オーバーサンプリング比 (OSR) と呼ばれます。OSR を高くし、それによって出力データ レートを低下させることで、ADC のノイズ性能を最適化できます。言い換えると、内部変調器のより多くのサンプルが平均化されて一つの変換結果が得られるため、出力データ レートを下げると入力換算ノイズは低下します。

ADC には 4 つ速度モードがあり、ADC の分解能、消費電力、信号帯域幅の間でトレードオフを選択できます。モードにはスピード モード 3、スピード モード 2、スピード モード 1、スピード モード 0 があり、この順にデバイスの消費電力が減少します。

デジタル フィルタには、sinc3、sinc4、sinc4 + sinc1 の構成を選択できます。sinc3 および sinc4 フィルタは、スピード モード 3 では最大 1.066MSPS、スピード モード 2 では最大 533kSPS、スピード モード 1 では最大 133kSPS、スピード モード 0 では最大 66.67kSPS のデータ レートを提供します。また、50Hz/60Hz の同時除去機能を備えたカスタム 20SPS および 25SPS フィルタ モードも備えています。

表 6-1 から表 6-3 に、各種フィルタ モードのノイズ性能とその結果の有効分解能をまとめます。

ここに示すデータは、アナログ入力を互いに短絡した状態での標準的な入力換算ノイズの結果 ($e_n(RMS)$) (単位 μV_{RMS}) であり、 $T_A = 25^\circ C$ での標準的な性能を表しています。RMS ノイズ ($e_n(RMS)$) の測定には、1,000 回または 10 秒間 (いずれか早い方) の連続変換が使用されます。ノイズの統計的な性質から、繰り返しノイズを測定すると、ノイズの結果は大きく、または小さくなる可能性があります。

式 13 または 式 12 は、選択したコーディング方式に応じて、測定された μV_{RMS} の数値によって有効分解能を計算します。

$$\text{Effective Resolution}_{\text{Binary two's complement coding}} = \ln[(FSR / e_n(RMS)) / \ln(2)] \quad (12)$$

$$\text{Effective Resolution}_{\text{Unipolar straight binary coding}} = \ln[(0.5 \times FSR) / e_n(RMS)) / \ln(2)] \quad (13)$$

ここで

- $FSR = 2 \times V_{REF} \times \text{減衰係数}$
- $e_n(RMS) = \text{ノイズ電圧 (RMS)}$

このセクションのすべての値は $\pm 10V$ の入力範囲を使用して生成されるため、 $FSR = 20V$ に注意します。

μV_{PP} 単位の入力換算ノイズ (e_n) は、 $e_n(PP) = 6.6 \times e_n(RMS)$ と推定できます。選択したコーディング方式に応じて、推定 μV_{PP} 値からノイズフリー分解能を計算するには、式 15 または式 14 を使用します。

$$\text{Noise-free Resolution}_{\text{Binary two's complement coding}} = \ln[FSR / e_n(PP)] / \ln(2) \quad (14)$$

$$\text{Noise-free Resolution}_{\text{Unipolar straight binary coding}} = \ln[(0.5 \times FSR) / e_n(PP)] / \ln(2) \quad (15)$$

ADC のノイズ性能を評価するときは、外部コンポーネントが合計ノイズ性能に及ぼす影響を考慮してください。入力マルチプレクサの入力短絡テスト接続を選択し、ADC のノイズ性能を絶縁状態で評価できます。

表 6-1. Sinc3 および Sinc4 フィルタのノイズ性能 ($V_{REF} = 2.5V$ 、V20 バリエーション)

OSR	データレート (kSPS)	ノイズ ($e_n(RMS)$ 、 μV_{RMS}) ⁽¹⁾		有効分解能 $\pm 10V$ 範囲 (ビット)	
		SINC3	SINC4	SINC3	SINC4
スピード モード 3 ($f_{MOD} = 12.8MHz$)					
12	1066.67	1501.4	533.6	13.7	15.2
16	800	697.6	347.4	14.8	15.8
24	533.33	331.5	261.0	15.9	16.2
32	400	252.3	225.2	16.3	16.4
64	200	170.6	160.2	16.8	16.9
128	100	120.6	112.2	17.3	17.4
256	50	85.8	79.7	17.8	17.9
512	25	60.2	56.6	18.3	18.4
1,024	12.50	43.0	40.0	18.8	18.9
2,048	6.25	30.6	28.5	19.3	19.4
4,000	3.20	22.1	20.6	19.8	19.9
8,000	1.60	15.7	14.8	20.3	20.4
16,000	0.80	11.6	10.8	20.7	20.8
26,667	0.48	9.3	8.8	21.0	21.1
32,000	0.40	8.5	8.1	21.2	21.2
96,000	0.13	5.8	5.7	21.7	21.7
160,000	0.08	5.1	4.7	21.9	22.0
スピード モード 2 ($f_{MOD} = 12.8MHz$)					
12	533.33	1490.5	483.3	13.7	15.3
16	400	664.6	283.5	14.9	16.1
24	266.67	282.3	206.8	16.1	16.6
32	200	203.5	176.9	16.6	16.8
64	100	134.3	124.2	17.2	17.3
128	50	93.6	86.9	17.7	17.8
256	25	66.5	62.0	18.2	18.3
512	12.50	47.1	44.0	18.7	18.8
1,024	6.25	33.4	31.2	19.2	19.3
2,048	3.13	23.4	22.0	19.7	19.8
4,000	1.60	16.9	15.8	20.2	20.3
8,000	0.80	11.9	11.2	20.7	20.8
16,000	0.40	8.6	8.1	21.2	21.2
26,667	0.24	6.8	6.4	21.5	21.6
32,000	0.20	6.3	5.9	21.6	21.7
96,000	0.07	3.9	3.7	22.3	22.4
160,000	0.04	3.1	3.0	22.6	22.7
スピード モード 1 ($f_{MOD} = 1.6MHz$)					
12	133.33	1479.1	440.0	13.7	15.5
16	100	643.4	225.8	14.9	16.4
24	66.67	242.7	151.1	16.3	17.0
32	50	158.2	129.5	16.9	17.2
64	25	97.6	91.0	17.6	17.7
128	12.50	68.9	63.9	18.1	18.3

表 6-1. Sinc3 および Sinc4 フィルタのノイズ性能 ($V_{REF} = 2.5V$ 、V20 バリエーション (続き))

OSR	データレート (kSPS)	ノイズ ($e_n(RMS)$ 、 μV_{RMS}) ⁽¹⁾		有効分解能 $\pm 10V$ 範囲 (ビット)	
		SINC3	SINC4	SINC3	SINC4
256	6.25	48.2	45.2	18.7	18.8
512	3.13	34.1	32.2	19.2	19.2
1,024	1.56	24.2	22.4	19.7	19.8
2,048	0.78	17.2	16.1	20.2	20.2
4,000	0.40	12.4	11.5	20.6	20.7
8,000	0.20	8.8	8.3	21.1	21.2
16,000	0.10	6.3	5.9	21.6	21.7
26,667	0.06	4.9	4.6	22.0	22.1
32,000	0.05	4.5	4.2	22.1	22.2
96,000	0.02	2.8	2.6	22.8	22.9
160,000	0.01	2.2	2.2	23.1	23.1
スピード モード 0 ($f_{MOD} = 0.8MHz$)					
12	66.67	1471.0	431.4	13.7	15.5
16	50	641.5	222.1	14.9	16.5
24	33.33	237.7	145.1	16.4	17.1
32	25	154.5	125.1	17.0	17.3
64	12.50	94.3	87.6	17.7	17.8
128	6.25	65.9	62.0	18.2	18.3
256	3.13	46.5	43.7	18.7	18.8
512	1.56	33.0	30.8	19.2	19.3
1,024	0.78	23.3	21.9	19.7	19.8
2,048	0.39	16.6	15.5	20.2	20.3
4,000	0.20	11.9	11.1	20.7	20.8
8,000	0.10	8.4	7.9	21.2	21.3
16,000	0.05	6.1	5.5	21.7	21.8
26,667	0.03	4.7	4.3	22.0	22.1
32,000	0.03	4.4	4.0	22.1	22.2
96,000	0.01	2.7	2.5	22.8	23.0
160,000	0.01	2.1	2.0	23.2	23.2

(1) 24 ビット量子化の制限により、OSR 値が大きいと、ノイズ結果が変動する可能性があります。 $2.5V/2^{23} = 0.298\mu V/\text{コード}$ 。

表 6-2. Sinc4+ Sinc1 フィルタのノイズ性能 ($V_{REF} = 2.5V$ 、V20 バリエーション)

OSR	データレート (kSPS)	ノイズ ($e_n(RMS)$ 、 μV_{RMS}) ⁽¹⁾	有効分解能 $\pm 10V$ 範囲 (ビット)
スピード モード 3 ($f_{MOD} = 12.8MHz$)			
64 (32 × 2)	200	194.1	16.7
128 (32 × 4)	100	151.1	17.0
256 (32 × 8)	50	110.5	17.5
512 (32 × 16)	25	80.0	17.9
1024 (32 × 32)	12.50	57.3	18.4
2048 (32 × 64)	6.25	40.8	18.9
4000 (32 × 125)	3.20	29.4	19.4

表 6-2. Sinc4+ Sinc1 フィルタのノイズ性能 ($V_{REF} = 2.5V$ 、V20 バリエーション (続き))

OSR	データレート (kSPS)	ノイズ ($e_n(RMS)$ 、 μV_{RMS}) ⁽¹⁾	有効分解能 $\pm 10V$ 範囲 (ビット)
8000 (32 × 250)	1.60	21.0	19.9
16000 (32 × 500)	0.80	15.1	20.3
26656 (32 × 833)	0.48	11.9	20.7
32000 (32 × 1000)	0.40	11.1	20.8
96000 (32 × 3000)	0.13	7.1	21.4
160000 (32 × 5000)	0.08	6.2	21.6
スピード モード 2 ($f_{MOD} = 6.4MHz$)			
64 (32 × 2)	100	152.0	17.0
128 (32 × 4)	50	117.4	17.4
256 (32 × 8)	25	86.6	17.8
512 (32 × 16)	12.50	62.7	18.3
1024 (32 × 32)	6.25	44.3	18.8
2048 (32 × 64)	3.13	31.4	19.3
4000 (32 × 125)	1.60	22.7	19.8
8000 (32 × 250)	0.80	16.0	20.3
16000 (32 × 500)	0.40	11.5	20.7
26656 (32 × 833)	0.24	9.0	21.1
32000 (32 × 1000)	0.20	8.3	21.2
96000 (32 × 3000)	0.07	5.0	21.9
160000 (32 × 5000)	0.04	4.0	22.2
スピード モード 1 ($f_{MOD} = 1.6MHz$)			
64 (32 × 2)	25	110.7	17.5
128 (32 × 4)	12.50	85.9	17.8
256 (32 × 8)	6.25	63.4	18.3
512 (32 × 16)	3.13	45.2	18.8
1024 (32 × 32)	1.56	32.5	19.2
2048 (32 × 64)	0.78	23.0	19.7
4000 (32 × 125)	0.40	16.5	20.2
8000 (32 × 250)	0.20	11.8	20.7
16000 (32 × 500)	0.10	8.4	21.2
26656 (32 × 833)	0.06	6.5	21.6
32000 (32 × 1000)	0.05	6.0	21.7
96000 (32 × 3000)	0.02	3.6	22.4
160000 (32 × 5000)	0.01	2.8	22.8
スピード モード 0 ($f_{MOD} = 0.8MHz$)			
64 (32 × 2)	12.50	107.2	17.5
128 (32 × 4)	6.25	82.4	17.9
256 (32 × 8)	3.13	60.8	18.3

表 6-2. Sinc4+ Sinc1 フィルタのノイズ性能 ($V_{REF} = 2.5V$ 、V20 バリエント (続き))

OSR	データレート (kSPS)	ノイズ ($e_n(RMS)$ 、 μV_{RMS}) ⁽¹⁾	有効分解能 $\pm 10V$ 範囲 (ビット)
512 (32 × 16)	1.56	43.7	18.8
1024 (32 × 32)	0.78	31.2	19.3
2048 (32 × 64)	0.39	22.3	19.8
4000 (32 × 125)	0.20	16.0	20.3
8000 (32 × 250)	0.10	11.4	20.7
16000 (32 × 500)	0.05	8.1	21.2
26656 (32 × 833)	0.03	6.3	21.6
32000 (32 × 1000)	0.03	5.8	21.7
96000 (32 × 3000)	0.01	3.5	22.5
160000 (32 × 5000)	0.01	2.7	22.8

(1) 24 ビット量子化の制限により、OSR 値が大きいと、ノイズ結果が変動する可能性があります。 $2.5V/2^{23} = 0.298\mu V$ / コード。

表 6-3 は、50Hz/60Hz の同時除去機能を備えたカスタム 20SPS および 25SPS フィルタ モードのノイズ性能と有効分解能をまとめます。

表 6-3. 20SPS フィルタと 25SPS フィルタのノイズ性能 ($V_{REF} = 2.5V$ 、V20 バリエント)

速度モード	f_{MOD} (MHz)	データレート (SPS)	ノイズ ($e_n(RMS)$ 、 μV_{RMS})	有効分解能 $\pm 10V$ 範囲 (ビット)
3	12.8	20	4.7	22.0
2	6.4	20	3.6	22.4
1	1.6	20	4.9	22.0
0	0.6	20	6.6	21.5
3	12.8	25	4.5	22.1
2	6.4	25	3.5	22.5
1	1.6	25	4.7	22.0
0	0.6	25	6.1	21.6

6.13 TUE (総合未調整誤差) の測定

TUE (総合未調整誤差) は、ゲイン誤差やオフセット誤差のシステム レベルの較正を行わずに、実際の伝達関数と理想的な伝達関数との間の最大偏差を定義します。TUE は、デバイスまたはシステムに対する単一のワーストケース精度の数値を示します。式 16 に示されているように、TUE は測定誤差 (測定値と予測値との差) と、デバイスのフルスケール入力範囲 FSR との比 (% 単位) です。特定のアプリケーションでフルレンジのサブセクション部のみが使用される場合、この特定のシステムにおける TUE の計算には、式 16 で縮小された範囲を使用することができます。

$$TUE (\%FSR) = ((V_{Measured} - V_{Ideal/Expected}) / FSR) \times 100 \quad (16)$$

ここで

- $V_{Measured}$ = 測定された出力
- $V_{Ideal/Expected}$ = 計算/予測/理想的な測定結果
- FSR = デバイスのフルスケール入力範囲、または用途に応じて選択されたサブ範囲

7 詳細説明

7.1 概要

ADS125H18 は多重化、高電圧、高性能、24 ビット デルタ シグマ ($\Delta\Sigma$) A/D コンバータ (ADC) で、DC 精度と AC 精度の優れた組み合わせを実現しています。このデバイスは、低消費電力で高分解能を実現するよう最適化されています。

ADS125H18 は、PLC および DCS モジュールなど、ファクトリ オートメーションおよびプロセス制御アプリケーション用に設計されています。ADS125H18 は、全体的なシステム コストと設計の負担を低減し、高いレベルの精度を維持します。ADS125H18 には、以下のシステム上の利点があります。

- 5V 単一電源で高入力電圧範囲に対応。
- 1M Ω の検証済み最小入力インピーダンス
- 多くのチャンネル数。
- キャリブレーション コストの削減。

ADS125H18 の機能は、「[機能ブロック図](#)」に示されています。

各入力は、入力電圧を ADC の入力範囲までスケール ダウンするために、高精度マッチング抵抗を内蔵したハイインピーダンス分圧器で構成されています。

入力マルチプレクサ (Mux) に続いて、デバイスには、正および負の ADC 入力用の 2 つのハイインピーダンス、レールツー レール入力バッファがあります。

デルタ シグマ変調器は、信号振幅に比例した低分解能で高周波のデータを生成します。変調器内のノイズ成形により、低分解能データの量子化ノイズが帯域外周波数範囲にシフトされ、デジタル フィルタによってノイズが除去されます。パスバンド内に残っているノイズは白色であり、デジタル フィルタによってこの値が低減されます。デジタル フィルタは変調器のデータに対して同時に減算とフィルタ処理を行い、高分解能の最終出力データを提供します。変調器は 3 次、マルチビット デルタ シグマ設計で、差動リファレンス $V_{REF} = (V_{REFP} - V_{REFN})$ に対して差動入力信号 $V_{IN} = (V_{AINP} - V_{AINN})$ を測定します。

デジタル フィルタには、複数のフィルタ構成があります。sinc3、sinc4、sinc4 (sinc4 + sinc1) に続いて sinc1 段をカスケード接続するオプション、50/60Hz のノッチ フィルタ オプションを使用することで、ノイズ性能とレイテンシの間を最適化できます。プログラマブルなオーバーサンプリング レート (OSR) と 4 つ の速度モードによって、帯域幅、分解能、デバイスの消費電力を最適化できます。

ADS125H18 には、設定されたマルチプレクサ入力を自動的に順番に処理し、測定のために選択し、ADC 変換を開始するチャンネル シーケンサが搭載されています。また、このデバイスには FIFO (先入れ先出し) バッファもあり、ホスト コントローラがデバイスからデータを読み取る準備ができるまで、ADC 変換結果とステータス情報を格納できます。

SPI 互換のシリアル インターフェイスを使用して、デバイスを構成し、変換データを読み取ります。このインターフェイスにはデジタイズチェーン接続機能があり、マルチチャンネル システムを簡単に接続できます。巡回冗長性検査 (CRC) エラー監視機能を内蔵しているため、システム レベルの信頼性が向上します。

ADS125H18 のメイン クロックは、内部 25.6MHz 発振器によって、または CLKIN ピンに供給される外部クロックによって供給されます。START ピンは、デジタル フィルタのプロセスを同期します。RESET ピンは ADC をリセットします。DRDY は、変換データ準備完了の出力信号です。

電源電圧 AVDD は、内部レギュレータ (CAPA) を介して、入力バッファ、入力サンプリング スイッチ、および変調器に電力を供給します。電源電圧 IOVDD はデジタル I/O 電圧で、内部レギュレータ (CAPD) を使用して、デジタル コアにも電力を供給します。内部レギュレータは、全体の消費電力を最小限に抑え、一貫したレベルの性能を実現します。

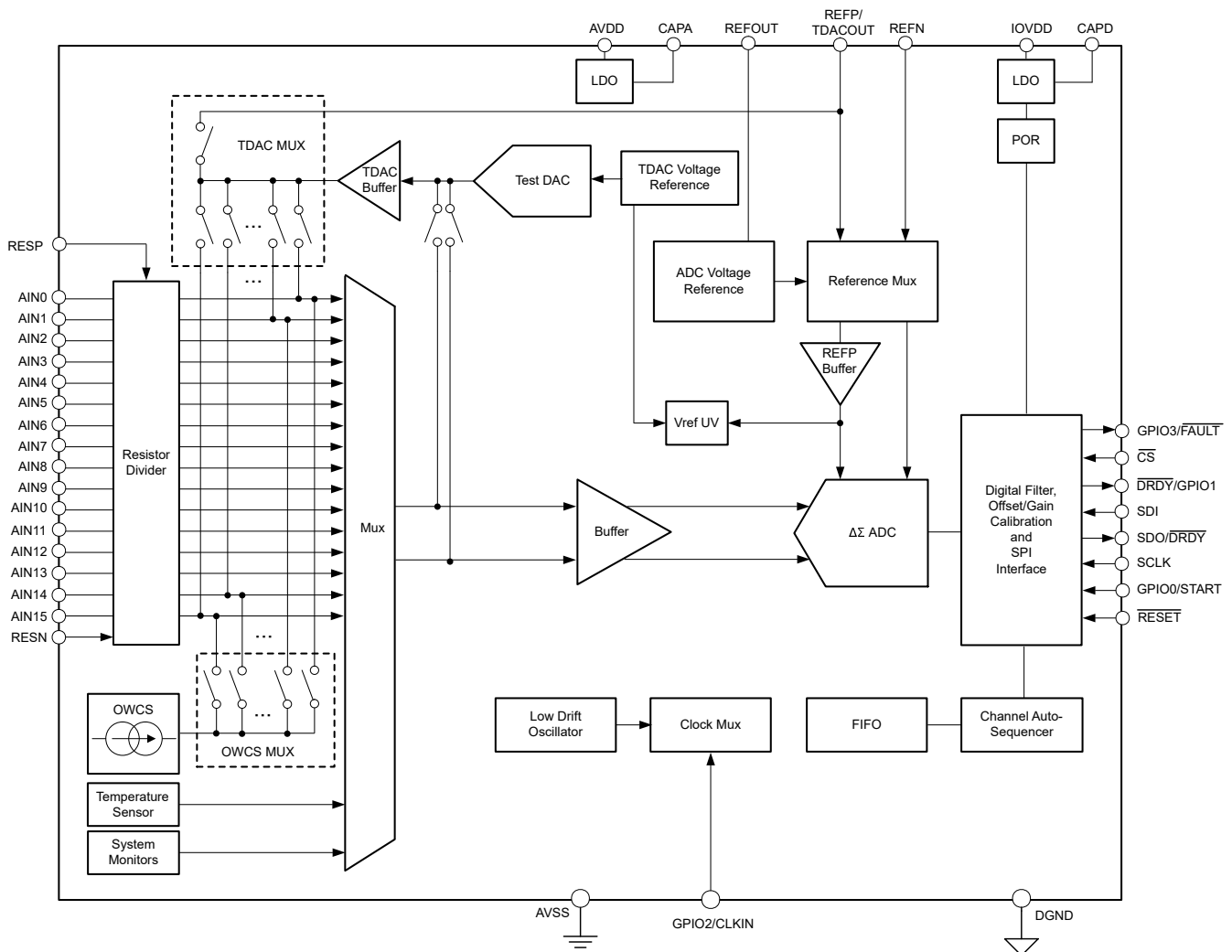
このデバイスは、ランダムなハードウェア障害を軽減および検出できる複数の監視 / 診断機能を内蔵しているため、機能安全システムの開発が容易になります。たとえば：

- 電源および電圧リファレンスの低電圧監視機能
- ADC を経由する電源と電圧リファレンスのリードバック機能
- 断線検出電流ソースおよびシンク

- 変調器のオーバーレンジ モニタ
- 温度センサ内蔵
- ADC と入力マルチプレクサを診断するためのテスト電圧を生成するための内蔵テスト DAC
- 通信のデータ整合性を向上させるために SPI に搭載された巡回冗長性検査 (CRC)
- ページまたはレジスタ アクセス フォルト モニタ
- FIFO オーバーフローおよびアンダーフロー モニタ
- FIFO CRC 障害検出器
- FIFO 深度インジケータ
- レジスタ とメモリ マップの CRC
- ADC 変換およびシーケンス カウンター

このデバイスは、AVDD に基づくロジック レベルで最大 8 つの GPIO (アナログ GPIO:AGPIO0 ~ AGPIO7)、および IOVDD に基づくロジック レベルで最大 4 つの GPIO (GPIO0 ~ AGPIO3) を搭載しています。GPIO0 は START 入力としても構成でき、GPIO1 はデフォルトで $\overline{\text{DRDY}}$ 出力として構成され、GPIO2 は CLKIN 入力として構成でき、GPIO3 は $\overline{\text{FAULT}}$ 出力として構成できます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 分圧器と入力マルチプレクサ

ADS125H18 には、AIN0 ～ AIN15 および VINCOM の 17 の電圧入力ピンがあります。各ピンは、抵抗分圧器と内部マルチプレクサに接続されます。マルチプレクサにより、これらの入力を入力ペアとして構成できます。マルチプレクサの出力は、内蔵の true のレール ツー レール バッファの入力に接続されます。ADS125H18 は、最大 16 個のアクティブ チャネルを搭載できます。ADS125H18 は、16 個のシングル エンド入力、8 個の完全差動入力、またはシングル エンド入力と差動入力の組み合わせに設定できます。チャネル自動シーケンサが有効の場合、チャネルはシーケンサ構成で指定された順序に従って自動的にシーケンスされます。詳細については、[チャネル自動シーケンサ](#) セクションを参照してください。

図 7-1 の概略回路は、抵抗分圧器、入力マルチプレクサ、ESD ダイオード、レール ツー レール入力バッファを含むアナログ入力構造を表しています。

アナログ入力 AIN0 ～ AIN15 の分圧器は、表 7-1 に示されているように、デバイス バリエーション ADS125H18-V12、ADS125H18-V20、ADS125H18-V40 のものです。表 7-1 に示されているように、分圧器は、5V 単一電源からの入力電圧範囲に対応する高精度のマッチングされた抵抗で構成されます。

表 7-1. 抵抗分圧器の実装と入力範囲、Vref = 2.5V

デバイスの種類	R1	R2 = R3	減衰 係数	絶対入力電圧範囲
V12	1.125MΩ	375kΩ	7	±12.5V
V20		250kΩ	10	±20.5V
V40		125kΩ	19	±40.5V

入力マルチプレクサは、各シーケンス ステップで ADC の正と負の入力にルーティングする信号を制御します。STEPx_AIN[4:0] ビット (x = 0 ～ 31)、および STEPx_SYS_MON[3:0] ビット (x = 0 ～ 31) を使用して、入力マルチプレクサを構成します。

入力マルチプレクサにより、以下の入力を ADC に接続できます。

- AINCOM が負のマルチプレクサ入力として選択されているとき、シングルエンド測定構成での 16 個のアナログ入力 (AIN0 ～ AIN15) のいずれか。の入力電圧は、RESN ピンの電圧を基準として測定されます。
- 1 つの入力を正の ADC 入力に、もう 1 つの入力を負の ADC 入力に接続するとき、差動測定構成で、16 個のアナログ入力の AIN0 ～ AIN15 の選択されたペア。差動入力以下のペアで組み合わせられます。AIN0 と AIN1、AIN2 と VIN3、AIN4 と AIN5、AIN6 と AIN7、AIN8 と AIN9、AIN10 と AIN11、AIN12 と AIN13、AIN14 と AIN15。
- AVSS に内部短絡。この設定を使用して、ADC のセルフ オフセット較正を行います。STEPx_SYS_MON[3:0] ビット (x = 0 ～ 31) を使用して内部短絡を選択します。
- アナログ電源 (AVDD-AVSS)/3、デジタル電源 (IOVDD-DGND)/3、内部サブレギュレートされた電源 (CAPA-AVSS) または (CAPD-AVSS)、リファレンス電圧 (REFP-REFN)/3 など、いずれかの内部システム モニタ。STEPx_SYS_MON[3:0] ビット (x = 0 ～ 31) を使用して、システム モニタを選択します。
- 内部温度センサ。STEPx_SYS_MON[3:0] ビット (x = 0 ～ 31) を使用して、内部温度センサを選択します。
- テスト DAC から供給される DC テスト信号。STEPx_TDAC_VAL[4:0] および STEPx_TDAC_SEL[4:0] ビット (x = 0 ～ 31) を使用して、テスト DAC 信号を選択します。

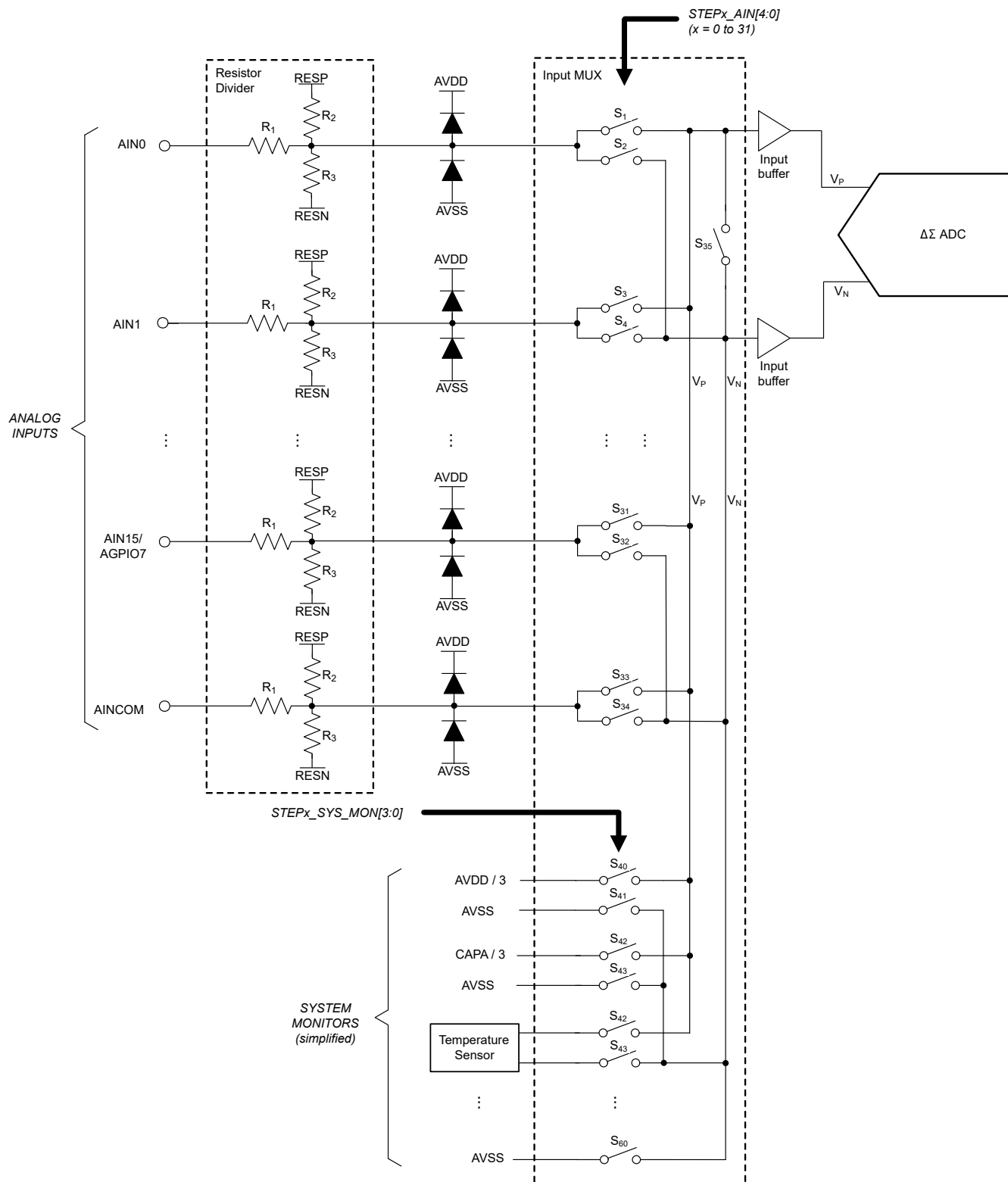


図 7-1. 分圧器と入力マルチプレクサ

表 7-2 に、図 7-1 に説明されている入力マルチプレクサ回路のスイッチ構成を示します。

表 7-2. 入力マルチプレクサの構成

STEPx_INP[4:0] (x = 0 ~ 31)	スイッチ	説明
00000b	S ₁	AIN0-RESN を選択
00001b	S ₃	AIN1-RESN を選択
00010b	S ₅	AIN2-RESN を選択
00011b	S ₇	AIN3-RESN を選択
...
01110b	S ₂₉	AIN14-RESN を選択
01111b	S ₃₁	AIN15-RESN を選択
10000b	S _{xx}	AIN0-AIN1 を選択
10001b	S _{xx}	AIN2-AIN3 を選択
10020b	S _{xx}	AIN4-AIN5 を選択
10011b	S _{xx}	AIN6-AIN7 を選択
10100b	S _{xx}	AIN8-AIN9 を選択
10101b	S _{xx}	AIN10-AIN11 を選択
10110b	S _{xx}	AIN12-AIN13 を選択
10111b	S _{xx}	AIN14-AIN15 を選択
その他すべてのコード	該当なし	すべてのスイッチがオープン

ADC のアナログ入力 は差動で、入力 は差動電圧として定義されます: $V_{IN} = V_{AINP} - V_{AINN}$ 。AINP および AINN は、選択されたペアのアナログ入力を表しています。最高の性能を得るため、中間電圧 ($AVDD + AVSS$)/2 を中心とする同相電圧を持つ差動信号で入力を駆動します。

ADC は、差動信号に応じて $AVDD$ と $AVSS$ を構成し、ユニポーラまたはバイポーラの入力信号を受け付けることができます。電源がユニポーラ動作に構成された差動信号の例を、[ユニポーラの差動入力信号](#) に示します。同相電圧が中間電圧 ($AVDD/2$) のとき、対称入力電圧のヘッドルームが利用可能です。ユニポーラ動作には、 $AVDD = 5\text{ V}$ および $AVSS = 0\text{ V}$ を使用します (低速モードでは $AVDD$ を 3 V まで下げることができます)。バイポーラ動作用に構成された差動信号の例を、[バイポーラの差動入力信号](#) に示します。信号の同相電圧は通常 0 V です。バイポーラ動作には、 $AVDD$ および $AVSS = \pm 2.5\text{ V}$ を使用します (低速モードでは $AVDD$ および $AVSS$ を $\pm 1.5\text{ V}$ まで下げることができます)。

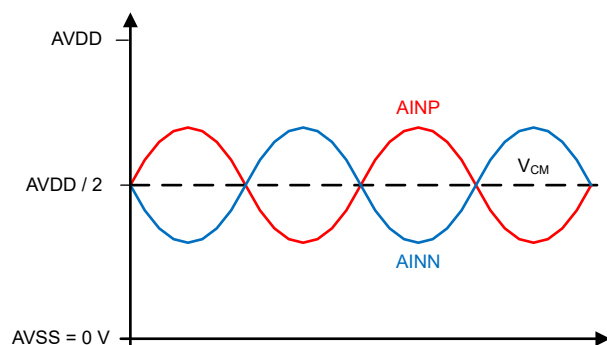


図 7-2. ユニポーラの差動入力信号

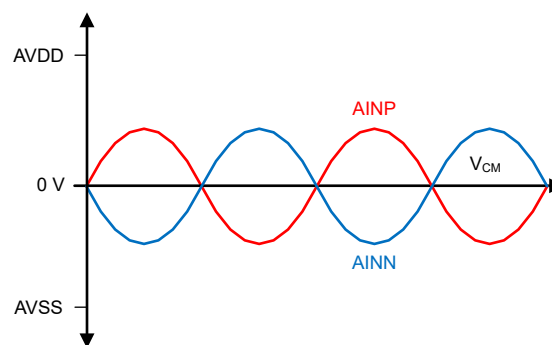


図 7-3. バイポーラの差動入力信号

バイポーラとユニポーラのどちらの電源構成でも、AINN 入力を $AVSS$ またはグランド、あるいは中間電圧に接続することで、ADC はシングルエンド入力信号を受け付けることができます。しかし、このときの AINN は固定電圧なので、ADC の電圧範囲は AINP 入力のスイング範囲 (5 V 電源の場合、 $\pm 2.5\text{ V}$ または $0\text{ V} \sim 5\text{ V}$) によって制限されます。

7.3.2 入力レンジ

アナログ電圧入力ピン AIN0 から AIN15 の入力範囲は、リファレンス電圧 V_{REF} 、ADC のフルスケール レンジ、抵抗デバイス段のスケーリング係数に基づきます。

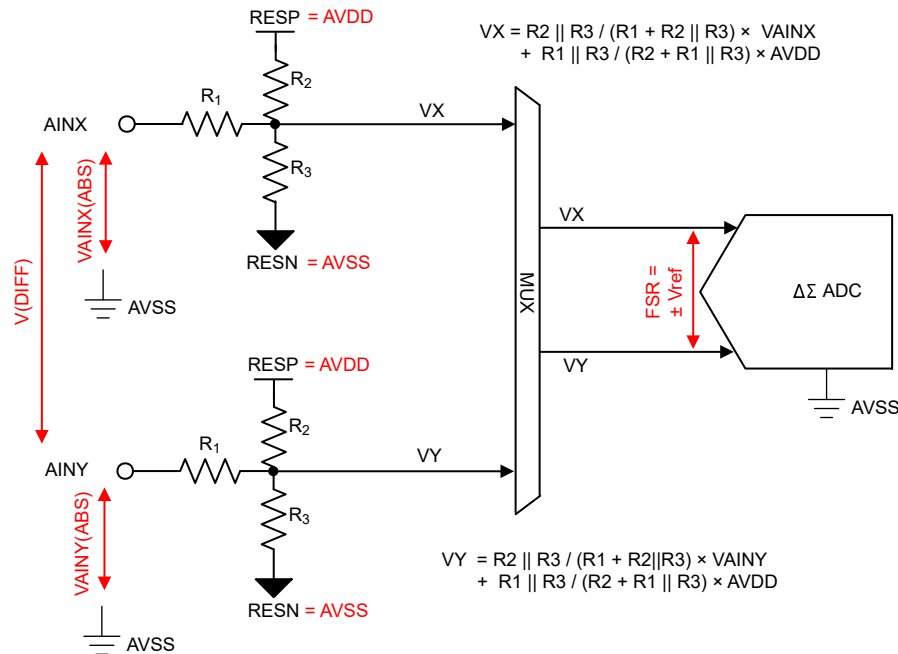


図 7-4. 入力範囲のスケーリング

表 7-3 に、ADS125H18-V12、ADS125H18-V20、ADS125H18-V40 の各デバイス バリエーションについて、表 7-1 で計算できる抵抗分圧比に基づく減衰係数を示します。表 7-3 に、差動フルスケール レンジ (FSR)、規定の差動入力電圧範囲 (精度が検証される)、推奨絶対入力電圧 ($AVSS$ を基準) を示します。

表 7-3. 入力範囲の仕様、 $V_{ref} = 2.5V$

デバイスの種類	入力ピン	減衰係数	差動 FSR ⁽¹⁾ $V_{IN} = V_{AINX} - V_{AINY}$	指定差動入力電圧	推奨絶対入力電圧 W.R.T. $AVSS$ ($AVSS = 0V$)
V12	AIN0 ~ AIN15	7	±17.5V	±12V	±12.5V
V20	AIN0 ~ AIN15	10	±25.0V	±20V	±20.5V
V40	AIN0 ~ AIN15	19	±47.5V	±40V	±40.5V

(1) $FSR = \pm V_{REF} \times$ 減衰係数。

7.3.3 ADC の基準電圧

動作にはリファレンス電圧が必要です。リファレンス電圧入力は差動で、REFP および REFN 入力に印加される場合、 $V_{REF} = V_{REFP} - V_{REFN}$ と定義されます。リファレンス電圧は、内部リファレンスにより内部から、または外部リファレンス入力ピン REFP および REFN で外部から供給されます。

図 7-5 に、リファレンス入力とリファレンス マルチプレクサのブロック図を示します。STEPx_REF_SEL ビットを使用して、各シーケンス ステップの内部リファレンスまたは外部リファレンス入力を選択します。シーケンス ステップ中にシステム監視 (内部短絡を除く) のいずれかが入力として選択されると、内部リファレンスが選択され、このステップでは STEPx_REF_SEL ビットが無視されます。

いずれかのシーケンス ステップ (イネーブルまたはディスエーブル) に対して内部リファレンスが選択されている場合、またはいずれかのシーケンス ステップに対して内部短絡以外のシステム監視が選択されている場合、内部リファレンスがイ

ネーブルになり、REFOUT ピンで使用可能になります。それ以外の場合、すべてのシーケンス ステップが外部リファレンスまたはシステム監視の内部短絡設定のいずれかを使用している場合、内部リファレンスはディスエーブル (パワーダウン) になり、REFOUT では使用できません。

図 7-5 に示すように、リファレンス入力アナログ入力と同様の入力構造を持っています。ESD ダイオードはリファレンス入力を保護します。これらのダイオードがオンにならないようにするため、リファレンス ピンの電圧が AVSS より 0.3V 以上低くなる、または AVDD より 0.3V 以上高くなるようにします。このような条件が起きる可能性がある場合は、外付けのクランプ ダイオード、直列抵抗、または両方を使用して、入力電流を指定の値に制限します。安定した性能を得るため、REFN 入力ピンは外部で AVSS に接続します。

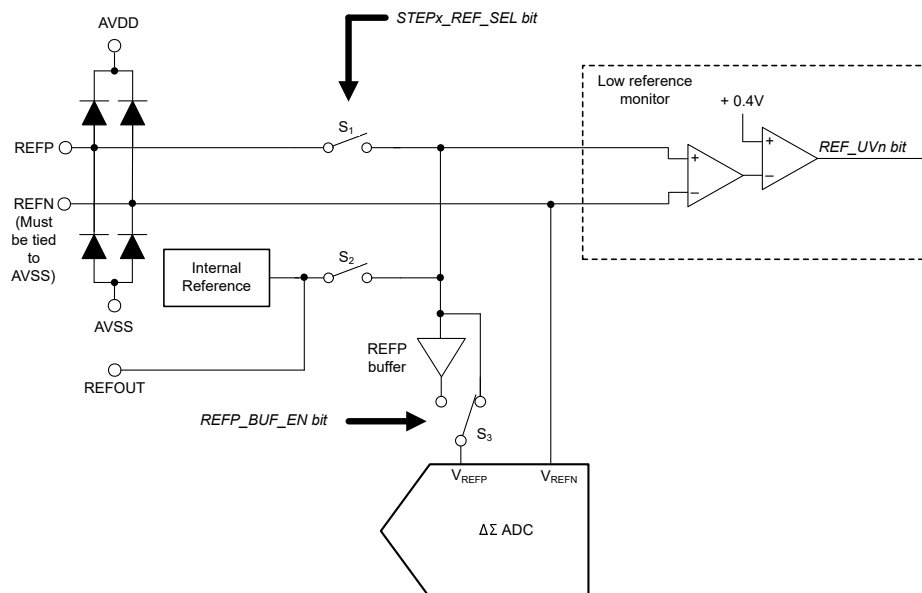


図 7-5. リファレンス入力およびリファレンス マルチプレクサ回路

リファレンス電圧は、サンプリング コンデンサ C_{REF} によってサンプリングされます。バッファなしモードでは、電流はリファレンス入力を經由してサンプリング コンデンサを充電します。この電流は、DC 成分と AC 成分で構成され、AC 成分は変調器のサンプリング クロックの周波数によって変化します。リファレンス サンプリング コンデンサを充電する効果を実現するには、外部リファレンスドライバがサンプル位相 $t = 1 / (2 \times f_{MOD})$ の最後でセトリングする必要があります。リファレンス電圧のセトリングが不完全な場合、ゲイン誤差とゲイン誤差ドリフトが大きくなる可能性があります。低速度モードで動作すると、変調器のサンプリング クロック周波数が低下するため、リファレンスドライバがセトリングするための時間が長くなります。

ADC には、サンプリング コンデンサによって消費される電荷を低減するため、REFP 入力のリファレンス入力バッファ オプションがあります。バッファにより、サンプリング コンデンサの充電の要件が減少するため、外部ドライバの帯域幅要件は大幅に低減されます。図 7-5 に示すように、REFP_BUF_EN ビットを使用して REFP 入力バッファを構成します。多くのアプリケーションでは、REFN を接地するか、REFN を AVSS に接続します。通常動作では REFN ピンを AVSS に接続する必要があるため、REFN 用のリファレンス入力バッファは不要です。

このデバイスは、図 7-5 に示すように、低いリファレンス電圧または欠落したリファレンス電圧を検出するための低リファレンス電圧監視機能を内蔵しています。差動リファレンス電圧 ($V_{REF} = V_{REFP} - V_{REFN}$) が 0.4V (標準値) を下回ると、低いリファレンス電圧アラームがトリガされます。REF_UVN ビットは、低いリファレンス電圧アラームを示します。低リファレンス監視を使用して、リファレンス電圧接続の欠落または失敗を検出します。必要なバイアスを供給するため、リファレンス入力の間に 100kΩ 抵抗を接続します。リファレンス入力欠落しているか未接続の場合、この外部抵抗はリファレンス入力を互いにバイアスします。低リファレンス電圧監視は高速応答のアナログ コンパレータであるため、リファレンス電圧の過渡がアラームをトリガすることがあります。

7.3.4 電源

このデバイスは、アナログ (AVDD) とデジタル (IOVDD) の 2 種類の電源を必要とします。アナログ電源は、デジタル電源から個別に選択できます。IOVDD 電源は、シリアル インターフェイス ピン (CS、SCLK、SDI、SDO/DRDY) およびその他のデジタル I/O ピンのロジックレベルを設定します。

7.3.4.1 AVDD および AVSS

AVDD および AVSS は、デバイスのアナログ回路に電力を供給します。ADS125H18 は、バイポーラ入力動作 (たとえば $\pm 2.5V$ の電源を使用する場合) またはユニポーラ入力動作 (たとえば AVDD = 5V および AVSS = DGND) のいずれかに構成できます。AVDD 電源電圧と AVSS ピンの間に $1\mu F$ と $0.1\mu F$ のバイパス コンデンサを並列に組み合わせて使用し、コンデンサと AVDD ピンとの間に 3Ω の直列抵抗を直列に配置します。抵抗とコンデンサは、AVDD ピンのできるだけ近くに配置します。

表 7-4 に、AVDD と AVSS の電源構成の例を示します。

表 7-4. AVDD および AVSS 電源構成例 (すべて DGND を基準とする電圧)

電源構成	速度モード 3 または 速度モード 2		速度モード 1 または 速度モード 0	
	AVDD	AVSS	AVDD	AVSS
ユニポーラ	5V	0V	3V ~ 5V	0V
バイポーラ	2.5V	-2.5V	1.5V ~ 2.5V	-1.5V ~ -2.5V

7.3.4.2 IOVDD

IOVDD は、デバイスのデジタル I/O 電源電圧です。IOVDD は内部で 1.25V にレギュレートされ、デジタル コアに電力を供給します。 $1\mu F$ と $0.1\mu F$ のコンデンサを並列に組み合わせて、IOVDD を DGND にバイパスします。IOVDD の電圧レベルは、アナログ電源の構成に独立です。

7.3.4.3 CAPA および CAPD

CAPA および CAPD は、内部のアナログおよびデジタル電圧レギュレータの出力電圧です。これらのレギュレータを使用して電源電圧を低減し、内部サブの回路を動作させることができますが、外部負荷を駆動するには設計されていません。CAPA はアナログ レギュレータの電圧出力で、AVDD から電力を供給されます。出力電圧は、AVSS を基準として 1.6V です。AVSS との間に $1\mu F$ のコンデンサを使用し、CAPA をバイパスします。CAPD は、IOVDD から電力を供給されるデジタル レギュレータの電圧出力です。レギュレータの出力は、DGND を基準として 1.25V です。DGND との間に $1\mu F$ のコンデンサを使用し、CAPD をバイパスします。

7.3.4.4 パワーオン リセット (POR)

ADC は、電源モニタを使用して、電源投入および電源ブラウンアウト イベントを検出します。IOVDD デジタル電源の電源を投入するか、電源を切って再投入すると、デバイスがリセットされます。アナログ電源の投入や、電源を切って再投入した場合は、ADC がリセットされません。

図 7-6 に、IOVDD のデジタル電源オン スレッシュホールドと内部 CAPD 電圧を示します。電圧が対応するスレッシュホールドを下回ると、(内部 POR 信号を使って) ADC はリセットされ、ブラウンアウト状態を示す AVDD_UVn フラグが 0b に設定されます。パワーアップ時に、AVDD_UVn フラグが 0b に設定され、その後で SPI の通信準備が完了すると DRDY は High に遷移します。デバイスの SPI 通信の準備ができれば、1b を書き込んで AVDD_UVn フラグをクリアします。

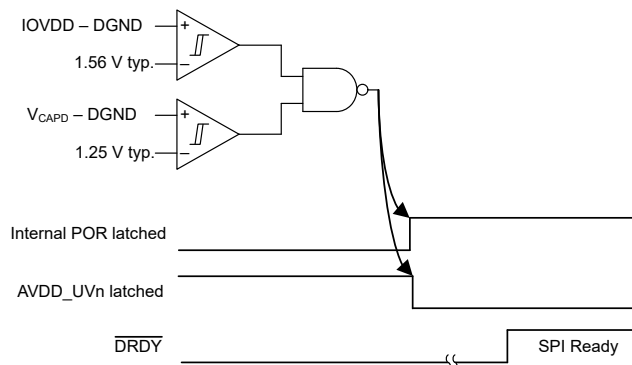


図 7-6. デジタル電源のスレッシュホールド

アナログ電源のパワーオン スレッシュホールドを、[図 7-7](#) に示します。アナログ電源電圧の 4 つの条件である (AVDD – DGND)、(AVDD – AVSS)、(CAPA – AVSS) のために、3 つのモニタが使用されます。電源投入後に、すべての電源とリファレンス電圧が安定した後で、有効な変換データが利用可能になります。いずれかのアナログ電源電圧が対応するスレッシュホールドを下回ると、ADC_REF_STATUS レジスタの AVDD_UVn ビットが 0b に設定されます。1b を書き込むと、ビットがクリアされ、次のアナログ電源の低電圧状態が検出されます。アナログ電源を切ってから再投入しても、ADC はリセットされません。IOVDD 電源の電圧が低いと、内部アナログ LDO (CAPA) がリセットされるため、アナログ低電圧フラグ (AVDD_UVn) も設定されます。

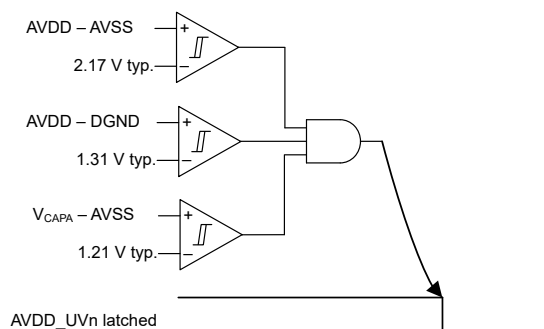


図 7-7. アナログ電源のスレッシュホールド

7.3.5 クロック動作

ADS125H18 は、ADC のメイン クロック (CLK) を動作させる必要があります。[図 7-8](#) に示されているように、ADC へのクロックは、次の 2 つの方法のいずれかで供給されます。

- 内部 25.6MHz 発振器、または
- GPIO2/CLKIN ピンの外部クロック

CLK_SEL ビットは、ADC のクロック ソースを選択します。デバイスのパワーアップ時またはデバイスのリセット後に、デフォルトでは内部発振器がクロック ソースとして選択されます。

[図 7-8](#) に示されているように、クロック分周器は、外部クロック周波数 f_{CLKIN} を 1、2、8、16 の係数で分周し、メインクロック周波数 f_{CLK} を生成します。クロック分周器を構成するには、CLK_DIV[1:0] ビットを使用します。詳細については、[外部クロック](#) セクションを参照してください。

内部発振器の周波数は、SPEED_MODE[1:0] ビットで選択された速度モード動作に自動的にスケーリングされます。詳細については、[内部発振器](#) セクションを参照してください。

デルタ シグマ ADC の変調器クロックは、メイン・クロックから生成されます。クロック分周器は、メイン クロック周波数 (f_{CLK}) を 2 分周して、デューティ サイクルが 50% の変調器の周波数 ($f_{MOD} = f_{CLK}/2$) を生成します。

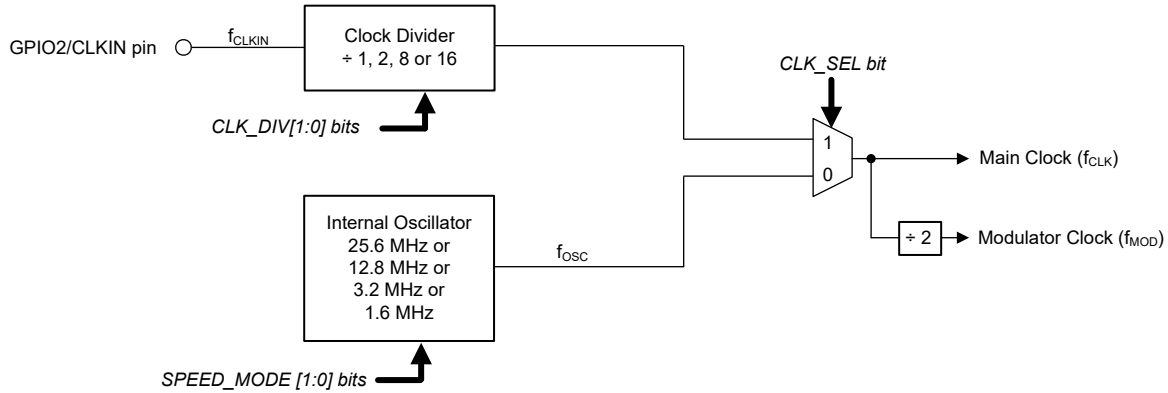


図 7-8. クロックのブロック図

f_{CLK} の公称値は、速度モード 3 では 25.6MHz、速度モード 2 では 12.8MHz、速度モード 1 では 3.2MHz、速度モード 0 では 1.6MHz です。それぞれの速度モードの公称クロック周波数と、最小 OSR 設定での対応データ レートを、表 7-5 に示します。

表 7-5. ADC クロック周波数

SPEED_MODE[1:0] ビット	速度モード	公称クロック周波数 (MHz)	最大定格データ レート (kSPS)
11b	速度モード 3	25.6	1066.6
10b	速度モード 2	12.8	533.3
01b	速度モード 1	3.2	133.333
00b	速度モード 0	1.6	66.67

CLK_SEL ビットを使用してクロック ソースを変更する前に、クロック切り替え時のクロック グリッチを防ぐため、デバイスをパワーダウン モードに設定してください。外部クロック ソースから内部発振器に切り替える場合、デバイスが内部メイン発振器に切り替わるまで、外部クロックを動作させてください。

7.3.5.1 内部発振器

電源投入時およびリセット後、ADC はデフォルトで内部発振器モード (CLK_SEL ビット=0b) になります。表 7-6 に示されているように、内部発振器の周波数は、選択した速度モード動作に自動的にスケーリングされます。内部発振器がクロック ソースとして選択されている場合、CLK_DIV[1:0] ビットは無視されます。内部発振器にはクロック ジッタが存在するため、内部発振器は dc 信号の測定のみを使用します。内部発振器を使用する場合、AC 信号の測定は推奨されません。

表 7-6. 内部クロック周波数の設定

SPEED_MODE[1:0] ビット	速度モード	f_{OSC} (MHz)、 f_{CLK} (MHz)	f_{MOD}
11b	速度モード 3	25.6	12.8
10b	速度モード 2	12.8	6.4
01b	速度モード 1	3.2	1.6
00b	速度モード 0	1.6	0.8

7.3.5.2 外部クロック

外部クロックで ADC を動作させるには、GPIO2_CFG[1:0] ビットを使用して、GPIO2/CLKIN ピンをクロック入力に構成します。次に、CLK_SEL ビットを 1b にプログラムし、CLK ピンにクロック信号を印加します。クロック周波数は、特定のデータ レートを実現するために、公称クロック周波数から下げることができます。表 7-7 に示されているように、CLK_DIV[1:0] ビットを使用して、外部クロック分周器を構成します。しかし、クロック周波数を下げて動作させた場合の変換ノイズは、高

いクロック周波数で動作させた場合と変わりません。変換ノイズを減らすには、OSR 値を増やすか、フィルタ モードを変更するしかありません。

表 7-7. 外部クロック分周器の設定

CLK_DIV[1:0]	分周	f_{CLK} (MHz)	f_{MOD} (MHz)
		$f_{CLKIN} = 25.6\text{MHz}$ の場合	$f_{CLKIN} = 25.6\text{MHz}$ の場合
00b	1	25.6	12.8
01b	2	12.8	6.4
10b	8	3.2	1.6
11b	16	1.6	0.8

クロックのジッタにより、変調器のサンプリングのタイミングが変動し、SNR 性能が低下します。データシートの SNR 性能を満たすには、低ジッタのクロックが不可欠です。たとえば、信号周波数が 200kHz であれば、ジッタが < 10ps (rms) の外部クロックが必要です。信号周波数が低い場合、信号周波数が 1/10 になるごとに、クロックのジッタ要件が -20dB だけ緩和される可能性があります。たとえば、 $f_{IN} = 20\text{kHz}$ の場合、100ps ジッターのクロックを使用できます。多くの種類の RC 発振器はジッタのレベルが高いので、ac 信号の測定には使用できません。代わりに、水晶ベースのクロック発振器をクロック ソースとして使用します。クロック入力のリングングを避けてください。多くの場合、クロック バッファの出力に直列抵抗を配置すると、リングングを低減できます。

7.3.6 変調器

ADS125H18 は、5 ビットの内部量子化回路を搭載したスイッチト コンデンサ、3 次、シングル ループの変調器を使用します。この変調器のトポロジは、非常に低い消費電力で、優れたノイズと直線性の性能を実現できます。大振幅の帯域外信号で駆動されるほとんどの高次変調器と同様に、変調器の飽和が発生する可能性があります。飽和が起きても、帯域内信号は引き続き変換されますが、ノイズフロアは大きくなります。図 7-9 に、変調器の飽和を避けるための帯域外信号の振幅制限を示します。dc 信号および帯域内信号の振幅の制限値は、標準フルスケールより 1dB 高い値です。

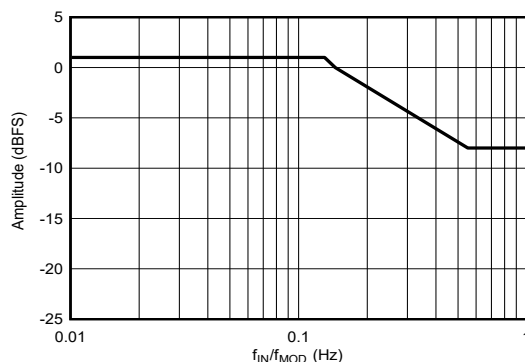


図 7-9. 変調器の飽和を避けるための振幅制限

変調器の飽和は、ADC_REF_STATUS レジスタの MOD_OVR_FAULTn ビットによって示されます。変調器の飽和状態は変換期間中にラッチされ、レジスタ ビットに 1b を書き込むことでクリアされます。帯域外信号による変調器の飽和は、ADC 入力でアンチエイリアスフィルタを使用することで避けられます。

7.3.7 デジタル フィルタ

デジタル フィルタは、変調器からの低分解能で高速のデータを平均化および間引き処理することで、高分解能で低速の出力データを生成します。プログラマブル オーバーサンプリング レート (OSR) によってフィルタリングの量が決定され、これは信号の帯域幅と変換ノイズに影響し、さらに間引きによって出力データ レートにも影響します。出力データ レートは、 $f_{DATA} = f_{MOD} / OSR$ で定義されます。

デジタル フィルタは、CIC (カスケード接続された積分器の組み合わせ) トポロジで、変換データがフィルタ経由で伝搬されるときに遅延 (レイテンシ) を最小限に抑えます。CIC フィルタは特徴的な $\sin x/x$ (sinc) 周波数応答を示すため、sinc

フィルタとも呼ばれます。レイテンシ時間が短いことから、このフィルタは dc 信号の高速取得や制御ループでの使用に適しています。

図 7-10 に示されているように、このデバイスは OSR をプログラム可能で、複数のフィルタ構成を選択できます。sinc3、sinc4、sinc4 (sinc4 + sinc1) に続いて sinc1 段をカスケード接続し、50/60Hz のノッチ フィルタ オプションを選択できます。デジタル フィルタの構成により、アキュイジション時間、ノイズ性能、ライン サイクル除去の間でトレードオフを選択できるようになります。

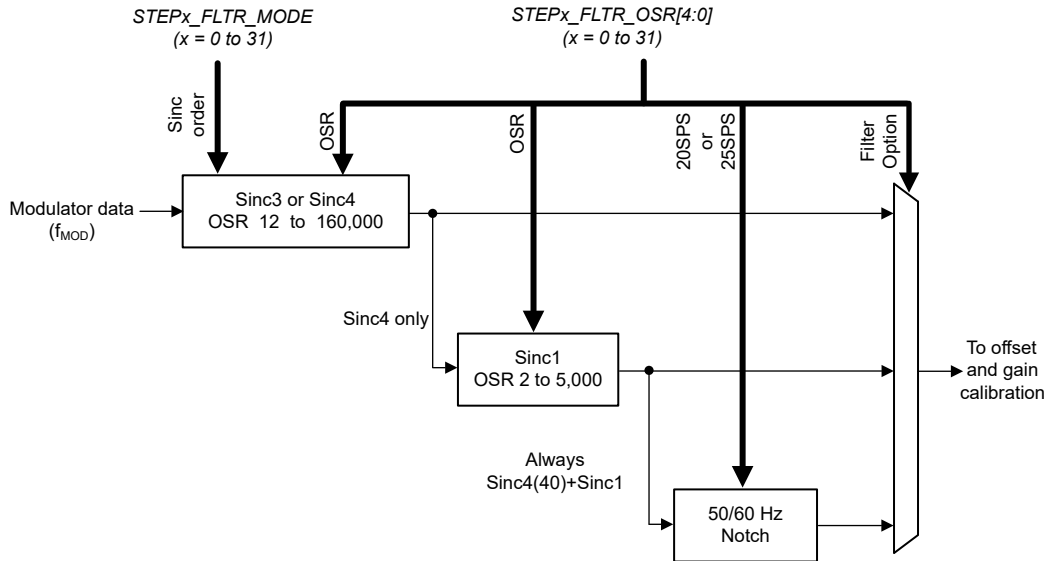


図 7-10. デジタルフィルタのブロック図

使用可能なフィルタ オプションは次のとおりです。

- Sinc3 は 12 ~ 160,000 までの変数 OSR のみ (STEPx_FLTR_MODE = 1b)
- Sinc4 は 12 ~ 160,000 までの変数 OSR のみ (STEPx_FLTR_MODE = 0b)
- OSR = 32 の Sinc4 に続いて、2 ~ 5,000 の可変 OSR の sinc1: このオプションでは、sinc3 または sinc4 を選択する STEPx_FLTR_MODE ビットは無視されます。これは、sinc4 フィルタが常に最初の段で使用されるためです。
- OSR = 40 の Sinc4 に続いて、プリセット OSR の sinc1 の後に 50/60Hz のノッチ FIR フィルタ: このオプションでは、2 つのデータレート (20SPS データレートまたは 25SPS データレート) が使用できます。詳細については、[50/60Hz ノッチ フィルタ](#) セクションを参照してください。

ADS125H18 は、柔軟性の高いチャネル自動シーケンサを使用して ADC 変換を制御します。詳細については、[チャネル自動シーケンサ](#) セクションを参照してください。フィルタ構成は、シーケンス ステップごとに個別にプログラムできます。OSR は STEPx_FLTR1_CFG レジスタの STEPx_FLTR_OSX[4:0] ビット (x = 0 ~ 31) で設定し、sinc フィルタ (sinc3 または sinc4) の順序は STEPx_FLTR1_CFG レジスタの STEPx_FLTR_MODE ビットで設定します。各シーケンサ ステップに対してフィルタを個別に構成する方法の詳細については、[自動シーケンサの構成](#) セクションを参照してください。

式 17 は、sinc フィルタの周波数応答の一般的な式です。単一段の sinc フィルタ オプション (たとえば、単一段の sinc3 または sinc4 フィルタ) の場合、2 項目は使用されません。

$$|H(f)| = \left| \frac{\sin \left[\frac{A\pi f}{f_{MOD}} \right]}{A \sin \left[\frac{\pi f}{f_{MOD}} \right]} \right|^n \cdot \left| \frac{\sin \left[\frac{AB\pi f}{f_{MOD}} \right]}{B \sin \left[\frac{A\pi f}{f_{MOD}} \right]} \right| \quad (17)$$

ここで

- f = 単一周波数
- A = 段 1 の OSR
- B = 段 2 の OSR
- $f_{\text{MOD}} = f_{\text{CLK}}/2 = 12.8\text{MHz}$ (速度モード 3、公称値)、 6.4MHz (速度モード 2、公称値)、 1.6MHz (速度モード 1、公称値)、 0.8MHz (速度モード 0 モード、公称値)
- n = 段 1 フィルタの次数 (3 または 4)

7.3.7.1 デジタル フィルタのレイテンシ

変換を開始または再起動すると、デジタル フィルタはリセットされ、出力データがセトリングされているために一定の時間が必要です。この時間をレイテンシ時間 t_{LATENCY} と呼びます。ADS125H18 は、安定していないデータを内部で隠し、 $\overline{\text{DRDY}}$ の立ち下がりエッジまたは DRDY ビットによって、安定した変換データが利用可能になったことのみを示します。表 7-8 および表 7-11 に、各種の速度モードおよびデジタル フィルタ設定のレイテンシ時間をまとめます。レイテンシ時間は、アイドル モードで START ビットが 1b に設定されたレジスタ書き込みフレームの $\overline{\text{CS}}$ の立ち上がりエッジ (、または START ピンのアサーション / 立ち上がりエッジ) から、最初の $\overline{\text{DRDY}}$ の立ち下がりエッジまで測定されます。SPI クロックドメインの $\overline{\text{CS}}$ 信号は、変調器クロックドメインで動作するデジタル フィルタ ロジックによってラッチされるため、提示されているレイテンシ時間には $\pm 1 t_{\text{MOD}}$ の不確実性があります。2 番目とそれ以降のすべての変換の変換期間は、図 7-11 に示すように、 $t_{\text{DATA}} = 1/f_{\text{DATA}} = \text{OSR}/f_{\text{MOD}}$ と等しくなります。

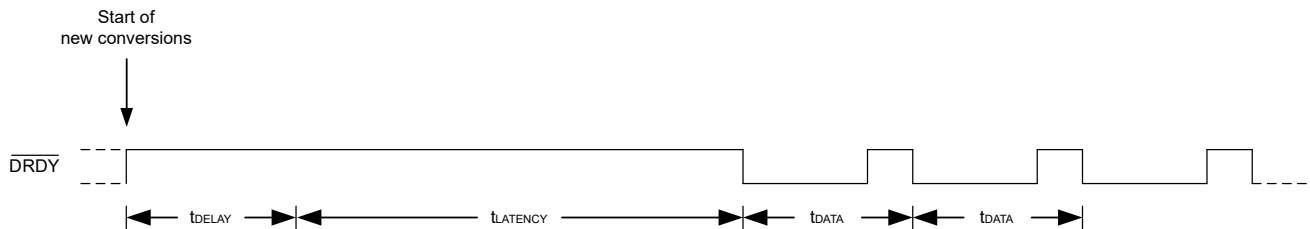


図 7-11. レイテンシ時間と変換時間

特定の状況では、レイテンシ時間が長くなります：

- スタンバイ モードから変換を開始するときは、 $10 \sim 33 t_{\text{MOD}}$ を加算します (速度モードによって異なります)。
- 変換を再開するレジスタに書き込んで進行中の変換を再開するときは、変換を停止し、ユーザーは START ビットを書き込んで (または START ピンをアサートして)、変換を再開する必要があります。

さらに、 START ビットの設定後 (または START ピンの立ち上がりエッジの後)、変換サイクルの開始を遅らせるために、プログラム可能な遅延時間を追加できます。この遅延時間により、スタンバイ モードを終了した後で電圧リファレンスなどの外部コンポーネントをセトリングさせる、またはマルチプレクサ経由で信号をスイッチングするときのセトリング時間を増やすことができます。遅延時間は、図 7-11 に示すように、変換開始後、またはシーケンサがアクティブな場合は新しいシーケンス ステップごとの開始時にのみ追加されます。シーケンサ動作では、個別のシーケンス ステップごとにプログラマブルな遅延時間を個別に設定できます。プログラマブルな遅延時間の詳細については、[変換開始の遅延時間](#) セクションを参照してください。

シーケンサを使用するときのレイテンシとセトリングの詳細については、[自動シーケンサと \$\overline{\text{DRDY}}\$ 動作](#) セクションも参照してください。

7.3.7.2 sinc3 および sinc4 フィルタ

sinc フィルタは、高速変調器のデータの平均化と間引きを行い、低いデータ レートで高分解能の出力データを生成します。OSR 値を大きくすると、データ レートが低下するとともに、信号の帯域幅が減少し、間引きとデータ平均化が増えることから変換ノイズが低減します。表 7-8 に、sinc3 および sinc4 フィルタの -3dB 周波数とレイテンシ時間を示します。レイテンシ時間 (μs 単位で表示) は公称クロック周波数に対して与えられ、値はクロック周波数に応じてスケールされます。

表 7-8. sinc3 および sinc4 のフィルタ特性

SPEED モード	f _{CLK} (MHz)	OSR	データ レート (kSPS)	-3dB 周波数 (kHz)		レイテンシ時間 (μs)	
				SINC3	SINC4	SINC3	SINC4
3	25.6	12	1066.67	279.5	242.3	3.9	4.8
2	12.8		533.33	139.7	121.2	7.7	9.6
1	3.2		133.33	34.9	30.3	30.9	38.4
0	1.6		66.67	17.5	15.1	61.9	76.9
3	25.6	16	800	209.6	181.8	4.8	6.1
2	12.8		400	104.8	90.9	9.6	12.1
1	3.2		100	26.2	22.7	38.4	48.4
0	1.6		50	13.1	11.4	76.9	96.9
3	25.6	24	533.33	139.7	121.2	6.7	8.6
2	12.8		266.67	69.9	60.6	13.4	17.1
1	3.2		66.67	17.5	15.1	53.4	68.4
0	1.6		33.33	8.7	7.6	106.9	136.9
3	25.6	32	400	104.8	90.9	8.6	11.1
2	12.8		200	52.4	45.4	17.1	22.1
1	3.2		50	13.1	11.4	68.4	88.4
0	1.6		25	6.6	5.7	136.9	176.9
3	25.6	64	200	52.4	45.4	16.1	21.1
2	12.8		100	26.2	22.7	32.1	42.1
1	3.2		25	6.6	5.7	128.4	168.4
0	1.6		12.5	3.3	2.8	256.9	336.9
3	25.6	128	100	26.2	22.7	31.1	41.1
2	12.8		50	13.1	11.4	62.1	82.1
1	3.2		12.5	3.3	2.8	248.4	328.4
0	1.6		6.25	1.6	1.4	496.9	656.9
3	25.6	256	50	13.1	11.36	61.1	81.1
2	12.8		25	6.55	5.68	122.1	162.1
1	3.2		6.25	1.64	1.42	488.4	648.4
0	1.6		3.13	0.82	0.71	976.9	1296.9
3	25.6	512	25	6.55	5.68	121.1	161.1
2	12.8		12.5	3.28	2.84	242.1	322.1
1	3.2		3.13	0.82	0.71	968.4	1288.4
0	1.6		1.56	0.41	0.35	1936.9	2576.9
3	25.6	1024	12.5	3.28	2.84	241.1	321.1
2	12.8		6.25	1.64	1.42	482.1	642.1
1	3.2		1.56	0.41	0.35	1928.4	2568.4
0	1.6		0.78	0.204	0.177	3856.9	5136.9
3	25.6	2048	6.25	1.638	1.42	481.1	641.1
2	12.8		3.13	0.82	0.711	962.1	1282.1
1	3.2		0.78	0.204	0.177	3848.4	5128.4
0	1.6		0.39	0.102	0.089	7696.9	10256.9
3	25.6	4000	3.2	0.838	0.727	938.6	1251.1
2	12.8		1.6	0.419	0.364	1877.1	2502.1
1	3.2		0.4	0.105	0.091	7508.4	10008.4
0	1.6		0.2	0.052	0.045	15016.9	20016.9

表 7-8. sinc3 および sinc4 のフィルタ特性 (続き)

SPEED モード	f _{CLK} (MHz)	OSR	データ レート (kSPS)	-3dB 周波数 (kHz)		レイテンシ時間 (μs)	
				SINC3	SINC4	SINC3	SINC4
3	25.6	8000	1.6	0.419	0.364	1876.1	2501.1
2	12.8		0.8	0.21	0.182	3752.1	5002.1
1	3.2		0.2	0.052	0.045	15008.4	20008.4
0	1.6		0.1	0.026	0.023	30016.9	40016.9
3	25.6	16000	0.8	0.21	0.182	3751.1	5001.1
2	12.8		0.4	0.105	0.091	7502.1	10002.1
1	3.2		0.1	0.026	0.023	30008.4	40008.4
0	1.6		0.05	0.013	0.011	60016.9	80016.9
3	25.6	26667	0.48	0.126	0.109	6251.1	8334.5
2	12.8		0.24	0.063	0.055	12502.3	16669
1	3.2		0.06	0.016	0.014	50009.1	66675.9
0	1.6		0.03	0.008	0.007	100018.1	133351.9
3	25.6	32000	0.4	0.105	0.091	7501.1	10001.1
2	12.8		0.2	0.052	0.045	15002.1	20002.1
1	3.2		0.05	0.013	0.011	60008.4	80008.4
0	1.6		0.03	0.008	0.007	120016.9	160016.9
3	25.6	96000	0.13	0.034	0.03	22501.1	30001.1
2	12.8		0.07	0.018	0.016	45002.1	60002.1
1	3.2		0.02	0.005	0.005	180008.4	240008.4
0	1.6		0.008	0.002	0.002	360016.9	480016.9
3	25.6	160000	0.08	0.021	0.018	37501.1	50001.1
2	12.8		0.04	0.01	0.009	75002.1	100002.1
1	3.2		0.01	0.003	0.002	300008.4	400008.4
0	1.6		0.005	0.001	0.001	600016.9	800016.9

sinc フィルタの周波数応答を、図 7-12 と 図 7-13 に示します。周波数応答は、f_{DATA} とその倍数で発生する、一連のヌル応答で構成されます。ヌル周波数では、フィルタのゲインは 0 です。図 7-13 に、f_{MOD}/2 から開始される周波数応答の折りたたみを示します。n × f_{MOD} (n = 1、2、3 など) に近い入力周波数では、フィルタによる減衰は行われません。

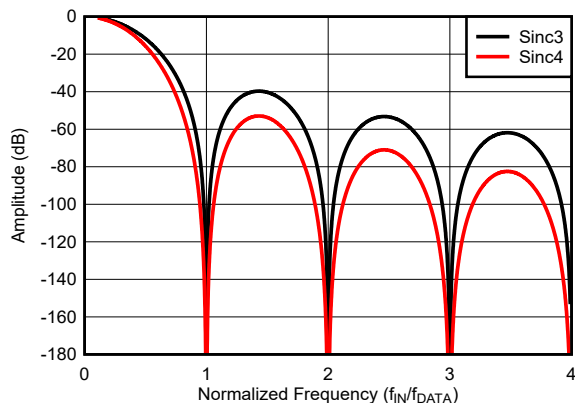


図 7-12. Sinc3 および Sinc4 の周波数応答

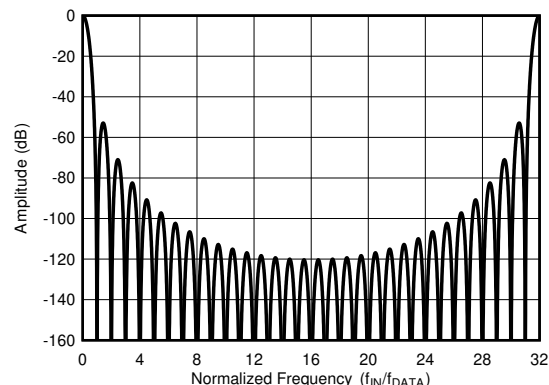


図 7-13. f_{MOD} に対する sinc4 の周波数応答 (OSR = 32)

表 7-9 に、一般的な電源周波数に等しいデータレートにおける選択されたいくつかのフィルタ設定の通常モード除去を示します。

表 7-9. 通常モード除去

SPEED モード (1)	OSR	f _{DATA} (SPS)	デジタルフィルタ応答 (dB)			
			2% のクロック変動		6% のクロック変動	
			SINC3 フィルタ	SINC4 フィルタ	SINC3 フィルタ	SINC4 フィルタ
1	96000	16.6̄	-100dB	-135dB	-72dB	-95dB
1	32000	50				
1	26667	60				
1	8000	200				
1	4000	400				

(1) 各速度モードの公称クロック周波数を使用します。f_{CLK} = 25.6MHz (速度モード 3)、12.8MHz (速度モード 2)、3.2MHz (速度モード 1)、1.6MHz (速度モード 0)。

ADC 接続リードが産業用モーターや導体の近くにある場合は、50Hz と 60Hz の電力線の周波数の結合が発生する可能性があります。結合ノイズは信号電圧と干渉し、変換が不正確または不安定になる可能性があります。デジタル フィルタにより、電力線結合ノイズの除去性能が強化され、60SPS 以下のデータレートで動作します。データレートおよび変換レイテンシと目的のライン サイクル除去レベルとの間をトレードオフされるようにフィルタをプログラムします。表 7-10 に、電力線から ADC クロック周波数への ±1Hz 許容誤差、および 0% (例: 外部クロック) と 1% (例: 内部クロック) の追加クロック許容誤差に基づく 50Hz および 60Hz のライン サイクル除去を示します。高次 Sinc フィルタと、高精度 ADC クロックを使用することで、可能な限り最良の電力線除去を実現できます。

表 7-10. 50Hz および 60Hz のライン サイクル除去

SPEED モード (1)	OSR	フィルタ タイプ	f _{DATA} (SPS)	デジタルフィルタ応答 (dB)			
				50Hz ±1Hz		60Hz ±1Hz	
				クロック許容誤差: (2)			
				0%	1%	0%	1%
0	160000	Sinc4	5	-137.5	-126.1	-144.0	-131.0
0	160000	Sinc3	5	-103.1	-94.6	-108.0	-98.3
1	160000	Sinc4	10	-135.8	-122.1	-142.2	-126.5
1	160000	Sinc3	10	-101.8	-91.6	-106.7	-94.8
1	96000	Sinc4	16.6̄	-135.4	-121.2	-84.0	-83.3
1	96000	Sinc3	16.6̄	-101.6	-90.9	-63.0	-62.5
0	32000	Sinc4	25	-135.3	-121.0	-71.4	-71.3
0	32000	Sinc3	25	-101.5	-90.7	-53.5	-53.5
1	32000	Sinc4	50	-135.2	-120.8	-62.3	-61.1
1	32000	Sinc3	50	-101.4	-90.6	-46.7	-45.9
1	26667	Sinc4	60	-53.8	-52.1	-141.7	-125.0
1	26667	Sinc3	60	-40.4	-39.1	-106.3	-93.8
0	16000	Sinc4	50	-135.2	-120.8	-62.3	-61.1
0	16000	Sinc3	50	-101.4	-90.6	-46.7	-45.9

(1) 各速度モードの公称クロック周波数を使用します。f_{CLK} = 25.6MHz (速度モード 3)、12.8MHz (速度モード 2)、3.2MHz (速度モード 1)、1.6MHz (速度モード 0)。

(2) クロック許容誤差 0% は外部クロックに対応し、1% のクロック許容誤差は内部クロックに対応します。

7.3.7.3 Sinc4 + Sinc1 カスケード フィルタ

選択されたデータ レートの場合、sinc4 フィルタは、sinc1 フィルタ セクションにカスケード接続するオプションを提供します。単一段の sinc3 または sinc4 フィルタと比べて、sinc1 フィルタをカスケード接続すると、同じデータ レートで動作したときのレイテンシ時間が短くなります。しかし、sinc3 と sinc4 フィルタは、データ レート周波数における周波数除去範囲が広いので、ノッチ周波数に近い干渉信号をより効果的に除去できます。カスケード モードで動作するとき、sinc4 段の OSR は 32 に固定され (OSR = A)、sinc1 段の間引き (OSR = B) によって出力データ レートが決定されます。カスケード フィルタの最初の段は sinc4 に固定されており、STEPx_FLTR1_CFG レジスタの STEPx_FLTR_MODE ビットで設定された sinc フィルタ構成は無視されます (シーケンス ステップの $x = 0 \sim 31$)。カスケード フィルタの特性の要約を、表 7-11 に示します。

表 7-11. Sinc4 + Sinc1 カスケード フィルタの特性

SPEED モード	f _{CLK} (MHz)	OSR (A × B) ⁽¹⁾	データ レート (SPS)	-3dB 周波数 (Hz)	レイテンシ時間 (μs)
3	25.6	64 (32 × 2)	200000	88320	13.60
2	12.8		100000	44160	27.10
1	3.2		25000	11040	108.40
0	1.6		12500	5520	216.90
3	25.6	128 (32 × 4)	100000	44160	18.60
2	12.8		50000	22080	37.10
1	3.2		12500	5520	148.40
0	1.6		6250	2760	296.90
3	25.6	256 (32 × 8)	50000	22080	28.60
2	12.8		25000	11040	57.10
1	3.2		6250	2760	228.40
0	1.6		3125	1380	456.90
3	25.6	512 (32 × 16)	25000	11040	48.60
2	12.8		12500	5520	97.10
1	3.2		3125	1380	388.40
0	1.6		1562.5	690	776.90
3	25.6	1024 (32 × 32)	12500	5520	88.60
2	12.8		6250	2760	177.10
1	3.2		1562.5	690	708.40
0	1.6		781.25	345	1416.90
3	25.6	2048 (32 × 64)	6250	2760	168.60
2	12.8		3125	1380	337.10
1	3.2		781.25	345	1348.40
0	1.6		390.63	172.5	2696.90
3	25.6	4000 (32 × 125)	3200	1413.12	321.10
2	12.8		1600	706.56	642.10
1	3.2		400	176.64	2568.40
0	1.6		200	88.32	5136.90
3	25.6	8000 (32 × 250)	1600	706.56	633.60
2	12.8		800	353.28	1267.10
1	3.2		200	88.32	5068.40
0	1.6		100	44.16	10136.90

表 7-11. Sinc4 + Sinc1 カスケード フィルタの特性 (続き)

SPEED モード	f _{CLK} (MHz)	OSR (A × B) ⁽¹⁾	データ レート (SPS)	-3dB 周波数 (Hz)	レイテンシ時間 (μs)
3	25.6	16000 (32 × 500)	800	353.28	1258.60
2	12.8		400	176.64	2517.10
1	3.2		100	44.16	10068.40
0	1.6		50	22.08	20136.90
3	25.6	26656 (32 × 833)	480.19	212.052	2091.10
2	12.8		240.1	106.028	4182.10
1	3.2		60.02	26.505	16728.40
0	1.6		30.01	13.252	33456.90
3	25.6	32000 (32 × 1000)	400	176.64	2508.60
2	12.8		200	88.32	5017.10
1	3.2		50	22.08	20068.40
0	1.6		25	11.04	40136.90
3	25.6	96000 (32 × 3000)	133.33	58.879	7508.60
2	12.8		66.67	29.441	15017.10
1	3.2		16.67	7.361	60068.40
0	1.6		8.33	3.679	120136.90
3	25.6	160000 (32 × 5000)	80	35.328	12508.60
2	12.8		40	17.664	25017.10
1	3.2		10	4.416	100068.40
0	1.6		5	2.208	200136.90

(1) A = 最初の sinc4 段の OSR、B = 2 番目の sinc1 段の OSR。

図 7-14 に、OSR = 26667 および 32000 の場合の sinc4 + sinc1 カスケード フィルタの周波数応答を示します。これは、速度モード 1 動作時における f_{DATA} = 50 SPS および 60 SPS に相当します。周波数応答のヌルは、n × f_{DATA} で発生します (n = 1, 2, 3, ...)。ヌル周波数では、フィルタのゲインは 0 です。ADC クロック周波数誤差が発生しなければ、ヌル周波数から ±2% の信号周波数変動に対して、通常モード除去は 34dB (標準値) です。

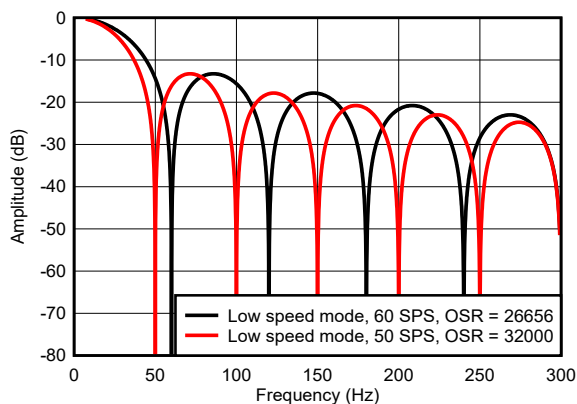


図 7-14. Sinc4 + Sinc1 カスケード フィルタの周波数応答

表 7-12 に、電力線と ADC クロック周波数の比率における 2% (50Hz の場合は 1Hz) および 6% の許容誤差に基づく 50Hz および 60Hz ライン サイクル除去を示します。

表 7-12. カスケードフィルタの 50Hz および 60Hz ライン サイクル除去

SPEED モード (1)	OSR	フィルタ タイプ	f _{DATA} (SPS)	デジタル フィルタ 応答 (dB)			
				50Hz ±1Hz		60Hz ±1Hz	
				クロック許容誤差: (2)			
				0%	1%	0%	1%
0	160000 (32 × 5000)	Sinc4	5	-34.4	-31.5	-36.0	-32.8
1	160000 (32 × 5000)	Sinc4	10	-33.9	-30.5	-35.6	-31.6
1	96000 (32 × 3000)	Sinc4	16.6̄	-33.9	-30.3	-21.0	-20.8
0	32000 (32 × 1000)	Sinc4	25	-33.8	-30.2	-17.8	-17.8
1	32000 (32 × 1000)	Sinc4	50	-33.8	-30.2	-15.6	-15.3
1	26656 (32 × 833)	Sinc4	60	-15.0	-14.7	-35.2	-31.2
0	16000 (32 × 500)	Sinc4	50	-33.8	-30.2	-15.6	-15.3

(1) 各速度モードの公称クロック周波数を使用します。f_{CLK} = 25.6MHz (速度モード 3)、12.8MHz (速度モード 2)、3.2MHz (速度モード 1)、1.6MHz (速度モード 0)。

(2) クロック許容誤差 0% は外部クロックに対応し、1% のクロック許容誤差は内部クロックに対応します。

7.3.7.4 50/60Hz ノッチ フィルタ

このデジタル フィルタには、カスタム係数 (sinc 以外) の FIR フィルタを使用して 50Hz と 60Hz の両方を同時に除去する 20SPS および 25SPS フィルタ オプションがあります。20SPS フィルタによりライン サイクル除去が改善され、25SPS フィルタによりレイテンシが短縮されます。いずれのフィルタも、選択した速度モードに関係なく、固定出力データ レートを維持します。カスタムの FIR ノッチ フィルタの前にある sinc¹ フィルタの OSR は、常に入力データ レートを 800SPS に低減するため、速度モードによって変化します。外部クロックを使用するときに規定の通常モード除去を実現するには、それぞれの速度モードの公称クロック周波数に等しいクロック周波数を選択します。

表 7-13 と表 7-14 に、20SPS および 25SPS の両方のフィルタオプションについて、クロック許容誤差を含む場合と含まない場合でレイテンシと通常モード除去を示します。通常モード除去はすべての速度モードで同じですが、先行する sinc フィルタと速度モードでのセトリングの違いにより、レイテンシに違いがあります。

表 7-13. 20SPS フィルタ レイテンシおよび 50Hz/60Hz ライン サイクル除去

SPEED モード	f _{CLK} (MHz)	レイテンシ (ms)	デジタル フィルタの応答 (dB)			
			50Hz ± 1Hz		60Hz ± 1Hz	
			クロック許容誤差:			
			0%	1%	0%	1%
3	1.6	51.40	-95.3	-82.7	-102.3	-86.1
2	3.2	51.33				
1	12.8	51.27				
0	25.6	51.26				

表 7-14. 25SPS フィルタ レイテンシおよび 50Hz/60Hz ライン サイクル除去

SPEED モード	f _{CLK} (MHz)	レイテンシ (ms)	デジタル フィルタの応答 (dB)			
			50Hz ± 1Hz		60Hz ± 1Hz	
			クロック許容誤差:			
			0%	1%	0%	1%
3	1.6	41.40	-62.7	-57.9	-63.0	-57.9
2	3.2	41.33				
1	12.8	41.27				
0	25.6	41.26				

20SPS と 25SPS フィルタの周波数応答を、[図 7-15](#) と [図 7-16](#) に示します。周波数応答のスルは、両方のフィルタ オプションにおいて 50Hz と 60Hz の両方で発生します。

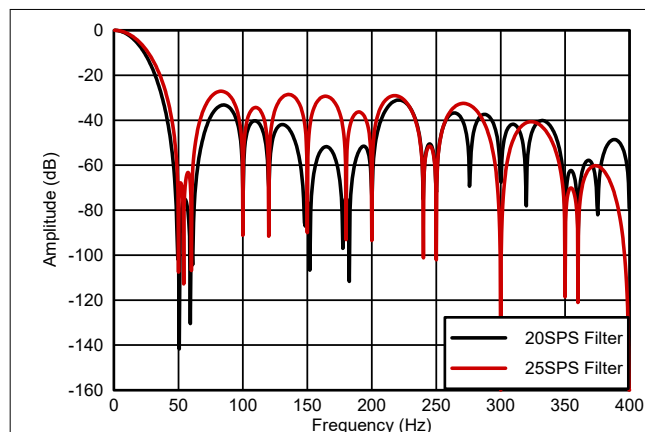


図 7-15. 20SPS フィルタおよび 25SPS フィルタの周波数応答

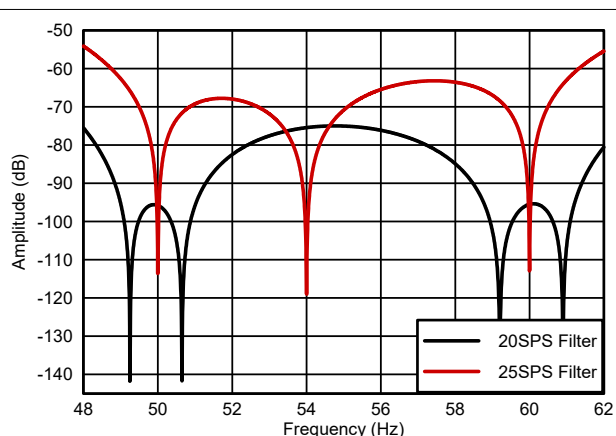


図 7-16. 20SPS フィルタおよび 25SPS フィルタの周波数応答、48Hz ~ 62Hz

7.3.8 FIFO バッファ

ADS125H18 には、フレキシブルな FIFO (先入れ先出し) バッファがあり、ホスト コントローラがデバイスからデータを読み取る準備ができるまで、ADC 変換結果とステータス情報を格納できます。FIFO バッファ (または「FIFO」) の利点は、ADC からデータを取得するとき、特に ADC が非常に高速な変換レートでサンプリングを行う場合に、ホスト コントローラの負荷を緩和することです。

FIFO は、512 x 42 ビットのサイズのサーキュラー バッファトポロジに基づいているため、最大 512 データ ワード、それぞれ 42 ビットを格納できます。42 ビットの FIFO ワードには、表 7-15 に示すように、変換データと対応するステータス情報が含まれます。1 つの FIFO ワードには 10 ビットのステータス情報、24 ビットの変換データ 8 ビットの CRC が保持されます。ステータス ビットは、各変換結果が完了したときのデバイスのステータスを表します。

CRC は、FIFO への書き込み時に計算され、その後 FIFO の読み取り時にワード単位でチェックされます。CRC は CRC-8-ATM (HEC) 多項式 $X^8 + X^2 + X^1 + 1$ に基づいており、すべての 1 に対して初期化されます。詳細については、[SPI の CRC セクション](#)を参照してください。

表 7-15. FIFO バッファ 42 ビットのワード コンテンツ

ビットフィールド	機能	値
41:37	ステータス	ステータス: STEP_INDICATOR[4:0]
36:33	ステータス	CONV_COUNT[3:0]
32	ステータス	ADC_REF_FAULTn
31:8	データ	変換データ [23:0]
7:0	CRC	CRC[7:0]

FIFO は、2 つの内部ポインタ、9 ビットの読み取りポインタ、9 ビットの書き込みポインタを持つサーキュラー メモリとして実装され、FIFO 動作を制御します。読み取りポインタや書き込みポインタの動作など、サーキュラー FIFO バッファ アーキテクチャの説明については、[FIFO バッファの読み取りおよび書き込み](#)セクションを参照してください。読み取り / 書き込みポインタにはユーザーがアクセスできませんが、FIFO 深度、オーバーフロー フラグおよびアンダーフロー フラグ、CRC フォルト フラグなど、FIFO 動作を監視するためのいくつかのインジケータがあります。FIFO の深度は、書き込みポインタと読み取りポインタの差として定義され、ユーザーは FIFO_DEPTH[8:0] ビットとしてアクセスできます。FIFO の深度は、FIFO に保存され、読み取り可能なデータの量を表します。FIFO インジケータの詳細については、[FIFO オーバーフローおよびアンダーフロー](#)セクションと [FIFO 深度インジケータ](#)セクションを参照してください。

表 7-16 に、FIFO バッファ アーキテクチャの概要を示します。

表 7-16. FIFO バッファ アーキテクチャ

仕様	値	説明
アーキテクチャ	サーキュラー メモリ バッファ	「 FIFO バッファの読み取りおよび書き込み 」セクションを参照してください。
FIFO の深度	512	合計 FIFO アドレス領域が使用可能です。
FIFO ワードの幅	42	16 ビットステータス + 24 ビット データ + 8 ビット CRC。
書き込みおよび読み取りポインタ	それぞれ 9 ビット	書き込みポインタと読み取りポインタは内部ポインタです。このポインタにユーザーはアクセスできません。 FIFO バッファの読み取りおよび書き込み セクションを参照してください。

FIFO_EN ビットを設定することで FIFO を有効にし、このビットを 0b にリセットして FIFO をフラッシュします。FIFO の有効化とフラッシュの詳細については、[FIFO イネーブルおよびフラッシュ](#)セクションを参照してください。


Read FIFO Buffer コマンドを使用して FIFO からデータの読み取りを行います。詳細については、[FIFO バッファ読み取りコマンド](#)セクションを参照してください。

表 7-17 に、FIFO バッファの動作と機能の概要を示します。


表 7-17. FIFO バッファの概要

ビットフィールド	簡潔な説明	説明
FIFO_EN	FIFO イネーブル	0b: FIFO はデイスエーブルで、内容がフラッシュされます。つまり、すべてのデータをクリアし、読み取り / 書き込みポイントをリセットします。 1b: 変換データは FIFO に保存されます。 FIFO イネーブルおよびフラッシュ セクションを参照してください。
FIFO_DEPTH[8:0]	FIFO 深度インジケータ	FIFO アドレス空間内の読み取りポイントと書き込みポイントの距離を示します。これは、データを含む FIFO の深度です。 FIFO 深度インジケータ セクションを参照してください。
FIFO_OFn	FIFO オーバーフロー インジケータ	書き込みポイント = 読み取りポイント - 1 (FIFO がフル) であることを示します。 FIFO オーバーフローおよびアンダーフロー セクションを参照してください。
FIFO_UFn	FIFO アンダーフロー インジケータ	書き込みポイント = 読み取りポイント (FIFO が空) を示します。 FIFO オーバーフローおよびアンダーフロー セクションを参照してください。
FIFO_CRC_FAULTn	FIFO データ CRC フォルト インジケータ	FIFO 読み取り中の CRC を示します。 CRC はすべて 1 で初期化されます。 SPI の CRC セクションも参照してください。
FIFO_THRES_A[8:0]	FIFO スレッシュホールド A 構成	$\overline{\text{DRDY}}$ 遷移をトリガするための FIFO のプログラマブル スレッシュホールド。 FIFO スレッシュホールド セクションを参照してください。
FIFO_THRES_B[8:0]	FIFO スレッシュホールド B 構成	$\overline{\text{DRDY}}$ 遷移をトリガするための FIFO のプログラマブル スレッシュホールド。 FIFO スレッシュホールド セクションを参照してください。

7.3.8.1 FIFO バッファの読み取りおよび書き込み

 **図 7-17** に示されているように、FIFO バッファは、2 つの内部ポイント、読み取りポイント、書き込みポイントを持つ循環メモリとして実装されています。

循環 FIFO の概念では、受信データのメモリ アドレスは書き込みポイントにあります。読み取られる FIFO 内の最初のデータワードのアドレスは、読み取りポイントにあります。リセット後、両方のポイントが同じメモリ位置を示します。書き込み動作の後、書き込みポイントは次のメモリ位置に設定されます。データワードの読み取りによって、読み取りポイントは、次に読み取られるデータワードに設定されます。読み取りポイントは書き込みポイントの後に常に移動します。読み取りポイントが書き込みポイントに到達すると、FIFO は空 (アンダーフロー) になります。書き込みポイントが読み取りポイントに追いつくと、FIFO はフル (オーバーフロー) になります。

 **図 7-17** に、2 つのポイントを持つ循環 FIFO の原理を示します。データの読み取り、読み取りポイントの前進、データの書き込み、書き込みポイントの前進などが含まれています。この例では、1 つのデータワードが読み取られ (ADC サンプル #1)、読み取りポイントがサンプル #2 のアドレスに進みます。その後、1 つの新しいデータワードが書き込まれ (ADC サンプル #502)、書き込みポイントは次の利用可能なアドレスに進みます。

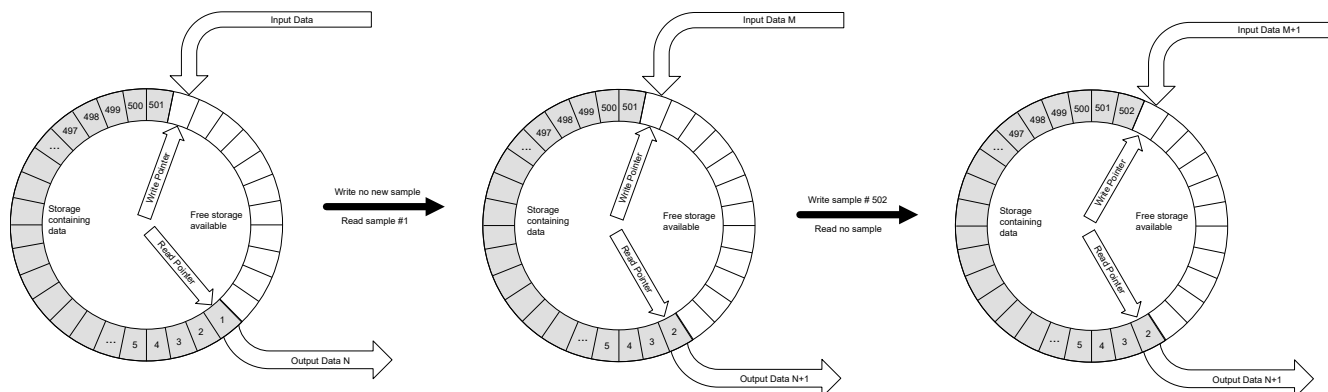


図 7-17. FIFO バッファの読み取りおよび書き込み

7.3.8.2 FIFO オーバーフローおよびアンダーフロー

FIFO バッファのオーバーフローは、書き込みポイントが読み取りポイントに達し、FIFO がフルになったときに発生します。書き込みポイントが読み取りポイントに達するとすぐに、FIFO_SEQ_STATUS レジスタの FIFO_OFn フラグが 0b に設定され、オーバーフローが発生したことを示します。その後、FIFO によって追加の書き込み動作は無視されるため、別の読み取り動作でメモリ領域が解放されるまで、追加の変換結果は FIFO に保存されません。これは、取得された信号の不連続性につながる可能性があります。オーバーフロー状態では、FIFO_DEPTH インジケータの値が FIFO バッファのサイズを超えます。1b を書き込むと、FIFO_OFn ビットが 1b にクリアされます。

図 7-18 に、FIFO バッファ オーバーフローの例を示します。この例では、FIFO で最初に 4 つのフリー データ ワードを使用できます。FIFO 読み取り動作により、5 つのフリー データ ワードが使用可能になります。その後、ADC は 6 つの変換をキャプチャしますが、オーバーフローによる最初の 5 つの変換結果のみが FIFO に保存されます。5 番目の変換結果が FIFO に保存されるとすぐに、オーバーフローが発生し、6 番目の変換結果が失われます。

一般的にオーバーフローは、平均してデータの FIFO からの取得よりも速くデータが FIFO に書き込まれる場合に発生します。

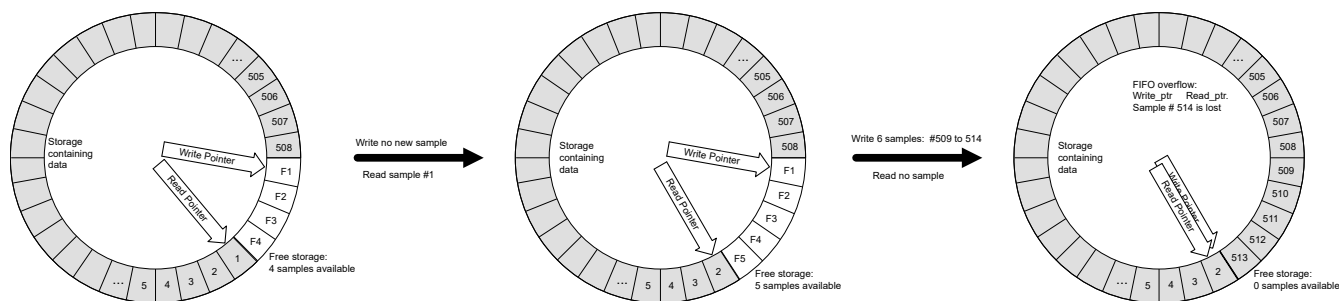


図 7-18. FIFO バッファ オーバーフローの例

FIFO バッファのアンダーフローは、読み取りポイントが書き込みポイントに到達し、FIFO が空のときに発生します。読み取りポイントが書き込みポイントに達するとすぐに、FIFO_SEQ_STATUS レジスタの FIFO_UFn フラグが 0b に設定され、アンダーフローが発生したことを示します。その後、読み取り動作が追加されると、同じデータ出力になります。新しいデータが FIFO に書き込まれるまで、同じ変換結果が複数回読み取られます。アンダーフロー状態では、新しい読み取りコマンドが発行されても、読み取りポイントは次のアドレスまでインクリメントしません。アンダーフロー状態では、FIFO_DEPTH インジケータの値は 00000000b です。1b を書き込むと、FIFO_UFn ビットが 1b にクリアされます。

図 7-19 に、FIFO バッファ アンダーフローの例を示します。最初に、5 つのデータ ワードが FIFO に保存され、読み取り可能になります (ADC サンプル #1 ~ #5)。FIFO の読み取り動作により、読み取りに使用できるデータ ワードが 4 つになります (ADC サンプル # ~ #5)。その後、5 つの読み取りコマンドが実行されますが、利用可能な最後のデータ ワード

(ADC サンプル #5) を読み取った後にアンダーフローが発生し、FIFO が空であるために最後のデータワードが 2 回読み取られます。

一般的にアンダーフローは、平均してデータの FIFO からの取得よりも遅くデータが FIFO に書き込まれる場合に発生します。

しかし、ADS125H18 の場合、FIFO リセット後 (たとえば、FIFO_EN ビットを設定およびリセットすることによって) にサンプルが FIFO に保存された場合、FIFO_UFn はアンダーフロー状態を正しく示しません。リセット後に FIFO バッファにサンプルが保存されておらず、FIFO 読み取り動作が試行された場合のみ、FIFO_UFn が正しくトリガされてアンダーフロー状態が報告されます。

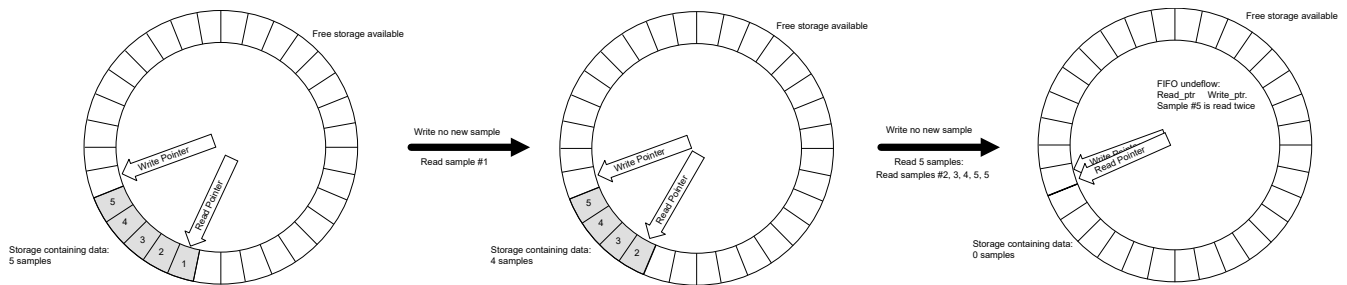


図 7-19. FIFO バッファ アンダーフローの例

7.3.8.3 FIFO 深度インジケータ

FIFO_DEPTH[8:0] インジケータは 9 ビット幅 (値 512) で、FIFO バッファ (512 ワード) の合計サイズに対応します。FIFO_DEPTH[8:0] ビットは、FIFO_DEPTH_MSB および FIFO_DEPTH_LSB レジスタのステータスおよび一般設定ページにあります。FIFO の深度は、書き込みポイントと読み取りポイントの差として定義されます。FIFO の深度は、FIFO に保存され、読み取り可能なデータの量を表します。

7.3.8.4 FIFO イネーブルおよびフラッシュ

FIFO_CFG レジスタの FIFO_EN ビットを設定して、FIFO バッファを有効にします。FIFO_EN が 0b である限り、FIFO バッファは変換結果を格納しません。この場合、[変換データの読み取り](#)セクションに記載されているように、変換データの読み取り動作を使用して、最後に完了した変換結果のみを読み取りできます。または、[連続読み取りモード](#)セクションの説明に従って連続読み取りモードを使用します。

FIFO_EN ビットを 0b にリセットすると、FIFO は無効化され、フラッシュされます。これにより、すべての FIFO データがクリアされ、読み取りポイントと書き込みポイントがリセットされます。

7.3.8.5 FIFO スレッシュホールド

FIFO 動作を監視するために、2 つの FIFO スレッシュホールドレベル、FIFO_THRES_A[8:0] と FIFO_THRES_B[8:0] を使用できます。DRDY ピンは、FIFO の深度 (FIFO_DEPTH[8:0] ビットで示される) が 2 つのスレッシュホールドのいずれかに達したときに検出するようにプログラムできます。DRDY_CFG[1:0] ビットを 11b に設定して、このモードに入ります。

FIFO_THRES_A[8:0] と FIFO_THRES_B[8:0] のいずれかに新しい値を書き込むと、FIFO はリセットまたはフラッシュされないことに注意してください。ユーザーがシーケンサの停止、FIFO の無効化、スレッシュホールドの変更、FIFO の有効化、およびシーケンサの再起動を行うことを推奨します。

FIFO スレッシュホールドと DRDY_CFG [1:0] = 11b モードの詳細については、[自動シーケンサと DRDY 動作](#)セクションを参照してください。

7.3.9 チャンネル自動シーケンサ

ADS125H18 は、柔軟性の高いチャンネル自動シーケンサ (または「シーケンサ」) を使用して ADC 変換を制御します。ADS125H18 シーケンサは、最大 32 個の個別シーケンス ステップを備えています。シーケンス ステップは、以下のように順に実行される動作モードです。各シーケンス ステップ (または「ステップ」) は有限な ADC 変換数 (ステップごとに 1 ~ 512 回プログラム可能) を表し、このステップにおける ADC の独立した構成 (入力チャンネルの選択、ゲイン / オフセット、デジタル フィルタ設定、タイミング パラメータなど) を表します。

シーケンサは、ADC の複数の独立した構成を前のデバイス メモリに保存します (電源投入直後)。そのため、次のデバイス動作中にデバイスを再構成するための SPI 通信は不要です。これは、非常に異なる信号ソースからのデータを短い時間枠で連続的に取得するアプリケーションに有益です。これらのアプリケーションの多くは、センサ測定値の時間的インターリーブ (高精度、低速) と診断測定 (低精度、高速) を行うために、複数の ADC 構成を切り替える必要があります。

シーケンサの動作および構成は、以下に示すユーザー レジスタ空間内の複数のレジスタ ページによって制御されます。ステップ構成ごと (ページ 1 ~ 32) に、「ステップ構成ページ」と呼ばれる個別のレジスタ ページが存在します。ステップレジスタは接頭辞「STEP_x」で識別され、x = 0 ~ 31 はシーケンス ステップ番号を示します。「レジスタマップ」セクションを参照してください。ページ 0 は「ステータスおよび一般設定ページ」 (または単に「一般設定ページ」) と呼ばれ、ステータスおよび一般設定データを保持します。

32 個のシーケンス ステップは、一般設定ページの SEQ_STEP_x_EN ビット (x = 0 ~ 31) を使用して個別に有効または無効にします。図 7-20 にレジスタページの構造を示し、ステップ イネーブル ビットと対応するステップ構成ページとの関係を示します。

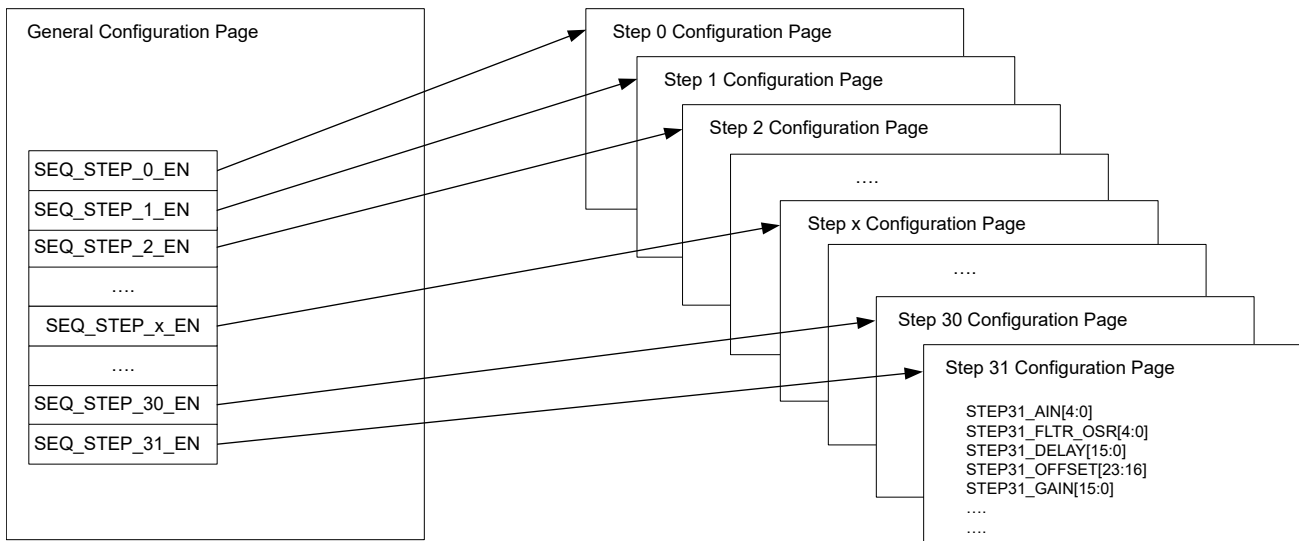


図 7-20. レジスタ ページの構造

一般設定ページと個別のステップ構成ページは、PAGE_POINTER[7:0] レジスタを使用してアドレス指定されます。このレジスタは、同じ絶対アドレスを持つすべてのページで利用可能です。ページ アドレッシングと自動シーケンサの構成方法の詳細については、[自動シーケンサの構成](#)セクションを参照してください。

ステータスおよび一般設定ページの CONVERSION_CTRL、SEQUENCER_CFG、SEQUENCE_STEP_EN_n (n = 0 ~ 4) レジスタは、シーケンサのフローを制御します。シーケンサのフローを制御する方法の詳細については、[シーケンサ モード](#)セクション、[シーケンサの開始と停止](#)セクション、[自動シーケンサ: 基本動作](#)セクションを参照してください。

$\overline{\text{DRDY}}$ ピンの遷移を検出することで、シーケンサの動作を監視できます。詳細については、[自動シーケンサと \$\overline{\text{DRDY}}\$ 動作](#)セクションを参照してください。

表 7-18 に、シーケンサ アーキテクチャの概要を示します。

表 7-18. 自動シーケンサ アーキテクチャ

仕様	値	説明
アーキテクチャ	レジスタ ページ ベースのシーケンサ	1 ステータスおよび一般設定ページ (すべてのシーケンス ステップのイネーブル ビットを保持)。シーケンス ステップごとの 1 ステップ構成ページ。
シーケンス ステップの最大数	32	シーケンス ステップ構成を定義するために、最大 32 ページの個別ページを使用できます。
ステップあたりの最大変換数	512	シーケンス ステップごとに最大 512 回の ADC 変換が可能です。ステップごとに個別にプログラムできます。

7.3.9.1 自動シーケンサ : 基本動作

図 7-21 に、シーケンサ動作のフローチャートを示します。CONVERSION_CTRL レジスタの START ビットを設定して、シーケンサを開始し、STOP ビットを使用してシーケンサを停止します。または、START ピンを使用して、シーケンサの開始と停止を制御することもできます。シーケンサの開始と停止の詳細については、[シーケンサの開始と停止](#) セクションを参照してください。

各シーケンス ステップは有限個の ADC 変換に対応しており (1 ~ 512 にプログラム可能)、つまり 1 回のシーケンス実行で最大 16,384 種類の測定を行うことができます。SEQ_MODE[1:0] ビットを 10b または 11b に設定して、シーケンサ動作を有効化します。SEQ_MODE[1:0] ビットの詳細な説明については、[シーケンサ モード](#) セクションを参照してください。シーケンスが開始されると、シーケンサは有効なすべてのシーケンス ステップをステップ実行し、常に CONVERSION_CTRL レジスタの STEP_INIT[4:0] ビットで定義されたステップから開始します。シーケンサは、無効化になっているシーケンス ステップを無視します。各ステップにおいて、シーケンサは対応するステップ構成ページで定義されているように ADC を構成し、その後、入力信号が安定するのを待つために、変換を開始する前にプログラマブル遅延時間を挿入します。各ステップ構成ページの STEPx_DELAY[15:0] ビットは、対応するシーケンサ ステップ x の遅延時間を選択します。遅延の後、シーケンサがシーケンスの次のステップのために ADC を構成する前に、ADC は事前定義された数の変換 (STEPx_NUM_CONV[3:0] ビットで定義される 1 ~ 512 の範囲) を取得します。

English Data Sheet: [SBASAE3](#)

CONV_COUNT[3:0] ビットは、最新の完了した変換結果の変換数を示します。STEP_INDICATOR[4:0] ビットと CONV_COUNT[3:0] ビットは、ステータス ヘッダーが有効になっていると想定される場合、すべての SPI フレームで STATUS ヘッダーの一部として出力されるか、または STATUS_MSB および STATUS_LSB レジスタから読み取ることができます。FIFO_SEQ_STATUS レジスタの SEQ_COUNT[3:0] ビットは、完了したシーケンス数を示します。このビットは、最新の変換結果のシーケンス番号を示し、最後のシーケンス ステップの最後の変換が完了したときに更新されます。

シーケンサがアクティブの間は、個別のステップ構成ページでレジスタ設定を変更しないでください。ステップ構成ページのいずれかへの書き込み動作が発生すると、シーケンサ リセットがトリガされます。詳細については、[シーケンサの開始と停止](#)セクションを参照してください。

FIFO_CFG レジスタの FIFO_EN ビットを 1b に設定して、FIFO バッファを有効化します。FIFO バッファが有効なら、各 ADC 変換結果は、変換の完了直後に FIFO に保存されます。FIFO 動作の詳細については、[FIFO バッファ](#) セクションを参照してください。FIFO から変換データを読み取るには、FIFO バッファ読み取りコマンドを使用します。FIFO バッファが無効なら、変換データの読み取り動作を使用して、最後に完了した変換結果のみを読み取ることができます。

ADS125H18 シーケンサは 4 つのシーケンス モードを備えています。詳細については、[シーケンサ モード](#)セクションを参照してください。

表 7-19 に、自動シーケンサ機能の概要を示します。

表 7-19. 自動シーケンサの概要

ビットフィールド	簡単な説明	説明
構成および制御		
PAGE_POINTER[7:0] PAGE_INDICATOR[7:0]	ページ ポインタ、ページ インジケータ	ページ アドレス指定のポインタとインジケータ、 自動シーケンサの構成 セクションを参照してください。
SEQ_MODE[1:0]	シーケンサ モードの選択	シーケンサを有効にし、シーケンサ モード、連続シーケンスとシングル シーケンスを選択します。 シーケンサ モード セクションを参照してください。
SEQ_STEP_x_EN	シーケンス ステップ イネーブル	32 シーケンス ステップ、x = 1 ~ 32、各ステップに対して 1 つのイネーブルビット。
STEP_INIT[4:0]	最初のシーケンス ステップへのポインタ	シーケンスを開始するステップ番号を選択します。
START ストップ	スタート/ストップ制御	シーケンスのスタート/ストップをトリガします。 シーケンサの開始と停止 セクションを参照してください。
STEPx_NUM_CONV[3:0]	ステップごとの変換数の選択	シーケンス ステップごとに最大 512 ADC 変換。ステップごとに個別にプログラムできます。
STOP_BEHAVIOR[1:0]	ストップ モードの選択	STOP ビットが設定された後でシーケンサの動作を選択します。
DRDY_CFG[1:0]	DRDY 動作の選択	DRDY ピンが、変換ごと/シーケンス ステップごと/シーケンスごと/ FIFO スレッシュホールドに達した場合に新しいデータを示すかどうか を選択します。 自動シーケンサと DRDY 動作 セクションを参照してください。
インジケータ		
SEQ_ACTIVE	シーケンサ アクティブ インジケータ	シーケンサがアクティブかどうかを示します。
SEQ_COUNT[3:0]	シーケンス カウンタ	完全なシーケンスを完了を計測するカウンタ。
STEP_INDICATOR[4:0]	シーケンス ステップ番号インジケータ	最新の完了済み変換結果のシーケンス ステップ番号を示します。
CONV_COUNT[3:0]	変換番号インジケータ	最新の完了済み変換結果の変換数を示します。

7.3.9.2 シーケンサ モード

ADS125H18 シーケンサは 4 つのシーケンス モードを備えています。

- シングルショット モード、シーケンシングなし
- シングル ステップ連続変換モード、シーケンシングなし
- シングル シーケンス モード
- 連続シーケンス モード

SEQUENCER_CFG レジスタの SEQ_MODE[1:0] ビットを使用して、ADS125H18 のシーケンス モードを選択します。表 7-20 および 表 7-21 に、SEQ_MODE[1:0] ビット設定に基づくシーケンス モードの概要を示します。表 7-20 に示されているように、SEQ_MODE[1] ビットはシーケンサを有効または無効にします。表 7-21 に示されているように、SEQ_MODE[0] ビットはシーケンサのフロー モードをさらに制御し、シングル動作と連続動作を定義します。

表 7-20. シーケンサ イネーブル

SEQ_MODE[1]	説明
0	シーケンサ ディスエーブル: ステップ ページのイネーブル ビットは無視されます。
1	シーケンサ イネーブル: 有効化されているステップが実行されます。

表 7-21. シーケンサ モード

SEQ_MODE[1:0]	説明
00	シングルショット モード、シーケンシングなし。STEP_INIT[4:0] ビットで定義されたステップは、1 回のみ実行されます。
01	シングルステップ連続変換モード、シーケンシングなし。STEP_INIT[4:0] で定義されたステップは無制限に実行されます。
10	シングル シーケンス モード: 有効化されている各シーケンス ステップが 1 回実行されます。
11	連続シーケンス モード: シーケンスは無制限に繰り返されます。

7.3.9.2.1 シングルショット モード

SEQUENCER_CFG レジスタの SEQ_MODE[1:0] ビットを 00b に設定して、シングルショット モード (シーケンスなし) を選択します。このモードでは、デバイスは 1 つのシーケンス ステップのみを 1 回実行します。シングルショット モードでは、SEQ_STEP_x_EN ビットは無視されます。CONVERSION_CTRL レジスタの STEP_INIT[4:0] ビットは、シーケンス ステップ x (x = 0 ~ 31) をポイントして実行されます。

$$x = \text{STEP_INIT}[4:0] \quad (18)$$

図 7-21 に、シングルショット モードでの動作を含めたシーケンサ動作のフローチャートを示します (SEQ_MODE[1:0] = 00b)。

デバイスは、ステップ構成ページ x に基づいて ADC を構成し、STEPx_DELAY[15:0] ビットで定義されたプログラマブル遅延時間を追加してから、ADC 変換を開始します。ADC 変換数 (最大 512) は、STEPx_ADC_REF_CFG レジスタの STEPx_NUM_CONV[3:0] ビットで設定されます。

シングルショット モードで ADC 変換 (1 ~ 512) が完了すると、デバイスはスタンバイ モード (STBY_MODE = 1b) に移行するか、アイドル モード (STBY_MODE = 0b) でフルに電力を供給されたままになります。

7.3.9.2.2 シングル ステップ連続変換モード

SEQUENCER_CFG レジスタの SEQ_MODE[1:0] ビットを 01b に設定すると、シングル ステップ連続変換モード (シーケンシングなし) が選択されます。このモードでは、デバイスは 1 つのシーケンス ステップのみを繰り返し実行します。このモードでは、SEQ_STEP_x_EN ビットは無視されます。CONVERSION_CTRL レジスタの STEP_INIT[4:0] ビットは、シーケンス ステップ x (x = 0 ~ 31) を指定し、次のように実行されます。

$$x = \text{STEP_INIT}[4:0] \quad (19)$$

図 7-21 に、シングル ステップ連続変換モード (SEQ_MODE[1:0] = 01b) での動作を含む、シーケンサ動作のフローチャートを示します。

デバイスは、ステップ構成ページ x に基づいて ADC を構成し、STEP x _DELAY[15:0] ビットで定義されたプログラマブル遅延時間を追加して、ADC 変換を開始します。この動作モードでは、STEP x _ADC_REF_CFG レジスタの STEP x _NUM_CONV[3:0] ビットは無視されます。デバイスの電源がオフになるまで、またはシーケンサの開始と停止セクションで説明されているオプションのいずれかによってシーケンサが停止するまで、ADC は連続的に変換されます。

このモードでは、ADC 変換を中止する方法の 1 つとして、STOP ビットを 1b に設定します。ADC 変換は、SEQUENCER_CFG レジスタの STOP_BEHAVIOR[1:0] ビットに応じてシーケンス ステップが完了するまで、直ちに中止になるか、続行します。詳細については、シーケンサの開始と停止 セクションを参照してください。その後、デバイスはスタンバイ モード (STBY_MODE = 1b) に移行するか、アイドル モード (STBY_MODE = 0b) で完全に電力を供給されたままになります。

7.3.9.2.3 シングル シーケンス モード

SEQUENCER_CFG レジスタの SEQ_MODE[1:0] ビットを 10b に設定すると、シングル シーケンス モード (シーケンサ有効) が選択されます。このモードでは、デバイスは有効化された各シーケンス ステップを 1 回実行します。CONVERSION_CTRL レジスタの STEP_INIT[4:0] ビットは、最初のシーケンス ステップ $x_{initial}$ ($x = 0 \sim 31$) を指定し、次の手順で実行されます。

$$x_{initial} = STEP_INIT[4:0] \quad (20)$$

図 7-21 に、シングル シーケンス モード (SEQ_MODE[1:0] = 10b) での動作を含む、シーケンサ動作のフローチャートを示します。

SEQUENCE_STEP_EN レジスタの対応する SEQ_STEP_ x _EN ビット ($x = 0 \sim 31$) を 1b に設定して、シーケンス ステップを有効化します。STEP_INIT[4:0] で定義された最初のシーケンス ステップが有効でない場合、シーケンシングは開始されません。最初に有効化されたシーケンス ステップ $x_{initial}$ が 0 でない場合、このモードでは $x_{initial}$ から 31 までのステップのみが実行され、有効化されても $x_{initial}$ より小さいステップは無視されます。たとえば、 $x_{initial} = 20$ で、すべてのステップが有効な場合、ステップ 20~31 のみが実行されます。

有効化された各シーケンス ステップについて、デバイスはステップ構成ページ x に基づいて ADC を構成し、STEP x _DELAY[15:0] ビットで定義されたプログラマブル遅延時間を追加して、ADC 変換を開始します。ステップの ADC 変換数は、STEP x _ADC_REF_CFG レジスタの STEP x _NUM_CONV[3:0] ビットで設定されます。最大 512 回の ADC 変換結果をサンプリングできます。その後、デバイスは次の有効なシーケンス ステップに進みます。

シーケンサを停止して ADC 変換を中止するには、STOP ビットを 1b に設定します。シーケンサの停止の詳細と、STOP_BEHAVIOR[1:0] ビットで定義される STOP 動作の詳細については、シーケンサの開始と停止セクションを参照してください。

最後のシーケンス ステップの最後の変換が完了した後、デバイスはスタンバイ モード (STBY_MODE = 1b) に移行するか、アイドル モード (STBY_MODE = 0b) で完全に電力を供給したままになります。

7.3.9.2.4 連続シーケンス モード

SEQUENCER_CFG レジスタの SEQ_MODE[1:0] ビットを 11b に設定すると、連続シーケンス モード (シーケンサ有効) が選択されます。このモードにおいて、デバイスは、ホストによって停止されるまで、設定されたシーケンスを何度も繰り返し実行します。

CONVERSION_CTRL レジスタの STEP_INIT[4:0] ビットは、最初のシーケンス ステップ $x_{initial}$ ($x_{initial} = 0 \sim 31$) を指定し、次の手順で実行されます。

$$x_{initial} = STEP_INIT[4:0] \quad (21)$$

図 7-21 に、連続シーケンス モード (SEQ_MODE[1:0] = 11b) での動作を含む、シーケンサ動作のフローチャートを示します。

SEQUENCE_STEP_EN レジスタの対応する SEQ_STEP_x_EN ビット (x = 0 ~ 31) を 1b に設定して、シーケンス ステップを有効化します。STEP_INIT[4:0] で定義された最初のシーケンス ステップが有効でない場合 (つまり SEQ_STEP_x_initial_EN = 0b)、シーケンシングは開始されません。

有効化された各シーケンス ステップについて、デバイスはステップ構成ページ x に基づいて ADC を構成し、STEPx_DELAY[15:0] ビットで定義されたプログラマブル遅延時間を追加して、ADC 変換を開始します。ADC 変換数は、STEPx_ADC_REF_CFG レジスタの STEPx_NUM_CONV[3:0] ビットで設定されます。最大 512 回の ADC 変換結果をサンプリングできます。その後、デバイスは次の有効なシーケンス ステップに進みます。

シーケンサを停止して ADC 変換を中止するには、STOP ビットを 1b に設定します。シーケンサの停止の詳細と、STOP_BEHAVIOR[1:0] ビットで定義される STOP 動作の詳細については、[シーケンサの開始と停止](#)セクションを参照してください。

最後のシーケンス ステップの最後の変換が完了した後、デバイスはスタンバイ モード (STBY_MODE = 1b) に移行するか、アイドル モード (STBY_MODE = 0b) で完全に電力を供給したままになります。

7.3.9.3 自動シーケンサの構成

[チャネル自動シーケンサ](#) セクションに説明されているように、シーケンサの動作と構成は、全般構成ページと個別のステップ構成ページのレジスタによって制御されます。

ステップ構成ページ (ページ 1 ~ 32) と全般構成ページ (ページ 0) の両方で、シーケンサ関連のレジスタに書き込むことで、自動シーケンサを構成します。表 7-22 に示されているように、対応するアドレス値 (0、または 1 ~ 32) を PAGE_POINTER[7:0] レジスタに書き込むことで、全般構成レジスタまたは個別のシーケンス ステップのレジスタ ページにアクセスします。

表 7-22. レジスタ ページのデコードとシーケンサ ステップ

PAGE_POINTER[7:0]	レジスタ ページの内容	ステップ イネーブル ビット	説明
00h	ステータスおよび全般構成ページ	該当なし	一般的なステータスおよび構成データのレジスタ ページ
01h	ステップ 0 構成ページ	SEQ_STEP_0_EN	シーケンス ステップ 0 の構成設定
02h	ステップ 1 構成ページ	SEQ_STEP_1_EN	シーケンス ステップ 1 の構成設定
03h	ステップ 2 構成ページ	SEQ_STEP_2_EN	シーケンス ステップ 2 の構成設定
...
1Fh	ステップ 30 構成ページ	SEQ_STEP_30_EN	シーケンス ステップ 30 の構成設定
20h	ステップ 31 構成ページ	SEQ_STEP_31_EN	シーケンス ステップ 31 の構成設定
21h~FFh	無効なページ	該当なし	無効なページ

自動シーケンサを確実に設定するには、この手順に従います。

1. CONVERSION_CTRL レジスタの STOP ビットを 1b に設定して、進行中のシーケンスを停止するか、またはデバイスをパワーダウン モードにします。
2. SEQ_ACTIVE ビットが 0b と読み取られていること、およびシーケンサが動作していないことを確認します。
3. 全般構成ページにアクセスするには、PAGE_POINTER[7:0] に 00h を書き込みます。
4. 全般構成ページで、STEP_INIT[4:0]、SEQ_MODE[1:0]、STOP_BEHAVIOR[1:0]、DRDY_CFG[1:0] ビットを構成します。これらのビットの概要については、表 7-19 を参照してください。
5. 全般構成ページで対応する SEQ_STEP_x_EN ビット (x = 0 ~ 31) を設定して、目的のシーケンス ステップを有効化します。
6. 表 7-22 で定義されているように、有効化されているシーケンス ステップのアドレスを PAGE_POINTER[7:0] に書き込み、選択されたステップ構成ページの各レジスタを構成します。概要については、表 7-23 を参照してください。有効化されているすべてのシーケンス ステップについて、この手順を繰り返します。
7. デバイスがパワーダウン モードに構成されている場合、デバイスをアクティブ モードに戻します。
8. START ビットを設定して、シーケンスを開始します。

表 7-23 に示されているように、各ステップ構成ページには、入力マルチプレクサ、電圧リファレンス、ADC、デジタル フィルタ、ゲインとオフセットの較正、GPIO の構成設定が含まれます。

シーケンサが無効 (SEQ_MODE[1] = 0b) の場合、ステップ レジスタに書き込むと、デバイス構成は直ちに更新されます。シーケンサが有効化されている場合 (SEQ_MODE[1] = 1b)、次のシーケンサ起動時にステップ レジスタへの書き込みが有効になります。

表 7-23. シーケンス ステップごとの構成設定

レジスタ	ビットフィールド	説明
STEPx_AIN_CFG	STEPx_AIN[4:0]	ADC のアナログ入力を選択
STEPx_ADC_REF_CFG	STEPx_REF_SEL	外部と内部電圧リファレンスの選択
STEPx_ADC_REF_CFG	CODING	変換データ コーディングの選択、ユニポーラとバイポーラ
STEPx_ADC_REF_CFG	STEPx_NUM_CONV[3:0]	このシーケンス ステップで実行する ADC 変換の数
STEPx_FILT1_CFG	STEPx_FLTR_OSR[4:0]	デジタル フィルタの OSR
STEPx_FILT1_CFG	STEPx_FLTR_MODE	フィルタモード sinc3 と sinc4 の選択
STEPx_DELAY_xSB_CFG	STEPx_DELAY_MSB[7:0]	変換開始の遅延時間の選択
STEPx_OFFSET_CAL_xSB	STEPx_OFFSET_CAL[23:0]	ADC オフセットの較正值
STEPx_GAIN_CAL_xSB	STEPx_GAIN_CAL[15:0]	ADC ゲインの較正值

7.3.9.4 シーケンサの開始と停止

シーケンサ動作を開始または停止するには、次の 2 つの方法があります。

- CONVERSION_CTRL レジスタの START および / または STOP ビットに書き込み
- START ピンを使用してスタート / ストップ制御

CONVERSION_CTRL レジスタで START ビットを設定して、シーケンサを開始します。シーケンサの動作中に START ビットを設定すると、進行中のシーケンスの実行が中止され、新しいシーケンスの実行が最初から再開されます。ADC がパワーダウン モード時に START ビットを設定しても、シーケンスは開始されません。

START ビットはシーケンス開始後にクリアされるため、読み戻し値は 0b となります。

図 7-22 に、START ピンのタイミングを含むシーケンサ動作の例を示します。

STOP ビットを使用して、シーケンサを停止します。STOP ビットを設定してシーケンサを停止した後、STOP ビットは、シーケンサが停止するまで 1b を読み出します。デバイスをパワーダウン モードにすると、シーケンスの実行は直ちに中止されます。

シーケンサが停止した後も、シーケンス実行の最後の変換結果を読み出し可能です。シーケンサの変換結果は、デバイスのリセット後、デバイスがパワーダウン モードの場合、または新しいシーケンス実行からの変換結果が利用可能になった場合にのみ 0h にクリアされます。

シーケンサが停止した後も、停止する前の最後のアクティブ ステップ ページで定義されたとおり、構成設定はアクティブのままです。これは、GPIO 出力を含むステップ ページのすべてのビットに適用されます。最後のステップ ページの構成は、デバイスがリセットされ、電源サイクルが行われるか、または新しいシーケンス実行によって構成が上書きされるまで保持されます。

CONVERSION_CTRL レジスタの START ビットと STOP ビットを使用する代わりに、START ピンを使用してシーケンサの開始 / 停止を制御することもできます。START ピンの立ち上がりエッジは、START ビットへの書き込みと同等です。START ピンの立ち下がりエッジは、STOP ビットへの書き込みと同じです。GPIO0_CFG[1:0] ビットを使用して、GPIO0/ START ピンを START ピン動作に設定します (11b を設定)。GPIO0 をプログラムする前に、最初にデバイスをパワー ダウンモードにします。パワーアップ時に GPIO0_CFG[1:0] ビットはデフォルトで 00b になるため、START ピンの動作は、GPIO0_CFG[1:0] ビットを 11b に設定した後でのみ利用できます。これには SPI 通信が必要です。そのため、パワーアップ時に START ピン機能は利用できません。実行される最初のステップ ページは、START ビットおよび STOP ビットと

同様に、STEP_INIT[4:0] ビットによって決定されます。電源投入時に START ピンが high の場合、パワーアップ サイクルの完了後にスタート動作が開始されます。

次のレジスタ書き込み動作は、進行中のシーケンスの実行を中止し、次のシーケンサを停止します。

- いずれかのステップ構成ページの任意のレジスタへの書き込み動作 (有効化ページと無効化ページの両方に適用)
- 以下を除く、一般設定ページのいずれかのレジスタへの書き込み動作。
 - AGPIOx_CFG[1:0]
 - FIFO_EN
 - FIFO_TRESH_A[8:0]
 - FIFO_THRES_B[8:0]
 - FAULT_PIN_BEHAVIOR
 - REG_MAP_CRC_EN
 - STATUS_EN
 - SPI_CRC_EN
 - PFX_EN
 - PFX_BYPASS
 - CS_FWD_EN_CODE[7:0]
 - AGPIOCx_FWD_EN
 - GPIOx_FWD_EN

表 7-24 に示すように、SEQUENCER_CFG レジスタの STOP_BEHAVIOR[1:0] ビットは、シーケンサ モードに応じて、停止動作が開始された後のシーケンサ動作を定義します。

表 7-24. 停止動作モード

SEQ_MODE[1:0]	STOP_BEHAVIOR[1:0]			
	00	01	10	11
00	ストップ 即時	現在の変換が完了した後に 停止	現在のステップが完了した後に停止	
01		現在の変換が完了した後に停止		
10		現在の変換が完了した後に 停止	現在のステップが完了した 後に停止	現在のシーケンスが完了し た後に停止し
11		現在の変換が完了した後に 停止	現在のステップが完了した 後に停止	現在のシーケンスが完了し た後に停止し

シーケンサ構成の変更が必要な場合は、シーケンサが実行されていない間にシーケンサを停止し、設定を再構成します。誤ったシーケンサの起動を防ぐため、[自動シーケンサの構成](#)セクションの手順に従ってシーケンサを設定し、再度開始してください。

7.3.9.5 自動シーケンサと $\overline{\text{DRDY}}$ 動作

SEQUENCER_CFG レジスタの DRDY_CFG[1:0] ビットを使用して、シーケンサ動作中の $\overline{\text{DRDY}}$ ピンの動作を構成します。

$\overline{\text{DRDY}}$ の動作には、次の 4 つのモードがあります。モードに応じて、 $\overline{\text{DRDY}}$ は Low を駆動します

- 新しい変換結果が利用可能になるたびに: DRDY_CFG[1:0] = 00b
- シーケンス ステップが完了するたびに: DRDY_CFG[1:0] = 01b
- シーケンスが完了するたびに: DRDY_CFG[1:0] = 10b
- FIFO バッファ内の事前定義されたスレッショルドに達した場合: DRDY_CFG[1:0] = 11b

新しい変換結果が利用可能になるたびに $\overline{\text{DRDY}}$ を Low に駆動するための $\overline{\text{DRDY}}$ 動作を、[図 7-22](#) に示します (DRDY_CFG[1:0] = 00b)。この例には 2 つのシーケンス ステップを示し、最初のシーケンス ステップで ADC 変換を 4 回実行し、2 番目のシーケンス ステップでの ADC 変換を 3 回実行します。DRDY は、個別の変換結果が利用可能になるごとに Low に駆動されます。

新しいシーケンス ステップの開始時、最初の変換は完全にセリングされたデータですが、通常データ周期 $t_{\text{DATA}} = 1 / f_{\text{DATA}}$ に比べて遅延 (レイテンシ時間) が発生します。このレイテンシは、デジタル フィルタの完全なセリングを考慮する

ために必要です。レイテンシ時間は、データレートおよびフィルタ モードに依存します (フィルタのレイテンシの詳細については、[デジタル フィルタ](#)セクションを参照してください)。時間 t_{SETTLE} は、シーケンス ステップの開始 (前のステップの最後の \overline{DRDY} 立ち下がりエッジ) から、新しいシーケンス ステップ内の最初の \overline{DRDY} 立ち下がりエッジまでの時間です。時間 t_{SETTLE} には、このシーケンス ステップのステップ構成ページの $STEPx_DELAY_MSB[7:0]$ ビットおよび $STEPx_DELAY_LSB[7:0]$ ビットで定義されるプログラマブル遅延も含まれます。その結果、 t_{SETTLE} はプログラマブル遅延 t_{STEPx_DELAY} とフィルタ レイテンシ $t_{STEPx_FLTR_LATENCY}$ の合計となります。

$$t_{SETTLEx} = t_{STEPx_DELAY} + t_{STEPx_FLTR_LATENCY} \quad (22)$$

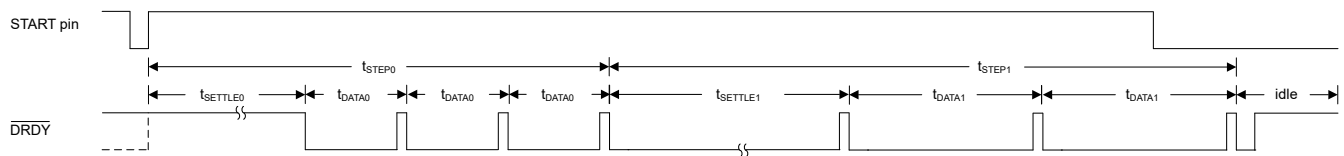


図 7-22. 各変換後の \overline{DRDY} パルス

[図 7-22](#) において、ADC からのデータが読み取れない場合、 \overline{DRDY} は Low のまま維持され、次の \overline{DRDY} 立ち下がりエッジの直前に High パルスが発生します。各変換結果が完了した後で ADC からデータを読み取ると、変換データの読み取り動作中に 8 番目の SCLK エッジで \overline{DRDY} は強制的に High になります。これを [図 7-23](#) に示します。ここでは、 \overline{DRDY} の立ち下がりエッジの直後に、新しいデータが読み取られ、新しいデータが利用可能であることを示します。

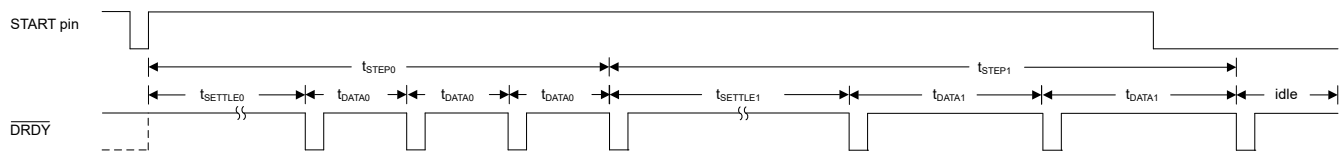


図 7-23. 各変換後に \overline{DRDY} パルスが出力され、ADC からデータが読み出されます

シーケンス ステップが完了するたびに \overline{DRDY} を Low に駆動するための \overline{DRDY} 動作を、[図 7-24](#) に示します ($DRDY_CFG[1:0] = 01b$)。この例には 2 つのシーケンス ステップを再度示し、最初のシーケンス ステップで ADC 変換を 4 回実行し、2 番目のシーケンス ステップでの ADC 変換を 3 回実行します。各シーケンス ステップの最後の変換結果が利用可能なとき、 \overline{DRDY} は Low に駆動されます。

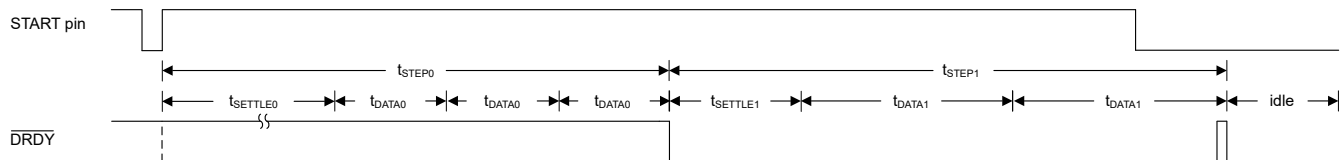


図 7-24. 各シーケンス ステップ後の \overline{DRDY} パルス

フル シーケンスが完了するたびに \overline{DRDY} を Low に駆動するための \overline{DRDY} 動作を、[図 7-25](#) に示します ($DRDY_CFG[1:0] = 10b$)。この例では、シーケンス全体は 2 つのシーケンス ステップ (STEP0 と STEP1) のみで構成されています。最後のシーケンス ステップの最後の変換結果が利用可能なとき、 \overline{DRDY} は Low に駆動されます。

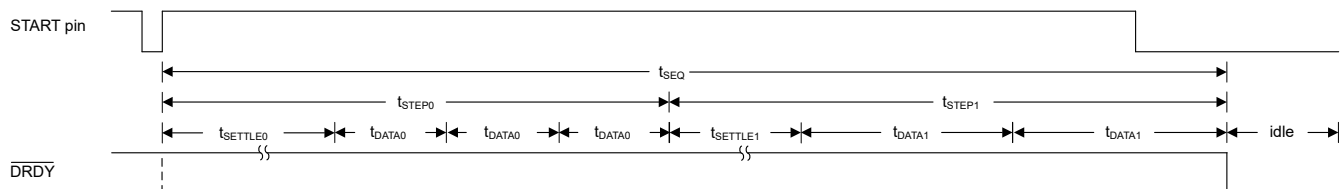


図 7-25. シーケンス完了後の \overline{DRDY} パルス

表 7-25 に、FIFO スレッシュホールドに基づく $\overline{\text{DRDY}}$ 動作を示します ($\text{DRDY_CFG}[1:0] = 11\text{b}$)。このモードでは、 $\text{FIFO_DEPTH}[8:0]$ ビットで示される FIFO の深度が監視され、 $\overline{\text{DRDY}}$ の動作 ($\text{FIFO_THRES_A}[8:0]$ および $\text{FIFO_THRES_B}[8:0]$) を制御する 2 つの FIFO スレッシュホールドと比較されます。FIFO バッファの動作と $\text{FIFO_DEPTH}[8:0]$ ビットの詳細については、[FIFO バッファ](#) セクションを参照してください。FIFO の深度がいずれかのスレッシュホールド (FIFO_THRES_A または FIFO_THRES_B) の大きい方を超えると、 $\overline{\text{DRDY}}$ は High から Low に遷移します。この条件は、 $\text{FIFO_DEPTH} > \text{FIFO_THRES_A}$ として記述できます (FIFO_THRES_A が FIFO_THRES_B 以上であると仮定)。FIFO の深度がいずれかのスレッシュホールドの最小値以下の場合、 $\overline{\text{DRDY}}$ は Low から High に遷移します。この条件は、 $\text{FIFO_DEPTH} < \text{FIFO_THRES_B}$ として記述できます (FIFO_THRES_B が FIFO_THRES_A 以下であると仮定)。

表 7-25. FIFO スレッシュホールドに基づく $\overline{\text{DRDY}}$ 動作 ($\text{DRDY_CFG}[1:0] = 11\text{b}$)

スレッシュホールドの設定	トリガ条件	$\overline{\text{DRDY}}$ 遷移
$\text{FIFO_THRES_A} \geq \text{FIFO_THRES_B}$	$\text{FIFO_DEPTH} > \text{FIFO_THRES_A}$	$\overline{\text{DRDY}}$ の立ち下がりがエッジ
	$\text{FIFO_DEPTH} \leq \text{FIFO_THRES_B}$	立ち上がりエッジを $\overline{\text{DRDY}}$ する
$\text{FIFO_THRES_A} < \text{FIFO_THRES_B}$	$\text{FIFO_DEPTH} > \text{FIFO_THRES_B}$	$\overline{\text{DRDY}}$ の立ち下がりがエッジ
	$\text{FIFO_DEPTH} \leq \text{FIFO_THRES_A}$	立ち上がりエッジを $\overline{\text{DRDY}}$ する

図 7-26 に示す例では、ADC によって 6 つのサンプルが取得され、ADC から 2 つの変換結果が読み取られます。 $\overline{\text{DRDY}}$ 動作を制御する FIFO スレッシュホールドは、 FIFO_THRES_A スレッシュホールド ($\text{FIFO_THRES_A}[8:0] = 000000101\text{b}$) に対して 5 サンプル、 FIFO_THRES_B スレッシュホールド ($\text{FIFO_THRES_B}[8:0] = 000000100\text{b}$) に対して 4 サンプルの値に設定されます。この場合、 $\text{FIFO_THRES_A} \geq \text{FIFO_THRES_B}$ になりますしたがって、(空の FIFO から開始して) 6 つのサンプルが取得されるとすぐに、 $\text{FIFO_DEPTH} > \text{FIFO_THRES_A}$ が満たされ ($6 > 5$)、 $\overline{\text{DRDY}}$ が High から Low に遷移する条件が生じます。ADC から 2 つの変換結果が読み取られ、その間、追加のサンプルが変換されることはなく、 $\text{FIFO_DEPTH} \leq \text{FIFO_THRES_B}$ が満たされ ($4 \leq 4$)、 $\overline{\text{DRDY}}$ が Low から High に遷移するという条件が生じます。

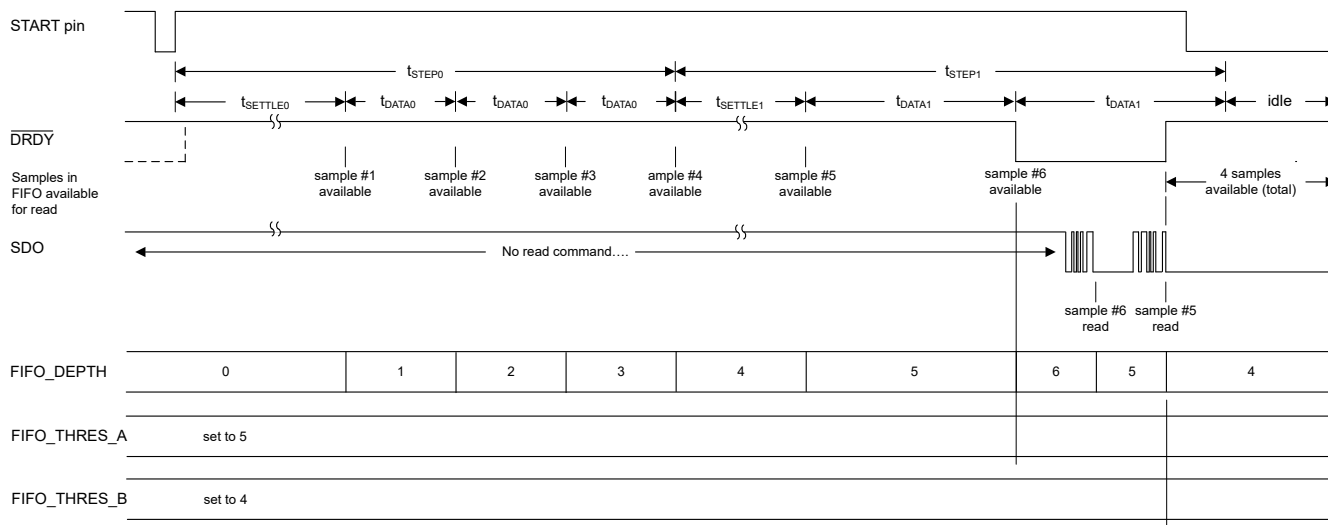


図 7-26. FIFO スレッシュホールドに基づく $\overline{\text{DRDY}}$ 動作

7.3.10 オフセットおよびゲインの校正

ADS125H18 には、ユーザーがプログラム可能なオフセットおよびゲイン補正レジスタを使用して、オフセットとゲイン誤差を校正する機能があります。図 7-27 に示すように、24 ビットのオフセット補正值を変換データから減算してから、16 ビットのゲイン補正值で乗算します。出力データは最終的な分解能 (24 ビット) に丸められ、スケーリング動作後に +FS および -FS のコード値にクリッピングされます。オフセットおよびゲインの校正係数は、ADS125H18 のレジスタが揮発性であるた

め、デバイスの電源投入時またはリセット時に、外部の不揮発性メモリに保存し、オフセットおよびゲイン較正レジスタにプログラムする必要があります。

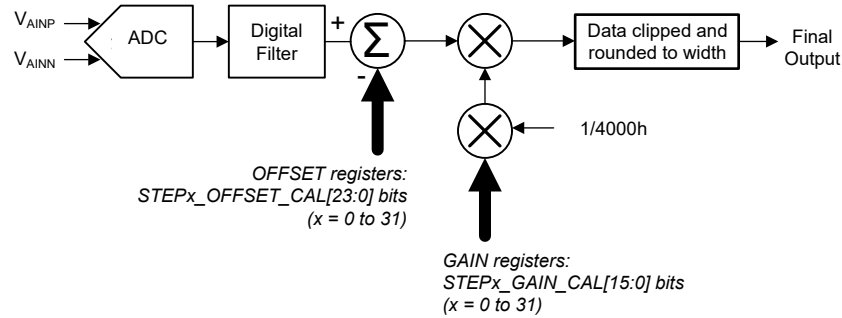


図 7-27. 較正のロジック ブロック図

変換データの較正方法を、式 23 に示します。

$$\text{Final Output Data} = (\text{Data} - \text{OFFSET}) \times \text{GAIN} / 4000h \quad (23)$$

24 ビットのオフセット較正值は 2 の補数形式で提供され、STEPx_OFFSET_CAL[23:0] ビットフィールドにプログラムされ、STEPx_OFFSET_CAL_MSB、STEPx_OFFSET_CAL_LSB、STEPx_OFFSET_CAL_MSB レジスタの間にまたがっています。オフセット較正值の例を、表 7-26 に示します。オフセット較正值の LSB サイズは、式 24 で計算されます。

$$\text{LSB size} = (2 \times V_{\text{REF}}) / (2^{24}) \quad (24)$$

表 7-26. オフセット較正值の例

STEPx_OFFSET_CAL[23:0] VALUE	オフセット補正を適用
000010h	–16LSB
000001h	–1LSB
FFFFFFh	1LSB
FFFFFF0h	16LSB

16 ビットのゲイン較正值は、400000h でユニティ ゲインに正規化されたストレート バイナリ形式で提供されます。ゲイン較正值は、STEPx_GAIN_CAL[15:0] ビット フィールドにプログラムされます。ゲイン較正值の 1 つの LSB は、 $1/2^{16} = 0.000015$ のゲイン補正係数に等しくなります。たとえば、1 より大きいゲイン誤差を修正する場合、計算されるゲイン較正值は 400000h 未満です。

ゲイン較正值の例を、表 7-27 に示します。

表 7-27. ゲイン較正值の例

STEPx_GAIN_CAL[15:0] VALUE	ゲイン補正を適用
FFFFh	3.999939
4333h	1.05
4001h	1.000015
4000h	1
3FFFh	0.999985
3CCCh	0.95

推奨される較正手順は次のとおりです。

1. オフセットおよびゲイン較正レジスタを、それぞれ `STEPx_OFFSET_CAL[23:0] = 000000h` および `STEPx_GAIN_CAL[15:0] = 4000h` にプリセットします。
2. 各入力およびシステム監視マルチプレクサ設定 (`STEPx_SYS_MON[3:0] = 0001b`) を使用して ADC 入力を内部で短絡するか、外部フィルタ段のオフセット誤差を含めてシステムレベルで入力を外部で短絡することでオフセット較正を実行します。複数の変換データを取得し、オフセット較正レジスタにデータの平均値を書き込みます。データを平均化すると、変換ノイズが減少し、較正精度が向上します。
3. ADC 入りに較正信号を印加するか、システムレベルで印加してゲイン較正を行います。後者の場合は外部バッファ段のゲイン誤差も含まれます。出力コードのクリッピングを避けるため、フルスケール入力範囲よりも低い較正電圧を選択します。出力コードがクリッピングされると、較正が不正確になります。たとえば、 $V_{REF} = 4.096V$ で $3.9V$ の較正信号を使用します。拡張範囲モードで動作している場合、クリップされた出力コードを引き起こすことなく、較正信号を V_{REF} と等しくできます。ゲインの較正値を計算するには、式 25 を使用します。

$$\text{Gain Calibration Value} = (\text{expected output code} / \text{actual output code}) \times 4000h \quad (25)$$

たとえば、 $4.096V$ のリファレンス電圧を使用するとき、 $3.9V$ の較正電圧の予測される出力コードは $(3.9V/LSB \text{ サイズ}) = 79E000h$ 、ここで $LSB \text{ サイズ} = 2 \times 4.096V/(2^{24}) = 4.096V / 7FFFFFFh$ 。例えば、実際に測定された出力コードが $741249h$ の場合、ゲイン較正係数は 1.05 となります。結果として、`STEPx_GAIN_CAL[15:0]` ビットフィールドに書き込むゲイン較正値は次のとおりです: $(1.05 - 1)/(1/2^{16}) = 4333h$ 。

7.3.11 デジタル PGA

ADS125H18 は、ユーザー プログラマブルなデジタル PGA を搭載しています。各シーケンス ステップで `STEPx_GAIN_BIN[1:0]` ビット ($x = 0 \sim 31$) を設定して、バイナリ デジタル ゲインを構成します。

表 7-28. デジタル PGA ゲイン オプション

STEPx_GAIN_BIN[1:0] VALUE	DIGITAL GAIN
00b	1
01b	2
10b	4
11b	8

表 7-28 に、デジタル / バイナリ PGA で利用可能なすべてのゲイン オプションを示します。

7.3.12 汎用 IO (GPIO)

ADS125H18 は 4 つのデジタル ピン (GPIO0 ~ GPIO3) を備えており、汎用入出力 (GPIO) として構成できます。これらの GPIO のロジックレベルは、IOVDD 電源を基準としています。GPIO_n_CFG[1:0] ($n = 0 \sim 3$) ビットを使って、アナログ入力、デジタル入力、デジタル出力、または特殊機能のいずれかとしてピンを構成します。

STEPx_GPIO_n_DAT_OUT ビットを使用して、GPIO のデジタル出力レベルを設定します。GPIO_x がアナログまたはデジタル入力として構成されている場合、STEPx_GPIO_n_DAT_OUT ビット設定は無効です。

GPIO_x_DAT_IN ビットは、ピンがデジタル入力として構成されているか出力として構成されているかに関係なく、GPIO_x ピンの読み戻し値を示します。GPIO_x がアナログ入力として構成されている場合、GPIO_x_DAT_IN ビットは `0b` を読み戻します。

さらに、次の特殊機能を使用できます。

- GPIO0/START は START 入力として構成できます。このピンを START 入力として構成するには、GPIO0_CFG[1:0] ビットを `11b` に設定します。GPIO0 をプログラムする前に、最初にデバイスをパワーダウン モードにします。詳細については、[シーケンスの開始と停止](#) セクションを参照してください。
- DRDY/GPIO1 は、専用 DRDY 出力として構成できます。

- GPIO2/CLKIN は、外部クロック入力として構成できます。このピンをクロック入力として構成するには、GPIO2_CFG[1:0] ビットを 11b に設定します。詳細については、[クロック動作](#) セクションを参照してください。
- GPIO3/FAULT は、 $\overline{\text{FAULT}}$ 表示出力として構成できます。

7.3.12.1 $\overline{\text{DRDY}}$ 出力

デフォルトでは、 $\overline{\text{DRDY}}$ /GPIO1 は専用 $\overline{\text{DRDY}}$ 出力として構成されます (つまり、GPIO1_CFG[1:0] = 11b)。 $\overline{\text{DRDY}}$ ピンの立ち下がりがエッジは、新しい変換データが完了したことを示します。 $\overline{\text{DRDY}}$ 出力は、 $\overline{\text{CS}}$ が High のときに常に駆動されます。詳細については、[データ準備完了 \(\$\overline{\text{DRDY}}\$ \) ピン](#) セクションおよび [\$\overline{\text{DRDY}}\$ ピンの動作](#) セクションを参照してください。

7.3.12.2 $\overline{\text{FAULT}}$ 出力

GPIO3_CFG = 11b に設定することで、GPIO3/ $\overline{\text{FAULT}}$ を $\overline{\text{FAULT}}$ 出力として構成します。ADC_REF_FAULTn、FIFO_FAULTn、INTERNAL_FAULTn、REG_WRITE_FAULTn、または SPI_CRC_FAULTn のいずれかのステータスビットが 0b の場合、 $\overline{\text{FAULT}}$ ピンは Low になり、故障を示します。また、リセット中およびリセット後にこのピンが High-Z のアナログ入力に戻るため、デバイスのリセット発生を検出できるように、GPIO3/ $\overline{\text{FAULT}}$ から GND にプルダウン抵抗を接続してください。

FAULT_PIN_BEHAVIOR ビットを使用して、次の $\overline{\text{FAULT}}$ 出力動作から選択します:

- 静的出力。故障が発生したとき、 $\overline{\text{FAULT}}$ 出力は low になります。それ以外の場合、出力は high になります。
- ハートビート出力。故障が発生したとき、 $\overline{\text{FAULT}}$ 出力は Low になります。それ以外の場合、出力は $f_{\text{MOD}}/256$ の周波数を持つ 50% デューティ サイクル信号になります。ハートビート信号の周波数をホストが監視することで、デバイスのクロック故障の可能性を検出できます。

7.3.13 断線電流源 (OWCS)

ADS125H18 の断線電流源 (OWCS) は、アナログ入力のフローティングまたは「断線」に対する診断機能を提供します。これは完全に自動化されたチェックではありません。この機能を使用するには、いくつかの手順を実行する必要があります。基本的な考え方は、2 つの変換で電流源で抵抗を測定することです。入力がフローティングの場合、測定された抵抗値は予測値よりも大きくなります。すべての OWCS テストは、単一のアナログ入力で実施されます。2 つの AINn ピンを使用して差動信号を測定する場合、各ピンを個別に断線でテストする必要があります。OWCS マルチプレクサ (MUX) は、STEPx_AIN[4:0] で選択された適切な入力ピンに電流源を接続します。OWCS を使用する場合、STEPx_AIN[4:0] の設定値として 00000b ~ 01111b のビット設定が有効であり、その他の設定値 (10000b ~ 11111b) は無視されます。ステップ構成ページ x の STEPx_OWCS_EN ビットを設定して、断線電流源を有効化します。

入力ピン AINn で断線チェックを実行するための推奨シーケンスは、次のとおりです。

- OWCS を使用せずに ADC 変換結果 (ベースライン) をサンプリングし、結果を保存する
- OWCS を有効化し、セトリングする時間を確保する
- OWCS を有効化して、2 番目の ADC 変換結果を収集する
- コード内のデルタを、2 つの読み取り間の % FSR として計算する
- [表 7-29](#) に示されているように、デルタをスレッシュホールド値と比較する
 - デルタ > スレッシュホールド → 入力をフローティングにできる
 - デルタ < スレッシュホールド → 入力が接続されている

表 7-29. OWCS 決定スレッシュホールド

デバイスの種類	スレッシュホールド
V12 ($\pm 12\text{V}$)	+17.4%
V20 ($\pm 20\text{V}$)	+23.8%
V40 ($\pm 40\text{V}$)	+24.4%

フローティング入力の結論は、次のような前提によって明確ではありません。この断線テストでは、最初の変換と 2 番目の変換の間で入力電圧が変化しないことを想定しています。この仮定が満たされないと、誤検出が発生する可能性があります。

す。また、非故障時のソースインピーダンスが **0** ではなく、故障時のインピーダンスが無限大でない場合、フローティング状態と接続状態の間の差が小さくなるため、値がスレッシュホールドを十分に上回っているか下回っているかを判断するのが難しくなります。

OWCS は、内部電圧リファレンス値、または **2V** と **AVDD** の間の外部リファレンスで動作します。OWCS 測定はレシオメトリックであるため、リファレンス値は読み取り値の予想される差分に影響を与えません。

OWCS 決定スレッシュホールドは、次のように計算されます。

ADS125H18 の $\pm 20V$ バージョンでは、OWCS の電流振幅は V_{REF} の公称値 $2\mu A/V$ で V_{REF} に直線的に追従します。OWCS で使用される V_{REF} の値は、 V_{REF} マルチプレクサの後段のノードから導出されます。したがって、内部または外部のどのリファレンスでも、OWCS では変調器が使用されます。**2.5V** V_{REF} の場合、OWCS = **2.5** μA です。**4.0V** V_{REF} の場合、OWCS = **4.0** μA です。この V_{REF} との関係により、前述のスレッシュホールド値はフルスケール (またはコード値または「出力換算」) の固定 % になります。つまり、値は V_{REF} に依存しません。OWCS は SiCr 抵抗にも追従するため、抵抗アッテネータの絶対値の変動も相殺されます。

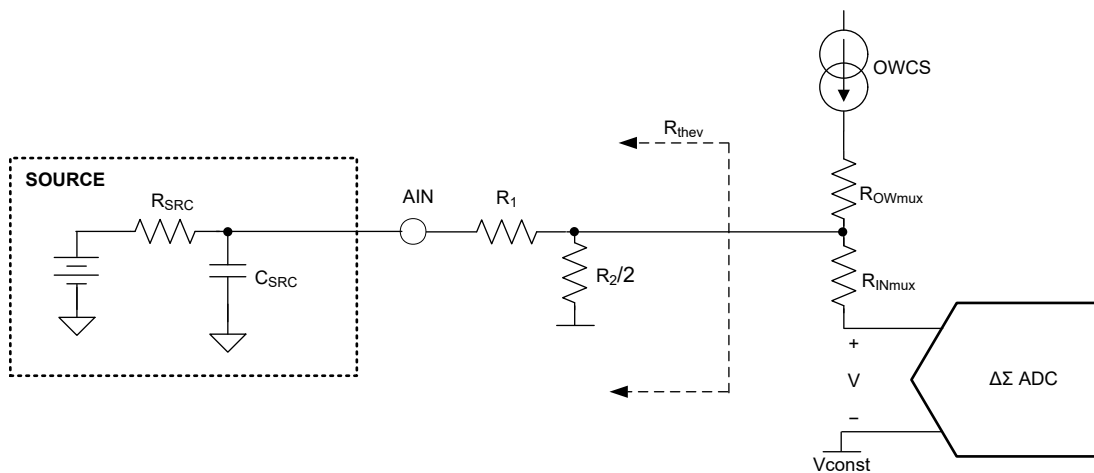


図 7-28. 断線検出ブロック図

予測されるデルタの計算については、図 7-28 のブロック図を参照してください。OWCS マルチプレクサ (OWmux) スイッチでの IR 電圧降下は ADC には観測されず、入力マルチプレクサ (INmux) の抵抗に OW 電流が流れないことに注意してください。最初の変換 (ベースライン) の値は $V_{conv1} = V_{baseline}$ です。2 番目の変換結果は、 $V_{conv2} = V_{baseline} + V_{IRdrop}$ です。変換間の差分は V_{IRdrop} です。ここでは、 $V_{IRdrop} = I(OWCS) \times R_{thev}$ です。

OWCS は V_{ref} を追跡してドロップアウトするため、次の結果をもたらします。

$$\text{デル (\%FSR)} = (1\mu A/\Omega) \times (R_{thev})$$

フォルトなし (断線でない) ソースについては、 $R_{src} = 0$ と仮定します。その後:

$$R_{thev} = (R_1 \parallel (R_2/2))$$

故障のある (断線/フローティング) ソースの場合は、 $R_{src} = \infty$ と仮定します。その後:

$$R_{thev} = R_2/2$$

表 7-30 に、「良好」な故障なし入力ピンと「不良」な故障した入力ピン (断線/フローティング) 入力の両方において、2 つの ADC 変換間で予想される代表的なデルタ値を示します。

表 7-30. %FSR 値での OWCS デルタ

デバイスの種類	標準デルタ (%FSR) $R_{src} = 0$ 「故障なし」	標準デルタ (%FSR) $R_{src} = \infty$ 「故障」または「断線」
V12 ($\pm 12V$)	+16.1%	+18.7%
V20 ($\pm 20V$)	+22.5%	+25.0%
V40 ($\pm 40V$)	+23.7%	+25.0%

断線状態を検出するには、表 7-29 に示されているスレッシュホールドと測定されたデルタを比較します。たとえば、デルタが 22.9% ($\pm 20V$ バリエーション) の場合、断線の兆候はありません。

測定されるデルタはソース インピーダンスに依存しますが、表 7-30 では、断線状態の場合にソース インピーダンスが無限大であると仮定しています。実際のシステムで、いくつかの残留接続を伴ったワイヤの破損が発生した場合、ソース インピーダンスは事実上有限な値になる可能性があり、数百 $k\Omega$ または数 $M\Omega$ 程度になることがあります。図 7-29 に、ソース インピーダンスが $10\Omega \sim 10G\Omega$ でのデルタの変動を示します。デルタは、ほぼ 10Ω から $100k\Omega$ までの範囲で一定であることに注意してください。その後、 $10M\Omega$ を上回る理想的な値に近づきます。

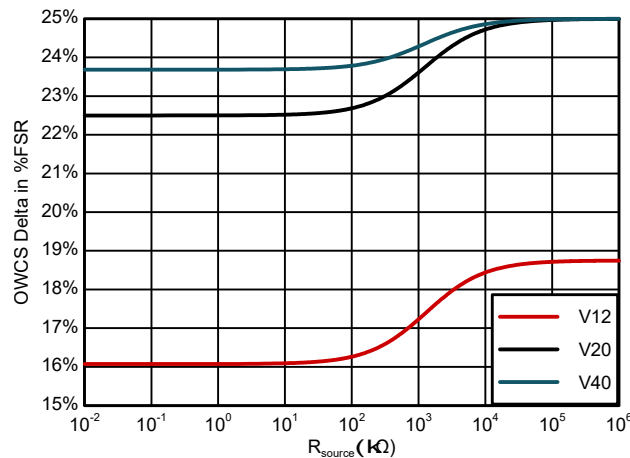


図 7-29. OWCS デルタとソース インピーダンスとの関係

表 7-31 に、図 7-29 のデータに基づくいくつかのソース インピーダンス値に対するデルタ値を示します。

表 7-31. 有限な R_{source} に対する %FSR 値の OWCS デルタ

デバイスの種類	標準デルタ (%FSR) $R_{src} = 100k\Omega$	標準デルタ (%FSR) $R_{src} = 1M\Omega$	標準デルタ (%FSR) $R_{src} = 10M\Omega$
V12 ($\pm 12V$)	+16.3%	+17.2%	+18.4%
V20 ($\pm 20V$)	+22.7%	+23.6%	+24.7%
V40 ($\pm 40V$)	+23.8%	+24.3%	+24.9%

表 7-29 で提案されているスレッシュホールドは、図 7-29 および 表 7-31 によると、 $1.3M\Omega$ (V12) および $1.4M\Omega$ (V20, V40) のソース インピーダンス値に相当します。つまり、推奨されるスレッシュホールドを使用する場合、この値よりも高いソース インピーダンスは断線とみなされます。システムのソース インピーダンスが $100k\Omega$ 以上程度である場合、表 7-29 に示されている値よりも高いスレッシュホールドを選択できます。

次の OWCS のセトリング要件に注意してください。

OWCS は、後続の 2 つのステップ構成ページで定義されるステップの間でオンまたはオフを切り替えます。変換を開始する前に、セトリングする時間を確保してください。センサ出力の容量は ADS125H18 抵抗アッテネータと反応し、OWCS をオンまたはオフにするときのセトリングを低速化します。以下の簡略化された解析では、抵抗値を R_1 、セトリングを 5τ ま

たは最終値の $\approx 99\%$ と仮定します。デルタの計算に使用する変換の間にセトリングする時間があることを確認します。ソース容量をできるだけ低く抑えることで、セトリングを高速化できます。

表 7-32. OWCS のセトリング タイム

C_{src}	5τ にセトリングするまでの時間、99%
1pF	26 μ s
10pF	80 μ s
100pF	620 μ s
1nF	6ms
10nF	60ms
100nF	600ms
1 μ F	6s

7.3.14 ADC 0 コード出力での断線検出

一部のアプリケーションでは、入力が断線状態のとき、ADC に 0 コード出力が供給されることが求められます。これは、システム内の断線を検出する代替方法です。

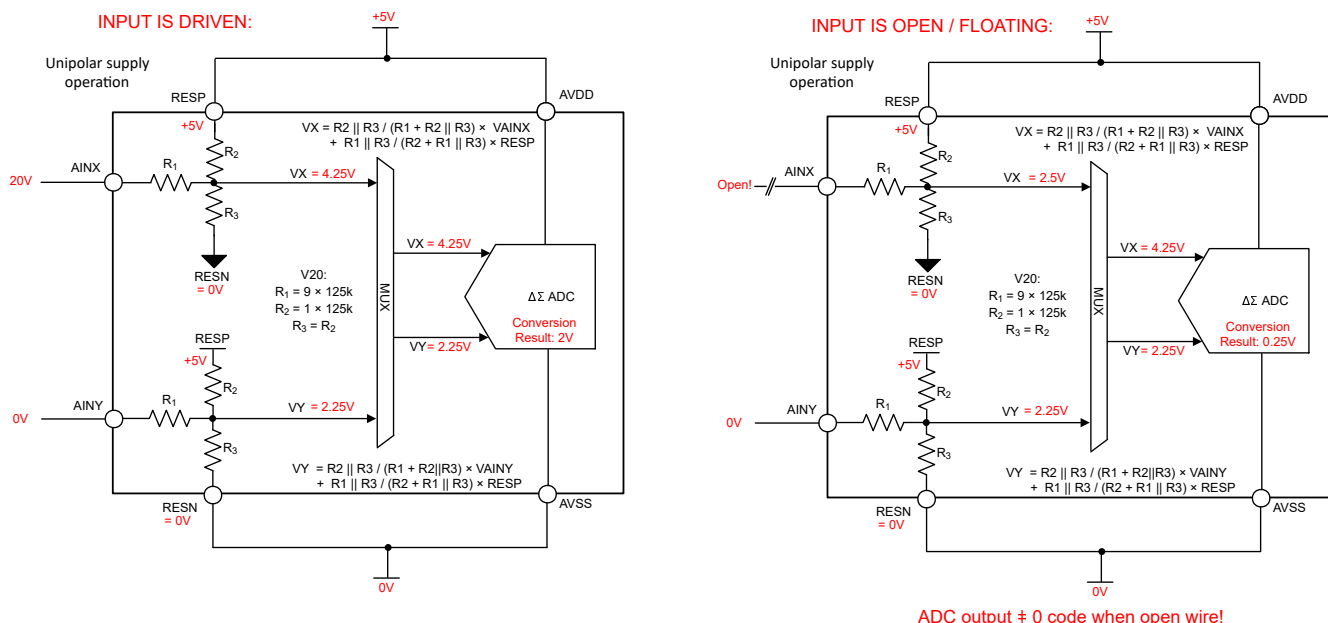


図 7-30. 断線状態の ADC 出力、RESP は AVDD に接続

図 7-30 に示されているように、デバイスがユニポーラ電源動作であると仮定します。図 7-30 の右側 に示されているように、各入力における抵抗デバイダ回路からの内部バイアスに起因して、断線 (フローティング入力) により ADC 入力にゼロ以外の入力信号が生成されます。そのため、ADC は断線入力に対してゼロ以外のコード出力を供給します。

ADS125H18 には、入力がフローティング (断線に起因) のときに、ゼロコード出力を生成する機能があります。RESN と RESP は ADS125H18 で独立したピンであるため、このモードを使用できます。図 7-31 に示されているように、この機能

では RESN と RESP ピンの両方を GND または DGND (つまり 0V) に接続します。このモードで負の入力電圧のサポートが必要な場合、図 7-31 に示されているように、デバイスをバイポーラ電源で動作させます。

図 7-31. 断線状態の ADC 出力、RESP および RESN を GND に接続

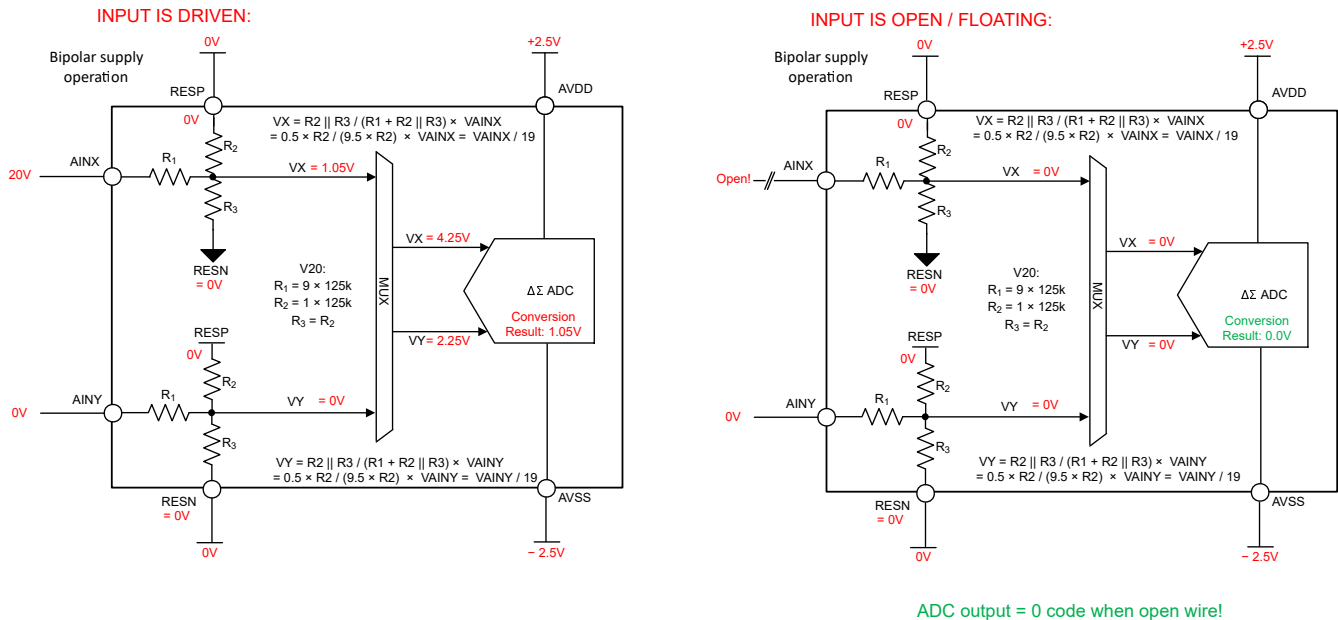


図 7-31 の右側の図は、RESN と RESP ピンの両方が GND (0V) に接続され、デバイスがバイポーラ電源で動作しているときのフローティングワイヤの状態を示しています。ADC 入力の差動電圧は 0V であり、ADC は必要に応じて、断線状態で 0 コードに近い変換結果を出力します。

7.3.15 システム モニタ

ADS125H18 は一連のシステム監視機能を備えており、入力マルチプレクサを介した測定のために、内部でバッファ入力ヘルレーティングすることができます。STEPx_SYS_MON[3:0] ビット (x = 0 ~ 31) を使用して、以下のいずれかのシステム監視項目を選択します:

- ・ ハイインピーダンス バッファの入力を AVSS に短絡し、内部信号チェーンの入力オフセットを測定およびキャリブレーションできます。
- ・ 内蔵の温度センサにより、デバイスの温度に比例した出力信号を供給できます。
- ・ 減衰した外部リファレンス電圧 ($V_{REFP} - V_{REFN}$) / 3。
- ・ 減衰したアナログ電源およびデジタル電源、それぞれ (AVDD / 3) と (DVDD / 3)。
- ・ 内部でサブレギュレートされた電源 (CAPA - AVSS) / 1 と (CAPD - DGND) / 1。
- ・ 減衰した分圧抵抗回路の電源電圧 (RESP - RESN) / 3。

システム モニタのいずれかが選択されている場合、AIN[4:0] ビットは無効です。システム モニタを選択すると、アナログ入力および TDAC 多重化信号は、入力バッファから切断されます。すべての設定には、内部 2.5V 診断リファレンスを使用します。

7.3.15.1 内部短絡 (オフセット校正)

システム モニタには、両方のハイインピーダンス バッファ入力 (AINP および AINN) を AVSS に短絡するオプションがあります。このオプションは、入力を短絡した状態での電圧読み取り結果をマイコンに保存し、その値を以降の各読み取り結果から差し引くことで、デバイスのオフセットを測定および補正するために使用できます。入力を短絡した状態で複数回測定を行い、その結果を平均化することでノイズの影響を低減します。

7.3.15.2 内部温度センサ

ADS125H18 は、ダイ温度を測定するための内蔵温度センサ (TS) を備えています。温度センサは、ダイ温度に比例した電圧を出力します。温度センサの出力電圧特性 (TS_{Offset} 、 TS_{TC}) は、仕様セクションに記載されています。

式 26 に、測定された温度センサの出力電圧をダイ温度に変換する方法を示します。

$$\text{Die temperature } [^{\circ}\text{C}] = 25^{\circ}\text{C} + (\text{Measured voltage} - TS_{Offset}) / TS_{TC} \quad (26)$$

アプリケーションで発生可能な最大温度センサ出力電圧が、 $V_{REF} = 2.5\text{V}$ 未満であることを確認してください。

7.3.15.3 外部リファレンス電圧読み戻し

システム モニタを使用すると、REFP ピンと REFN ピンの間に接続された外部電圧リファレンスを監視できます。このために、減衰した外部リファレンス電圧 ($V_{REFP} - V_{REFN}$) / 3 を測定用に選択します。

7.3.15.4 電源の読み戻し

システム モニタを使用すると、アナログ電源とデジタル電源の両方および内部サブレギュレートされた電源を監視できます。このため、測定するために減衰したアナログ電源 ($AVDD/3$) たは減衰したデジタル電源 ($DVDD/3$) のいずれかを選択します。または、内部サブレギュレートされた電源 ($CAPA - AVSS$) / 1 または ($CAPD - DGND$) / 1 を選択します。

7.3.15.5 抵抗デバイダ電源リードバック

システム モニタを使用して、抵抗スケーリング回路に接続されている電源を監視できます。この目的のための減衰した抵抗デバイダ回路の電源電圧 ($RESP - RESN$) / 3。

7.3.16 フラグ、インジケータ、カウンタの監視

ADS125H18 は、特定のデバイスまたはシステムの故障を検出し、ホストに示すためのステータス フラグを備えた一連のモニタを搭載しています。表 7-33 に、利用可能なモニタの概要を示します。モニタが故障を検出すると、対応する低アクティブ故障フラグが 0b に設定されます。ほとんどのモニタは、専用のモニタ有効化ビットを使用して、必要に応じて有効または無効にします。モニタが故障を検出すると、対応する低アクティブ故障フラグが 0b に設定されます。通信関連のモニタ・故障・フラグを除き、故障状態が解消された後、ホストは故障・フラグを 1b にクリアする必要があります。通信関連の SPI CRC 故障フラグは、通信エラーが発生しなかったフレームに続く SPI フレームで自動的に 1b にリセットされます。

表 7-33. モニタの概要

モニタ名	モニタ有効ビット	故障フラグの監視	故障フラグ レジスタの位置	故障フラグリセット メカニズム
電源、ADC、リファレンス モニタ				
リセット	該当なし	RESETn	STATUS_MSB	1b を書き込むことで、ビットを 1b にクリアします
AVDD 低電圧	該当なし	AVDD_UVn	ADC_REF_STATUS	1b を書き込むことで、ビットを 1b にクリアします
リファレンス低電圧	REF_UV_EN	REF_UVn	ADC_REF_STATUS	1b を書き込むことで、ビットを 1b にクリアします
変調器オーバーレンジ	該当なし	MOD_OVR_FAULTn	ADC_REF_STATUS	1b を書き込むことで、ビットを 1b にクリアします
デジタル モニタ				
レジスタ マップ CRC	REG_MAP_CRC_EN	REG_MAP_CRC_FAULTn	DIGITAL_STATUS	1b を書き込むことで、ビットを 1b にクリアします
メモリ マップの CRC	該当なし	MEM_INTERNAL_FAULTn	DIGITAL_STATUS	デバイスをリセットまたはパワー サイクル
レジスタ マップ CRC 故障ページ インジケータ	REG_MAP_CRC_EN	CRC_FAULT_PAGE[5:0]	DIGITAL_STATUS	REG_MAP_CRC_FAULTn フラグがクリアされると、デフォルト値 (111111b = 故障なし) にクリアされます

表 7-33. モニタの概要 (続き)

モニタ名	モニタ有効ビット	故障フラグの監視	故障フラグ レジスタの位置	故障フラグリセット メカニズム
FIFO オーバーフロー フラグ	該当なし	FIFO_OFn	FIFO_SEQ_STATUS	1b を書き込むことで、ビットを 1b にクリアします。
FIFO アンダーフロー フラグ	該当なし	FIFO_UFn	FIFO_SEQ_STATUS	1b を書き込むことで、ビットを 1b にクリアします。
FIFO CRC 故障フラグ	該当なし	FIFO_CRC_FAULTn	FIFO_SEQ_STATUS	1b を書き込むことで、ビットを 1b にクリアします。
GPIO 読み戻し	該当なし	該当なし	GPIO_DATA_INPUT	該当なし
通信モニタ				
SPI の CRC	該当なし	SPI_CRC_FAULTn	STATUS_LSB	前回の SPI フレームの CRC 結果に基づいて、新しい SPI フレームごとに更新
レジスタ アクセス	該当なし	REG_WRITE_FAULTn	STATUS_LSB	次のレジスタ書き込みコマンドで更新

ADS125H18 のすべてのモニタには、対応する故障フラグ (表 7-33 参照) があり、それぞれのモニタが故障状態を検出すると 0b に設定されます。表 7-33 に示されているように、RESETn および通信関連の故障フラグは、STATUS_MSB または STATUS_LSB レジスタにあります。しかし、表 7-34 に示されているように、ADC、リファレンス、FIFO、メモリ関連の故障フラグは、詳細なステータス レジスタにグループ化されています。セクション 7.5.3.2 セクションに説明されているように、オンデマンドでレジスタ読み取りコマンドを使用して STATUS_MSB または STATUS_LSB レジスタを読み取る代わりに、ADS125H18 は SDO の各フレームの最初の 2 バイトとしてステータス ヘッダを出力できます。STATUS_EN ビットを使用して、STATUS ヘッダの送信を有効化します。16 ビットのステータス ヘッダは、STATUS_MSB[7:0] と STATUS_LSB[7:0] レジスタ ビットを連結したものです。ADC、リファレンス、FIFO、またはメモリ関連の障害が STATUS ヘッダの一部として即座に表示されるようにするため、各詳細ステータス レジスタには、STATUS_MSB または STATUS_LSB レジスタに対応する結合故障フラグが設けられています。つまり、詳細ステータスレジスタの故障フラグのいずれかが 0b に設定されている場合、結合された故障フラグも 0b に設定されます。

表 7-34. 詳細なステータス レジスタと、対応する故障フラグを組み合わせたもの

以下に関する詳細な故障フラグ:	詳細な故障フラグ	詳細な故障フラグ レジスタの位置	STATUS_MSB または STATUS_LSB レジスタの結合故障フラグ
ADC とリファレンス	AVDD_UVn	ADC_REF_STATUS	ADC_REF_FAULTn
	REF_UVn		
	MOD_OVR_FAULTn		
FIFO	FIFO_OFn	FIFO_SEQ_STATUS	FIFO_FAULTn
	FIFO_UFn		
	FIFO_CRC_FAULTn		
メモリ/内部エラー	MEM_INTERNAL_FAULTn	DIGITAL_STATUS	INTERNAL_FAULTn
	REG_MAP_CRC_FAULTn		

設定された結合故障フラグを 1b にクリアするには、対応する詳細なステータス レジスタのすべての設定故障フラグをクリアする必要があります。詳細ステータス レジスタのすべての故障フラグが 1b にクリアされた後でのみ、ホストは 1b に書き込んで組み合わせた故障フラグをクリアできます。

デバイスの故障を検出するモニタに加えて、ADS125H18 には 表 7-35 に示されているインジケータとカウンタもあり、デバイスの状態または動作に関するフィードバックを提供します。

表 7-35. インジケータとカウンタの概要

インジケータまたはカウンタの名前	インジケータまたはカウンタ ビット	インジケータまたはカウンタ レジスタの位置
データ準備完了インジケータ	DRDY	FIFO_SEQ_STATUS

表 7-35. インジケータとカウンタの概要 (続き)

インジケータまたはカウンタの名前	インジケータまたはカウンタ ビット	インジケータまたはカウンタ レジスタの位置
シーケンサ アクティブ	SEQ_ACTIVE	FIFO_SEQ_STATUS
シーケンス ステップ インジケータ	STEP_INDICATOR[4:0]	STATUS_MSB
ADC 変換カウンタ	CONV_COUNT[3:0]	STATUS_LSB
FIFO 深度インジケータ	FIFO_DEPTH[8:0]	FIFO_DEPTH_MSB、FIFO_DEPTH_LSB
完了済みシーケンス カウンタ	SEQ_COUNT[3:0]	FIFO_SEQ_STATUS

7.3.16.1 リセット (RESETn フラグ)

RESETn フラグは、最後にビットが 1b にクリアされてから、デバイス リセットが発生したかどうかを示します。1b を書き込むと、RESETn ビットが 1b にクリアされます。

7.3.16.2 AVDD 低電圧モニタ (AVDD_UVn フラグ)

AVDD 低電圧モニタは、アナログ電源が AVDD 低電圧スレッシュホールド (TH_{AVDD_UV}) を下回ったかどうかを検出します。1b を書き込むと、AVDD_UVn ビットが 1b にクリアされます。

AVDD 低電圧モニタは、パワーダウン モードを除き常にアクティブです。AVDD_UVn は、AVDD 電源が AVDD 低電圧スレッシュホールドを下回っていない場合でも、パワーダウン モードに入ると 0b に設定されます。

DVDD 電源が存在している限り、アナログ電源が AVDD スレッシュホールドを下回っても、デバイスはリセットされません。

7.3.16.3 リファレンス低電圧モニタ (REV_UVn フラグ)

リファレンス低電圧モニタ回路は、REF_SEL[1:0] ビットによって選択された基準電圧がリファレンス低電圧スレッシュホールド (TH_{REF_UV}) を下回ったかどうかを検出します。1b を書き込むと、REF_UVn ビットが 1b にクリアされます。REF_UV_EN ビットを使用して、リファレンス低電圧モニタを有効にします。しかし、リファレンス低電圧モニタはスタンバイ モードおよびパワーダウン モードで停止します。

7.3.16.4 変調器オーバーレンジ モニタ (MOD_OVR_FAULTn フラグ)

変調器オーバーレンジ フラグ (MOD_OVR_FAULTn) は、変換サイクル中に変調器の飽和が発生したことを示します。このフラグは、変換サイクルの終了時に有効になります。変調器と変調器の飽和フラグの詳細については、[変調器](#) セクションを参照してください。

7.3.16.5 レジスタ マップ CRC (REG_MAP_CRC_FAULTn フラグ)

REG_MAP_CRC_FAULTn フラグは、レジスタ マップの CRC 故障が発生したかどうかを示します。REG_MAP_CRC_EN ビットを使用して、レジスタ マップの CRC を有効にします。しかし、レジスタ マップの CRC は、スタンバイ モードおよびパワーダウン モードで停止します。1b を書き込むと、REG_MAP_CRC_FAULTn ビットが 1b にクリアされます。

レジスタ マップの CRC は、レジスタ マップの内容に意図しない変更がないかチェックするために使用されます。各レジスタ ページには、以下のような個別の CRC レジスタがあります。ステータスおよび全般構成ページの CRC レジスタは REG_MAP_CRC レジスタであり、各シーケンス ステップ ページの CRC レジスタは対応する STEP_x_REG_MAP_CRC レジスタ ($x = 0 \sim 31$) です。レジスタが変更されるたびに、新しいレジスタ マップ CRC コードを REG_MAP_CRC または STEP_x_REG_MAP_CRC レジスタに書き込みます。各ページについて、CRC コードは [表 7-36](#) に示されているレジスタ アドレスに基づいて計算されます。ADC は、CRC レジスタに書き込まれた CRC コードを、内部で計算された値と継続的に比較します。値が一致しない場合、DIGITAL_STATUS レジスタの REG_MAP_CRC_FAULTn ビットが設定されます。設定されている場合は、レジスタ値を修正するか、CRC コードを更新してから、REG_MAP_CRC_FAULTn ビットに 1b を書き込んでエラー フラグをクリアします。DIGITAL_STATUS レジスタの CRC_FAULT_PAGE[5:0] ビットは、REG_MAP_CRC_FAULTn が CRC 故障を示している場合に、どのレジスタ ページが CRC エラーを示したかを示します。REG_MAP_CRC_FAULTn フラグがクリアされると、このフィールドはデフォルト値 (111111b = 故障なし) にクリアされます。

表 7-36. CRC で使用されるレジスタ

レジスタ ページ	CRC の計算に使用されるレジスタ ⁽¹⁾
ステータスおよび全般構成ページ	0x12~0x18
	0x20~0x2D
	0x30~0x32
ステップ構成ページ (0~31)	0x00~0x10

(1) CRC 計算のために、すべての予約済み (未使用) ビットが 0b に設定されます。

レジスタ マップの CRC コードの計算は、[SPI の CRC](#) セクションに示されているものと同じです。

ステータスおよび全般構成ページで CRC コードを計算する際は、REG_MAP_CRC_EN ビットを 1b (イネーブル) に設定します。このビットは CRC チェックを有効にするために設定する必要があります。

レジスタ ビットを変更する際に、誤って REG_MAP_CRC_FAULTn 通知が発生しないようにするには、以下の手順を実行します。

- REG_MAP_CRC_EN = 0b を設定して、レジスタ マップを無効化します。
- フォルト応答時間 $t_{p(REG_MAP_CRC)}$ を待ちます。
- REG_MAP_CRC_FAULTn フラグが 0b に設定されている場合、REG_MAP_CRC_FAULTn ビットに 1b を書き込んで故障フラグをクリアします。
- オプション: REG_MAP_CRC_FAULTn 故障フラグが 1b にクリアされていることを確認します。
- 必要に応じて、デバイス レジスタ ビットを変更します。
- 新しいレジスタ マップ設定に基づいて、REG_MAP_CRC[7:0] ビットを更新します。
- REG_MAP_CRC_EN = 1b を設定して、レジスタ マップ CRC を有効化します。

以下の手順に説明されているように、レジスタ ビットは、レジスタ マップ CRC が有効になる間も変更できますが、意図しない REG_MAP_CRC_FAULTn 通知を引き起こす可能性があります。

- レジスタ マップ CRC が有効の間に、必要に応じてレジスタ ビットを変更します
- 新しいレジスタ マップ設定に基づいて、REG_MAP_CRC[7:0] ビットを更新します。
- フォルト応答時間 $t_{p(REG_MAP_CRC)}$ を待ちます。
- REG_MAP_CRC_FAULTn フラグが 0b に設定されている場合、REG_MAP_CRC_FAULTn ビットに 1b を書き込んで故障フラグをクリアします。
- オプション: REG_MAP_CRC_FAULTn 故障フラグが 1b にクリアされていることを確認します。

7.3.16.6 メモリ マップ CRC (MEM_INTERNAL_FAULTn フラグ)

MEM_INTERNAL_FAULTn フラグは、メモリ マップの CRC 故障が発生したか、または誤ったレジスタページが内部で選択されているかを示します。

レジスタ マップの CRC と同様に、デバイスはメモリ マップの CRC を使用して内部メモリのランダムなビット変更をチェックします。内部メモリ ビットを変更すると、デバイスの動作が不明になったり、デバイスのパフォーマンスが低下したりする可能性があります。メモリ マップ CRC は、スタンバイ モードおよびパワーダウン モードを除き、常に有効になっており、内部メモリ マップ全体にわたって CRC 値を継続的に計算します。デバイスは、計算結果を、量産時のメモリマップに保存されているメモリマップの CRC 値と比較します。内部計算結果と保存されたメモリ マップの CRC 値が一致しない場合、MEM_INTERNAL_FAULTn は 0b に設定されます。メイン プログラム メモリのエラーが発生した場合、ADC はそれ以外の処理を実行しません。

CRC 計算では、内部クロック発振器の周期ごとに 1 つのメモリ マップ ワードが直列に実装されます。このため、ランダムなビット変更は MEM_INTERNAL_FAULTn フラグでは直ちに示されませんが、 $t_{p(MEM_MAP_CRC)}$ までかかる可能性があります。

内部で誤ったページが選択された場合 (PAGE_INDICATOR が PAGE_POINTER と一致しない場合)、MEM_INTERNAL_FAULTn フラグも 0b に設定されます。

メモリ マップ CRC 故障または誤ったページ選択故障が発生した場合 (いずれも MEM_INTERNAL_FAULTn フラグがトリガされる)、MEM_INTERNAL_FAULTn ビットに 1b を書き込んで、故障フラグを 1b にクリアします。故障フラグが引き続き 0b に設定される場合は、パワー サイクルを実行するか、デバイスをリセットします。

7.3.16.7 FIFO オーバーフロー (FIFO_OFn フラグ) および FIFO アンダーフロー (FIFO_UFn フラグ)

FIFO オーバーフロー フラグ (FIFO_OFn) は FIFO バッファのオーバーフロー状態を検出し、FIFO アンダーフロー フラグ (FIFO_UFn) は FIFO バッファのアンダーフロー状態を検出します。どちらのフラグも、FIFO が有効の場合にのみ使用できます。FIFO オーバーフロー フラグと FIFO アンダーフローフラグの実装の詳細については、[FIFO バッファ](#) セクションを参照してください。

7.3.16.8 FIFO CRC 故障 (FIFO_CRC_FAULTn フラグ)

FIFO CRC 故障フラグ (FIFO_CRC_FAULTn フラグ) は、FIFO 読み取り中に CRC エラーを検出します。このフラグは、FIFO が有効の場合にのみ使用できます。FIFO CRC の実装の詳細については、[FIFO バッファ](#) セクションを参照してください。

7.3.16.9 GPIO 読み戻し

ADS125H18 で利用可能なすべての GPIO は、対応する GPIO がデジタル出力として構成されているとき、独立したリードバック パスを提供します。つまり、出力ドライバ回路とは独立した入力レシーバ回路によって、GPIO ピンで駆動される電圧レベルが検出されます。読み戻しの結果は、STEPx_GPIOn_DAT_IN ビット (x = 0 ~ 31, n = 0 ~ 3) に従って表示されます。

7.3.16.10 SPI CRC フォルト (SPI_CRC_FAULTn フラグ)

SPI_CRC_FAULTn フラグは、直前の SPI フレームにおいて SDI 上で SPI CRC エラーが発生したかどうかを示します。SPI CRC 故障が発生したフレーム内でのコマンド実行はブロックされます。代わりに、ノーオペレーション コマンドが実行されます。次のフレーム内のコマンドはブロックされません。SPI_CRC_FAULTn ビットは、新しい SPI フレームごとに、直前の SPI フレームの CRC 結果に基づいて更新されます。SPI_CRC_EN ビットを使用して SPI CRC を有効にします。さらに、STATUS_EN ビットを使用して STATUS ワードの送信を有効にすることで、SPI CRC 故障の発生を通知として受け取ることができます。SPI CRC の実装の詳細については、[SPI の CRC](#) セクションを参照してください。

7.3.16.11 レジスタ書き込み故障 (REG_WRITE_FAULTn フラグ)

REG_WRITE_FAULTn フラグは、無効なレジスタ アドレスへの書き込みアクセスが発生したかどうかを示します。このフラグは、無効なレジスタ アドレスへの書き込まれるタイミングを設定し、次のレジスタ書き込みコマンドで更新します。無効なレジスタ アドレスからの読み出しではこのフラグは設定されませんが、読み取りコマンドの SPI フレーム内に含まれるアドレス表示から検出できます。

7.3.16.12 DRDY インジケータ (DRDY ビット)

DRDY ビットは、 $\overline{\text{DRDY}}$ ピンの反転です。STATUS_EN ビットを使用して STATUS ヘッダの送信を有効にし、DRDY ビットの通知を利用します。DRDY ビットは、現在の SPI フレーム内で読み取られた変換データが新しいデータか、前回の読み取り操作から繰り返されているデータかを示します。レジスタ読み取りコマンドを使用して DRDY ビットをポーリングするのは、ほとんどの場合 DRDY ビットの読み取り値が 0b なので、信頼性はありません。

7.3.16.13 シーケンサ アクティブ インジケータ (SEQ_ACTIVE ビット)

シーケンサ アクティブ インジケータ ビット (SEQ_ACTIVE ビット) は、変換が現在進行中であるか、変換が停止し、デバイスがアイドル、スタンバイ、またはパワーダウン モードであることを示します。

このビットは、シーケンサが有効化され、START ピンで START 条件が開始されるか、START ビットが設定される場合に設定されます。このビットは、(ストップ ビットまたはシーケンスの終了による) シーケンスの完了後、デバイスがスタンバイモードまたはアイドルモードに移行すると自動的にリセットされます。

利用可能なシーケンサ モードを含むシーケンサの動作の詳細については、[チャンネル自動シーケンサ](#) セクションを参照してください。

7.3.16.14 シーケンス ステップ インジケータ (STEP_INDICATOR[4:0])

シーケンス ステップ インジケータ (STEP_INDICATOR[4:0]) は、最新の変換結果に使用されたステップ ページの構成を示します。これは現在読み出し可能です。デバイス リセット後、パワーダウン モード時、または SEQUENCER_CFG レジスタに書き込むと、ステップ インジケータは 00h にリセットされます。同時に、変換カウンタ (CONV_COUNT[3:0]) が Fh にリセットされ、シーケンス カウンタ (SEQ_COUNT[3:0]) が 0h にリセットされ、変換データはクリアされます。

利用可能なシーケンサ モードを含むシーケンサ動作の詳細と、シーケンサ インジケータの詳細については、[チャンネル自動シーケンサ](#)セクションを参照してください。

7.3.16.15 ADC 変換カウンタ (CONV_COUNT[3:0])

変換カウンタ (CONV_COUNT[3:0]) は、新しい変換が完了するたびにインクリメントします。カウンタが Fh の値に達した後、次の変換が完了するとカウンタは 0h にロールオーバーします。

このカウンタは、パワーダウン モードで、デバイス リセット後、または SEQUENCER_CFG レジスタへの書き込み時のみ Fh にリセットされます。同時に、シーケンス ステップ インジケータ (STEP_INDICATOR[4:0]) は 00h にリセットされ、シーケンス カウンタ (SEQ_COUNT[3:0]) は 0h にリセットされ、変換データはクリアされます。リセット、パワーダウン、または SEQUENCER_CFG レジスタへの書き込み後の最初の変換が完了すると、カウンタは 0h を読み取ります。シーケンサが有効になっている場合 (SEQ_MODE[1:0] = 10b または 11b)、各ステップの最初の変換時、カウンタの値は常に 0h になります。シーケンサが無効になっている場合 (SEQ_MODE[1:0] = 00b または 01b)、新しいステップ ページ構成で変換が完了しても、カウンタ値は 0h に戻りません。

STATUS ヘッダの一部として変換カウンタが出力される場合 (STATUS_EN = 1b)、デバイスは変換カウンタの値が同じ SPI フレームで出力される ADC 変換結果と常に一致することを保証します。

必要に応じて、新しいステップ ページ構成で変換を開始する前に、SEQUENCER_CFG レジスタに書き込んで、カウンタを Fh にリセットします。

7.3.16.16 FIFO 深度インジケータ (FIFO_DEPTH[8:0])

FIFO 深度インジケータ (FIFO_DEPTH[8:0] ビット) は、FIFO の深度を報告します。この値は、FIFO 書き込みポイントと読み取りポイントの差です。このインジケータは、FIFO が有効の場合にのみ使用できます。FIFO 深度インジケータの詳細については、[FIFO バッファ](#)セクションを参照してください。

7.3.16.17 完了したシーケンス カウンタ (SEQ_COUNT[3:0])

シーケンス カウンタ (SEQ_COUNT[3:0]) は、複数のシーケンスの実行中の進行状況を示します。SEQ_MODE[1:0] = 11b の場合、シーケンス カウンタは、最新の変換結果を実行したシーケンスがどのシーケンスに属するかを示します。このシーケンスは現在読み出し可能です。このシーケンス カウンタは、新しいシーケンス実行の最初の変換が完了するとインクリメントします。最初のシーケンス実行の最初の変換が完了すると、カウンタは 0h を読み出します。2 回目のシーケンス実行の最初の変換が完了すると、カウンタは 1h を読み出します。カウンタが Fh の値に達した後、次のシーケンス実行の最初の変換が完了すると、カウンタは 0h にロールオーバーします。

START ビットを 1b に設定した後、または START ピンの立ち上がりエッジで、最初の変換が完了すると、カウンタは 0h にリセットされます。SEQUENCER_CFG レジスタに書き込むと、パワーダウン モード時、またはデバイス リセット後に、カウンタは即座に 0h にリセットされます。同時に、シーケンス ステップ インジケータ (STEP_INDICATOR[4:0]) が 00h にリセットされ、変換カウンタ (CONV_COUNT[3:0]) は Fh にリセットされ、変換データはクリアされます。SEQ_MODE[1:0] = 00b、01b、または 10b の場合、シーケンス カウンタは常に 0h を読み出します。

利用可能なシーケンサ モードを含むシーケンサの動作の詳細については、[チャンネル自動シーケンサ](#)セクションを参照してください。

7.3.17 テスト DAC (TDAC)

ADS125H18 には、ADC のセルフテストと検証を目的とした、テスト電圧 D/A コンバータ (TDAC) が付属しています。5 ビットの TDAC は、シングル エンドのテスト電圧を供給できます。最小 TDAC 出力は、補助電圧リファレンスの 1/32 です。最大 TDAC 出力は、補助電圧リファレンスと等しくなります。

[機能ブロック図](#) に示されているように、バッファなし (およびより精度の高い) TDAC 出力は、ハイインピーダンスのバッファ入力 AINP および AINN に直接接続することもできます。このモードを使用するには、STEPx_TDAC_SEL[4:0] を 00001b (正入力) または 00010b (負入力) に設定します。いずれの場合も、もう一方の入力は AVSS に接続します。このモードでは、入力マルチプレクサが強制的にオープンになります。ユーザーが STEPx_SYS_MON[3:0] を使用してシステム モニタも同時に選択した場合、システム モニターが優先され、バッファなしの TDAC は使用されません。

バッファ付き TDAC を使用する場合、専用マルチプレクサが、STEPx_TDAC_SEL[4:0] ビットで定義されているように選択された入力に TDAC をルーティングします。入力マルチプレクサの選択は影響を受けません。バッファ付き TDAC 出力を REFP/TDACOUT ピンにルーティングするには、STEPx_TDAC_SEL[4:0] を 10011b に設定します。[機能ブロック図](#) に示されているように、TDAC 出力は、選択された入力チャネルの抵抗アッテネータ出力、つまり入力マルチプレクサの入力ノードに接続されることに注意してください。

表 7-37 に、利用可能な TDAC マルチプレクサのすべての構成を示します。

表 7-37. TDAC マルチプレクサの構成

STEPx_TDAC_SEL[4:0] (x = 0 ~ 31)	説明
00000b	マルチプレクサはオープン、TDAC は未接続
00001b	TDAC は正入力にバッファなし、負入力を AVSS に接続
00010b	TDAC は負入力にバッファなし、正入力は AVSS に接続
00011b	バッファ付き TDAC から AIN0 アッテネータ出力
00100b	バッファ付き TDAC から AIN1 アッテネータ出力
00101b	バッファ付き TDAC から AIN2 アッテネータ出力
00110b	バッファ付き TDAC から AIN3 アッテネータ出力
00111b	バッファ付き TDAC から AIN4 アッテネータ出力
01000b	バッファ付き TDAC から AIN5 アッテネータ出力
01001b	バッファ付き TDAC から AIN6 アッテネータ出力
01010b	バッファ付き TDAC から AIN7 アッテネータ出力
01011b	バッファ付き TDAC から AIN8 アッテネータ出力
01100b	バッファ付き TDAC から AIN9 アッテネータ出力
01101b	バッファ付き TDAC から AIN10 アッテネータ出力
01110b	バッファ付き TDAC から AIN11 アッテネータ出力

表 7-37. TDAC マルチプレクサの構成 (続き)

STEPx_TDAC_SEL[4:0] (x = 0 ~ 31)	説明
01111b	バッファ付き TDAC から AIN12 アッテネータ出力
10000b	バッファ付き TDAC から AIN13 アッテネータ出力
10001b	バッファ付き TDAC から AIN14 アッテネータ出力
10010b	バッファ付き TDAC から AIN15 アッテネータ出力
10011b	バッファ付き TDAC から REFP/TDACOUT ピン
その他すべてのコード	マルチプレクサはオープン、TDAC は未接続

STEPx_TDAC_VAL[4:0] ビットを設定して、TDAC 出力値を選択します。補助リファレンス値は、全般構成ページの REF_VAL ビットによって選択された ADC リファレンスと同じ値です (01b = 2.5V および 1b = 4.096V)。表 7-38 に、STEPx_TDAC_VAL[4:0] ビットと REF_VAL 値に応じた TDAC 出力電圧を示します。

表 7-38. TDAC の出力電圧

STEPx_TDAC_VAL[4:0] (x = 0 ~ 31)	TDAC の値	値: REF_VAL = 0b (2.5V)	値: REF_VAL = 1b (4.096V)
00000b	$(1/32) \times \text{補助 Vref}$	0.078V	0.128V
00001b	$(2/32) \times \text{補助 Vref}$	0.156V	0.256V
...
nnnnn	$((nnnnn + 1)/32) \times \text{補助 Vref}$
11110b	$(31/32) \times \text{補助 Vref}$	2.422V	3.968V
11111b	$(32/32) \times \text{補助 Vref}$	2.5V	4.096V

7.3.18 並列ポスト フィルタ

ADS125H18 は並列ポスト フィルタを内蔵しており、データ レートを低下させずに、ターゲットの周波数でフィルタ ノッチを実現できます。

図 7-32 に示されているように、最大 8 つのポスト フィルタを並列に使用できます。これらのフィルタはカスケード移動平均フィルタです。フィルタの次数と平均化の数は、ユーザーがプログラム可能です。ポスト フィルタは従来の sinc フィルタと類似しており、並列フィルタ内にデシメーションが発生しないという違いがあります。各ポスト フィルタの入力データレートは、フィルタがセトリングした後の出力データレートに等しくなります。

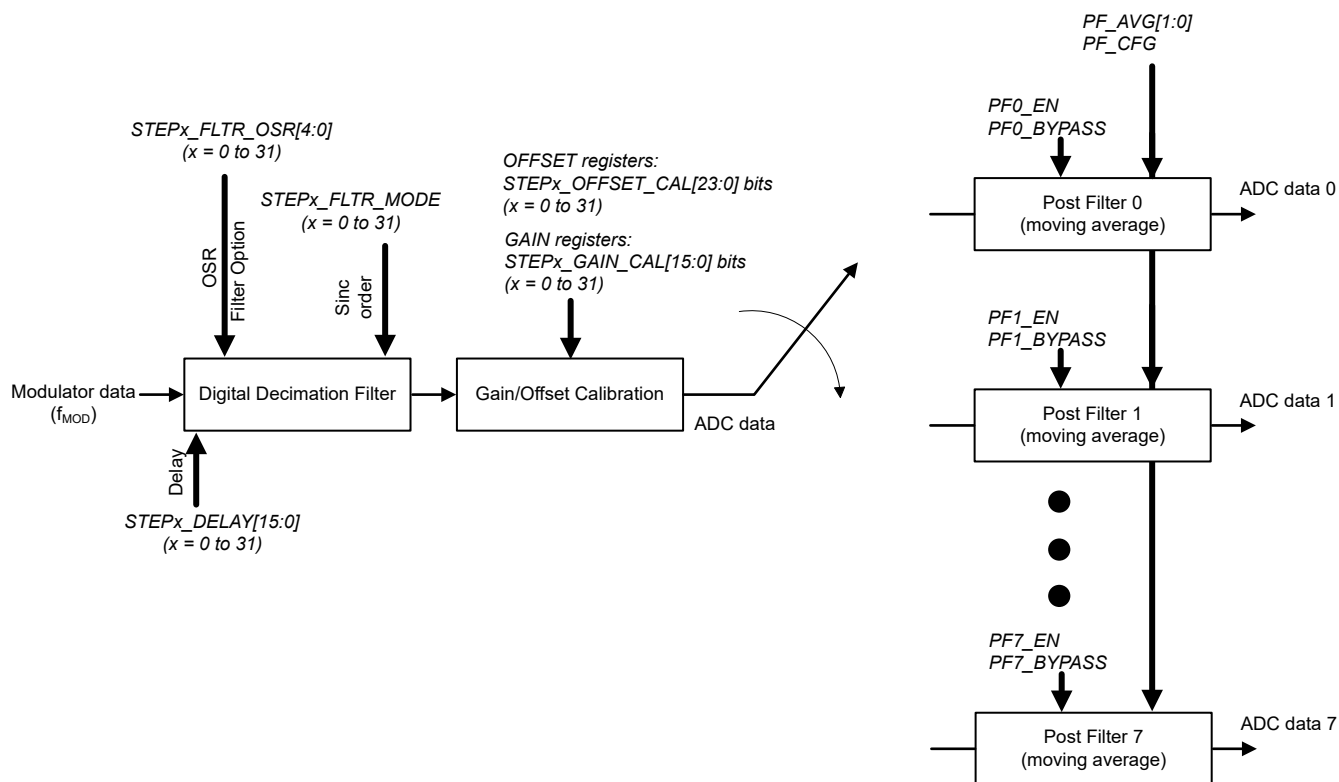


図 7-32. 並列ポスト フィルタのブロック図

ポスト フィルタを使用するには、シーケンサを有効化する必要があります。並列フィルタは、シーケンサが起動または再起動するとリセットされます。

7.3.18.1 並列ポスト フィルタの設定

ポスト フィルタ 0 ～ 7 は、対応するシーケンス ステップ 0 ～ 7 に割り当てられます。シーケンス内で有効化された他のステップは、ポスト フィルタ処理されることなく、無視されます。シーケンス ステップでポスト フィルタを使用すると、そのステップの変換数は強制的に 1 になります。メイン フィルタの OSR と変換開始遅延時間は、アクティブ ステップ ページで設定します。たとえば、STEP0_FLTR_CFG レジスタはステップ 0 とポスト フィルタ 0 のフィルタ構成を設定し、STEP0_DELAY_MSB_CFG および STEP0_DELAY_LSB_CFG レジスタは、各シーケンス ステップの最初の ADC 変換の前に挿入される遅延時間を設定します。

ポスト フィルタは、PFn_EN (n = 0 ～ 7) レジスタ ビットによって個別に有効になります。各イネーブルは、それぞれのステップ番号に対応します。たとえば、PF3_EN では、シーケンス ステップ 3 のポストフィルタを有効にします。ポスト フィルタを無効にすると、電力を節約できます。ポスト フィルタを使用するには、関連するシーケンサ ステップを有効にする必要があることに注意してください。シーケンサが無効の場合、PFn_EN (n = 0 ～ 7) ビットは無視されます。

図 7-33 に、8 つのポスト フィルタすべてのイネーブルの例のタイミング シーケンスを示し、デジタル デシメーション フィルタで sinc4 フィルタ オプションを選択します。各シーケンス ステップは 1 つのポスト フィルタ (つまり 1 つのチャネル) に対応しています。変換数を強制的に 1 に設定した場合、各シーケンス ステップは、プログラマブル遅延と、次のステップ / チャネルに切り替える前の完全にセトリングされた 1 つの変換結果のみで構成されます。

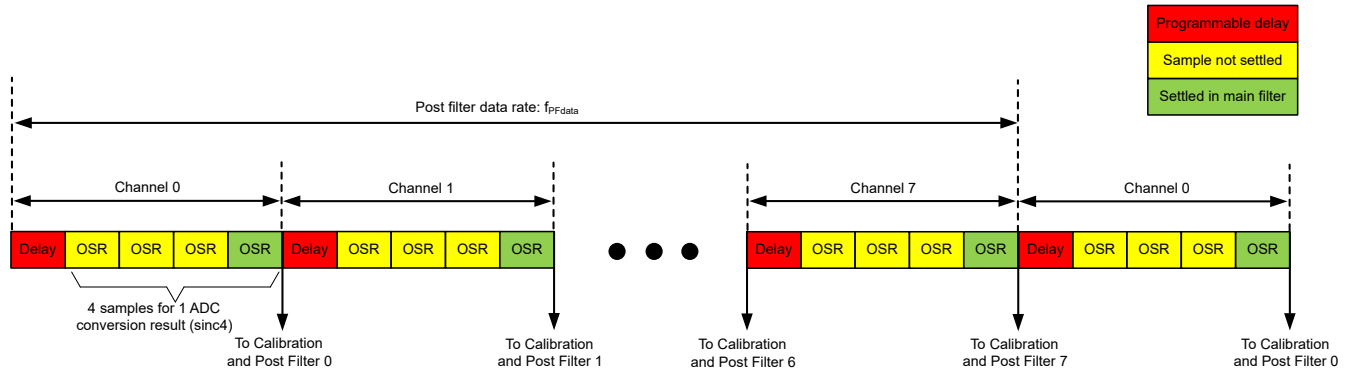


図 7-33. 並列ポスト フィルタのタイミング図

式 27 は、各ポスト フィルタの伝達関数を示します。

$$H(z) = \left(\frac{1 + z^{-1} + \dots + z^{-(N-1)}}{N_{avr}} \right)^{M_{ord}} \quad (27)$$

ここで

- N_{avr} は PF_AV[1:0] ビットで設定される平均数です
- M_{ord} は、PF_CFG ビットで設定されるフィルタ次数です

ポスト フィルタ内の平均数とフィルタ順序設定は、8 つのポスト フィルタすべてに適用されます。表 7-39 に平均数の使用可能なオプションを表示し、表 7-40 にフィルタ次数で使用可能なオプションを表示します。ポスト フィルタは、PF_AV[1:0] または PF_CFG が変更された場合、またはメイン フィルタがリセットされると常にリセットされます。

表 7-39. 並列ポスト フィルタの平均制御

PF_AV[1:0]	平均数
00	4
01	8
10	16
11	16

表 7-40. 並列ポスト フィルタの次数制御

PF_CFG	ポスト フィルタ次数
0	1 (sinc 1 と同様)
1	3 (sinc 3 と同様)

PFn_BYPASS (n = 0 ~ 7) ビットを使用することで、各ポスト フィルタにポスト フィルタ バイパス制御が存在します。この制御により、ユーザーはポスト フィルタの前または後にデータを選択できます。たとえば、ユーザーはポスト フィルタがデータを処理している間に、より高速なメイン フィルタの出力を監視し、後で平均値を取得することができます。PFn_BYPASS = 0 の場合、対応するポスト フィルタがイネーブルになります。PFn_BYPASS = 1 の場合、ポスト フィルタはバイパスされます。ポスト フィルタ バイパスは、シーケンサの動作中に変更できます。この場合、ユーザーはポスト フィルタの前または後にデータを動的に読み取ることができます。PFn_BYPASS は、出力データをすぐに切り替えません。PFn_BYPASS は、新しいデータが生成されたときに、メイン フィルタ データまたはポスト フィルタ データのいずれかで、どのデータが出力データバッファに格納されるかをシーケンサに通知します。すべてのシーケンス ステップは、同じ出力データ バッファを共有します。出力データ バッファは、アクティブ ステップの PFx_BYPASS 設定に応じて、メイン フィルタ データまたはポスト フィルタ データのいずれかの新しいデータが生成されたときにのみ更新されます。シーケンサが無効の場合、PFn_BYPASS (n = 0 ~ 7) ビットは無視されます。

すべてのポストフィルタが無効の場合 (ポストフィルタを使用しないとき)、 $\text{PFn_EN} = 0$ ($n = 0 \sim 7$) のときは、すべての PFn_BYPASS ($n = 0 \sim 7$) ビットがデフォルト値の $\text{PFn_BYPASS} = 1$ ($n = 0 \sim 7$) に設定されていることを確認します。 PFn_BYPASS ($n = 0 \sim 7$) ビットのいずれかを 0 に設定すると、すべてのイネーブルビット $\text{PFn_EN} = 0$ ($n = 0 \sim 7$) が 0 に設定されている場合でも、ポストフィルタを意図せず有効にできます。

7.3.18.2 並列ポストフィルタの周波数応答

ポストフィルタのデータレートは、メインフィルタのデータレート (図 7-32 に示されているデジタル デシメーション フィルタを意味する) とチャンネル数によって得られます。式 28 は、sinc4 デシメーションを想定したメインフィルタのデータレートを定義します。

$$f_{\text{ADCdata}} = \frac{f_{\text{MOD}}}{\text{Delay} + 4 \times \text{OSR}} \quad (28)$$

ここで

- f_{MOD} は変調器周波数です
- OSR は、 $\text{STEPx_FLTR_OSR}[4:0]$ ビットで設定されたオーバーサンプリングレートです
- 遅延とは、各シーケンスステップの最初の ADC 変換の前に挿入される遅延時間であり、 $\text{STEPx_DELAY}[15:0]$ ビットによって設定されます

式 29 に、ポストフィルタのデータレートを示します。このレートは、シーケンサのスキャンレートでもあります (つまり、シーケンサが動作を繰り返す周波数)。

$$f_{\text{PFdata}} = \frac{f_{\text{ADCdata}}}{\text{channel_num}} = \frac{f_{\text{MOD}}}{(\text{Delay} + 4 \times \text{OSR}) \times \text{channel_num}} \quad (29)$$

ここで

channel_num は、ポストフィルタが有効のチャンネル数 (通常は 2、4、または最大 8) です

測定によってスキャンレートを確認する簡単な方法は、シーケンサが繰り返されるたび、つまり各シーケンスが完了するたびに、 $\overline{\text{DRDY}}$ 信号がトグルするように設定することです。これにより、ユーザーはシーケンスレートを直接測定できます。

有効化されているすべてのポストフィルタの周波数応答は同じで、フィルタ構成 (平均数 N とフィルタ次数 M) およびポストフィルタのデータレート (スキャンレート) により設定されます。

式 30 は、各並列ポストフィルタのノッチ周波数を定義します。

$$f_{\text{PFnotch}} = \frac{f_{\text{PFdata}}}{\text{Navr}} = \frac{f_{\text{MOD}}}{(\text{Delay} + 4 \times \text{OSR}) \times \text{channel_num} \times \text{Navr}} \quad (30)$$

ここで

Navr は $\text{PF_AV}[1:0]$ ビットで設定される平均化の数です

たとえば、変調器の周波数が 12.8MHz、sinc4 OSR を 128 に設定、遅延を 488 に設定 (8 チャンネルが有効時)、ポストフィルタのデータレート/スキャンレートは 1.6kHz、 $\text{Navr} = 4$ のノッチ周波数は 400Hz と仮定します。図 7-34 に、この構成での各ポストフィルタの周波数応答を示します。

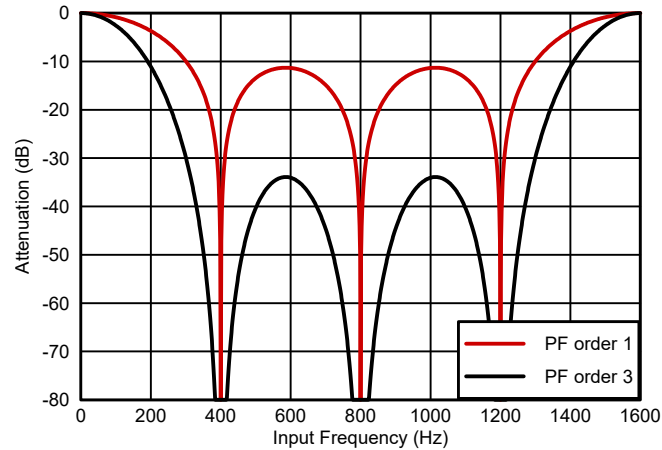


図 7-34. 並列ポスト フィルタの周波数応答、4 つの平均化、1.6kHz のスキャン レート

別の例では、変調器の周波数が 12.8MHz、sinc4 OSR が 512、遅延を 1285 に設定 (8 チャンネルが有効時)、ポストフィルタのデータ レート/スキャン レートは 480Hz、Navr = 8 のノッチ周波数は 60Hz と仮定します。図 7-35 に、この構成での各ポスト フィルタの周波数応答を示します。

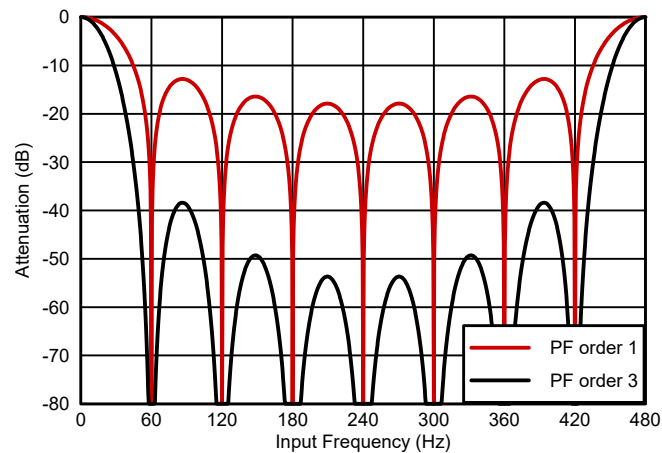


図 7-35. 並列ポスト フィルタの周波数応答、8 つの平均化、480Hz のスキャン レート

フィルタ次数 Mord = 3 (sinc3 と類似) を使用すると、フィルタ次数 Mord = 1 (sinc1 と同様) よりもノッチが広くなり、レイテンシが長くなります。図 7-34 および 図 7-35 を参照してください。ポスト フィルタを使用した特定のステップにおける合計周波数応答は、メイン フィルタとポスト フィルタ応答の合成です。

7.3.18.3 ポスト フィルタ使用時のセtring タイムと DRDY の動作

入力データ レートと出力データ レートは同じですが (セtringした場合)、並列フィルタは入力を処理するための時間が必要なため、これらの間にスキューが存在します。ポスト フィルタでの内部処理による DRDY 遷移の追加遅延を表 7-41 に示します。また、各種ポスト フィルタ構成のセtring タイムを表 7-42 に示します。

表 7-41. 並列ポスト フィルタ処理時間 (DRDY 遅延)

平均数	MODCLK 単位の DRDY 遅延時間	
	PF ORDER 1	PF ORDER 3
4	5	15
8	9	27

表 7-41. 並列ポスト フィルタ処理時間 ($\overline{\text{DRDY}}$ 遅延) (続き)

平均数	MODCLK 単位の $\overline{\text{DRDY}}$ 遅延時間	
	PF ORDER 1	PF ORDER 3
16	17	51

表 7-42. 並列ポスト フィルタのセトリング タイム

平均数	PF ORDER 1	PF ORDER 3
4	4 番目のデータで安定します	10 番目のデータで安定します
8	8 番目のデータで安定します	22 番目のデータで安定します
16	16 番目のデータで安定します	46 番目のデータで安定します

ポスト フィルタを使用したときの $\overline{\text{DRDY}}$ ピンの動作は、 $\text{DRDY_CFG}[1:0]$ ビットで設定され、各変換完了後、各シーケンス ステップ後、またはシーケンス完了後にいずれかを遷移させることができます。詳細については、[自動シーケンサと \$\overline{\text{DRDY}}\$ 動作](#) セクションを参照してください。ただし、シーケンサが開始した後で、並列ポスト フィルタがイネーブルされ、ポスト フィルタ出力がデータ出力として選択された場合 ($\text{PFn_BYPASS} = 0$)、 $\overline{\text{DRDY}}$ は、表 7-42 で定義されているようにポスト フィルタが安定した場合のみ、初めて遷移します。その後、 $\overline{\text{DRDY}}$ は $\text{DRDY_CFG}[1:0]$ ビットで定義されるように遷移しますが、表 7-41 で指定された追加の遅延によって遷移します。表 7-41 に示すように追加の遅延は、校正エンジン固有の遅延に加算され、メイン フィルタが安定した後 (つまり、 sinc4 の場合における 4 番目の各 ADC 変換結果後)、変調器の 6.5 クロック サイクルが一定の遅延として挿入されます。たとえば、平均数 4、フィルタ次数 1 の場合、ADC による安定した変換結果の完了に対する各 $\overline{\text{DRDY}}$ 遷移の合計遅延は、 $6.5 + 5 = 11.5$ 変調器クロック周期になります。[図 7-36](#) は、平均数 = 4、PF 次数 = 1、 $\text{channel_num} = 8$ の構成でのこの動作を示しています。この場合、最初の $\overline{\text{DRDY}}$ 遷移は 25 番目の ADC データの後で発生します。[図 7-36](#) を参照してください。

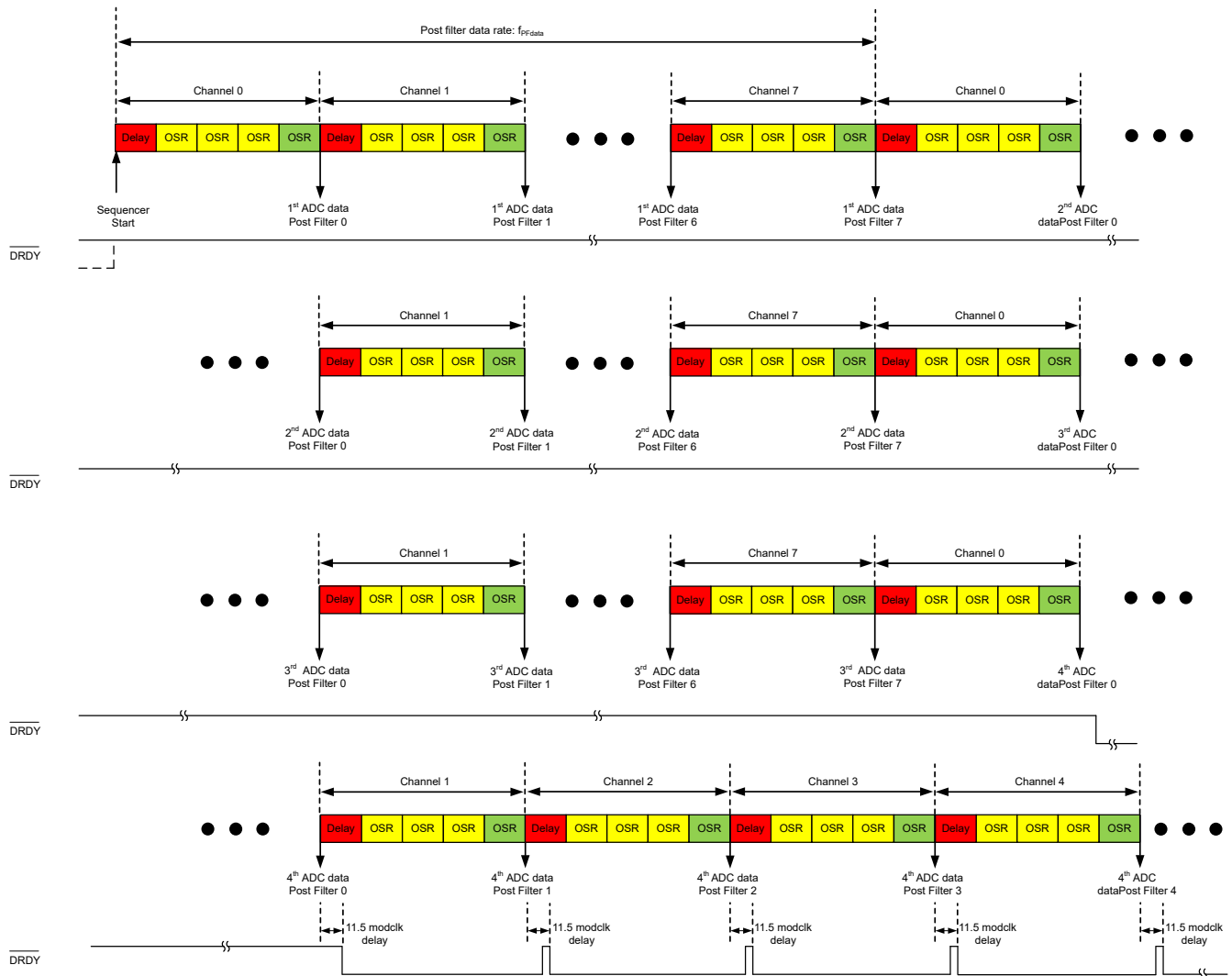


図 7-36. ポスト フィルタ使用時の DRDY の動作

7.3.18.4 推奨されるポスト フィルタ設定の例

表 7-43 に、一般的に使用されるノッチ周波数の例と、特定のポスト フィルタ設定での実装方法を示します。上の 5 行には、ポスト フィルタの推奨構成設定 (ポスト フィルタの数、つまり有効化するチャンネル数、平均化回数、OSR、および特定の 변調器周波数における遅延) が示されており、下の 3 行には、ADC データ レート、スキャン レート、およびポスト フィルタのノッチ周波数に関して計算された性能が示されています。

表 7-43. 一般的なノッチ周波数のポスト フィルタ構成

チャネル #	8	8	8	8	8	4	4	4	4	4	2	2	2	2	2
Navr	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4
SINC4 OSR	128	1024	1024	4000	8000	256	2048	4000	8000	16000	512	4000	8000	16000	32000
DELAY	488	2570	3904	7952	8000	976	5141	0	15904	16000	1952	10666	0	31808	32000
f_MOD (MHz)	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8
ADC データレート (kHz)	12.800	1.920	1.600	0.534	0.320	6.400	0.960	0.800	0.267	0.160	3.200	0.480	0.400	0.134	0.080
スキャンレート (kHz)	1.600	0.240	0.200	0.067	0.040	1.600	0.240	0.200	0.067	0.040	1.600	0.240	0.200	0.067	0.040
ノッチ周波数 f_notch (Hz)	400.0	60.0	50.0	16.7	10.0	400.0	60.0	50.0	16.7	10.0	400.0	60.0	50.0	16.7	10.0

7.3.19 チップ セレクト転送

ADS125H18 にはチップ セレクト転送 (CS-FWD) 機能が搭載されており、SPI 制御を他のデバイスに渡すために使用できます。この機能がイネーブルになると、ADS125H18 や他のデバイスとの通信には、多くの場合、ユーザー データグラム プロトコル (UDP) と呼ばれる新しいコマンド フレームを使用します。CS-FWD 機能により、ADS125H18 経由で他のデバイスの CS を制御できます。CS 転送機能の構成セクションで説明されているように、ユーザーが CS-FWD 機能をイネーブルにしない場合、ADS125H18 によって通常の SPI 通信が想定されます。

CS-FWD 機能により、システム内の絶縁チャネル数を削減し、絶縁バリアの一方のマイコンと、反対側の複数のチップ (ADS125H18 を含む) との間でシームレスな通信を実現できます。デジタイゼーション接続の代替方法とは対照的に、CS-FWD 機能はターゲット デバイスの数に比例して SPI フレームの長さを増加させることはありません。そのため、CS-FWD には、効率が悪い長い SPI フレームを回避する利点があります。

一般に、次の 3 つのユーザー データグラム プロトコル (UDP) ホスト コントローラの動作モードがあります: UDP Phase0-CS、UDP Phase1-CS、および UDP Secondary-CS。ADS125H18 は、UDP Phase0-CS モード (CS と同じ位相を使用するアクティブ Low) のみをサポートしています。

図 7-37 に、phase0-CS モード接続の例を示します。ホスト デバイス (指定された MCU ホスト - たとえばマイコンなど) は、SDI、SDO、SCLK、CS を提供します。このモードでは、ホスト デバイスの CS が転送されます。Phase0-CS モードは CS の同じ位相 (アクティブ Low) を使用して、後続の CS パルスをセカンダリ デバイスに転送します (図 7-37 の SPI Dest1 ~ Dest4)。このモードでは、汎用 GPIO ピンを使用して、CS 信号を送信先デバイスに転送します (詳細については、CS 転送機能の構成セクションを参照)。図 7-37 の赤い線は、通信のターゲット デバイスとして送信先デバイス 1 が選択されている状況を示しています。

CS 転送に使用する GPIO ピンにプルアップ抵抗 (図 7-37 を参照) を追加します。これは必須ではありませんが、たとえばパワーアップ状態でノードをデフォルトで High に維持し、選択されていないターゲット デバイスとの意図しない通信を回避することができます。

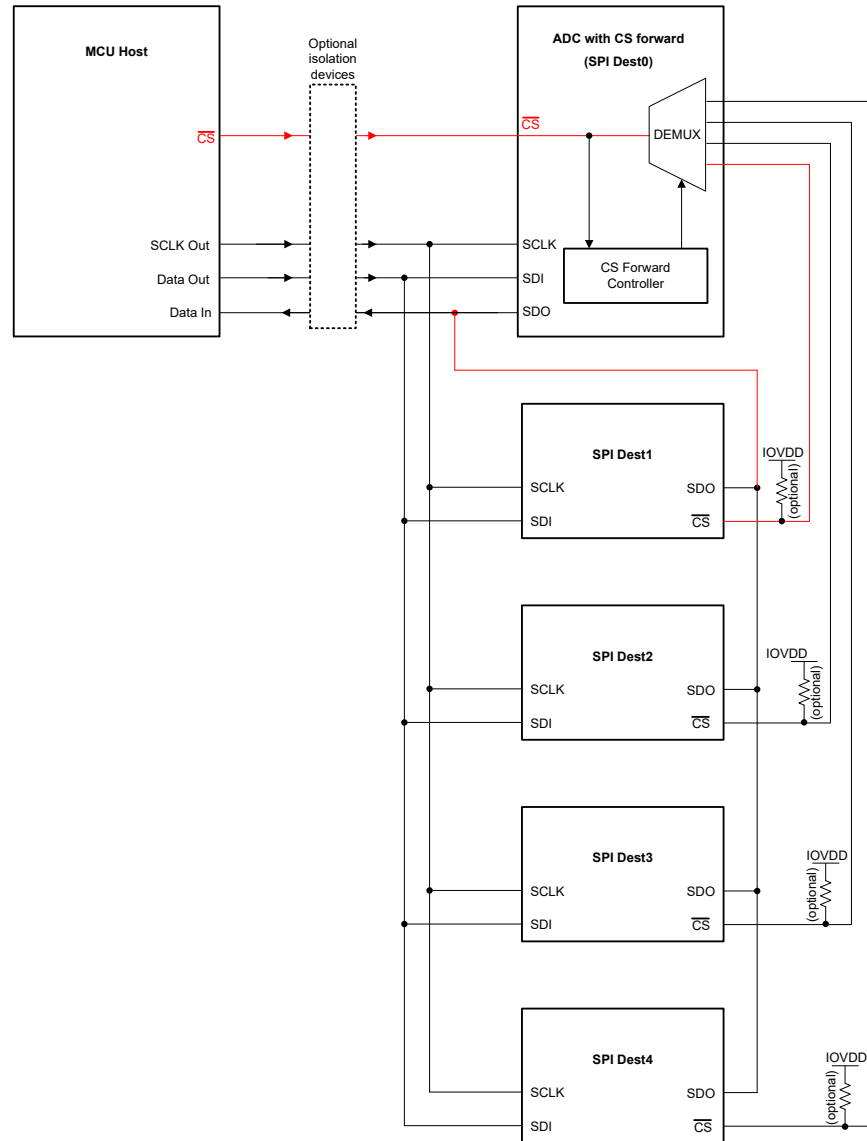


図 7-37. CS 転送のブロック図

7.3.19.1 CS 転送機能の構成

CS_FWD_EN_CODE[5:0] レジスタに 010111b を書き込み、CS-FWD 機能をイネーブルにします。GPION_FWD_EN ビット (n = 0 ~ 3) を設定して、対応する各 GPIO ピンを ADS125H18 の $\overline{\text{CS}}$ 出力として構成します。GPION_FWD_EN ビットが設定されている各ピンについて、対応する GPION_CFG ビットをデジタル出力機能 (ビット設定 10b) にプログラムする必要があることに注意してください。

表 7-44 に、CS-FWD 機能の構成に使用されるレジスタビットの概要を示します。

CS 転送タイムアウトセクションの説明に従って、TIMEOUT_SEL[1:0] ビットを構成します。

表 7-44. CS 転送構成ビット

レジスタビット	説明
CS_FWD_EN_CODE[5:0]	CS 転送機能を有効にします。 CS 転送機能を有効にするには、010111b を書き込みます。

表 7-44. CS 転送構成ビット (続き)

レジスタビット	説明
TIMEOUT_SEL[1:0]	タイムアウトのイネーブルと期間を選択します。
GPIO _n _FWD_EN	イネーブル ビットを使用して、GPIO ピンを CS 転送出力として構成します
GPIO _n _CFG	GPIO 構成ビット - CS-FWD にピンを使用する場合、10b (デジタル出力) に設定します

GPIO ピンのデジタル出力モードを使用すると、CS-FWD モードがアクティブでないとき、任意の送信先デバイスの CS 入力を High に維持できます。STEP_INIT が現在指定しているステップ構成ページの STEP_x_GPIO_n_DAT_OUT ビットを使用して、対応する GPIO データ出力を 1b に設定します。

要約すると、CS-FWD モードの動作開始に推奨されるシーケンスは次のとおりです (n は CS-FWD に使用されるすべての GPIO のインデックスです)。

- STEP_x_GPIO_n_DAT_OUT を 1b に設定することで、STEP_INIT で示されているステップ ページ x の GPIO_n 出力状態を High に設定します。
- GPIO_n_CFG ビットを使用して、GPIO_n をデジタル出力として構成し、10b を設定します。
- GPIO_n_FWD_EN ビットを使用して、GPIO を CS-FWD にするように選択します。
- CS-FWD イネーブル レジスタ (010111b) を送信し、タイムアウトを設定します。
- 最初のヘッダー フレームを CS-FWD コントローラに送信します。

7.3.19.2 CS 転送タイムアウト

ADS125H18 にはタイムアウト機能があります。TIMEOUT_SEL[1:0] ビットを使用して、タイムアウト機能を有効にし、タイムアウト期間を選択します。

表 7-45 に、タイムアウト期間に利用可能なオプションを示します。

表 7-45. タイムアウトのイネーブルと期間のオプション

TIMEOUT_SEL[1:0]	説明
00b	タイムアウトが無効
01b	短いタイムアウトでのタイムアウト有効化、256 CLKIN サイクル
10b	中長のタイムアウトでのタイムアウト有効化、2048 CLKIN サイクル
11b	長いタイムアウトでのタイムアウト有効化、16384 CLKIN サイクル

有効にすると、 $\overline{\text{CS}}$ の立ち下がりエッジの後、タイムアウトによって $\overline{\text{CS}}$ の立ち上がりエッジが選択された CLKIN サイクル数以内に発生することがチェックされます。立ち上がりエッジが検出されない場合、タイムアウトが発生します。タイムアウトが発生すると、 $\overline{\text{CS}}$ の立ち上がりエッジより前に、SDI 上の残りの SPI フレームは無視されます。新しい SPI トランザクションは、次の $\overline{\text{CS}}$ の立ち下がりエッジで開始されます。図 7-38 を参照してください。

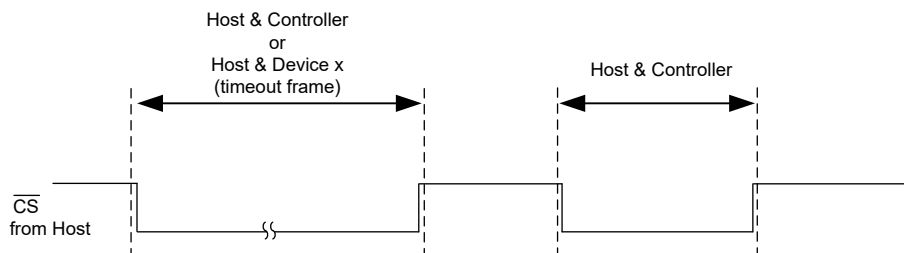


図 7-38. タイムアウト図

タイムアウト機能により、通信エラーの許容範囲が向上します。タイムアウト機能がないと、通信エラーが発生した場合に通信が失われる可能性があります。タイムアウト機能は **CS-FWD** モードでのみ使用できることに注意してください。

7.3.19.3 CS 転送ヘッダー、フレーム、状態図

CS-FWD モードが有効になると、表 7-46 に示すように、**CS Forward Header** フレームを送信して、**UDP** 通信が開始されます。**SDI** の最初のバイトには、**CS** 転送インデックスまたは **SPI** インデックスが **4MSB** として含まれます。これは送信先デバイスの選択です。**0h00** ~ **0h03** で、**0h00** は送信先デバイス 1、**0h01** は送信先デバイス 2 などです。**SDI** の最初のバイトには、**4LSB** として転送されるフレームの数も含まれます。**CRC** が有効になっている場合、**SDI** の 2 番目のバイトには、その前のデータの **CRC** が含まれます。3 番目のバイト (無関係) は常に必要です。**CS-FWD** モードでは、ヘッダーフレームが **CS-FWD** コントローラと通信するために、フレームあたり 3 バイトが常に必要です。

表 7-46. CS 転送ヘッダー フレーム

信号	1 st BYTE	2 nd BYTE	3 rd BYTE
SDI	SPI インデックス (4MSB) および フレーム番号ビット (4LSB)	CRC (CRC がイネーブル の場合)	ドント ケア
SDO	FFh	SDI で 1 番目の バイトを 受信しました	CRC チェックの結果 (CRC がイネーブルの場 合)

ヘッダーの最初のバイトの **SPI** インデックス (4 MSB) は、どの送信先デバイスが選択されているかを示します。表 7-47 は、これらのビットと特定の送信先デバイスを正確にマッピングしていることを示しています。

表 7-47. SPI インデックスの選択

SPI インデックス	送信先デバイスが選択されました
0000b	デバイス ADS125H18
0001b	GPIO0 に接続された送信先デバイス 1
0010b	GPIO1 に接続された送信先デバイス 2
0011b	GPIO2 に接続された送信先デバイス 3
0100b	GPIO3 に接続された送信先デバイス 4
その他すべてのコード	予約済み

表 7-48 に示すように、ホストから送信される表 7-46 のヘッダーにおける最初のバイトのフレーム番号ビット (4LSB) は、選択した送信先デバイスに送信されるフレーム数を示します。指定された数のフレームが選択された送信先デバイスに送信されると、**CS-FWD** コントローラは、次の送信先デバイスの選択と送信されるフレーム数に関する新しい情報を持つ別のヘッダー フレームを要求します。**CS-FWD** コントローラは、ユーザーがこのモードを終了することを明示的に選択するまで **CS-FWD** モードのままです。モードの終了の詳細については、**CS-FWD モードの無効化** セクションを参照してください。

表 7-48. CS-FWD フレーム番号表示

フレーム番号 LSB	送信された CS-FWD フレーム数
0000b	1
0001b	2
0010b	3
0011b	4
...	...
1110b	15
1111b	16

UDP シーケンスでは、表 7-46 に示すように SDO 上でデバイスからヘッダー応答フレームが送信されます。この応答は以下図 7-39 に示すように Ack と表記されます。これは、ホストへのデバイス書き込みを表すビット [23:16] = FFh で構成され、ビット [15:8] は UDP を開始するために送信されたデータ (SDI 上の最初のバイト) を繰り返し、ビット [7:0] は多項式 $x^8 + x^2 + x + 1$ を使用した先行データに対する正しい CRC です。この CRC バイトは、SPI に対して CRC が有効化されている場合のみ必要です。それ以外の場合、バイトは 0hFF です。

ホストは、受信した SDO に基づいて、ホストが CS 転送コントローラと他の送信先デバイスのどちらと通信しているかを区別できます。コントローラと通信している場合、ホストは SDO を FFh として受信し、コントローラによってミラーされたバイトを受信します。そのため、ホストはコントローラが受信したバイトが正しいかどうかを確認し、どのように応答するかを決定できます。バイトが正しくない場合は、タイムアウトを保持し、コマンドをコントローラに再送信します。

図 7-39 に、標準的な CS-FWD 通信シーケンスのタイミング図を示します。ここに示す最初のヘッダー フレームでは、SPI インデックスはターゲット デバイス M に設定されます。したがって、以降のフレームでは、 \overline{CS} 信号はデバイス M にのみ転送されます (j は、ヘッダー フレームで指定されているデバイス M との通信用フレーム数です)。2 番目のヘッダーフレームでは、デバイス N が指定され、以降のフレームでデバイス N との通信が実行されます (k はデバイス N との通信用フレーム数です)。

また、図 7-39 はターゲット デバイスから SDO に送信される応答も示します。各ヘッダー フレームと同時に、ターゲット デバイスの Ack フレームが SDO 上に表示されます。その後、ターゲット デバイスは、使用されるコマンドに応じてコマンドバイトまたはデータ バイトを SDO に送信します。これは単純化のため、図 7-39 においてデバイス M では Ack(M)、デバイス N では Ack(N) で示されます。

適格な転送フレームの条件は、CSn が Low のとき、少なくとも 8 サイクル以上の SCLK サイクルがあることです。ただし、フレームは 8 SCLK サイクルより長くなることがあり、それ以降のフレームの長さが異なる場合があります。フレームの長さには上限はありません。

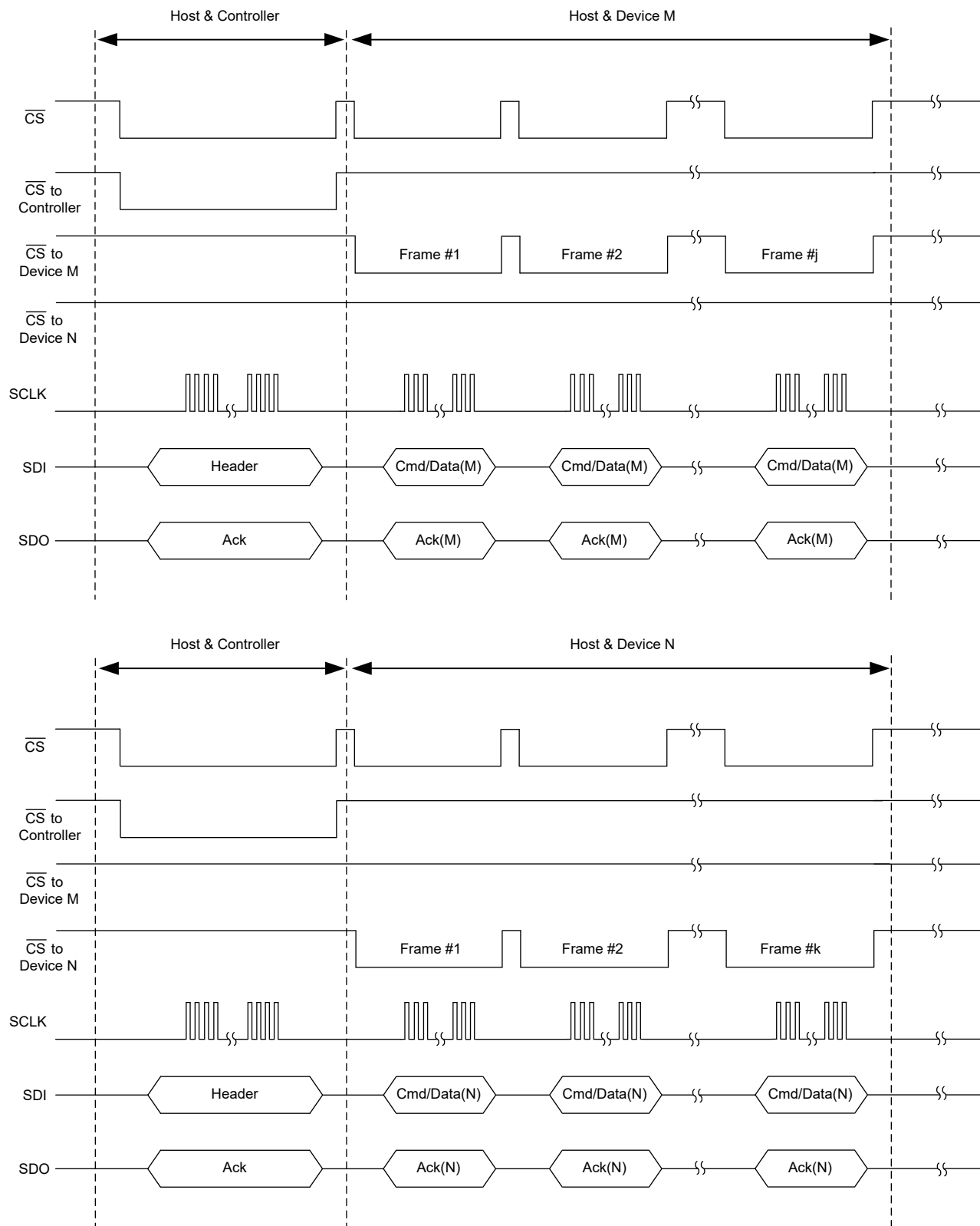


図 7-39. CS 転送のタイミング図

CRC がイネーブルの場合とそうでない場合で通信の堅牢性を高めるため、以下のエラー処理を推奨します。

- CRC が有効な場合: ホストがデバイスからデータを受信しているときに CRC エラーを検出した場合、ホストはホストから正しい CRC を受信するまで、このコマンドをコントローラに対して繰り返し送信する必要があります。同様に、ヘッダー内の SPI コントローラ デバイスによって CRC エラーが検出された場合、CRC チェックが正しいと判断するまで、コントローラはホストからヘッダーを受信し続けなければなりません。
- CRC が無効な場合: SDO の 2 番目のバイトがデバイスに送信された最初のバイトと一致しない場合、ホストは、次のフレームで SCLK をトグルせずにタイムアウトを引き起こす必要があります。

図 7-40 に、CS-FWD コントローラの状態図を示します。CS 転送が有効になると、コントローラはすぐに有効なヘッダーフレームを受信することを要求します。有効なヘッダー フレームを受信すると、選択した送信先デバイスとの通信が開始され、事前定義されたフレーム数が完了するか、タイムアウトが発生するか、または SPI コントローラ デバイスで CS 転送モードが無効化されるまで続行されます。

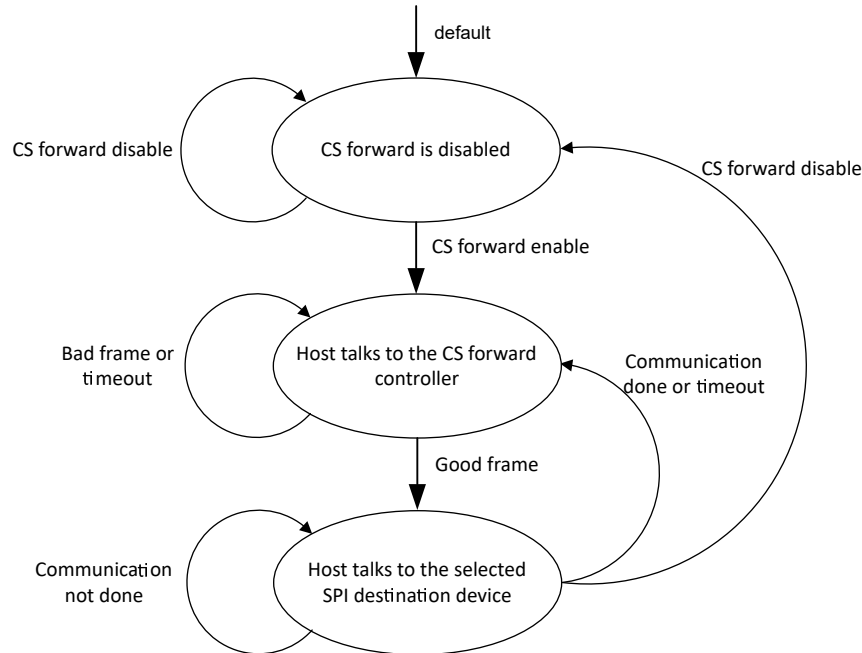


図 7-40. CS 転送の状態図

7.3.19.4 CS-FWD モードの無効化

CS_FWD_EN_CODE[5:0] レジスタに 000000b を書き込むと、CS-FWD コントローラを無効になり、CS_FWD モード動作が終了します。この SPI 書き込み動作は、3 バイトの CS-FWD フレームで、宛先デバイス 0 (ADS125H18 デバイス) を選択して送信する必要があります。CS 転送ヘッダー、フレーム、状態図 セクションを参照してください。CS-FWD が非アクティブになると、GPIO ピンは自動的に汎用 GPIO 機能に戻り、GPIOx_FWD_EN ビット (x = 0 ~ 3) は無視されます。その後、ADS125H18 への SPI 通信は通常の SPI モードに戻り、GPIO ビットが GPIO 出力モードに設定されている場合、出力のデータは、通常の GPIO 出力モードで期待通りにアクティブ ステップ構成ページによって再度決定されます。

CS-FWD モード動作を終了するもう 1 つのオプションは、**RESET** ピンを切り替えることです。または、リセット パターンをデバイスに送信すると、CS_FWD モードは非アクティブになります。しかし、表 7-47 に示されているように、ホストが宛先デバイス 0 (ADS125H18 デバイス) と通信するフレーム内で、SPI インデックス 0000b を使用して、リセット パターンを送信する必要があることに注意してください。ADS125H18 のすべてのユーザー レジスタがリセットされるため、RESET ピンまたはリセット パターンを使用して CS-FWD モードを終了することは、あまり推奨されません。

7.4 デバイスの機能モード

7.4.1 電カスケラブルな速度モード

ADC には、対応するクロック信号周波数と 4 つの速度モードがあります。モード選択は、目的のデータレート、分解能、デバイスの消費電力に基づいて行います。最高速モードでは最大のデータレートと信号帯域幅が提供され、最低速モードでは大きな信号帯域幅を必要としないアプリケーション向けに消費電力が最小限に抑えられます。任意の速度モードの ADC クロック周波数の指定された値を超えないようにします。クロック周波数とクロック分周器のオプションについては、「[クロック動作](#)」セクションを参照してください。速度モードは、**SPEED_MODE[1:0]** ビットによってプログラムされます。

7.4.2 シーケンサの機能モード

ADS125H18 には、シーケンサで制御される複数の機能モードがあります。詳細については、[シーケンサ モード](#) セクションを参照してください。

7.4.3 アイドル モードとスタンバイ モード

ユーザーが変換を停止したときは、ADC をアイドル モードまたは低消費電力スタンバイ モードにプログラムします。アイドル モード (デフォルト) またはスタンバイ モードは、**STBY_MODE** ビットによってプログラムされます。

アイドル モードでは、信号および電圧リファレンス入力のサンプリングを含め、アナログ回路は完全にバイアスされ、動作します。デジタル フィルタのみがアイドルになります。変換が開始されると、デジタル フィルタが有効になり、変換プロセスが開始されます。

スタンバイ モードでは、変換が停止すると、信号とリファレンス電圧のサンプリングも停止し、消費電力を節約します。変換が再開されると、信号とリファレンス電圧のサンプリングが再開されます。スタンバイ モードを終了するには、通常の変換レイテンシ時間に 24 クロック サイクルを追加する必要があります。

7.4.4 パワーダウン モード

パワーダウン モードは、**PWDN** ビットを設定することで有効になります。パワーダウン モードでは、アナログおよびデジタルのセクションはオフになりますが、レジスタのビットがクリアされたときにパワーダウン モードを終了できるよう、必要な SPI 動作を維持するため、わずかなバイアス電流が流れ続けます。ユーザー レジスタ設定を維持するため、デジタル LDO もアクティブなままです。パワーダウン モードでは、信号および電圧リファレンスのサンプリングが停止します。パワーダウン モードを終了するには、**PWDN** ビットに **0b** を書き込むか、デバイスをリセットします。

PWDN ビットを設定すると、変換は直ちに停止し、進行中のシーケンサ実行が停止します。レジスタ設定は、デフォルト値にリセットされるアナログ **GPIO** 設定を除いて維持されます。パワーダウン モードを終了すると、シーケンサは、シーケンサ実行で定義された次の ADC 変換を続行します。

7.4.5 リセット

ADC はパワーオン時に自動リセットを実行します。手動リセットは、**RESET** ピンまたは **SPI** 動作を使用します。制御ロジック、デジタル フィルタ、**SPI** とデータ ポートの動作、およびユーザー レジスタはデフォルト値にリセットされます。リセット後に ADC が動作可能になる時期の詳細については、[図 5-3](#) を参照してください。

7.4.5.1 **RESET** ピン

RESET ピンはアクティブ Low 入力です。**RESET** を Low にしてから High に戻すと、ADC はリセットされます。**RESET** ピンには内部に 20kΩ プルアップ抵抗が内蔵されているため、使用しない場合は **RESET** ピンを未接続のままにしておくことができます。**RESET** ピンはシュミットトリガ入力で、ノイズ感度を低減するよう設計されています。**RESET** ピンのタイミングとリセット後の **SPI** 通信の開始については、[図 5-3](#) を参照してください。ADC はパワーオン時に自動的にリセットを実行するため、デバイスのパワーオン後にリセットを行う必要はありません。

7.4.5.2 **SPI** レジスタへの書き込みによるリセット

このデバイスは、**SPI** 動作により、**RESET_CODE[7:0]** ビットに **01011010b** を書き込むことでリセットされます。このビットフィールドに他の値を書き込んでも、リセットされません。4 線式 **SPI** モードでは、**CS** が High になったとき、フレームの最後でリセットが有効になります。3 線式 **SPI** モードでは、レジスタ書き込み動作の **SCLK** の最後の立ち下がりがエッジで、リ

セットが有効になります。3 線式 SPI モードでリセットするには、SPI が SPI ホストと同期している必要があります。SPI 同期が保証されていない場合は、[SPI の入力パターンによるリセット](#) セクションに記載されているパターンを使用してデバイスをリセットします。リセットは、STATUS_MSB B レジスタの RESETn フラグを確認することで検証できます。

7.4.5.3 SPI の入力パターンによるリセット

このデバイスは、SPI 動作で特別なビット パターンを入力することでもリセットされます。この入力パターンは、入力コマンドの形式に従っていません。ADC をリセットするには、2 つの入力パターンがあります。パターン 1 は、1023 個以上の連続した 1 と、それに続く 1 つの 0 で構成されます。デバイスは、最後の 0 がシフトインされると、SCLK の立ち下がりエッジでリセットされます。このパターンは、3 線式または 4 線式の SPI モードで使用できます。パターン 1 のリセット例を、[図 7-41](#) に示します。

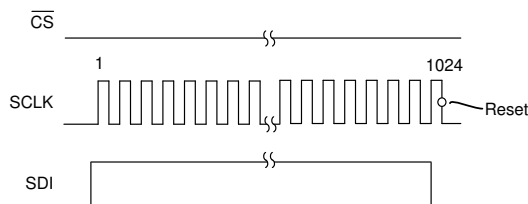


図 7-41. リセット パターン 1 (3 線式または 4 線式 SPI モード)

リセット パターン 2 は、4 線式 SPI モードでのみ使用されます。リセットのため、1024 個以上の連続した最小を入力し (最後に 0 値がない)、その後で $\overline{\text{CS}}$ を High にすると、リセットが発生します。デバイスがデイズー チェーン モードで接続されている場合は、パターン 2 を使用します。パターン 2 のリセット例を、[図 7-42](#) に示します。

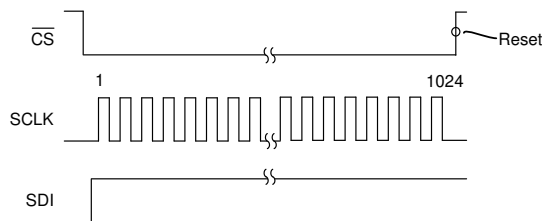


図 7-42. リセット パターン 2 (4 線式 SPI モード)

7.4.6 同期

変換は、START ピン、またはオプションとして SPI 動作により同期および制御されます。SPI 動作を使用して変換を制御する場合は、ピンとの競合を避けるため、START ピンを Low のままにします。

START ビットに 1b を書き込むと、変換が開始されます。同様に、STOP ビットに 1b を書き込むと、変換は停止します。停止動作は、STOP_BEHAVIOR[1:0] ビットを使用して構成できます。停止動作の詳細については、[シーケンサの開始と停止](#) セクションを参照してください。START と STOP ビットに同時に 1b を書き込んでも、変換処理には影響はありません。

シーケンスが開始されるとスタート ビットはクリアされるため、ビットは 0b を読み戻します。シーケンサが停止すると、ストップ ビットはクリアされます。ストップ ビットの書き込み後にシーケンサがシーケンスを完了していない場合、ユーザーは 1b を読み戻すことができます。

GPIO_CFG[1:0] ビットを使用して、ピン動作を開始するように GPIO0/START ピンを構成します。START ピンでの立ち上がりエッジは、START ビットへの書き込みと同じです。START ピンの立ち下がりエッジは、STOP ビットへの書き込みと同じです。ステップ ページは、START ビットや STOP ビットと同様に、STEP_INIT[4:0] ビットによって決定されます。パワーアップ時に START ピンが High の場合、パワーアップ サイクルの完了後にスタート動作が開始されます。詳細については、[シーケンサの開始と停止](#) セクションを参照してください。

変換中にスタートが発行されると、変換は停止して再起動します。ストップ要求が保留中の間にスタートが発行された場合 (STOP_BEHAVIOR[1:0] ごと)、ストップ要求はクリアされ、新しいスタートが開始されます。

START ピンから、または START ビットの書き込みのいずれかでスタート イベントが発生すると、変調器の準備が完了するとすぐに新しい変換が開始されます。待機時間は、ADC がアイドル モードかスタンバイモードか、データレート、フィルタ モード、そして内部設定値とユーザー設定値の組み合わせによって決まります。

ADC の同期後、最初の変換では完全にセトリングされたデータが出力されますが、通常のデータ周期に比べて遅延 (レイテンシ時間) が発生します。このレイテンシは、デジタル フィルタの完全なセトリングを考慮するために必要です。レイテンシ時間は、データレートとフィルタ モードによって異なります (フィルタのレイテンシの詳細については、[デジタル フィルタ](#) セクションを参照)。

7.4.7 変換開始の遅延時間

プログラマブル遅延時間が設けられているため、START ピンまたは START ビットがアサートされた後、および各シーケンス ステップの開始時に、変換サイクルの開始を遅延させることができます。この遅延時間により、スタンバイ モードを終了した後で電圧リファレンスなどの外部コンポーネントをセトリングさせる、またはマルチプレクサ経由で信号をスイッチングするときのセトリング時間を増やすことができます。最初の遅延時間の後で、以後の変換は遅延されません。この遅延時間のプログラム値によって、デジタル フィルタの変換レイテンシ時間の値が加算されます。シーケンス ステップごとの遅延時間を設定するには、STEPx_DELAY_MSB[7:0] および STEPx_DELAY_LSB[7:0] ビット (x = 0 ~ 31) を使用します。

7.5 プログラミング

7.5.1 シリアル インターフェイス (SPI)

シリアル インターフェイスは、変換データの読み取り、デバイスレジスタの構成、ADC 変換の制御に使用されます。

シリアル インターフェイスは 4 つのラインで構成されています。 \overline{CS} 、SCLK、SDI、SDO/ \overline{DRDY} の 4 つの信号で構成されます。専用 \overline{DRDY} ピンも利用できます。このインターフェイスはペリフェラル モード (パッシブ) で動作し、SCLK はホストによって駆動されます。このインターフェイスは、SPI モード 1 (CPOL = 0 および CPHA = 1) と互換性があります。SPI モード 1 では、SCLK はアイドル時に Low になり、SCLK の立ち上がりエッジでデータが更新され、SCLK の立ち下がりエッジでデータがラッチされます。

このインターフェイスは全二重動作をサポートしているため、入力データと出力データを同時に送信できます。また、このインターフェイスは複数の ADC をデジタイズ チェーン接続できるため、SPI 接続を簡素化できます。

7.5.2 シリアル インターフェイス信号

7.5.2.1 チップ セレクト (\overline{CS})

\overline{CS} はアクティブ Low 入力で、インターフェイスの通信をイネーブルします。通信フレームは \overline{CS} を Low にすると開始され、 \overline{CS} を High にすると終了します。 \overline{CS} を High にすると、デバイスはシフトインされた合計ビット数に関係なく、入力データの最後の 16 ビット (CRC モードでは 24 ビット) を解釈してフレームを終了します。 \overline{CS} が High のとき、SPI リセットされ、コマンドがブロックされて、SDO/ \overline{DRDY} はハイインピーダンス状態に移行します。専用 \overline{DRDY} ピンは、 \overline{CS} の状態にかかわらずアクティブ出力です。インターフェイスを 3 線式 SPI モードで動作させるには、 \overline{CS} を Low に接続することができます。

7.5.2.2 シリアル クロック (SCLK)

SCLK は、ADC との間でデータのシフトイン / シフトアウトを行うために使用されるシリアル クロック入力です。出力データは SCLK の立ち上がりエッジで更新され、入力データは SCLK の立ち下がりエッジでラッチされます。SCLK はシュミットトリガ入力で、ノイズ耐性を高めるよう設計されています。SCLK はノイズ耐性がありますが、意図しない遷移を避けるため、可能な限りノイズがないようにしてください。SCLK 入力のリンギングとオーバーシュートを避けてください。SCLK ドライバに直列終端抵抗を挿入することで、リンギングを低減できます。

7.5.2.3 シリアル データ入力 (SDI)

SDI は、シリアル インターフェイスのデータ入力です。デバイスにデータを入力するために使用されます。入力データは、SCLK の立ち下がりエッジでラッチされます。

7.5.2.4 シリアル データ出力 / データ準備完了 (SDO/ \overline{DRDY})

SDO/ \overline{DRDY} は、デュアル機能の出力ピンです。このピンは、出力データのみを供給するか、出力データとともにデータ準備完了の提示を行うようにプログラム可能です。CLK_DIGITAL_CFG レジスタの SDO_MODE ビットによってモードがプログラムされます。デュアル機能モードでは、出力データとデータ準備完了の動作が単一のピンに多重化されます。このモードでは、専用 \overline{DRDY} ピンの機能を置き換えることで、ホストとのインターフェイスに必要な SPI I/O ラインの数を減らすことができます。

出力データは、SCLK の立ち上がりエッジで更新されます。SDO/ \overline{DRDY} ピンは、 \overline{CS} が High のときにハイインピーダンス状態です。

デュアル機能モード (SDO_MODE ビット = 1b) にプログラムされ、 \overline{CS} が Low のとき、SDO/ \overline{DRDY} は SCLK の最初の立ち上がりエッジまで \overline{DRDY} ピンをミラーリングし、その時点でピンのモードが変化してデータ出力を行うようになります。データ読み取り動作が完了すると (SCLK の 24 番目の立ち下がりエッジ、または CRC および STATUS ヘッダが含まれる場合は 48 番目 番目のエッジ)、ピンは \overline{DRDY} のミラーリングに戻ります。SDO/ \overline{DRDY} の動作を、[図 7-43](#) に示します。

ADS125H18 のデュアル機能モードを使用する場合、デバイスは最初の立ち上がり SCLK で \overline{DRDY} モードから SDO モードに切り替わります。この遷移には、 $t_{p(DRDO)}$ が必要です。最初の SCLK High 期間を長くするか、すべての SCLK High 期間を長くするか、または SCLK の立ち下がりエッジ後に出力データをラッチすることによって対処する必要があります。

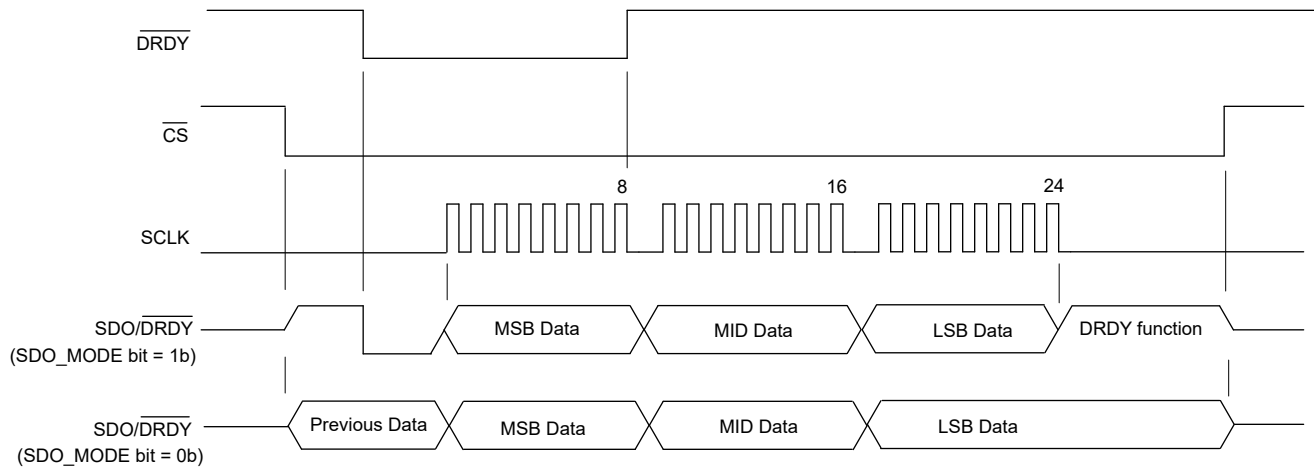


図 7-43. SDO/DRDY および DRDY 機能

図 7-43 に示されているように、出力データのためのモード $\text{SDO_MODE} = 0b$ の場合、ホストが SDO で最後のデータがシフトアウトされた後に余分な SCLK パルスを送信しない場合は、SDO は送信された最後のビットのレベルのままになります。ホストが、最後のデータがシフトアウトされた後に追加の SCLK パルスを送信すると、SDO は Low に移ります。図 7-44 に、追加の SCLK パルスを使用した SDO 動作のタイミング図を示します。

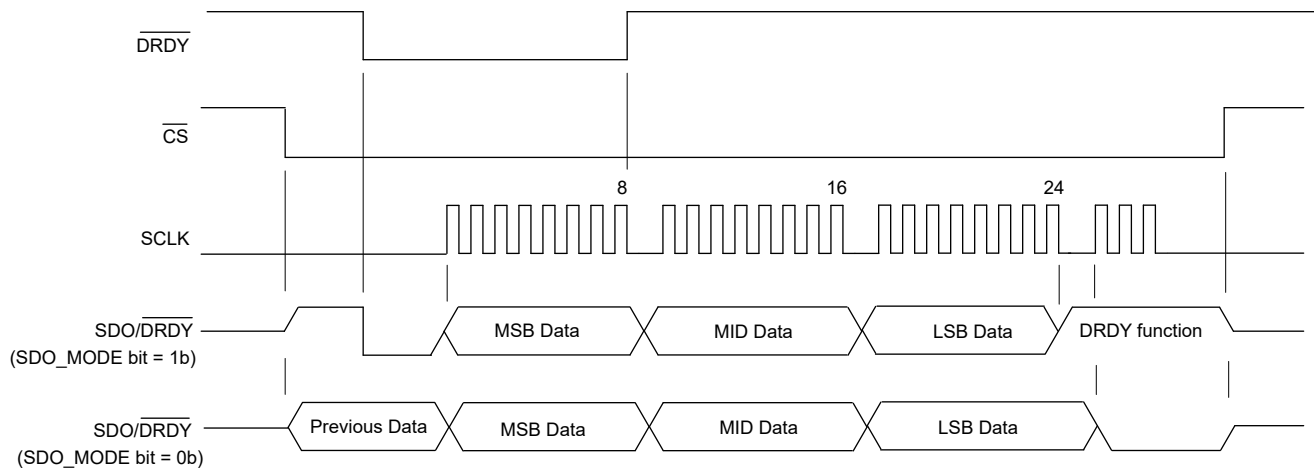


図 7-44. 追加の SCLK パルスを使用した SDO/DRDY および DRDY 機能

7.5.2.5 データ準備完了 (DRDY) ピン

DRDY は、データ準備完了の出力信号ピンです。ADS125H18 において、このピンはデュアル機能出力ピンで、機能ブロック図およびピン構成および機能セクションで DRDY/GPIO1 と記載されています。このピンは、汎用入出力として動作するか、データ準備完了の表示を行うようにプログラム可能です。デフォルトでは、このピンは DRDY 信号として動作します。表記を簡素化するため、本ドキュメントの残りの部分では、このピンを DRDY/GPIO1 ピンではなく DRDY ピンと表記しています。

DRDY は、変換が開始された、または再同期されたとき High に駆動され、変換データが準備完了したとき Low に駆動されます。図 7-43 に示すように、DRDY は変換データ読み取り時の 8 番目の SCLK 立ち下がりエッジで再び High に駆動されます。変換データが読み取られない場合、次の立ち下がりエッジの直前に DRDY パルスが High になります。ADC がスタンバイモード (STBY_MODE ビット = $1b$) に移行するようにプログラムされると、DRDY は再び High に駆動されます。これは Low に遷移してから 3 ~ 4 f_{CLK} サイクル後です。DRDY は、CS が High か Low かにかかわらずアクティブ出力です。

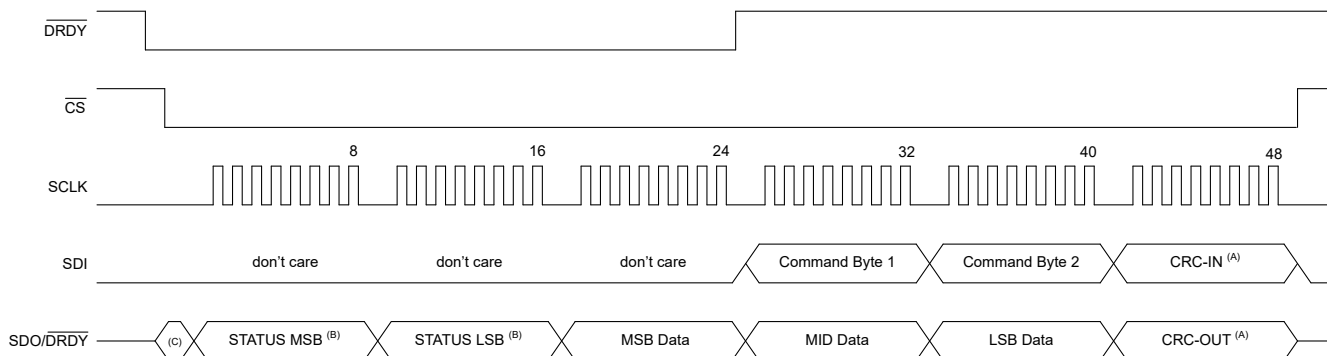
DRDY の動作の詳細については、DRDY ピンの動作セクションを参照してください。

7.5.3 シリアル インターフェイス通信構造

7.5.3.1 SPI フレーム

シリアル インターフェイスによる通信は、フレームの概念に基づいています。フレームは、データのシフト インまたはシフト アウトに必要な、規定された数の SCLK で構成されます。フレームは $\overline{\text{CS}}$ を Low にすると開始され、 $\overline{\text{CS}}$ を High にすると終了します。 $\overline{\text{CS}}$ を High にすると、デバイスは、シフトインされるデータの量にかかわらず、入力データの最後の 16 ビット (CRC モードでは 24 ビット) を解釈します。

このインターフェイスは全二重です。つまり、インターフェイスは SDO でデータを送信すると同時に、SDI でデータを受信できます。通常は、入力フレームが出力フレームのサイズと一致するように、必要に応じて入力フレームを先行 0 でパディングします。ただし、全二重モードでデータの送受信を行わない場合、入力データ フレームは最小サイズの 16 ビット (CRC モードでは 24 ビット) でもかまいません。図 7-45 に、代表的な通信フレームの構造を示します。この例では、変換データが SDO ピンでシフトアウトされます。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
B. オプションの STATUS ヘッダ。STATUS が無効なら、フレームは 2 バイト短くなります。
C. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、SDO/DRDY の状態は前回の状態のまま保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-45. 代表的な通信フレーム

表 7-49 に示されているように、出力フレーム サイズは、オプションの STATUS ヘッダ (2 バイト) と CRC バイトによって異なります。ADC の電源投入またはリセット後のデフォルトの出力フレーム サイズは 24 ビットです。3 線式 SPI モードでは、同期を維持するために、入力フレームが SPI の出力フレームのサイズと一致している必要があります。

表 7-49. 出力フレームのサイズ

分解能	ステータス ヘッダ	CRC バイト	フレーム サイズ
24 ビット	なし	なし	24 ビット
24 ビット	なし	あり	32 ビット
24 ビット	あり	なし	40 ビット
24 ビット	あり	あり	48 ビット

連続読み取りモードを使用できます。このモードでは、 $\overline{\text{CS}}$ の遷移なしに任意の数のレジスタ データまたは FIFO データを取得でき、追加データに対応するためにフレームが拡張されます。詳細については、[連続読み取りモード](#) セクションを参照してください。連続読み取りモードでは、出力フレームサイズは無制限で

7.5.3.2 STATUS ヘッダー

ADS125H18 は、SDO の各フレームの最初の 2 バイトとして、オプションの STATUS ヘッダを出力します。STATUS ヘッダは、DIAG_MONITOR_CFG レジスタの STATUS_EN ビットを設定すると有効化されます。16 ビット STATUS ヘッダは、STATUS_MSB[7:0] と STATUS_LSB[7:0] レジスタ ビットを連結したものです。故障フラグ、ステータスフラグ、変換

カウンタ、シーケンス ステップ インジケータは、すべてこれらのビットの一部です。詳細については、[レジスタ マップ](#) セクションのそれぞれのレジスタビットの説明を参照してください。

- **SPI_CRC_FAULTn** および **REG_WRITE_FAULTn** などの通信関連の故障フラグは、常に前の **SPI** フレームで発生した故障を示します。これらの故障フラグは、次の **SPI** フレームのために自動的にクリアされます。
- デバイス関連のその他すべての故障フラグおよびステータス フラグは、現在の **SPI** フレームが開始されたときのデバイスの状態を示します。
- 一部のフラグは、**ADC_REF_FAULTn**、**FIFO_FAULTn**、**INTERNAL_FAULTn** フラグなど、他のステータス レジスタのフラグのロジック **or** の組み合わせを表します。それぞれの下位レベル ステータス レジスタのいずれかのビットが設定されると、これらのビットが更新されます。これらのビットをクリアするには、下位レベルのステータス レジスタのすべてのビットをクリアする必要があります。
- 上記の通信関連の故障フラグを除くすべての故障フラグはラッチされます。つまり、故障状態が解消されても、これらの故障フラグは自動的に **1b** にリセットされず、ホストによりクリアされる必要があります。
- 変換カウンタおよびシーケンス ステップ カウンタは、現在の **SPI** フレームで出力されるデータの数を示します。変換カウンタは新しい変換ごとにインクリメントし、シーケンス ステップ カウンタは、どのシーケンス ステップが現在実行されているかを示します。

7.5.3.3 SPI の CRC

SPI の巡回冗長性検査 (**CRC**) は、ホスト コントローラとの間の送信エラーを検出するために使用される検査コードです。ホストは **SDI** 経由で **ADC** 入力データとともに **CRC-IN** バイトを送信し、デバイスは **SDO** 経由で出力データとともに **CRC-OUT** バイトを送信します。**SPI CRC** を有効するには、**SPI_CRC_EN** ビットを使用します。さらに、**STATUS_EN** ビットを使用して **STATUS** ヘッダの送信を有効にすることで、**SPI** 入力 **CRC** 故障の発生を通知として受け取ることができます。

CRC-IN コードは、ホストによって 2 つのコマンド バイトにおいて計算されます。フレームの先頭にパディングされる入力バイトは、**CRC-IN** の計算に含まれません。**ADC** は、入力コマンドの **CRC-IN** コードを、2 つの受信入力コマンド バイトについて計算された内部コードと比較してチェックします。**CRC-IN** コードが一致しない場合、コマンドは実行されず、**STATUS_LSB** バイトの **SPI_CRC_FAULTn** ビットが **0b** に設定されます。

STATUS ヘッダの一部として **SPI_CRC_FAULTn** ビットが出力され、前のフレームで **CRC** エラーが発生したことを即座に示します。次の **SPI** フレームで **SPI_CRC_FAULTn** ビットは、現在のフレームに **SPI CRC** エラーがないと仮定して自動的にクリアされます。

出力 **CRC** コードの計算に使用されるバイト数は、**SDO** のフレームで送信されるデータ バイトの数によって異なります。出力 **CRC** の計算に使用されるバイト数を、[表 7-50](#) に示します。

表 7-50. 出力 CRC でカバーされるデータ

アクション	ステータス ヘッダ イネーブル	バイト数	ビット数と説明
変換データの読み取り	なし	3	24 ビットの変換データ
レジスタ データの読み取り	なし	3	8 ビットのレジスタ データ + 8 ビットのアドレス バイト + 8 ビットの 00h パディング
変換データの読み取り	あり	5	16 ビットの STATUS ヘッダ + 24 ビットの変換データ
レジスタ データの読み取り	あり	5	16 ビットの STATUS ヘッダ + 8 ビットのレジスタ データ + 8 ビットのアドレスワード + 8 ビットの 00h パディング

CRC コード計算は、**CRC** 多項式を使用した可変長引数のビット単位排他論理和 (**XOR**) 演算の 8 ビットの剰余です。**CRC** は **CRC-8-ATM (HEC)** 多項式: $X^8 + X^2 + X^1 + 1$ に基づいています。この多項式には、9 つの係数として 100000111。**CRC** 計算は、**SDI** および **SDO/DRDY** が High または Low に固着した場合にエラーを検出するため、すべて 1 に初期化されます。

[図 7-46](#) に、**CRC** 計算を視覚的に示します。**CRC** の値は、次の手順で計算します。

- 8 ビットシフトレジスタをプリロードします。このレジスタには、CRC 多項式 (07h) に対応する位置に XOR ブロックが配置され、シード値 FFh を使用してプリロードします。
- すべてのデータビットを最上位ビット (MSB) から順にシフトし、各ビットの後にシフトレジスタ値を再計算します。
- すべてのデータビットがシフトインされた後に結果として得られるシフトレジスタの値が、計算された CRC 値になります。

ここでダウンロードできるサンプル C コードには、潜在的な CRC 実装が含まれています。

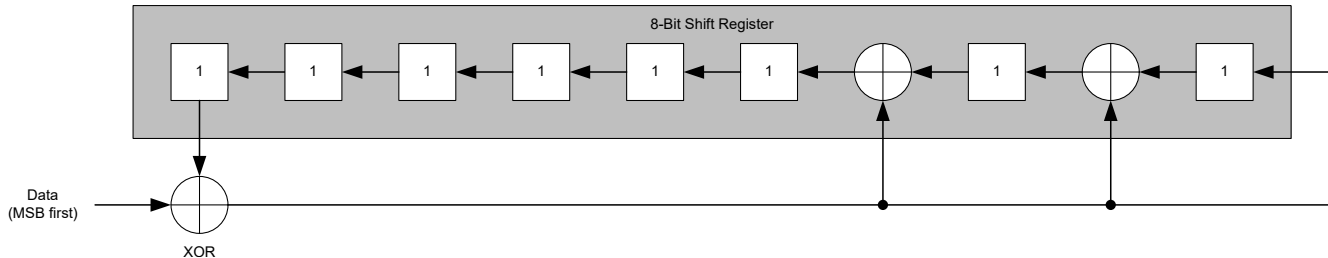


図 7-46. CRC 計算の視覚的な表現

7.5.4 デバイスのコマンド

レジスタのデータの読み書きのため、または FIFO バッファからの読み取りのためにコマンドが使用されます。**Register Map** は一連の 1 バイト (8 ビット) レジスタで構成され、読み取りおよび書き込み操作でこれらのレジスタにアクセスできます。入力コマンドシーケンスの最小フレーム長は 16 ビット (CRC モードでは 24 ビット) です。必要に応じて、入力コマンドシーケンスは、出力データフレームの長さに合わせるため、先頭に 0 をパディングできます。CRC モードでは、デバイスはフレームの末尾にある CRC-IN バイトの前の 2 バイトをコマンド バイトとして解釈します。ADS125H18 のデバイス コマンドを、表 7-51 に示します。

表 7-51. SPI コマンド

説明	BYTE 1	BYTE 2	BYTE 3 (オプションの CRC-IN バイト)
動作なし (変換データの読み取り)	00h	00h	D7h
レジスタ読み取りコマンド	40h + アドレス[5:0]	未使用	バイト 1 とバイト 2 の CRC-IN
レジスタ書き込みコマンド	80h + アドレス[5:0]	レジスタ データ	バイト 1 とバイト 2 の CRC-IN
FIFO バッファ読み取りコマンド	0Fh	未使用	バイト 1 とバイト 2 の CRC-IN

このデバイスは、標準のコマンド長よりも長い特殊な拡張長ビット パターンをサポートしています。これらのパターンは、ADC のリセットおよび 3 線式 SPI モードにおけるフレームのリセットに使用されます。拡張ビット パターンについては、「SPI の入力パターンによるリセット」と「3 線式 SPI モード」の説明を参照してください。

7.5.4.1 無動作

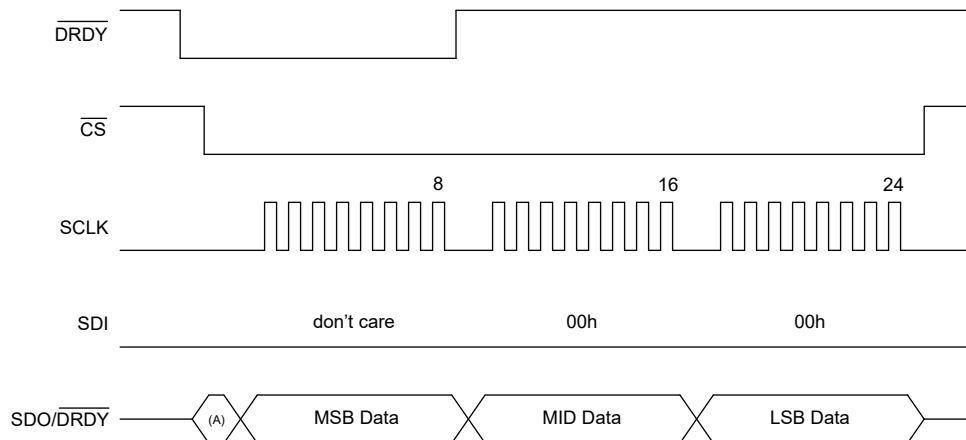
無動作コマンドは、バイト 00h と 00h です。入力コマンドが不要な場合は、このコマンドを使用します。SPI CRC チェックがイネーブルなら、CRC バイトが必要です (バイト 3)。これは、00h と 00h のバイトでは常に D7h です。SDI はデータのリードバック中に低く保持できますが、CRC モードでは STATUS_LSB フラグの SPI_CRC_FAULTn ビットが 0b。変換データの読み取り中に SPI_CRC_FAULTn フラグを無視でき、新しい SPI フレームごとに自動的に 1b にクリアされます。

7.5.4.2 変換データの読み取り

変換データは、 \overline{CS} を Low にし、SCLK を適用してデータを直接シフトアウトすることで読み取ります (コマンドは使用しません)。変換データはバッファされるため、次の \overline{DRDY} 立ち下がりがエッジの前に、最大 1 f_{MOD} クロック サイクルまでデータを読み取ることができます。変換データは、次の変換データが準備できるまで複数回読み取ることができ、破損することはありません。レジスタ読み取りコマンドが前のフレームで送信されると、変換データはレジスタ データに置き換えられます。

$\overline{\text{DRDY}}$ は、変換データの読み取り時 (つまり、変換データの MSB バイトの送信が完了したとき) に、8 番目の SCLK 立ち下がりエッジで High に戻ります。

図 7-47 に、STATUS バイトと CRC バイトが無効のときに 24 ビットの変換データを読み取る例を示します。

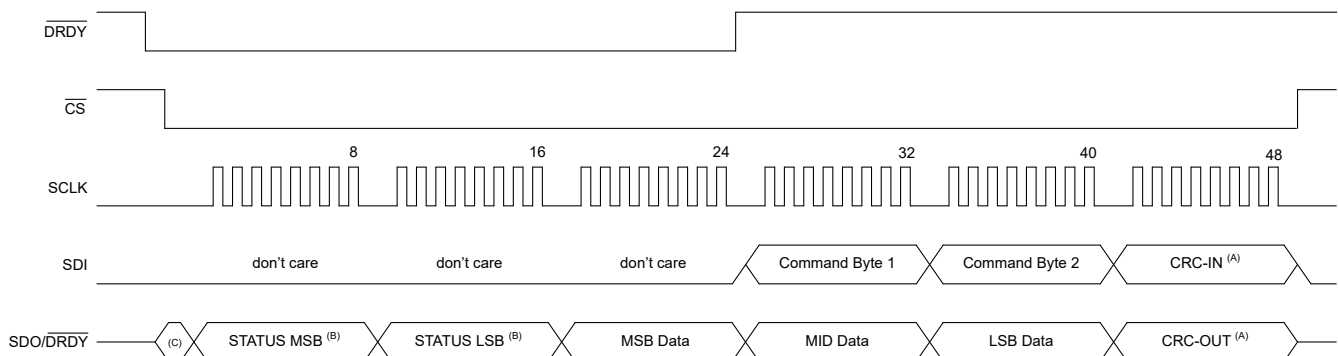


- A. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、 $\text{SDO}/\overline{\text{DRDY}}$ の状態は前回の状態のまま保持されます。それ以外の場合、 $\text{SDO}/\overline{\text{DRDY}}$ は $\overline{\text{DRDY}}$ に従います。

図 7-47. 変換データの読み取り、24 ビットのフレーム サイズ

図 7-48 は、STATUS ヘッダと CRC バイトが含まれているときの変換データの読み取り動作の例です。この例は、オプションの全二重伝送を使用し、変換データの出力と同時にレジスタ コマンドを入力できるようにする方法も示しています。入力コマンドが必要ない場合、入力バイトは 00h、00h、D7h です。出力の CRC (CRC-OUT) コードの計算には、STATUS ヘッダが含まれます。

$\overline{\text{DRDY}}$ は、変換データの MSB バイトの送信が完了すると、24 番目の SCLK 立ち下がりエッジで High に戻ります。これは、データが完全に読み取られない場合にも当てはまります。たとえば、変換データの MSB バイトの送信後、フレームの終了前に読み取り動作が停止した場合です。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
B. オプションの STATUS ヘッダ。STATUS が無効なら、フレームは 2 バイト短くなります。
C. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、 $\text{SDO}/\overline{\text{DRDY}}$ の状態は前回の状態のまま保持されます。それ以外の場合、 $\text{SDO}/\overline{\text{DRDY}}$ は $\overline{\text{DRDY}}$ に従います。

図 7-48. 変換データの読み取り、48 ビットのフレーム サイズ

変換データは、 $\overline{\text{DRDY}}$ と非同期に読み取ることができます。ただし、 $\overline{\text{DRDY}}$ の立ち下がりエッジの近くで変換データを読み取った場合、以前のデータと新しいデータのどちらが出力されるかは不確定です。SCLK のシフト動作が、 $\overline{\text{DRDY}}$ の立ち下がりエッジよりも少なくとも 1 f_{MOD} クロック サイクル前に開始すると、古いデータが提供されます。シフト動作が、

$\overline{\text{DRDY}}$ の少なくとも $1 f_{\text{MOD}}$ クロック サイクル後に開始すると、新しいデータが出力されます。いずれの場合も、データは破損していません。STATUS_MSB ヘッダの DRDY ビットは、データが古い (以前に読み取られたデータ、DRDY = 0b) か、新しい (DRDY = 1b) かを示します。

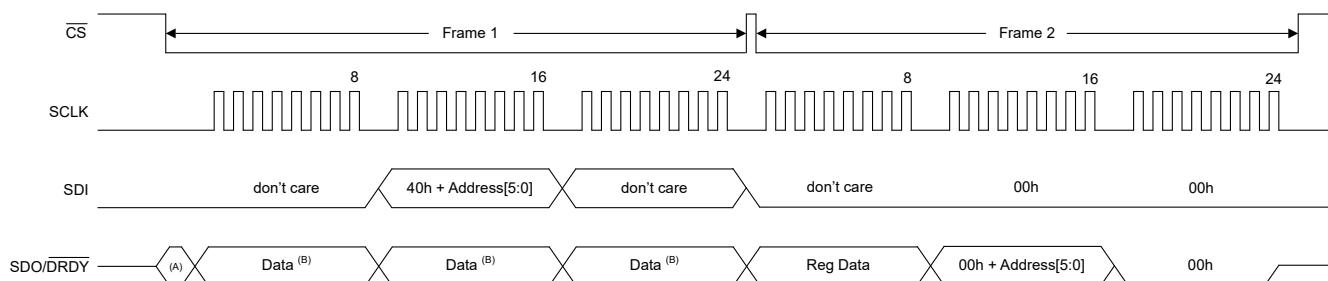
7.5.4.3 レジスタ読み取りコマンド

レジスタ読み取りコマンドは、レジスタのデータの読み取りに使用されます。このコマンドは 2 つのフレーム プロトコルに従い、読み取りコマンドが 1 つのフレームで送信され、ADC は応答として、次のフレームでレジスタのデータを送信します。コマンドの最初のバイトは、6 ビットのレジスタ アドレスにベース コマンド値 (40h) を追加したものです。2 番目のコマンドバイトの値は任意ですが、最初のバイトとまとめて CRC が計算されます。デバイスは、有効なアドレス範囲外のレジスタからの読み取る場合、レジスタ データとして 00h を出力します。レジスタのデータ形式は、最上位ビットが最初です。

図 7-49 に、24 ビットの出力フレーム サイズを使用してレジスタのデータを読み取る例を示します。フレーム 1 はコマンドフレーム、フレーム 2 はデータ応答フレームです。 $\overline{\text{CS}}$ を High にすると、フレームは分割されます。データ応答フレームは、要求されたレジスタのデータ バイトを返し、その後にレジスタ アドレス表示バイトと、24 ビット フレームを完了するための 00h のパディング バイトを返します。6 ビットのレジスタ アドレスは、レジスタ アドレス表示バイトの中で右揃えされます (MSB 位置で 00b がパディングされます)。必要に応じて、データ バイトの後に $\overline{\text{CS}}$ を High にすることで、データ応答フレームを短縮することができます。

有効なアドレス範囲外のレジスタ アドレスから読み取ると、レジスタ アドレス表示バイトのアドレス FFh が返され、エラーを示します。

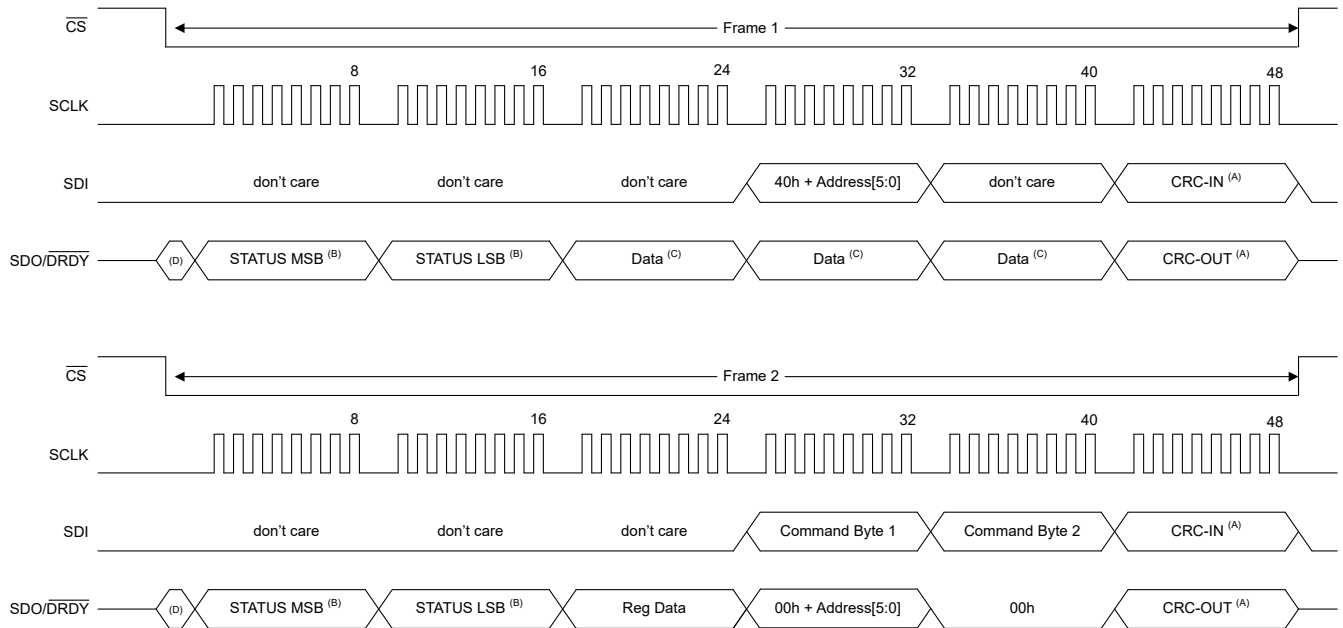
複数のレジスタを読み取るとき、全二重動作を選択できます。この動作では、前のレジスタのデータ応答フレーム中に次のレジスタの読み取りコマンドを入力することで、レジスタ読み取り動作のスループットを 2 倍にできます。



- A. 最初の SCLK より前の SDO/DRDY の以前の状態。
- B. データが 24 ビットの変換データの場合、または前のフレームでレジスタ読み取りコマンドが送信された場合、データフィールドはレジスタ データ バイト + アドレス表示バイト + 00h パディングです。

図 7-49. レジスタ データの読み取り、24 ビットのフレーム サイズ

図 7-50 に、全二重動作で 48 ビットのフレーム サイズを使用するレジスタ読み取り動作の例を示します。フレーム 1 では、読み取りレジスタ コマンドが入力されると同時に変換データが出力されます (しかし、前のフレームが読み取りレジスタ コマンドでない場合)。入力コマンドには、出力データ フレームの長さと一致するように、3 つの無意味なバイトがパディングされます。パディングされた入力バイトは、CRC-IN コードの計算から除外されます。フレーム 2 は、前のレジスタのデータ出力と同時に実行される次のコマンドの入力を示します。CRC-OUT コードには、データ出力フレーム内のすべての先行バイトが含まれています。STATUS_LSB ヘッダの SPI_CRC_FAULTn ビットは、SPI CRC エラーが発生したかどうか、およびレジスタ読み取りコマンドが受け付けられたかどうかを示します。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
- B. オプションの STATUS ヘッド。STATUS が無効なら、フレームは 2 バイト短くなります。
- C. 直前の動作内容に応じて、データフィールドは変換データ、またはレジスタ データ バイト + アドレス 表示バイト +00h のパディングのいずれかになります。
- D. 最初の SCLK より前の SDO/DRDY の以前の状態。

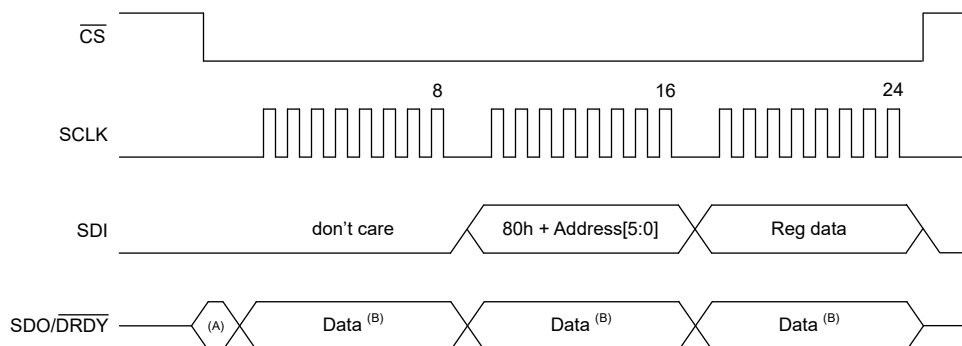
図 7-50. レジスタ データの読み取り、48 ビットのフレーム サイズ

7.5.4.4 レジスタ書き込みコマンド

書き込みレジスタ コマンドは、レジスタ データの書き込みに使用されます。レジスタ書き込みの動作は、単一のフレームで実行されます。コマンドの最初のバイトは、6 ビットのレジスタ アドレスに追加されたベース値 (80h) です。コマンドの 2 番目のバイトはレジスタのデータです。

有効なアドレス範囲外のレジスタへの書き込みは無視され、エラーが発生したことを示すため、STATUS_LSB バイトの REG_WRITE_FAULTn ビットが Low に設定されます。

図 7-51 に、24 ビットのフレーム サイズを使用するレジスタ書き込み動作の例を示します。複数のレジスタを同時に構成する (このとき、変換データは無視できます) 場合、スループットを向上させるために最小の 16 ビットのフレーム サイズを使用できます。

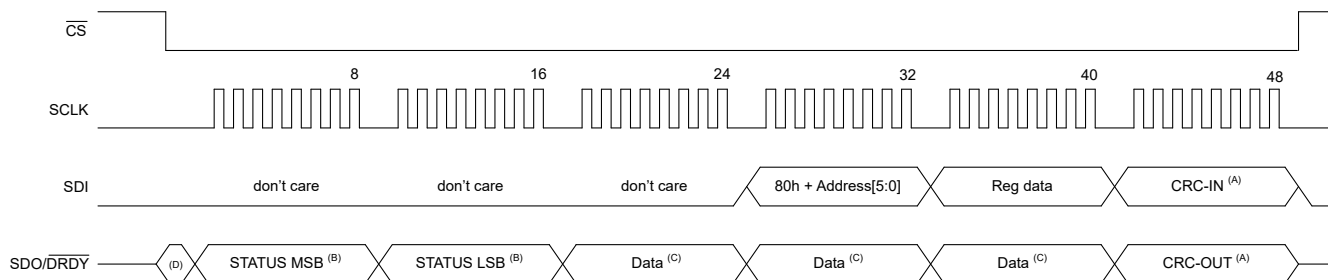


- A. 最初の SCLK より前の SDO/DRDY の以前の状態。

- B. データが変換データの場合、または前のフレームでレジスタ読み取りコマンドが送信された場合、データフィールドはレジスタ データ バイト + アドレス表示バイト + 00h パディングです。

図 7-51. レジスタ データの書き込み、24 ビットのフレーム サイズ

図 7-52 に、48 ビットのフレーム サイズを使用したレジスタ書き込み動作の例を示します。全二重動作で、コマンドの入力と変換データの出力が同時に行われることも示しています。入力フレームには、出力フレームと一致するよう先頭に 2 つの未使用バイトが付加されているため、すべての変換データ バイトが送信されます。レジスタのデータの読み戻し、または STATUS_LSB バイトの SPI_CRC_FAULTn ビットで入力バイトの CRC エラーをチェックすることで、書き込み動作が正常に行われたことが検証されます。SPI CRC 入力エラーが発生した場合、SPI_CRC_FAULTn が Low に設定されます。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
B. オプションの STATUS ヘッダ。STATUS が無効なら、フレームは 2 バイト短くなります。
C. 変換データの場合、または前のフレームでレジスタ読み取りコマンドが送信された場合、データフィールドはレジスタ データ バイト + アドレス表示バイト + 00h パディングです。
D. 最初の SCLK より前の SDO/DRDY の以前の状態。

図 7-52. レジスタ データの書き込み、48 ビットのフレーム サイズ

7.5.4.5 FIFO バッファ読み取りコマンド

読み取り FIFO バッファ コマンドは、FIFO バッファ データを読み取るために使用されます。このコマンドは 2 フレームのプロトコルに従っており、1 つ目のフレームで読み取りコマンドを送信し、次のフレームで ADC が FIFO バッファ データを返します。コマンドの最初のバイトは、FIFO バッファ読み取りコマンド値 (0Fh) です。2 番目のコマンド バイトの値は任意ですが、最初のバイトとまとめて CRC が計算されます。

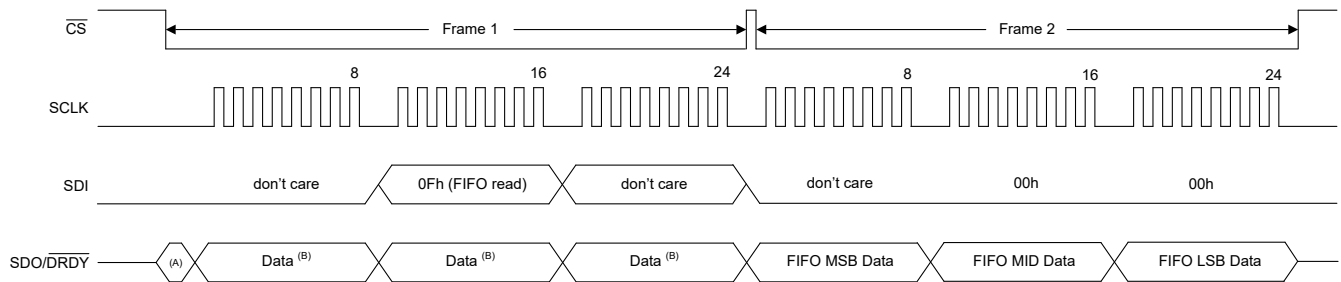
FIFO バッファの読み取りおよび書き込みセクションで説明しているように、FIFO バッファの読み取りポインタは、読み取るデータワードの FIFO 内のメモリ位置を定義します。たとえば、ステータスと一般設定ページにある FIFO_DEPTH[8:0] ビットは FIFO バッファの深さを示し、格納されていて読み出し可能な変換結果の数を表します。FIFO バッファ動作の詳細については、「**FIFO バッファの読み取りおよび書き込み**」セクションを参照してください。

FIFO が無効な場合、FIFO 読み取りで取得される各変換データ バイトは 00h を読み取ります。

24 ビットのフレーム サイズを使用して FIFO データを読み取る例を、図 7-53 に示します。フレーム 1 はコマンド フレーム、フレーム 2 はデータ応答フレームです。CS を High にすると、フレームは分割されます。データ応答フレームは、FIFO データを返します。

複数の FIFO バッファ アドレスを読み取る場合、前回の読み取り FIFO コマンドに対するデータ応答フレーム中に次の FIFO 読み取りコマンドを入力することで、フルデュプレックス動作を使用して FIFO 読み取り処理のスループットを 2 倍にできます。または、複数の FIFO アドレスを効率的に読み取るための連続読み取りモードを使用することもできます。詳細については、**連続読み取りモード**セクションを参照してください。

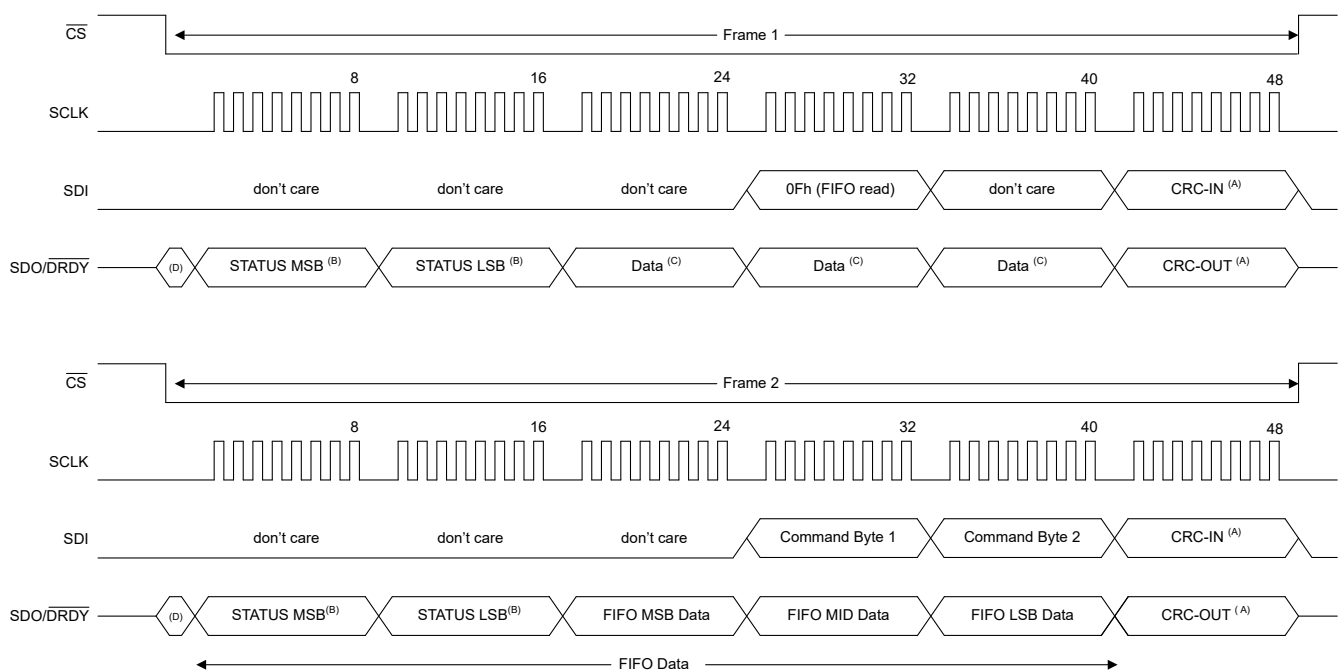
FIFO からデータを繰り返し読み取る場合は、デバイスが次のデータを準備するのを待ちます。シーケンシャル読み取り FIFO トランザクションまたはシーケンシャル連続読み取り FIFO トランザクションを実行する場合、トランザクションは互いに後続する形で $t_{d(FIFORD)}$ を開始する必要があります。



- A. 最初の SCLK より前の SDO/DRDY の以前の状態。
B. データは 24 ビットまたは ビットの変換データですが、直前のフレームでレジスタ読み出しコマンドが送信された場合は、データフィールドは「レジスタ データ バイト + アドレス バイト + 00h のパディング」となります。

図 7-53. FIFO バッファデータの読み取り、24 ビットのフレーム サイズ

図 7-54 は、フルデュプレックス動作において、48 ビットのフレーム サイズを使用した FIFO バッファ読み出し動作の例を示しています。フレーム 1 では (直前のフレームがレジスタ読み出しコマンドでない場合)、FIFO 読み取りコマンドの入力と同時に変換データが出力されます。入力コマンドには、出力データ フレームの長さと同じように、3 個の無意味なバイトがパディングされます。パディングされた入力バイトは、CRC-IN コードの計算から除外されます。フレーム 2 では、FIFO データの出力と同時に、次のコマンドが入力されます。CRC-OUT コードには、データ出力フレーム内のすべての先行バイトが含まれています。STATUS_LSB ヘッダの SPI_CRC_FAULTn ビットは、SPI CRC エラーが発生したかどうか、また読み取り FIFO コマンドが受け付けられたかどうかを示します。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
B. オプションの STATUS ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。
C. 直前の動作内容に応じて、データフィールドは変換データ、またはレジスタ データ バイト + アドレス バイト + 00h のパディングのいずれかになります。
D. 最初の SCLK より前の SDO/DRDY の以前の状態。

図 7-54. FIFO バッファデータの読み取り、48 ビットのフレーム サイズ

FIFO 読み取りコマンド中に返される STATUS ヘッダは、ADC 変換時に FIFO に格納された STATUS ビットと、FIFO 読み取り動作時に一般構成ページの STATUS レジスタに格納された STATUS ビットを組み合わせたものです。表 7-52 は、FIFO から取得されるビット フィールドと、ステータスおよび一般設定ページの STATUS レジスタから読み取られるビット フィールドを定義します。

表 7-52. FIFO 読み取り中の STATUS ビットの取得

ステータス ワード	ステータス ビット (フィールド)	読み取り
STATUS_MSB	STEP_INDICATOR[4:0]	FIFO
	ADC_REF_FAULTn	FIFO
	RESETn	STATUS レジスタ
	DRDY	STATUS レジスタ
STATUS_LSB	CONV_COUNT[3:0]	FIFO
	FIFO_FAULTn	STATUS レジスタ
	INTERNAL_FAULTn	STATUS レジスタ
	REG_WRITE_FAULTn	STATUS レジスタ
	SPI_CRC_FAULTn	STATUS レジスタ

7.5.5 連続読み取りモード

ADS125H18 は連続読み取りモードを備えています。連続読み取りモードでは、 \overline{CS} の遷移なしに任意の数のレジスタ データまたは FIFO データを取得でき、追加データに対応するためにフレームが拡張されます。これにより、大量のデータを読み取る処理が簡素化され、 \overline{CS} ラインを制御するマイコン ペリフェラルのオーバーヘッドが低減されます。

CLK_DIGITAL_CFG レジスタの CONT_READ_EN ビットを設定すると、連続読み取りモードが有効になります。SPI は、CONT_READ_EN ビットを 0b から 1b に変更した SPI フレームの次のフレームから、連続読み取りモードに切り替わります。

CONT_READ_EN ビットを 0b にリセットすると、SPI はデフォルト / 単一読み取りモードに戻ります。

7.5.5.1 連続読み取りモードでの変換データの読み取り

連続読み取りモードでは、[変換データの読み取り](#)セクションに示す変換データの読み取り動作と同じコマンド フォーマットとクロック供給をサポートします。ただし、変換データの読み取り間に \overline{CS} トグルがないため、変換データの読み取り動作間に待ち時間がないためです。

図 7-55 に、2 つの連続した変換結果を「N」および「N+1」で読み取る例を示します。このとき、ステータス ヘッダと CRC バイトがディスエーブルになります。この例では、変換結果 N (最初の 24 SCLK パルス) の読み取り中に新しい変換結果 N+1 が完了し、25 番目と番目のクロック サイクルの前に \overline{DRDY} 信号が Low に遷移していることを示しているように、この新しい変換結果が次の読み取りの時間に使用可能になります。そのため、2 回目の読み取り動作は、変換結果 N+1 を返します。CLKIN のクロックと SCLK のクロックの相対タイミングに応じて、次の読み取り動作に新しい変換結果を使用できる場合があります。

この例では、連続読み取りモードで 2 つの連続した変換結果 N と N+1 を読み取りますが、追加のクロック周期で \overline{CS} を low に保持している場合は、任意の数の変換結果を読み取ることができます。

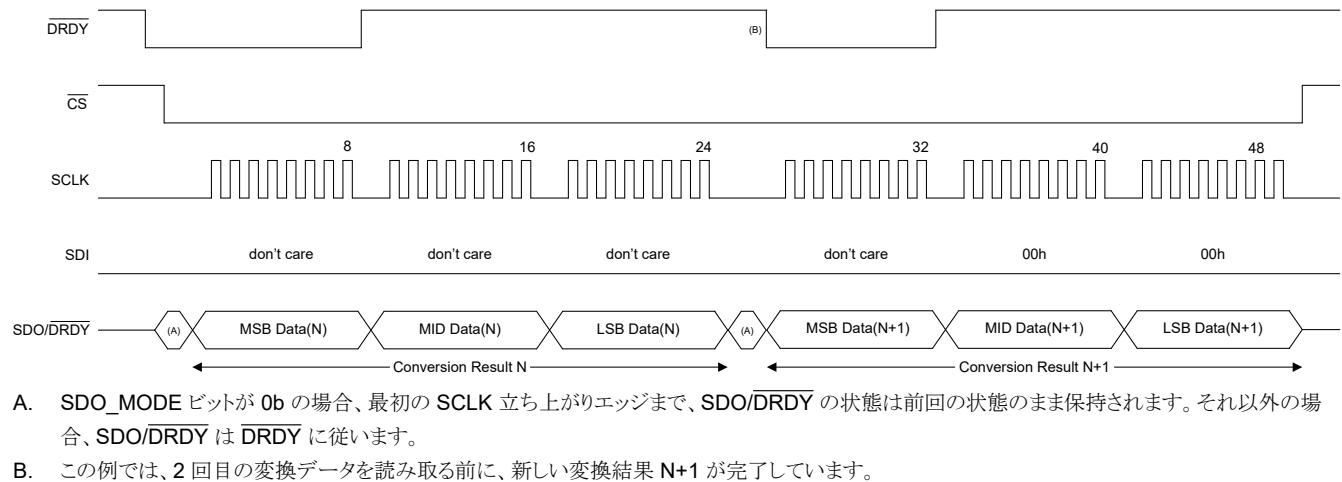


図 7-55. 連続読み取りモード、STATUS および CRC ディスエーブルでの変換データの読み取り — 新しい変換結果が利用可能

STATUS バイトと CRC バイトがディスエーブルの状態、連続読み取りモードで変換データを読み取り、新しい変換データが完了していない場合の例を、[図 7-56](#) に示します。この場合、2 回目の変換データ読み取り操作は、同じ変換結果「N」を返します。

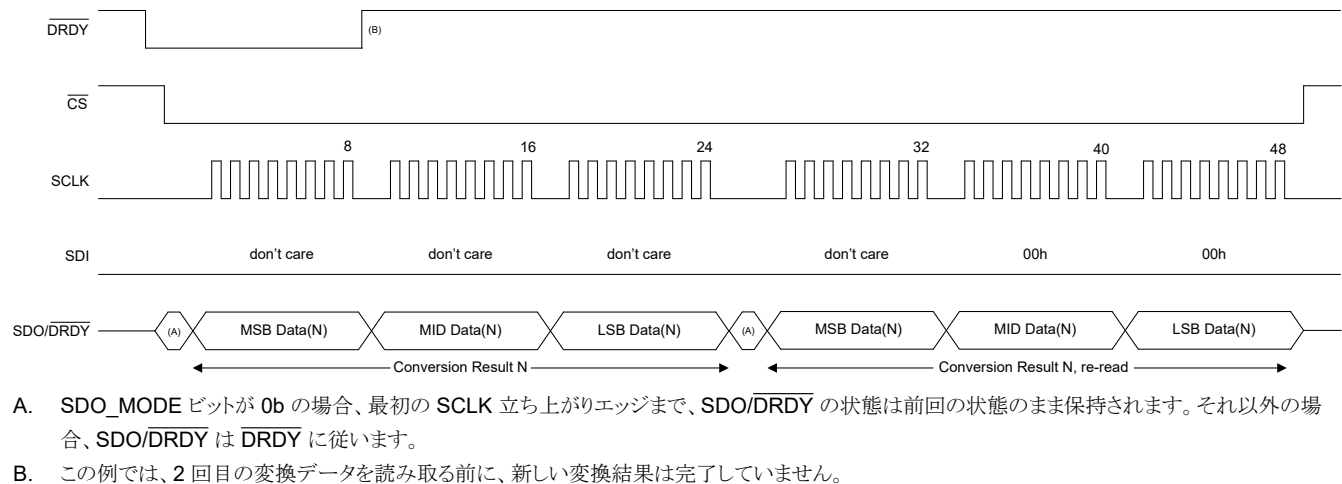
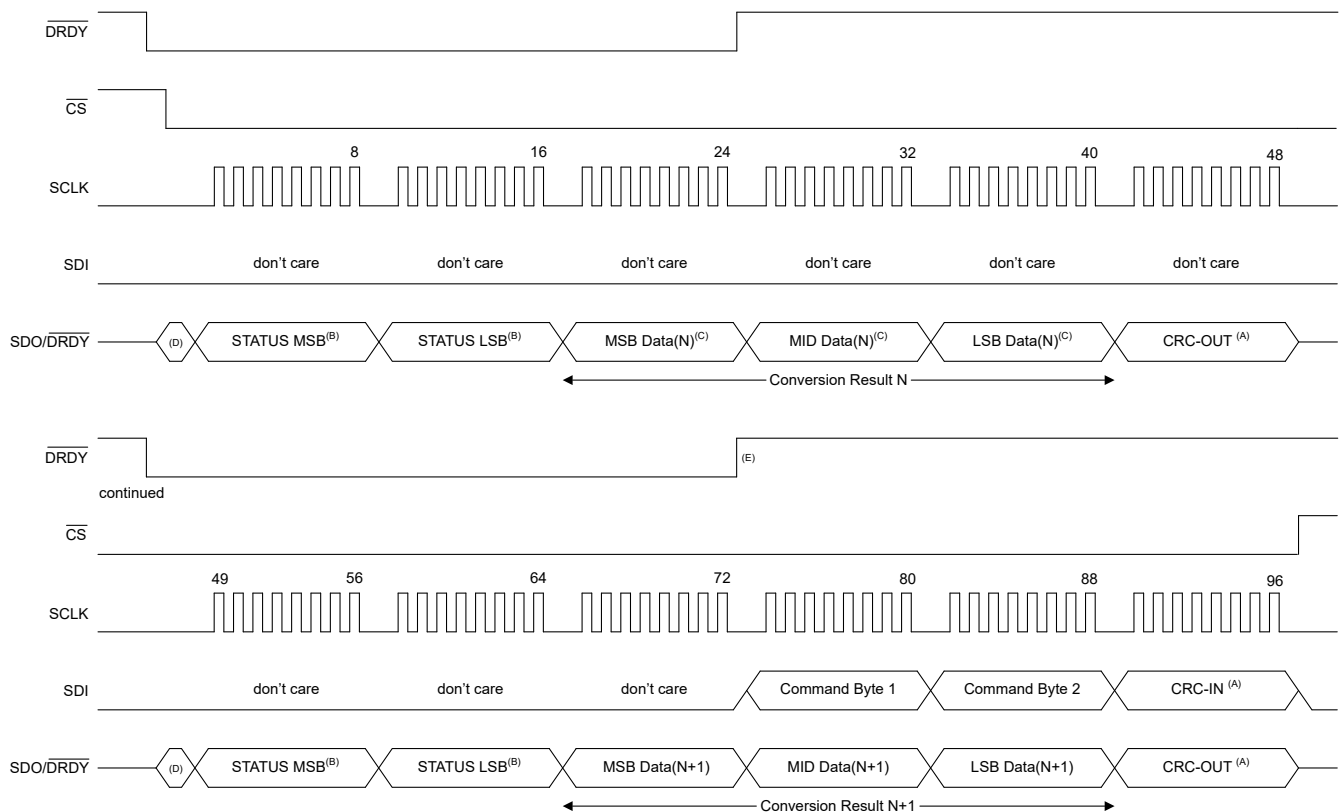


図 7-56. 連続読み取りモード、STATUS および CRC ディスエーブルでの変換データの読み取り — 新しい変換結果は利用不可

[図 7-57](#) に、STATUS ヘッダと CRC バイトを含む、連続読み取りモードでのデータ読み取り動作の例を示します。この例では、変換データを出力すると同時にコマンドを入力する、オプションの全二重動作も示しています。

この例では、変換結果「N」の読み取り中に新しい変換結果「N + 1」が完了し、49 番目の 番目のクロック サイクル前に DRDY 信号が Low に遷移していることが示されているように、この新しい変換結果が次の読み取りの時点で利用可能になりました。そのため、2 回目の読み取り動作は、変換結果 N+1 を返します。CLKIN のクロックと SCLK のクロックの相対タイミングに応じて、次の読み取り動作に新しい変換結果を使用できる場合があります。

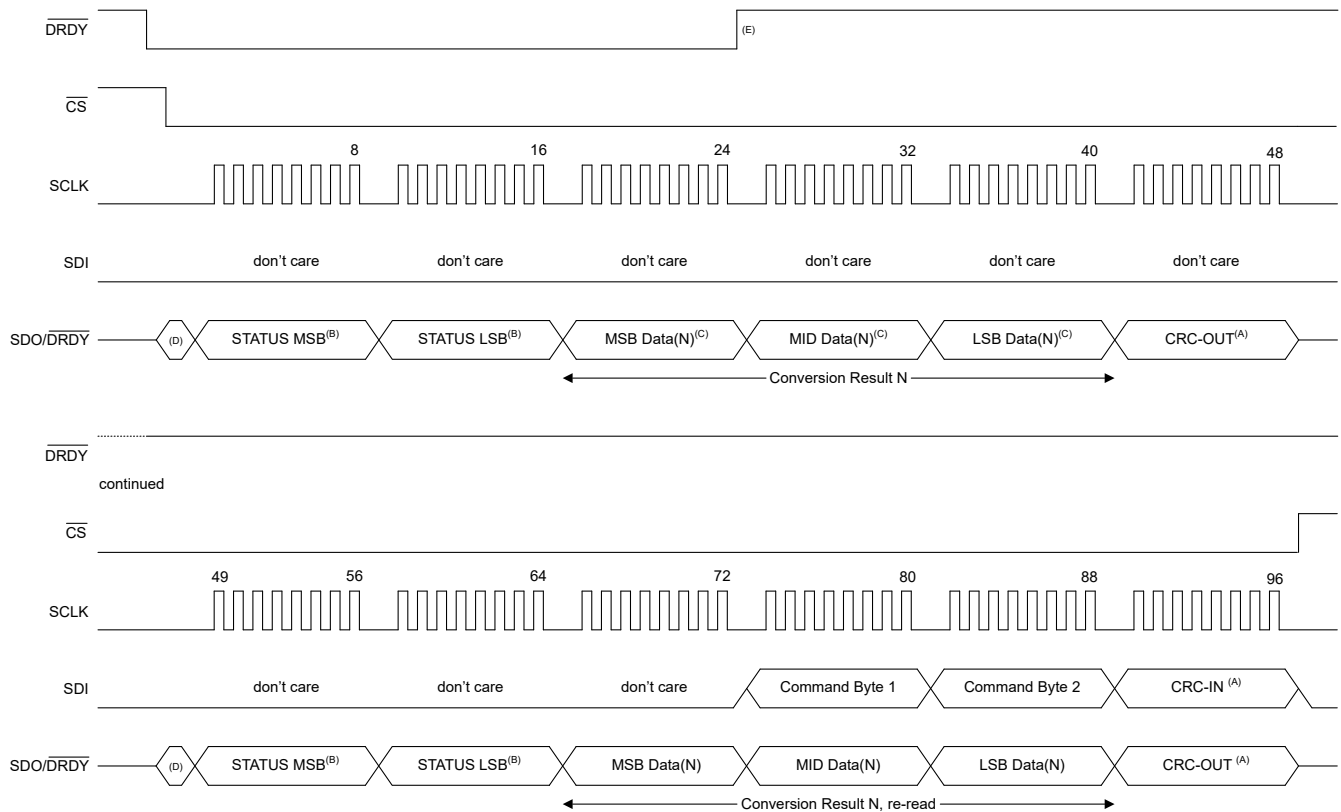
この例では、連続読み取りモードで 2 つの連続した変換結果 N と N+1 を読み取りますが、追加のクロック周期で CS を low に保持している場合は、任意の数の変換結果を読み取ることができます。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
- B. オプションの STATUS ヘッダ。STATUS ヘッダが無効の場合、フレームはそれに応じて短くなります。
- C. 直前の動作内容に応じて、データフィールドは変換データ、またはレジスタ データ バイト + アドレス バイト +00h のパディングのいずれかになります。
- D. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、SDO/DRDY の状態は前回の状態のまま保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。
- E. この例では、2 回目の変換データを読み取る前に、新しい変換結果 N+1 が完了しています。

図 7-57. 連続読み取りモードでの変換データの読み取り、ステータス、CRC がイネーブル - 新しい変換結果が利用可能

図 7-58 は、STATUS ヘッダおよび CRC バイトを有効にした連続読み取りモードで 2 つの変換結果を読み取る例を示しています。ただし、最初の読み取り中には新しい変換データは完了していません。この場合、2 回目の変換データ読み取り操作は、同じ変換結果「N」を返します。



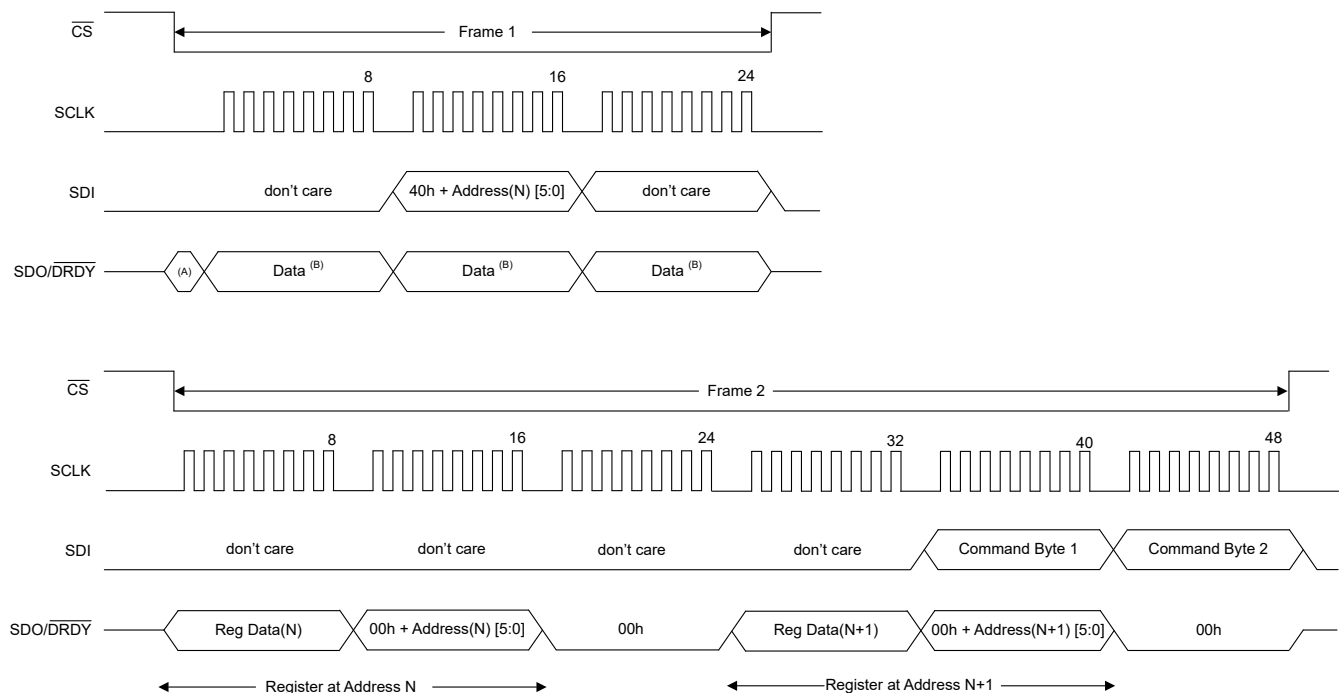
- A. オプションの CRC バイト。CRC がディスエーブルなら、フレームは 1 バイト短くなります。
- B. オプションの STATUS ヘッダ。STATUS ヘッダが無効の場合、フレームはそれに応じて短くなります。
- C. 直前の動作内容に応じて、データフィールドは変換データ、またはレジスタ データ バイト + アドレス バイト +00h のパディングのいずれかになります。
- D. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、SDO/DRDY の状態は前回の状態のまま保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。
- E. この例では、2 回目の変換データを読み取る前に、新しい変換結果は完了していません。

図 7-58. 連続読み取りモードでの変換データの読み取り、ステータス、CRC がイネーブル - 新しい変換結果は利用できません

7.5.5.2 連続読み取りモードでのレジスタの読み取り

連続読み取りモードでは、[レジスタ読み取りコマンド](#)セクションで説明されているように、同じコマンド フレームを使用してレジスタのデータを読み取ります。データ応答フレームは、CS が High に戻されたタイミングに応じて、1 つまたは複数のレジスタ データ バイトを返します。最初のレジスタ データ バイトは、コマンド フレームで指定されたアドレスから読み出されます。その後、後続のレジスタ読み取りごとに、レジスタ アドレスは自動的に 1 ずつインクリメントされます。これは、次のレジスタ アドレスが無効なレジスタを指している場合にも当てはまります。有効なアドレス範囲外のレジスタに対する応答は、データ バイトが 00h、アドレス インジケータ バイトが FFh となります。

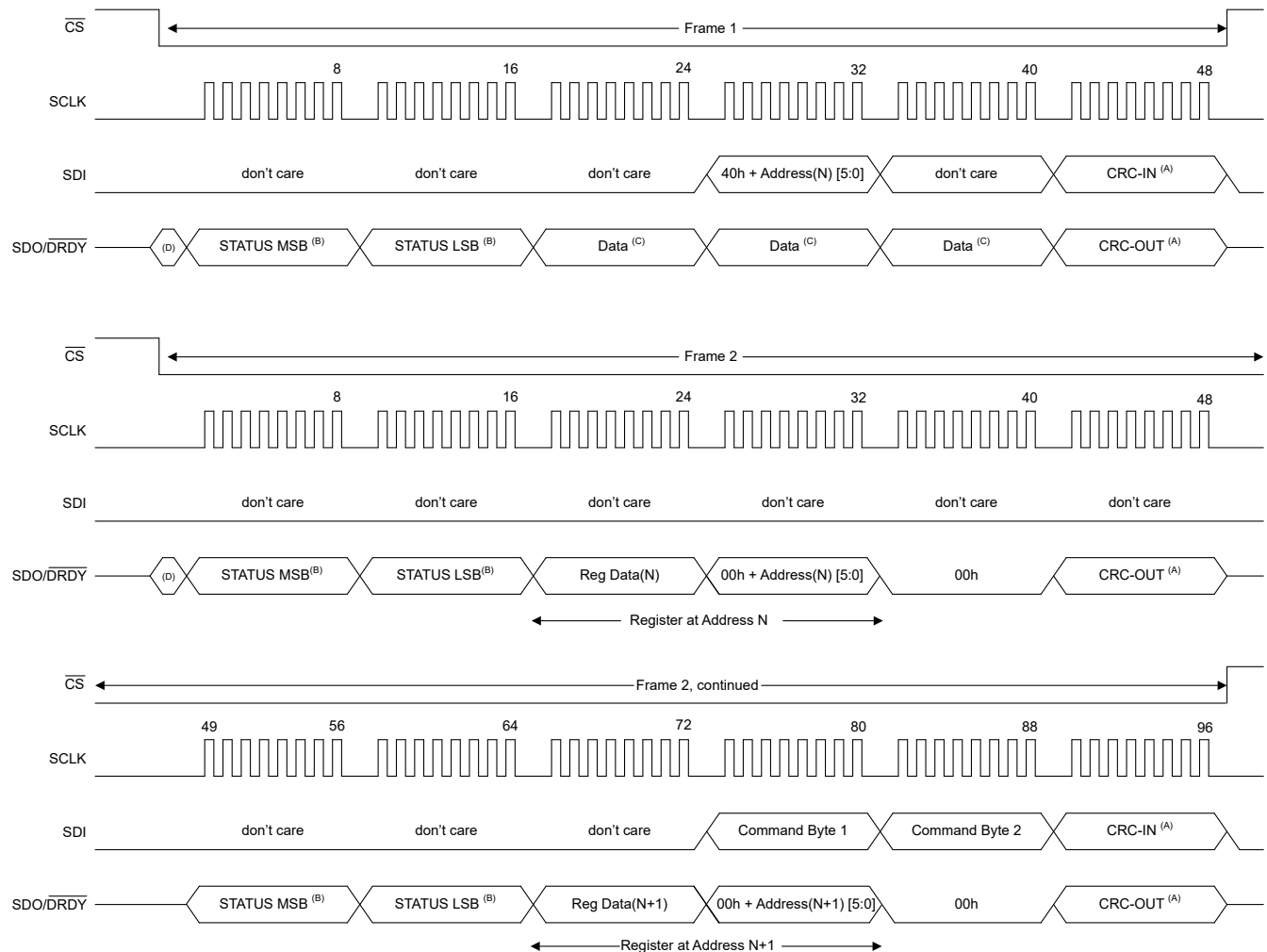
STATUS バイトと CRC バイトがディスエーブルのときに、連続読み取りモードでレジスタ データを読み取る例を、[図 7-59](#)に示します。この例では、2 つの連続するレジスタ N および N+1 の読み出しを示していますが、追加のクロック周期で CS を Low に保持すると、任意の数のレジスタを読み出すことができます。



- A. 最初の SCLK より前の SDO/DRDY の以前の状態。
 B. 直前の動作内容に応じて、データフィールドは変換データ、またはレジスタ データ バイト + アドレス バイト + 00h のパディングのいずれかになります。

図 7-59. 連続読み取りモード、STATUS ヘッダ、CRC バイト無効な場合のレジスタ データの読み取り

図 7-60 は、STATUS ヘッダおよび CRC バイトが有効な場合の連続読み取りモードにおけるレジスタ読み取り動作の例を示します。入力および出力フレームでは、[レジスタ読み取りコマンド](#)セクションで説明しているように、データ フレーム プロトコルと一致するために、無意味なバイトと 00h のパディング バイトが使用されます。この例では、2 つの連続するレジスタ N および N+1 の読み出しを示していますが、追加のクロック周期で $\overline{\text{CS}}$ を Low に保持すると、任意の数のレジスタを読み出すことができます。



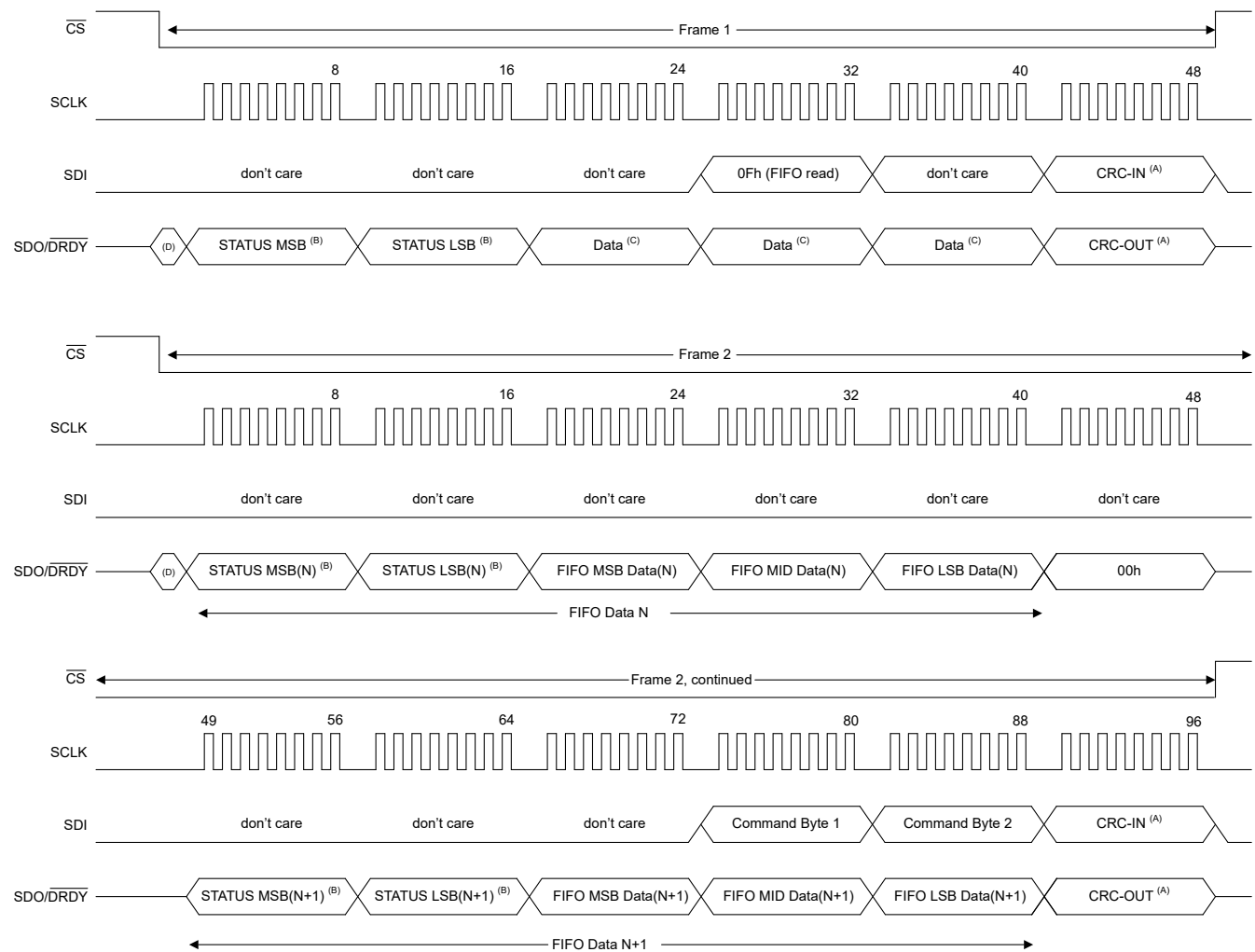
- A. オプションの CRC バイト。CRC が無効な場合、フレームは 1 バイト短くなります。
- B. オプションの STATUS バイト。STATUS が無効になっている場合、フレームは 2 バイト短くなります。
- C. 直前の動作内容に応じて、データフィールドは変換データ、またはレジスタ データ バイト + アドレス バイト + 00h のパディングのいずれかになります。
- D. 最初の SCLK より前の SDO/DRDY の以前の状態。

図 7-60. 連続読み取りモード、STATUS ヘッダ、CRC バイト有効な場合のレジスタ データの読み取り

7.5.5.3 連続読み取りモードでの FIFO バッファの読み取り

FIFO バッファ読み取りコマンド セクションに説明されているように、連続読み取りモードでは、同じコマンド フレームを使用して FIFO データを読み取ります。データ応答フレームは、 $\overline{\text{CS}}$ が High に戻されるタイミングに応じて、1 つまたは複数の FIFO アドレスの FIFO データを返します。**FIFO バッファの読み取りおよび書き込み** セクションに説明されているように、FIFO バッファの読み取りポインタは、読み取るデータ ワードの FIFO 内のメモリ位置を定義します。FIFO バッファの動作に関する詳細については、**FIFO バッファの読み取りおよび書き込み** セクションを参照してください。連続読み取りモードでは、応答フレーム内で後続の FIFO バッファ読み取りごとに、FIFO バッファ読み取りポインタが自動的に 1 ずつインクリメントします。

図 7-61 に、STATUS ヘッダと CRC バイトが有効のときの連続読み取りモードでの FIFO バッファの読み取り動作の例を示します。この例では、連続する 2 つの FIFO アドレス N と N+1 からデータを読み取る方法を示していますが、 $\overline{\text{CS}}$ を Low に保ったまま SCLK の周期を延長することで、任意の数の FIFO アドレス位置からデータを読み取ることができます。



- A. オプションの CRC バイト。CRC が無効の場合、フレームは 1 バイト短くなります。CRC-OUT はフレーム全体をカバーします。
- B. オプションの STATUS ヘッダ。STATUS が無効の場合、FIFO アドレスの読み取りごとにフレームが 2 バイト短くなります。
- C. 直前の動作内容に応じて、データフィールドは変換データ、またはレジスタ データ バイト + アドレス バイト +00h のパディングのいずれかになります。
- D. 最初の SCLK より前の SDO/ $\overline{\text{DRDY}}$ の以前の状態。

図 7-61. 連続読み取りモード、STATUS ヘッダと CRC バイト イネーブルでの FIFO バッファ データの読み取り

FIFO 読み取りコマンド中に返される STATUS ヘッダは、ADC 変換時に FIFO に保存される STATUS ビットと、FIFO 読み取り動作時に全般構成ページ STATUS レジスタに保存される STATUS ビットの組み合わせです。詳細については、[FIFO バッファ読み取りコマンド](#) セクションを参照してください。

7.5.6 POR またはリセット後の SPI 通信

デバイスの電源投入時、またはデバイスがリセット状態に保持されている間、ユーザー レジスタはデフォルト値にリセットされ、SDO/DRDY ピンはハイ インピーダンス状態になり、DRDY ピンが low に駆動されます。パワーアップまたはリセット後、SDO/DRDY ピンは出力専用モード (SDO_MODE = 0b) となり、CS が high の間はハイインピーダンス状態になります。また、DRDY/GPIO1 ピンは DRDY モードになります。図 7-62 および図 7-63 に示すように、POR が解除されると DRDY ピンは high を出力し、デバイスが通信可能な状態であることを示します。デバイスは、電源投入後に SPI 通信 t_{POR} 、リセット後に t_{REGACQ} を行う準備ができています。

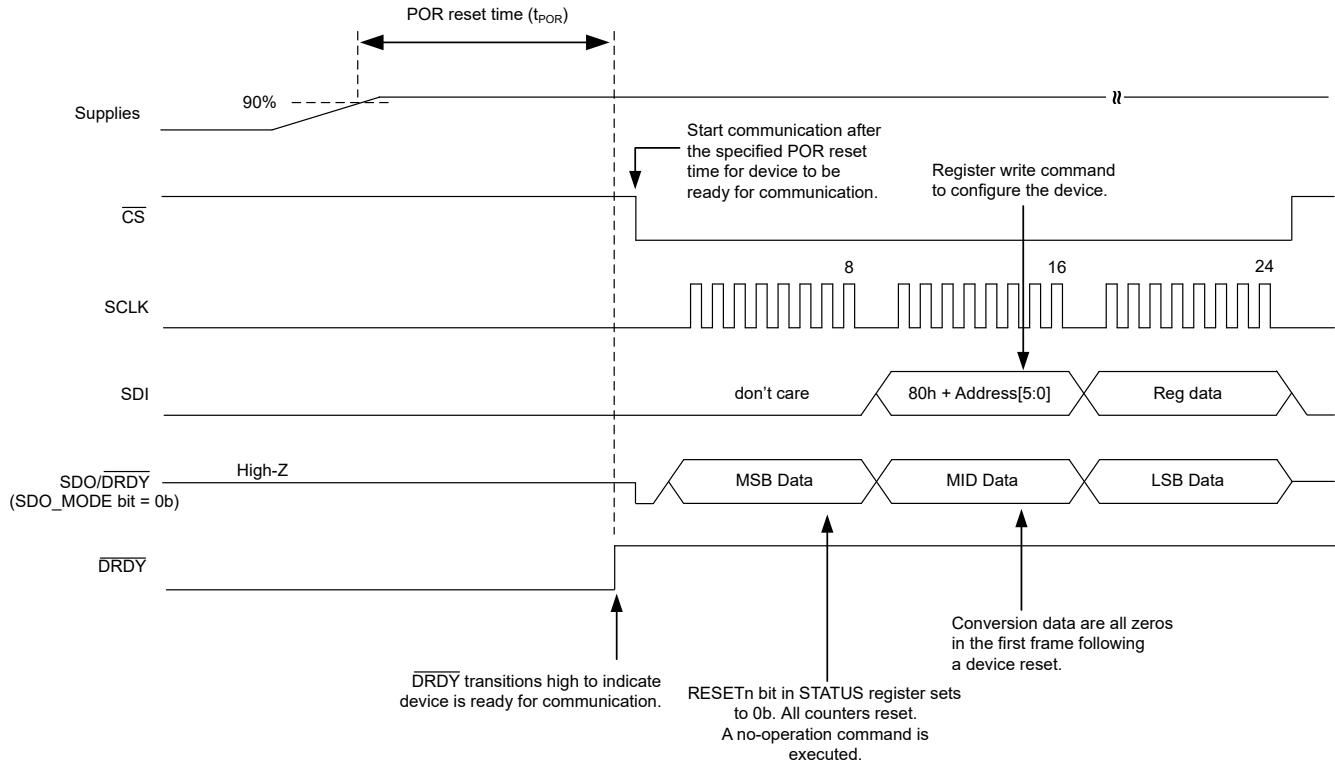


図 7-62. パワー オン リセット後の SPI 通信

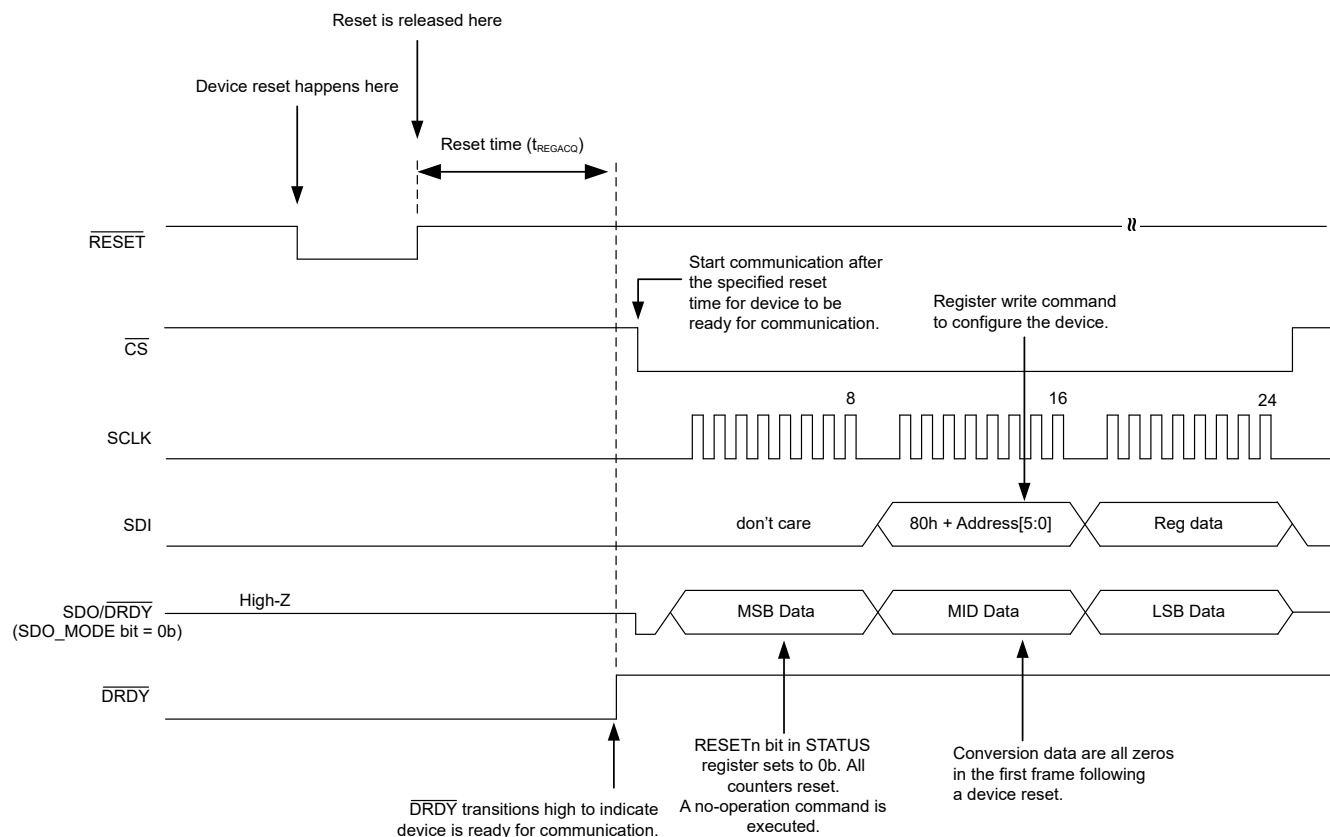


図 7-63. リセット後の SPI 通信

7.5.7 $\overline{\text{DRDY}}$ ピンの動作

このセクションでは、さまざまなシナリオにおける $\overline{\text{DRDY}}$ ピンの動作について詳しく説明します。すべての場合において、 $\text{DRDY_CFG}[1:0]$ ビットは **00b** にリセットされます。新しい変換データが完了すると、 $\overline{\text{DRDY}}$ は **Low** に遷移します。新しい変換が完了した時点で $\overline{\text{DRDY}}$ が **Low** の場合、 $\overline{\text{DRDY}}$ は $t_{\text{W(DRH)}}$ の期間 **high** に駆動し、その後 $\overline{\text{DRDY}}$ は立ち下がります (図 7-65 および図 7-67 を参照)。

このデバイスは、変換データ **N** の読み取り中に新しい変換 **N+1** が完了すると、データの破損を防止します。変換データ **N+1** は、変換データ **N** の読み出しが完了するまで、内部バッファに保持されます。以下のフレームでは、変換データ **N+1** が **SDO** 出力バッファにロードされます。このケースでは、変換データ **n** が読み出された後も、 $\overline{\text{DRDY}}$ は **high** に遷移しません。これは、新しい変換データ **n+1** が読み出し可能であることを示します (図 7-67 を参照)。

STATUS ヘッダーが無効であると仮定すると、変換データの読み取り (図 7-64) 中に、 $\overline{\text{DRDY}}$ は 8 番目の **SCLK** 立ち下がりエッジで **High** に遷移します。8 番目の **SCLK** よりも前に $\overline{\text{CS}}$ が **high** に駆動された場合、 $\overline{\text{DRDY}}$ は **low** のままで、変換データが読み取られなかったことを示します (図 7-65 および図 7-66 を参照)。

図 7-66 に、新しい変換が完了するまで、同じ変換データを複数回読み取ることができることを示しています。変換カウンタ (**STATUS_LSB** レジスタの **CONV_COUNT[3:0]** ビット) は、同じデータが再度読み出されたのか、または新しいデータが読み出されたのかを示します。

図 7-68 は、変換 **N+2** が完了する前にホストがデータを読み出さない場合、変換データ **N+1** が失われることを示しています。この状況にある場合、変換カウンタは、ホストが中間変換結果の読み取りを見逃しているかどうかを検出するのに役立ちます。

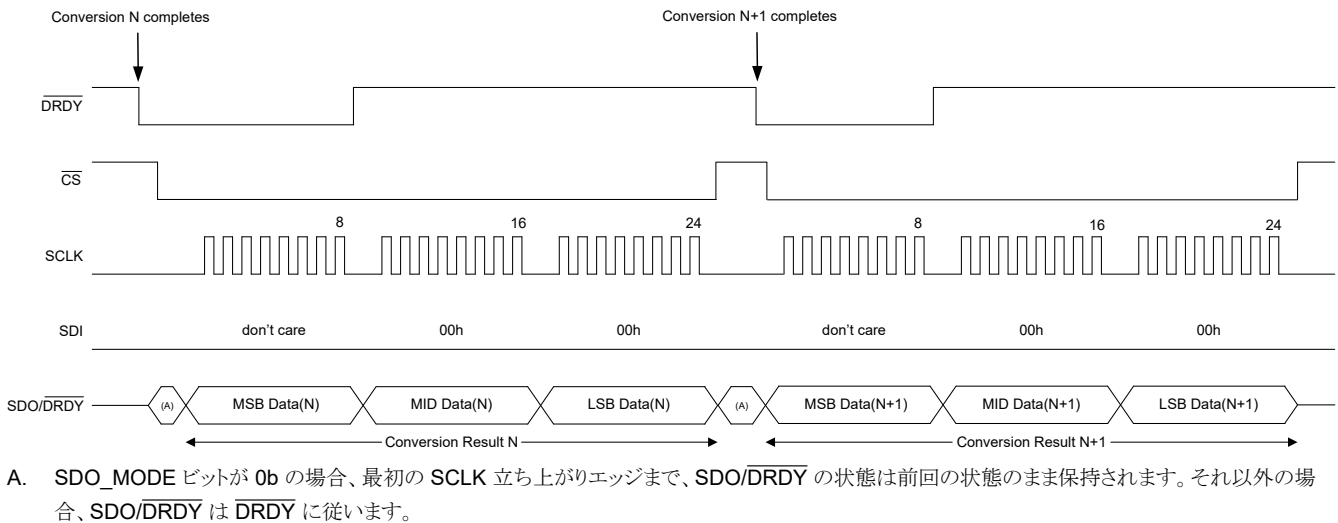
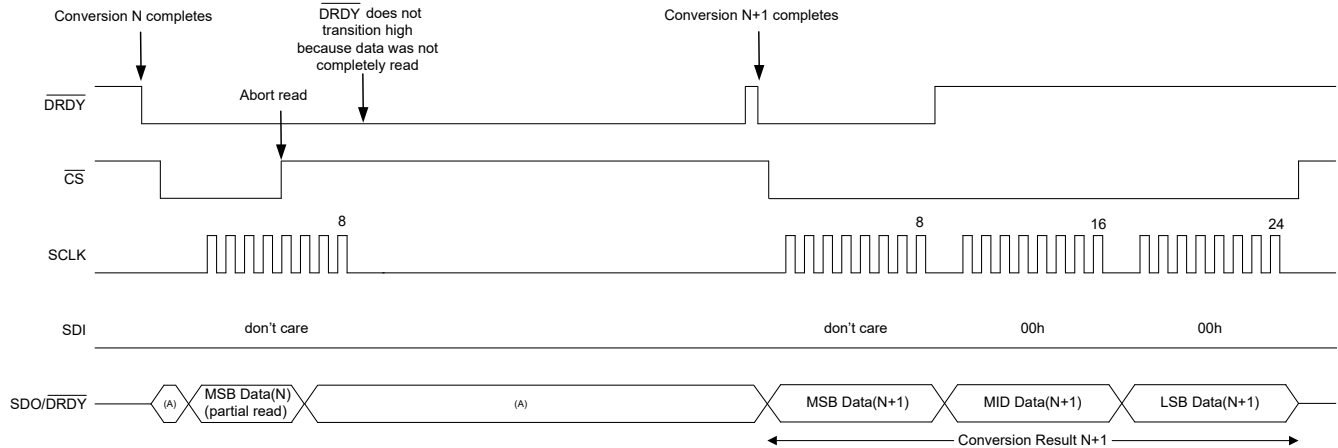
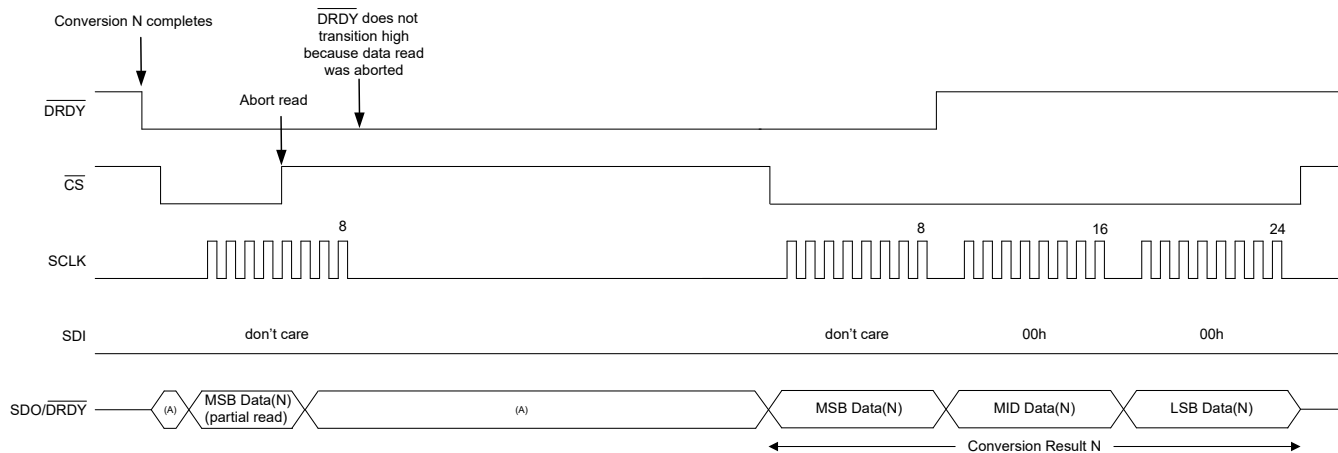


図 7-64. $\overline{\text{DRDY}}$ ピンの動作：新しい変換が完了する前に変換データを読み取り



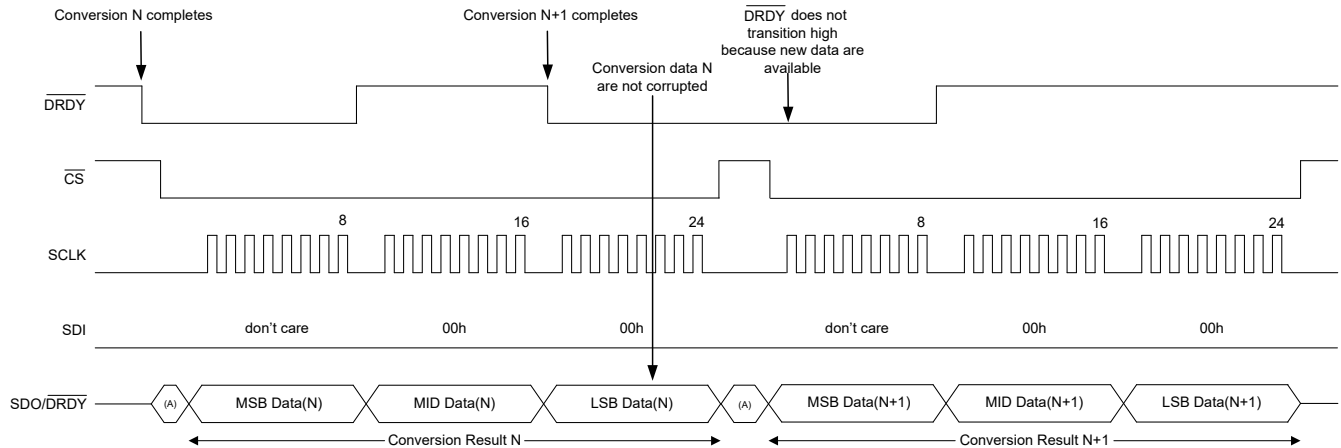
- A. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、SDO/DRDY の状態は前回の状態のまま保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-65. DRDY ピンの動作：新しい変換が完了する前の変換データの読み取りが未完了



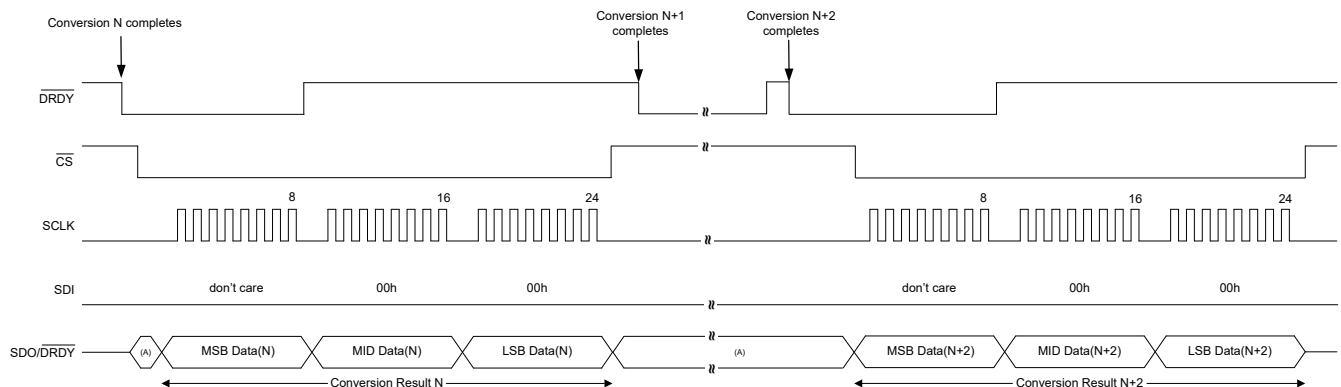
- A. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、SDO/DRDY の状態は前回の状態のまま保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-66. DRDY ピンの動作：変換データの読み取りが不完全で、同じ変換データの読み取りが完了する



- A. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、SDO/DRDY の状態は前回の状態のまま保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

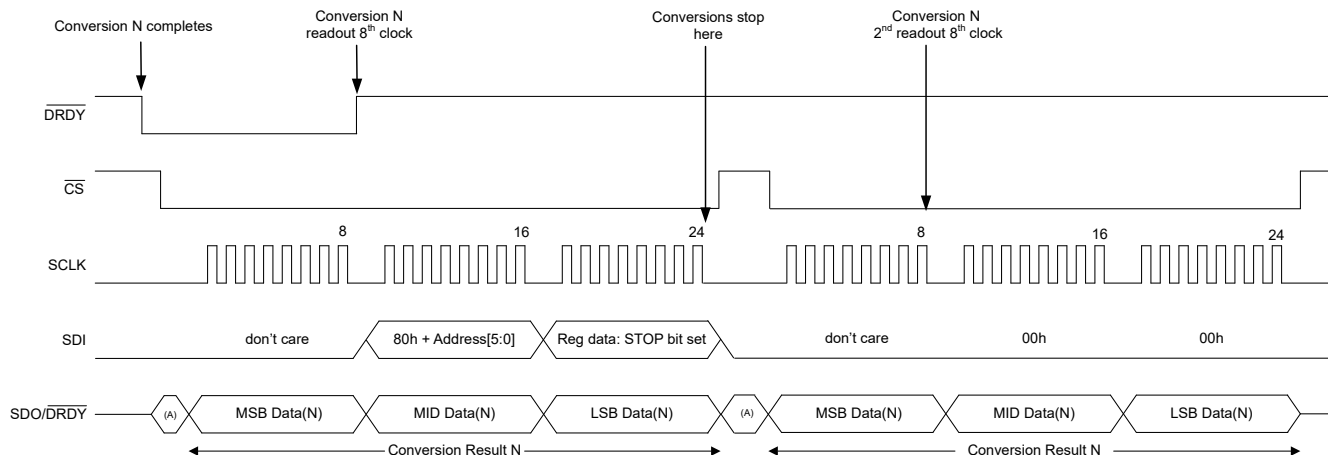
図 7-67. DRDY ピンの動作：新しい変換が完了したときに変換データを読み取ります



- A. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、SDO/DRDY の状態は前回の状態のまま保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

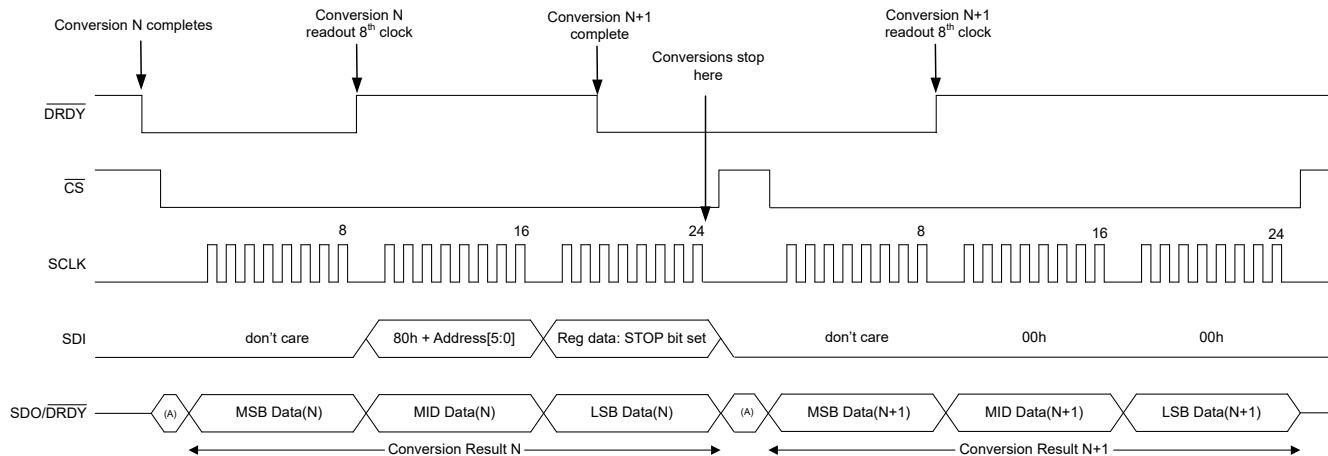
図 7-68. DRDY ピンの動作：中間コンバージョン結果の読み取りに失敗しました

以下の例では、STOP_BEHAVIOR[1:0] = 00b であると仮定します。STOP ビットを設定すると、CONVERSION_CTRL レジスタが書き込まれた SPI フレーム内における最後の SCLK 立ち下がりエッジで変換が停止します。ただし、DRDY ピンは high に遷移せず、新しい変換結果が利用可能になるまで、古い変換データを引き続き読み出すことができます。図 7-69 は、変換データを読み出している最中に、進行中の変換を中止するために STOP ビットを設定した場合のデバイスの動作を示します。図 7-70 は、STOP ビットを設定して変換データを読み出している間に、新しい変換が完了するシナリオを示します。



- A. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、SDO/DRDY の状態は前回の状態のまま保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-69. DRDY ピンの動作：変換データの読み取り中に STOP ビットを設定する



- A. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、SDO/DRDY の状態は前回の状態のまま保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-70. DRDY ピンの動作：新しい変換の完了時に STOP ビットを設定し、変換データの読み取りを行う

7.5.8 デイジー チェーン動作

複数の ADC を使用するシステムでは、SPI 接続数を削減するために、デバイスをデイジーチェーン接続することができます。デイジーチェーン接続では、あるデバイスの SPI 出力が次のデバイスの SPI 入力にリンクされるため、チェーン内のデバイスは、ホストコントローラから単一の論理デバイスに見えます。デイジーチェーン動作には特別なプログラミングは必要ありません。追加のシフトクロックを適用すると、チェーン内のすべてのデバイスにアクセスできます。動作を簡素化するには、各デバイスについて同じ SPI フレームサイズをプログラムします (たとえば、すべてのデバイスの CRC オプションをイネーブルすると、32 ビットのフレームサイズが生成されます)。

デイジーチェーン構成で接続された 4 台のデバイスを、図 7-71 に示します。ADS125H18 (1) の SDI はホストの SPI データ出力に接続され、ADS125H18 (4) の SDO/DRDY はホストの SPI データ入力に接続されます。シフト動作は、チェーン内のすべてのデバイスで同時に行われます。各 ADC が変換データをシフトアウトすると、SDI のデータが SDO/DRDY に出現し、チェーン内の次のデバイスの SDI を駆動します。シフト動作は、チェーン内の最後のデバイスに到達するまで続けられます。CS が High になると、SPI フレームは終了します。この時点で、各デバイスにシフトインされたデ

ータが解釈されます。デジチェーン動作を行うには、SDO_MODE ビットを使用して、SDO/DRDY ピンをデータ出力専用モードにプログラムします。

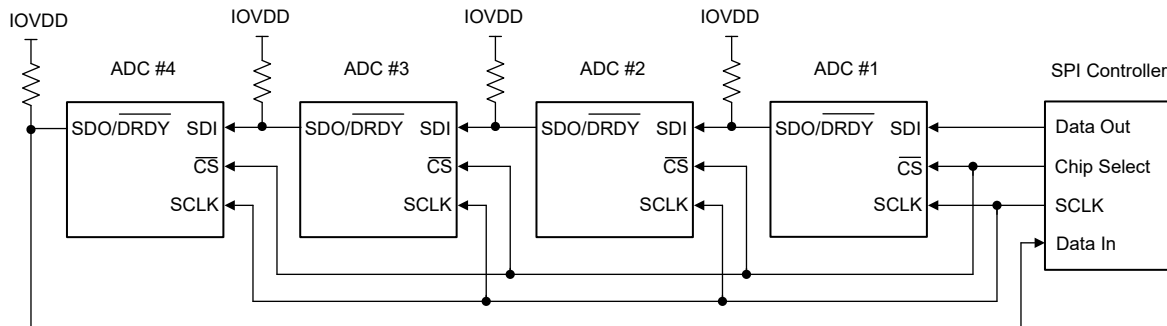


図 7-71. デジチェーン接続

図 7-71 に、各データ出力ピンのプルアップ抵抗を示します。SDO/DRDY ピンをデュアル機能モードで使用して、SPI フレーム間で高速な応答時間を実現する場合は、10kΩ プルアップ抵抗を使用してください (エッジトリガ割り込みを使用する場合は特に重要です)。ただし、このピンを SDO としてのみ使用する場合は、100kΩ 抵抗など、より弱いプルアップ抵抗で十分です。

デバイスが電源投入された後の最初の通信で各デバイスにより使用される 24 ビット フレームのサイズを、図 7-72 に示します。

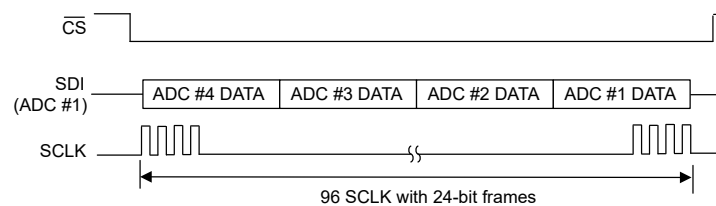
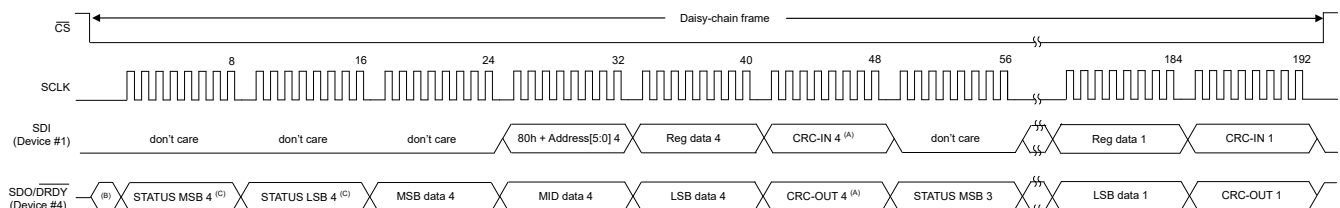


図 7-72. 24 ビットのデータ入力シーケンス

データを入力するため、ホストは最初に、チェーン内の最後のデバイス向けのデータをシフトインします。各 ADC の入力バイト数は、出力フレーム サイズと一致するようにサイズ設定されています。デフォルトのフレーム サイズは 24 ビットなので、各 ADC には最初に、2 つのコマンド バイトの前にパッド バイトを付加するため、3 バイトが必要です。ADC #4 の入力データが最初で、次に ADC #3 の入力データ、以後同様に続きます。

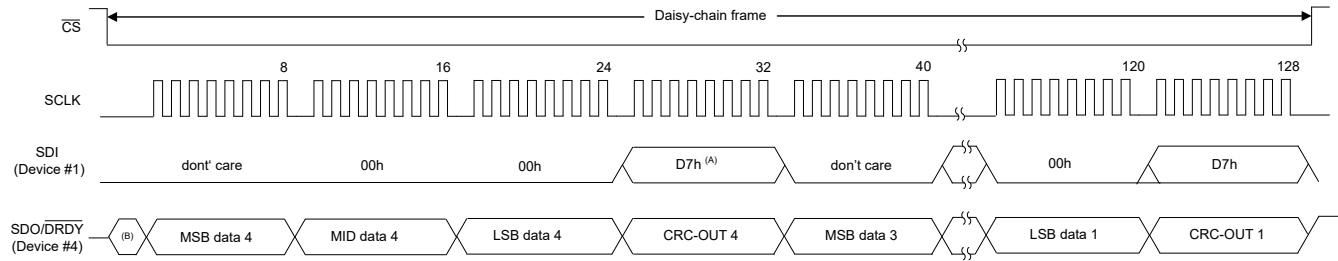
図 7-71 のデジチェーンにおけるレジスタの書き込み動作の詳細な入力データシーケンスを、図 7-73 に示します。各 ADC について 48 ビット フレームが示されています (STATUS ヘッダーと CRC バイトを有効にした場合の 24 ビットデータ)。コマンド動作は、ADC ごとに異なる場合があります。レジスタの読み取り動作では、レジスタのデータを読み取るために 2 番目のフレーム動作が必要です。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
- B. SCLK が適用される前の SDO/DRDY の以前の状態。
- C. オプションの STATUS ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。

図 7-73. デジチェーン接続でのレジスタ データの書き込み

図 7-71 に記載されているデバイス接続から変換データを読み取るためのクロックシーケンスを、図 7-74 に示します。この例は、32 ビットの出力フレーム (CRC バイトを有効にした場合の 24 ビット データ) を示しています。シーケンス内の最初は ADC (4) の出力データで、次に ADC (3) のデータ、以後同様に続きます。データをシフトアウトするために必要なクロックの総数は、フレームあたりのビット数 × チェーン内のデバイス数で決まります。この例では、出力フレームが 32 ビット × 4 つのデバイスで、合計クロック数は 128 です。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
B. SCLK が適用される前の SDO/DRDY の以前の状態。

図 7-74. デイジー チェーン接続での変換データの読み取り

式 31 で示されるように、デイジー チェーン構成で接続されるデバイスの最大数は、SCLK 信号の周波数、データレート、およびフレームあたりのビット数によって制限されます。

$$\text{Maximum devices in a chain} = \lfloor f_{\text{SCLK}} / (f_{\text{DATA}} \times \text{bits per frame}) \rfloor \quad (31)$$

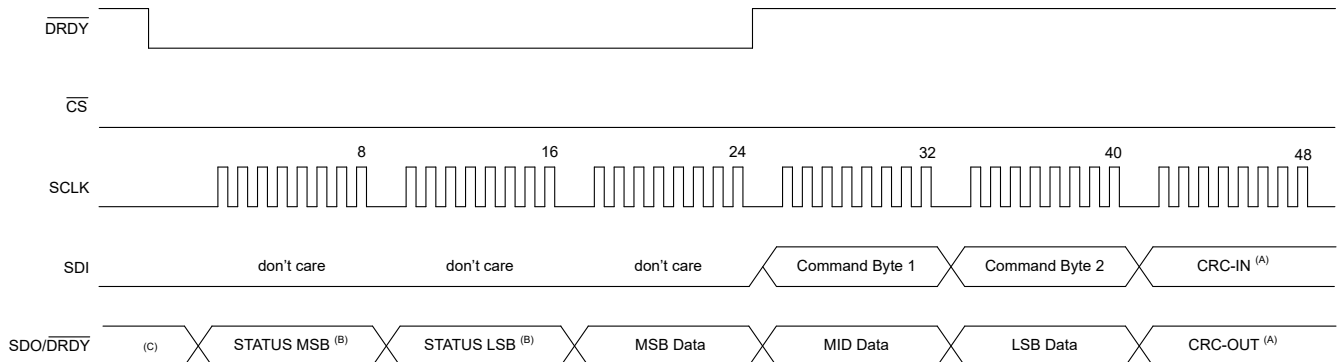
たとえば、 $f_{\text{SCLK}} = 20\text{MHz}$ 、 $f_{\text{DATA}} = 100\text{kSPS}$ で、32 ビットのフレームが使用されるなら、デイジー チェーン接続デバイスの最大数は以下のとおりです： $\lfloor 20\text{MHz} / (100\text{kHz} \times 32) \rfloor = 6$ 。

7.5.9.3 線式 SPI モード

ADC は、 $\overline{\text{CS}}$ を接地することで 3 線式 SPI 動作を選択できます。電源投入時またはリセットの後に $\overline{\text{CS}}$ が接地しているとき、ADC は 3 線式モードを検出します。 $\overline{\text{CS}}$ を High にすると、デバイスは 4 線式 SPI モードに変更されます。

$\overline{\text{CS}}$ は 3 線式 SPI モードでフレーム タイミングを制御しないため、SCLK は ADC によってカウントされ、フレームの開始と終了が判定されます。SCLK のビット数はホストにより制御され、出力フレームのサイズと一致する必要があります。フレームあたりのビット数は、デバイスの構成によって異なります。出力フレームのサイズを、表 7-49 に示します。フレーム タイミングは SCLK の数によって決定されるため、電源投入時に発生する可能性のあるような SCLK の意図しない遷移を避ける必要があります。

3 線式 SPI モードでは、4 線式モードと同じコマンド フォーマットとクロック供給がサポートされます。ただし、 $\overline{\text{CS}}$ のトグルがないため、フレーム間の待ち時間はありません。3 線式 SPI モードでの変換データの読み取り例を、図 7-75 に示します。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。

- B. オプションの STATUS ヘッダ。STATUS が無効になっている場合、フレームは 2 バイト短くなります。
- C. SDO_MODE ビットが 0b の場合、最初の SCLK 立ち上がりエッジまで、SDO/DRDY の状態は前回の状態のまま保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。

図 7-75. 3 線式 SPI モードでの変換データの読み取り

7.5.9.1 3 線式 SPI モードにおけるフレームの再整列

3 線式 SPI モードでは、意図しない SCLK によってフレームの揃いが崩れ、ホストとのフレーム同期が失われる可能性があります。図 7-76 に示すように、SPI は SPI 再整列パターンを送信することで、ADC リセットを必要とせずに再同期されます。再アライン パターンは、少なくとも 63 個の連続した 1 に続いて、64 番目の SCLK で 1 つの 0 を送信するものです。65 番目の SCLK は、新しい SPI フレームを開始します。このデバイスは、63 個を超える連続した 1 に続いて 1 つの 0 を送信する再整列パターンも受け付けます。その場合、新しいフレームは、その 0 の後の SCLK の立ち上がりエッジから開始されます。オプションとして、RESET をトグルするか、「SPI の入力パターンによるリセット」セクションで示されているリセットパターンを使用して、ADC を完全にリセットできます。

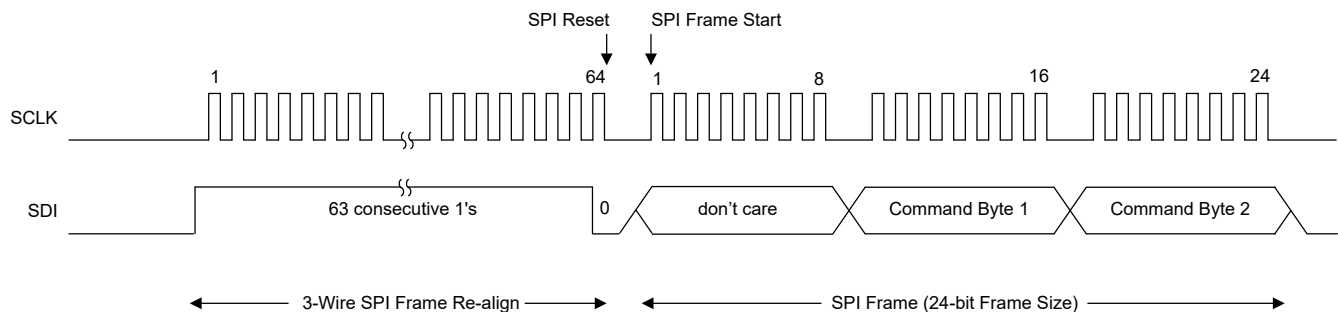


図 7-76. 3 線式モードの SPI の再整列パターン

7.5.10 変換データ

変換データは、CODING ビットに応じてコード化されます。デフォルトでは、変換データはバイナリ 2 の補数形式、MSB ファースト (符号ビット) でコード化されます。ユニポーラ ストレート バイナリ形式の場合、CODING ビットを 1b に設定します。表 7-53 に、形式に応じた出力コードを示します。バイナリ 2 の補数形式では、入力信号がそれぞれの正および負のフルスケール値を超えると、変換データは正および負のフルスケールのコード値にクリッピングされます。ユニポーラ ストレート バイナリ形式では、入力信号がフルスケール値を超えた場合、または値がゼロ未満の場合に、変換データがフルスケール値またはゼロ コード値にクリッピングされます。

表 7-53. 理想的な出力コードと入力信号との関係

差動入力電圧 (V)	理想的な出力コード ⁽¹⁾	
	バイナリ 2 の補数形式 (CODING = 0b)	ユニポーラ ストレート バイナリ形式 (CODING = 1b)
$\geq \text{FSR} \times (2^{24} - 1)/2^{24}$	7FFFFFFh	FFFFFFFh
$\geq \text{FSR} \times (2^{23} - 1)/2^{23}$		FFFFFFEh
$\text{FSR} / 2^{23}$	000001h	000002h
0	000000h	000000h
$-\text{FSR} / 2^{23}$	FFFFFFFh	
$-\text{FSR} \times (2^{23} - 1)/2^{23}$	800001h	
$\leq -\text{FSR}$	800000h	

(1) オフセット、ゲイン、直線性、ノイズ誤差を除く理想的な出力データ、

7.5.11 データ準備完了

変換データの読み戻し準備が完了したことを判断するには、いくつかの方法があります。

1. ハードウェア: $\overline{\text{DRDY}}$ または $\text{SDO}/\overline{\text{DRDY}}$ ピンを監視します。詳細については、[DRDY ピンと SDO/DRDY ピン](#) セクションを参照してください。
2. ソフトウェア: STATUS ヘッダの DRDY ビットを監視します。詳細については、[DRDY ビット](#) セクションを参照してください。
3. クロックのカウント: ADC メイン クロックの数をカウントし、データの準備完了を予測します。詳細については、[クロックのカウント](#) セクションを参照してください。

7.5.11.1 $\overline{\text{DRDY}}$ ピンと $\text{SDO}/\overline{\text{DRDY}}$ ピン

$\overline{\text{DRDY}}$ はデータ準備完了の出力信号ピン、 $\text{SDO}/\overline{\text{DRDY}}$ ピンはデュアル機能の出力ピンです。 $\overline{\text{DRDY}}$ ピンの説明については [データ準備完了 \(DRDY\) ピン](#) のセクションを、 $\text{SDO}/\overline{\text{DRDY}}$ ピンの説明については [シリアル データ出力 / データ準備完了 \(SDO/DRDY\)](#) のセクションを参照してください。

7.5.11.2 DRDY ビット

データの準備完了をソフトウェアで判定するには、DRDY ビット (STATUS ヘッダーのビット 0) をポーリングします。DRDY = 1b のとき、データは前回のデータ読み取り動作のときと違う新しいものです。それ以外の場合、以前のデータと変わりありません。データの読み取り後、次の変換データの準備ができるまで、このビットはクリアされた状態に保たれます。データの消失を避けるため、最低でも出力データレートと同じ頻度でこのビットをポーリングしてください。

7.5.11.3 クロックのカウント

データが準備完了したかどうかを判定するもう 1 つの方法は、ADC メイン クロック サイクルをカウントすることです。内部クロック発振器は観察できないため、この方法は外部クロックを使用するときのみ使用可能です。同期または変換が開始した後は、通常の変換データ期間に比べてクロック サイクル数が増加します。クロック サイクル数の初期値は、[デジタルフィルタ](#) セクションに示すように、デジタル フィルタのレイテンシ時間と等しくなります。

7.6 レジスタ マップ

ADS125H18 のレジスタ空間は、複数のレジスタ ページで構成されています。自動シーケンサとレジスタ ページの構造の詳細については、[チャネル自動シーケンサ](#) セクションを参照してください。

ページ 0 は「ステータスおよび全般構成ページ」(または単に「全般構成ページ」)と呼ばれ、ステータスおよび一般的な構成データを保持します。ステータスと全般構成ページのレジスタ マップについては、[ADS125H18 のステータスおよび一般設定ページ](#) セクションを参照してください。

シーケンス ステップ構成 (ページ 1 ~ 32) ごとに、個別のレジスタ ページがあります。これは「ステップ構成ページ」と呼ばれます。ステップ レジスタは接頭辞「STEP_x」で識別されます。x = 0 ~ 31 はシーケンスのステップ番号を示します。ステップ構成ページ x のレジスタ マップについては、[ADS125H18 ステップ構成ページ](#) セクションを参照してください。

ページ アドレス指定と自動シーケンサの構成の詳細については、[自動シーケンサの構成](#) セクションを参照してください。

7.6.1 ADS125H18 のステータスおよび一般設定ページ

表 7-54 では、ADS125H18 のステータスおよび一般設定ページのレジスタに対応するメモリ マップド レジスタを一覧表示します。表 7-54 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-54. レジスタ マップ

アドレス	略称	リセット	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
00h	DEVICE_ID	30h	予約済み			CH_CNT[1:0]		DEV_ID[3:0]		
01h	REVISION_ID	01h	REV_ID[7:0]							
02h	STATUS_MSB	00h	STEP_INDICATOR[4:0]					ADC_REF_FAU LTn	RESETn	DRDY
03h	STATUS_LSB	FFh	CONV_COUNT[3:0]				FIFO_FAULTn	INTERNAL_FA ULTn	REG_WRITE_F AULTn	SPI_CRC_FAU LTn
04h	ADC_REF_STATUS	B0h	予約済み	AVDD_UVn	REF_UVn	MOD_OVR_FA ULTn	予約済み			
05h	DIGITAL_STATUS	FFh	CRC_FAULT_PAGE[5:0]						MEM_INTERN AL_FAULTn	REG_MAP_CR C_FAULTn
06h	予約済み	00h	予約済み							
07h	GPIO_DATA_INPUT	02h	予約済み				GPIO3_DAT_IN	GPIO2_DAT_IN	GPIO1_DAT_IN	GPIO0_DAT_IN
08h	FIFO_SEQ_STATUS	07h	SEQ_ACTIVE	SEQ_COUNT[3:0]				FIFO_OFn	FIFO_UFn	FIFO_CRC_FA ULTn
09h	FIFO_DEPTH_MSB	00h	予約済み							
0Ah	FIFO_DEPTH_LSB	00h	FIFO_DEPTH[7:0]							
10h	CONVERSION_CTR L	00h	START	STEP_INIT[4:0]					予約済み	ストップ
11h	RESET	00h	RESET_CODE[7:0]							
12h	ADC_CFG	0Ch	予約済み	FIFO_TEST_E N	予約済み		SPEED_MODE[1:0]		STBY_MODE	PWDN
13h	REFERENCE_CFG	01h	予約済み						REF_VAL	REFP_BUF_EN
14h	CLK_DIGITAL_CFG	04h	予約済み		CLK_DIV[1:0]		CLK_SEL	OUT_DRV	SDO_MODE	CONT_READ_ EN
15h	予約済み	00h	予約済み							
16h	予約済み	00h	予約済み							
17h	GPIO_CFG	0Ch	GPIO3_CFG[1:0]		GPIO2_CFG[1:0]		GPIO1_CFG[1:0]		GPIO0_CFG[1:0]	
18h	SPARE_CFG	00h	SPARE7	SPARE6	SPARE5	SPARE4	SPARE3	SPARE2	SPARE1	SPARE0
20h	SEQUENCER_CFG	40h	SEQ_MODE[1:0]		STOP_BEHAVIOR[1:0]		予約済み		DRDY_CFG[1:0]	
21h	SEQUENCE_STEP_ EN_0	01h	SEQ_STEP_7_ EN	SEQ_STEP_6_ EN	SEQ_STEP_5_ EN	SEQ_STEP_4_ EN	SEQ_STEP_3_ EN	SEQ_STEP_2_ EN	SEQ_STEP_1_ EN	SEQ_STEP_0_ EN
22h	SEQUENCE_STEP_ EN_1	00h	SEQ_STEP_15_ EN	SEQ_STEP_14_ EN	SEQ_STEP_13_ EN	SEQ_STEP_12_ EN	SEQ_STEP_11_ EN	SEQ_STEP_10_ EN	SEQ_STEP_9_ EN	SEQ_STEP_8_ EN
23h	SEQUENCE_STEP_ EN_2	00h	SEQ_STEP_23_ EN	SEQ_STEP_22_ EN	SEQ_STEP_21_ EN	SEQ_STEP_20_ EN	SEQ_STEP_19_ EN	SEQ_STEP_18_ EN	SEQ_STEP_17_ EN	SEQ_STEP_16_ EN
24h	SEQUENCE_STEP_ EN_3	00h	SEQ_STEP_31_ EN	SEQ_STEP_30_ EN	SEQ_STEP_29_ EN	SEQ_STEP_28_ EN	SEQ_STEP_27_ EN	SEQ_STEP_26_ EN	SEQ_STEP_25_ EN	SEQ_STEP_24_ EN
25h	FIFO_CFG	00h	予約済み							
26h	FIFO_THRES_A_MS B	00h	予約済み							
27h	FIFO_THRES_A_LS B	00h	FIFO_THRES_A[7:0]							
28h	FIFO_THRES_B_MS B	00h	予約済み							
29h	FIFO_THRES_B_LS B	00h	FIFO_THRES_B[7:0]							
2Ah	DIAG_MONITOR_C FG	20h	予約済み	TDAC_RANGE	FAULT_PIN_BE HAVIOR	REG_MAP_CR C_EN	予約済み	REF_UV_EN	STATUS_EN	SPI_CRC_EN
2Bh	POSTFILTER_CFG0	00h	予約済み					PF_AVG[1:0]		PF_CFG
2Ch	POSTFILTER_CFG1	00h	PF7_EN	PF6_EN	PF5_EN	PF4_EN	PF3_EN	PF2_EN	PF1_EN	PF0_EN
2Dh	POSTFILTER_CFG2	FFh	PF7_BYPASS	PF6_BYPASS	PF5_BYPASS	PF4_BYPASS	PF3_BYPASS	PF2_BYPASS	PF1_BYPASS	PF0_BYPASS
30h	CS_FWD_CFG	00h	CS_FWD_EN_CODE[5:0]						TIMEOUT_SEL[1:0]	
31h	予約済み	00h	予約済み							
32h	GPIO_FWD_CFG	00h	予約済み				GPIO3_FWD_E N	GPIO2_FWD_E N	GPIO1_FWD_ EN	GPIO0_FWD_E N

表 7-54. レジスタ マップ (続き)

アドレス	略称	リセット	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
3Dh	REG_MAP_CRC	00h	GENERAL_CFG_REG_MAP_CRC_VALUE[7:0]							
3Eh	PAGE_INDICATOR	00h	PAGE_INDICATOR[7:0]							
3Fh	PAGE_POINTER	00h	PAGE_POINTER[7:0]							

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-55 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-55. ADS125H18 のステータスおよび一般設定ページのアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.6.1.1 DEVICE_ID レジスタ (アドレス = 00h) [リセット = 30h]

[概略表](#)に戻ります。

図 7-77. DEVICE_ID レジスタ

7	6	5	4	3	2	1	0
予約済み		CH_CNT[1:0]			DEV_ID[3:0]		
R-00b		R-11b			R-0000b		

表 7-56. DEVICE_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	00b	予約済み 常に 00b を読み出す
5:4	CH_CNT[1:0]	R	11b	チャネル カウント 常に 11b を読み出す
3:0	DEV_ID[3:0]	R	0000b	デバイス ID レジスタ 値が予告なく変更される可能性があります。

7.6.1.2 REVISION_ID レジスタ (アドレス = 01h) [リセット = 01h]

[概略表](#)に戻ります。

図 7-78. REVISION_ID レジスタ

7	6	5	4	3	2	1	0
REV_ID[7:0]							
R-00000001b							

表 7-57. REVISION_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	REV_ID[7:0]	R	00000001b	リビジョン ID 値が予告なく変更される可能性があります。

7.6.1.3 STATUS_MSB レジスタ (アドレス = 02h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-79. STATUS_MSB レジスタ

7	6	5	4	3	2	1	0
STEP_INDICATOR[4:0]				ADC_REF_FAULTn		RESETn	DRDY
R-00000b				R-0b		R/W-0b	R-0b

表 7-58. STATUS_MSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	STEP_INDICATOR[4:0]	R	00000b	シーケンス ステップ インジケータ 最新の変換結果に使用されたステップ ページの構成を示します。現在読み出し可能です。デバイスリセット後、パワーダウン モード時、または SEQUENCER_CFG レジスタに書き込むと、ステップインジケータは 00h にリセットされます。同時に、変換カウンタ (CONV_COUNT[3:0]) が Fh にリセットされ、シーケンス カウンタ (SEQ_COUNT[3:0]) が 0h にリセットされ、変換データはクリアされます。
2	ADC_REF_FAULTn	R	0b	ADC またはリファレンスが範囲外フォルトフラグ このビットは、ADC_REF_STATUS の個別のビットが設定されている場合に更新されます。このビットをクリアするには、ADC_REF_STATUS のすべてのビットをクリアする必要があります。このビットは、レール ツー レール バッファの範囲外、変調器のオーバーレンジ、リファレンス低電圧を示します。 0b = 範囲外フォルトが発生しています 1b = 範囲外フォルトは発生していません
1	RESETn	R/W	0b	リセット フラグ デバイスリセットが発生したことを示します。1b を書き込むことで、ビットを 1b にクリアします。 0b = リセットが発生しました 1b = リセットは発生していません
0	DRDY	R	0b	データ準備完了フラグ DRDY は、新しい変換データの準備が完了したことを示します。DRDY ビットは、DRDYn ピンの反転です。このビットをポーリングして、変換データが新しいものか、最後の読み取り動作からの繰り返しデータかを判定します。 0b = データは新しいものではありません 1b = データは新しいものです

7.6.1.4 STATUS_LSB レジスタ (アドレス = 03h) [リセット = FFh]

概略表に戻ります。

図 7-80. STATUS_LSB レジスタ

7	6	5	4	3	2	1	0
CONV_COUNT[3:0]				FIFO_FAULTn	INTERNAL_FAULTn	REG_WRITE_FAULTn	SPI_CRC_FAULTn
R-1111b				R-1b	R-1b	R-1b	R-1b

表 7-59. STATUS_LSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CONV_COUNT[3:0]	R	1111b	変換カウンタ 変換カウンタは、新しい変換が完了するたびにインクリメントします。カウンタが Fh の値に達した後、次の変換が完了するとカウンタは 0h にロールオーバーします。このカウンタは、パワーダウンモードで、デバイス リセット後、または SEQUENCER_CFG レジスタへの書き込み時にのみ Fh にリセットされます。同時に、シーケンス ステップ インジケータ (STEP_INDICATOR[4:0]) が 00h にリセットされ、シーケンス カウンタ (SEQ_COUNT[3:0]) が 0h にリセットされ、変換データはクリアされます。リセット、パワーダウン後、または SEQUENCER_CFG レジスタへの書き込み後に最初の変換が完了すると、カウンタは 0h を読み出します。シーケンスが有効化されている場合 (SEQ_MODE[1:0] = 10b または 11b)、ステップの最初の変換においてカウンタは常に 0h を読み出します。シーケンスが無効化されている場合 (SEQ_MODE[1:0] = 00b または 01b)、新しいステップ ページ構成で変換が完了しても、カウンタ値は 0h に戻りません。必要に応じて、新しいステップ ページ構成で変換を開始する前に、SEQUENCER_CFG レジスタに書き込むことで、カウンタを Fh にリセットします。
3	FIFO_FAULTn	R	1b	FIFO フォルト フラグ FIFO_SEQ_STATUS レジスタの個別の FIFO エラー ビットが設定されると、このビットが更新されます。このビットをクリアするには、FIFO_SEQ_STATUS のすべてのビットをクリアする必要があります。 0b = FIFO フォルトが発生しました 1b = FIFO フォルトは発生していません
2	INTERNAL_FAULTn	R	1b	内部フォルト フラグ このビットは、DIGITAL_STATUS の個別のビットが設定されている場合に更新されます。このビットをクリアするには、DIGITAL_STATUS のすべてのビットをクリアする必要があります。 0b = 内部フォルトが発生しました 1b = 内部フォルトは発生していません
1	REG_WRITE_FAULTn	R	1b	ページまたはレジスタ アクセス フォルト フラグ 無効なレジスタ アドレスへの書き込みアクセスが発生したことを示します。このフラグは、無効なレジスタ アドレスが書き込まれた時点で設定され、次の SPI フレームの開始時にリセットされます。無効なレジスタ アドレスからの読み出しではこのフラグは設定されませんが、読み取りコマンドの SPI フレーム内に含まれるアドレス表示から検出できます。 0b = ページまたはレジスタ アクセス フォルトが発生しました 1b = ページまたはレジスタ アクセス フォルトは発生していません
0	SPI_CRC_FAULTn	R	1b	SPI CRC フォルト フラグ 前の SPI フレームで SPI CRC フォルトが発生したことを示します。ビットは、新しい SPI フレームごとに自動的に 1b にクリアされます。 0b = SPI CRC 故障が発生しました 1b = SPI CRC 故障は発生していません

7.6.1.5 ADC_REF_STATUS レジスタ (アドレス = 04h) [リセット = B0h]

概略表に戻ります。

図 7-81. ADC_REF_STATUS レジスタ

7	6	5	4	3	2	1	0
予約済み	AVDD_UVn	REF_UVn	MOD_OVR_FAULTn	予約済み			
R-1b	R/W-0b	R/W-1b	R/W-1b	R-0000b			

表 7-60. ADC_REF_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	1b	予約済み 常に 1b を読み出す。
6	AVDD_UVn	R/W	0b	アナログ電源電圧低電圧フォルトフラグ AVDD 電源電圧が電源低電圧スレッショルドを下回ったことを示します。1b を書き込むことで、ビットを 1b にクリアします。 0b = 電源低電圧フォルトが発生しました 1b = 電源低電圧フォルトは発生していません
5	REF_UVn	R/W	1b	リファレンス電圧低電圧故障フラグ REF_SEL[1:0]ビットで選択されたリファレンス電圧が、リファレンス低電圧スレッショルドを下回ったことを示します。1b を書き込むことで、ビットを 1b にクリアします。 0b = リファレンス低電圧フォルトが発生しました 1b = リファレンス低電圧フォルトは発生していません
4	MOD_OVR_FAULTn	R/W	1b	変調器オーバーレンジ フォルト インジケータ 1b を書き込むと、ビットが 1b にクリアされます。 0b = 変調器オーバーレンジ フォルトが発生しました 1b = 変調器オーバーレンジ フォルトは発生していません
3:0	予約済み	R	0000b	予約済み 常に 0000b を読み出す

7.6.1.6 DIGITAL_STATUS レジスタ (アドレス = 05h) [リセット = FFh]

[概略表](#)に戻ります。

図 7-82. DIGITAL_STATUS レジスタ

7	6	5	4	3	2	1	0
CRC_FAULT_PAGE[5:0]						MEM_INTERNAL_FAULTn	REG_MAP_CRC_FAULTn
R-111111b						R/W-1b	R/W-1b

表 7-61. DIGITAL_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	CRC_FAULT_PAGE[5:0]	R	111111b	レジスタ マップの CRC フォルト ページ インジケータ REG_MAP_CRC_FAULTn が CRC フォルトを示している場合、どのレジスタ ページが CRC エラーを示しているかを示します。複数のレジスタ ページに CRC エラーが発生している場合、インジケータは CRC エラーが存在する最初のレジスタ ページ アドレスを示します。 CRC_FAULT_PAGE[5:0] ビット フィールドで示されたページの CRC エラーが正しいレジスタ マップの CRC 値によって修正され、別のレジスタ ページで別の CRC エラーが存在する場合、CRC_FAULT_PAGE[5:0] ビット フィールドは自動的に更新されません。 REG_MAP_CRC_FAULTn ビット フィールドに 1b を書き込むと、REG_MAP_CRC_FAULTn は再度 0b に設定され、CRC_FAULT_PAGE[5:0] ビット フィールドは、レジスタ マップの CRC エラーがある次の残存する最初のページ アドレスを指します。REG_MAP_CRC_FAULTn フラグが 1b にクリアされると、このビット フィールドは 111111b にクリアされます。
1	MEM_INTERNAL_FAULTn	R/W	1b	内部メモリ故障フラグ 内部メモリでメモリ マップ CRC フォルトが発生したか、または誤ったページが内部で選択されたことを示します (PAGE_INDICATOR が PAGE_POINTER と一致しません)。1b を書き込むことで、ビットを 1b にクリアします。 0b = メモリ マップの CRC 故障が発生しました 1b = メモリ マップの CRC 故障は発生していません
0	REG_MAP_CRC_FAULTn	R/W	1b	レジスタ マップの CRC フォルト フラグ 一般設定ページ (レジスタ アドレス空間は 12h ~ 32h) またはステップ構成ページでレジスタ マップの CRC フォルトが発生したことを示します。1b を書き込むことで、ビットを 1b にクリアします。 0b = レジスタ マップの CRC 故障が発生しました 1b = レジスタ マップの CRC 故障は発生していません

7.6.1.7 GPIO_DATA_INPUT レジスタ (アドレス = 07h) [リセット = 02h]

[概略表](#)に戻ります。

図 7-83. GPIO_DATA_INPUT レジスタ

7	6	5	4	3	2	1	0
予約済み				GPIO3_DAT_IN	GPIO2_DAT_IN	GPIO1_DAT_IN	GPIO0_DAT_IN
R-0000b				R-0b	R-0b	R-1b	R-0b

表 7-62. GPIO_DATA_INPUT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0000b	予約済み 常に 0000b を読み出す
3	GPIO3_DAT_IN	R	0b	GPIO3 データ GPIO3 をデジタル入力または出力として構成した場合の値を読み戻します。GPIO3_CFG[1:0] = 00b のとき、0b を読み戻します。 0b = Low 1b = High
2	GPIO2_DAT_IN	R	0b	GPIO2 データ GPIO2 をデジタル入力または出力として構成した場合の値を読み戻します。GPIO2_CFG[1:0] = 00b または 11b のとき、0b を読み戻します。 0b = Low 1b = High
1	GPIO1_DAT_IN	R	1b	GPIO1 データ GPIO1 をデジタル入力または出力として構成した場合の値を読み戻します。GPIO1_CFG[1:0] = 00b のとき、0b を読み戻します。 0b = Low 1b = High
0	GPIO0_DAT_IN	R	0b	GPIO0 データ GPIO0 をデジタル入力または出力として構成した場合の値を読み戻します。GPIO0_CFG[1:0] = 00b のとき、0b を読み戻します。 0b = Low 1b = High

7.6.1.8 FIFO_SEQ_STATUS レジスタ (アドレス = 08h) [リセット = 07h]

概略表に戻ります。

図 7-84. FIFO_SEQ_STATUS レジスタ

7	6	5	4	3	2	1	0
SEQ_ACTIVE	SEQ_COUNT[3:0]				FIFO_OFn	FIFO_UFn	FIFO_CRC_FAULTn
R-0b	R-0000b				R/W-1b	R/W-1b	R-1b

表 7-63. FIFO_SEQ_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SEQ_ACTIVE	R	0b	シーケンス アクティブ フラグ 変換が現在進行中か、変換が停止しており、デバイスがアイドル、スタンバイ、またはパワーダウンモードであることを示します。 0b = シーケンスは非アクティブ 1b = シーケンスはアクティブ
6:3	SEQ_COUNT[3:0]	R	0000b	完了したシーケンス カウンタ SSEQ_MODE[1:0] = 11b の場合、シーケンス カウンタは、最新の変換結果を実行したシーケンスがどのシーケンスに属するかを示します。このシーケンスは現在読み出し可能です。このシーケンス カウンタは、新しいシーケンス実行の最初の変換が完了するとインクリメントします。最初のシーケンス実行の最初の変換が完了すると、カウンタは 0h を読み出します。2 回目のシーケンス実行の最初の変換が完了すると、カウンタは 1h を読み出します。カウンタが Fh の値に達した後、次のシーケンス実行の最初の変換が完了すると、カウンタは 0h にロールオーバーします。START ビットを 1b に設定した後、または START ピンの立ち上がりエッジで、最初の変換が完了すると、カウンタは 0h にリセットされます。SEQUENCER_CFG レジスタに書き込むと、パワーダウン モード時、またはデバイスリセット後に、カウンタは即座に 0h にリセットされます。同時に、シーケンス ステップ インジケータ (STEP_INDICATOR[4:0]) が 00h にリセットされ、変換カウンタ (CONV_COUNT[3:0]) は Fh にリセットされ、変換データはクリアされます。SEQ_MODE[1:0] = 00b、01b、または 10b の場合、シーケンス カウンタは常に 0h を読み出します。
2	FIFO_OFn	R/W	1b	FIFO オーバーフロー フラグ FIFO オーバーフロー フォルトが発生したことを示します。1b を書き込むことで、ビットを 1b にクリアします。 0b = FIFO オーバーフローが発生しました 1b = FIFO オーバーフローは発生していません
1	FIFO_UFn	R/W	1b	FIFO アンダーフロー フラグ FIFO アンダーフロー フォルトが発生したことを示します。1b を書き込むことで、ビットを 1b にクリアします。 0b = FIFO アンダーフローが発生しました 1b = FIFO アンダーフローは発生していません
0	FIFO_CRC_FAULTn	R	1b	FIFO CRC 故障フラグ FIFO CRC 故障が発生したことを示します。1b を書き込むことで、ビットを 1b にクリアします。 0b = FIFO CRC 故障が発生しました 1b = FIFO CRC 故障は発生していません

7.6.1.9 FIFO_DEPTH_MSB レジスタ (アドレス = 09h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-85. FIFO_DEPTH_MSB レジスタ

7	6	5	4	3	2	1	0
予約済み							FIFO_DEPTH[8]
R-0000000b							R-0b

表 7-64. FIFO_DEPTH_MSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0000000b	予約済み 常に 00b を読み出す
0	FIFO_DEPTH[8]	R	0b	FIFO 深度インジケータ MSB FIFO 深度インジケータの MSB ビット。

7.6.1.10 FIFO_DEPTH_LSB レジスタ (アドレス = 0Ah) [リセット = 00h]

[概略表](#)に戻ります。

図 7-86. FIFO_DEPTH_LSB レジスタ

7	6	5	4	3	2	1	0
FIFO_DEPTH[7:0]							
R-00000000b							

表 7-65. FIFO_DEPTH_LSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	FIFO_DEPTH[7:0]	R	00000000b	FIFO 深度インジケータ LSB FIFO 深度インジケータの LSB ビット。

7.6.1.11 CONVERSION_CTRL レジスタ (アドレス = 10h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-87. CONVERSION_CTRL レジスタ

7	6	5	4	3	2	1	0
START	STEP_INIT[4:0]					予約済み	ストップ
R/W-0b	R/W-00000b					R-0b	R/W-0b

表 7-66. CONVERSION_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	START	R/W	0b	ADC 変換を開始または再起動 1b を書き込んで、ADC の変換を開始または再起動します。ワンショット制御モード (SEQ_MODE = 00b) では、1 回の変換が開始されます。スタート/ストップ制御モード (SEQ_MODE=01b) では、変換が開始され、STOP ビットによって停止されるまで続行されます。変換の実行中に 1b を START に書き込むと、変換が再開されます。シーケンスが有効化されているモード (SEQ_MODE = 10b または 11b) では、STEP_INIT[4:0] で示されるステップでシーケンスが開始されます。START ビットと STOP ビットの両方に 1b を書き込んでも、何も起きません。START は自己クリア型であり、常に 0b を読み取ります。 0b = 動作なし 1b = 変換を開始または再開
6:2	STEP_INIT[4:0]	R/W	00000b	初期実行ステップ セレクタ シーケンスが開始されたときに最初に実行されるシーケンス ステップを定義します。
1	予約済み	R	0b	予約済み 常に 0b を読み出す
0	ストップ	R/W	0b	ADC の変換を停止する 1b を書き込んで、現在の変換が完了した後で変換を停止します。START と STOP の両方に 1b を書き込んでも、何も起きません。STOP は自己クリア型であり、常に 0b を読み取ります。進行中のシーケンスが完了した後、または進行中のシーケンスが完了する前に START ビットが設定された後に STOP ビットは 0b にクリアされ、進行中のシーケンスが中止されて、新しいシーケンスが再起動されます。 0b = 動作なし 1b = 変換を停止

7.6.1.12 RESET レジスタ (アドレス = 11h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-88. RESET レジスタ

7	6	5	4	3	2	1	0
RESET_CODE[7:0]							
R/W-00000000b							

表 7-67. RESET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	RESET_CODE[7:0]	R/W	00000000b	デバイス リセット レジスタ 01011010b を書き込んで ADC をリセットします。これらのビットの読み取り値は常に 00000000b です。

7.6.1.13 ADC_CFG レジスタ (アドレス = 12h) [リセット = 0Ch]

概略表に戻ります。

図 7-89. ADC_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み	FIFO_TEST_EN	予約済み		SPEED_MODE[1:0]		STBY_MODE	PWDN
R-0b	R/W-0b	R-00b		R/W-11b		R/W-0b	R/W-0b

表 7-68. ADC_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み 常に 0b を読み出す
6	FIFO_TEST_EN	R/W	0b	ADC テスト モード イネーブル (ADC カウンタ有効) このテスト モードを有効化すると、ADC データ出力ごとに ADC データ値が 1 ずつインクリメントされます。 0b = ディセーブル 1b = イネーブル
5:4	予約済み	R	00b	予約済み 常に 0000b を読み出す
3:2	SPEED_MODE[1:0]	R/W	11b	電力モードの選択 電力モードを選択します。 00b = 超低速度モード: 0.8MHz mod クロック モード 01b = 低速モード: 1.6MHz mod クロック モード 10b = 中速モード: 6.4MHz mod クロック モード 11b = 高速モード: 12.8MHz mod クロック モード
1	STBY_MODE	R/W	0b	ADC スタンバイ モードの選択 変換が停止したときに ADC モードを選択します。 0b = アイドル モード。変換が停止しても ADC は完全に電力供給され続けます。前のシーケンス ステップの構成は引き続きアクティブです。 1b = スタンバイ モード。変換が停止すると ADC はパワー ダウンします。変換が再開されると、スタンバイ モードを終了します。
0	PWDN	R/W	0b	パワーダウン モードの選択 ユーザー レジスタ設定を維持するためにデジタル LDO を除くすべての回路をパワーダウンします。SPI 通信は引き続き可能です。パワーダウン モードでは、ステップ インジケータ (STEP_INDICATOR[4:0]) は 00h にリセットされ、変換カウンタ (CONV_COUNT[3:0]) は Fh にリセットされ、シーケンス カウンタ (SEQ_COUNT[3:0]) は 0h にリセットされ、変換データはクリアされ、FIFO はクリアされ、START ビットと START ピンは無視されます。PWDN ビットを 1b に設定すると、デバイスは直ちにパワーダウンし、進行中の変換はすべて中止されます。パワーダウン モードでは、GPIO のデジタル出力として設定されているすべてのアナログ入力、ハイ インピーダンス状態に移移します。パワーダウン中に特定のロジックレベルを維持する必要がある場合は、該当する GPIO ピンに外付けのプルアップまたはプルダウン抵抗を使用することを検討してください。 0b = アクティブ 1b = パワーダウン モード

7.6.1.14 REFERENCE_CFG レジスタ (アドレス = 13h) [リセット = 01h]

[概略表](#)に戻ります。

図 7-90. REFERENCE_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み						REF_VAL	REFP_BUF_EN
R-000000b						R/W-0b	R/W-1b

表 7-69. REFERENCE_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R	000000b	予約済み 常に 000000b を読み出す
1	REF_VAL	R/W	0b	内部リファレンス値の選択 内部リファレンス値を選択します。 0b = 内部 ADC リファレンス値は 2.5V 1b = 内部 ADC リファレンス値は 4.096V
0	REFP_BUF_EN	R/W	1b	正のリファレンス バッファの有効化 正のリファレンス バッファを有効化します。 0b=ディセーブル 1b = イネーブル

7.6.1.15 CLK_DIGITAL_CFG レジスタ (アドレス = 14h) [リセット = 04h]

[概略表](#)に戻ります。

図 7-91. CLK_DIGITAL_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み	CLK_DIV[1:0]		CLK_SEL	OUT_DRV	SDO_MODE	CONT_READ_EN	
R-00b	R/W-00b		R/W-0b	R/W-1b	R/W-0b	R/W-0b	

表 7-70. CLK_DIGITAL_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	00b	予約済み 常に 00b を読み出す
5:4	CLK_DIV[1:0]	R/W	00b	外部クロック分周比の選択 クロック分周比を選択します。 00b = 1 分周 01b = 2 分周 10b = 8 分周 11b = 16 分周
3	CLK_SEL	R/W	0b	クロックの選択 デバイスのクロック ソースを選択します。 0b = 内部発振器 1b = 外部クロック
2	OUT_DRV	R/W	1b	デジタル出力ドライブの選択 デジタル出力の駆動強度を選択します。 0b = ゲートドライブ強度 1b = ハーフドライブ強度
1	SDO_MODE	R/W	0b	SDO ピン モードの選択 このビットは、SDO/DRDY ピンのモードをプログラムします。 0b = データ出力専用モード 1b = デュアル モード: データ出力およびデータ レディ
0	CONT_READ_EN	R/W	0b	連続読み取りモードのイネーブル CS 遷移なしで複数のバイト (変換またはレジスタ データ) を読み取ることができます。 0b = 連続読み取りモードはディセーブル 1b = 連続読み取りモードをイネーブル (デジタイゼーションは利用不可)

7.6.1.16 GPIO_CFG レジスタ (アドレス = 17h) [リセット = 0Ch]

[概略表](#)に戻ります。

図 7-92. GPIO_CFG レジスタ

7	6	5	4	3	2	1	0
GPIO3_CFG[1:0]		GPIO2_CFG[1:0]		GPIO1_CFG[1:0]		GPIO0_CFG[1:0]	
R/W-00b		R/W-00b		R/W-11b		R/W-00b	

表 7-71. GPIO_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	GPIO3_CFG[1:0]	R/W	00b	GPIO3 の設定 GPIO3 ピンの動作を設定します。 00b = 無効 (ハイ インピーダンス) 01b = デジタル入力 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = ピンは FAULTn 出力として動作 (読み戻し付き)
5:4	GPIO2_CFG[1:0]	R/W	00b	GPIO2 の設定 GPIO2 ピンの動作を設定します。 00b = 無効 (ハイ インピーダンス) 01b = デジタル入力 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = ピンは外部クロック (CLK) 入力として動作します。CLK_SEL = 1b に設定して、デバイス動作の外部クロックを選択します。
3:2	GPIO1_CFG[1:0]	R/W	11b	GPIO1 の設定 GPIO1 ピンの動作を設定します。 00b = 無効 (ハイ インピーダンス) 01b = デジタル入力 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = ピンは DRDYn 出力として動作 (読み戻し付き)
1:0	GPIO0_CFG[1:0]	R/W	00b	GPIO0 の設定 GPIO0 ピンの動作を設定します。 00b = 無効 (ハイ インピーダンス) 01b = デジタル入力 10b = プッシュプル デジタル出力 (読み戻し付き) 11b = ピンはスタート/同期入力として動作 (読み戻し付き)

7.6.1.17 SPARE_CFG レジスタ (アドレス = 18h) [リセット = 00h]

概略表に戻ります。

図 7-93. SPARE_CFG レジスタ

7	6	5	4	3	2	1	0
SPARE7	SPARE6	SPARE5	SPARE4	SPARE3	SPARE2	SPARE1	SPARE0
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-72. SPARE_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPARE7	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタ ビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています
6	SPARE6	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタ ビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています
5	SPARE5	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタ ビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています
4	SPARE4	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタ ビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています
3	SPARE3	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタ ビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています
2	SPARE2	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタ ビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています
1	SPARE1	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタ ビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています
0	SPARE0	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタ ビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています

7.6.1.18 SEQUENCER_CFG レジスタ (アドレス = 20h) [リセット = 40h]

概略表に戻ります。

図 7-94. SEQUENCER_CFG レジスタ

7	6	5	4	3	2	1	0
SEQ_MODE[1:0]		STOP_BEHAVIOR[1:0]		予約済み		DRDY_CFG[1:0]	
R/W-01b		R/W-00b		R-00b		R/W-00b	

表 7-73. SEQUENCER_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	SEQ_MODE[1:0]	R/W	01b	シーケンサ実行モードの選択 シーケンサ実行モードを選択します。 00b = シーケンサ無効: CONVERSION_CTRL レジスタの STEP_INIT[4:0] ポインタで定義されたシーケンス ステップは、1 回のみ実行されます (シングルショット動作)。この動作モードでは、ステップ イネーブル ビットは無視されます。STEPx_NUM_CONV[3:0] ビットは、このシーケンス ステップの変換数を決定します。 01b = シーケンサ無効: CONVERSION_CTRL レジスタの STEP_INIT[4:0] ポインタで定義されたシーケンス ステップは、無期限に実行され、繰り返されます (連続変換動作)。この動作モードでは、ステップ イネーブル ビットと STEPx_NUM_CONV[3:0] ビットは無視されます。 10b = シーケンサ イネーブル: STEP_INIT[4:0] ポインタで定義されたステップから始めて、ステップの完全なシーケンスを 1 回実行します。STEP_INIT[4:0] ポインタで定義されたステップが有効でない場合、シーケンスは実行されません。 11b = シーケンサ イネーブル: 一連のステップ全体を実行し、STEP_INIT[4:0] ポインタで定義されたステップから開始して、連続的に繰り返します。STEP_INIT[4:0] ポインタで定義されたステップが有効でない場合、シーケンスは実行されません。
5:4	STOP_BEHAVIOR[1:0]	R/W	00b	シーケンス停止動作の選択 これらのビットは、ストップ ビットの動作と START ピンの立ち下がりエッジの両方を定義します。 00b = 直ちに停止。現在の変換は完了していません。 01b = 電流変換完了後に停止。 10b = 現在のシーケンス ステップが完了した後に停止。このモード中に SEQ_MODE = 01b の場合、電流変換が完了した後に停止します。 11b = フル シーケンスの完了後に停止。このモード中に SEQ_MODE = 00b の場合、現在のシーケンス ステップが完了した後に停止します。このモード中に SEQ_MODE = 01b の場合、電流変換の完了後に停止します。
3:2	予約済み	R	00b	予約済み 常に 00b を読み出す
1:0	DRDY_CFG[1:0]	R/W	00b	DRDY 動作モードの選択 DRDY 動作モードを選択します。 00b = 変換完了ごとに DRDY 遷移。 01b = シーケンス ステップが完了するたびに DRDY 遷移します。 10b = シーケンスが完了するたびに DRDY 遷移。 11b = DRDY 遷移は、FIFO バッファの深度に関連する 2 つのスレッシュホールドによって定義され、FIFO_THRES_HI および FIFO_THRES_LO レジスタで定義されます。

7.6.1.19 SEQUENCE_STEP_EN_0 レジスタ (アドレス = 21h) [リセット = 01h]

概略表に戻ります。

図 7-95. SEQUENCE_STEP_EN_0 レジスタ

7	6	5	4	3	2	1	0
SEQ_STEP_7_EN	SEQ_STEP_6_EN	SEQ_STEP_5_EN	SEQ_STEP_4_EN	SEQ_STEP_3_EN	SEQ_STEP_2_EN	SEQ_STEP_1_EN	SEQ_STEP_0_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-1b

表 7-74. SEQUENCE_STEP_EN_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SEQ_STEP_7_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 7 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
6	SEQ_STEP_6_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 6 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
5	SEQ_STEP_5_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 5 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
4	SEQ_STEP_4_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 4 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
3	SEQ_STEP_3_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 3 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
2	SEQ_STEP_2_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 2 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
1	SEQ_STEP_1_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 1 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
0	SEQ_STEP_0_EN	R/W	1b	シーケンサ ステップの有効化 シーケンス ステップ 0 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。

7.6.1.20 SEQUENCE_STEP_EN_1 レジスタ (アドレス = 22h) [リセット = 00h]

概略表に戻ります。

図 7-96. SEQUENCE_STEP_EN_1 レジスタ

7	6	5	4	3	2	1	0
SEQ_STEP_15_EN	SEQ_STEP_14_EN	SEQ_STEP_13_EN	SEQ_STEP_12_EN	SEQ_STEP_11_EN	SEQ_STEP_10_EN	SEQ_STEP_9_EN	SEQ_STEP_8_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-75. SEQUENCE_STEP_EN_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SEQ_STEP_15_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 15 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
6	SEQ_STEP_14_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 14 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
5	SEQ_STEP_13_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 13 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
4	SEQ_STEP_12_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 12 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
3	SEQ_STEP_11_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 11 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
2	SEQ_STEP_10_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 10 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
1	SEQ_STEP_9_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 9 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
0	SEQ_STEP_8_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 8 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。

7.6.1.21 SEQUENCE_STEP_EN_2 レジスタ (アドレス = 23h) [リセット = 00h]

概略表に戻ります。

図 7-97. SEQUENCE_STEP_EN_2 レジスタ

7	6	5	4	3	2	1	0
SEQ_STEP_23_EN	SEQ_STEP_22_EN	SEQ_STEP_21_EN	SEQ_STEP_20_EN	SEQ_STEP_19_EN	SEQ_STEP_18_EN	SEQ_STEP_17_EN	SEQ_STEP_16_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-76. SEQUENCE_STEP_EN_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SEQ_STEP_23_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 23 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
6	SEQ_STEP_22_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 22 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
5	SEQ_STEP_21_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 21 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
4	SEQ_STEP_20_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 20 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
3	SEQ_STEP_19_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 19 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
2	SEQ_STEP_18_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 18 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
1	SEQ_STEP_17_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 17 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
0	SEQ_STEP_16_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 16 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。

7.6.1.22 SEQUENCE_STEP_EN_3 レジスタ (アドレス = 24h) [リセット = 00h]

概略表に戻ります。

図 7-98. SEQUENCE_STEP_EN_3 レジスタ

7	6	5	4	3	2	1	0
SEQ_STEP_31_EN	SEQ_STEP_30_EN	SEQ_STEP_29_EN	SEQ_STEP_28_EN	SEQ_STEP_27_EN	SEQ_STEP_26_EN	SEQ_STEP_25_EN	SEQ_STEP_24_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-77. SEQUENCE_STEP_EN_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SEQ_STEP_31_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 31 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
6	SEQ_STEP_30_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 30 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
5	SEQ_STEP_29_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 29 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
4	SEQ_STEP_28_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 28 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
3	SEQ_STEP_27_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 27 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
2	SEQ_STEP_26_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 26 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
1	SEQ_STEP_25_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 25 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。
0	SEQ_STEP_24_EN	R/W	0b	シーケンサ ステップの有効化 シーケンス ステップ 24 を有効にします。 0b = ステップは無効です。 1b = ステップは有効です。

7.6.1.23 FIFO_CFG レジスタ (アドレス = 25h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-99. FIFO_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み							FIFO_EN
R-0000000b							R/W-0b

表 7-78. FIFO_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0000000b	予約済み 常に 0000000b を読み出す
0	FIFO_EN	R/W	0b	FIFO イネーブル FIFO をイネーブルします。 0b = FIFO を無効化。(ディセーブルの場合、FIFO はフラッシュされ、書き込みポイントと読み取りポイントのリセット) 1b = FIFO は有効です。

7.6.1.24 FIFO_THRES_A_MSB レジスタ (アドレス = 26h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-100. FIFO_THRES_A_MSB レジスタ

7	6	5	4	3	2	1	0
予約済み							FIFO_THRES_A[8]
R-0000000b							R/W-0b

表 7-79. FIFO_THRES_A_MSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0000000b	予約済み 常に 0000000b を読み出す
0	FIFO_THRES_A[8]	R/W	0b	DRDY FIFO スレッシュホールド構成 MSB FIFO スレッシュホールド A の MSB ビット。シーケンサが DRDY_CFG=11b によって設定されたしきい値モードの場合の DRDY 遷移の上限しきい値。FIFO_DEPTH[DRDY] インジケータが上側スレッシュホールドに達すると、8:0 は Low に遷移します。

7.6.1.25 FIFO_THRES_A_LSB レジスタ (アドレス = 27h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-101. FIFO_THRES_A_LSB レジスタ

7	6	5	4	3	2	1	0
FIFO_THRES_A[7:0]							
R/W-00000000b							

表 7-80. FIFO_THRES_A_LSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	FIFO_THRES_A[7:0]	R/W	00000000b	DRDY FIFO スレッシュホールド A 構成 LSB FIFO スレッシュホールド A の LSB ビット。シーケンサーが DRDY_CFG=11b によって設定されたしきい値モードにある場合の DRDY 遷移の上限しきい値。FIFO_DEPTH[DRDY] インジケータが上側スレッシュホールドに達すると、8:0 は Low に遷移します。

7.6.1.26 FIFO_THRES_B_MSB レジスタ (アドレス = 28h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-102. FIFO_THRES_B_MSB レジスタ

7	6	5	4	3	2	1	0
予約済み							FIFO_THRES_B[8]
R-0000000b							R/W-0b

表 7-81. FIFO_THRES_B_MSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0000000b	予約済み 常に 0000000b を読み出す
0	FIFO_THRES_B[8]	R/W	0b	DRDY FIFO スレッシュホールド B 構成 MSB FIFO スレッシュホールド B の MSB ビット。シーケンサが DRDY_CFG=11b によって設定されたしきい値モードの場合の DRDY 遷移の上限しきい値。FIFO_DEPTH[8:0] インジケータが下限スレッシュホールドに達すると、DRDY は high に遷移します。

7.6.1.27 FIFO_THRES_B_LSB レジスタ (アドレス = 29h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-103. FIFO_THRES_B_LSB レジスタ

7	6	5	4	3	2	1	0
FIFO_THRES_B[7:0]							
R/W-00000000b							

表 7-82. FIFO_THRES_B_LSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	FIFO_THRES_B[7:0]	R/W	00000000b	DRDY FIFO スレッシュホールド B 構成 LSB FIFO スレッシュホールド B の LSB ビット。シーケンサーが DRDY_CFG=11b によって設定されたしきい値モードの場合の DRDY 遷移の上限しきい値。FIFO_DEPTH[8:0] インジケータが下限スレッシュホールドに達すると、DRDY は high に遷移します。

7.6.1.28 DIAG_MONITOR_CFG レジスタ (アドレス = 2Ah) [リセット = 20h]

[概略表](#)に戻ります。

図 7-104. DIAG_MONITOR_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み	TDAC_RANGE	FAULT_PIN_BEHAVIOR	REG_MAP_CRC_EN	予約済み	REF_UV_EN	STATUS_EN	SPI_CRC_EN
R-0b	R/W-0b	R/W-1b	R/W-0b	R-0b	R/W-0b	R/W-0b	R/W-0b

表 7-83. DIAG_MONITOR_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み 常に 0b を読み出す
6	TDAC_RANGE	R/W	0b	テスト DAC 範囲の選択 テスト DAC 範囲を選択します。 0b = TDAC の範囲は 2.5V です 1b = TDAC の範囲は 4.096V です
5	FAULT_PIN_BEHAVIOR	R/W	1b	故障ピンの動作の選択 故障ピンの動作を選択します。 0b = 故障ピン出力信号は静的:ピンは、故障がないとき high になります。故障が発生すると、このピンは low になります。 1b = 故障ピンの出力信号は動的:故障がないとき、ピンは #MOD#/256 で 50/50 デューティ サイクル信号です。故障時は low。
4	REG_MAP_CRC_EN	R/W	0b	レジスタ マップ CRC の有効化 一般構成ページ (レジスタ アドレス 12h ~ 32h) とステップ構成ページ (レジスタ アドレス 0h ~ 10h) のレジスタ マップの CRC を有効にします。 0b=ディセーブル 1b = イネーブル (すべてのステップ構成ページが CRC チェックされます)
3	予約済み	R	0b	予約済み 常に 0b を読み出す
2	REF_UV_EN	R/W	0b	リファレンス モニタの有効化 リファレンス モニタを有効にします。 0b = リファレンス モニタは無効です 1b = クロック モニタは有効です
1	STATUS_EN	R/W	0b	ステータス バイト出力イネーブル SDO でステータス バイトの送信を各 SPI フレームの最初の 2 バイトとしてイネーブルにします。 0b=ディセーブル 1b = イネーブル
0	SPI_CRC_EN	R/W	0b	SPI CRC 有効化 SDI および SDO の SPI CRC を有効にします。 0b=ディセーブル 1b = イネーブル

7.6.1.29 POSTFILTER_CFG0 レジスタ (アドレス = 2Bh) [リセット = 00h]

[概略表](#)に戻ります。

図 7-105. POSTFILTER_CFG0 レジスタ

7	6	5	4	3	2	1	0
予約済み					PF_AVG[1:0]		PF_CFG
R-00000b					R/W-00b		R/W-0b

表 7-84. POSTFILTER_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	予約済み	R	00000b	予約済み 常に 00000b を読み出す
2:1	PF_AVG[1:0]	R/W	00b	ポストフィルタの平均数選択 チャンネルあたりのデジタル ポストフィルタの平均数。SEQ_MODE[1:0] = 00b または 01b (シーケンサ無効) の場合、このフィールドは無視されます。 00b = 平均 4 01b = 平均 8 10b = 平均 16 11b = 平均 16
0	PF_CFG	R/W	0b	ポストフィルタ カスケード番号の選択 デジタル ポストフィルタ用のカスケード オプション。 0b = フィルタの非カスケード (sinc1 と相当) 1b = フィルタの 3 段カスケード (sinc3 と相当)

7.6.1.30 POSTFILTER_CFG1 レジスタ (アドレス = 2Ch) [リセット = 00h]

概略表に戻ります。

図 7-106. POSTFILTER_CFG1 レジスタ

7	6	5	4	3	2	1	0
PF7_EN	PF6_EN	PF5_EN	PF4_EN	PF3_EN	PF2_EN	PF1_EN	PF0_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-85. POSTFILTER_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PF7_EN	R/W	0b	チャネルごとのポスト フィルタ イネーブル ポスト フィルタ 7 のイネーブル (シーケンサ ステップ 7 に接続)。SEQ_MODE[1:0] = 00b または 01b (シーケンサ無効) の場合、このビットは無視されます。ポスト フィルタが有効化されている場合、シーケンサ ステップごとの変換数は強制的に 1 になります。つまり、STEPx_NUM_CONV[3:0] = 0 になります。いずれかのポスト フィルタがアクティブな場合、手順 0 から手順 7 のみが有効です。その他のステップはすべて無視されます。 0b = ディスエーブル 1b = イネーブル
6	PF6_EN	R/W	0b	チャネルごとのポスト フィルタ イネーブル ポスト フィルタ 6 のイネーブル (シーケンサ ステップ 6 に接続)。SEQ_MODE[1:0] = 00b または 01b (シーケンサ無効) の場合、このビットは無視されます。ポスト フィルタが有効化されている場合、シーケンサ ステップごとの変換数は強制的に 1 になります。つまり、STEPx_NUM_CONV[3:0] = 0 になります。いずれかのポスト フィルタがアクティブな場合、手順 0 から手順 7 のみが有効です。その他のステップはすべて無視されます。 0b = ディスエーブル 1b = イネーブル
5	PF5_EN	R/W	0b	チャネルごとのポスト フィルタ イネーブル ポスト フィルタ 5 のイネーブル (シーケンサ ステップ 5 に接続)。SEQ_MODE[1:0] = 00b または 01b (シーケンサ無効) の場合、このビットは無視されます。ポスト フィルタが有効化されている場合、シーケンサ ステップごとの変換数は強制的に 1 になります。つまり、STEPx_NUM_CONV[3:0] = 0 になります。いずれかのポスト フィルタがアクティブな場合、手順 0 から手順 7 のみが有効です。その他のステップはすべて無視されます。 0b = ディスエーブル 1b = イネーブル
4	PF4_EN	R/W	0b	チャネルごとのポスト フィルタ イネーブル ポスト フィルタ 4 のイネーブル (シーケンサ ステップ 4 に接続)。SEQ_MODE[1:0] = 00b または 01b (シーケンサ無効) の場合、このビットは無視されます。ポスト フィルタが有効化されている場合、シーケンサ ステップごとの変換数は強制的に 1 になります。つまり、STEPx_NUM_CONV[3:0] = 0 になります。いずれかのポスト フィルタがアクティブな場合、手順 0 から手順 7 のみが有効です。その他のステップはすべて無視されます。 0b = ディスエーブル 1b = イネーブル
3	PF3_EN	R/W	0b	チャネルごとのポスト フィルタ イネーブル ポスト フィルタ 3 のイネーブル (シーケンサ ステップ 3 に接続)。SEQ_MODE[1:0] = 00b または 01b (シーケンサ無効) の場合、このビットは無視されます。ポスト フィルタが有効化されている場合、シーケンサ ステップごとの変換数は強制的に 1 になります。つまり、STEPx_NUM_CONV[3:0] = 0 になります。いずれかのポスト フィルタがアクティブな場合、手順 0 から手順 7 のみが有効です。その他のステップはすべて無視されます。 0b = ディスエーブル 1b = イネーブル
2	PF2_EN	R/W	0b	チャネルごとのポスト フィルタ イネーブル ポスト フィルタ 2 のイネーブル (シーケンサ ステップ 2 に接続)。SEQ_MODE[1:0] = 00b または 01b (シーケンサ無効) の場合、このビットは無視されます。ポスト フィルタが有効化されている場合、シーケンサ ステップごとの変換数は強制的に 1 になります。つまり、STEPx_NUM_CONV[3:0] = 0 になります。いずれかのポスト フィルタがアクティブな場合、手順 0 から手順 7 のみが有効です。その他のステップはすべて無視されます。 0b = ディスエーブル 1b = イネーブル
1	PF1_EN	R/W	0b	チャネルごとのポスト フィルタ イネーブル ポスト フィルタ 1 のイネーブル (シーケンサ ステップ 1 に接続)。SEQ_MODE[1:0] = 00b または 01b (シーケンサ無効) の場合、このビットは無視されます。ポスト フィルタが有効化されている場合、シーケンサ ステップごとの変換数は強制的に 1 になります。つまり、STEPx_NUM_CONV[3:0] = 0 になります。いずれかのポスト フィルタがアクティブな場合、手順 0 から手順 7 のみが有効です。その他のステップはすべて無視されます。 0b = ディスエーブル 1b = イネーブル

表 7-85. POSTFILTER_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	PF0_EN	R/W	0b	チャンネルごとのポストフィルタ イネーブル ポストフィルタ 0 のイネーブル (シーケンサ ステップ 0 に接続)。SEQ_MODE[1:0] = 00b または 01b (シーケンサ無効) の場合、このビットは無視されます。ポストフィルタが有効化されている場合、シーケンサ ステップごとの変換数は強制的に 1 になります。つまり、STEPx_NUM_CONV[3:0] = 0 になります。いずれかのポストフィルタがアクティブな場合、手順 0 から手順 7 のみが有効です。その他のステップはすべて無視されます。 0b = ディスエーブル 1b = イネーブル

7.6.1.31 POSTFILTER_CFG2 レジスタ (アドレス = 2Dh) [リセット = FFh]

概略表に戻ります。

図 7-107. POSTFILTER_CFG2 レジスタ

7	6	5	4	3	2	1	0
PF7_BYPASS	PF6_BYPASS	PF5_BYPASS	PF4_BYPASS	PF3_BYPASS	PF2_BYPASS	PF1_BYPASS	PF0_BYPASS
R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 7-86. POSTFILTER_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PF7_BYPASS	R/W	1b	チャネルごとのポスト フィルタ バイパス ポスト フィルタ 7 のバイパス (シーケンサ ステップ 7 に接続)。0b = ポスト フィルタ処理されたデータが出力に供給される 1b = ポスト フィルタはバイパスされ、データは sync4 フィルタから直接供給されます 0b = ポスト フィルタ処理されたデータが出力に供給されます 1b = ポスト フィルタはバイパスされ、データは sync4 フィルタから直接供給されます
6	PF6_BYPASS	R/W	1b	チャネルごとのポスト フィルタ バイパス ポスト フィルタ 6 のバイパス (シーケンサ ステップ 6 に接続) バイパス モードでは、データが sync4 フィルタから出力に直接供給されます。 0b = ポスト フィルタ処理されたデータが出力に供給されます 1b = ポスト フィルタはバイパスされ、データは Sync4 フィルタから直接供給されます
5	PF5_BYPASS	R/W	1b	チャネルごとのポスト フィルタ バイパス ポスト フィルタ 5 のバイパス (シーケンサ ステップ 5 に接続)。0b = ポスト フィルタ処理されたデータが出力に供給される 1b = ポスト フィルタはバイパスされ、データは sync4 フィルタから直接供給されます 0b = ポスト フィルタ処理されたデータが出力に供給されます 1b = ポスト フィルタはバイパスされ、データは sync4 フィルタから直接供給されます
4	PF4_BYPASS	R/W	1b	チャネルごとのポスト フィルタ バイパス ポスト フィルタ 4 の バイパス (シーケンサ ステップ 4 に接続)。0b = ポスト フィルタ処理されたデータが出力に供給される 1b = ポスト フィルタはバイパスされ、データは sync4 フィルタから直接供給されます 0b = ポスト フィルタ処理されたデータが出力に供給されます 1b = ポスト フィルタはバイパスされ、データは sync4 フィルタから直接供給されます
3	PF3_BYPASS	R/W	1b	チャネルごとのポスト フィルタ バイパス ポスト フィルタ 3 のバイパス (シーケンサ ステップ 3 に接続) バイパス モードでは、データが SYNC4 フィルタから出力に直接供給されます。 0b = ポスト フィルタ処理されたデータが出力に供給されます 1b = ポスト フィルタはバイパスされ、データは sync4 フィルタから直接供給されます
2	PF2_BYPASS	R/W	1b	ポスト フィルタ 2 のチャネルごとのポスト フィルタ バイパス (シーケンサ ステップ 2 に接続)。0b = ポスト フィルタ処理されたデータが出力に供給される 1b = ポスト フィルタはバイパスされ、データは sync4 フィルタから直接供給されます 0b = ポスト フィルタ処理されたデータが出力に供給されます 1b = ポスト フィルタはバイパスされ、データは sync4 フィルタから直接供給されます
1	PF1_BYPASS	R/W	1b	チャネルごとのポスト フィルタ バイパス ポスト フィルタ 0 のバイパス (シーケンサ ステップ 0 に接続)。0b = ポスト フィルタ処理されたデータが出力に供給される 1b = ポスト フィルタはバイパスされ、データは Sync4 フィルタから直接供給されます 0b = ポスト フィルタ処理されたデータが出力に供給されます 1b = ポスト フィルタはバイパスされ、データは Sync4 フィルタから直接供給されます
0	PF0_BYPASS	R/W	1b	チャネルごとのポスト フィルタ バイパス ポスト フィルタ 1 のバイパス (シーケンサ ステップ 1 に接続)。0b = ポスト フィルタ処理されたデータが出力に供給される 1b = ポスト フィルタはバイパスされ、データは Sync4 フィルタから直接供給されます 0b = ポスト フィルタ処理されたデータが出力に供給されます 1b = ポスト フィルタはバイパスされ、データは Sync4 フィルタから直接供給されます

7.6.1.32 CS_FWD_CFG レジスタ (アドレス = 30h) [リセット = 00h]

概略表に戻ります。

図 7-108. CS_FWD_CFG レジスタ

7	6	5	4	3	2	1	0
CS_FWD_EN_CODE[5:0]						TIMEOUT_SEL[1:0]	
R/W-000000b						R/W-00b	

表 7-87. CS_FWD_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	CS_FWD_EN_CODE[5:0]	R/W	000000b	CS フォワード機能の有効化 010111b を書き込み、CS フォワード機能を有効化します。GPIOx_FWD_EN ビットは、CS 転送モードで動作する GPIO ピンを選択します。これらのビットの読み取り値は常に 00000000b です。
1:0	TIMEOUT_SEL[1:0]	R/W	00b	タイムアウト イネーブルと持続時間の選択 SPI タイムアウトを有効化し、タイムアウト時間を設定します。有効にすると、CSn の立ち下がりがエッジの後、タイムアウトは選択した MCLK サイクル数以内に CSn の立ち上がりエッジが発生するかどうかをチェックします。タイムアウトが発生すると、CSn の立ち上がりエッジより前に、SDI 上の残りの SPI フレームは無視されます。新しい SPI トランザクションは、次の CSn の立ち下がりがエッジで開始されます。 00b タイムアウトの無効化 01b = 短いタイムアウトでのタイムアウト有効化、256 MCLK サイクル 10b = 中長のタイムアウトでのタイムアウト有効化、2048 MCLK サイクル 11b = 長いタイムアウトでタイムアウトが有効、16384 MCLK サイクル

7.6.1.33 GPIO_FWD_CFG レジスタ (アドレス = 32h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-109. GPIO_FWD_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み				GPIO3_FWD_EN	GPIO2_FWD_EN	GPIO1_FWD_EN	GPIO0_FWD_EN
R-0000b				R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-88. GPIO_FWD_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0000b	予約済み 常に 0000b を読み出す
3	GPIO3_FWD_EN	R/W	0b	CS フォワード ピンの有効化 GPIO3 CS フォワード構成。GPIO3 ピンを CS フォワード/出力ピンとして構成します。このビットが high の場合、GPIO_CFG レジスタの GPIO3_CFG[1:0] ビットは無視されます。 0b = GPIO3 は CS フォワードとして構成されていません。 1b = GPIO3 は CS フォワードとして構成されています。
2	GPIO2_FWD_EN	R/W	0b	CS フォワード ピンの有効化 GPIO2 CS フォワード構成。GPIO2 ピンを CS フォワード/出力ピンとして構成します。このビットが high の場合、GPIO_CFG レジスタの GPIO2_CFG[1:0] ビットは無視されます。 0b = GPIO2 は CS フォワードとして構成されていません。 1b = GPIO2 は CS フォワードとして構成されています。
1	GPIO1_FWD_EN	R/W	0b	CS フォワード ピンの有効化 GPIO1 CS フォワード構成。GPIO1 ピンを CS フォワード/出力ピンとして構成します。このビットが high の場合、GPIO_CFG レジスタの GPIO1_CFG[1:0] ビットは無視されます。 0b = GPIO1 は CS フォワードとして構成されていません。 1b = GPIO1 は CS フォワードとして構成されています。
0	GPIO0_FWD_EN	R/W	0b	CS フォワード ピンの有効化 GPIO0 CS フォワード構成。GPIO0 ピンを CS フォワード/出力ピンとして構成します。このビットが high の場合、GPIO_CFG レジスタの GPIO0_CFG[1:0] ビットは無視されます。 0b = GPIO0 は CS フォワードとして構成されていません。 1b = GPIO0 は CS フォワードとして構成されています。

7.6.1.34 REG_MAP_CRC レジスタ (アドレス = 3Dh) [リセット = 00h]

[概略表](#)に戻ります。

図 7-110. REG_MAP_CRC レジスタ

7	6	5	4	3	2	1	0
GENERAL_CFG_REG_MAP_CRC_VALUE[7:0]							
R/W-00000000b							

表 7-89. REG_MAP_CRC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	GENERAL_CFG_REG_MAP_CRC_VALUE[7:0]	R/W	00000000b	全般的な構成ページのレジスタ マップの CRC レジスタ マップの CRC 値 レジスタ マップの CRC 値は、一般的な構成ページのレジスタ 0x12 ~ 0x32 のユーザーが計算した CRC 値です。このレジスタに書き込まれた CRC 値は、内部 CRC 計算と比較されます。値が一致しない場合、REG_MAP_CRC_FAULTn ビットがセットされます。REG_MAP_CRC_EN ビットを使用して、レジスタ マップの CRC を有効にします。

7.6.1.35 PAGE_INDICATOR レジスタ (アドレス = 3Eh) [リセット = 00h]

[概略表](#)に戻ります。

図 7-111. PAGE_INDICATOR レジスタ

7	6	5	4	3	2	1	0
PAGE_INDICATOR[7:0]							
R-00000000b							

表 7-90. PAGE_INDICATOR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	PAGE_INDICATOR[7:0]	R	00000000b	レジスタ ページ インジケータ アクティブなレジスタ ページを示します。

7.6.1.36 PAGE_POINTER レジスタ (アドレス = 3Fh) [リセット = 00h]

[概略表](#)に戻ります。

図 7-112. PAGE_POINTER レジスタ

7	6	5	4	3	2	1	0
PAGE_POINTER[7:0]							
R/W-00000000b							

表 7-91. PAGE_POINTER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	PAGE_POINTER[7:0]	R/W	00000000b	レジスタ ページ ポインタ アクティブなレジスタ ページを選択します。

7.6.2 ADS125H18 ステップ構成ページ

表 7-92 では、ADS125H18 のステップ設定ページのレジスタに対応するメモリ マップド レジスタを一覧表示します。表 7-92 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-92. レジスタ マップ

アドレス	略称	リセット	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
00h	STEPx_AIN_CFG	00h	予約済み			STEPx_AIN[4:0]					
01h	予約済み	00h	予約済み							予約済み	
02h	STEPx_ADC_REF_CFG	00h	STEPx_GAIN_BIN[1:0]		STEPx_CODING	STEPx_REF_SEL	STEPx_NUM_CONV[3:0]				
03h	STEPx_FLTR1_CFG	01h	予約済み		STEPx_FLTR_MODE	STEPx_FLTR_OSR[4:0]					
04h	STEPx_DELAY_MSB_CFG	00h	STEPx_DELAY_MSB[7:0]								
05h	STEPx_DELAY_LSB_CFG	00h	STEPx_DELAY_LSB[7:0]								
06h	STEPx_OFFSET_CAL_MSB	00h	STEPx_OFFSET_CAL[23:16]								
07h	STEPx_OFFSET_CAL_LSB	00h	STEPx_OFFSET_CAL[15:8]								
08h	STEPx_OFFSET_CAL_LSB	00h	STEPx_OFFSET_CAL[7:0]								
09h	STEPx_GAIN_CAL_MSB	40h	STEPx_GAIN_CAL[15:8]								
0Ah	STEPx_GAIN_CAL_LSB	00h	STEPx_GAIN_CAL[7:0]								
0Bh	STEPx_OW_SYSMON_CFG	00h	予約済み	STEPx_OWCS_EN	予約済み			STEPx_SYS_MON[3:0]			
0Ch	STEPx_TDAC_CFG0	00h	予約済み				STEPx_TDAC_VAL[4:0]				
0Dh	STEPx_TDAC_CFG1	00h	予約済み				STEPx_TDAC_SEL[4:0]				
0Eh	STEPx_SPARE_CFG	00h	STEPx_SPARE7	STEPx_SPARE6	STEPx_SPARE5	STEPx_SPARE4	STEPx_SPARE3	STEPx_SPARE2	STEPx_SPARE1	STEPx_SPARE0	
0Fh	予約済み	00h	予約済み							予約済み	
10h	STEPx_GPIO_DATA_OUT	00h	予約済み					STEPx_GPIO3_DAT_OUT	STEPx_GPIO2_DAT_OUT	STEPx_GPIO1_DAT_OUT	STEPx_GPIO0_DAT_OUT
3Dh	STEPx_REG_MAP_CRC	00h	STEPx_REG_MAP_CRC_VALUE[7:0]								
3Eh	STEPx_PAGE_INDICATOR	00h	STEPx_PAGE_INDICATOR[7:0]								
3Fh	STEPx_PAGE_POINTER	00h	STEPx_PAGE_POINTER[7:0]								

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-93 に、このセクションでアクセス タイプに使用しているコードを示します。

**表 7-93. ADS125H18 のステップ設定ページのアクセス
タイプ コード**

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.6.2.1 STEPx_AIN_CFG レジスタ (アドレス = 00h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-113. STEPx_AIN_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み				STEPx_AIN[4:0]			
R-000b				R/W-00000b			

表 7-94. STEPx_AIN_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	000b	予約済み 常に 000b を読み出す
4:0	STEPx_AIN[4:0]	R/W	00000b	<p>マルチプレクサ入力を選択 ADC のアナログ入力を選択します。システム監視がアクティブであるなら、このレジスタは無視されます。</p> <p>00000b = (AIN0-RESN) 00001b = (AIN1-RESN) 00010b = (AIN2-RESN) 00011b = (AIN3-RESN) 00100b = (AIN4-RESN) 00101b = (AIN5-RESN) 00110b = (AIN6-RESN) 00111b = (AIN7-RESN) 01000b = (AIN8-RESN) 01001b = (AIN9-RESN) 01010b = (AIN10-RESN) 01011b = (AIN11-RESN) 01100b = (AIN12-RESN) 01101b = (AIN13-RESN) 01110b = (AIN14-RESN) 01111b = (AIN15-RESN) 10000b = (AIN0-AIN1) 10001b = (AIN2-AIN3) 10010b = (AIN4-AIN5) 10011b = (AIN6-AIN7) 10100b = (AIN8-AIN9) 10101b = (AIN10-AIN11) 10110b = (AIN12-AIN13) 10111b = (AIN14-AIN15) 11000b = オープン 11001b = オープン 11010b = オープン 11011b = オープン 11100b = オープン 11101b = オープン 11110b = オープン 11111b = オープン</p>

7.6.2.2 STEP_x_ADC_REF_CFG レジスタ (アドレス = 02h) [リセット = 00h]

概略表に戻ります。

図 7-114. STEP_x_ADC_REF_CFG レジスタ

7	6	5	4	3	2	1	0
STEP _x _GAIN_BIN[1:0]		STEP _x _CODING	STEP _x _REF_SEL	STEP _x _NUM_CONV[3:0]			
R/W-00b		R/W-0b	R/W-0b	R/W-0000b			

表 7-95. STEP_x_ADC_REF_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	STEP _x _GAIN_BIN[1:0]	R/W	00b	ゲインの選択 このシーケンス ステップのデジタル (バイナリ) ゲインを選択します。 00b = ゲイン 1 01b = ゲイン 2 10b = ゲイン 4 11b = ゲイン 8
5	STEP _x _CODING	R/W	0b	変換データ コーディングの選択 変換データのコーディングを選択します。 0b = バイポーラ、二つの補数形式 1b = ユニポーラ、ストレート バイナリ フォーマット
4	STEP _x _REF_SEL	R/W	0b	リファレンス電圧源に関する選択 0b = 外部基準電圧 (REFP, REFN) 1b = 内部電圧リファレンス
3:0	STEP _x _NUM_CONV[3:0]	R/W	0000b	このシーケンス ステップにおける ADC 変換数 各シーケンス ステップに対して最大 512 ADC 変換できます。この値は、ステップごとに個別にプログラムできます。 0000b = 1 変換 0001b = 2 変換 0010b = 3 変換 0011b = 4 変換 0100b = 6 変換 0101b = 8 変換 0110b = 10 変換 0111b = 12 変換 1000b = 14 変換 1001b = 16 変換 1010b = 24 変換 1011b = 32 変換 1100b = 64 変換 1101b = 128 変換 1110b = 256 変換 1111b = 512 変換

7.6.2.3 STEP_x_FLTR1_CFG レジスタ (アドレス = 03h) [リセット = 01h]

概略表に戻ります。

図 7-115. STEP_x_FLTR1_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み		STEP _x _FLTR_MODE		STEP _x _FLTR_OSR[4:0]			
R-00b		R/W-0b		R/W-00001b			

表 7-96. STEP_x_FLTR1_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	00b	予約済み 常に 00b を読み出す
5	STEP _x _FLTR_MODE	R/W	0b	デジタル フィルタ モードの選択 最初の段のフィルタに sinc3 または sinc4 を選択します。 0b = 最初の段のフィルタ sinc4 1b = 最初の段のフィルタ sinc3
4:0	STEP _x _FLTR_OSR[4:0]	R/W	00001b	デジタル フィルタ オーバーサンプリングの選択 これらのビットは、オーバーサンプリング比と Sinc フィルタ動作の組み合わせを選択します。Sinc _x = sinc3 または sinc4 のフィルタ選択は、STEP _x _FLTR_MODE ビットによって行われます。出力 データ レートは $f_{CLK}/2/OSR$ と同じです。 00000b = SINC _x , OSR = 12 00001b = SINC _x , OSR = 16 00010b = SINC _x , OSR = 24 00011b = SINC _x , OSR = 32 00100b = SINC _x , OSR = 64 00101b = SINC _x , OSR = 128 00110b = SINC _x , OSR = 256 00111b = SINC _x , OSR = 512 01000b = SINC _x , OSR = 1024 01001b = SINC _x , OSR = 2048 01010b = SINC _x , OSR = 4000 01011b = SINC _x , OSR = 8000 01100b = SINC _x , OSR = 16000 01101b = SINC _x , OSR = 26667 01110b = SINC _x , OSR = 32000 01111b = SINC _x , OSR = 96000 10000b = SINC _x , OSR = 160000 10001b = SINC4, OSR = 32 + SINC1, OSR = 2 10010b = SINC4, OSR = 32 + SINC1, OSR = 4 10011b = SINC4, OSR = 32 + SINC1, OSR = 8 10100b = SINC4, OSR = 32 + SINC1, OSR = 16 10101b = SINC4, OSR = 32 + SINC1, OSR = 32 10110b = SINC4, OSR = 32 + SINC1, OSR = 64 10111b = SINC4, OSR = 32 + SINC1, OSR = 125 11000b = SINC4, OSR = 32 + SINC1, OSR = 250 11001b = SINC4, OSR = 32 + SINC1, OSR = 500 11010b = SINC4, OSR = 32 + SINC1, OSR = 833 11011b = SINC4, OSR = 32 + SINC1, OSR = 1000 11100b = SINC4, OSR = 32 + SINC1, OSR = 3000 11101b = SINC4, OSR = 32 + SINC1, OSR = 5000 11110b = SINC4, OSR = 32 + SINC1, OSR = 20 + 99 タップ FIR, 25SPS 11111b = SINC4, OSR = 32 + SINC1, OSR = 20 + 124 タップ FIR, 20SPS

7.6.2.4 STEP_x_DELAY_MSB_CFG レジスタ (アドレス = 04h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-116. STEP_x_DELAY_MSB_CFG レジスタ

7	6	5	4	3	2	1	0
STEP _x _DELAY_MSB[7:0]							
R/W-00000000b							

表 7-97. STEP_x_DELAY_MSB_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEP _x _DELAY_MSB[7:0]	R/W	00000000b	変換開始遅延時間の選択、MSB START が適用されたとき、またはシーケンス ステップが開始されたときの最初の変換の開始前の プログラム可能な遅延時間 (MSB バイト)。遅延時間は、 f_{MOD} クロック サイクル数で与えられます ($f_{MOD} = f_{CLK}/2$)。これは合計で 16 ビットのレジスタです。

7.6.2.5 STEP_x_DELAY_LSB_CFG レジスタ (アドレス = 05h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-117. STEP_x_DELAY_LSB_CFG レジスタ

7	6	5	4	3	2	1	0
STEP _x _DELAY_LSB[7:0]							
R/W-00000000b							

表 7-98. STEP_x_DELAY_LSB_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEP _x _DELAY_LSB[7:0]	R/W	00000000b	変換開始遅延時間の選択、LSB START が適用されたとき、またはシーケンス ステップが開始されたときの最初の変換の開始前の プログラム可能な遅延時間 (LSB バイト)。遅延時間は、 f_{MOD} クロック サイクル数で与えられます ($f_{MOD} = f_{CLK}/2$)。これは合計で 16 ビットのレジスタです。

7.6.2.6 STEP_x_OFFSET_CAL_MSB レジスタ (アドレス = 06h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-118. STEP_x_OFFSET_CAL_MSB レジスタ

7	6	5	4	3	2	1	0
STEP _x _OFFSET_CAL[23:16]							
R/W-00000000b							

表 7-99. STEP_x_OFFSET_CAL_MSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEP _x _OFFSET_CAL[23:16]	R/W	00000000b	オフセット校正係数、MSB オフセット校正係数を設定します。

7.6.2.7 STEP_x_OFFSET_CAL_ISB レジスタ (アドレス = 07h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-119. STEP_x_OFFSET_CAL_ISB レジスタ

7	6	5	4	3	2	1	0
STEP _x _OFFSET_CAL[15:8]							
R/W-00000000b							

表 7-100. STEP_x_OFFSET_CAL_ISB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEP _x _OFFSET_CAL[15:8]	R/W	00000000b	オフセット校正係数、ISB オフセット校正係数を設定します。

7.6.2.8 STEP_x_OFFSET_CAL_LSB レジスタ (アドレス = 08h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-120. STEP_x_OFFSET_CAL_LSB レジスタ

7	6	5	4	3	2	1	0
STEP _x _OFFSET_CAL[7:0]							
R/W-00000000b							

表 7-101. STEP_x_OFFSET_CAL_LSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEP _x _OFFSET_CAL[7:0]	R/W	00000000b	オフセット校正係数、LSB オフセット校正係数を設定します。

7.6.2.9 STEP_x_GAIN_CAL_MSB レジスタ (アドレス = 09h) [リセット = 40h]

[概略表](#)に戻ります。

図 7-121. STEP_x_GAIN_CAL_MSB レジスタ

7	6	5	4	3	2	1	0
STEP _x _GAIN_CAL[15:8]							
R/W-01000000b							

表 7-102. STEP_x_GAIN_CAL_MSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEP _x _GAIN_CAL[15:8]	R/W	01000000b	ゲイン較正係数、MSB ゲイン較正係数を設定します。

7.6.2.10 STEP_x_GAIN_CAL_LSB レジスタ (アドレス = 0Ah) [リセット = 00h]

[概略表](#)に戻ります。

図 7-122. STEP_x_GAIN_CAL_LSB レジスタ

7	6	5	4	3	2	1	0
STEP _x _GAIN_CAL[7:0]							
R/W-00000000b							

表 7-103. STEP_x_GAIN_CAL_LSB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEP _x _GAIN_CAL[7:0]	R/W	00000000b	ゲイン較正係数、LSB ゲイン較正係数を設定します。

7.6.2.11 STEP_x_OW_SYSMON_CFG レジスタ (アドレス = 0Bh) [リセット = 00h]

概略表に戻ります。

図 7-123. STEP_x_OW_SYSMON_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み	STEP _x _OWCS_EN	予約済み					STEP _x _SYS_MON[3:0]
R-0b	R/W-0b	R-00b					R/W-0000b

表 7-104. STEP_x_OW_SYSMON_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み 常に 0b を読み出す
6	STEP _x _OWCS_EN	R/W	0b	オープン ワイヤ/バーンアウト電流ソース有効化 オープンワイヤ検出電流源が有効になります。 0b = ディスエーブル 1b = イネーブル
5:4	予約済み	R	00b	予約済み 常に 00b を読み出す
3:0	STEP _x _SYS_MON[3:0]	R/W	0000b	負のマルチプレクサ入力を選択 ADC のシステム モニタ入力を選択します。システム モニタのいずれかが選択されている場合、AIN[4:0] ビットは無効です。システム モニタを選択すると、アナログ入力および TDAC 多重化信号は、バッファから切断されます。すべての設定には、内部 2.5V 診断リファレンスを使用します。 0000b = オフ (モニタが選択されていません) 0001b = 内部短絡: 正および負入力を AVSS に短絡 0010b = 温度センサ 0011b = (AVDD-AVSS)/3 0100b = (CAPA-AVSS)/1 0101b = (IOVDD-DGND)/3 0110b = (CAPD-DGND)/1 0111b = (REFP-REFN)/3 1000b = (RESP-RESN)/3 1001b = オフ (モニタが選択されていません) 1010b = オフ (モニタが選択されていません) 1011b = オフ (モニタが選択されていません) 1100b = オフ (モニタが選択されていません) 1101b = オフ (モニタが選択されていません) 1110b = オフ (モニタが選択されていません) 1111b = オフ (モニタが選択されていません)

7.6.2.12 STEPx_TDAC_CFG0 レジスタ (アドレス = 0Ch) [リセット = 00h]

[概略表](#)に戻ります。

図 7-124. STEPx_TDAC_CFG0 レジスタ

7	6	5	4	3	2	1	0
予約済み			STEPx_TDAC_VAL[4:0]				
R-000b			R/W-00000b				

表 7-105. STEPx_TDAC_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	000b	予約済み 常に 000b を読み出す
4:0	STEPx_TDAC_VAL[4:0]	R/W	00000b	TestDAC 出力値の選択 これは、ストレート バイナリ コーディング (等間隔のテストポイント) を備えた 5 ビット DAC です。参照値はグローバル ページで選択した値と同じですが、診断/冗長参照を使用します。

7.6.2.13 STEPx_TDAC_CFG1 レジスタ (アドレス = 0Dh) [リセット = 00h]

[概略表](#)に戻ります。

図 7-125. STEPx_TDAC_CFG1 レジスタ

7	6	5	4	3	2	1	0
予約済み				STEPx_TDAC_SEL[4:0]			
R-000b				R/W-00000b			

表 7-106. STEPx_TDAC_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	000b	予約済み 常に 000b を読み出す
4:0	STEPx_TDAC_SEL[4:0]	R/W	00000b	<p>テスト DAC マルチプレクサ入力を選択 システム モニタがアクティブである場合、このレジスタは無視されます。テスト DAC 出力信号を注入するマルチプレクサ チャネルを選択します。</p> <p>00000b = オープン 00001b = TDAC はバッファなしの正の入力、負の入力は AVSS に接続 00010b = TDAC はバッファなし、負の入力に接続。正の入力を AVSS に接続 00011b = AIN0 00100b = AIN1 00101b = AIN2 00110b = AIN3 00111b = AIN4 01000b = AIN5 01001b = AIN6 01010b = AIN7 01011b = AIN8 01100b = AIN9 01101b = AIN10 01110b = AIN11 01111b = AIN12 10000b = AIN13 10001b = AIN14 10010b = AIN15 10011b = REFP/TDAC ビン 10100b = オープン 10101b = オープン 10110b = オープン 10111b = オープン 11000b = オープン 11001b = オープン 11010b = オープン 11011b = オープン 11100b = オープン 11101b = オープン 11110b = オープン 11111b = オープン</p>

7.6.2.14 STEPx_SPARE_CFG レジスタ (アドレス = 0Eh) [リセット = 00h]

概略表に戻ります。

図 7-126. STEPx_SPARE_CFG レジスタ

7	6	5	4	3	2	1	0
STEPx_SPARE7	STEPx_SPARE6	STEPx_SPARE5	STEPx_SPARE4	STEPx_SPARE3	STEPx_SPARE2	STEPx_SPARE1	STEPx_SPARE0
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-107. STEPx_SPARE_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	STEPx_SPARE7	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています
6	STEPx_SPARE6	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています
5	STEPx_SPARE5	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています
4	STEPx_SPARE4	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています
3	STEPx_SPARE3	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています
2	STEPx_SPARE2	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています
1	STEPx_SPARE1	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています
0	STEPx_SPARE0	R/W	0b	ユーザー機能または CRC チェック用の予備レジスタビット 。0b = 予備として 0b にプログラムされています 1b = 予備として 1b にプログラムされています

7.6.2.15 STEPx_GPIO_DATA_OUT レジスタ (アドレス = 10h) [リセット = 00h]

[概略表](#)に戻ります。

図 7-127. STEPx_GPIO_DATA_OUT レジスタ

7	6	5	4	3	2	1	0
予約済み				STEPx_GPIO3_DAT_OUT	STEPx_GPIO2_DAT_OUT	STEPx_GPIO1_DAT_OUT	STEPx_GPIO0_DAT_OUT
R-0000b				R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-108. STEPx_GPIO_DATA_OUT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0000b	予約済み 常に 0000b を読み出す
3	STEPx_GPIO3_DAT_OUT	R/W	0b	GPIO3 データ 出力として設定されている場合は、GPIO3 の値を書き込みます。GPIO3 が入力として構成されている場合、ビット設定は影響されません。 0b = Low 1b = High
2	STEPx_GPIO2_DAT_OUT	R/W	0b	GPIO2 データ 出力として設定されている場合は、GPIO2 の値を書き込みます。GPIO2 が入力として構成されている場合、ビット設定は影響されません。 0b = Low 1b = High
1	STEPx_GPIO1_DAT_OUT	R/W	0b	GPIO1 データ 出力として設定されている場合は、GPIO1 の値を書き込みます。GPIO1 が入力として構成されている場合、ビット設定は影響されません。 0b = Low 1b = High
0	STEPx_GPIO0_DAT_OUT	R/W	0b	GPIO0 データ 出力として設定されている場合は、GPIO0 の値を書き込みます。GPIO0 が入力として構成されている場合、ビット設定は影響されません。 0b = Low 1b = High

7.6.2.16 STEPx_REG_MAP_CRC レジスタ (アドレス = 3Dh) [リセット = 00h]

[概略表](#)に戻ります。

図 7-128. STEPx_REG_MAP_CRC レジスタ

7	6	5	4	3	2	1	0
STEPx_REG_MAP_CRC_VALUE[7:0]							
R/W-00000000b							

表 7-109. STEPx_REG_MAP_CRC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEPx_REG_MAP_CRC_VALUE[7:0]	R/W	00000000b	ステップ構成ページのレジスタマップ CRC レジスタマップの CRC 値 レジスタマップの CRC 値は、ステップ ページで計算された 0x00 ~ 0x10 レジスタの CRC 値です。このレジスタに書き込まれた CRC 値は、内部 CRC 計算と比較されます。値が一致しない場合、REG_MAP_CRC_FAULTn ビットがセットされます。 REG_MAP_CRC_EN ビットを使用して、レジスタマップの CRC を有効にします。

7.6.2.17 STEP_x_PAGE_INDICATOR レジスタ (アドレス = 3Eh) [リセット = 00h]

[概略表](#)に戻ります。

図 7-129. STEP_x_PAGE_INDICATOR レジスタ

7	6	5	4	3	2	1	0
STEP _x _PAGE_INDICATOR[7:0]							
R-00000000b							

表 7-110. STEP_x_PAGE_INDICATOR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEP _x _PAGE_INDICATOR[7:0]	R	00000000b	レジスタ ページ インジケータ アクティブなレジスタ ページを示します。

7.6.2.18 STEPx_PAGE_POINTER レジスタ (アドレス = 3Fh) [リセット = 00h]

[概略表](#)に戻ります。

図 7-130. STEPx_PAGE_POINTER レジスタ

7	6	5	4	3	2	1	0
STEPx_PAGE_POINTER[7:0]							
R/W-00000000b							

表 7-111. STEPx_PAGE_POINTER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STEPx_PAGE_POINTER[7:0]	R/W	00000000b	レジスタ ページ ポインタ アクティブなレジスタ ページを選択します。

8 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

8.1.1 シリアル インターフェ이스の接続

図 8-1 に、ADS125H18 の基本的なインターフェース接続を示します。

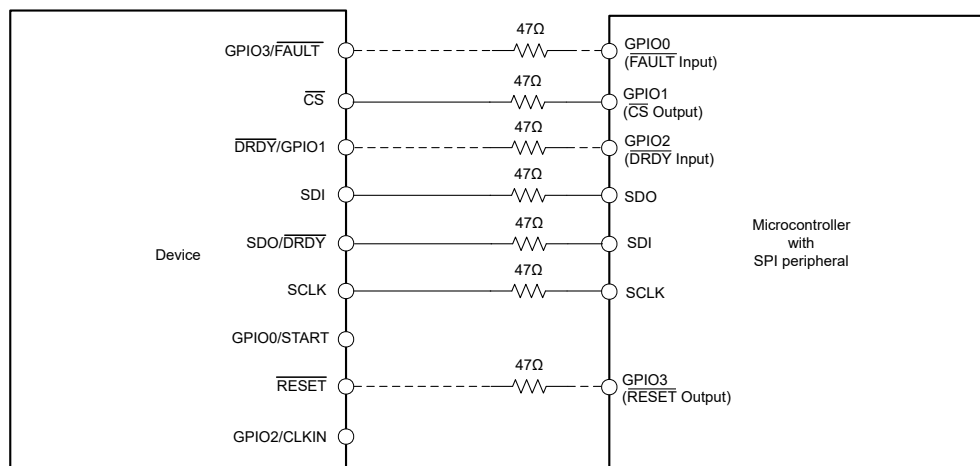


図 8-1. シリアル インターフェースの接続

ほとんどのマイコン SPI ペリフェラルは、デバイスと接続できます。このインターフェースは、SPI モード 1 (CPOL = 0 および CPHA = 1) と互換性があります。SPI モード 1 では、SCLK はアイドル時に Low になり、SCLK の立ち上がりエッジでのみデータが起動または変更されます。SCLK の立ち下がりエッジでは、データがラッチまたは読み取られます。

オプションで、割り込みによる新しいデータレディ表示が必要な場合は、専用の DRDY ピンを立ち下がりエッジトリガ割り込み対応 GPIO に配線します。デフォルトでは、DRDY/GPIO1 ピンはすでに DRDY 出力として構成されています (GPIO1_CFG[1:0] = 11b)。または、GPIO1_CFG[1:0] ビットを 00b に設定することで、DRDY/GPIO1 ピンを無効化し、絶縁が必要な接続の数を減らすことができます。

FAULT ピンはホスト コントローラに接続でき、故障フラグによる故障表示のほかに、ピンによる故障表示が必要な場合も備えています。このために、GPIO3/FAULT ピンを FAULT 出力として構成します (GPIO3_CFG[1:0] = 11b)。

オプションとして、すべてのデジタル入出力ピンと直列に 47Ω の抵抗を配置します。この抵抗は、鋭い信号遷移を平滑化し、オーバーシュートを抑制し、過電圧保護を提供します。追加の抵抗は、デジタル信号ライン上に存在するバス容量と相互作用するため、すべての SPI タイミング要件を満たすように注意する必要があります。

デバイスまたはマイコンのパワーアップ時に特定の信号レベルを駆動する必要がある場合、デジタル入力および出力信号ラインにプルアップ抵抗またはプルダウン抵抗を配置できます。

8.1.2 複数のデバイスとのインターフェース

ADS125H18 は、1 つの SPI バスで複数のデバイスを動作させるために次の 3 つの方法を備えています：

- **デジジー チェーン動作** セクションで説明されている、すべてのデバイスで単一の CS 信号を使用したデジジーチェーン接続。ホストは、データを送信するために、チェーン内の最初のデバイスの SDI に接続されます。チェーン内の最初

のデバイスの SDO 信号は、次のデバイスの SDI 信号に接続され、同様に順次接続されます。ホストコントローラは、チェーン内の最後のデバイスの SDO 信号からデータを受信します。すべてのデバイスが同じ SCLK 信号を共有します。この方法では、ホストはチェーン内のすべてのデバイスと同時に通信できます。ただし、チェーンに接続されているデバイスの数に応じて、SPI フレームが非常に長くなる可能性があります。

- 図 8-2 に示すように、各デバイスに専用の $\overline{\text{CS}}$ 信号を使用します。この場合、すべてのデバイスが SCLK、SDI、SDO/DRDY 信号を共有します。 $\overline{\text{CS}}$ が low のデバイスのみが、SDO/DRDY ピンを駆動します。他のすべてのデバイスの SDO/DRDY 出力は、 $\overline{\text{CS}}$ が high になり、SDO ラインでの競合を避けるため、ハイインピーダンス状態になります。ホストコントローラは、各デバイスと一度に 1 つずつ接続します。
- チップ セレクト転送セクションで説明されているように、チップ セレクト転送モード (CS-FWD モード) を使用します。

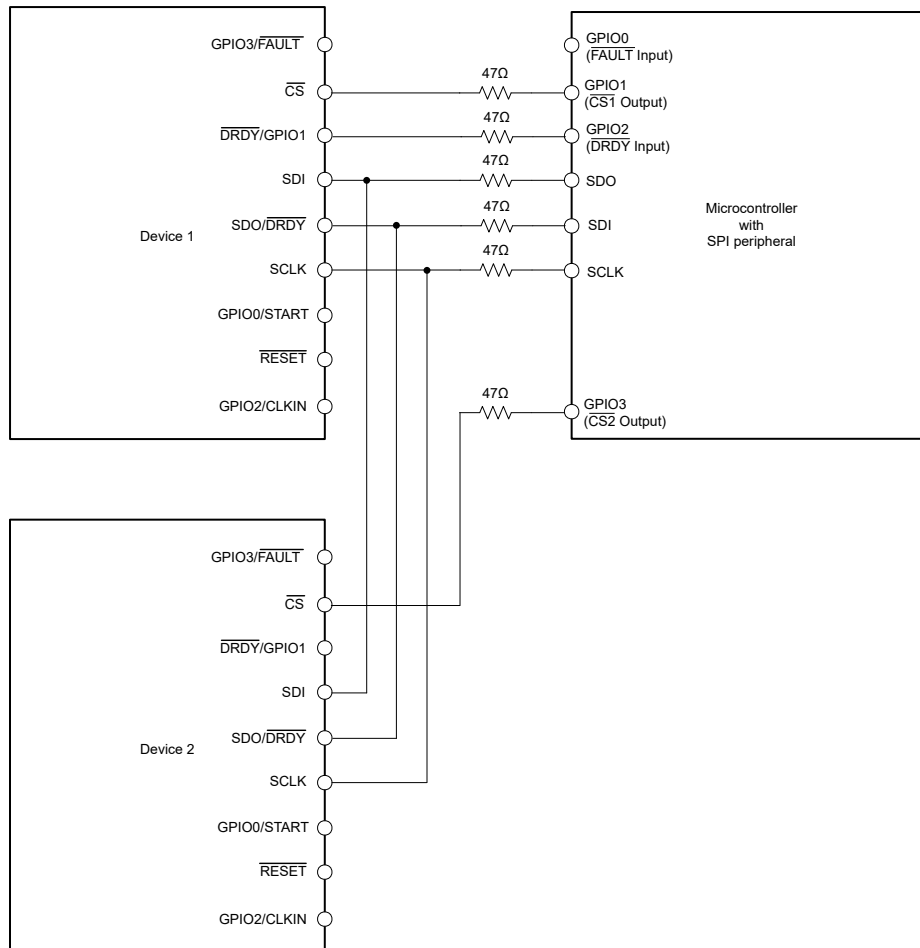


図 8-2. 個別の $\overline{\text{CS}}$ 信号を使用した複数のデバイス シリアルインターフェイス接続

8.1.3 未使用入出力

未使用のデバイスピン接続については、以下のガイドラインに従ってください。

- 未使用のアナログ入力は、フローティングのままにするか、GND に接続します。
- REFP、REFN、GPIO0、GPIO1、GPIO2 を使用しない場合 GPIO3、 $\overline{\text{FAULT}}$ 、 $\overline{\text{DRDY}}$ 、または CLK 機能で、各ピンを無効化 / ハイインピーダンスピン ($\text{GPIOx_CFG}[1:0] = 00b$) として構成し、上記の未使用アナログ入力のガイドラインに従います。
- RESET ピンを使用しない場合は、(内部プルアップ抵抗を使用して) ピンをフローティングのままにするか、オプションで外付けプルアップ抵抗に接続します。

8.1.4 デバイスの初期化

図 8-3 に、ADS125H18 を初期化し、連続シーケンス モードで変換を開始するために必要なシーケンス ステップを示します。この例では、デバイスは専用の $\overline{\text{DRDY}}$ ピンを使用して、新しい変換データがホスト コントローラに使用可能かどうかを示します。

ホスト コントローラの SPI を、CPOL = 0, CPHA = 1 で定義された SPI モードに構成し、デバイスの $\overline{\text{DRDY}}$ ピンに接続されたホスト コントローラ GPIO を、立ち下がりエッジトリガの割り込み入力として構成します。

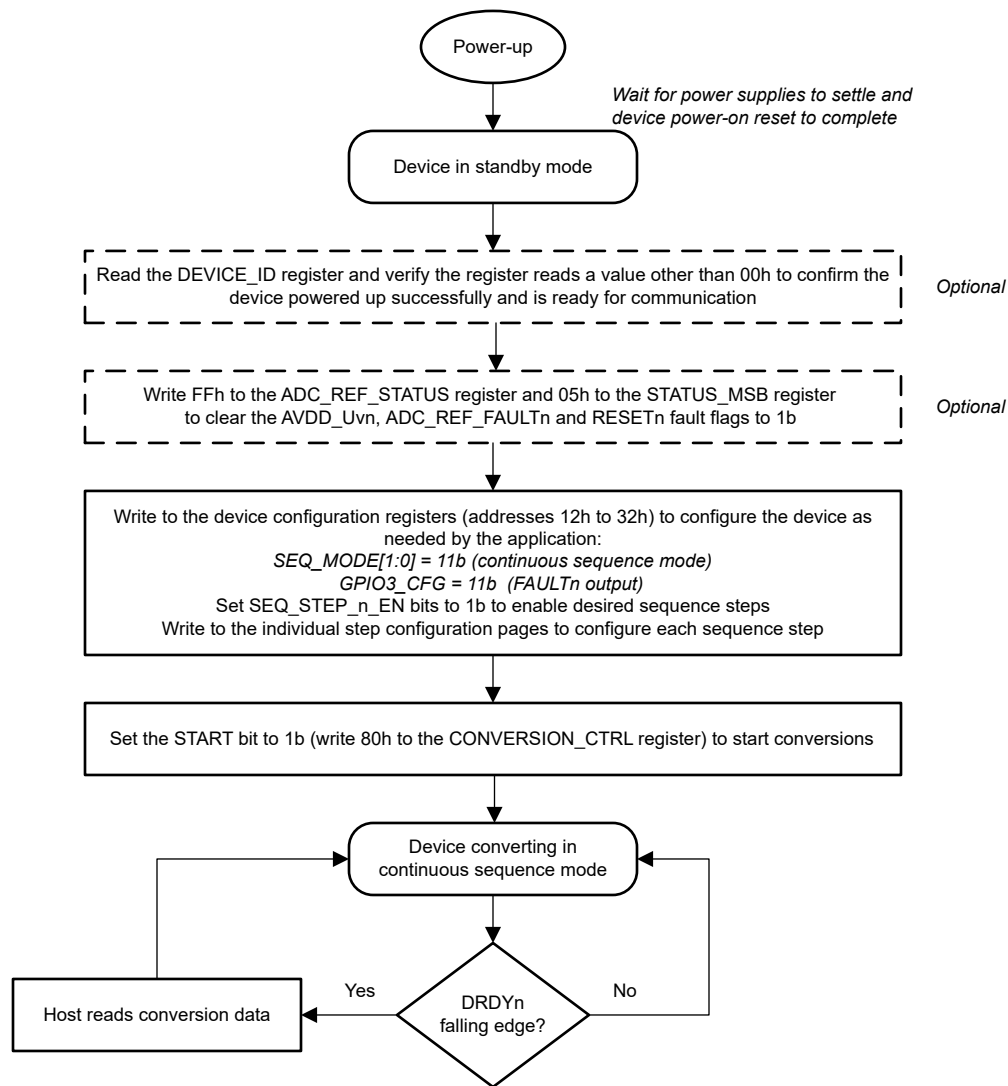


図 8-3. デバイス初期化フローチャート

8.2 代表的なアプリケーション

ADS125H18 は、PLC (プログラマブル ロジック コントローラ) アプリケーション向けに電圧および電流 (V/I) 測定入力モジュールを実装するために必要なすべての機能 (抵抗分圧回路、入力マルチプレクサ、バッファ付き外部リファレンス入力、ハイ インピーダンス バッファなど) を内蔵しています。このセクションでは、各種アナログ入力モジュール (AIM) トポロジの例を示します。

各種トポロジの概要と、各アーキテクチャで 1 つの ADS125H18 デバイスがサポートできる AIM 入力チャネル (差動またはシングルエンド) の数を表 8-1 に示します。

表 8-1. アナログ入力モジュール (AIM) のバリエーション

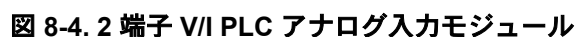
AIM トポロジ	チャネルごとに ADC 入力 が必要です	AIM チャネルは ADS125H18 を 1 つ使用 します	セクションで詳細を説明し ます
2 端子 V/I 差動入力 リレーまたは R_{on} が低い スイッチ	2	8	セクション 8.2.1
3 端子 V/I 差動入力 リレーまたは R_{on} が低い スイッチ	2	8	セクション 8.2.2
2 端子 V/I 差動入力 ソリッドステート スイッチ	3	4	セクション 8.2.3
2 端子 V/I シングル エンド入力 リレーまたは R_{on} が低い スイッチ	1	16	セクション 8.2.4
2 端子 I のみ 差動入力	2	8	セクション 8.2.5

表 8-1 に示すように、AIM アーキテクチャに応じて、1 つの ADS125H18 デバイスで 4、8、または 16 の入力チャネルがサポートされています。AIM チャネルの数は、各電圧 / 電流入力測定に必要な ADC 入力ピンの数によって異なります。

8.2.1 2 端子 V/I PLC アナログ入力モジュール

図 8-4 に、2 端子の差動アナログ入力モジュール (AIM) の実装例を示します。4 ~ 20mA 測定にはディスクリット負荷抵抗を使用し、電流測定モードと電圧測定モードの切り替えに低抵抗スイッチング素子 (リレーまたは低 R_{on} スイッチ) を使用しています。

V/I 差動入力チャネルごとに 2 つの ADC 入力を使用します。したがって、1 つの ADS125H18 デバイスを使用して最大 8 つの差動アナログ入力を実装できます。



8.2.1.1 設計要件

表 8-2. 2 端子 V/I PLC AIM ターゲット仕様

設計パラメータ	値
アナログ入力チャンネル数	8 つの差動入力
電源電圧	5.0V (アナログ) 、 3.3V (デジタル)
電圧入力信号範囲	±5V、±10V、0 ～ 5V、0 ～ 10V
最大/最小絶対入力電圧と GND との関係 (電圧測定モード)	+15V/-15V
電圧測定精度 T _A = 25°C時	±0.1% FSR
電圧測定精度 T _A = -40°C ～ +125°C	±0.2% FSR
電流入力信号範囲	4 ～ 20mA、0 ～ 20mA、0 ～ 24mA、±20mA、 ±24mA
最大/最小絶対入力電圧と GND との関係 (電流測定モード)	+15V/-15V
電流測定精度 T _A = 25°C時	±0.2% FSR
電流測定精度 T _A = -40°C ～ +125°C	±0.35% FSR
配線ミスや許容される最大入力電圧に対する保護	±36V 以上

8.2.1.2 詳細な設計手順

図 8-4 の回路は、各チャネルで 2 端子の電圧/電流測定をサポートしています。つまり、各ねじ端子のペアは、シャント抵抗を選択または選択解除するスイッチの状態に応じて、電圧入力信号または電流入力信号のいずれかを測定するために使用できます。電圧測定の場合、スイッチは開で、負荷抵抗 (シャント) は非アクティブです。電流測定の場合、スイッチは閉で、負荷抵抗は 4mA を 20mA の入力電流にシンクします。ADC は負荷抵抗での電圧降下を測定し、電流を計算します。

図 8-4 に示されているように、電圧および電流測定のための入力チャネル構成は差動方式です。これは、異なる同相電圧を持つ電圧または電流入力の測定をこの設計がサポートしていることを意味します。しかし、いずれの入力ピンにおける絶対電圧も、仕様セクションに指定されている値を超えてはなりません。

この回路には、入力端子とグランドの両方の間に TVS (過渡電圧サプレッサ) ダイオードが含まれています。ダイオードは ADC への過渡電圧を制限して、望ましくない過電圧高速過渡から ADC を保護します。これらのダイオードのブレイクダウン電圧は、ADC 入力の最大許容入力電圧 ($\pm 75V$) よりも低い必要があります。また、TVS ダイオードは電流を無制限にシャントするには設計されていないため、TVS ダイオードのクランプ電圧は最大持続端子電圧よりも高い必要があります。たとえば、最大恒久入力電圧 30V が想定される場合 (24V モジュール電源の配線ミス、最大許容誤差 30V)、クランプ電圧は 30V より高くする必要があります。たとえば、この部品には TVS3301 ($\pm 37.5V$ ブレイクダウン) が適しています。

持続的な過電圧事象が発生した場合、シャント端子間に 2 つの双方向ツェナー ダイオードを接続し、負荷抵抗経由で電流を流用できます。たとえば、250Ω の負荷抵抗を使用する場合は 11V 程度のブレイクダウン電圧を推奨します (シャントの電力定格に依存します。シャントが電力を処理できる場合、保護部品が不要、または緩和可能です)。さらに、PTC ヒューズは、過電圧イベントが持続した場合にシャントを流れる電流を制限します。PTC ヒューズは、過電流イベント中の電気抵抗を大幅に増加させて電流を効果的に制限してから、イベントが冷却すると自動的にリセットされ、通常動作を再開できるようにします。

電圧測定モードでは、図 8-4 の回路は -10V ~ +10V のプロセスレベル電圧入力をサポートします。センサトランスミッタや入力に接続された他のデバイスからの電圧信号は、同相電圧シフトを発生させる可能性があり、絶対入力電圧能力として $\pm 15V$ (対 GND) が必要です。表 8-2 を参照してください。ADS125H18-V20 は、この絶対入力範囲要件を満たしています。表 7-3 を参照してください。この +10V の入力電圧と同相モードは、ADS125H18 によって直接測定されるため、外部での減衰は不要です。

すべての保護部品 (TVS ダイオード、ツェナー、PTC) のリーク電流は無視できると想定すると、電圧測定の測定誤差は、ADS125H18 TUE (総合未調整誤差) のみによって決定されます。仕様セクションに基づき、ADS125H18 の最大 (3σ) TUE は、表 8-2 に規定されている精度目標値よりも小さいです。式 32 および 式 33 を参照してください。

$$Err_V(25^\circ C) = TUE_{H18}(25^\circ C) = 0.06\% \text{ FSR max} < 0.1\% \text{ FSR} \quad (32)$$

$$Err_V(-40^\circ C \text{ to } 125^\circ C) = TUE_{H18}(-40^\circ C \text{ to } 125^\circ C) = 0.13\% \text{ FSR max} < 0.2\% \text{ FSR} \quad (33)$$

電流測定モードでは、負荷抵抗 R_{burden} とスイッチ R_{sw} からの合計抵抗が、入力電流 I_{in} を ADC V_{ADCin} で測定される電圧に変換します。

$$V_{ADCin} = I_{in} \times (R_{burden} + R_{sw}) \quad (34)$$

負荷抵抗の値は、消費電力 (放熱) とダイナミックレンジとの間のトレードオフに基づいて選択します。最大電流が 24mA で、抵抗 $R_{burden} + R_{sw} = 250\Omega$ (標準値) の場合、ADC 入力 AIN1-AIN0 の最大差動電圧は $250\Omega \times 0.024A = 6V$ となります。これは、ADS125H18 の絶対入力電圧範囲内に十分収まっています。

電流モードでの測定誤差を推定するには、負荷抵抗 R_{burden} からの誤差と、シャント抵抗 R_{switch} の選択または選択解除のスイッチのオン抵抗を考慮する必要があります。

合計電流測定誤差は、外部シャント抵抗 (負荷抵抗およびスイッチ抵抗を含む) による誤差と、ADC 電圧測定 (ゲインを 1 と仮定) による誤差の組み合わせであり、式 35 で計算できます。

$$\text{Err}_I(1\sigma) = \sqrt{(\text{Err}_{\text{Rburden}})^2 + (\text{Err}_{\text{Rsw}})^2 + (\text{Err}_V)^2} \quad (35)$$

ADC 誤差解析の実行方法の詳細については、『[ADC システムの誤差解析の統計に関する考察](#)』ビデオを参照してください。

抵抗には、オン抵抗の小さいリレーまたは photoMOS を選択します。表 8-3 に、2 つの異なる photoMOS の例を示します。以下に、抵抗値の変動がシステムの精度に及ぼす影響の詳細な分析が記載されています。1σ の変動はデータシートに記載されている「標準値」仕様、3σ はデバイスのデータシートに記載されている「最大値」仕様からもたらされる変動を指しています。

表 8-3. PhotoMOS の仕様

パラメータ	CPC1002N	AQY232G3HS
オン抵抗 (25°C)	0.35Ω	0.07Ω
オン抵抗の変動 (25°C、3σ)	0.2Ω	0.05Ω
温度範囲全体におけるオン抵抗の変動 (-40°C ~ +125°C、1σ)	0.2Ω	0.1Ω

室温における 250Ω の負荷抵抗 (最大許容誤差 0.1%) の標準的な (1σ) 誤差を 0.033%、さらにスイッチ抵抗 (CPC1002N) を 0.35Ω ± 0.2Ω (3σ) と仮定します。スケールリングされたスイッチ抵抗誤差は、約 (0.2Ω/3/250Ω) = 0.026% (1σ) です。ADC からの標準的な (1σ) 電圧測定誤差が 0.03% であると仮定すると(仕様 セクションに基づく)、室温での合計電流測定誤差は (シャントおよび ADC による) (標準値 1σ、最大値 3σ) です。

$$\text{Err}_I(25^\circ\text{C}, 1\sigma) = \sqrt{(0.033\%)^2 + (0.026\%)^2 + (0.03\%)^2} = 0.052\% \text{ FSR} \quad (36)$$

$$\text{Err}_I(25^\circ\text{C}, 3\sigma) = 3 \times \text{Err}_I(25^\circ\text{C}, 1\sigma) = 0.155\% \text{ FSR} \quad (37)$$

したがって、電流測定誤差は 表 8-2 に規定されているターゲットよりも小さいです。

$$\text{Err}_I(25^\circ\text{C}, 3\sigma) = 0.155\% \text{ FSR} < 0.2\% \text{ FSR} \quad (38)$$

この誤差は、ADS125H18 のゲインおよびオフセット校正レジスタを使用して、単一温度のシステム校正を使用することで大幅に低減できますが、依然として温度範囲全体での誤差は残っています。

温度範囲全体にわたって、抵抗 (負荷抵抗とスイッチの両方) のドリフトも考慮する必要があります。表 8-2 に示されているように、-40°C ~ +125°C (Δdrift = 最大 (125°C ~ 25°C、25°C ~ (-40°C)) = 100°C) の温度範囲を考慮します。負荷抵抗の標準ドリフトを 5ppm/°C と仮定すると、負荷抵抗による追加の誤差は 100°C × 5ppm/°C = 0.05% となります。ここで、スイッチ オン抵抗 (CPC1002N) は温度範囲全体にわたって標準で 0.2Ω 変動すると仮定すると、温度範囲全体でのスイッチ抵抗の誤差 (1σ) は約 0.2Ω/250Ω = 0.08% となります。

ADC の温度範囲全体にわたる 標準的な (1σ) 追加の電圧測定ドリフト誤差が 0.04% であると仮定すると、-40°C ~ +125°C の温度範囲全体にわたる (シャント抵抗と ADC 温度ドリフトによる) 電流測定誤差は (標準値 1σ、最大値 3σ) となります。

$$\text{Err}_I(-40^\circ\text{C to } +125^\circ\text{C}, 1\sigma) = \sqrt{(0.05\%)^2 + (0.08\%)^2 + (0.04\%)^2} = 0.10\% \text{ FSR} \quad (39)$$

$$\text{Err}_I(-40^\circ\text{C to } +125^\circ\text{C}, 3\sigma) = 3 \times \text{Err}_I(-40^\circ\text{C to } +125^\circ\text{C}, 1\sigma) = 0.30\% \text{ FSR} \quad (40)$$

校正なしのシステムでは、式 38 に示されている室温誤差に加えて、式 40 に示されている温度ドリフトが誤差の要因となります。式 37 に示されている誤差を最小限に抑えるために室温での校正を実行すると仮定すると、式 40 に示されている温度ドリフト誤差が支配的な要素となり、電流測定誤差は 表 8-2 で規定されているターゲットよりも小さくなります。

$$\text{Err}_1(-40^\circ\text{C to } +125^\circ\text{C}, 3\sigma) = 0.30\% \text{ FSR} < 0.35\% \text{ FSR} \quad (41)$$

式 36 および 式 39 に示されているように、選択スイッチのオン抵抗によって 4mA ～ 20mA の電流測定に大きな誤差が加わり、この分析では、オン抵抗が温度ドリフト誤差全体における最も大きな要因となります (式 39 の 0.08% 項)。スイッチの抵抗と変動をできるだけ低くします。CPC1002N の代わりに AQY232G3HS を選択すると、式 36 および 式 39 で計算された誤差は、表 8-4 に示されるようにさらに低減されます。または、3 端子 V/I PLC アナログ入力モジュール セクションに示す回路など、スイッチ誤差の影響を排除する別のアーキテクチャを選択します。

表 8-4. 2 つの異なる PhotoMOS を使用したスイッチなしでの電流測定誤差

電流測定誤差	ターゲット仕様	設計に使用するスイッチの選択:		
		CPC1002N	AQY232G3HS	スイッチなし ⁽²⁾
室温 25°C, 3σ	±0.2% FSR	<0.16% FSR	<0.13% FSR	<0.13% FSR
温度範囲全体 ⁽¹⁾ -40°C ～ +125°C、 3σ	±0.35% FSR	<0.30% FSR	<0.23% FSR	<0.19% FSR

- (1) 室温でのシステム較正を実行すると仮定
(2) セクション 8.2.2 または セクション 8.2.3 を参照してください。

要約すると、この回路は 設計要件 セクションに示されている電圧測定精度に関する設計ターゲット (室温での ±0.1%FSR、温度範囲全体での ±0.2%FSR) を満たしています。室温での誤差を最小限に抑えるために室温でのシステム較正を実行すると仮定すると、この回路は 設計要件 セクションに示されている電流測定に関する設計ターゲット (室温での ±0.2%FSR、温度範囲全体での ±0.35%FSR) も満たしています。

8.2.1.3 アプリケーション特性の波形 — クロストーク

図 8-5 に、一般的なチャネル間クロストーク テスト手順の設定を示します。各偶数番号の入力チャネル (例: AIN0、AIN2、AIN4 など) は、個別の電圧源で駆動されます。すべての奇数番号のチャネル (例: AIN1、AIN3、AIN5 など) は、互いにグランドに短絡しています。

テスト手順は次のとおりに定義されます。テスト対象の入力チャネルに 3V の一定信号を印加します (例: AIN0) を参照し、図 8-6 に示す「干渉」パターンを、残りのすべての偶数番号チャネルに適用します (例: AIN2、AIN4、... AIN14)。テスト対象チャネルの ADC 出力を測定します (例: AIN0) をサポートしています。偶数番号のチャネルごとに、この手順を繰り返します。一般に、出力コードの変動は、16 ビットレベルで ±1 LSB 以下にすることが求められます。

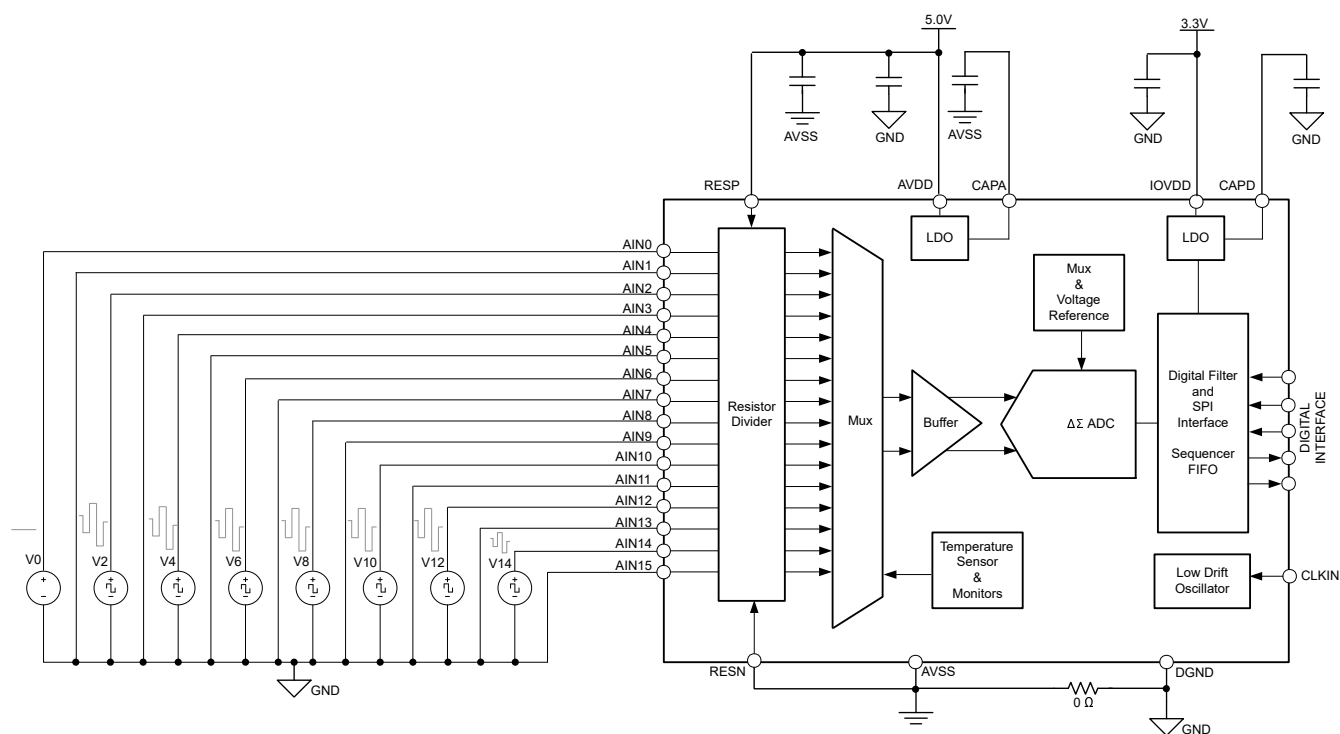


図 8-5. クロストーク テストの構成

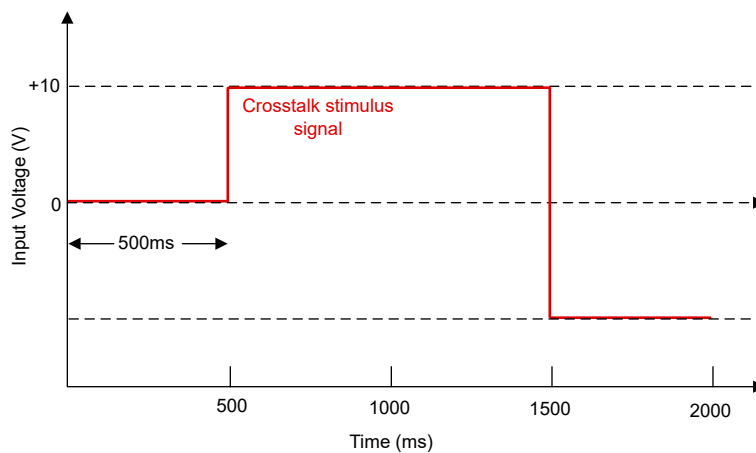


図 8-6. クロストーク スティミュラス入力信号

図 8-7 および 図 8-8 に、図 8-5 の構成を使用したクロストーク テストの測定結果を示します。

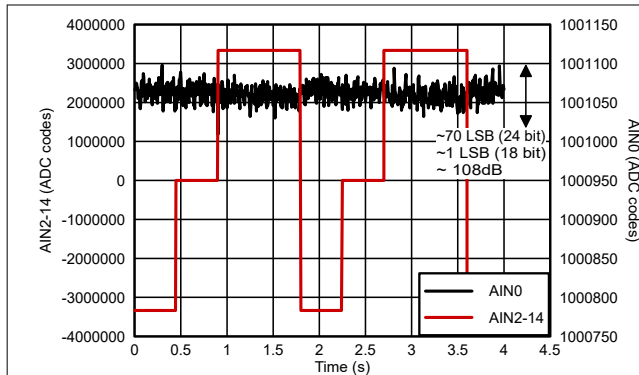


図 8-7. ADC 入力 AIN0 でのクロストーク測定

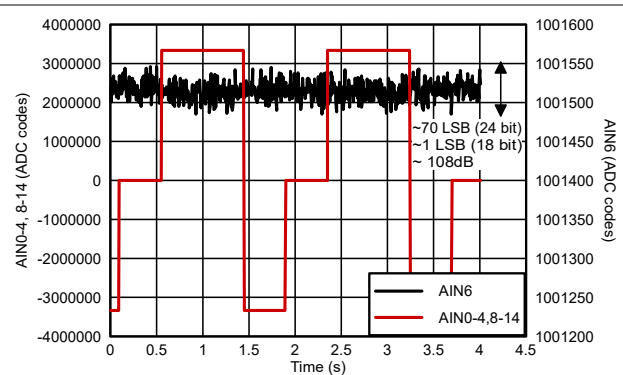


図 8-8. ADC 入力 AIN6 でのクロストーク測定

上記のテスト手順で説明したように、「テスト対象」の入力を除くすべての入力には、大きな過渡電圧ステップが発生します。テスト対象のチャンネルへの影響、たとえば図 8-7 の AIN0 は、AIN0 出力コードの拡大プロットに表示されます (2 次の y 軸を参照)。いずれの場合も、理想的な出力からの偏差は、24 ビットレベル以下で約 70 コード (LSB) であり、18 ビットレベルの 1LSB に対応します。

他のすべてのチャンネルは、同じテストを受けると AIN0 と同様に動作します。別の例と、チャンネル間の類似性を示すため、クロストークによるチャンネル AIN6 への影響も図 8-8 に示します。他のすべてのチャンネル (AIN2、AIN4、AIN8、AIN10、AIN12、AIN14) を同じ手順で試験し、18 ビット以下のクロストークを確認しました。

8.2.2.3 端子 V/I PLC アナログ入力モジュール

図 8-9 に、4 ~ 20mA 測定にディスクリート負荷抵抗を使用した 3 端子差動アナログ入力モジュール (AIM) を示します。代表的な 3 端子入力モジュールでは、電圧入力と電流入力ごとに個別のねじ端子があります。モジュールの取り付け時に、ユーザーは V+ (電圧) と I+ (電流) のねじ端子の間に外部短絡を適用します。これにより、スイッチでシャント抵抗の選択または選択解除が不要になります。そのため、表 8-4 に示すように、選択スイッチを含む回路に比べて、電流入力の全体的な測定誤差は低減されます。

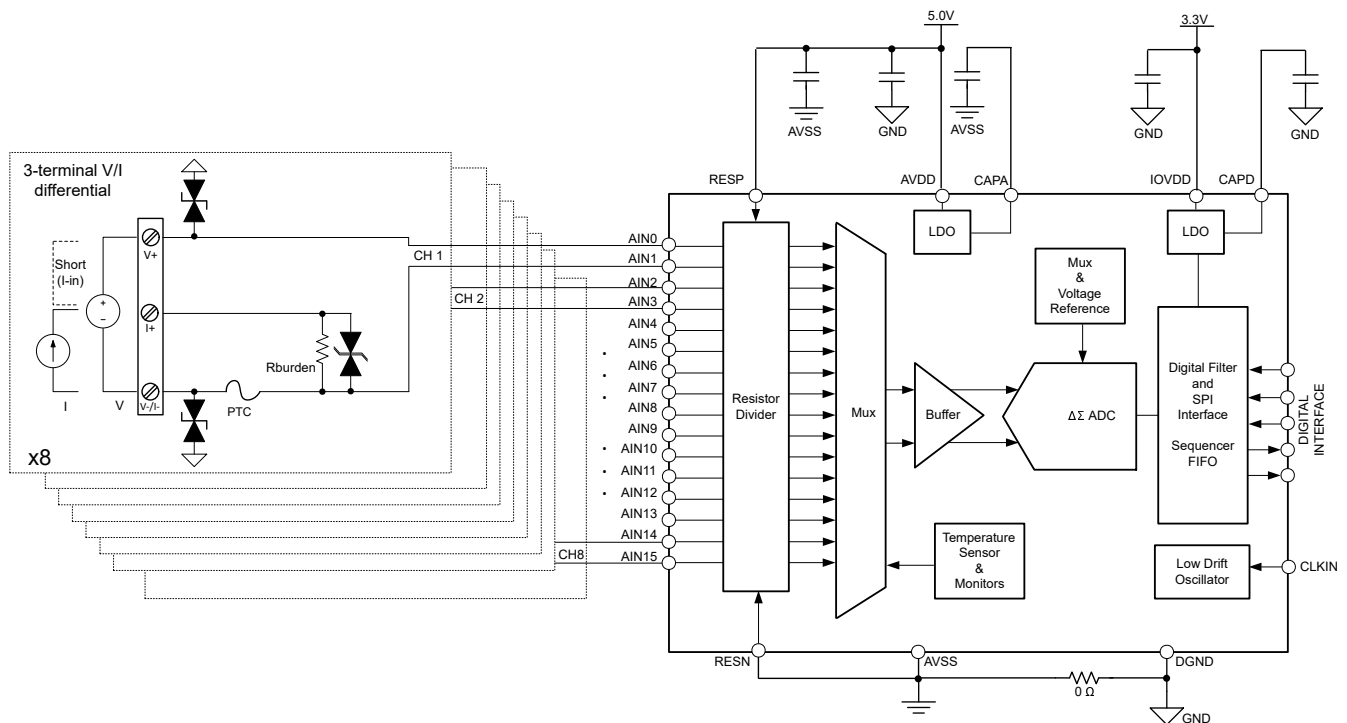


図 8-9. 3 端子 V/I PLC アナログ入力モジュール

V/I 差動入力チャンネルごとに 2 つの ADC 入力を使用します。したがって、1 つの ADS125H18 デバイスを使用して最大 8 つの差動アナログ入力を実装できます。

8.2.3 ソリッド ステートスイッチ付き 2 端子 V/I PLC アナログ入力モジュール

4 ~ 20mA 測定にディスクリット負荷抵抗を使用し、高抵抗のスイッチング素子 (ソリッド ステートまたは半導体) を使用して電流測定モードと電圧測定モードを切り替える 2 端子の差動アナログ入力モジュール (AIM) を図 8-10 に示します。

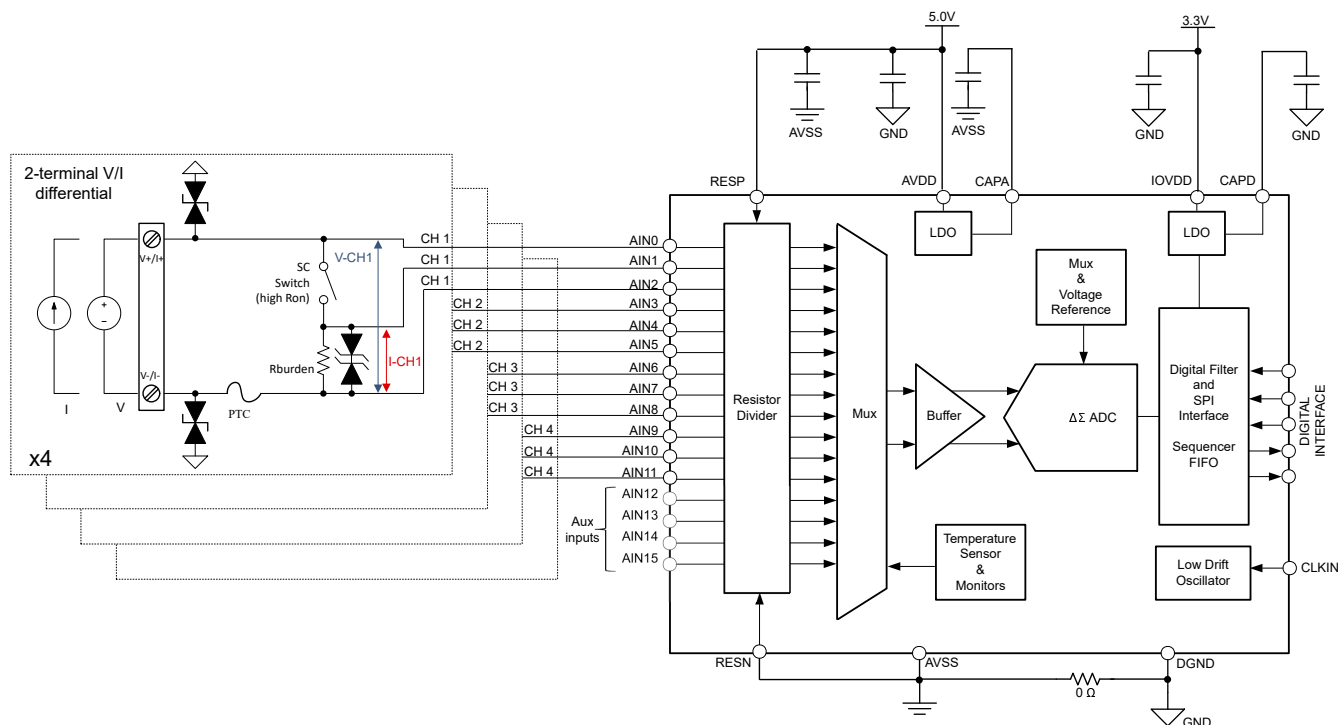


図 8-10. ソリッド ステートスイッチ付き 2 端子 V/I PLC アナログ入力モジュール

選択スイッチのオン抵抗による誤差を除去するために、3 番目の ADC 入力を使用して、すべてのチャンネルについて負荷抵抗の正端子 (負荷とスイッチの間のノード) を測定します。たとえば、図 8-10 に示すように、チャンネル 1 では、AIN0 と AIN2 の間の差動電圧をサンプリングすることで電圧測定が行われ、AIN1 と AIN2 の間の差動電圧をサンプリングすることで電流測定が行われます。

この回路では、ADC で測定される電圧はスイッチ抵抗から独立しています。式 34 の代わりに、式は次によって与えられます。

$$V_{ADCin} = I_{in} \times R_{burden} \quad (42)$$

そのため、選択スイッチを含む回路に比べて、電流入力の全体的な測定誤差は低減されます (表 8-4 を参照)。

このアーキテクチャでは、V/I 差動入力チャンネルごとに 3 つの ADC 入力を使用します。したがって、1 つの ADS125H18 デバイスを使用して最大 4 つの差動アナログ入力を実装できます。

8.2.4 2 端子、シングル エンド V/I PLC アナログ入力モジュール

4 ~ 20mA 測定にディスクリット負荷抵抗を使用し、低抵抗のスイッチング素子 (リレーまたは低 R_{on} スwitch) を使用して電流測定モードと電圧測定モードを切り替える 2 端子のシングル エンド アナログ入力モジュール (AIM) を図 8-11 に示します。

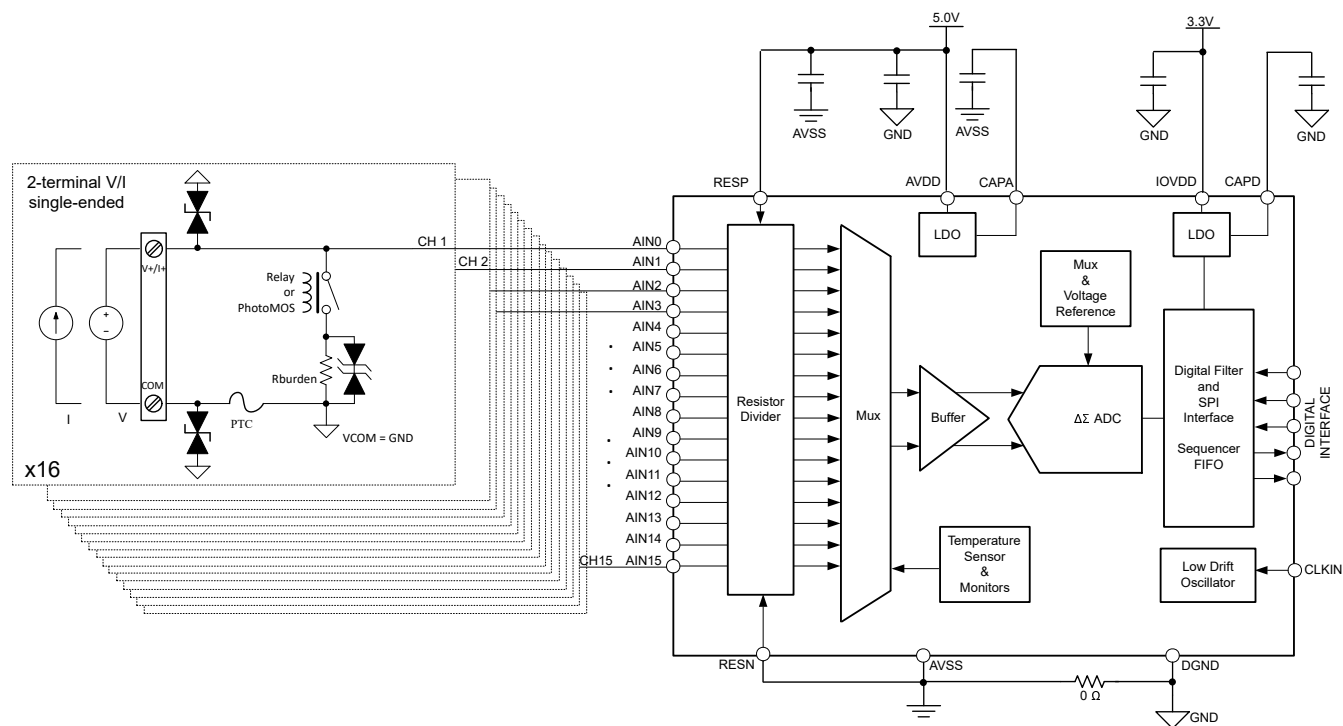


図 8-11. 2 端子、シングル エンド V/I PLC アナログ入力モジュール

このアーキテクチャでは、V/I 入力チャネルごとに 1 つの ADC 入力のみが使用されます。したがって、1 つの ADS125H18 デバイスを使用して最大 16 個の差動アナログ入力を実装できます。

8.2.5 2 端子の I 入力 PLC アナログ入力モジュール

図 8-12 に、4 ~ 20mA 測定でディスクリット負荷抵抗を使用した 2 端子の差動電流入力モジュールを示します。電圧測定機能はないため、シャント抵抗を選択するスイッチは必要ありません。そのため、表 8-4 に示されているように、選択スイッチを含む回路に比べて、電流入力の全体的な測定誤差は低減されます。

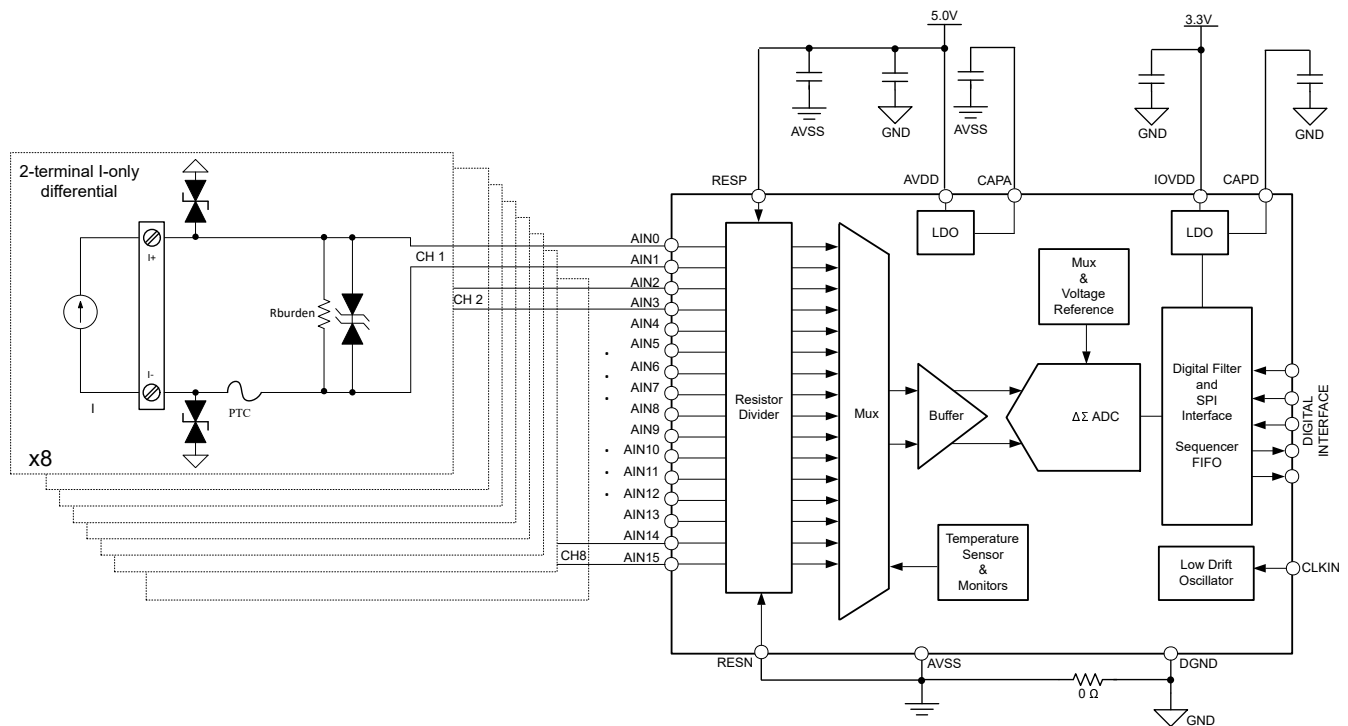


図 8-12. 2 端子の I 入力 PLC アナログ入力モジュール

差動電流入力チャンネルごとに 2 つの ADC 入力を使用します。したがって、1 つの ADS125H18 デバイスを使用して最大 8 つの差動電流入力を実装できます。

8.3 電源に関する推奨事項

8.3.1 電源

このデバイスは、アナログ (AVDD) とデジタル (IOVDD) の 2 種類の電源を必要とします。アナログ電源は、デジタル電源から個別に選択できます。IOVDD 電源は、シリアル インターフェイス ピン (\overline{CS} , SCLK, SDI, SDO/DRDY) およびその他のデジタル I/O ピンのロジックレベルを設定します。

8.3.2 電源シーケンス

電源の立ち上げ順序は任意ですが、いかなる場合でもアナログ入力およびデジタル入力が、それぞれのアナログ / デジタル電源の電圧および電流の制限値を超えてはなりません。

8.3.3 電源のデカップリング

最適なデバイス性能を得るためには、適切な電源デカップリングが重要です。図 8-13 に示すように、AVDD、IOVDD、CAPD はそれぞれ、1 μ F 以上のコンデンサで GND とデカップリングする必要があります。また、AVDD、CAPA、REFOUT、REFP は、1 μ F コンデンサを使用して AVSS にバイパスする必要があります。電源バイパスコンデンサは、低インピーダンスの接続を用いて、デバイスの電源ピンのできるだけ近くに配置してください。電源デカップリング用途には、等価直列抵抗 (ESR) および等価直列インダクタンス (ESL) が低い多層セラミック チップ コンデンサ (MLCC) を使用します。非常に敏感なシステムや、過酷なノイズ環境のシステムでは、コンデンサとデバイスのピン間の接続にビアの使用を避けることで、ノイズ耐性を改善できる場合があります。並列に複数のビアを使用すると、全体的なインダクタンスが低減でき、さらにグラウンド プレーンへの接続も改善されます。

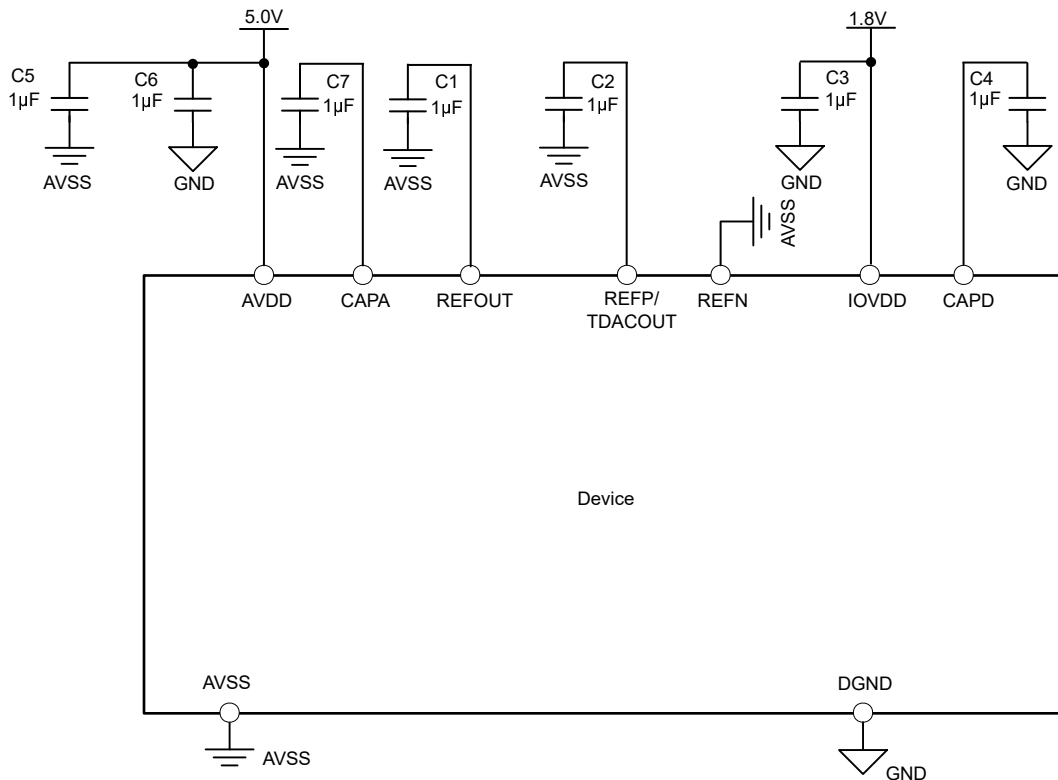


図 8-13. 電源のデカップリング

8.4 レイアウト

8.4.1 レイアウトのガイドライン

ADS125H18 のレイアウトに関する基本的な推奨事項は、ADC の性能を最大限に引き出すのに役立ちます。

- 最適な性能を得るために、PCB の 1 層全体をグランド プレーンに割り当て、この層には他の信号配線を行わないでください。ただし、特定の最終製品による制限によっては、専用のグランド プレーンが実用的ではない場合があります。グランド プレーン分離が必要な場合は、デバイスのプレーンを直接接続します。意図しないグランド ループの発生を避けるため、個別のグランド プレーンを複数の箇所では接続しないでください。
- 電源デカップリング コンデンサにはセラミック コンデンサ (X7R レベルなど) を使用します。高 K コンデンサ (Y5V) は推奨されません。必要なコンデンサをデバイスのピンにできるだけ近づけて配置します。バイパス コンデンサは、デバイスと同じ層に、できるだけ近接して配置することで最良の結果が得られます。
- 干渉を最小限に抑えるため、デジタル パターンはすべてのアナログ入力および関連部品から離して配線します。
- 良好なグランド帰還パスを確保します。信号のリターン電流は、インピーダンスが最も低い経路を流れます。グランド プレーンが分断されている、または信号パターンの直下を流れる電流を遮断する他のパターンがある場合、回路を完結させてソースに戻るために、別の経路を見つける必要があります。より大きな経路に強制されると、信号が放射される可能性が高くなります。高感度の信号は、EMI 干渉の影響を受けやすくなります。
- 配線の抵抗とインダクタンスを考慮します。多くの場合、入力用パターンには抵抗成分があり、これが入力バイアス電流と反応して、追加の誤差電圧を引き起こします。ソース信号とリターン電流によって囲まれるループ面積を減らすことで、経路内のインダクタンスを低減できます。インダクタンスを低減することで、EMI の取り込みが抑えられ、デバイス入力における高周波インピーダンスが低減されます。
- レイアウトの寄生熱電対に注意してください。各アナログ入力からセンサまでの配線に異なる金属が使用されていると、寄生的な熱電対が形成され、測定値にオフセットが加わる可能性があります。測定信号源に供給される両方の入力で、差動入力を一致させる必要があります。
- 信号層の空き領域は、グランド フィルで埋めます。

- 外部クロックを印加するときは、クロックにオーバーシュートやグリッチがないことを確認してください。多くの場合、クロックバッファのソース端子抵抗を配置すると、オーバーシュートを低減できます。クロック入力にグリッチがあると、変換データ内のノイズにつながる可能性があります。

8.4.2 レイアウト例

図 8-14 に、ADS125H18 の基本的なレイアウト例を示します。

- C1 は、REFOUT ピンと AVSS の間に必要なコンデンサです。
- C2 は、REFP ピンと AVSS の間に必要なコンデンサです。
- C3、C4、C5、C6、C7 は、電源デカップリングコンデンサです。
- SPI ラインとデジタル ラインのオプションの直列抵抗 (R1 ~ R8) を示します。直列抵抗は、信号エッジを平滑化することで、デジタル ラインのオーバーシュートとリンギングを低減するのに役立ちます。

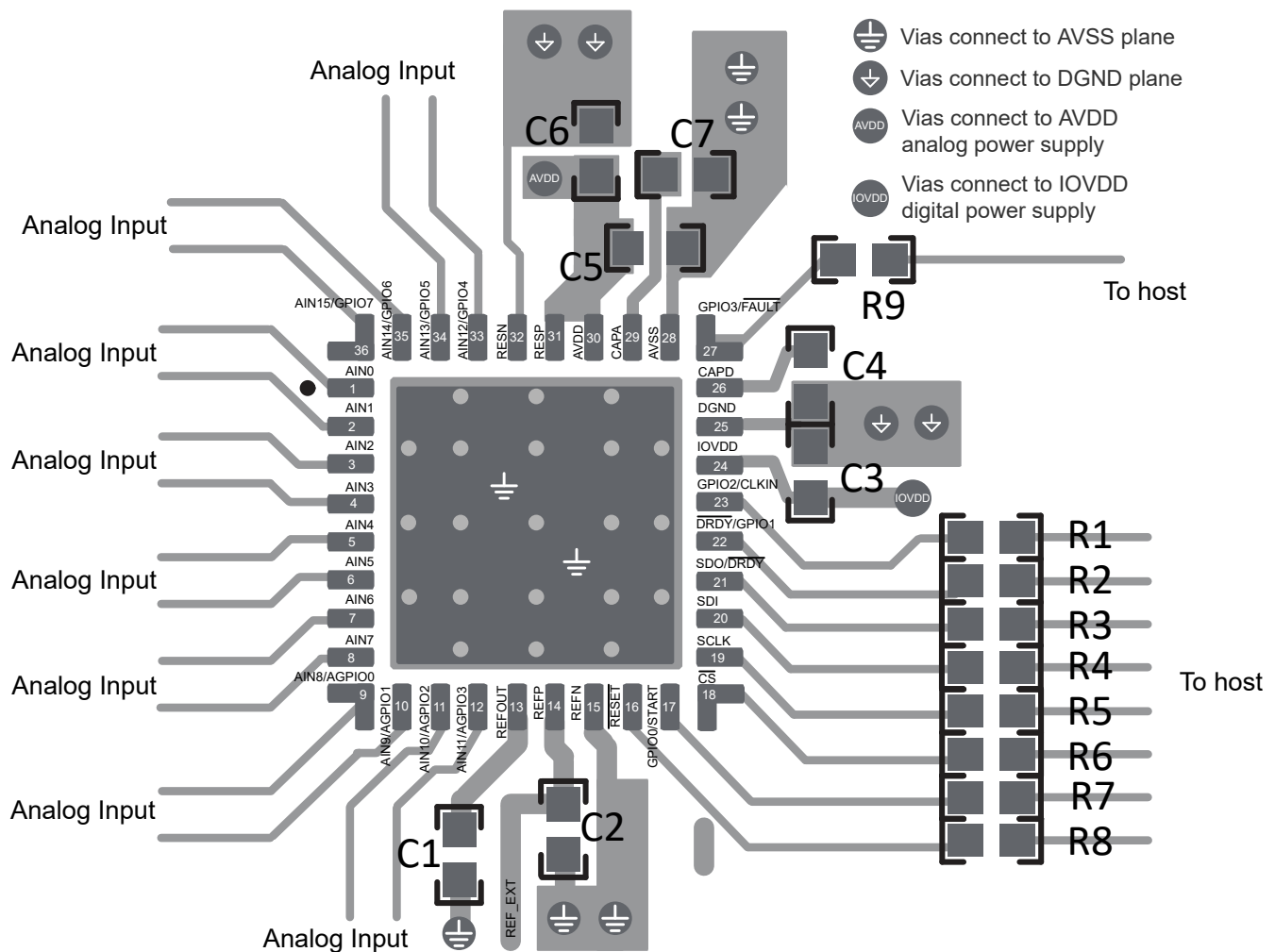


図 8-14. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『REF60xx 高精度電圧リファレンス、内蔵 ADC ドライブ バッファ付』データシート
- テキサス・インスツルメンツ、『ADC インターフェイス アプリケーションにおける MFB フィルタの設計方法論』アプリケーション ノート
- テキサス・インスツルメンツ、『QFN と SON の PCB 実装』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
December 2025	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS125H18V20IRHBR	Active	Production	VQFN (RHB) 36	3000 LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS125 H18V20

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

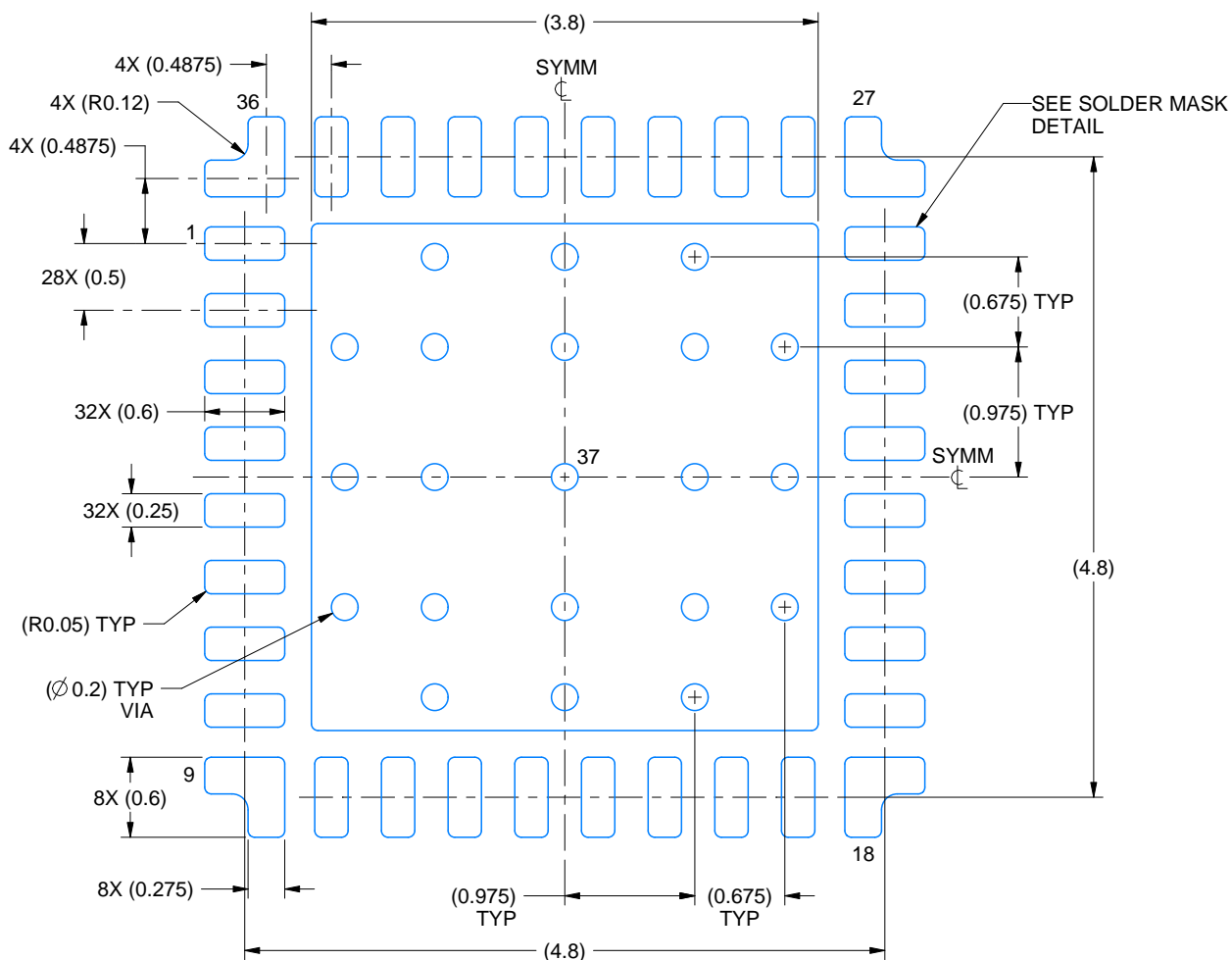
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

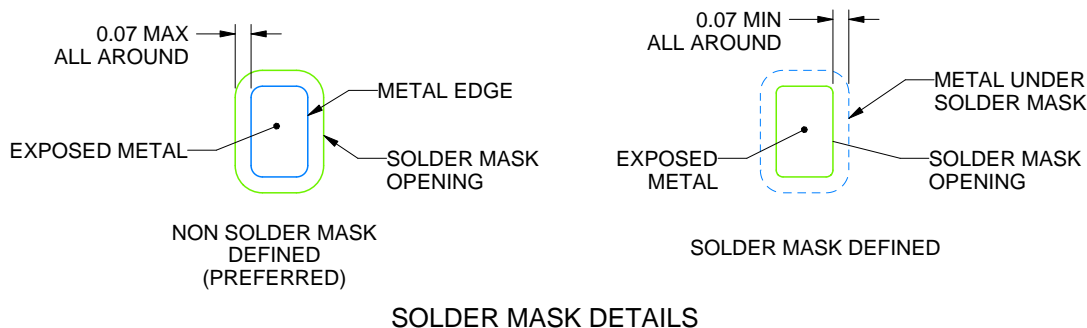
RHB0036A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 18X



NOTES: (continued)

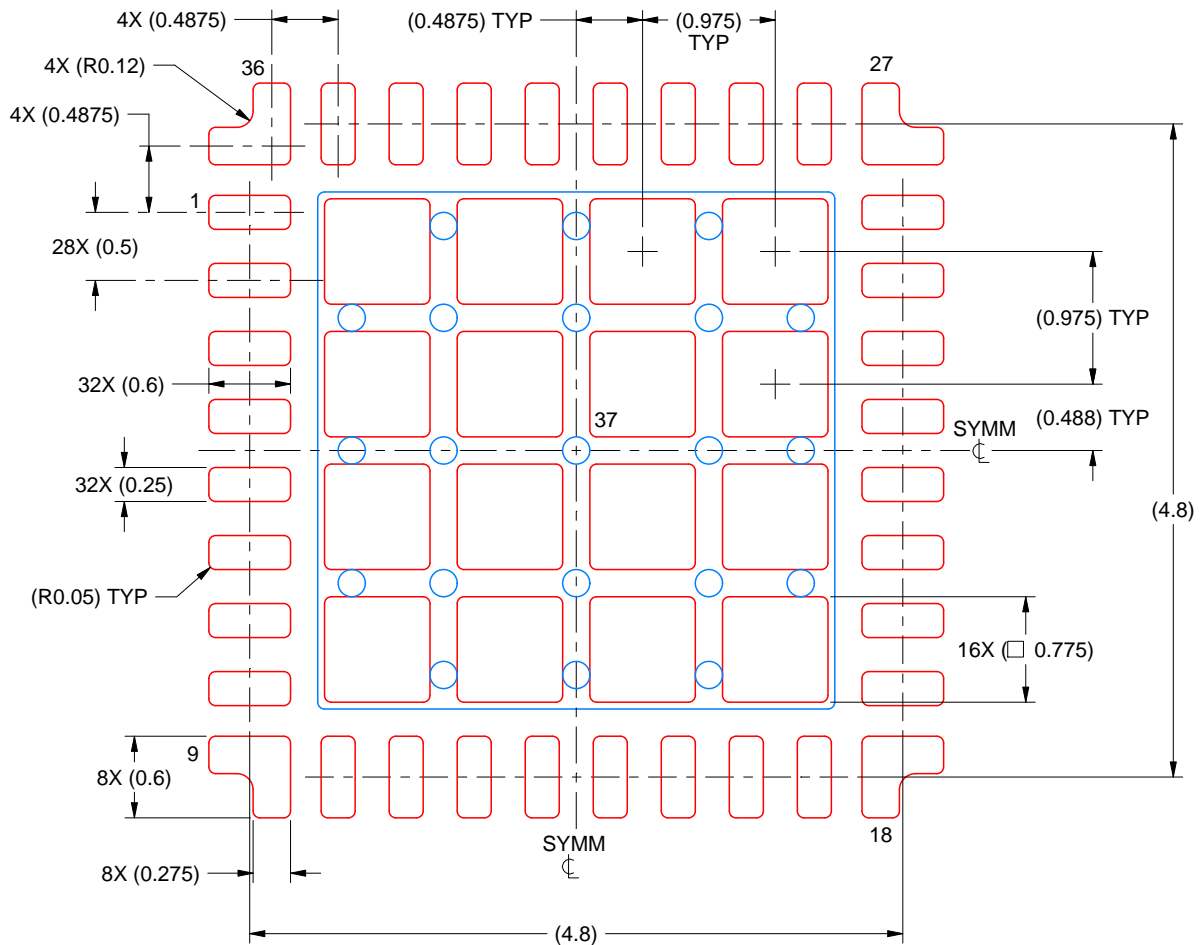
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0036A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 MM THICK STENCIL
 SCALE: 18X

EXPOSED PAD 33
 67% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4229874/A 08/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月