

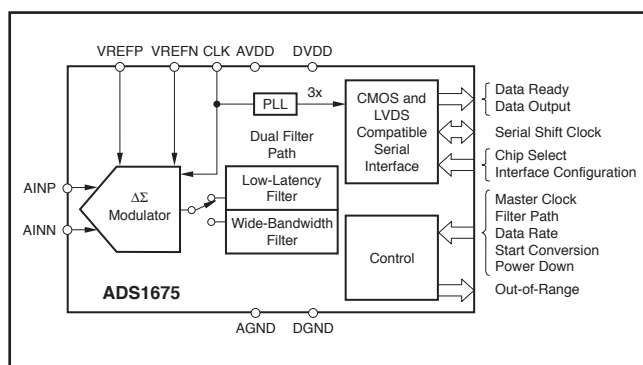
## 4MSPS、24ビットA/Dコンバータ

### 特長

- AC性能：
  - ダイナミック・レンジ：103dB(4MSPS時)
  - ダイナミック・レンジ：111dB(125kSPS時)
  - THD：-107dB
- DC精度：
  - INL：3ppm
  - オフセット・ドリフト：4 $\mu$ V/°C
  - ゲイン・ドリフト：4ppm/°C
- プログラミング可能なデジタル・フィルタ、ユーザがパスを選択可能：
  - 低レイテンシ：2.65 $\mu$ sで完全に安定
  - 広帯域：帯域幅1.7MHz、フラットな通過帯域
- 柔軟な読み取り専用シリアル・インターフェイス：
  - 標準CMOS
  - シリアル化LVDS
- STARTピンによる簡単な変換制御
- 範囲外検出
- 電源：アナログ+5V、デジタル+3V
- 消費電力：575mW

### アプリケーション

- 自動試験機器
- 医療用イメージング
- 科学用測定機器
- 試験機器、計測機器



すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

### 概要

ADS1675は、高速、高精度のA/Dコンバータ(ADC)です。高度なデルタ・シグマ( $\Delta\Sigma$ )アーキテクチャを使用して、最大4MSPSの速度で動作し、優れたAC性能とDC精度を実現します。

ADS1675 ADCは、範囲外検出機能を備えた低ドリフト変調回路と、プログラミング可能なデュアル・パス・デジタル・フィルタから構成されます。デュアル・フィルタ・パスにより、2つの後処理フィルタのいずれか(低レイテンシまたは広帯域)をユーザが選択できます。低レイテンシ・フィルタは、マルチプレクサなどの大きな瞬時変動が生じるアプリケーションに対して、すばやく(最短2.65 $\mu$ s)安定します。広帯域パスは、 $\pm 0.00002$ dB未満の通過帯域リップル、86dBの遮断帯域減衰、1.7MHzの帯域幅を持ち、AC測定に対して最適化された周波数応答を提供します。

このデバイスには、それぞれ個別のインターフェイス、分解能、機能セットを持つ2つの速度モードがあります。高速モードでは、4MSPSまたは2MSPSで動作するよう設定できます。低速モードでは、1MSPS、500KSPS、250KSPS、または125KSPSで動作するよう設定できます。

ADS1675は、I/Oピンを通じて制御され、プログラミングするレジスタはありません。専用のSTARTピンによって、変換を直接制御できます。STARTピンの切り替えによって変換を開始した後、出力データを取得します。柔軟なシリアル・インターフェイスを通して、標準のCMOSおよびLVDSロジック・レベルによるデータの読み出しをサポートし、ADS1675はさまざまなマイクロコントローラ、デジタル信号プロセッサ(DSP)、またはFPGA(Field-Programmable Grid Array)に直接接続できます。

ADS1675は5Vのアナログ電源および3Vのデジタル電源で動作し、消費電力は575mWです。未使用時には、PDWNピンを使ってデバイスの回路全体をパワーダウンできます。業界標準温度範囲で仕様が完全に規定され、TQFP-64パッケージで供給されます。

## 製品情報

最新のパッケージおよびご発注情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、ti.comでデバイスの製品フォルダをご覧ください。



## 静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

## 絶対最大定格<sup>(1)</sup>

動作温度範囲内(特に記述のない限り)

パラメータ		ADS1675	単位
AVDD ~ AGND		-0.3 ~ +5.5	V
DVDD ~ DGND		-0.3 ~ +3.6	V
AGND ~ DGND		-0.3 ~ +0.3	V
入力電流	瞬時	100	mA
	連続	10	mA
アナログ I/O ~ AGND		-0.3 ~ AVDD +0.3	V
デジタル I/O ~ DGND		-0.3 ~ DVDD +0.3	V
最大接合部温度		+150	°C
動作温度範囲		-40 ~ +85	°C
保存温度範囲		-60 ~ +150	°C

(1) 絶対最大定格以上のストレスが加わると、永続的な損傷を製品に与えることがあります。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。これはストレスの定格のみについて示してあり、このデータシートに示された値を越える状態での本製品の機能動作は含まれていません。

## 電気的特性

すべての仕様の条件は、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$ 、 $f_{\text{CLK}} = 32\text{MHz}$ 、 $V_{\text{REF}} = +3\text{V}$ 、 $R_{\text{BIAS}} = 7.5\text{k}\Omega$ です (特に記述のない限り)。

パラメータ	テスト条件	ADS1675			単位
		最小	標準	最大	
アナログ入力					
フルスケール入力電圧	$V_{\text{IN}} = (\text{AINP} - \text{AINN})$		$\pm V_{\text{REF}}$		V
同相モード入力電圧	$V_{\text{CM}} = (\text{AINP} + \text{AINN})/2$		2.5		V
AC性能					
データレート ( $f_{\text{DATA}}$ )		表1を参照			kSPS
ダイナミックレンジ	入力間を短絡、低レイテンシ・パス、 $f_{\text{DATA}} = 4\text{MSPS}$	100	103		dB
	入力間を短絡、低レイテンシ・パス、 $f_{\text{DATA}} = 2\text{MSPS}$	100.5	103.5		
	入力間を短絡、低レイテンシ・パス、 $f_{\text{DATA}} = 125\text{kSPS}$	108	111		
信号対雑音比 (SNR)	$f_{\text{IN}} = 10\text{kHz}$ 、 $-0.5\text{dBFS}$ 、広帯域パス、 $f_{\text{DATA}} = 4\text{MSPS}$		92		dB
	$f_{\text{IN}} = 10\text{kHz}$ 、 $-0.5\text{dBFS}$ 、広帯域パス、 $f_{\text{DATA}} = 2\text{MSPS}$		97		
	$f_{\text{IN}} = 1\text{kHz}$ 、 $-0.5\text{dBFS}$ 、広帯域パス、 $f_{\text{DATA}} = 125\text{kSPS}$		107		
全高調波歪 (THD)	$f_{\text{IN}} = 10\text{kHz}$ 、 $-0.5\text{dBFS}$ 、広帯域パス、 $f_{\text{DATA}} = 4\text{MSPS}$		-103		dB
	$f_{\text{IN}} = 10\text{kHz}$ 、 $-0.5\text{dBFS}$ 、広帯域パス、 $f_{\text{DATA}} = 2\text{MSPS}$		-103		
	$f_{\text{IN}} = 1\text{kHz}$ 、 $-0.5\text{dBFS}$ 、広帯域パス、 $f_{\text{DATA}} = 125\text{kSPS}$		-107		
スプリアスフリー・ダイナミックレンジ (SFDR)	$f_{\text{IN}} = 1\text{kHz}$ 、 $-0.5\text{dBFS}$ 、広帯域パス、 $f_{\text{DATA}} = 4\text{MSPS}$ 、信号高調波を除く		120		dB
	$f_{\text{IN}} = 10\text{kHz}$ 、 $-0.5\text{dBFS}$ 、広帯域パス、 $f_{\text{DATA}} = 4\text{MSPS}$ 、信号高調波を除く		120		
DC精度					
分解能	低速モード (DRATE = 000~011)	24			ビット
	高速モード (DRATE = 100, 101)	23			ビット
微分非直線性	低速モード (DRATE = 000~011)		24 (単調)		ビット
	高速モード (DRATE = 100, 101)		23 (単調)		ビット
積分非直線性			3	15	ppm of FSR
オフセット誤差	$T_A = +25^{\circ}\text{C}$	-5		5	mV
オフセット誤差ドリフト			4		$\mu\text{V}/^{\circ}\text{C}$
ゲイン誤差	$T_A = +25^{\circ}\text{C}$			1	%
ゲイン誤差ドリフト			4		ppm/ $^{\circ}\text{C}$
ノイズ		ノイズ特性表を参照 (表1)			
同相モード除去	DC時		71		dB
デジタル・フィルタ特性 (広帯域パス)					
通過帯域		0		$0.424f_{\text{DATA}}$	Hz
通過帯域リップル				$\pm 0.00002\text{dB}$	dB
通過帯域遷移	$-0.1\text{dB}$ の減衰		$0.432f_{\text{DATA}}$		Hz
	$-3\text{dB}$ の減衰		$0.488f_{\text{DATA}}$		Hz
遮断帯域		$0.576f_{\text{DATA}}$	$f_{\text{CLK}} - 0.576f_{\text{DATA}}$		Hz
遮断帯域減衰			86		dB
群遅延			28		$t_{\text{DRDY}}$
セトリング・タイム		[広帯域フィルタ]を参照			

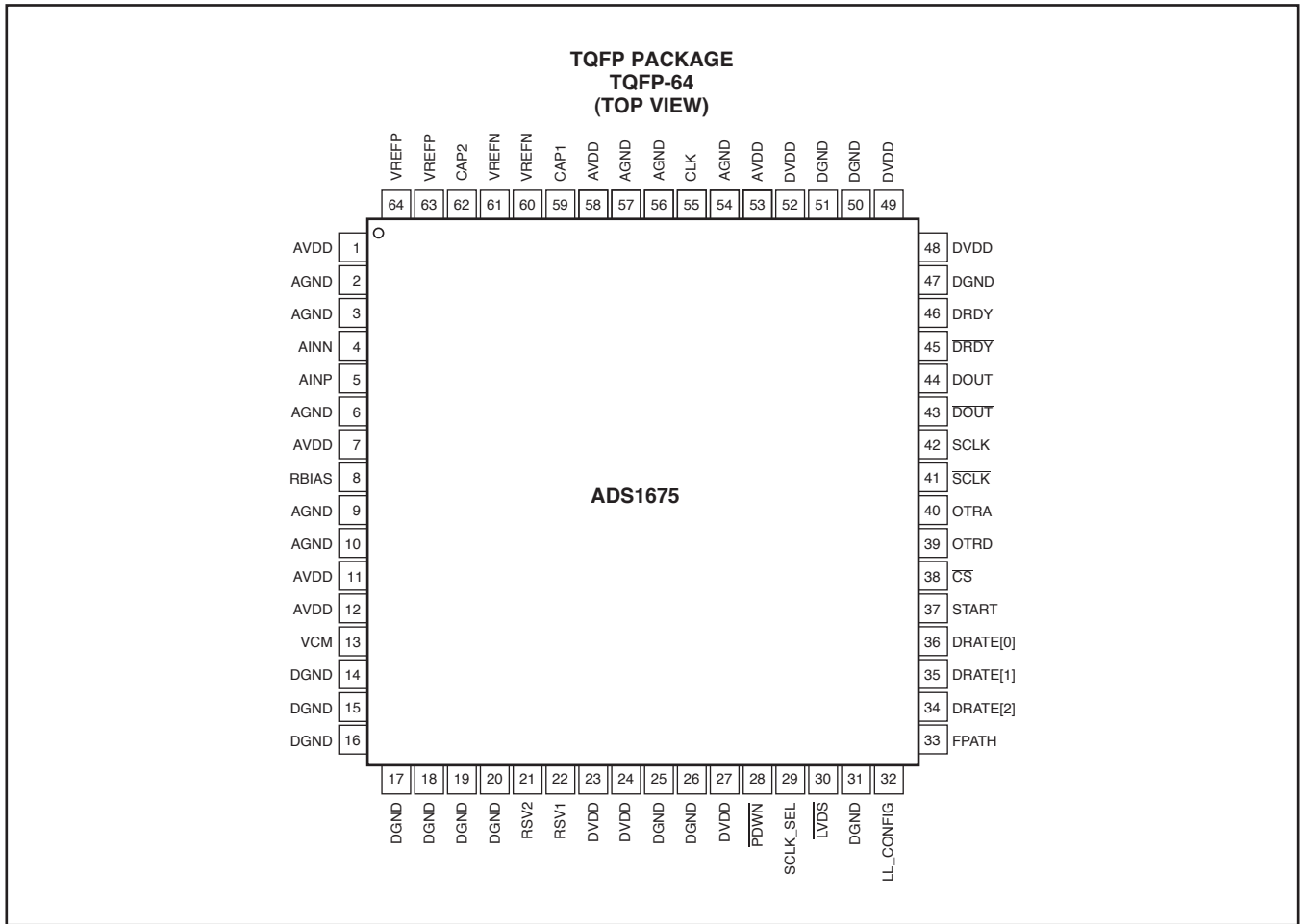
## 電気的特性

すべての仕様の条件は、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$ 、 $f_{\text{CLK}} = 32\text{MHz}$ 、 $V_{\text{REF}} = +3\text{V}$ 、 $R_{\text{BIAS}} = 7.5\text{k}\Omega$ です (特に記述のない限り)。

パラメータ	テスト条件	ADS1675			単位
		最小	標準	最大	
デジタル・フィルタ特性 (低レイテンシ・パス)					
帯域幅	-3dBの減衰	「低レイテンシ・フィルタ」を参照			
セトリング・タイム	完全な安定	表5を参照			
電圧リファレンス入力					
リファレンス入力電圧 ( $V_{\text{REF}}$ )	$V_{\text{REF}} = (V_{\text{REFP}} - V_{\text{REFN}})$	2.75	3.0	3.5	V
VREFP		2.75	3.0	3.5	V
VREFN			AGNDに短絡		V
クロック (CLK)					
$V_{\text{IH}}$		0.7AVDD		AVDD	V
$V_{\text{IL}}$		AGND		0.3AVDD	V
デジタル入力					
$V_{\text{IH}}$		0.7DVDD		DVDD	V
$V_{\text{IL}}$		DGND		0.3DVDD	V
入力リーク	$DGND < V_{\text{IN}} < DVDD$			$\pm 10$	$\mu\text{A}$
CMOS出力					
$V_{\text{OH}}$	$I_{\text{OH}} = -2\text{mA}$	0.8DVDD			V
$V_{\text{OL}}$	$I_{\text{OL}} = 2\text{mA}$			0.2DVDD	V
LVDS出力					
$ V_{\text{OD(SS)}} $	定常状態の差動出力電圧の大きさ		340		mV
$\Delta V_{\text{OD(SS)}} $	定常状態の差動出力電圧の論理状態間変化		$\pm 50$		mV
$V_{\text{OC(SS)}}$	定常状態の同相モード電圧出力		1.2		V
$\Delta V_{\text{OC(SS)}} $	定常状態の同相モード出力電圧の論理状態間変化		$\pm 50$		mV
$V_{\text{OC(pp)}}$	同相モード出力電圧のピーク・ツー・ピーク変化		50	150	mV
短絡出力電流 ( $I_{\text{OS}}$ )	$V_{\text{OY}}$ または $V_{\text{OZ}} = 0\text{V}$		3		mA
	$V_{\text{OD}} = 0\text{V}$		3		mA
ハイ・インピーダンス出力電流 ( $I_{\text{OZ}}$ )	$V_{\text{O}} = 0\text{V}$ または $+DVDD$		$\pm 5$		$\mu\text{A}$
負荷				5	pF
電源要件					
AVDD		4.75	5.0	5.25	V
DVDD		2.85	3.0	3.15	V
AVDD電流			70	74	mA
DVDD電流	CMOS出力、 $DVDD = 3\text{V}$ 、 $\text{DRATE} = 011$		53	59	mA
	LVDS出力、 $DVDD = 3\text{V}$ 、 $\text{DRATE} = 101$		70	74	mA
消費電力	CMOS出力、 $\text{DRATE} = 011$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$		510	545	mW
	LVDS出力、 $\text{DRATE} = 101$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$		575	600	mW
	パワー・ダウン		5		mW

# 製品情報

## ピン構成



## ピン機能

ピン		機能	説明
名前	番号		
AVDD	1, 7, 11, 12, 53, 58	アナログ	アナログ電源
AGND	2, 3, 6, 9, 10, 54, 56, 57	アナログ	アナログ・グラウンド
AINN	4	アナログ入力	負のアナログ入力
AINP	5	アナログ入力	正のアナログ入力
RBIAS	8	アナログ	アナログ・バイアス設定抵抗
VCM	13	アナログ	内部同相モード電圧への外部バイパス・コンデンサ接続用端子
DGND	14-20, 25, 26, 31, 47, 50, 51	デジタル	デジタル・グラウンド
RSV2	21	予約済み	デジタル・グラウンドへの短絡ピン
RSV1	22	予約済み	デジタル電源への短絡ピン
DVDD	23, 24, 27, 48, 49, 52	デジタル	デジタル電源
PDWN	28	デジタル入力	パワーダウン制御、アクティブ・ロー
SCLK_SEL	29	デジタル入力	シフト・クロック・ソース選択 <sup>(1)</sup> SCLK_SEL = 0の場合、SCLKを内部で生成 SCLK_SEL = 1の場合、SCLKを外部で生成
LVDS	30	デジタル入力	シリアル・インターフェイス選択 <sup>(1)</sup> LVDS = 0の場合、インターフェイスはLVDS互換 LVDS = 1の場合、インターフェイスはCMOS互換

(1) 高速モードでは使用できません。

## ピン機能

ピン		機能	説明
名前	番号		
LL_CONFIG	32	デジタル入力	低レイテンシ・デジタル・フィルタ設定 <sup>(1)</sup> LL_CONFIG = 0の場合、1サイクルでの安定を選択 LL_CONFIG = 1の場合、高速応答を選択
FPATH	33	デジタル入力	デジタル・フィルタ・パス選択 FPATH = 0の場合、パスは広帯域 FPATH = 1の場合、パスは低レイテンシ
DRATE[2:0]	34-36	デジタル入力	データ・レート選択
START	37	デジタル入力	変換開始、リセット、および同期制御入力
$\overline{\text{CS}}$	38	デジタル入力	チップ選択、アクティブ・ロー
OTRD	39	デジタル出力	デジタル・フィルタの範囲外通知
OTRA	40	デジタル入力	アナログ入力の範囲外通知
$\overline{\text{SCLK}}$	41	デジタル出力	負のシフト・クロック出力 SCLK_SEL = 0の場合、 $\overline{\text{SCLK}}$ は相補的なシフト・クロック出力 SCLK_SEL = 1の場合、 $\overline{\text{SCLK}}$ 出力は常に3ステート
SCLK	42	デジタル入力/出力	正のシフト・クロック出力 SCLK_SEL = 0の場合、SCLKは出力 SCLK_SEL = 1の場合、SCLKは入力
$\overline{\text{DOUT}}$	43	デジタル出力	負のLVDSシリアル・データ出力
DOUT	44	デジタル出力	正のLVDSシリアル・データ出力
$\overline{\text{DRDY}}$	45	デジタル出力	負のデータ準備完了出力
DRDY	46	デジタル出力	正のデータ準備完了出力
CLK	55	デジタル入力	マスタ・クロック入力
CAP1	59	アナログ	1 $\mu$ F外部バイパス・コンデンサ用端子
VREFN	60, 61	アナログ	負のリファレンス電圧。アナログ・グランドに短絡
CAP2	62	アナログ	1 $\mu$ F外部バイパス・コンデンサ用端子
VREFP	63, 64	アナログ	正のリファレンス電圧

## タイミング特性

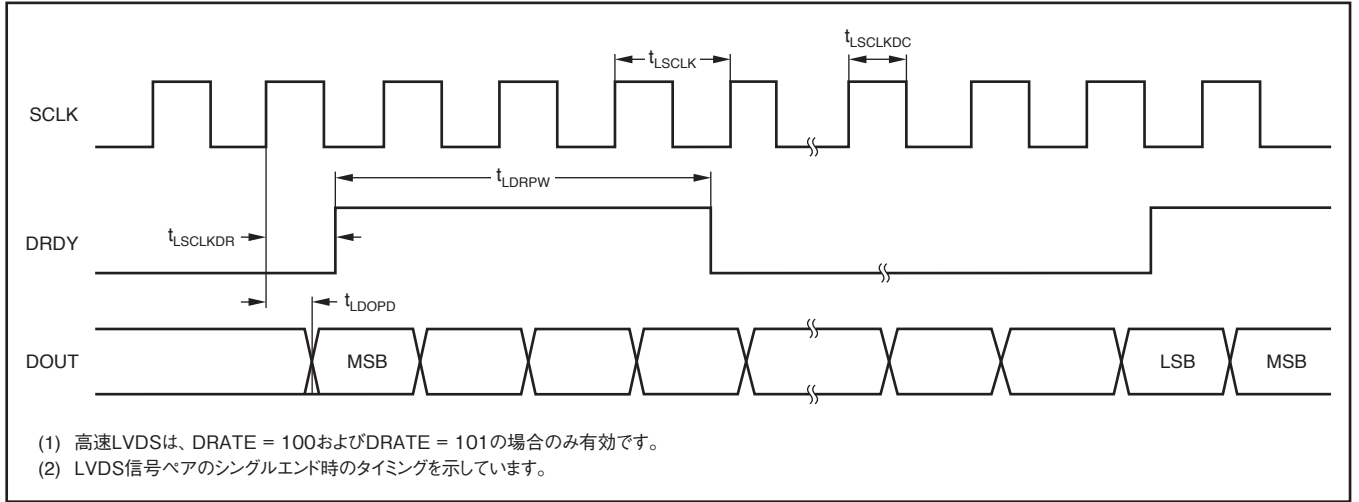


図 1. 高速LVDSのデータ取得タイミング

## タイミング要件：高速LVDS

$T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $\text{DVDD} = 2.85\text{V} \sim 3.15\text{V}$

記号	説明	最小	標準	最大	単位
$t_{\text{LDRPW}}$	DRDYパルス幅	2		4	$t_{\text{LSCLKs}}$
$t_{\text{LSCLKDR}}$	SCLK~DRDY間遅延	2		3	ns
$t_{\text{LDOPD}}$	シリアル・シフト・クロックからの有効データ遅延時間	1.5		2.5	ns
$t_{\text{LSCLK}}$	LVDSシリアル・シフト・クロック (SCLK) の周期		0.33		$t_{\text{CLKs}}$
$t_{\text{LSCLKDC}}$	シフト・クロックのデューティ・サイクル	47		53	%
$t_{\text{CLK}}$	CLK周期 ( $1/f_{\text{CLK}}$ )	31.25			ns
$t_{\text{LCLKSCLK}}$	CLK立ち上がりエッジ~SCLK立ち上がりエッジの遅延時間	13		20	ns
$t_{\text{LPLLSTL}}$	PLLセトリング・タイム			80	$\mu\text{s}$
$t_{\text{STCLK}}$	セットアップ時間、START立ち上がりエッジ~CLK立ち下がりエッジ	-3		3	ns
$t_{\text{SETTLE}}$	デジタル・フィルタのセトリング・タイム	表5および表6を参照			

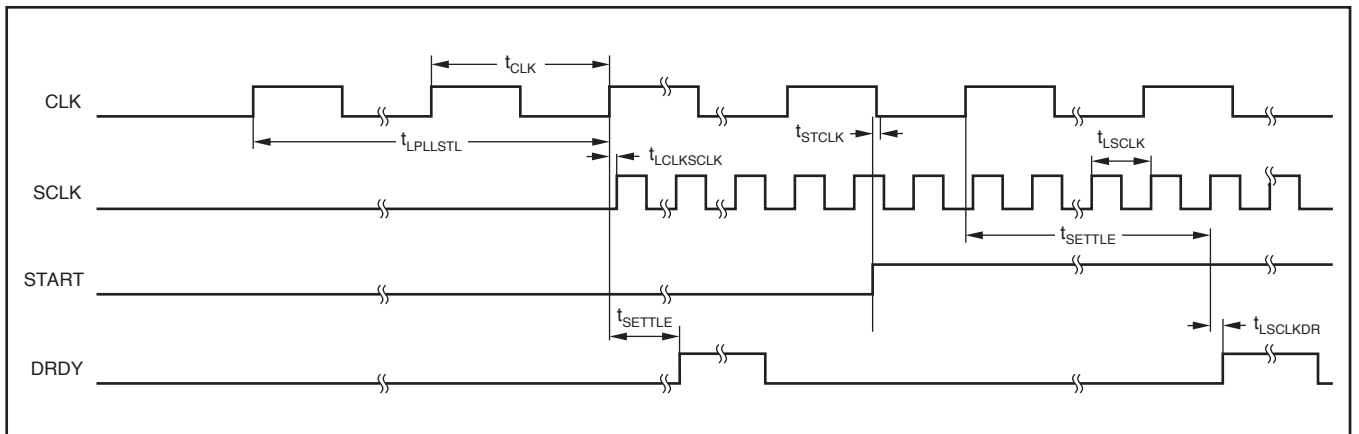


図 2. PLLタイミング

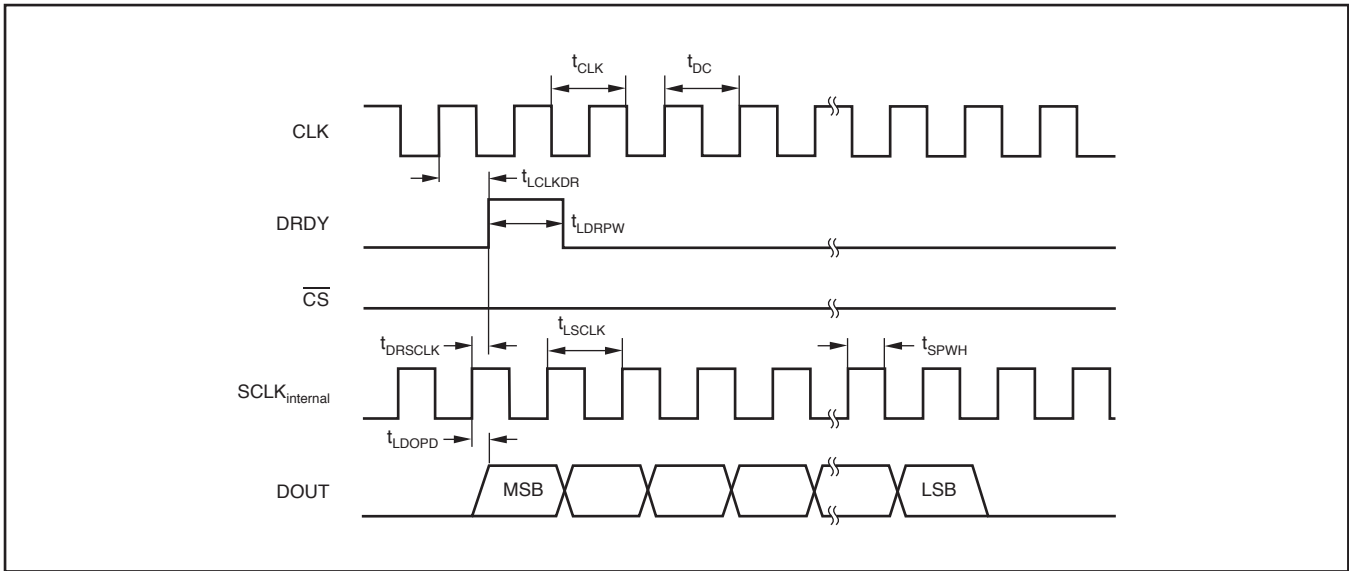


図 3. 低速モードのデータ取得タイミング、内部SCLKを使用 (SCLK\_SEL = 0)

### タイミング要件：内部SCLK

$T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $\text{DVDD} = 2.85\text{V} \sim 3.15\text{V}$

記号	説明	最小	標準	最大	単位
$t_{DC}$	CLKデューティ・サイクル	47	50	53	%
$t_{SPWH}$	SCLKパルス幅High		15.6		ns
$t_{CLK}$	CLK周期 ( $1/f_{CLK}$ )	31.25			ns
$t_{CLKDR}$	CLK~DRDY間遅延	23		30	ns
$t_{LDRPW}$	DRDYパルス幅		1		$t_{CLK}$
$t_{DRISCLK}$	内部SCLK立ち上がり~DRDYアクティブ・エッジ	2.2		4.4	ns
$t_{LSCLK}$	内部生成SCLK立ち上がりエッジ~DRDY立ち上がりエッジ		1		$t_{CLK}$
$t_{LDOPD}$	SCLK立ち上がりエッジ~新しい有効データ出力(伝播遅延)	1.9		2.8	ns



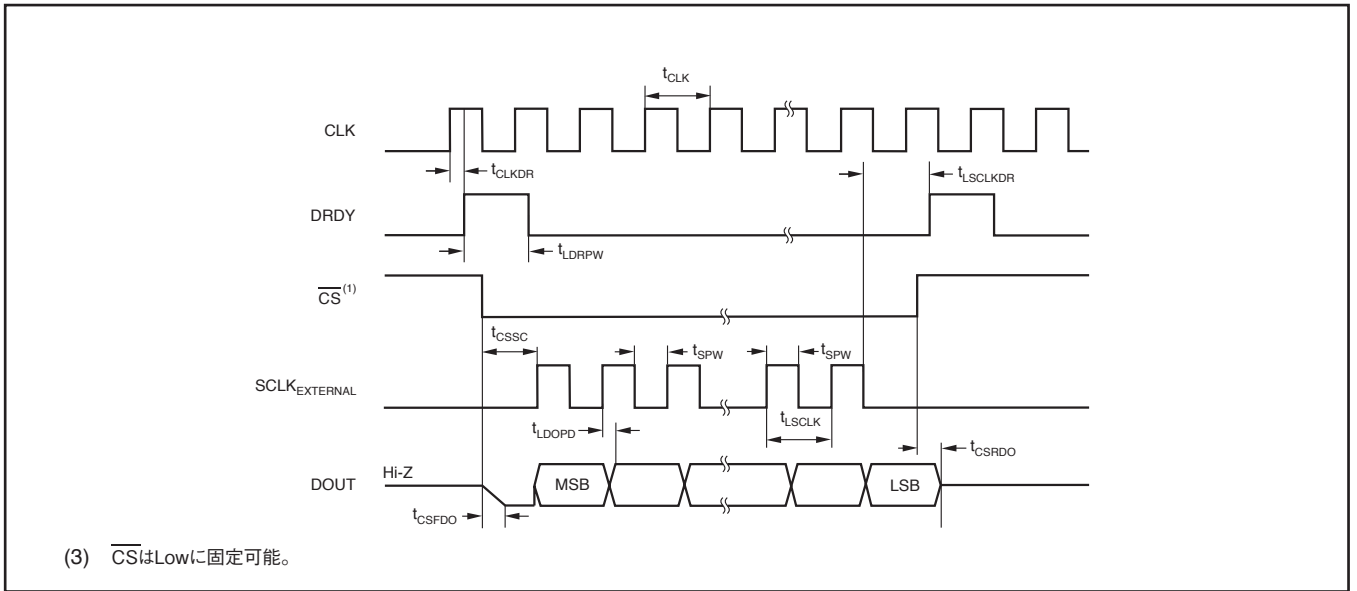


図 4. 低速モードのデータ取得タイミング、外部SCLKを使用 (SCLK\_SEL = 1)

### タイミング要件：内部SCLK

$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ 、 $DVDD = 2.85\text{V} \sim 3.15\text{V}$

記号	説明	最小	標準	最大	単位
$t_{\text{CLK}}$	CLK周期 ( $1/f_{\text{CLK}}$ )	31.25			ns
$t_{\text{CLKDR}}$	CLK～DRDY間遅延	23		29	ns
$t_{\text{LDRPW}}$	DRDYパルス幅		1		$t_{\text{CLK}}$
$t_{\text{CSSC}}$	$\overline{CS}$ アクティブ・ロー～最初のシフト・クロック (セットアップ時間)	5			ns
$t_{\text{LSCLK}}$	SCLK周期 ( $1/f_{\text{SCLK}}$ )	25			ns
$t_{\text{SPW}}$	SCLK HighまたはLowパルス幅	12			ns
$t_{\text{LDOPD}}$	SCLK立ち上がりエッジ～新しい有効データ出力 (伝播遅延)	10.5		15	ns
$t_{\text{LSCLKDR}}$	SCLK立ち下がりエッジ～DRDY立ち上がりのセットアップ時間	3			$t_{\text{CLK}}$
$t_{\text{CSRDO}}$	$\overline{CS}$ 立ち上がりエッジ～DOUT 3ステート		8		ns

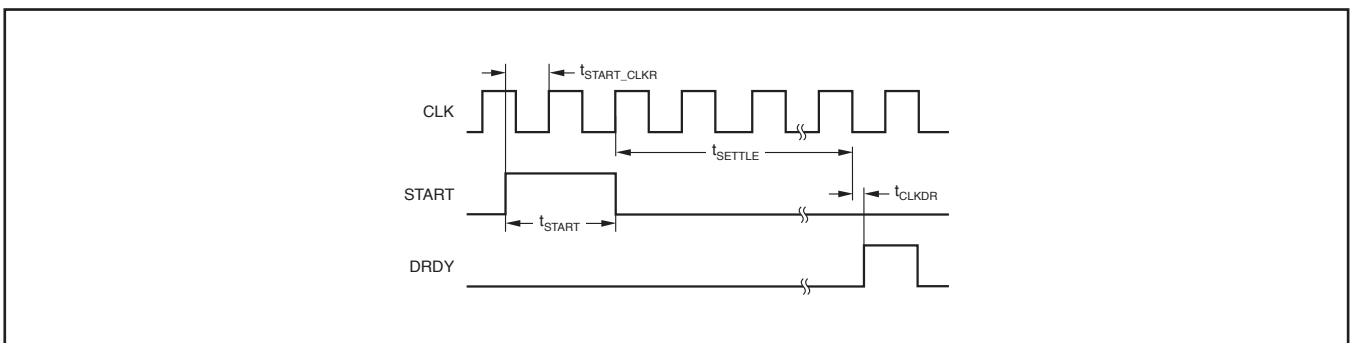


図 5. STARTタイミング

### タイミング要件：START

$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ 、 $DVDD = 2.85\text{V} \sim 3.15\text{V}$

記号	説明	最小	標準	最大	単位
$t_{\text{START\_CLKR}}$	セットアップ時間、START立ち上がりエッジ～CLK立ち上がりエッジ	0.5			$t_{\text{CLK}}$
$t_{\text{START}}$	スタート・パルス幅	2			$t_{\text{CLK}}$

# 標準的特性

すべての仕様の条件は、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$ 、 $f_{\text{CLK}} = 32\text{MHz}$ 、 $V_{\text{REF}} = +3\text{V}$ 、 $R_{\text{BIAS}} = 7.5\text{k}\Omega$ です (特に記述のない限り)。

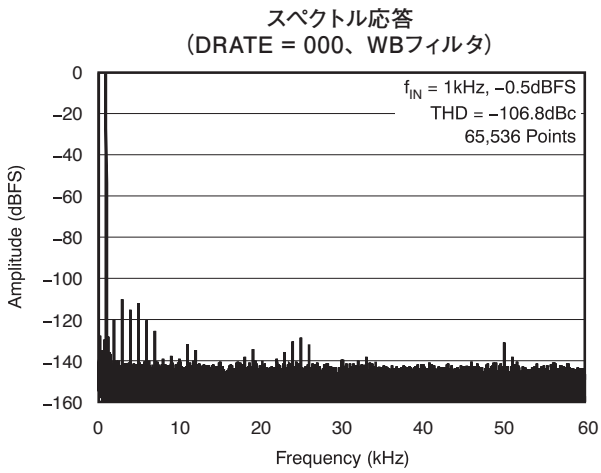


図 6

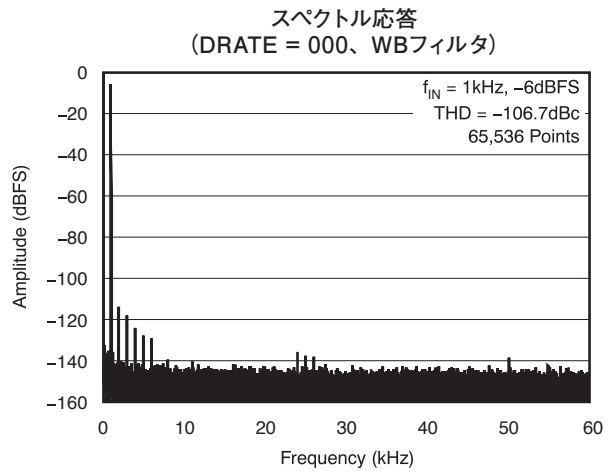


図 7

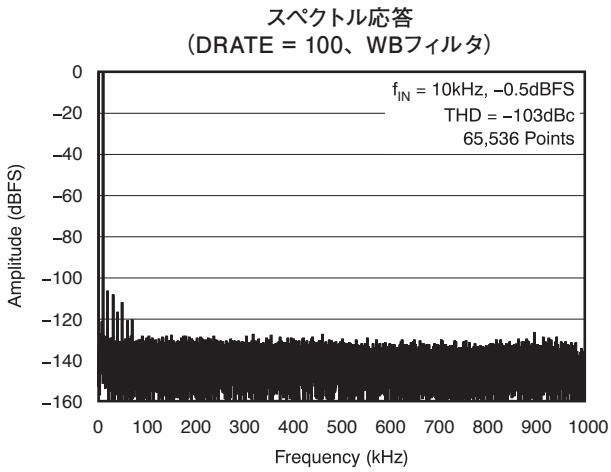


図 8

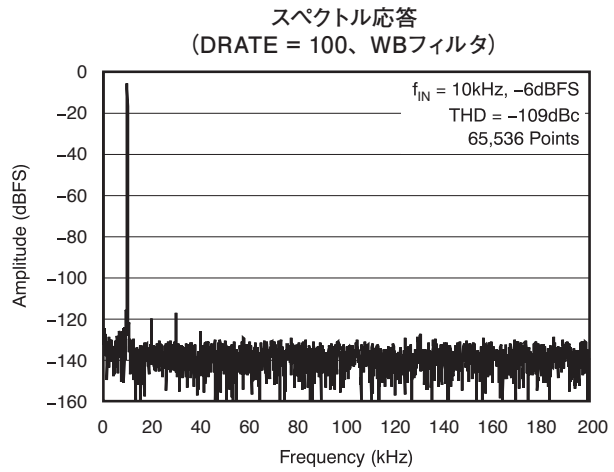


図 9

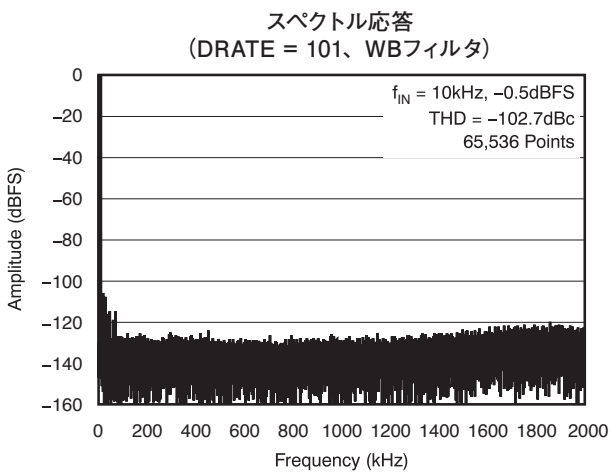


図 10

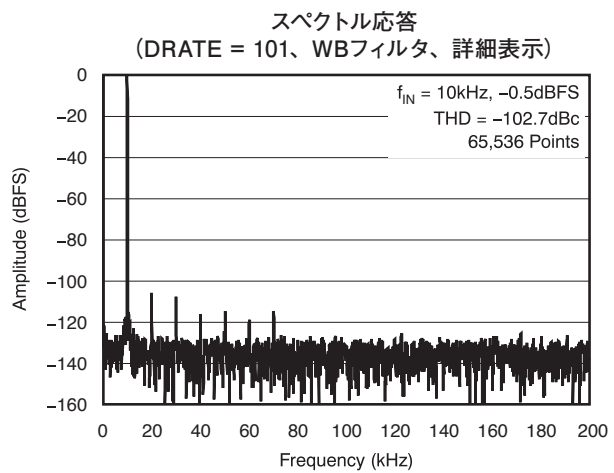


図 11

# 標準的特性

すべての仕様の条件は、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$ 、 $f_{\text{CLK}} = 32\text{MHz}$ 、 $V_{\text{REF}} = +3\text{V}$ 、 $R_{\text{BIAS}} = 7.5\text{k}\Omega$ です (特に記述のない限り)。

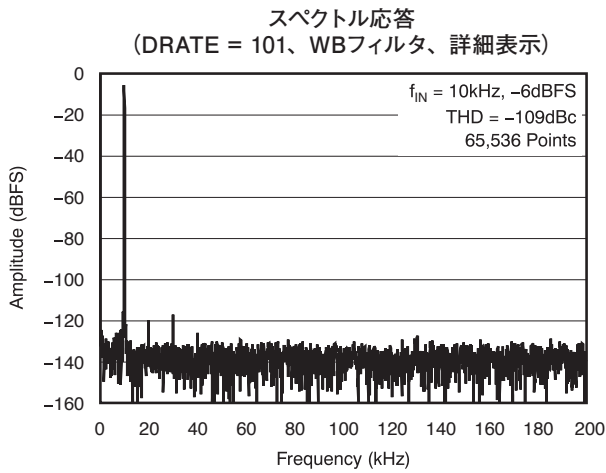


図 12

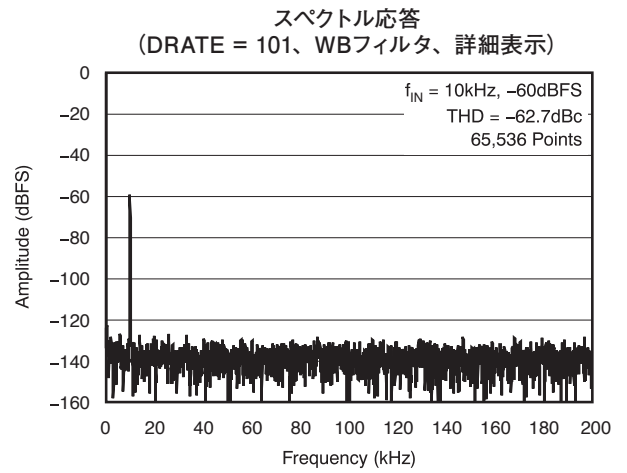


図 13

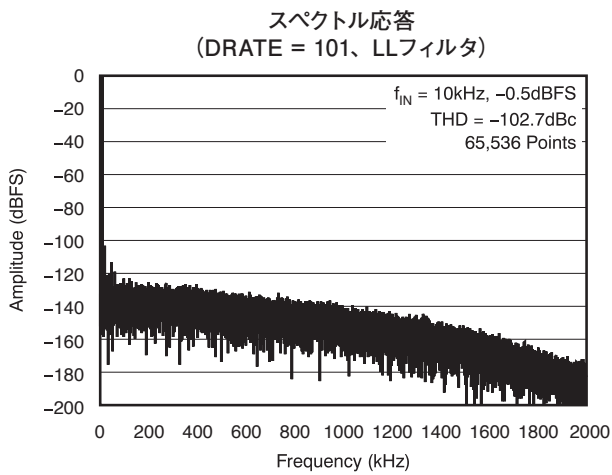


図 14

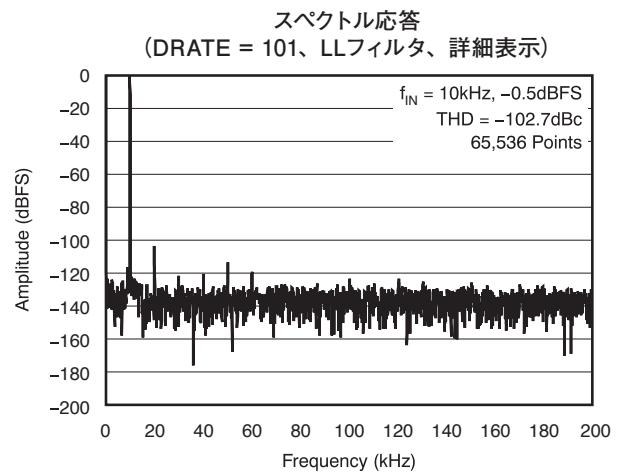


図 15

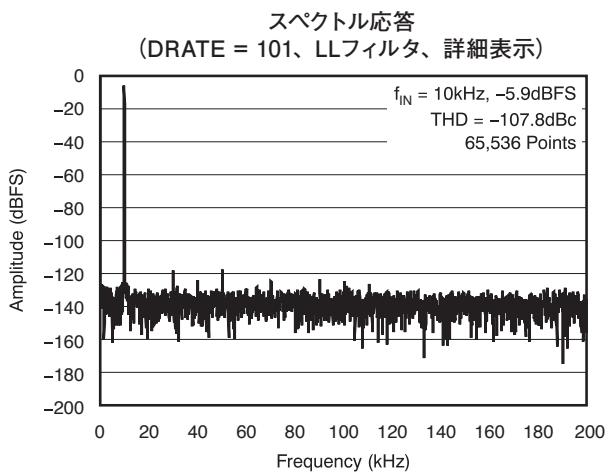


図 16

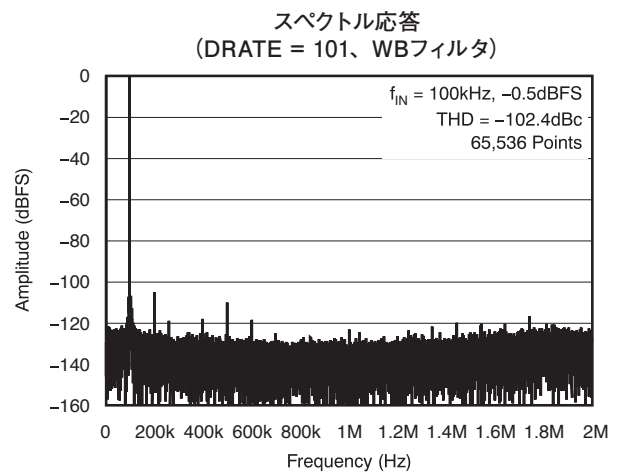


図 17

# 標準的特性

すべての仕様の条件は、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$ 、 $f_{\text{CLK}} = 32\text{MHz}$ 、 $V_{\text{REF}} = +3\text{V}$ 、 $R_{\text{BIAS}} = 7.5\text{k}\Omega$ です (特に記述のない限り)。

スペクトル応答  
(DRATE = 101、WBフィルタ)

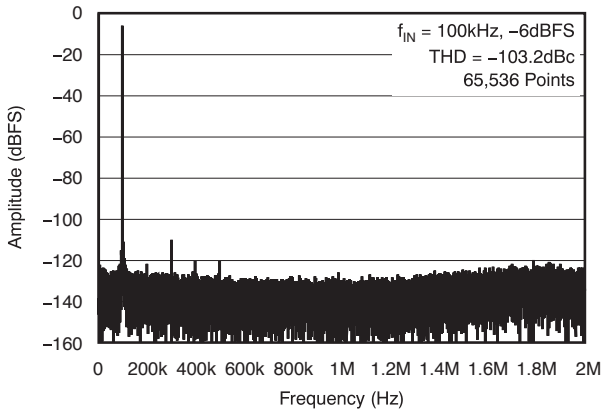


図 18

スペクトル応答  
(DRATE = 101、WBフィルタ)

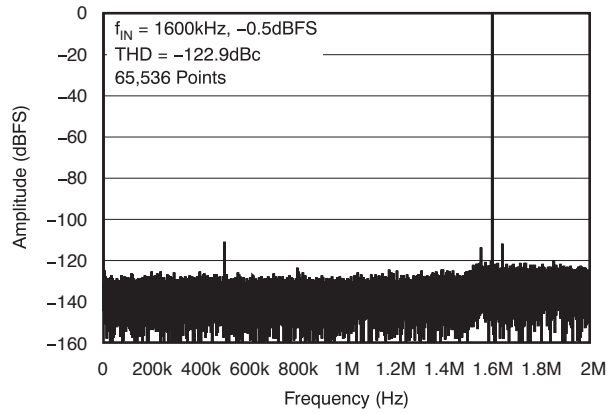


図 19

スペクトル応答  
(DRATE = 101、WBフィルタ)

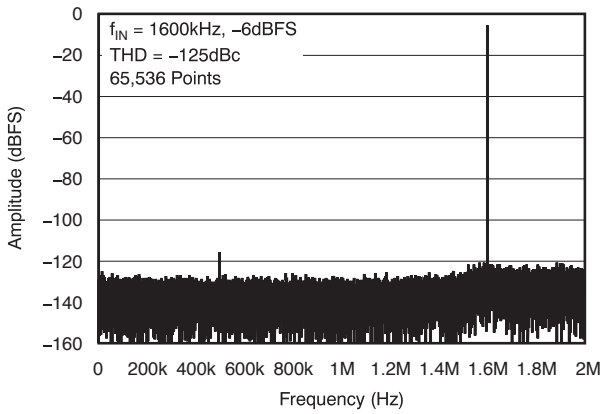


図 20

信号対雑音比 対 入力信号振幅

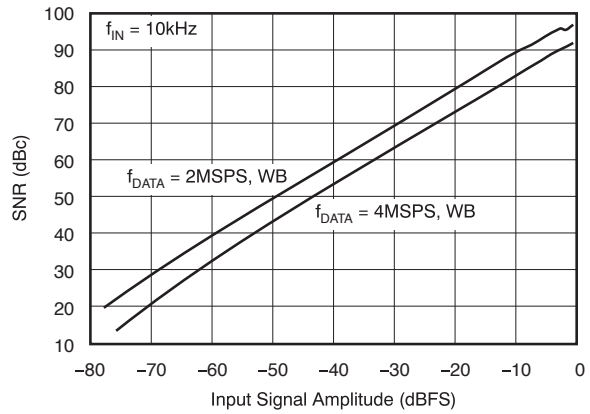


図 21

|全高調波歪| 対 入力信号振幅

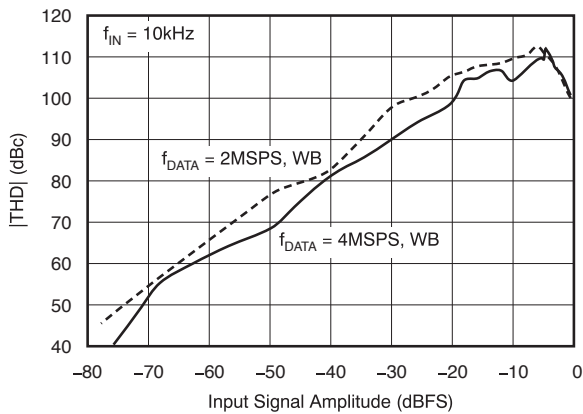


図 22

信号対雑音比 対 入力同相モード電圧

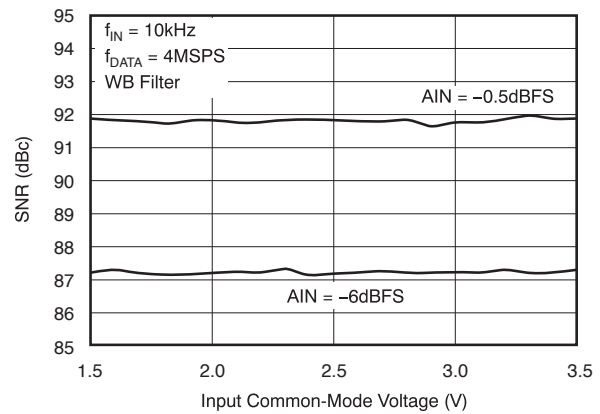


図 23

# 標準的特性

すべての仕様の条件は、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$ 、 $f_{\text{CLK}} = 32\text{MHz}$ 、 $V_{\text{REF}} = +3\text{V}$ 、 $R_{\text{BIAS}} = 7.5\text{k}\Omega$ です (特に記述のない限り)。

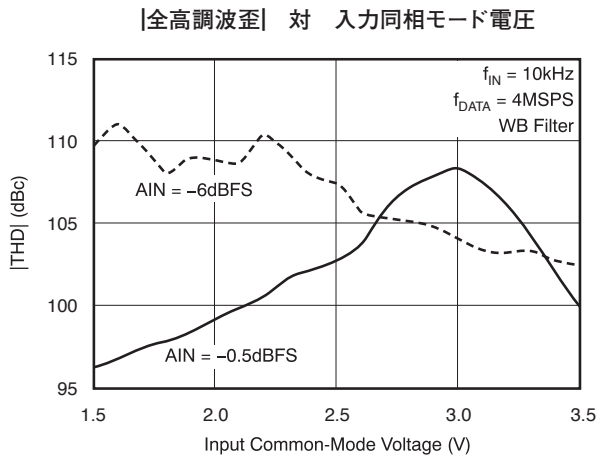


図 24

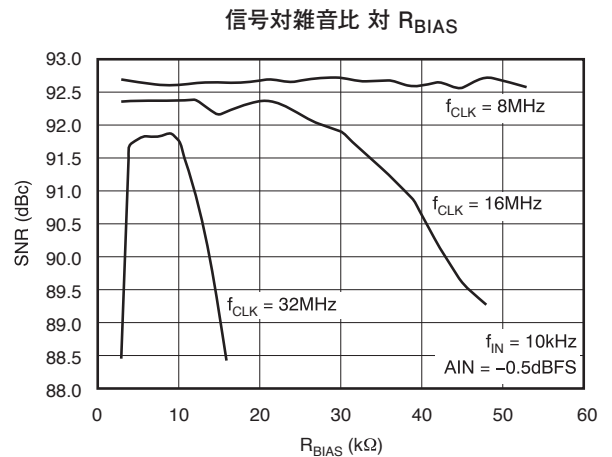


図 25

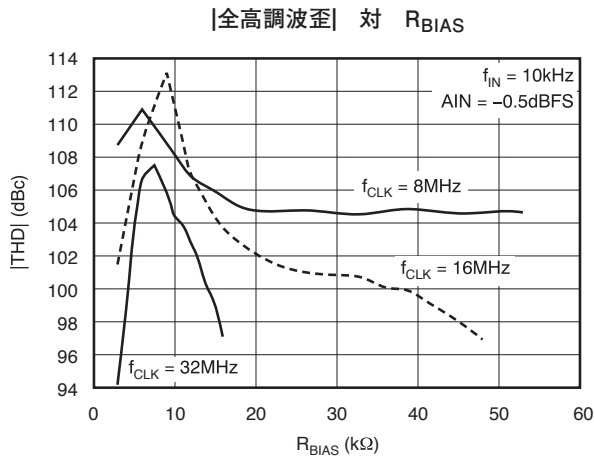


図 26

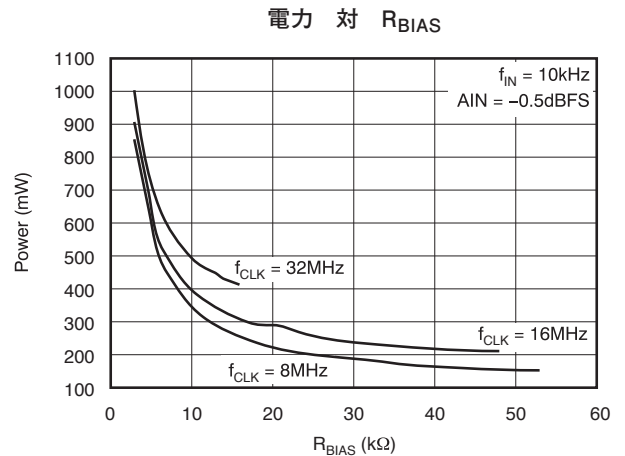


図 27

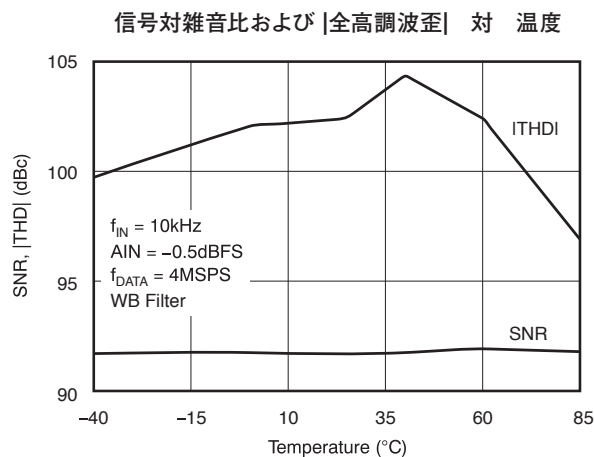


図 28

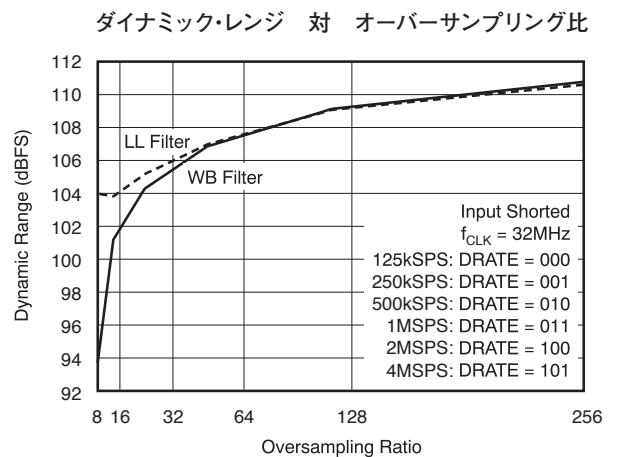


図 29

# 標準的特性

すべての仕様の条件は、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$ 、 $f_{\text{CLK}} = 32\text{MHz}$ 、 $V_{\text{REF}} = +3\text{V}$ 、 $R_{\text{BIAS}} = 7.5\text{k}\Omega$ です (特に記述のない限り)。

電流 対 オーバーサンプリング比

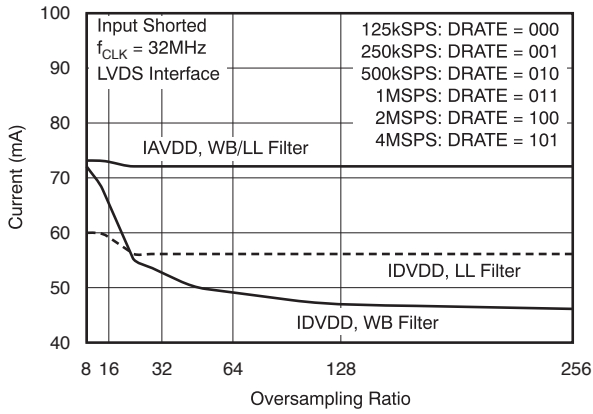


図 30

電力 対 オーバーサンプリング比

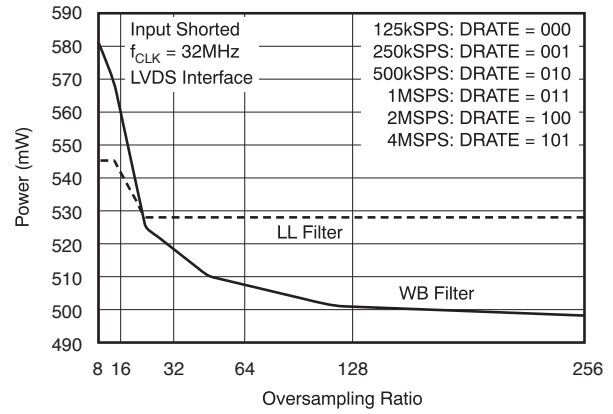


図 31

ノイズ・ヒストグラム  
(DRATE = 101、WBフィルタ)

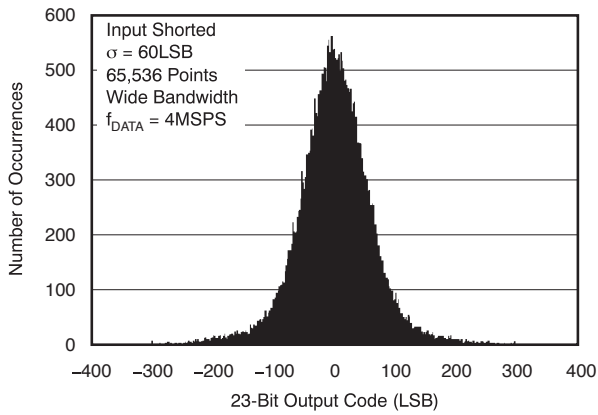


図 32

ノイズ・ヒストグラム  
(DRATE = 000、WBフィルタ)

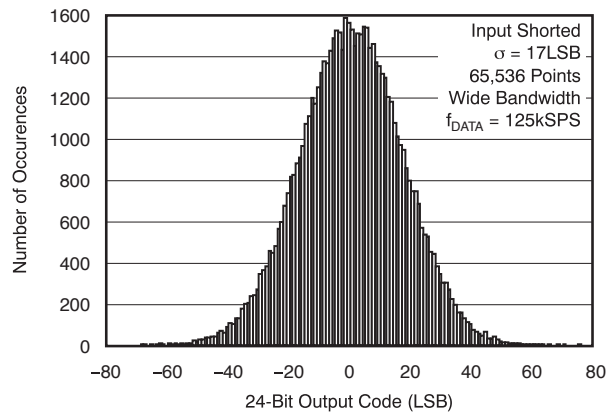


図 33

積分非直線性 対 アナログ入力電圧

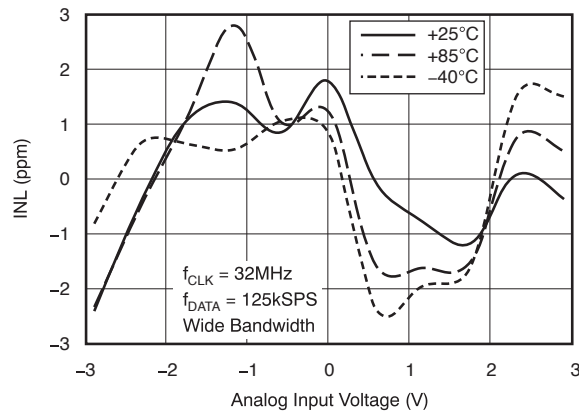


図 34

## 概要

ADS1675は、24ビットのデルタ・シグマ( $\Delta\Sigma$ )型A/Dコンバータ(ADC)です。AC信号とDC信号の両方を高分解能で測定でき、高度な多段アナログ変調回路と、プログラミング可能で柔軟性の高いデジタル・デシメーション・フィルタを備えています。

図35に、ADS1675のブロック図を示します。変調回路は、差動リファレンス $V_{REF} = (V_{REFP} - V_{REFN})$ に対して差動入力信号 $V_{IN} = (A_{INP} - A_{INN})$ を測定します。デジタル・フィルタは、変調回路から信号を受け取り、ユーザーが選択したパスを通して処理します。低レイテンシパスでは信号がすばやく安定し、マルチプレクサの使用時や、大きな過渡電圧の測定時に最適です。広帯域パスでは優れた周波数応答が得られ、通過帯域リップルが非常に小さく、遷移帯域は急峻で、遮断帯域では大きな減衰が得られます。このパスは、高周波AC信号の高分解能測定を必要とするアプリケーションに最適です。

専用のSTARTピンにより、精密な変換制御が可能です。このピンの状態を切り替えると、変換プロセスが開始されます。ADS1675は、適切なI/Oピンの設定によって制御され、プログラミングするレジスタはありません。データは、CMOSまたはLVDS電圧レベルをサポートするシリアル・インターフェイスを介して取得されます。また、標準CMOSシリアル・インターフェイスは、内部クロックまたは外部クロックで動作できます。この柔軟性によって、DSP、FPGA、マイクロコントローラなど、幅広い範囲のデジタル・ホストへの直接接続が可能です。LVDSモード・インターフェイスの使用時のみ、すべてのデータ・レートが使用できます。

検出回路によって変換が監視され、長い時間にわたって入力が範囲外になった場合は通知されます。ADS1675が使用されていないときは、パワーダウン・ピン(PDWN)によって全回路をオフにできます。

このデバイスには、それぞれ個別のインターフェイス、分解能、機能セットを持つ2つの速度モードがあります。高速モードは、DRATE[2:0]を100または101に設定することでイネーブルになります。

ます。それ以外のDRATE設定では、低速モードがイネーブルになります。

## ノイズ特性

ADS1675は、優れたノイズ特性を持ち、データ・レートの調整によって特性を最適化できます。データ・レートを低くして平均化の度合いを高めると、それに応じてノイズが低下します。表1に、低レイテンシと広帯域の両方のフィルタ・パスについて、各種条件下でのデータ・レートの関数としてノイズ特性を示します。

表1には、ノイズを規定する一般的な方法のいくつかが示されています。ダイナミック・レンジは、入力を互いに短絡したときのノイズの2乗平均平方根(RMS)値に対する、フルスケール正弦波のRMS値の比です。この値は、dBFS(フルスケールに対するdB)単位で表されます。入力基準ノイズは、入力短絡時のノイズのRMS値を、ADS1675の入力を基準として表した値です。有効ビット数(ENOB)は、式(1)を用いてDCの観点から計算される値であり、フルスケール範囲が $2V_{REF}$ に等しくなります。

$$ENOB = \frac{\ln\left[\frac{\text{Full-scale range}}{\text{RMS noise}}\right]}{\ln(2)} \quad (1)$$

ノイズフリー・ビットも、式(1)を用いてDCの観点から得られる値ですが、RMSノイズの代わりにピーク・ツー・ピーク・ノイズを使用します。

## アナログ入力(AINP、AINN)

ADS1675は、差動リファレンス $V_{REF} = (V_{REFP} - V_{REFN})$ に対して差動信号 $V_{IN} = (A_{INP} - A_{INN})$ を測定します。正側で最も大きな差動入力 $V_{REF}$ であり、正の最大デジタル出力コード7FFFFFFhを生成します。同様に、負側で最も大きな差動入力 $-V_{REF}$ であり、負の最大デジタル出力コード800000hを生成します。

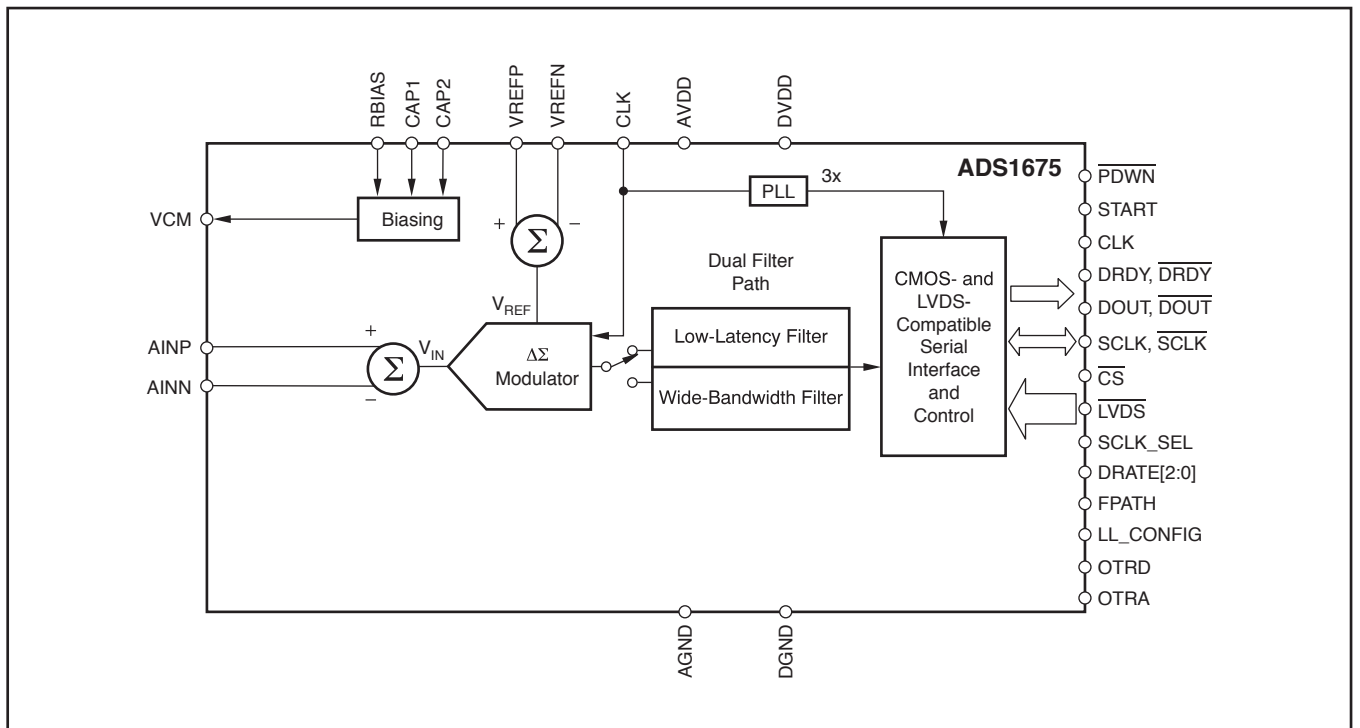


図 35. ブロック図

フィルタ・パス		データ・レート[2:0]	データ・レート (kSPS)	ダイナミック・ レンジ(dB)	入力基準ノイズ (mVRMS)	ENOB	ノイズフリー・ ビット
低レイテンシ (高速応答 モード設定)	低速モード	000	125	111	6.30	19.86	17.14
		001	250	109	7.47	19.61	16.89
		010	500	107	9.51	19.27	16.54
		011	1000	105	11.72	18.97	16.24
	高速モード	100	2000	104	13.72	18.74	16.02
		101	4000	103	14.23	18.69	15.96
広帯域	低速モード	000	125	111	6.17	19.89	17.17
		001	250	109	7.44	19.62	16.90
		010	500	107	9.66	19.25	16.52
		011	1000	104	12.99	18.82	16.09
	高速モード	100	2000	101	18.64	18.30	15.57
		101	4000	94	44.02	17.06	14.33

表 1. ノイズ特性<sup>(1)</sup>

(1)  $V_{REF} = 3V$ ,  $f_{CLK} = 32MHz$ .

最適な性能を得るには、アナログ入力を差動信号で駆動する必要があります。推奨される同相モード電圧は、2.5Vです。ADS1675は、アナログ入力を非常に高速でサンプリングしますが、それによって、それに適したドライバを使用することが重要です。推奨回路設計については、「アプリケーション情報」を参照してください。

## 電圧リファレンス入力 (VREFN、VREFP)

ADS1675の電圧リファレンスは、VREFPとVREFNの間の差動電圧です。

$$V_{REF} = (VREFP - VREFN) \quad (2)$$

ADS1675を最高の性能で動作させるには、適切な駆動能力を備えた高品質のリファレンス電圧が不可欠です。リファレンスにノイズやドリフトがあると、システム全体の性能が低下します。リファレンス回路の例については、「アプリケーション情報」を参照してください。

リファレンス入力VREFPとVREFNの間に直接、最小10 $\mu$ Fおよび0.1 $\mu$ Fのセラミック・バイパス・コンデンサを接続することを推奨します。最適な性能を得るために、これらのコンデンサはデバイスにできる限り近づけて配置する必要があります。

## 同相モード電圧 (VCM)

VCMピンは、AVDD/2の電圧を出力します。このピンは1 $\mu$ Fのコンデンサでバイパスする必要があり、コンデンサはパッケージのピンに近づけて配置します。VCMピンには、内部アンプの補償用

の外部コンデンサを接続します。このピンは、外部負荷の駆動に使用することを意図したものではありません。

## 変換開始

STARTピンを使用して、変換を簡単かつ精密に制御できます。1回の変換を実行するには、図36に示すようにSTARTピンにパルスを加えます。START信号は、CLKの立ち上がりエッジに同期して内部でラッチされます。最初の変換の完了後、STARTを引き続きHighに保持することで、複数回の変換を実行できます。選択されたフィルタ・パスによってタイミングが異なるため、複数回の変換について詳しくは、デジタル・フィルタの説明を参照してください。

実行中の変換が完了する前に、新たなSTARTパルスを加えることで、変換を中断できます。中断されると、実行中の変換のデータは破棄され、新しい変換が開始されます。図37に示すように、フィルタの安定後、データを取得する準備ができたことがDRDYで示されます。

## デジタル・フィルタ

$\Delta\Sigma$  ADCでは、デジタル・フィルタがデバイスの性能に大きな影響を与えます。デジタル・フィルタによって、周波数応答、データ・レート、帯域幅、およびセトリング・タイムが設定されます。フィルタ内でこれらの特性のいくつかを最適化する場合は、他の特性について妥協が必要となります。このようなトレードオフによって、デバイスが最も適しているアプリケーションが決まります。

ADS1675には、2つのオンチップ・フィルタが搭載され、変調回路からの出力データを広帯域フィルタまたは低レイテンシ・フィルタ

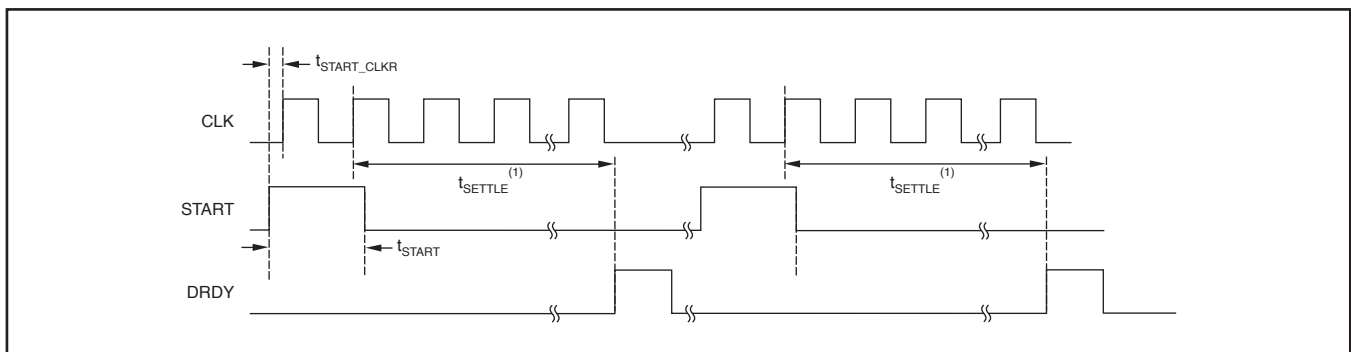


図 36. 1回の変換に使用されるSTARTピン



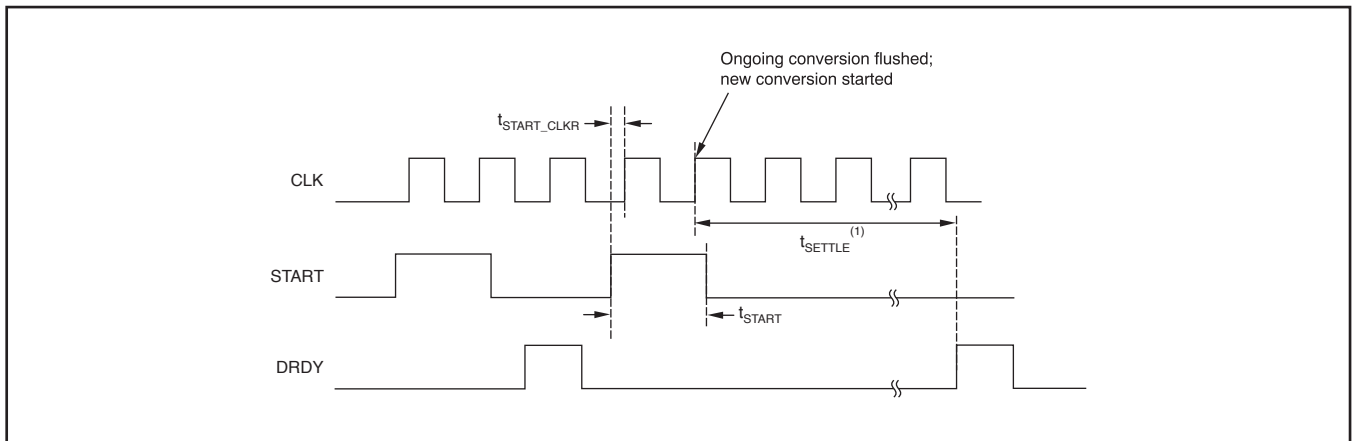


図 37. STARTによって変換を再度開始する例

(1) セトリング・タイム $t_{SETTLE}$ の具体的な値については、「低レイテンシ・フィルタ」および「広帯域フィルタ」を参照してください。

のいずれかに入力することができます。これらのフィルタにより、1つのコンバータ設計を使って複数のアプリケーションに対応できます。低レイテンシ・パス・フィルタでは、レイテンシ(セトリング・タイム)が最小になります。これは、フィルタの帯域幅の削減によって実現されています。このパスは、入力に高速で大きな変化が生じるような測定(マルチプレクサ使用時など)に最適です。低レイテンシ特性により、マルチプレクサで高速のサイクル動作が可能になります。

もう1つのパスは、優れた周波数応答特性を持つフィルタを提供します。通過帯域リップルは極めて小さく、遷移帯域は非常に急峻で、遮断帯域では大きな減衰が行われます。これらの特性は、AC信号の高分解能測定に必要なものです。ここでのトレードオフはセトリング・タイムが長くなることですが、信号処理の場合、これは一般に重要な問題とはなりません。

表2に示すように、FPATHデジタル入力ピンによって、フィルタ・パスの選択が設定されます。フィルタ・パスを選択またはデータ・レートを変更した後は、STARTピンをストロブする必要があります。フィルタ・パスまたはデータ・レートの変更時に変換が実行中であった場合、出力データは無効であり、破棄される必要があります。

FPATHピン	選択されるフィルタ・パス
1	低レイテンシ・パス
0	広帯域パス

表 2. ADS1675のフィルタ・パス選択

### 低レイテンシ・デジタル・フィルタ

低レイテンシ(LL)フィルタは、最小のレイテンシで高精度の測定を必要とするアプリケーション向けに、高速なセトリング・応答を提供します。そのようなアプリケーションの一例は、複数の入力を測定するマルチプレクサです。ADCの安定が速いほど、測定を高速

で完了して、マルチプレクサが次の入力に移ることができます。

ADS1675のLLフィルタは、そのようなアプリケーションの性能を最適化できるように、2つの設定をサポートしています。

設定は、表3に示すように、LL\_CONFIG入力ピンによって選択されます。設定を変更した後は、必ずSTARTピンをストロブしてください。設定の変更時に変換が実行中であった場合、その変換の出力データは無効であり、破棄される必要があります。

最初の設定は、1サイクルで安定する設定です。この設定では、フィルタが1回の変換サイクルで完全に安定できるため、データを破棄する必要がなくなります。各データ出力は、直前の変換時に取得された情報のみから構成されます。表4に示すように、DRATE[2:0]デジタル入力ピンによって、1サイクル安定設定に対するデータ・レートが選択されます。データ・レートを変更した後は、STARTピンをストロブする必要があります。データ・レートの変更時に変換が実行中であった場合、その変換の出力データは無効であり、破棄される必要があります。

2番目の設定は、高速応答です。表5に示すように、DRATE[2:0]デジタル入力ピンによって、高速応答設定に対するデータ・レートが選択されます。この設定が選択されると、出力データ・レートが高くなります。出力データ・レートが高速になると、所定の時間内にポストプロセッサで行われる平均化の度合いが増加し、ノイズが減少します。また、高速で変化する信号の監視中(制御ループ・アプリケーションの場合など)、入力に変化したことをより高速で通知できます。

LL_CONFIGピン	低レイテンシ設定
0	1サイクルでの安定
1	高速応答

表 3. 低レイテンシ・ピンの設定

DRATE[2:0]	データ・レート(kSPS)	セトリング・タイム、 $t_{SETTLE-LL}$	$-3dB$ 帯域幅(kHz) <sup>(1)</sup>
000	57.80	17.375 $\mu$ s	54
001	107.53	9.375 $\mu$ s	109
010	188.68	5.375 $\mu$ s	208
011	277.78	3.625 $\mu$ s	344

表 4. 1サイクル安定設定での低レイテンシ・データ・レート

(1) ナイキスト定理に従って、入力信号の周波数が $f_{DATA}/2$ を超えると、入力信号にエイリアシングが生じます。

DRATE [2:0]	データ・レート (kSPS)	セトリング・タイム、 $t_{SETTLE-LL}$	-3dB帯域幅 (kHz)	
000	125	17.375 $\mu$ s	556 $t_{CLK}$	54
001	250	9.375 $\mu$ s	300 $t_{CLK}$	109
010	500	5.375 $\mu$ s	172 $t_{CLK}$	208
011	1000	3.625 $\mu$ s	116 $t_{CLK}$	344
100	2000	2.76 $\mu$ s	265 $t_{LSCLK}$	350
101	4000	2.385 $\mu$ s	229 $t_{LSCLK}$	355

表 5. 高速応答設定での低レイテンシ・データ・レート

1. ナイキスト定理に従って、入力信号の周波数が $f_{DATA}/2$ を超えると、入力信号にエイリアシングが生じます。
2. 高速モードの場合、最初のデータはまだ安定していません。

## セトリング・タイム

表4および表5に示されるように、絶対時間 ( $\mu$ s) でのセトリング・タイムは、低レイテンシ・フィルタのどちらの設定でも同じです。設定間の違いは、STARTピンのパルスからフィルタが安定した後の変換のタイミングに見られます。

図38に、この違いを強調するため、両方の設定での応答をほぼ同じ時間スケールで示します。1サイクル安定設定では、各変換が完全に安定します。つまり、変換周期 $t_{DRDY-SCS} = t_{SETTLE-LL}$ です。この設定の利点は、その単純さにあります。ADS1675は逐次比較型 (SAR) コンバータと同様に機能し、各変換が完全に安定するため、部分的にしか安定していないデータの破棄を考慮する必要がありません。

高速応答設定では、最初の安定後に、変換のデータ・レートがより高速になります。つまり、変換時間がセトリング・タイムより短く、 $t_{DRDY-FR} < t_{SETTLE-LL}$ となります。この設定の利点の1つは、データがより速いレートで供給されるため、入力の変化に対して高速で応答できることです。もう1つの利点は、後処理のサポートの向上です。例えば、複数の測定値を平均化してノイズを低減する場合、高速応答設定での高いデータ・レートによって、この平均化を1サイクル安定フィルタの場合よりも短い時間で実行できま

す。第3の利点は、高いデータ・レートの結果として、高い入力周波数をエイリアシングなしで測定できることです。

ただし、高速応答設定を使用した場合、低レイテンシ・パスの絶対的な安定化時間は変化しないことに注意してください。最初の安定後の変換中に入力信号が変化すると、完全に安定するまで複数のサイクルを必要とします。この要件を理解しやすくするために、入力が図42のように変化すると考えます。ここで、STARTは、入力電圧が変化する前にHighになっていると仮定します。

すべての異なるデータ・レートに対して、入力のステップ変化後の測定値は、図39に示されるように安定します。

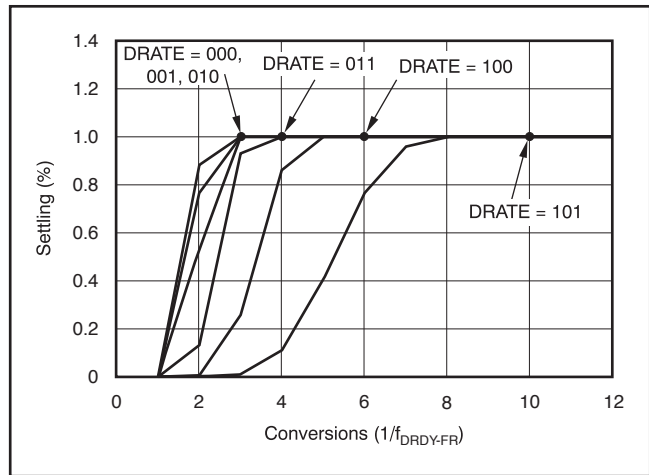


図 39. 高速応答設定の低レイテンシ・フィルタでのステップ応答

## 周波数応答

図40に、出力データ・レート $f_{DATA}$ に対して正規化された、低レイテンシ・フィルタ・パスでの周波数応答を示しています。この周波数応答全体が変調回路のサンプリング・レート (= 入力クロック周波数) で繰り返されます。図41に、最大データ・レートを選択したときの応答を示します ( $f_{CLK} = 32\text{MHz}$ で4MSPS)。

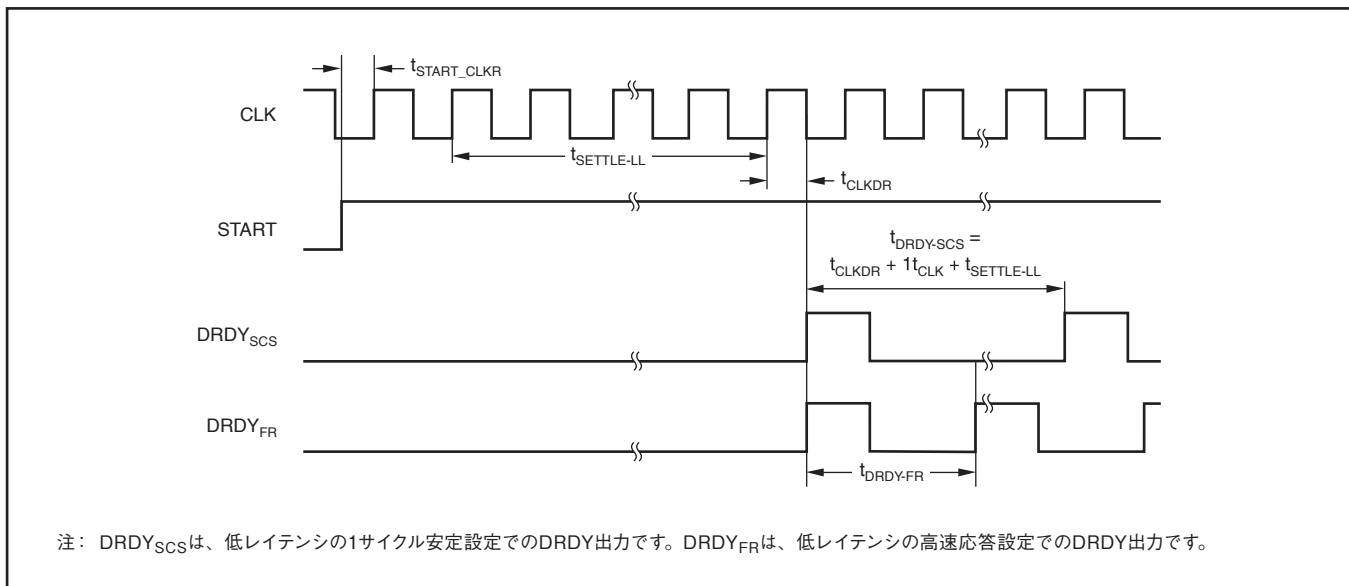


図 38. 低レイテンシの1サイクル安定設定と高速応答設定での変換タイミング

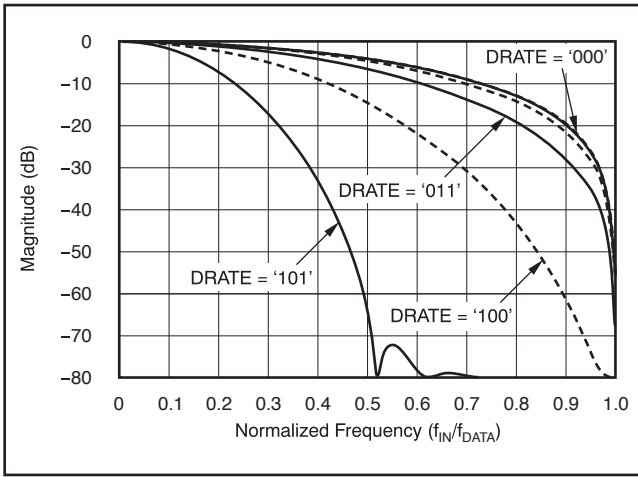


図 40. 高速応答設定の低レイテンシ・フィルタの周波数応答

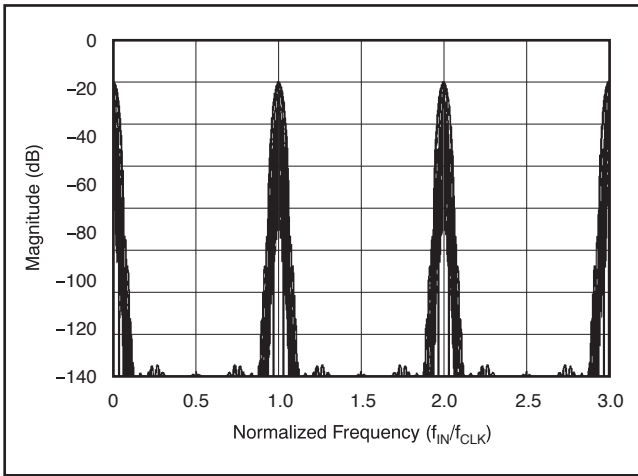


図 41. 低レイテンシ・パスの長期的な周波数応答

## 位相応答

低レイテンシ・フィルタは、リニア・フェーズの多段デジタル・フィルタを使用しています。リニア・フェーズ・フィルタでは、遅延時間が入力周波数に対して一定となります（定群遅延とも呼ばれます）。リニア・フェーズ・フィルタのこの特長は、入力信号の任意の瞬間から出力データの対応する同じ瞬間までの遅延時間が一定であり、入力信号周波数に依存しないことを意味します。その結果、マルチトーン信号を測定する際、位相誤差が実質的にゼロとなります。

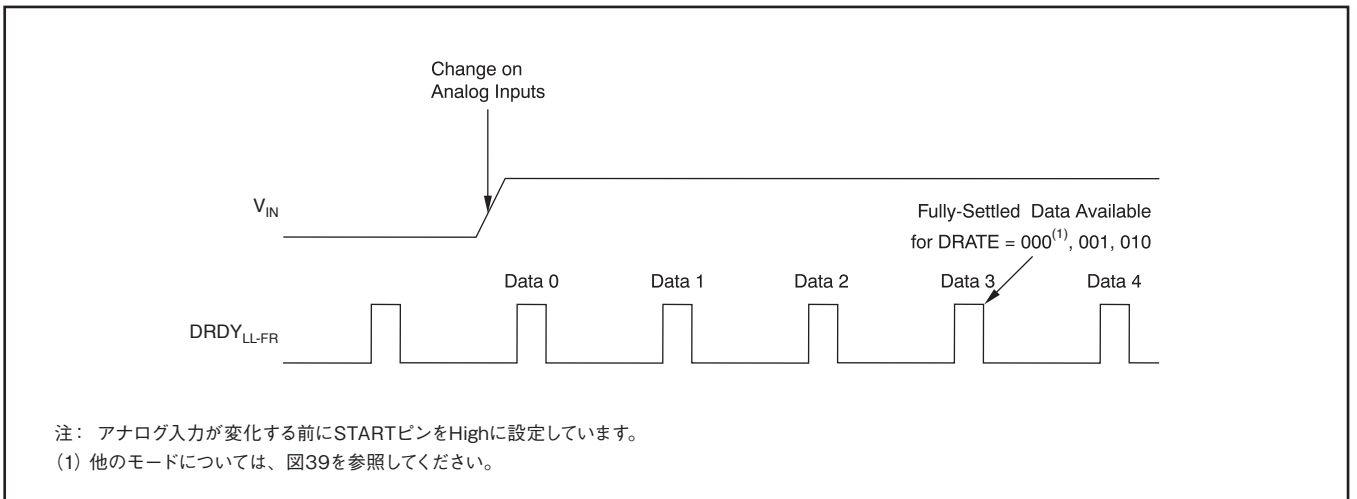


図 42. 高速応答設定の低レイテンシ・フィルタのセッティング例

## 広帯域フィルタ

広帯域 (WB) フィルタは、高周波AC信号の測定に適しています。このデジタル・フィルタは、優れた通過帯域および遮断帯域特性を備えています。

表6に示すように、DRATE[2:0]デジタル入力ピンによって、WBフィルタに使用できる4つのデータ・レートのいずれかが選択されます。データ・レートを変更した後は、STARTピンをストロブする必要があります。データ・レートの変更時に変換が実行中であった場合、その変換の出力データは無効であり、破棄される必要があります。

広帯域フィルタ・パスを使用している間は、LL\_CONFIGピンがHighに保持される必要があります。LL\_CONFIGをLowに設定すると、FPATHピンに関係なく、ADS1675は低レイテンシ・フィルタ・パスに切り替わります。

DRATE [2:0]	データ・レート (kSPS)	セッティング・タイム、 $t_{SETTLE-LL}$		-3dB帯域幅 (kHz)
000	125	439.44 $\mu$ s	14062 $t_{CLK}$	59.375
001	250	219.81 $\mu$ s	7074 $t_{CLK}$	118.75
010	500	110.00 $\mu$ s	3520 $t_{CLK}$	237.5
011	1000	55.04 $\mu$ s	1763 $t_{CLK}$	475
100	2000	27.52 $\mu$ s	2642 $t_{SCLK}$	950
101	4000	13.79 $\mu$ s	1324 $t_{SCLK}$	1900

表 6. 広帯域データ・レート

1. ナイキスト定理に従って、入力信号の周波数が $f_{DATA}/2$ を超えると、入力信号にエリアシングが生じます。

## 周波数応答

図43に、出力データ・レート $f_{DATA}$ に対して正規化された、広帯域フィルタ・パスでの周波数応答を示しています。図44は通過帯域リップルを示し、通過帯域から遮断帯域への遷移は図45に示されています。この3つのプロットは、ADS1675で使用できるすべてのデータ・レートに対して適用されます。X軸を絶対周波数で表すには、単純に選択したデータ・レートで置き換えます。

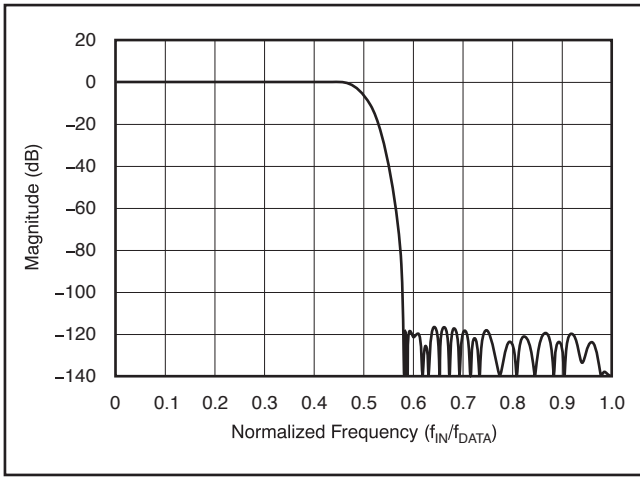


図 43. 広帯域フィルタの周波数応答

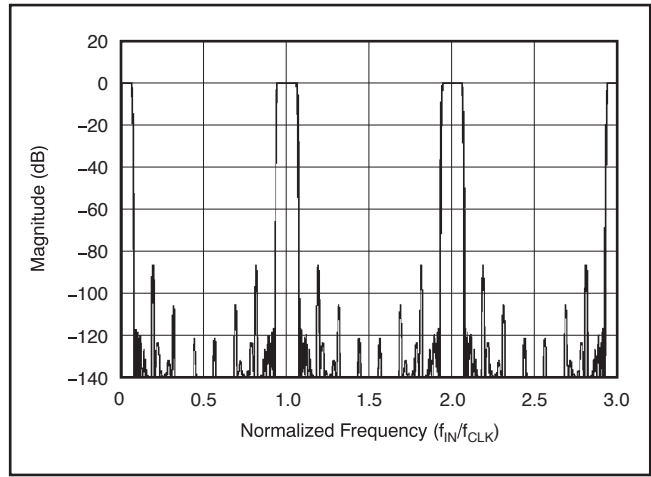


図 46. 広帯域パスの長期的な周波数応答

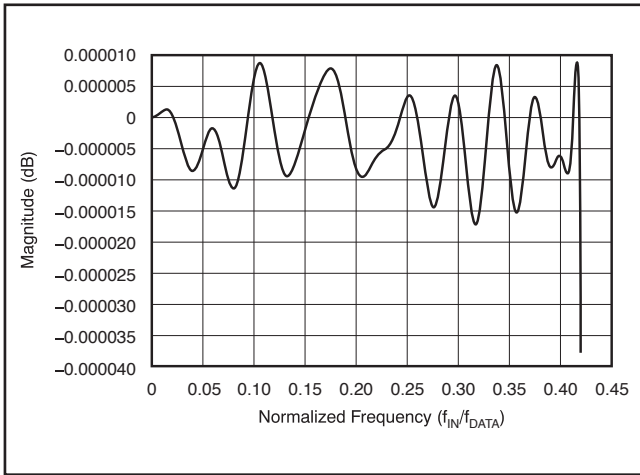


図 44. 広帯域フィルタの通過帯域応答

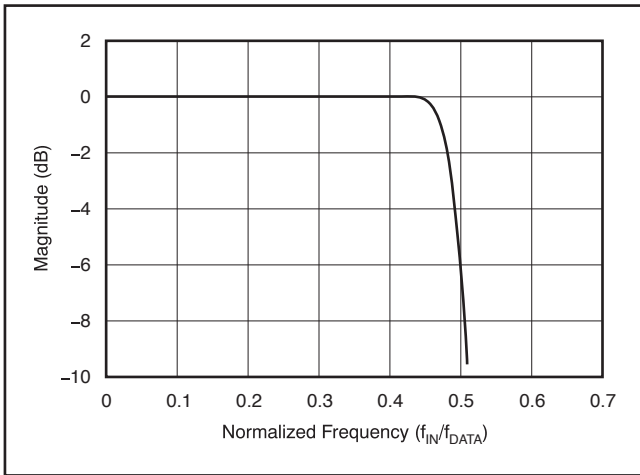


図 45. 広帯域フィルタの遷移帯域応答

この周波数応答全体が変調回路のサンプリング・レート(= 入力クロック周波数)で繰り返されます。図46に、最大データ・レートを選択したときの応答を示します ( $f_{CLK} = 32\text{MHz}$ で4MSPS)。

## 位相応答

広帯域フィルタは、リニア・フェーズの多段デジタル・フィルタを使用しています。リニア・フェーズ・フィルタでは、遅延時間が入力周波数に対して一定となります(定群遅延とも呼ばれます)。この特長は、入力信号の任意の瞬間から出力データの対応する同じ瞬間までの遅延時間が一定であり、入力信号周波数に依存しないことを意味します。その結果、マルチトーン信号を測定する際、位相誤差が実質的にゼロとなります。

## セトリング・タイム

図48に示すように、広帯域フィルタは、STARTピンがHighになった後、データの取得準備ができたことを示す前に、完全に安定します。このフィルタでは、セトリング・タイムが変換時間より長く、 $t_{SETTLE-WB} > t_{DRDY-WB}$ となります。入力に瞬間的なステップが生じた場合、STARTパルスの入力がなければ、安定までに複数回の変換が必要となります。図47に、X軸を変換回数またはデータ準備サイクル数に対して正規化した、安定化応答を示します。出力は、55回のデータ準備サイクル後に、完全に安定します。

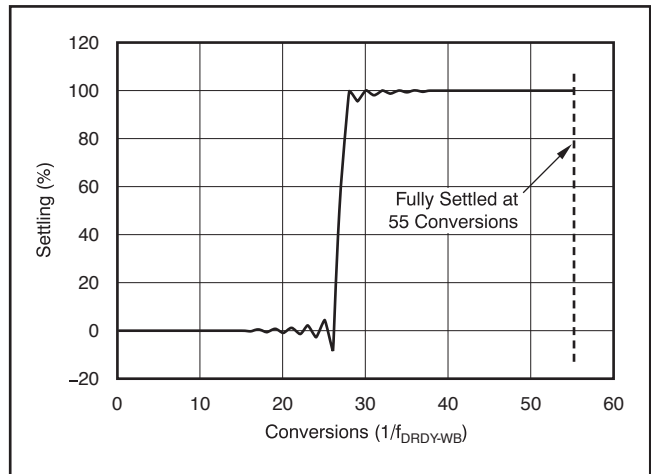


図 47. 広帯域フィルタのステップ応答

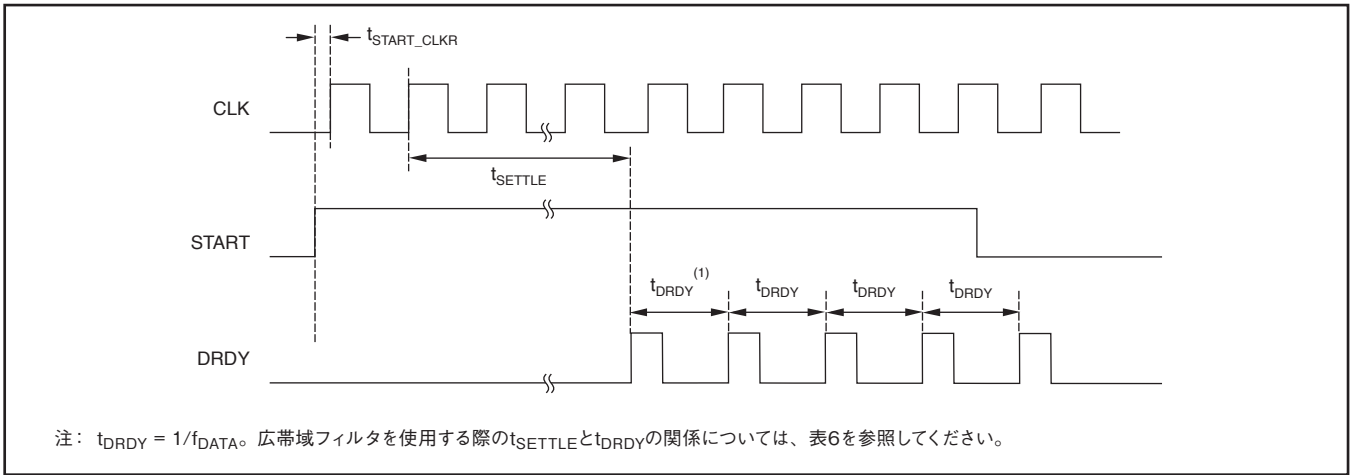


図 48. 広帯域フィルタ・パスで複数回の変換に使用されるSTARTピン

## OTRA、OTRD機能

ADS1675は、2本の範囲外ピン(OTRD、OTRA)を備え、入力信号のダイナミック・レンジを設定するために、帰還ループで使用できます。

OTRA信号は、図49に示すように、変調回路へのアナログ入力为正または負のフルスケール範囲を超えた時にトリガされます。この信号はCLKに同期してトリガされ、入力が範囲内になるとLowに戻ります。OTRAの立ち下がりエッジは、DRDYの立ち下がりエッジに同期します。OTRAを帰還ループで使用することにより、デジタル・フィルタの安定を待つことなく、入力の範囲外状態をよりすばやく修正できます。

OTRD機能は、デジタル・フィルタの出力コードが正または負のフルスケール範囲を超えたときにトリガされます。OTRDは、DRDYの立ち上がりエッジでHighになります。デジタル出力コードがフルスケール範囲内に戻ると、OTRDはDRDYの次の立ち上がりエッジでLowに戻ります。また、OTRDは、小さな範囲外入力グリッチを無視する必要があるときにも使用できます。

OTRAを帰還ループで使用することで、入力の範囲外状態をすばやく修正できます。

## シリアル・インターフェイス

ADS1675は、柔軟性が高く使いやすい、読み取り専用シリアル・インターフェイスを備えています。このシリアル・インターフェイスは、DSP、マイクロコントローラ、FPGAなど、幅広い範囲のデ

ジタル・プロセッサに接続できるよう設計されています。低速モード(DRATE = 000~011)の場合、ADS1675のシリアル・インターフェイスは、標準CMOS電圧スイングまたは低電圧差動スイング(LVDS)をサポートするよう設定できます。また、標準CMOS電圧スイングを使用する場合、SCLKは内部または外部で生成できます。

高速モード(DRATE = 100, 101)は、高速LVDSインターフェイス・モードのみでサポートされます。LVDSピンとSCLK\_SELの状態は無視されます。この2つのモードでは、オンチップPLLを使用して入力クロック(CLK)が3通倍され、シリアル・インターフェイスに使用されます。この高速クロックによって、23ビットすべての出力データを高いデータ・レートでシフトアウトできます。この場合のDRDYパルスは、3シリアル・クロック幅です。オンチップPLLは、8MHz~32MHzの範囲の入力クロックにロックできます。電力節減のため、PLLは高速モードでのみイネーブルになります。パワーアップ後、およびCLK信号の発行後に、CLK周波数が変化した場合、および低速モードから高速モードへの切り替え時には、PLLがロックして適切なLVDSシリアル・シフト・クロックを生成するのに $t_{LPLLSTL}$ 以上の時間が必要です。高速モード間での切り替え時には、PLLがロックするまで待つ必要はありません。PLLがロックしている間、DOUTおよびSCLKはLowに保持されます。PLLのロックが完了した後、SCLKピンは、CLKの3倍の周波数を持つ連続クロックを出力します。デバイスは、(START信号の状態に関係なく)DRDYパルスを出力することで、ロックの完了を示します。このDRDYパルスに関連付けられたデータは、無視し

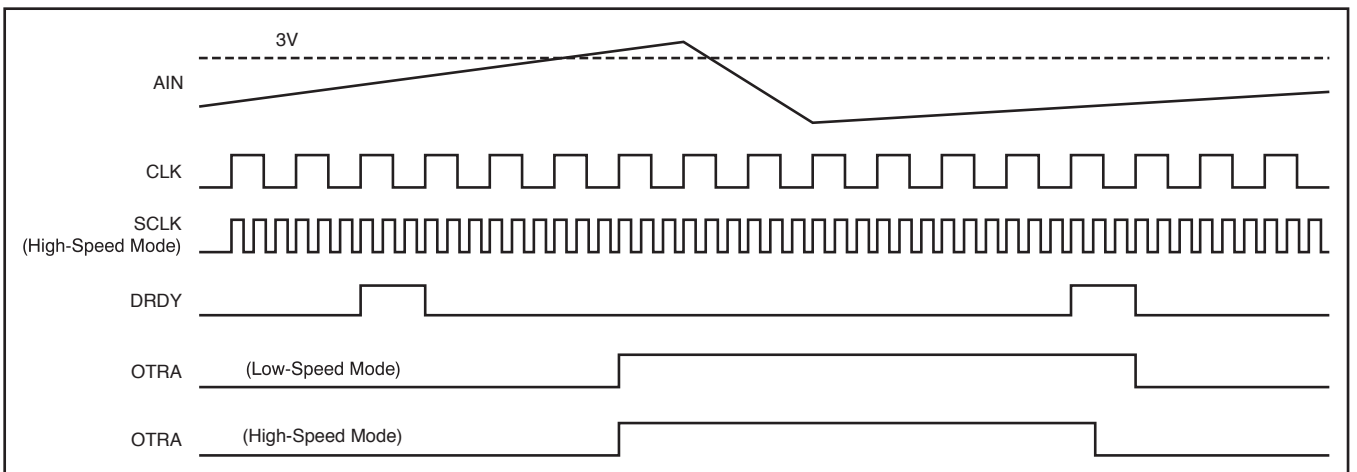


図 49. OTRA信号のトリガ

ます。このDRDYパルスの後は、データの取得を開始する前に、START信号の状態を切り替えることを推奨します。

ADS1675は、完全にピンによって制御され、プログラミングするレジスタはありません。各I/Oピンを適切なレベルに接続することで、目的の機能を設定します。ADS1675を制御するデジタルI/Oピンの状態を変更する際には、新しい値をラッチするため、変更した直後に必ずSTARTパルスを発行してください。

## LVDS出力振幅の使用

$\overline{\text{LVDS}}$ ピンを0に設定すると、ADS1675の出力はLVDS TIA/EIA-644A互換になります。データ出力、シフト・クロック、データ準備完了の各信号は、それぞれピンDOUT/ $\overline{\text{DOUT}}$ 、SCLK/ $\overline{\text{SCLK}}$ 、DRDY/ $\overline{\text{DRDY}}$ の差動ペアに出力されます。各出力の電圧は1.2Vを中心とし、約350mVの差動振幅となります。LVDSインターフェイスの詳細については、www.ti.comからダウンロードできるドキュメント『Low-Voltage Differential Signaling (LVDS) Design Notes』(文献番号SLLA014)を参照してください。

LVDSを使用する場合、SCLKは内部で生成する必要があります。SCLK\_SELピンの状態は無視されます。これらのピンはフローティングにせず、HighまたはLowに固定する必要があります。

## CMOS出力振幅の使用

$\overline{\text{LVDS}}$ ピンを1に設定すると、ADS1675の出力はCMOS互換になり、レール・ツー・レールの振幅となります。データ出力とデータ準備完了の各信号は、それぞれピンDOUT/ $\overline{\text{DOUT}}$ およびDRDY/ $\overline{\text{DRDY}}$ の差動ペアに出力されます。これらは、LVDSピンを0に設定したときに $\overline{\text{LVDS}}$ 信号の出力に使用されるのと同じピンです。 $\overline{\text{DOUT}}$ と $\overline{\text{DRDY}}$ は、相補出力として利用できます。これらのピンは、未使用時にはフローティングにしてください。

SCLKおよび $\overline{\text{SCLK}}$ ピンについては、「シリアル・シフト・クロック」を参照してください。

## データ出力 (DOUT、 $\overline{\text{DOUT}}$ )

ADS1675では、データがDOUTおよび $\overline{\text{DOUT}}$ ピンからMSBファーストでシリアル出力されます。LVDS信号振幅を使用する場合は、この2本のピンが差動ペアとして機能し、LVDS互換の差動出力信号を生成します。CMOS信号振幅の使用時は、 $\overline{\text{DOUT}}$ ピンはDOUTの相補ピンとなります。 $\overline{\text{DOUT}}$ を使用しない場合は、フローティングにする必要があります。

## データ準備完了 (DRDY、 $\overline{\text{DRDY}}$ )

データの取得準備が完了すると、DRDYおよび $\overline{\text{DRDY}}$ ピンによって通知されます。LVDS信号振幅を使用する場合は、この2本のピンが差動ペアとして機能し、LVDS互換の差動出力信号を生成します。CMOS信号振幅の使用時は、 $\overline{\text{DRDY}}$ ピンはDRDYの相補ピンとなります。CMOS振幅の選択時に、データ準備完了ピンの一方を使用しない場合は、そのピンをフローティングにする必要があります。

DRDYパルスは、ADS1675からデータが取得できることを示す主要なインジケータです。表5と表6に示される値は、START信号後のセトリング・タイムのおおよその値です。シリアル・シフト・クロックでデータのキャプチャを開始するためのインジケータとしては、DRDYの立ち上がりエッジを使用する必要があります。

## シリアル・シフト・クロック (SCLK、 $\overline{\text{SCLK}}$ 、SCLK\_SEL)

シリアル・シフト・クロックSCLKを使用して、データ出力ピンに変換データがMSBファーストでシフトアウトされます。SCLK\_SELピンを使用して、内部生成または外部生成のシフト・クロックを選択できます。SCLK\_SELを0に設定すると、マスタクロックから内部でフリー・ランニング・クロックが生成され、SCLKおよび $\overline{\text{SCLK}}$ ピンに出力されます。 $\overline{\text{LVDS}}$ ピンによって、出力電圧がCMOSかLVDSかが決定されます。SCLK\_SELを1に設定し、 $\overline{\text{LVDS}}$ を1に設定した場合は、SCLKピンが入力として設定され、外部生成シフト・クロックを供給できます。この場合、 $\overline{\text{SCLK}}$ ピンはハイインピーダンス状態になります。SCLK\_SELを0に設定すると、SCLKおよび $\overline{\text{SCLK}}$ ピンが出力として設定され、マスタクロック入力 (CLK) から内部でシフト・クロックが生成されます。

LVDS信号振幅を使用する場合には、SCLK\_SELの状態に関係なく、シフト・クロックは自動的に内部で生成されます。この場合、SCLK\_SELをフローティングにすることはできません。HighまたはLowに固定する必要があります。

表7に、ADS1675に対してサポートされているシリアル・クロック構成を示します。

デジタル出力	シフト・クロック (SCLK)
LVDS	内部
CMOS	内部 (SCLK_SEL = 0)
	外部 (SCLK_SEL = 1)

表 7. サポートされるシリアル・クロック構成

## チップ選択 ( $\overline{\text{CS}}$ )

チップ選択入力 ( $\overline{\text{CS}}$ ) を使用すると、複数のデバイスでシリアルバスを共有できます。 $\overline{\text{CS}}$ が非アクティブ (High) になると、シリアル・インターフェイスはリセットされ、データ出力ピンDOUTおよび $\overline{\text{DOUT}}$ はハイインピーダンス状態になります。SCLKは内部で生成されます。また、 $\overline{\text{CS}}$ が非アクティブの場合は、SCLKおよび $\overline{\text{SCLK}}$ 出力ピンもハイインピーダンス状態になります。DRDYおよび $\overline{\text{DRDY}}$ 出力は、 $\overline{\text{CS}}$ 出力の状態に関係なく、常にアクティブです。出力でバスを共有しない場合は、 $\overline{\text{CS}}$ をLowに固定することもできます。

## データ形式

低速モードでは、ADS1675は24ビットのデータを2の補数形式で出力します。正のフルスケール入力は出力コード7FFFFFFhを生成し、負のフルスケール入力は出力コード800000hを生成します。フルスケールを超える信号に対しては、出力がこれらのコードにクリッピングされます。表8に、さまざまな入力信号に対する理想的な出力コードを示しています。入力が正の範囲外、つまり正のフルスケール値 $V_{\text{REF}}$ を超えている場合は、出力が7FFFFFFhにクリップされます。同様に、入力が負の範囲外、つまり負のフルスケール値 $-V_{\text{REF}}$ を下回っている場合は、出力が800000hにクリップされます。

入力信号 $V_{IN} = (AINP - AINN)$	理想的な出力コード
$\geq V_{REF}$	7FFFFFFh
$\frac{+V_{REF}}{2^{23} - 1}$	000001h
0	000000h
$\frac{-V_{REF}}{2^{23} - 1}$	FFFFFFFh
$\leq -V_{REF} \left( \frac{2^{23}}{2^{23} - 1} \right)$	8000000h

表 8. 各入力信号に対する理想的な出力コード

1. ノイズ、INL、オフセットおよびゲイン誤差の影響は除外しています。

高速モードでは、ADS1675の分解能が23ビットとなります。24ビット目はLowに保持されます。

## クロック入力 (CLK)

ADS1675では、CLK入力ピンに外部クロック信号を供給する必要があります。変調回路のサンプリングは、このクロック信号によって制御されます。他の高速データコンバータと同様に、最適な性能を得るためには高品質のクロックが重要です。CLKのソースとしては水晶クロック発振器が推奨されます。それ以外のソース(周波数シンセサイザなど)は通常は不適切です。CLK入力には過度のリングングが生じないように、パターンをできるだけ短くしてください。

最高の性能を得るには、CLKのデューティ・サイクルを50%にできるだけ近くする必要があります。クロックの立ち上がり時間および立ち下がり時間は1ns未満とし、クロック振幅はAVDDに等しくします。

高周波数かつ大振幅の信号を測定するには、クロック・ジッタの厳密な制御が必要です。入力のサンプリング中にクロック・ジッタによって不確実性が生じると、達成可能な最大SNRが制限されます。この影響は、入力の周波数が高く、振幅が大きくなるほど顕著になります。ADS1675では、オーバーサンプリング・トポロジにより、クロック・ジッタの影響が、パイプライン型コンバータやSARコンバータなどのナイキスト・レート・コンバータに比べて、 $\sqrt{8}$ の割合で低減されます。

## 複数のADS1675の同期

STARTピンは、パワーアップ時に使用して、ADS1675のフィルタをリセットします。STARTピンによって変換プロセスを開始することで、多チャネル・システムでは複数のADS1675の同時サンプリングが可能です。同期させるすべてのデバイスで、共通のCLK入力を使用する必要があります。

START信号はCLKの立ち上がりエッジに同期してADS1675内部でラッチされるため、適切な同期を保証するには、STARTピンをCLKの立ち下がりエッジに揃えることを推奨します。

CLK入力の動作中、図50に示されるように、CLKの立ち下がりエッジでSTARTパルスを入力します。その後、各コンバータは同期して動作し、 $\overline{DRDY}$ 出力が同時に更新されます。同期後、 $\overline{DRDY}$ は、デジタル・フィルタが完全に安定するまでHighに保持されます。

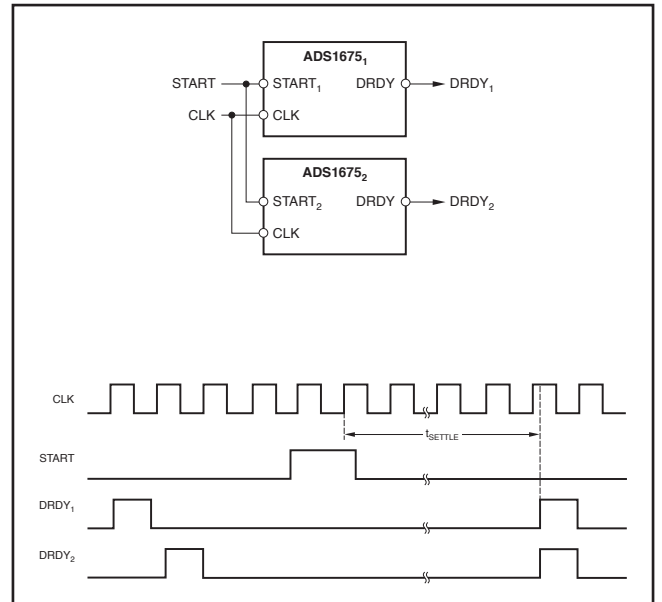


図 50. 複数コンバータの同期

## アナログ消費電力

図51に示されるように、RBIASピンとアナログ・グランドとの間に接続される外部抵抗によって、アナログ電流レベルが設定されます。この電流は、抵抗値に逆比例します。「標準的特性」の図24～図26に、異なるCLK周波数に対する各RBIAS値での電力と標準性能が示してあります。より遅い周波数のCLK入力を使用すると、変調回路が安定するまでに長い時間があるため、アナログ電流を低減できることに注意してください。バイアスの設定に使用される内部回路に干渉するため、RBIASに並列コンデンサを追加することは避けます。

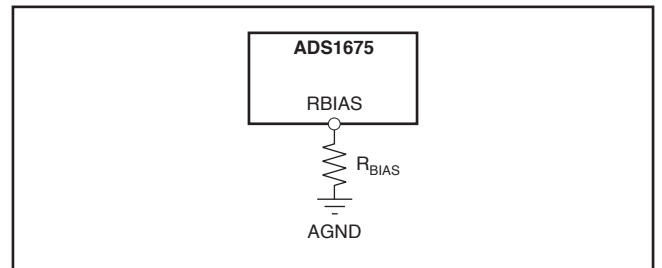


図 51. アナログ消費電力の設定に使用される外部抵抗 ( $f_{CLK}$ に依存)

## パワーダウン (PDWN)

ADS1675は、未使用時には $\overline{PDWN}$ ピンをLowにしてパワーダウンすることができます。電圧リファレンスを含めて、すべての回路がシャットダウンされます。パワーダウン中のデジタル電流を最小限に抑えるには、CLK入力に供給するクロック信号を停止します。パワーダウン・モードの終了後は、リファレンスが起動するための時間を確保してください。

リファレンスの安定後は、変調回路とデジタル・フィルタが安定するまで待つてから、データを取得します。

## 電源

ADS1675では、アナログ (AVDD) とデジタル (DVDD) の2つの電源が使用されます。最高の性能を得るには、各電源を適切にバ

バイパスする必要があります。各電源ピンにできるだけ近づけて1 $\mu$ Fおよび0.1 $\mu$ Fのセラミック・コンデンサを配置することを推奨します。デバイスから最適な性能を引き出すためには、AVDDができる限りクリーンで安定している必要があります。

電源ピンの各バイパス・コンデンサは対応するグラウンドに接続してください。各メイン電源バスも、47 $\mu$ F~0.1 $\mu$ Fのコンデンサでバイパスする必要があります。図52に、推奨されるADS1675の電源デカップリング方法を示します。

電源ピン53および54は、内部クロック供給回路の駆動に使用されるため、非常にノイズが多くなっています。これらのピンからのパターンは共有せず、ADS1675の隣接するAVDDまたはAGNDピンのいずれにも近づけないことを強く推奨します。これらのピンは、ピンに近づけて配置した0.1 $\mu$ Fのセラミック・コンデンサを使用して適切にデカップリングし、電源およびグラウンド・プレーンへとすぐに終端される必要があります。

## アプリケーション情報

ADS1675から規定の性能を得るためには、レイアウトおよび部品に関して以下のガイドラインを考慮する必要があります。

1. **電源:** デバイスの動作には、DVDDとAVDDの2つの電源が必要です。デバイスから最適な性能を引き出すためには、できる限りクリーンで安定したAVDDが必要となります。両方の電源に対して、10 $\mu$ Fのタンタル・コンデンサを使用し、デバイスのピンに近づけて配置した0.1 $\mu$ Fのセラミック・コンデンサによってバイパスする必要があります。または、1個の10 $\mu$ Fセラミック・コンデンサを使用することもできます。これらの電源はできるだけ低ノイズである必要があり、電圧スパイクを生成するデバイス(リレー、LED表示ドライバなど)とは共有しないでください。スイッチング電源を使用する場合は、電圧リップルが低い(2mV未満)必要があります。これらの電源は、任意の順序で起動できます。
2. **グラウンド・プレーン:** 1つのグラウンド・プレーンを使用してAGNDピンとDGNDピンの両方を接続できます。別個のデジタル・グラウンドとアナログ・グラウンドを使用する場合は、それらのグラウンドをコンバータで接続してください。
3. **デジタル入力:** デジタル入力は、50 $\Omega$ の直列抵抗を使用してデバイスにソース終端します。これらの抵抗は、デジタル・ソース(発振回路、論理ゲート、DSPなど)の駆動端の近くに配置する必要があります。これらの抵抗によって、ADC性

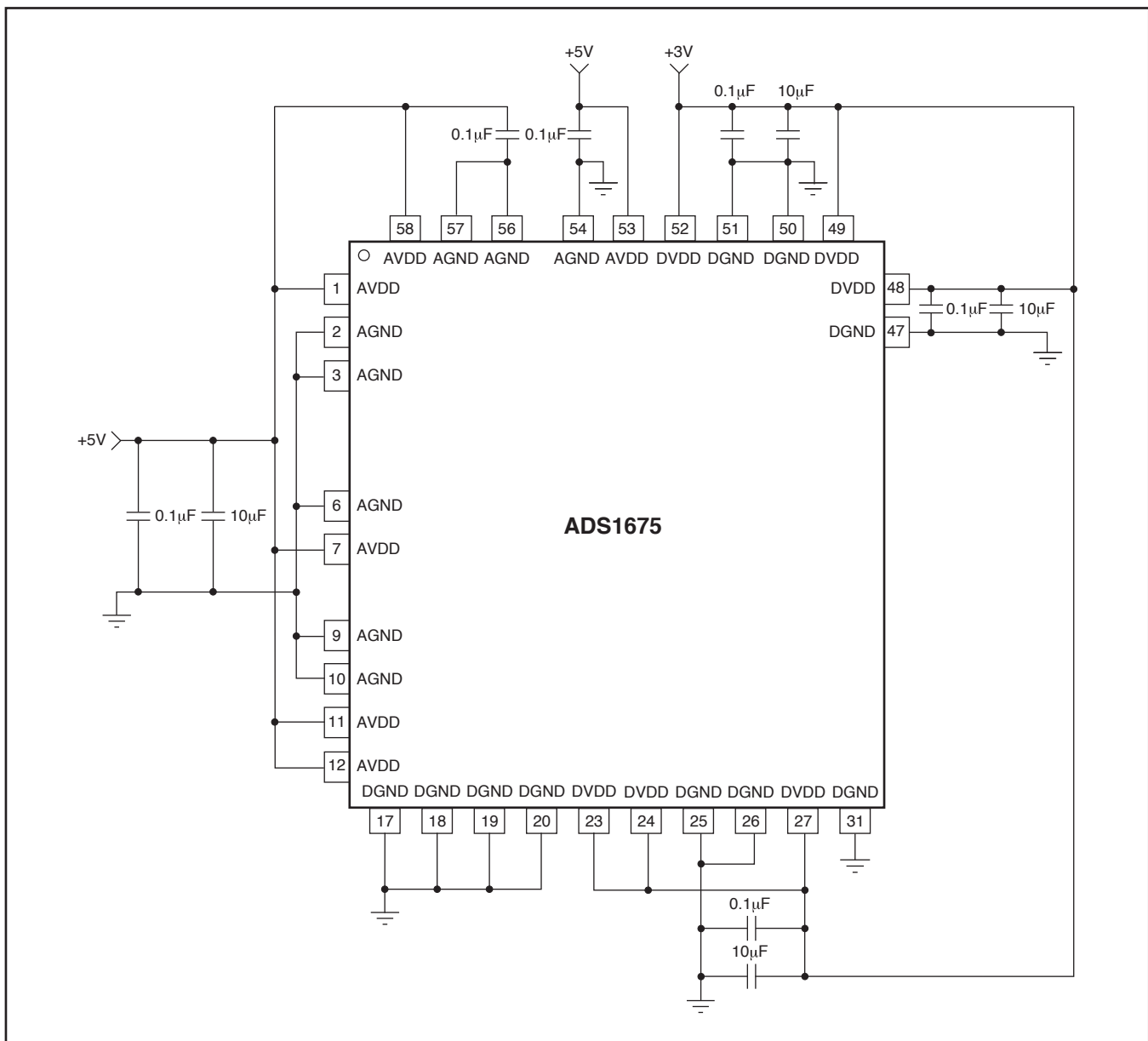


図 52. 電源デカップリング



能の劣化につながるデジタル・ライン上のリンギングを低減できます。

4. **アナログ/デジタル回路:** アナログ回路 (入力バッファ、リファレンス) とそれらに関連するパターンは一緒に配置し、デジタル回路 (DSP、マイクロコントローラ、ロジック) からは離してください。ノイズ結合やクロストークを減らすため、デジタルパターンとアナログパターンの交差は避けます。
5. **リファレンス入力:** ADS1675のリファレンス入力は、VREFPとVREFNの間に $400\Omega$ を保持します。駆動アンプによって、この静的電流と、32MHzクロックの結果としての動的スイッチング電流をソースする必要があります。リファレンス駆動アンプは、10.5mA以上の電流をソースする必要があります。
6. **アナログ入力:** 規定の性能を得るには、アナログ入力ピンを差動で駆動する必要があります。この目的には、真の差動ドライバまたはトランス (ACアプリケーション) を使用できます。アナログ入力パターン (AINP、AINN) は、バッファからコンバータまでの間をペアとして配線します。これには、短い直接のパターンを使用し、デジタルパターンからは遠ざけます。アナログ入力ピンAINPとAINNの間には、直接 $750\text{pF}$ のコンデンサを使用します。THDを低く保つため、低k誘電体 (COGまたはフィルムタイプ) を使用する必要があります。

各アナログ入力からグランドとの間にコンデンサを使用します。AC同相モード性能を維持するため、これらのコンデンサは、差動コンデンサの1/10以下の値にしてください (標準 $100\text{pF}$ )。

7. **部品の配置:** 電源、アナログ入力、およびリファレンス入力のバイパスコンデンサは、デバイスのピンにできる限り近づけて配置する必要があります。この配置は、値の小さなセラミックコンデンサの場合は特に重要です。リード付き部品の高いインダクタンスを避けるために、表面実装部品の使用を推奨します。

図53~図55に、ADS1675で使用できる基本的な接続およびインターフェイスを示します。

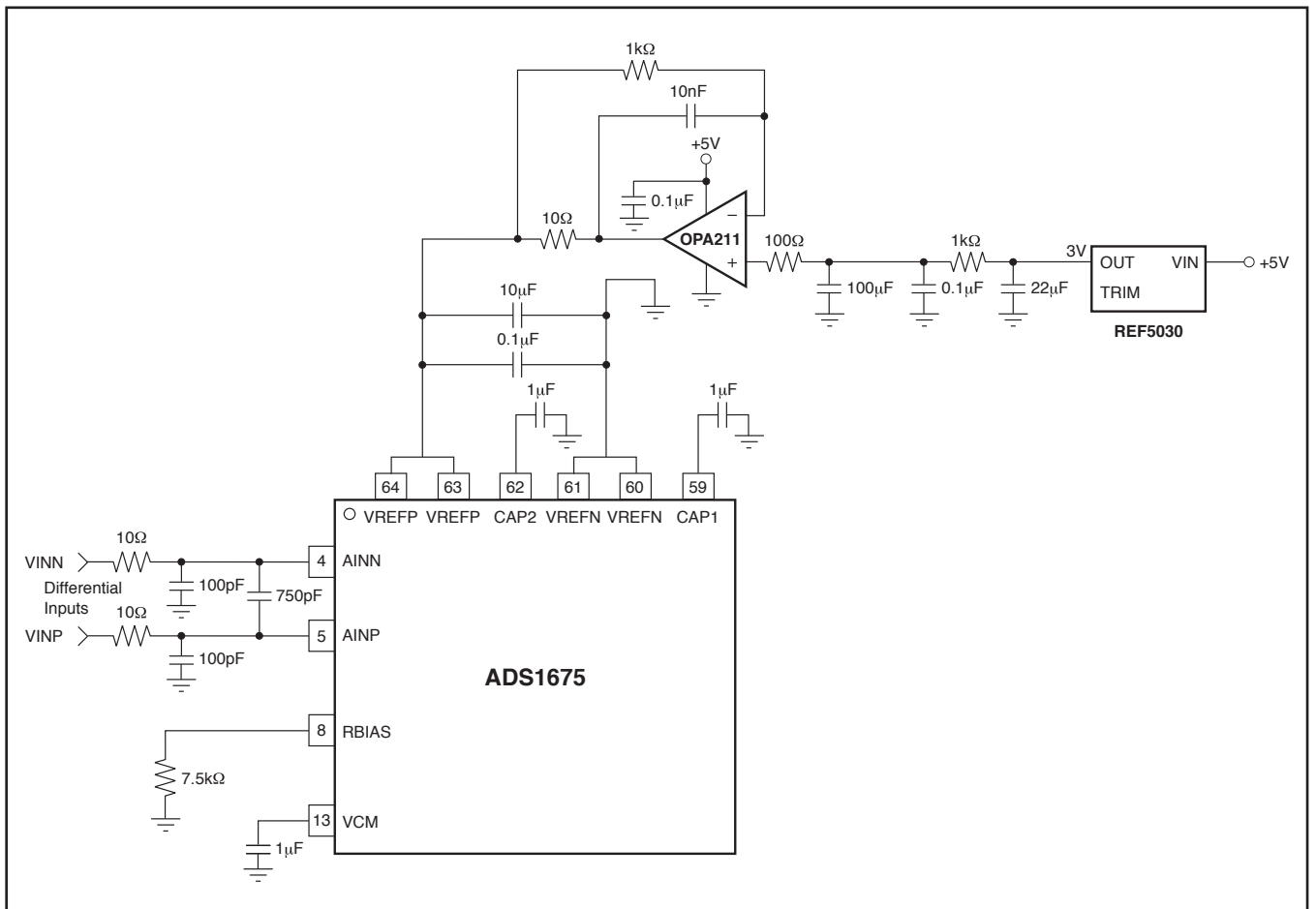


図 53. 基本的なアナログ信号接続

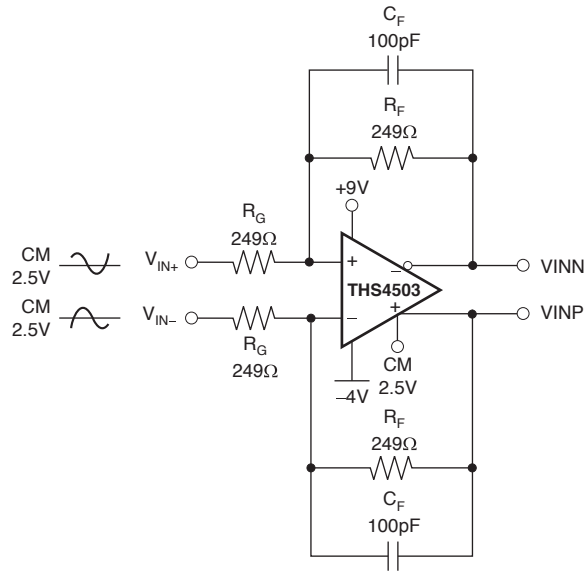


図 54. 基本的な差動入力信号インターフェイス

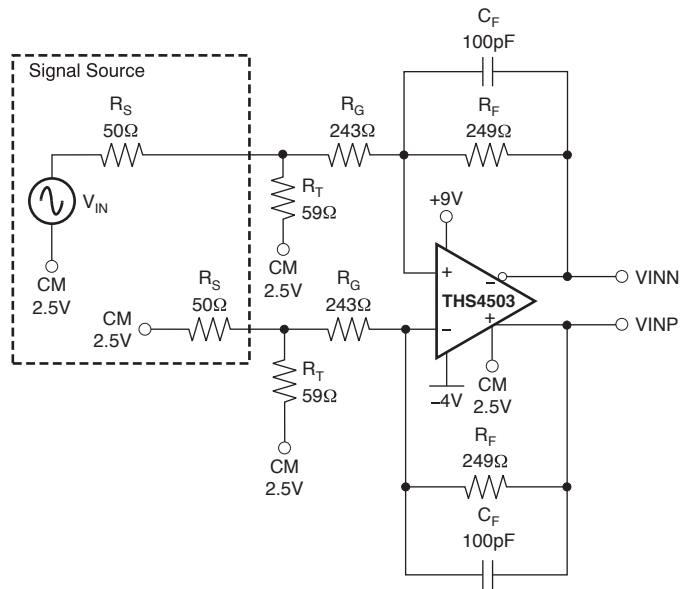


図 55. 基本的なシングルエンド入力信号インターフェイス

# パッケージ情報

## 製品情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>	Samples (Requires Login)
ADS1675IPAG	ACTIVE	TQFP	PAG	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-4-260C-72 HR	Request Free Samples
ADS1675IPAGR	ACTIVE	TQFP	PAG	64	1500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-4-260C-72 HR	Purchase Samples

<sup>(1)</sup> マーケティング・ステータスは次のように定義されています。

**ACTIVE**: 製品デバイスが新規設計用に推奨されています。

**LIFEBUY**: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**: TIによりデバイスの生産が中止されました。

<sup>(2)</sup> エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**: Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**: TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**: この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

**Green (RoHS & no Sb/Br)**: TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

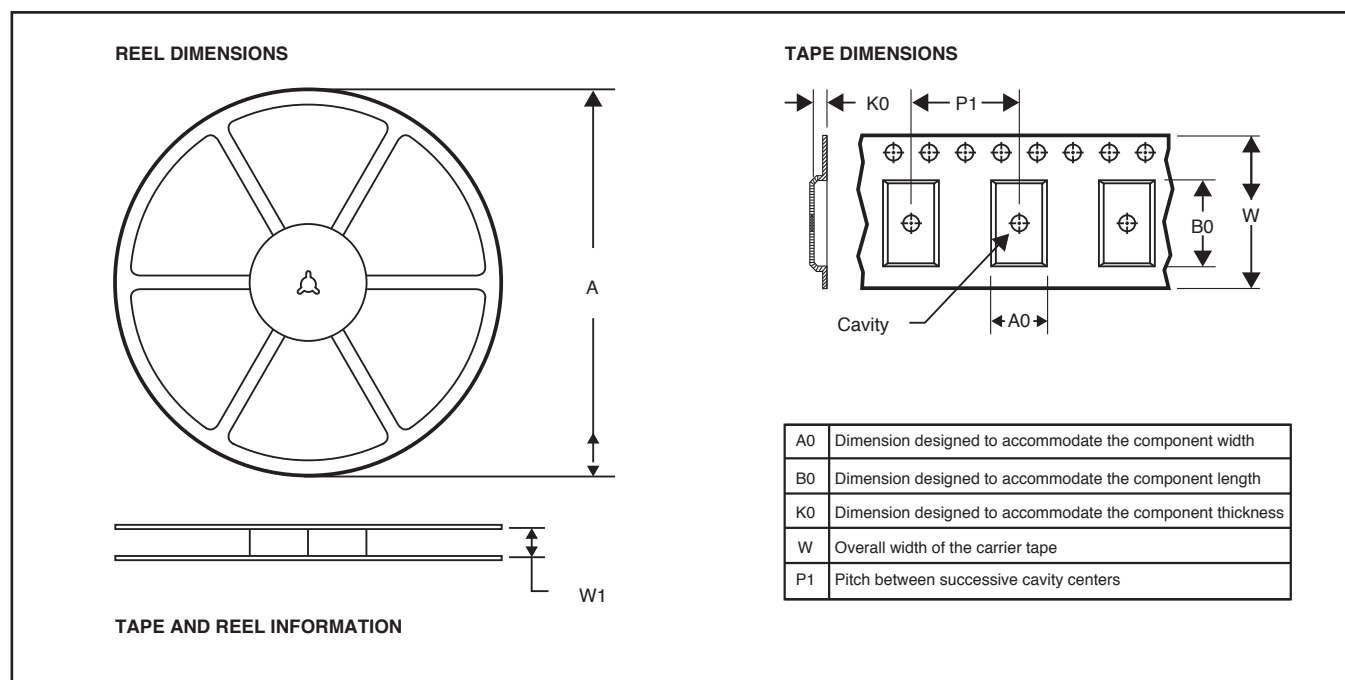
<sup>(3)</sup> MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

# パッケージ・マテリアル情報

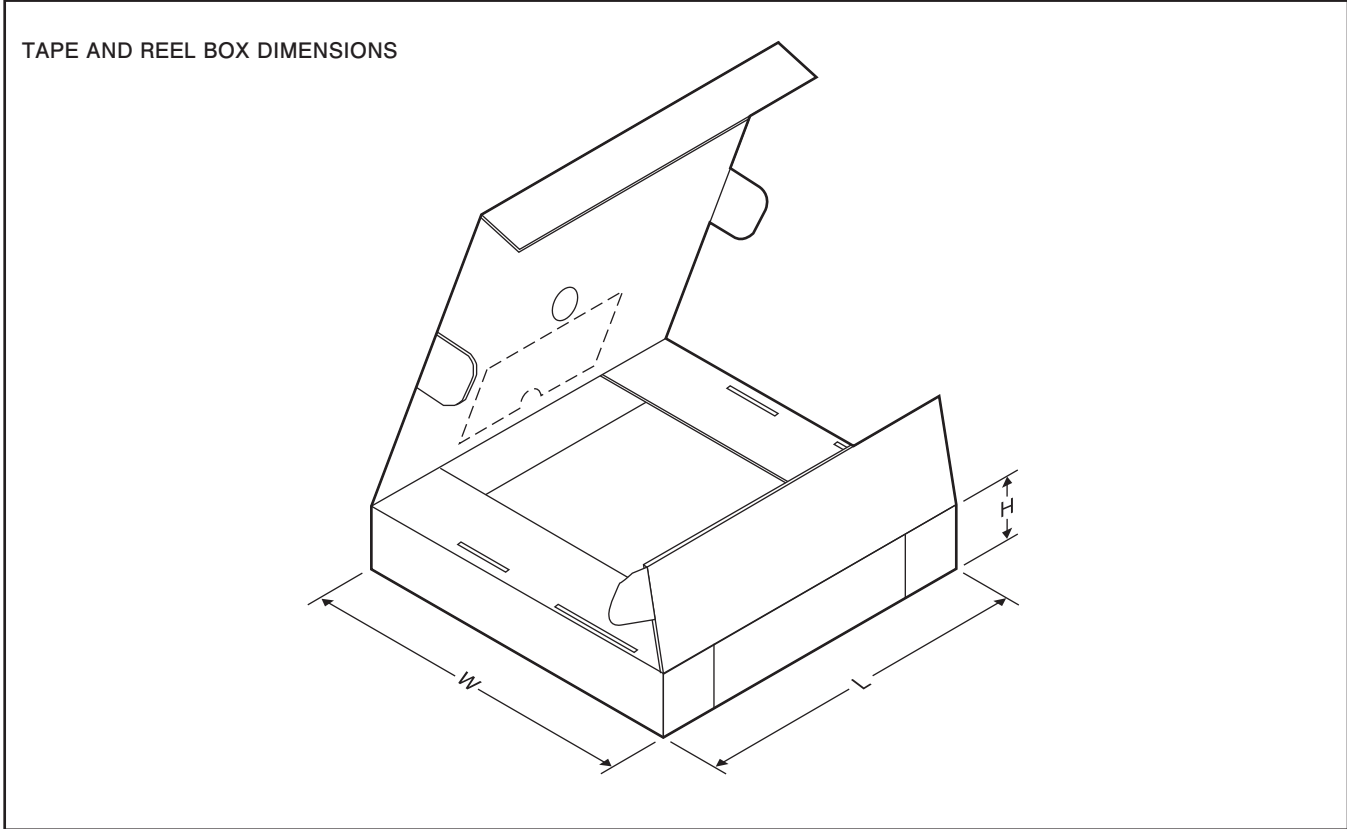
## テープおよびリール・ボックス情報



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS1675IPAGR	TQFP	PAG	64	1500	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2

# パッケージ・マテリアル情報



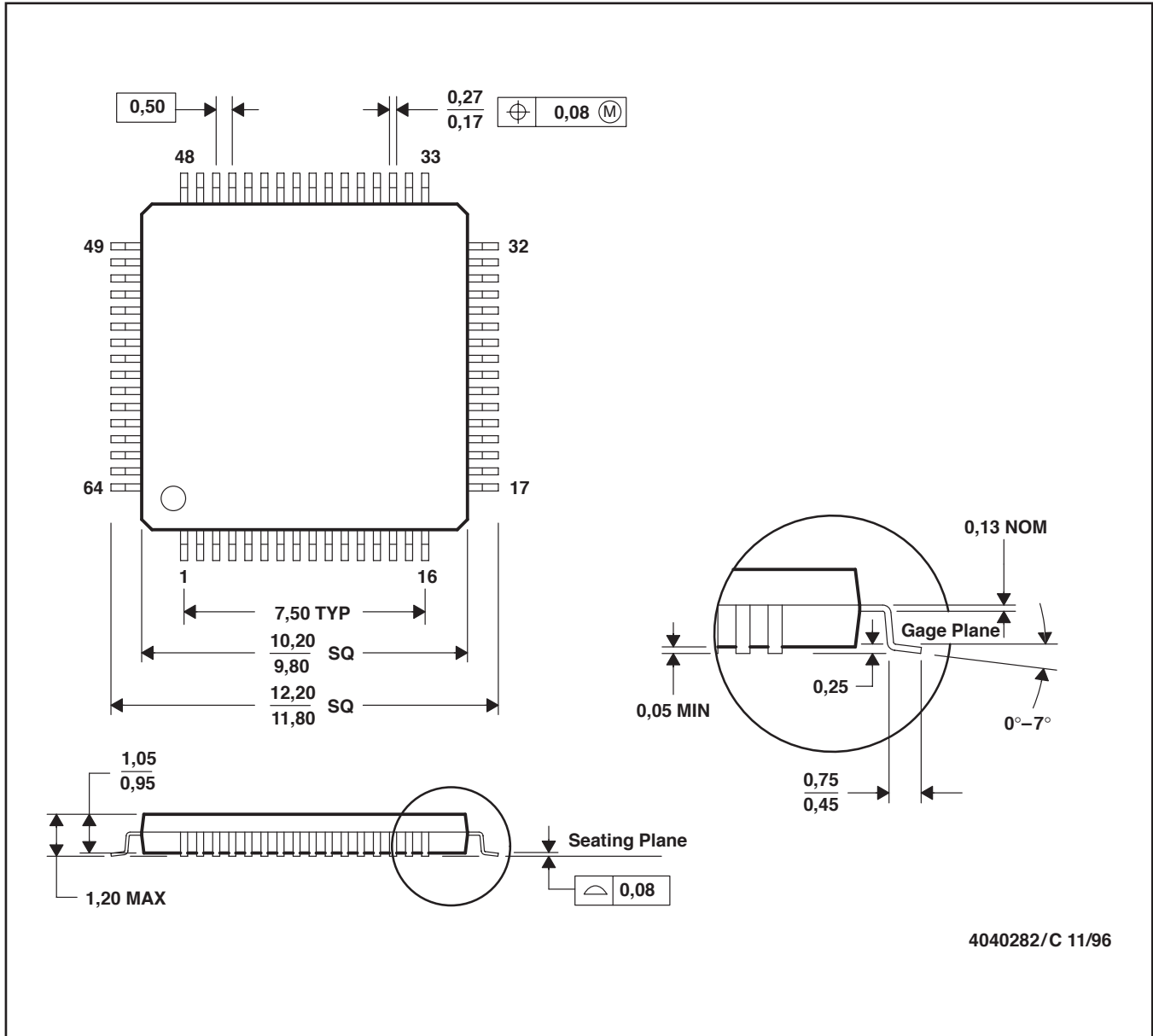
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS1675IPAGR	TQFP	PAG	64	1500	367.0	367.0	45.0

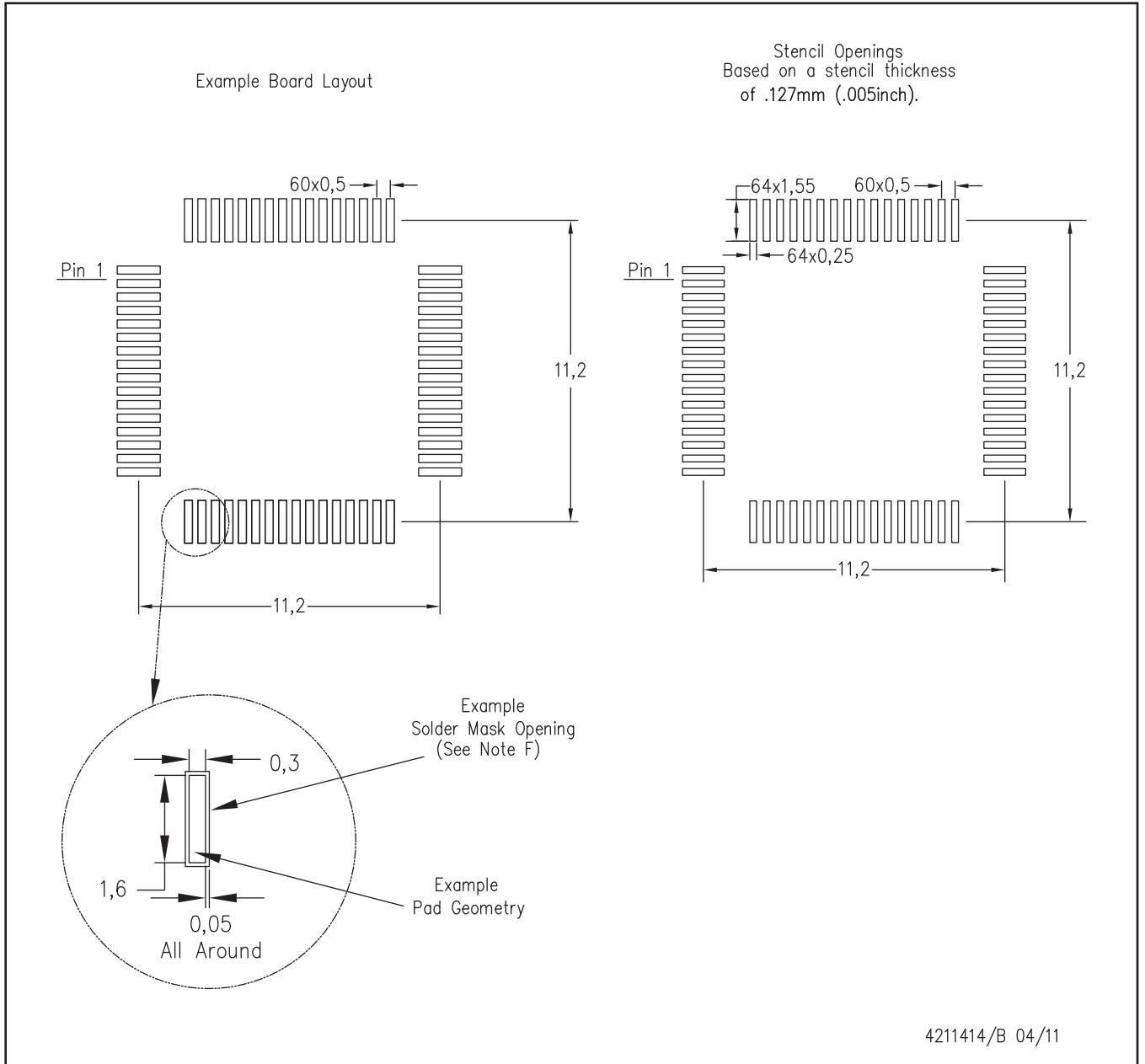
# メカニカル・データ

PAG (S-PQFP-G64)

PLASTIC QUAD FLATPACK



- 注： A. 直線寸法はすべてミリメートル単位です。  
 B. 本図は予告なしに変更することがあります。  
 C. JEDEC MS-026に準拠します。



- 注： A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。  
 D. 半田マスクの許容差については、基板組み立て拠点にお問い合わせください。

# ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いをすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2013, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関する全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0~40℃、相対湿度：40~85%で保管・輸送及び取り扱を行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限 260℃以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上