

# デュアル、2MSPS、12ビット、2+2または3+3チャンネル、 同時サンプリング ADコンバータ

## 特長

- 4つの完全差動入力または6つの擬似差動入力
- SNR : 71dB、THD : -81dB
- プログラミング可能なバッファ付き内部2.5Vリファレンス
- フレキシブルなパワーダウン機能
- 可変電源範囲 : 2.7V ~ 5.5V
- 低電力動作 : 45mW (5V時)
- 動作温度範囲 : -40°C ~ +125°C
- ADS7861およびADS8361とピン・コンパチブル (SSOPパッケージ)

## アプリケーション

- モーター制御
- 多軸ポジショニング・システム
- 3相電源制御

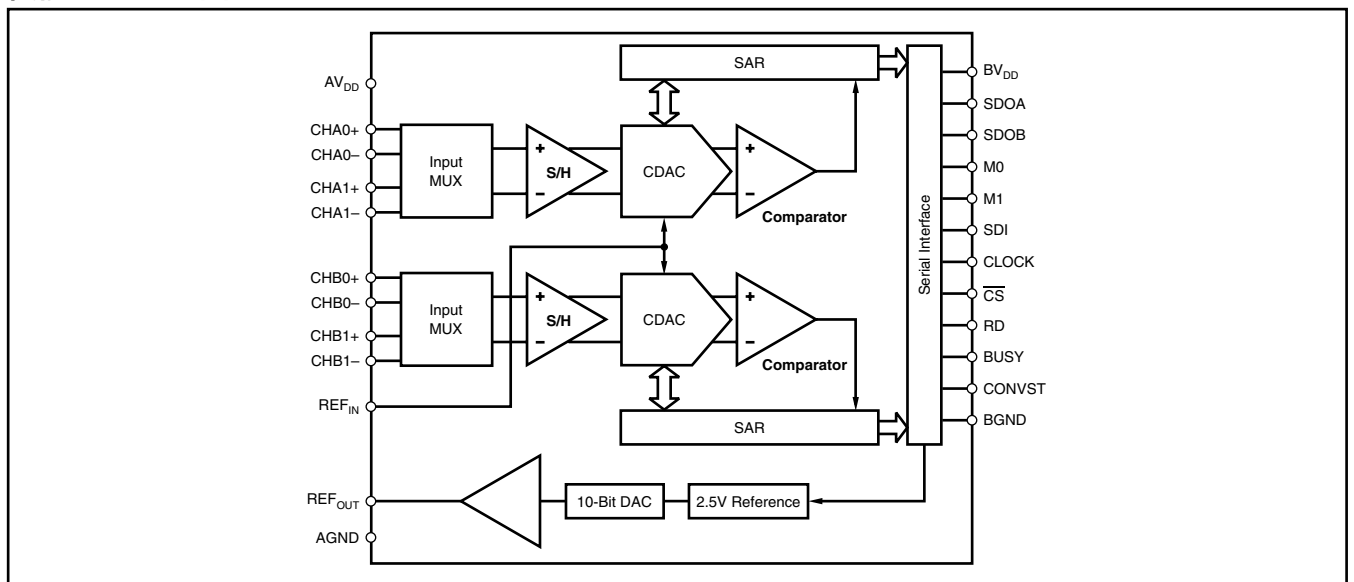
## 概要

ADS7863は、12ビット、2MSPSのデュアルADコンバータ (ADC) であり、4つの完全差動入力チャンネルまたは6つの擬似差動入力チャンネルを2組のグループに分けることで、高速の同時信号アキュイジションを実現します。サンプル/ホールド (S/H) アンプへの入力は完全に差動であり、ADCの入力まで差動に保持されます。このアーキテクチャにより、100kHzで72dBの優れた同相電圧除去特性が得られます。これは、ノイズの多い環境で重要な性能の1つです。

ADS7863はADS7861とピン・コンパチブルですが、プログラミング可能なリファレンス出力、フレキシブルな電源電圧 (AV<sub>DD</sub>およびBV<sub>DD</sub>に対して2.7V~5.5V)、ADCごとに3チャンネルの擬似差動入力マルチプレクサ、およびいくつかのパワーダウン機能など、追加の機能を備えています。

ADS7863は、SSOP-24および4×4mmのQFN-24パッケージで供給されます。デバイスの仕様は、拡張動作温度範囲 (-40°C ~ +125°C) で規定されています。

## 機能ブロック図



すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



## 静電気放電対策

これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

### 製品情報<sup>(1)</sup>

| 製品名      | パッケージ      | パッケージ・コード | 製品型番         |
|----------|------------|-----------|--------------|
| ADS7863I | SSOP-24    | DBQ       | ADS7863IDBQ  |
|          |            |           | ADS7863IDBQR |
|          | 4×4 QFN-24 | RGE       | ADS7863IRGET |
|          |            |           | ADS7863IRGER |

(1) 最新のパッケージおよび製品情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト ([www.tij.co.jp](http://www.tij.co.jp)もしくは[www.ti.com](http://www.ti.com)) をご覧ください。

### 絶対最大定格<sup>(1)</sup>

|                              |   | ADS7863                             | 単位 |
|------------------------------|---|-------------------------------------|----|
| 電源電圧、AV <sub>DD</sub> 対 AGND |   | -0.3 ~ +6                           | V  |
| 電源電圧、BV <sub>DD</sub> 対 BGND |   | -0.3 ~ +6                           | V  |
| 電源電圧、BV <sub>DD</sub> 対 AVDD |   | 1.5 × AV <sub>DD</sub>              | V  |
| アナログおよびリファレンス入力電圧 (対AGND)    |   | AGND - 0.3 ~ AV <sub>DD</sub> + 0.3 | V  |
| デジタル入力電圧 (対BGND)             |   | BGND - 0.3 ~ BV <sub>DD</sub> + 0.3 | V  |
| グランド電圧差  AGND - BGND         |   | 0.3                                 | V  |
| 電源ピンを除く任意のピンへの入力電流           |   | -10 ~ +10                           | mA |
| 最大仮想ジャンクション温度、T <sub>J</sub> |   | +150                                | °C |
| ESD定格                        | 人体モデル (HBM : Human Body Model)、<br>JEDEC standard 22, test method A114-C.01, 全ピン    | ±4000                               | V  |
|                              | デバイス帯電モデル (CDM : Charged Device Model)、<br>JEDEC standard 22, test method C101, 全ピン | ±1500                               | V  |

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

## 推奨動作条件

| パラメータ                           |            | ADS7863           |     |                   | 単位   |    |
|---------------------------------|------------|-------------------|-----|-------------------|------|----|
|                                 |            | MIN               | NOM | MAX               |      |    |
| 電源電圧、AV <sub>DD</sub> ~ AGND    |            | 2.7               | 5.0 | 5.5               | V    |    |
| 電源電圧、BV <sub>DD</sub> ~ BGND    | 低電圧レベル     | 2.7               |     |                   | V    |    |
|                                 | 5Vロジック・レベル | 4.5               | 5.0 | 5.5               |      |    |
| リファレンス入力電圧 (REF <sub>IN</sub> ) |            | 0.5               | 2.5 | 2.525             | V    |    |
| アナログ差動入力電圧 (CHXX+) - (CHXX-)    |            | -V <sub>REF</sub> |     | +V <sub>REF</sub> | V    |    |
| 動作温度、T <sub>A</sub>             |            | -40               |     |                   | +125 | °C |

## パッケージ許容損失

| パッケージ                 | ディレーティング係数、<br>T <sub>A</sub> = +25°C | T <sub>A</sub> ≤ +25°C<br>許容損失 | T <sub>A</sub> = +70°C<br>許容損失 | T <sub>A</sub> = +85°C<br>許容損失 | T <sub>A</sub> = +125°C<br>許容損失 |
|-----------------------|---------------------------------------|--------------------------------|--------------------------------|--------------------------------|---------------------------------|
| SSOP-24               | 10mW/°C                               | 1250mW                         | 800mW                          | 650mW                          | 250mW                           |
| QFN-24<br>(4mm × 4mm) | 22mW/°C                               | 2740mW                         | 1750mW                         | 1420mW                         | 540mW                           |

## 熱特性 (1)

動作温度範囲内 (特に記述のない限り)

| パラメータ             |   | SSOP-24   | QFN-24 | 単位   |      |
|-------------------|---|-----------|--------|------|------|
| θ <sub>JA</sub>   | ジャンクション - 周囲間熱抵抗  | Low-K熱抵抗  | 99.8   | 45.6 | °C/W |
|                   |   | High-K熱抵抗 | 61.0   | 33.1 |      |
| θ <sub>JC</sub>   | ジャンクション - ケース間熱抵抗   | 23.3      | 35     | °C/W |      |
| P <sub>DISS</sub> | AV <sub>DD</sub> = 5VおよびBV <sub>DD</sub> = 3.3V時のデバイス消費電力 | 45.3      | 45.3   | mW   |      |

(1) リード付き表面実装パッケージに対するEIA/JESD51-3のLow-KまたはHigh-K熱測定定義に従って測定しています。

## 電気的特性

$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、電源電圧全範囲、 $V_{\text{REF}} = 2.5\text{V}$  (内部)、 $f_{\text{CLK}} = 32\text{MHz}$ 、 $t_{\text{DATA}} = 2\text{MSPS}$   
(特に記述のない限り)。

| パラメータ                          | 測定条件                  | ADS7863  |                        |            | 単位                     |                                |
|--------------------------------|-----------------------|--|------------------------|------------|------------------------|--------------------------------|
|                                |                       | MIN  | TYP <sup>(1)</sup>     | MAX        |                        |                                |
| 分解能                            |                       | 12   |                        |            | ビット                    |                                |
| アナログ入力                         |                       |  |                        |            |                        |                                |
| FSR                            | フルスケール差動入力範囲          | (CHxx+) – (CHxx–)  | $-V_{\text{REF}}$      |            | $+V_{\text{REF}}$      | V                              |
| $V_{\text{IN}}$                | 絶対入力電圧                | CHxx+またはCHxx– ~AGND  | -0.1                   |            | $AV_{\text{DD}} + 0.1$ | V                              |
| $C_{\text{IN}}$                | 入力容量                  | CHxx+またはCHxx– ~AGND  |                        | 2          |                        | pF                             |
| $C_{\text{ID}}$                | 差動入力容量                |  |                        | 4          |                        | pF                             |
| $I_{\text{IL}}$                | 入力リーク電流               |  | -1                     |            | +1                     | nA                             |
| CMRR                           | 同相除去比                 | 両ADC、DC~100kHz   |                        | 72         |                        | dB                             |
| DC精度                           |                       |  |                        |            |                        |                                |
| INL                            | 積分非直線性                | $-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$                 | -1.25                  | $\pm 0.6$  | +1.25                  | LSB                            |
|                                |                       | $-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$                  | -1                     | $\pm 0.5$  | +1                     | LSB                            |
| DNL                            | 微分非直線性 <sup>(2)</sup> |  | -1                     | $\pm 0.5$  | +1                     | LSB                            |
| $V_{\text{OS}}$                | 入力オフセット誤差             |  | -3                     | $\pm 0.5$  | +3                     | LSB                            |
| $V_{\text{OS}}$ マッチ            |                       |  | -3                     | $\pm 0.5$  | +3                     | LSB                            |
| $dV_{\text{OS}}/dT$            | 入力オフセット・ドリフト          |  |                        | $\pm 3$    |                        | $\mu\text{V}/^{\circ}\text{C}$ |
| $G_{\text{ERR}}$               | ゲイン誤差 <sup>(2)</sup>  |  | -0.5                   |            | +1                     | %                              |
| $G_{\text{ERR}}$ マッチ           |                       |  | -0.5                   | $\pm 0.1$  | +0.5                   | %                              |
| $G_{\text{ERR}}/dT$            | ゲイン誤差ドリフト             |  |                        | $\pm 1$    |                        | ppm/ $^{\circ}\text{C}$        |
| PSRR                           | 電源除去比                 | $AV_{\text{DD}} = 5.5\text{V}$                                     |                        | 70         |                        | dB                             |
| AC精度                           |                       |  |                        |            |                        |                                |
| SINAD                          | 信号対(雑音+歪)             | $V_{\text{IN}} = 5V_{\text{PP}}$ (100kHz)                          | 69.8                   | 71         |                        | dB                             |
| SNR                            | 信号対雑音比                | $V_{\text{IN}} = 5V_{\text{PP}}$ (100kHz)                          | 70                     | 71.5       |                        | dB                             |
| THD                            | 全高調波歪                 | $V_{\text{IN}} = 5V_{\text{PP}}$ (100kHz)                          |                        | -81        | -76                    | dB                             |
| SFDR                           | スプリアス・フリー・ダイナミック・レンジ  | $V_{\text{IN}} = 5V_{\text{PP}}$ (100kHz)                          | 76                     | 84         |                        | dB                             |
| サンプリング・ダイナミック特性 <sup>(2)</sup> |                       |  |                        |            |                        |                                |
| $t_{\text{CONV}}$              | 変換時間(各ADC)            | $1\text{MHz} < f_{\text{CLK}} \leq 32\text{MHz}$                   | 16                     |            |                        | $t_{\text{CLK}}$               |
| $t_{\text{ACQ}}$               | アキュジション時間             |  | 2                      |            |                        | $t_{\text{CLK}}$               |
| $t_{\text{DATA}}$              | データ・レート               | $1\text{MHz} < f_{\text{CLK}} \leq 32\text{MHz}$                   | 62.5                   |            | 2000                   | kSPS                           |
| $t_{\text{A}}$                 | アパーチャ遅延               |  |                        |            | 6                      | ns                             |
| $t_{\text{A}}$ マッチ             |                       |  |                        | 50         |                        | ps                             |
| $t_{\text{AJIT}}$              | アパーチャ・ジッタ             |  |                        | 50         |                        | ps                             |
| $f_{\text{CLK}}$               | クロック周波数(CLOCK)        |  | 1                      |            | 32                     | MHz                            |
| $T_{\text{CLK}}$               | クロック周期                |  | 31.25                  |            | 1000                   | ns                             |
| 内部電圧リファレンス                     |                       |  |                        |            |                        |                                |
| 分解能                            | リファレンス出力DAC分解能        |  | 10                     |            |                        | ビット                            |
| $V_{\text{REFOUT}}$            | リファレンス出力電圧            | 20%~100%のDAC範囲   | $0.2V_{\text{REFOUT}}$ |            | $V_{\text{REFOUT}}$    | V                              |
|                                |                       | DAC = 0x3FF、<br>$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$ | 2.485                  | 2.500      | 2.515                  | V                              |
|                                |                       | DAC = 0x3FF (+25 $^{\circ}\text{C}$ )                              | 2.495                  | 2.500      | 2.505                  | V                              |
| $dV_{\text{REFOUT}}/dT$        | リファレンス電圧ドリフト          |  |                        | $\pm 10$   |                        | ppm/ $^{\circ}\text{C}$        |
| $\text{DNL}_{\text{DAC}}$      | DAC微分非直線性             |  | -9.76                  | $\pm 2.44$ | 9.76                   | mV                             |
|                                |                       |  | -4                     | $\pm 1$    | 4                      | LSB                            |
| $\text{INL}_{\text{DAC}}$      | DAC積分非直線性             |  | -9.76                  | $\pm 1.22$ | 9.76                   | mV                             |
|                                |                       |  | -4                     | $\pm 0.5$  | 4                      | LSB                            |
| $V_{\text{OSDAC}}$             | DACオフセット誤差            | $V_{\text{REFOUT}} = 0.5\text{V}$                                  | -9.76                  | $\pm 2.44$ | 9.76                   | mV                             |
|                                |                       |  | -4                     | $\pm 1$    | 4                      | LSB                            |

(1)  $T_A = +25^{\circ}\text{C}$ における標準値です。

(2) 設計で確認。製品テストは行っていません。

## 電気的特性

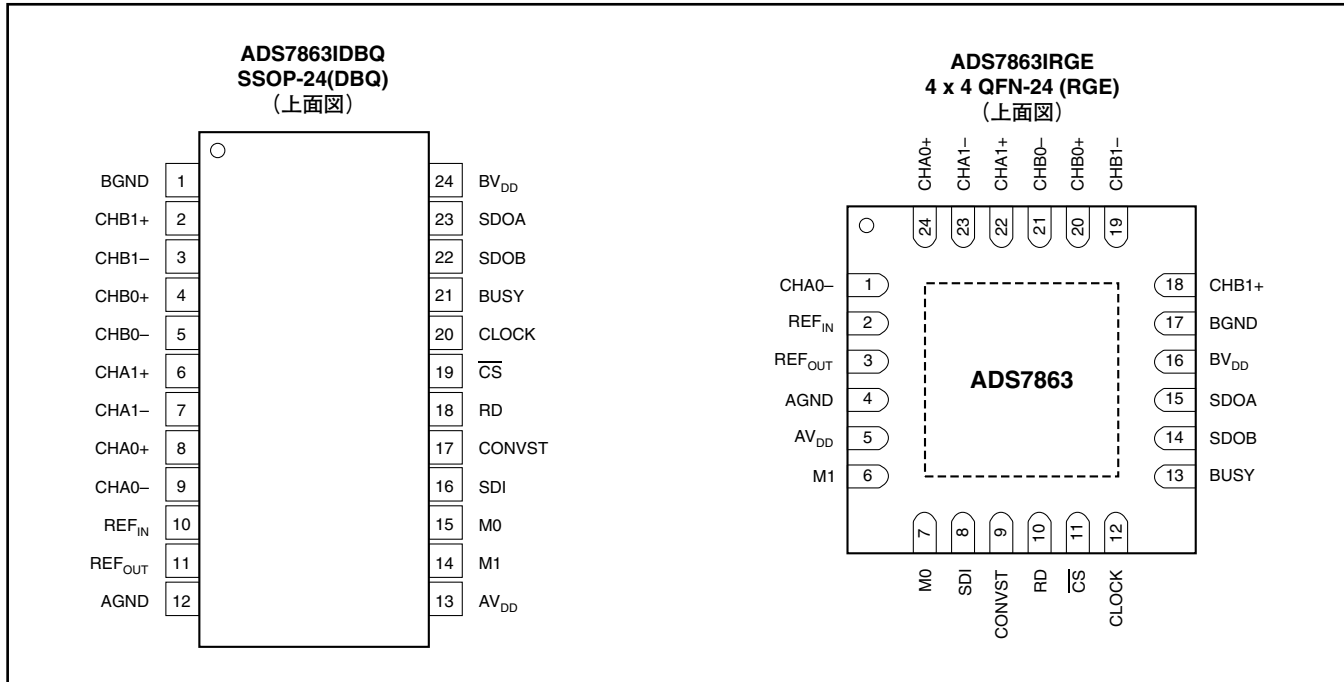
$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、電源電圧全範囲、 $V_{REF} = 2.5\text{V}$  (内部)、 $f_{CLK} = 32\text{MHz}$ 、 $t_{DATA} = 2\text{MSPS}$   
(特に記述のない限り)。

| パラメータ                 |                             | 測定条件   | ADS7863              |                    |                      | 単位            |
|-----------------------|-----------------------------|--|----------------------|--------------------|----------------------|---------------|
|                       |                             |  | MIN                  | TYP <sup>(1)</sup> | MAX                  |               |
| 内部電圧リファレンス (続き)       |                             |  |                      |                    |                      |               |
| PSRR                  | 電源除去比                       |  |                      | 73                 |                      | dB            |
| $I_{REFOUT}$          | リファレンス出力DC電流                |  | -2                   |                    | +2                   | mA            |
| $I_{REFSC}$           | リファレンス出力短絡電流 <sup>(3)</sup> |  |                      | 50                 |                      | mA            |
| $t_{REFON}$           | リファレンス出力セトリング・タイム           |  |                      | 0.5                |                      | ms            |
| 電圧リファレンス入力            |                             |  |                      |                    |                      |               |
| $V_{REF}$             | リファレンス入力電圧                  |  | 0.5                  |                    | 2.525                | V             |
| $I_{REF}$             | リファレンス入力電流                  |  |                      | 50                 |                      | $\mu\text{A}$ |
| $C_{REF}$             | リファレンス入力容量                  |  |                      | 10                 |                      | pF            |
| デジタル入力 <sup>(4)</sup> |                             |  |                      |                    |                      |               |
| ロジック・ファミリー            |                             |  | CMOS (シュミット・トリガ付き)   |                    |                      |               |
| $V_{IH}$              | “H” レベル入力電圧                 |  | $0.7 \times BV_{DD}$ |                    | $BV_{DD} + 0.3$      | V             |
| $V_{IL}$              | “L” レベル入力電圧                 |  | -0.3                 |                    | $0.3 \times BV_{DD}$ | V             |
| $I_{IN}$              | 入力電流                        | $V_{IN} = BV_{DD}$ to BGND                           | -50                  |                    | +50                  | nA            |
| $C_{IN}$              | 入力容量                        |  |                      | 5                  |                      | pF            |
| デジタル出力 <sup>(4)</sup> |                             |  |                      |                    |                      |               |
| ロジック・ファミリー            |                             |  | CMOS                 |                    |                      |               |
| $V_{OH}$              | “H” レベル出力電圧                 | $BV_{DD} = 4.5\text{V}$ , $I_{OH} = -100\mu\text{A}$ | $BV_{DD} - 0.2$      |                    |                      | V             |
| $V_{OL}$              | “L” レベル出力電圧                 | $BV_{DD} = 4.5\text{V}$ , $I_{OH} = 100\mu\text{A}$  |                      |                    | 0.2                  | V             |
| $I_{OZ}$              | ハイ・インピーダンス出力電流              |  | -50                  |                    | +50                  | nA            |
| $C_{OUT}$             | 出力容量                        |  |                      | 5                  |                      | pF            |
| $C_{LOAD}$            | 負荷容量                        |  |                      |                    | 30                   | pF            |
| 電源                    |                             |  |                      |                    |                      |               |
| $AV_{DD}$             | アナログ電源電圧                    | $AV_{DD}$ to AGND                                    | 2.7                  | 5.0                | 5.5                  | V             |
| $BV_{DD}$             | バッファI/O電源電圧                 | $BV_{DD}$ to BGND                                    | 2.7                  | 3.0                | 5.5                  | V             |
| $AI_{DD}$             | アナログ電源電流                    | $AV_{DD} = 2.7\text{V}$                              |                      | 4.5                | 6                    | mA            |
|                       |                             | $AV_{DD} = 5.0\text{V}$                              |                      | 6.5                | 8                    |               |
|                       |                             | $AV_{DD} = 2.7\text{V}$ 、NAPパワーダウン                   |                      | 1.1                | 1.5                  |               |
|                       |                             | $AV_{DD} = 5.0\text{V}$ 、NAPパワーダウン                   |                      | 1.4                | 2.0                  |               |
|                       |                             | $AV_{DD} = 2.7\text{V}$ 、ディープ・パワーダウン                 |                      |                    | 0.001                |               |
|                       |                             | $AV_{DD} = 5.0\text{V}$ 、ディープ・パワーダウン                 |                      |                    | 0.001                |               |
| $BI_{DD}$             | バッファI/O電源電流                 | $BV_{DD} = 2.7\text{V}$ , $C_{LOAD} = 10\text{pF}$   |                      | 0.5                | 1.3                  | mA            |
|                       |                             | $BV_{DD} = 3.3\text{V}$ , $C_{LOAD} = 10\text{pF}$   |                      | 0.9                | 1.6                  |               |
| $P_{DISS}$            | 消費電力                        | $AV_{DD} = 2.7\text{V}$ , $BV_{DD} = 2.7\text{V}$    |                      | 13.5               | 19.7                 | mW            |
|                       |                             | $AV_{DD} = 5.0\text{V}$ , $BV_{DD} = 3.3\text{V}$    |                      | 35.5               | 45.3                 |               |

(3) リファレンス出力電流は内部制限されません。

(4) 設計で確認。製品テストは行っていません。

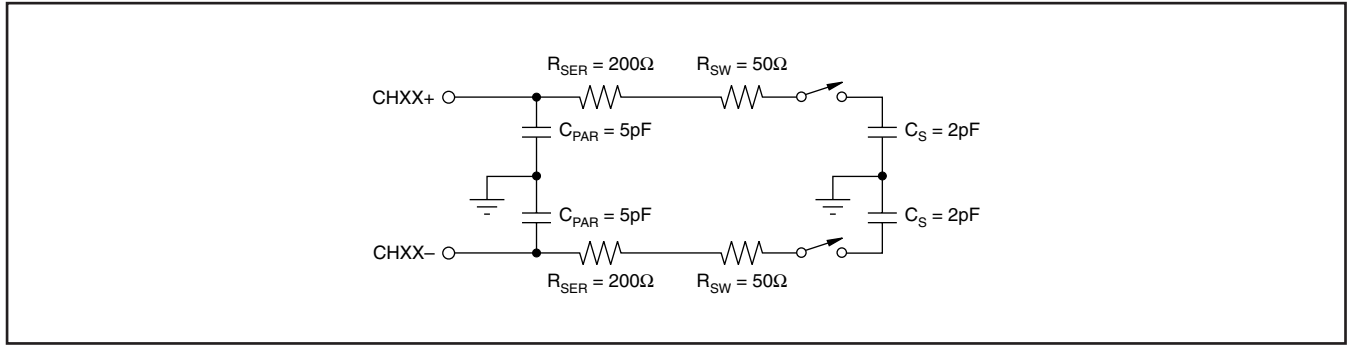
## ピン配置



## ピン機能

| ピン番号 |     | 名称                 | 説明  |
|------|-----|--------------------|---|
| SSOP | QFN |                    |   |
| 1    | 17  | BGND               | バッファ/I/Oグラウンド。デジタル・グラウンド・プレーンに接続します。  |
| 2    | 18  | CHB1+              | 非反転アナログ入力チャンネルB1  |
| 3    | 19  | CHB1-              | 反転アナログ入力チャンネルB1   |
| 4    | 20  | CHB0+              | 非反転アナログ入力チャンネルB0  |
| 5    | 21  | CHB0-              | 反転アナログ入力チャンネルB0   |
| 6    | 22  | CHA1+              | 非反転アナログ入力チャンネルA1  |
| 7    | 23  | CHA1-              | 反転アナログ入力チャンネルA1   |
| 8    | 24  | CHA0+              | 非反転アナログ入力チャンネルA0  |
| 9    | 1   | CHA0-              | 反転アナログ入力チャンネルA0   |
| 10   | 2   | REF <sub>IN</sub>  | リファレンス電圧入力。この端子には470nF(最小)のセラミック・コンデンサが必要です。  |
| 11   | 3   | REF <sub>OUT</sub> | リファレンス電圧出力。プログラミング可能な内部電圧リファレンス出力がこのピンから提供されます。   |
| 12   | 4   | AGND               | アナログ・グラウンド。アナログ・グラウンド・プレーンに接続します。   |
| 13   | 5   | AV <sub>DD</sub>   | アナログ電源、電圧2.7V~5.5V。1μFのセラミック・コンデンサでAGNDに対してデカップリングします。  |
| 14   | 6   | M1                 | モード・ピン1。SDOxデジタル出力を選択します(表8)。   |
| 15   | 7   | M0                 | モード・ピン0。アナログ入力チャンネルを選択します(表8)。  |
| 16   | 8   | SDI                | シリアル・データ入力。このピンによりADS7863の追加機能を使用できますが、ADS7861互換の方法で使用することもできます。                                  |
| 17   | 9   | CONVST             | 変換開始。CLOCKの状態に関係なく、CONVSTの立ち上がりエッジで、ADCはサンプリング・モードからホールド・モードに移行します。変換自体は、CLOCKの次の立ち上がりエッジで開始されます。 |
| 18   | 10  | RD                 | データ読み出し。SDOx出力とSDI入力の同期パルスです。RDは、 $\overline{CS}$ が“Low”のときだけトリガします。                              |
| 19   | 11  | $\overline{CS}$    | チップ選択。“Low”のとき、SDOx出力がアクティブです。“High”のとき、SDOx出力は3ステートになります。  |
| 20   | 12  | CLOCK              | 外部クロック入力  |
| 21   | 13  | BUSY               | ADCビジー出力。BUSYは、入力がホールド・モードのときに“High”になり、変換が完了した後で“Low”に戻ります。                                      |
| 22   | 14  | SDOB               | コンバータBのシリアル・データ出力。データは、CLOCKの立ち下がりエッジで有効になります。  |
| 23   | 15  | SDOA               | コンバータAのシリアル・データ出力。M1が“High”のとき、SDOAとSDOBの両方がアクティブになります。データは、CLOCKの立ち下がりエッジで有効になります。               |
| 24   | 16  | BV <sub>DD</sub>   | バッファ/I/O電源、2.7V~5.5V。1μFのセラミック・コンデンサでBGNDに対してデカップリングします。  |

## 等価入力回路



## タイミング特性

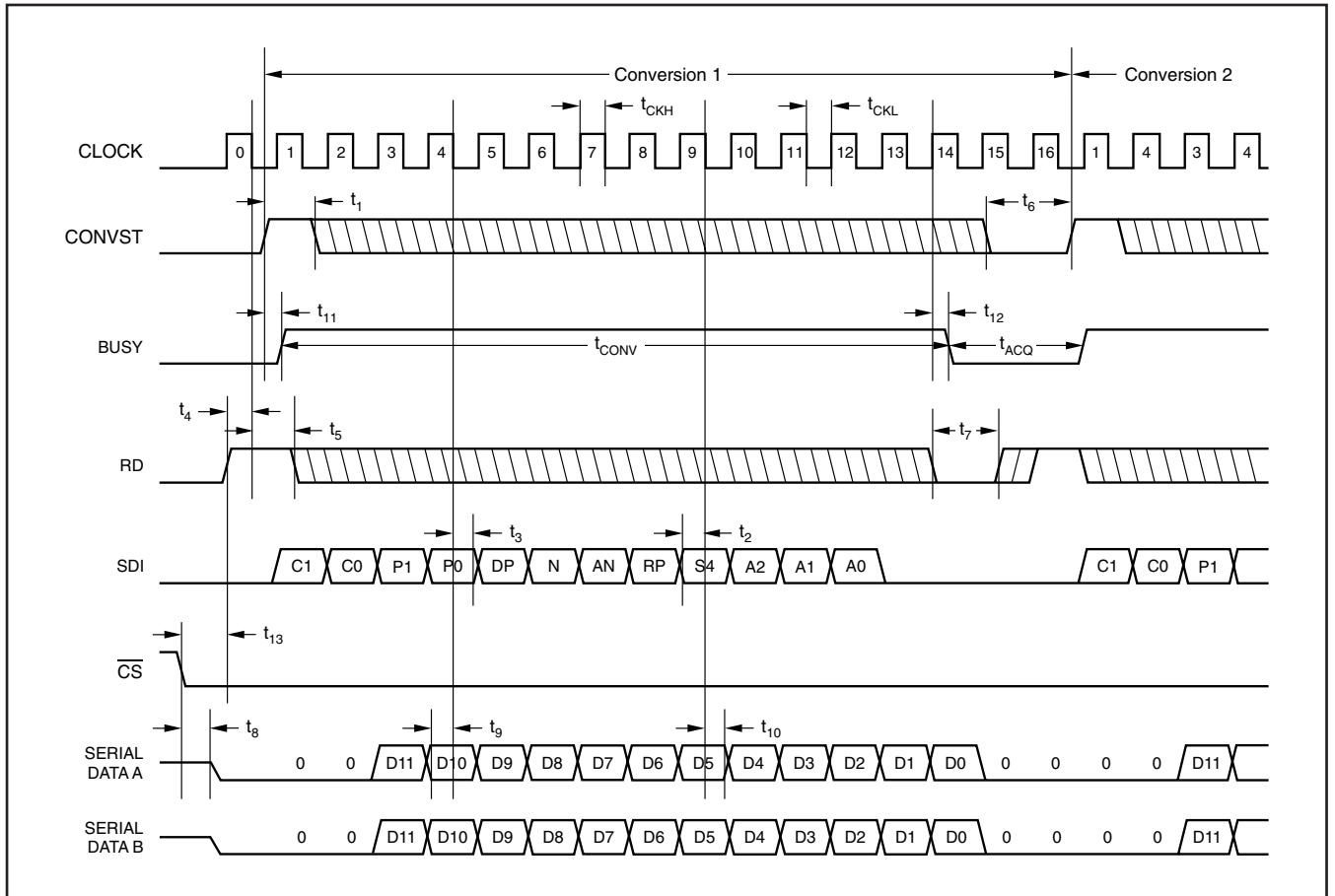
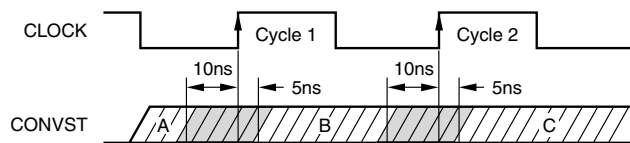


図 1. 詳細タイミング図(モードI)

## タイミング特性



注：外部クロックのサイクル '1' の立ち上がりエッジより10ns以上前(領域 'A')に発行されたCONVSTコマンドはすべて、サイクル '1' の立ち上がりエッジで変換を開始します。外部クロックのサイクル '1' の立ち上がりエッジより5ns以上後、またはサイクル2の立ち上がりエッジの10ns以上前(領域 'B')に発行されたCONVSTコマンドはすべて、サイクル '2' の立ち上がりエッジで変換を開始します。外部クロックのサイクル '2' の立ち上がりエッジより5ns以上後(領域 'C')に発行されたCONVSTコマンドはすべて、次のクロック周期の立ち上がりエッジで変換を開始します。CLOCKの立ち上がりエッジ前10nsおよび立ち上がりエッジ後5nsの領域(灰色の領域)では、CONVSTピンを“Low”から“High”に切り替えしないでください。この灰色の領域でCONVSTを切り替えた場合、変換はCLOCKの同じ立ち上がりエッジで開始されるか、またはその次のエッジで開始される可能性があります。

図 2. CONVSTタイミング

## タイミング仕様<sup>(1)</sup>

$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $AV_{DD} = 5\text{V}$ 、 $BV_{DD} = 2.7\text{V} \sim 5\text{V}$  (特に記述のない限り)。

| 記号                 | パラメータ  | 備考                                | ADS7863 |      | 単位                 |
|--------------------|--|-----------------------------------|---------|------|--------------------|
|                    |  |                                   | MIN     | MAX  |                    |
| $t_{\text{CONV}}$  | 変換時間   | $f_{\text{CLOCK}} = 32\text{MHz}$ | 406.25  |      | ns                 |
| $t_{\text{ACQ}}$   | アキュイジション時間   | $f_{\text{CLOCK}} = 32\text{MHz}$ | 62.5    |      | ns                 |
| $f_{\text{CLOCK}}$ | CLOCK周波数   | 図1参照                              | 1       | 32   | MHz                |
| $t_{\text{CLOCK}}$ | CLOCK周期  | 図1参照                              | 31.25   | 1000 | ns                 |
| $t_{\text{CKL}}$   | CLOCK “Low” 時間                                     | 図1参照                              | 9.4     |      | ns                 |
| $t_{\text{CKH}}$   | CLOCK “High” 時間                                    | 図1参照                              | 9.4     |      | ns                 |
| $t_1$              | CONVST “High” 時間                                   | 図1参照                              | 20      |      | ns                 |
| $t_2$              | SDIセットアップ時間(CLOCK立ち下がりエッジまで)                       | 図1参照                              | 10      |      | ns                 |
| $t_3$              | SDIホールド時間(CLOCK立ち下がりエッジから)                         | 図1参照                              | 5       |      | ns                 |
| $t_4$              | RD “High” セットアップ時間(CLOCK立ち下がりエッジまで)                | 図1参照                              | 10      |      | ns                 |
| $t_5$              | RD “High” ホールド時間(CLOCK立ち下がりエッジから)                  | 図1参照                              | 5       |      | ns                 |
| $t_6$              | CONVST “Low” 時間                                    | 図1参照                              | 1       |      | $t_{\text{CLOCK}}$ |
| $t_7$              | RD “Low” 時間  | 図1参照                              | 1       |      | $t_{\text{CLOCK}}$ |
| $t_8$              | $\overline{\text{CS}}$ “Low” からSDOx有効まで            | 図1参照                              | 13      |      | ns                 |
| $t_9$              | SDOxデータ・セットアップ時間(CLOCK立ち下がりエッジまで)                  | 図1参照                              | 15.25   |      | ns                 |
| $t_{10}$           | SDOxデータ・ホールド時間(CLOCK立ち下がりエッジから)                    | 図1参照                              | 2       |      | ns                 |
| $t_{11}$           | CONVST立ち上がりエッジからBUSY “High” までの遅延時間 <sup>(2)</sup> | 図1参照                              | 3       |      | ns                 |
| $t_{12}$           | CLOCK立ち上がりエッジからBUSY “Low” までの遅延時間                  | 図1参照                              | 3       |      | ns                 |
| $t_{13}$           | $\overline{\text{CS}}$ “Low” からRD “High” までの遅延時間   | 図1参照                              | 10      |      | ns                 |

(1) すべての入力信号は、 $t_R = t_F = 1.5\text{ns}$  ( $BV_{DD}$ の10%~90%)で規定され、タイミングは電圧レベル( $V_{IL} + V_{IH}$ )/2を基準としています。

(2) 自動NAPパワーダウン・モードでは適用されません。



# 代表的特性

電源電圧全範囲、 $V_{REF} = 2.5V$  (内部)、 $f_{CLK} = 32MHz$ 、 $t_{DATA} = 2MSPS$  (特に記述のない限り)。

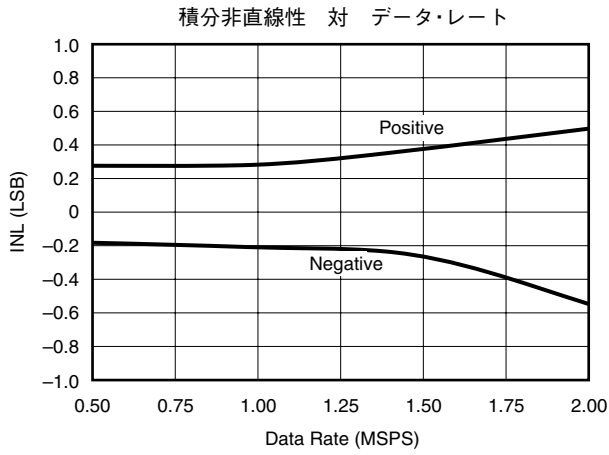


図 3

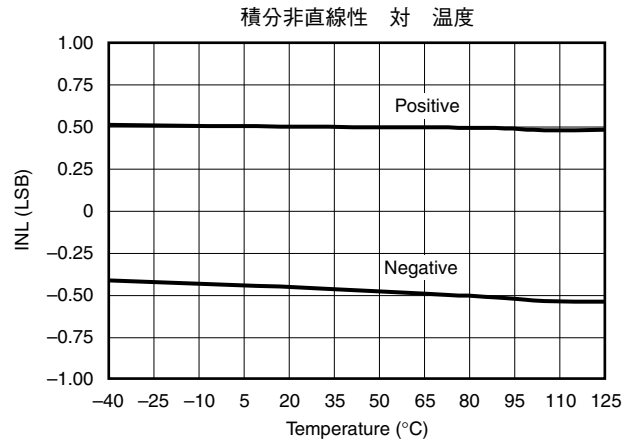


図 4

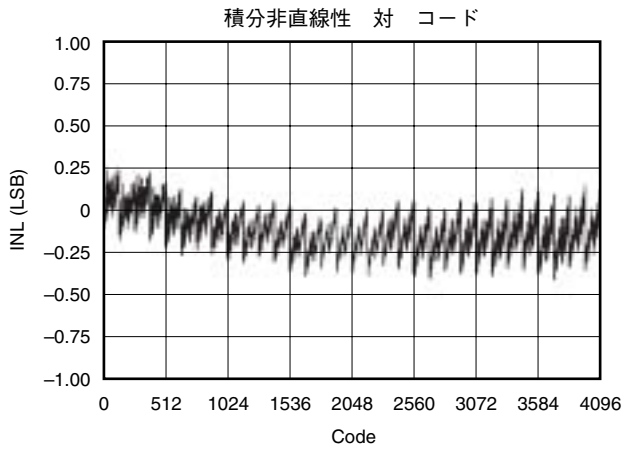


図 5

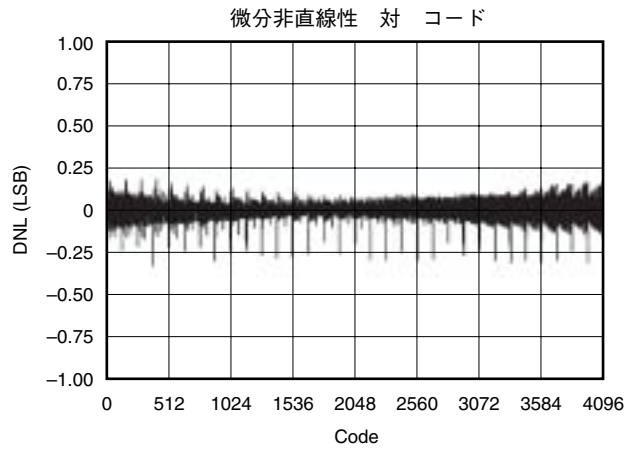


図 6

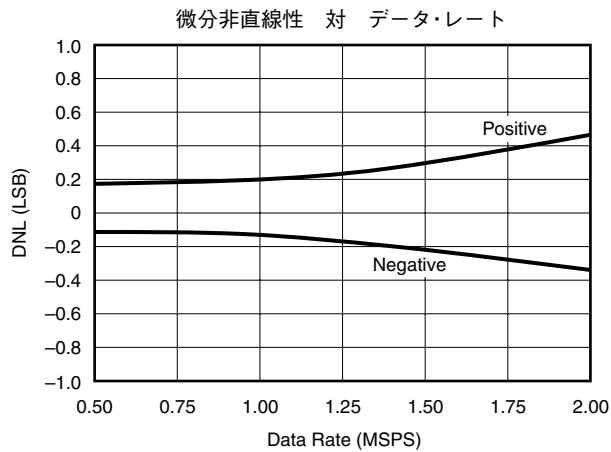


図 7

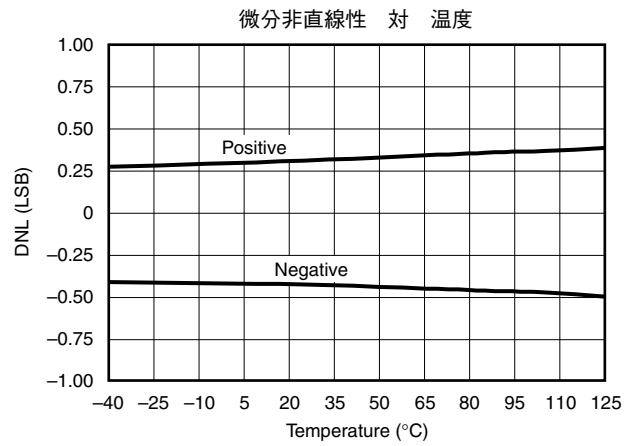


図 8

# 代表的特性

電源電圧全範囲、 $V_{REF} = 2.5V$  (内部)、 $f_{CLK} = 32MHz$ 、 $t_{DATA} = 2MSPS$  (特に記述のない限り)。

オフセット誤差およびオフセット・マッチ  
対  
アナログ電源電圧

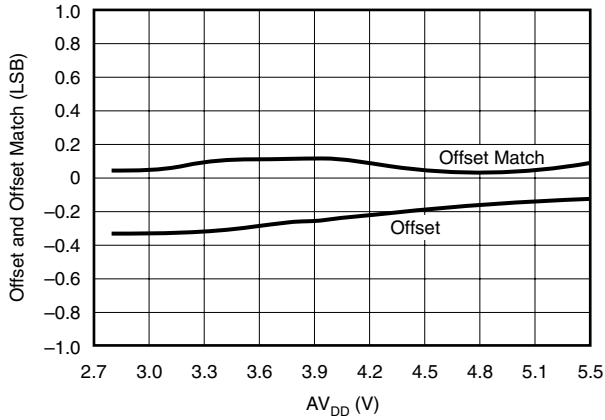


図 9

オフセット誤差およびオフセット・マッチ  
対  
温度

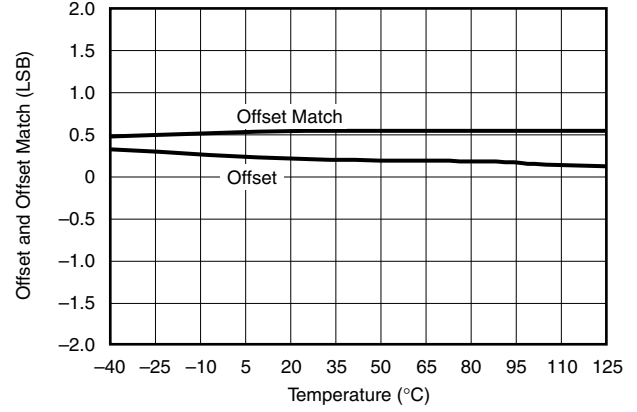


図 10

ゲイン誤差およびゲインマッチ  
対  
アナログ電源電圧

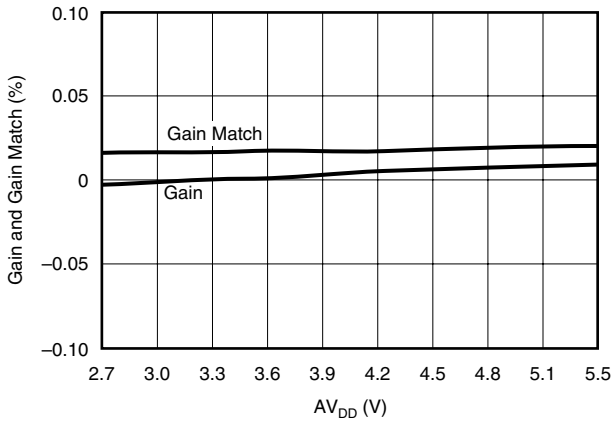


図 11

ゲイン誤差およびゲインマッチ  
対  
温度

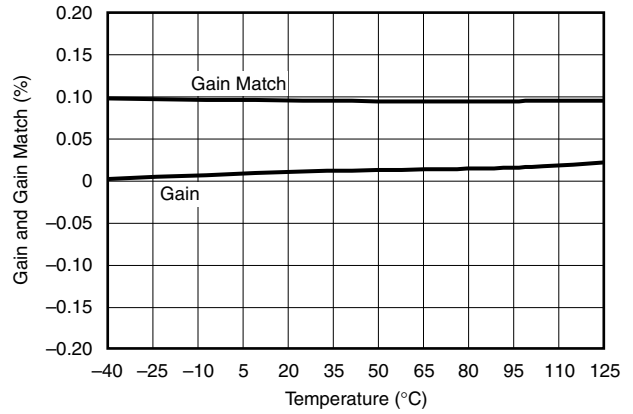


図 12

同相除去比  
対  
アナログ電源電圧

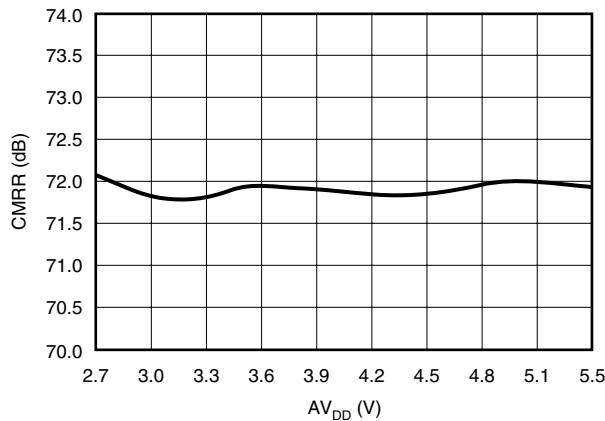


図 13

同相除去比  
対  
温度

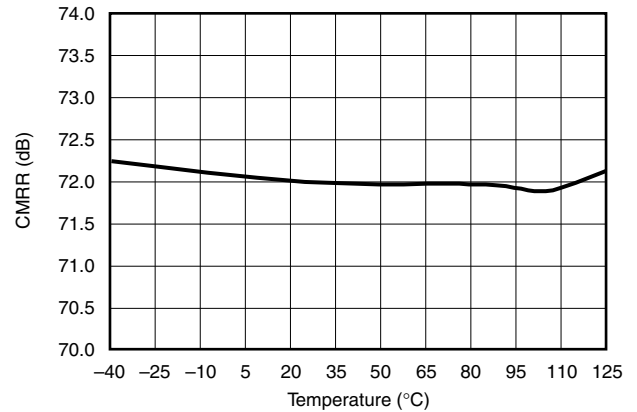


図 14

# 代表的特性

電源電圧全範囲、 $V_{REF} = 2.5V$  (内部)、 $f_{CLK} = 32MHz$ 、 $t_{DATA} = 2MSPS$  (特に記述のない限り)。

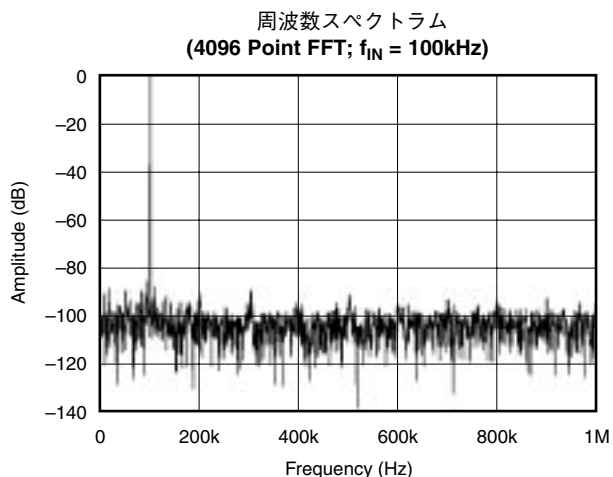


図 15

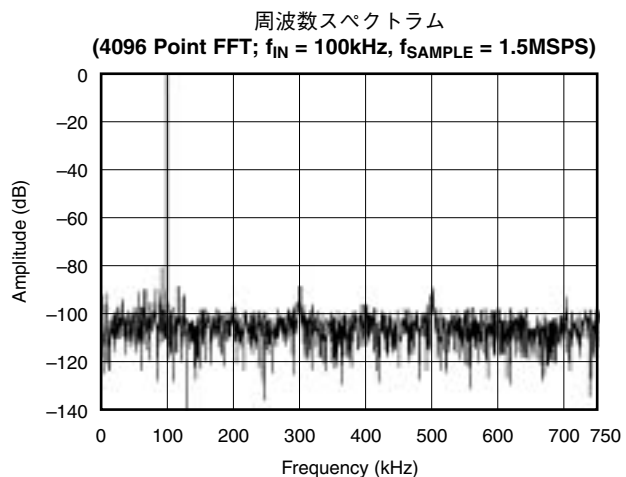


図 16

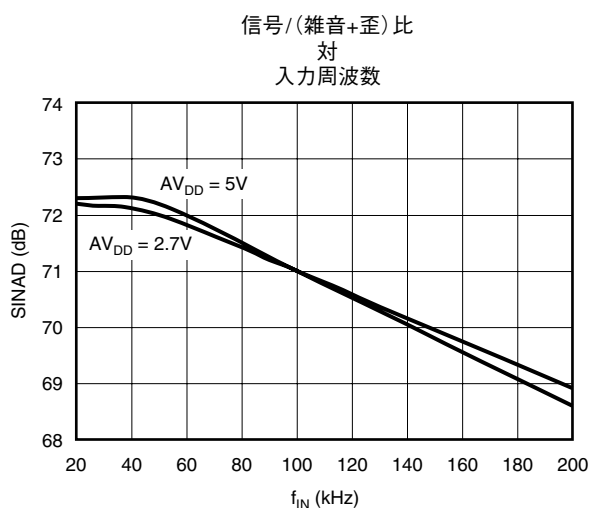


図 17

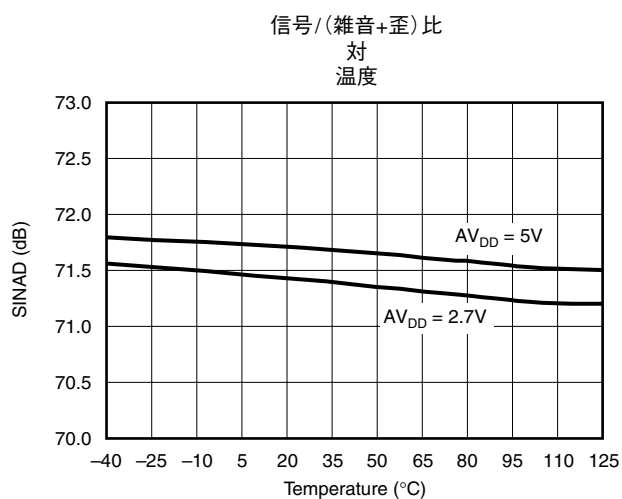


図 18

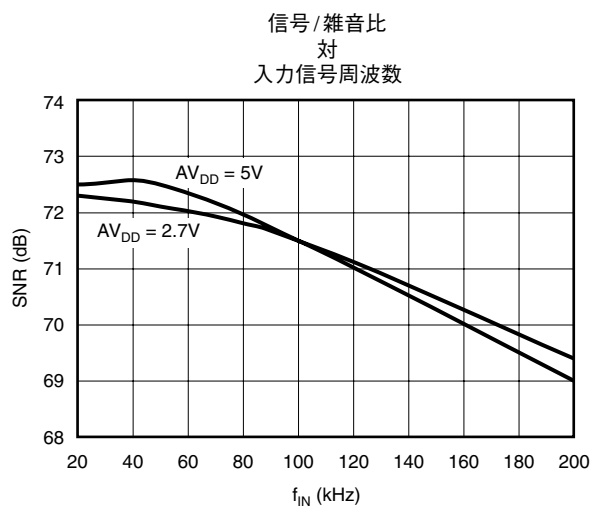


図 19

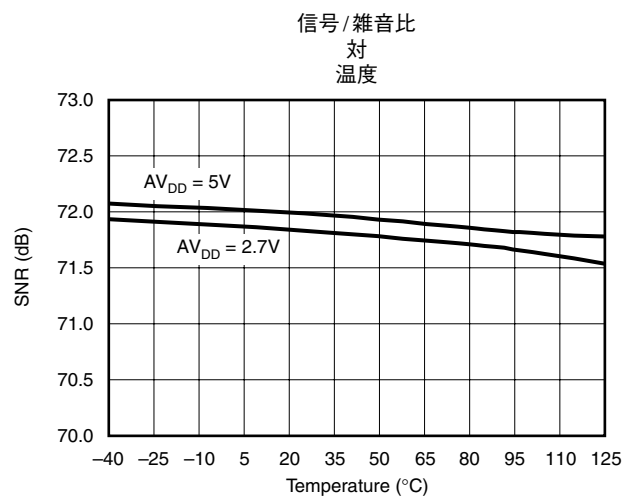


図 20

# 代表的特性

電源電圧全範囲、 $V_{REF} = 2.5V$  (内部)、 $f_{CLK} = 32MHz$ 、 $t_{DATA} = 2MSPS$  (特に記述のない限り)。

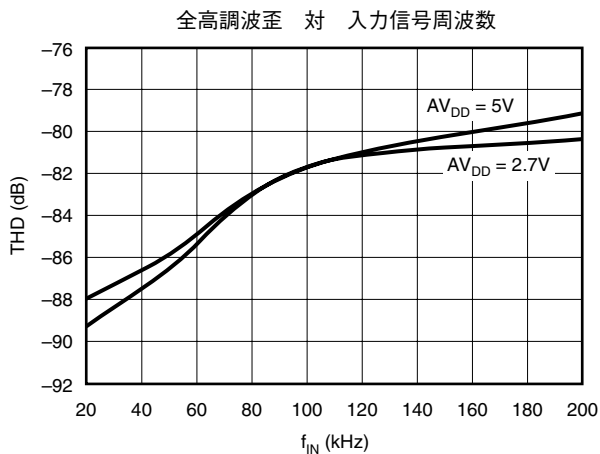


図 21

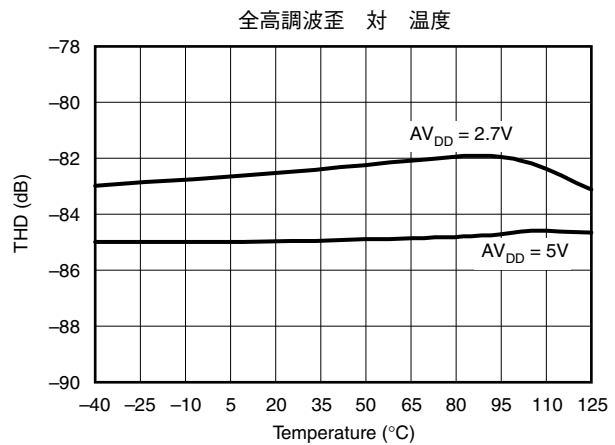


図 22

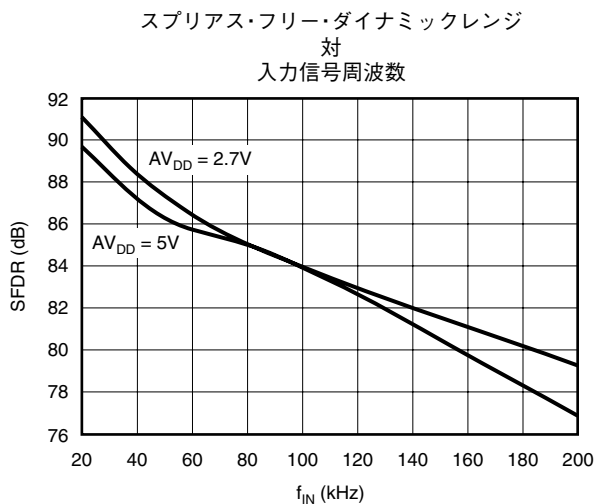


図 23

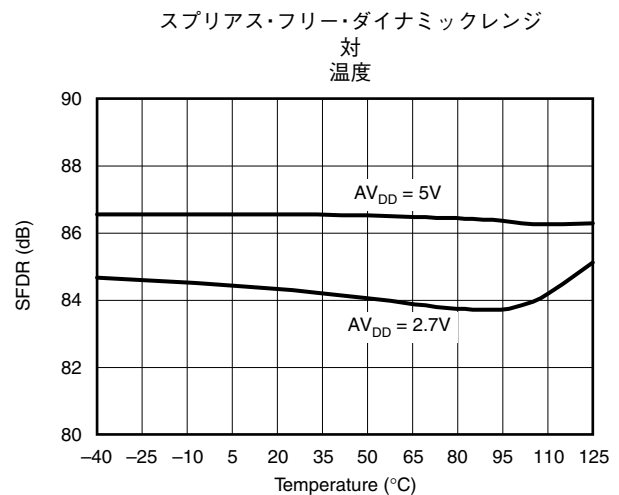


図 24

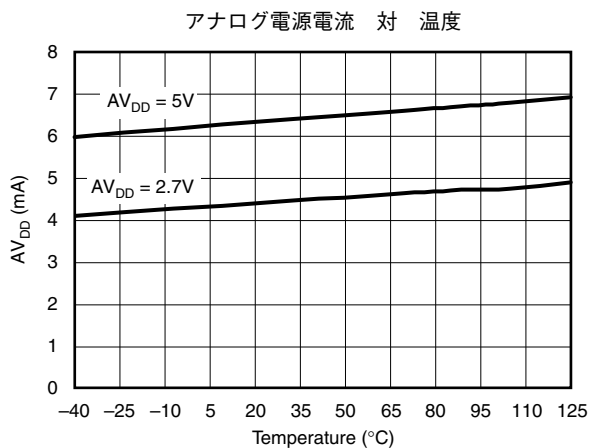


図 25

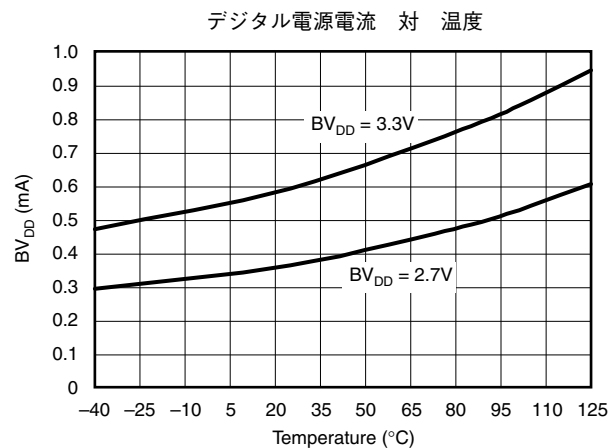


図 26

# 代表的特性

電源電圧全範囲、 $V_{REF} = 2.5V$  (内部)、 $f_{CLK} = 32MHz$ 、 $t_{DATA} = 2MSPS$  (特に記述のない限り)。

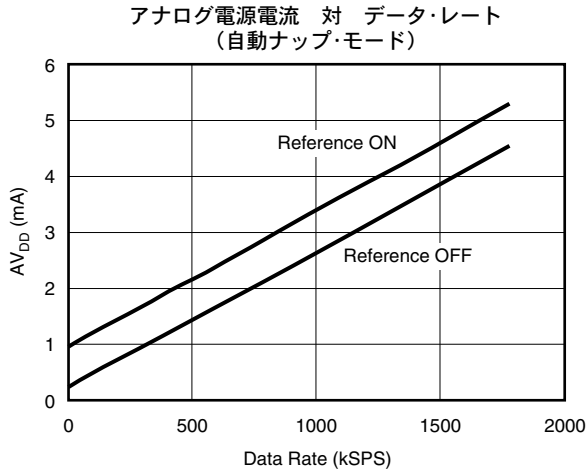


図 27

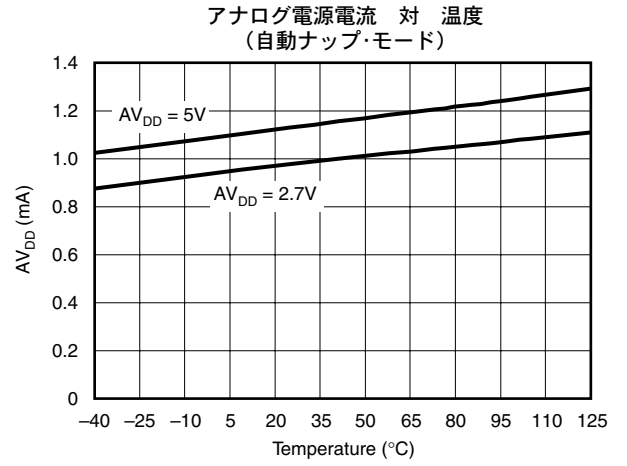


図 28

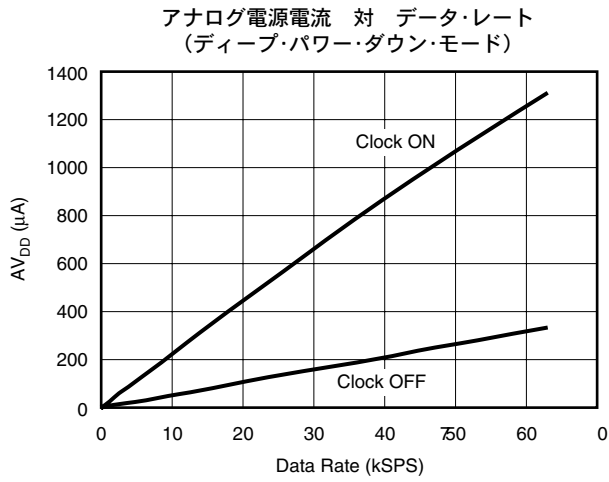


図 29

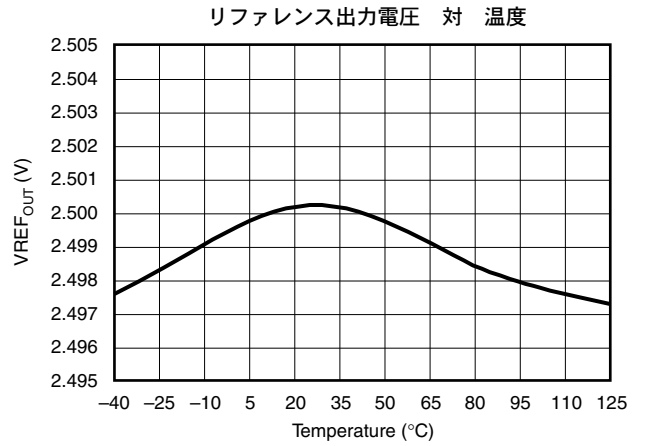


図 30

# アプリケーション情報

## 全般説明

ADS7863は、逐次比較型 (SAR) のADコンバータ (ADC) として動作し、2つの12ビットADCが搭載されています。2つのADCは、同時にサンプリングおよび変換を行います。変換時間は最短で406.25nsです。62.5nsのアクイジション時間と、セットアップ/ホールド時間やスキューに対処するための追加クロック・サイクルにより、最大変換レートは2MSPSとなります。

各ADCは、完全に差動の2:1マルチプレクサ・フロントエンドを備えています。多くの一般的なアプリケーションでは、すべての負入力信号が同じ電圧 (例えば、2.5V) に保持されます。そのようなアプリケーションでは、マルチプレクサを擬似差動入力の3:1モードで使用することができ、その場合、CHx0-が同相モード入力として機能し、他の3つの入力 (CHx0+、CHx1-、CHx1+) は同相モード入力を基準としたそれぞれ個別の入力として動作します。

ADS7863には、2.5Vの内部リファレンスも搭載されています。このリファレンスは10ビットのDAコンバータ (DAC) を駆動し、それにより、シリアル・インターフェイスを使用してREF<sub>OUT</sub>ピンの電圧を2.44mVステップで調整できます。ユニティ・ゲイン・バッファを持つ低ノイズのオペアンプにより、DAC出力電圧がバッファリングされ、REF<sub>OUT</sub>ピンが駆動されます。

ADS7863は、ADS7861と互換性のあるシリアル・インターフェイスを備えています。ただし、チャンネル選択を制御するADS7861のA0ピンの代わりに、ADS7863はシリアル・データ入力 (SDI) ピンを持ち、このデータシートの「デジタル」セクションで説明する追加機能をサポートしています (「ADS7861互換性」セクションも参照してください)。

## アナログ

ここでは、デバイスのアナログ入力回路、ADC、およびリファレンスの機能について説明します。

### アナログ入力

各ADCには、入力マルチプレクサから入力が供給されます (図31を参照)。各マルチプレクサは、完全差動2:1構成 (表1) または擬似差動3:1構成 (表2) で使用されます。チャンネル選択は、SDIレジスタのC1およびC0を使用して行われます (「シリアル・データ入力」も参照してください)。

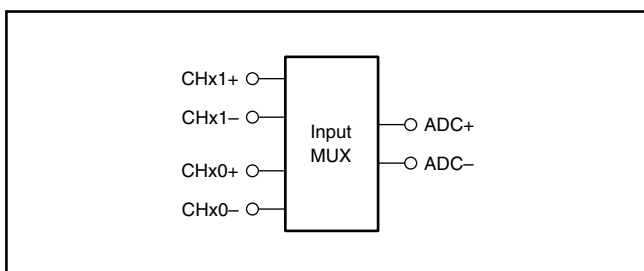


図 31. 入力マルチプレクサ構成

コンバータの入力パスは完全に差動であり、100kHzで72dBの同相除去比となっています。この高いCMRRは、条件の厳しい産業環境でのノイズの抑制にも役立ちます。

| C1 | C0 | ADC+  | ADC-  |
|----|----|-------|-------|
| 0  | 0  | CHx0+ | CHx0- |
| 1  | 1  | CHx1+ | CHx1- |

表 1. 完全差動2:1マルチプレクサ構成

| C1 | C0 | ADC+  | ADC-  |
|----|----|-------|-------|
| 0  | 0  | CHx0+ | CHx0- |
| 0  | 1  | CHx1- | CHx0- |
| 1  | 0  | CHx1+ | CHx0- |

表 2. 擬似差動3:1マルチプレクサ構成

2pFの各サンプル/ホールド・コンデンサ (等価入力回路ではC<sub>S</sub>と表記) は、スイッチを介してマルチプレクサ出力に接続されています。スイッチを開くと、サンプリングされたデータが変換プロセスの間保持されます。変換が完了した後、両方のコンデンサは、1クロック・サイクルにわたって、REF<sub>IN</sub>ピンの電圧へとプリチャージされます。プリチャージの後、マルチプレクサの出力はサンプリング・コンデンサに再び接続されます。通常、アナログ入力ピンの電圧はリファレンス電圧と異なっているため、サンプル・コンデンサは、アクイジション時間t<sub>ACQ</sub>の間に、12ビット精度で1/2LSB以内にまで充電される必要があります (「タイミング特性」を参照)。

アクイジション時間中は、BUSY信号が“Low”に保持されます。この時間は、(前の変換とプリチャージの完了後に) 入力スイッチを閉じることで開始され、CONVST信号の立ち上がりエッジで終了します。ADS7863がフルスピードで動作する場合、アクイジション時間は標準で62.5nsです。

ドライブ・オペアンプの最小-3dB帯域幅は式 (1) で計算できます。ここで、n = 12 (ADS7863の分解能) です。

$$f_{-3dB} = \frac{\ln(2) \times (n + 1)}{2\pi \times t_{ACQ}} \quad (1)$$

t<sub>ACQ</sub> = 62.5nsの場合、ドライブ・アンプの最小帯域幅は23MHzとなります。アプリケーションで許容されるアクイジション時間がこれより長い場合、必要な帯域幅をさらに低くすることができます。

式 (1) の要件をアプリケーションで満足できない場合は、ゲイン誤差が生じます。ただし、プリチャージしたデータについては、直線性とTHDが直接影響を受けることはありません。

ドライブとしてはTexas InstrumentsのOPA365を推奨します。必要な帯域幅を提供することに加え、オフセットが低く、THD特性も優れています。

通常、ドライブ・オペアンプの位相マージンは、ADCのサンプリング・コンデンサによって減少します。このコンデンサとアンプの間に抵抗を接続することで、この影響を緩和できます。そのため、スイッチと直列に200Ωの抵抗 ( $R_{SER}$ ) が内部で接続されています。スイッチ抵抗 ( $R_{SW}$ ) は標準で50Ωです (「等価入力回路」を参照)。

ADCの差動入力電圧範囲は、 $\pm V_{REF}$  (=  $REF_{IN}$ ピンの電圧) です。

入力にDC電流が流れるのを防ぐために、すべての入力への電圧をAGND以下0.3Vおよび $AV_{DD}$ 以上0.3Vの制限内に収めることが重要です。電流が必要なのは、サンプル/ホールド・コンデンサの再充電時だけです。

## ADコンバータ (ADC)

ADS7863には、2MSPS、12ビットのSAR型ADCが2つ搭載されています (このデータシートの先頭ページにある「機能ブロック図」を参照してください)。

## CONVST

アナログ入力は、CONVST (変換開始) 信号の立ち上がりエッジで保持されます。CONVSTのセットアップ時間は、次のCLOCK (システム・クロック) の次の立ち上がりエッジを基準として10ns (最小) です。変換は、CLOCKの立ち上がりエッジで自動的に開始されます。変換中、つまりBUSYが“High”のときには、CONVSTを発行しないでください。

必要なソフトウェアや配線を有効にするために、RD (データ読み出し) とCONVSTは短絡することができます。ADS7863は、CLOCKの立ち下がりエッジでRD信号をトリガします。したがって、これらの結合された信号は、CLOCKの立ち上がりエッジでアクティブにする必要があります。その後、次のCLOCKの立ち上がりエッジで変換が開始されます。

## CLOCK

ADCでは、1MHz~32MHzの範囲の外部クロックを使用します。1回の完全な変換には12クロック・サイクルが必要です。その次のクロック・サイクルはサンプル・コンデンサのプリチャージに使用され、サンプリングには最低2クロック・サイクルが必要です。プロセス全体で最低16クロックが使用され、残りの1クロック・サイクルは、必要なセットアップおよびホールド時間に加え、配線によって生じる遅延時間のためのマージンとなります。変換と変換の間 (変換を完了させるための16番目の立ち下がりエッジの後) は、クロック入力は“Low”に保持することができます。また、デバイスがCHBxで変換を行う必要がない場合 (例えば、パワーアップ後の初期化フェーズ中など) には、14回目の立ち下がりエッジの後、DACレジスタの書き込みアクセス中にクロック入力を“Low”に保持することもできます。

CLOCKのデューティ・サイクルは50%とします。ただし、ADS7863は30%~70%のデューティ・サイクルでも正しく動作します。

## リセット

ADS7863は、パワーオン・リセット機能を備えています。デバイスのパワーアップ時、POR回路は $AV_{DD}$ が1.5Vに達するとデバイスをデフォルト・モードに設定します。パワーダウン時には、POR回路は $AV_{DD}$ が125mV以下の状態を350ms以上継続される事が必要で、これにより内部コンデンサを放電させ、次の再パワーアップ時の動作を確実にします。 $AV_{DD}$ が400mV以下でも125mV以上が保持されていた場合、POR回路のコンデンサは完全に放電されないため、ADS7863は $AV_{DD}$ が立ち上がった後に適正な外部よりのソフトウェア・リセットが必要です。(図32にて“Undefined Zone”と示されています) 外部よりのソフトウェア・リセットは、SDIレジスタのビット[A2:A0]を使用して実行できます。(「デジタル」セクションを参照)

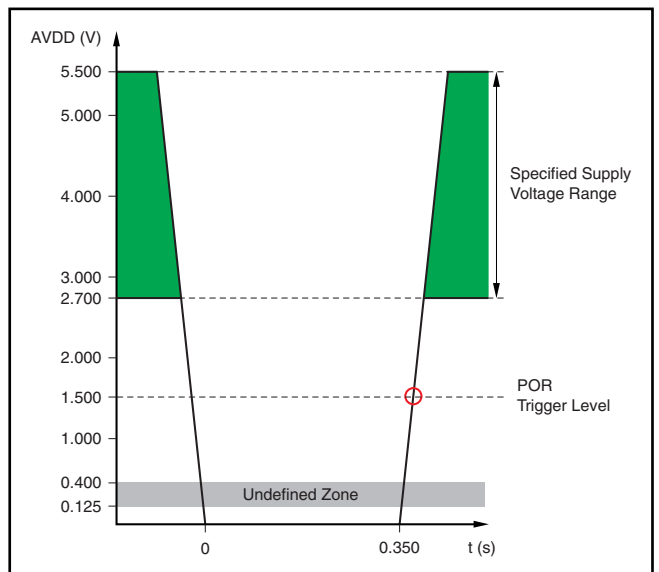


図 32. PORの関連電圧レベル

## REF<sub>IN</sub>

リファレンス入力はバッファリングされず、ADCに直接接続されます。内部のスイッチングにより、コンバータはリファレンス入力電圧にスパイクを発生させます。そのため、アナログ・グランド (AGND) に外部コンデンサを使用して、リファレンス入力電圧を安定させる必要があります。このコンデンサは最低470nFが必要です。最大1μFの値を持つセラミック・コンデンサ (X5Rタイプ) が、0402サイズのSMDとして一般に提供されています。

## REF<sub>OUT</sub>

ADS7863には、低ドリフトの2.5V内部リファレンス・ソースが搭載されています。このソースは、シリアル・インターフェイスを介して制御される10ビットのストリングDACにリファレンスを供給しています。このアーキテクチャにより、REF<sub>OUT</sub>ピンの電圧を2.44mVステップでプログラミングできますので、特定のアプリケーション要件に合わせて、追加の外部部品なしで調整することが可能です。

ただし、リファレンス出力バッファが正しく機能するためには、DAC出力電圧を0.5Vより低く設定してはなりません。このバッファはDACとREF<sub>OUT</sub>ピンの間に接続されていて、REF<sub>IN</sub>ピンのコンデンサをドライブすることができます。リファレンスを安定に保つために、最低470nFの容量が必要です(前述のREF<sub>IN</sub>の説明を参照)。外部リファレンス・ソースを使用するアプリケーションの場合は、SDIレジスタのRPビットを使用して内部リファレンスをディセーブルにできます(「デジタル」セクションを参照)。リファレンス・コンデンサを接続したときのREF<sub>OUT</sub>ピンのセトリング・タイムは最大500μsです。パワーアップ後のREF<sub>OUT</sub>ピンのデフォルト値は2.5Vです。

2.7Vのアナログ電源と2.5Vのリファレンスを使用して動作する場合、内部リファレンス・バッファにはレール・ツー・レールの入力および出力が必要です。一般に、そのようなバッファには2つの入力段が含まれます。入力電圧が中程度の領域を超えると、2つの入力段間でのスイッチングにより、出力にトランジションが発生します。この電圧範囲では、一般に、レール・ツー・レール・アンプの電源除去性能は非常に低くなります。

そのため、ADS7863のバッファではDACコード509(0x1FD)での固定トランジションが行われます。このコードでは、DACの伝達関数に最大10mVのジャンプが生じる場合があります。

## デジタル

ここでは、ADS7863のシリアル・インターフェイスのタイミングおよび制御について説明します。

### シリアル・データ入力 (SDI)

シリアル・データ入力であるSDIピンは、RDとCLOCKの各立ち上がりエッジでADS7863にクロック・インされます。SDIレジスタのデータ・ワード長は12ビットです。表3に、レジスタ構造を示します。データは、MSBファーストで転送する必要があります。表4~表6に、このレジスタの各ビットを示します。パワーアップ後のこのレジスタのデフォルト値は0x000です。

| SDIレジスタ・ビット |    |    |    |    |   |    |    |    |    |    |    |
|-------------|----|----|----|----|---|----|----|----|----|----|----|
| 11          | 10 | 9  | 8  | 7  | 6 | 5  | 4  | 3  | 2  | 1  | 0  |
| C1          | C0 | P1 | P0 | DP | N | AN | RP | S4 | A2 | A1 | A0 |

表 3. SDIレジスタの内容

| C1 | C0 | ADC A/B     |             |
|----|----|-------------|-------------|
|    |    | 正入力         | 負入力         |
| 0  | 0  | CHA0+/CHB0+ | CHA0-/CHB0- |
| 0  | 1  | CHA1-/CHB1- | CHA0-/CHB0- |
| 1  | 0  | CHA1+/CHB1+ | CHA0-/CHB0- |
| 1  | 1  | CHA1+/CHB1+ | CHA1-/CHB1- |

表 4. C1およびC0: チャンネル選択

| P1 | P0 | 機能                |
|----|----|-------------------|
| 0  | 0  | 追加機能は変更なし         |
| 0  | 1  | 追加機能の更新           |
| 1  | 0  | 工場でのテスト用に予約(使用禁止) |
| 1  | 1  | 追加機能は変更なし         |

表 5. P1およびP0: 追加機能のイネーブル

- DP**: ディープ・パワーダウンのイネーブル('1' = ディープ・パワーダウン・モード)
- N**: ナップ(一時停止)・パワーダウンのイネーブル('1' = ナップ・パワーダウン・モード)
- AN**: 自動ナップ・パワーダウンのイネーブル('1' = 自動ナップ・パワーダウン・モード)
- RP**: リファレンス・パワーダウン('1' = リファレンスがオフ)
- S4**: モードIIおよびIVの特別読み出しモード('1' = 特別モードがイネーブル)

| A2 | A1 | A0 | 機能             |
|----|----|----|----------------|
| 0  | 0  | 0  | 設定なし           |
| 0  | 0  | 1  | 次のアクセスでDAC書き込み |
| 0  | 1  | 0  | 設定なし           |
| 0  | 1  | 1  | 次のアクセスでDAC読み出し |
| 1  | 0  | 0  | 設定なし           |
| 1  | 0  | 1  | デバイスのリセット      |
| 1  | 1  | 0  | 設定なし           |
| 1  | 1  | 1  | 設定なし           |

表 6. A2, A1, およびA0: DAC制御およびデバイス・リセット

すべての追加機能は、RDパルス発行後12回目のCLOCK信号の立ち上がりエッジでアクティブになります。

リファレンスDACは、12ビットDACレジスタで制御されます。このレジスタには、SDIピンを使用してもアクセスできません(詳細については、図41を参照してください)。表7にこのレジスタの内容を示します。パワーアップ後のデフォルト値は0x3FFです。

| DACレジスタの内容       |    |     |      |      |      |      |      |      |      |      |      |
|------------------|----|-----|------|------|------|------|------|------|------|------|------|
| 11               | 10 | 9   | 8    | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
| X <sup>(1)</sup> | X  | MSB | ビット8 | ビット7 | ビット6 | ビット5 | ビット4 | ビット3 | ビット2 | ビット1 | ビット0 |

表 7. DACレジスタの内容

(1) X = don't care.



## シリアル・データ出力 (SDOx)

SDOxピン上の変換されたデータは、RDパルス発生後3回目のCLOCKの立ち下がりエッジで有効になります。以降のセクションでは、各動作モードについて詳しく説明します。

表9に示されるように、ADS7863のデジタル出力コード形式は、2の補数バイナリです。

## タイミングと制御

**重要:** 「タイミング特性」に示されている詳細タイミング図(図1)およびCONVSTタイミング図(図2)を確認してください。最大のデータ・スループットを得るために、このデータシートの説明および図では、CONVSTピンとRDピンが互いに接続されていると仮定しています。これらのピンはそれぞれ独立にも制御できることに注意してください。

ADS7863の動作は、モード・ピンM0およびM1を使用して、表8に示す4つの異なるモードに設定できます。

ピンM0は、チャンネル選択を手動または自動のいずれかに設定します。手動モードでは、SDIレジスタのビットC[1:0]を使

用して、チャンネルCHx0およびCHx1の選択を行います。自動モードでは、SDIレジスタのビットC[1:0]は無視され、チャンネル選択は各変換後にデバイスによって制御されます。ピンM1は、シリアル・データがSDOAおよびSDOBの両方の出力で各チャンネルに対して同時に転送されるか、またはSDOA出力だけを使用して両方のチャンネルからのデータを転送するかを選択します(詳細については、図33~図40、および関連する説明を参照してください)。

| M0 | M1 | チャンネル選択   | 使用するSDOx    |
|----|----|-----------|-------------|
| 0  | 0  | 手動(SDI経由) | SDOAおよびSDOB |
| 0  | 1  | 手動(SDI経由) | SDOAのみ      |
| 1  | 0  | 自動        | SDOAおよびSDOB |
| 1  | 1  | 自動        | SDOAのみ      |

表 8. M0/M1の真理値表

また、SDIピンはデバイスの機能の制御に使用されます。詳細については、「シリアル・データ入力」を参照してください。

| 説明             | 差動入力電圧<br>(CHXX+) - (CHXX-) | CHXX+の入力電圧<br>(CHXX- = V <sub>REF</sub> = 2.5V) | バイナリ・コード       | 16進コード |
|----------------|-----------------------------|---|----------------|--------|
| 正のフルスケール       | V <sub>REF</sub>            | 5V  | 0111 1111 1111 | 7FF    |
| ミッドスケール        | 0V                          | 2.5V  | 0000 0000 0000 | 000    |
| ミッドスケール - 1LSB | -V <sub>REF</sub> /4096     | 2.49878V  | 1111 1111 1111 | FFF    |
| 負のフルスケール       | -V <sub>REF</sub>           | 0V  | 1000 0000 0000 | 800    |

表 9. ADS7863の出力データ形式

## モードI

M0ピンとM1ピンを両方とも '0' に設定すると、ADS7863は手動チャンネル制御モードになり、SDOAとSDOBの両方でそれぞれデータを出力します。SDIピンは、チャンネル間で切り替えを行います。変換は、CONVSTを“High”にすることで開始されます。

1回の変換を実行するのに16クロック・サイクルが必要です。CONVSTの立ち上がりエッジで、ADS7863は外部CLOCKとは非同期にサンプルからホールド・モードへと切り替わります。

少しの遅延時間( $t_{12}$ )の後、BUSY出力ピンが“High”になり、変換サイクルの間“High”に保持されます。2回目のCLOCKサイクルの立ち下がりエッジで、ADS7863は、SDIレジスタのビットC[1:0]の状態に応じて、次の変換サイクルを行うチャンネルをラッチします。両方のシリアル出力をイネーブルにするため、 $\overline{CS}$ は“Low”にする必要があります。データは、変換1回あたり16クロック・サイクルごとの立ち下がりエッジで有効になります。最初の2ビットは '0' に設定されます。以降に続くデータが12ビットの変換結果となり(MSBファースト)、その後2つの '0' が続きます(図1および図33を参照)。

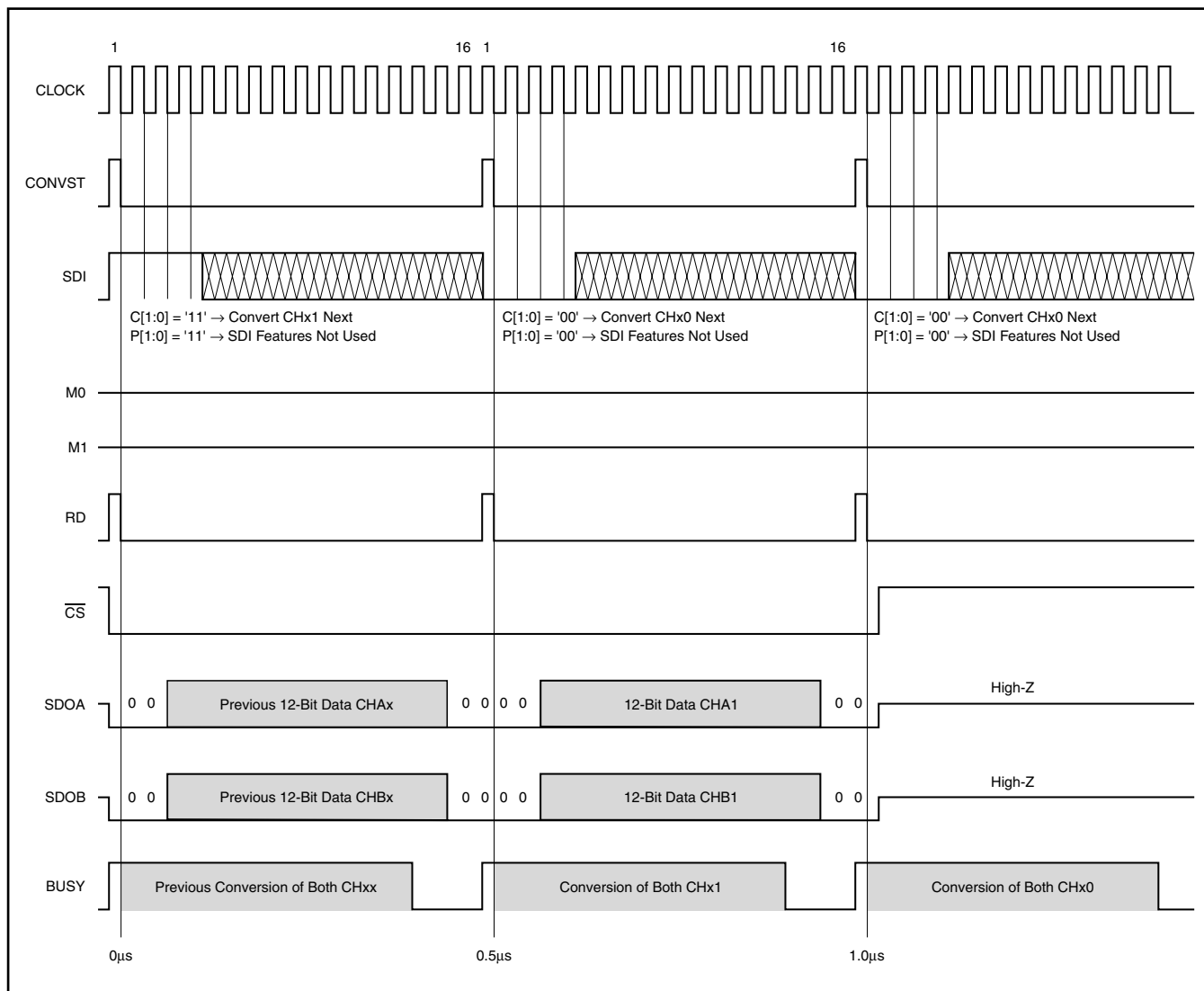


図 33. モードIのタイミング図(M0 = 0、M1 = 0)

## モードII

M0 = '0' で、M1が '1' に設定されると、ADS7863は手動チャンネル制御モードで動作し、SDOAピンのみでデータを出力して、SDOBは3ステートに設定されます。他のピンはすべて、モードIの場合と同じように機能します。

両方のADCから結果を出力するのに32クロック・サイクル (M1 = '0' の場合は16サイクル) がかかるため、ADS7863は変換/

読み出しサイクルを完了するのに1.0 $\mu$ s必要とします。モードIと同様にCONVST信号が0.5 $\mu$ sごとに発行 (RD信号に対して必要) されると、2番目のパルスは毎回無視されます。図34を参照してください。

出力データは、1つの '0' から始まり、ADCの区別ビット (CHAxの場合は '0'、CHBxの場合は '1')、12ビットの変換データ、そして最後に'00'が続きます。

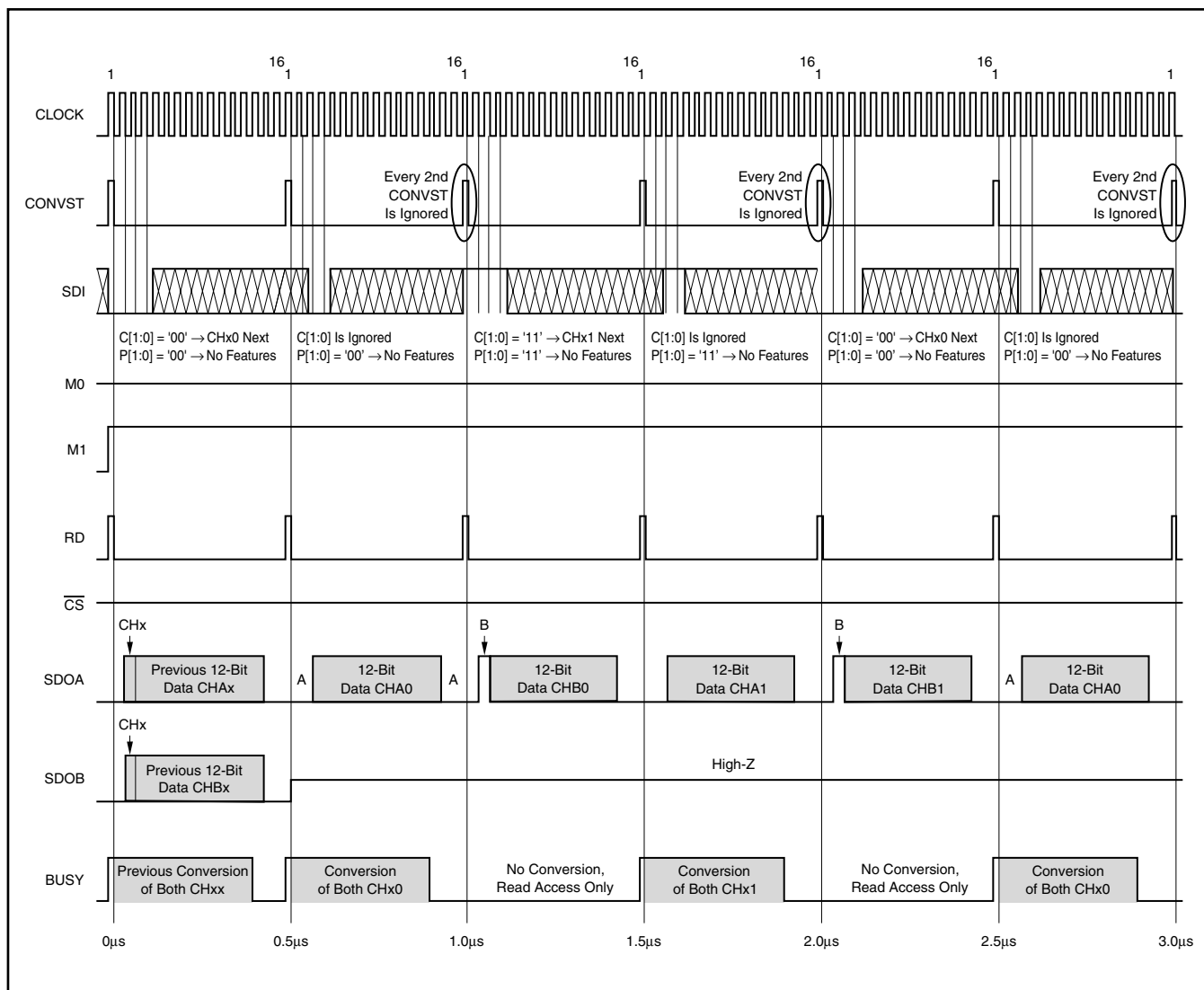


図 34. モードIIのタイミング図 (M0 = 0、M1 = 1)

### モードIII

M0が '1' に設定され、M1 = '0' の場合、ADS7863は各入力を自動的に切り替えながら動作し (SDIレジスタのビットC[1:0]を無視)、CHAxの変換結果をSDOAで、CHBxの変換結果をSDOBで出力します (図35)。

出力データは、チャンネルの区別ビット (CHx0の場合は '0'、CHx1の場合は '1')、1つの '0'、12ビットの変換データ、そして最後に '00' が続きます。

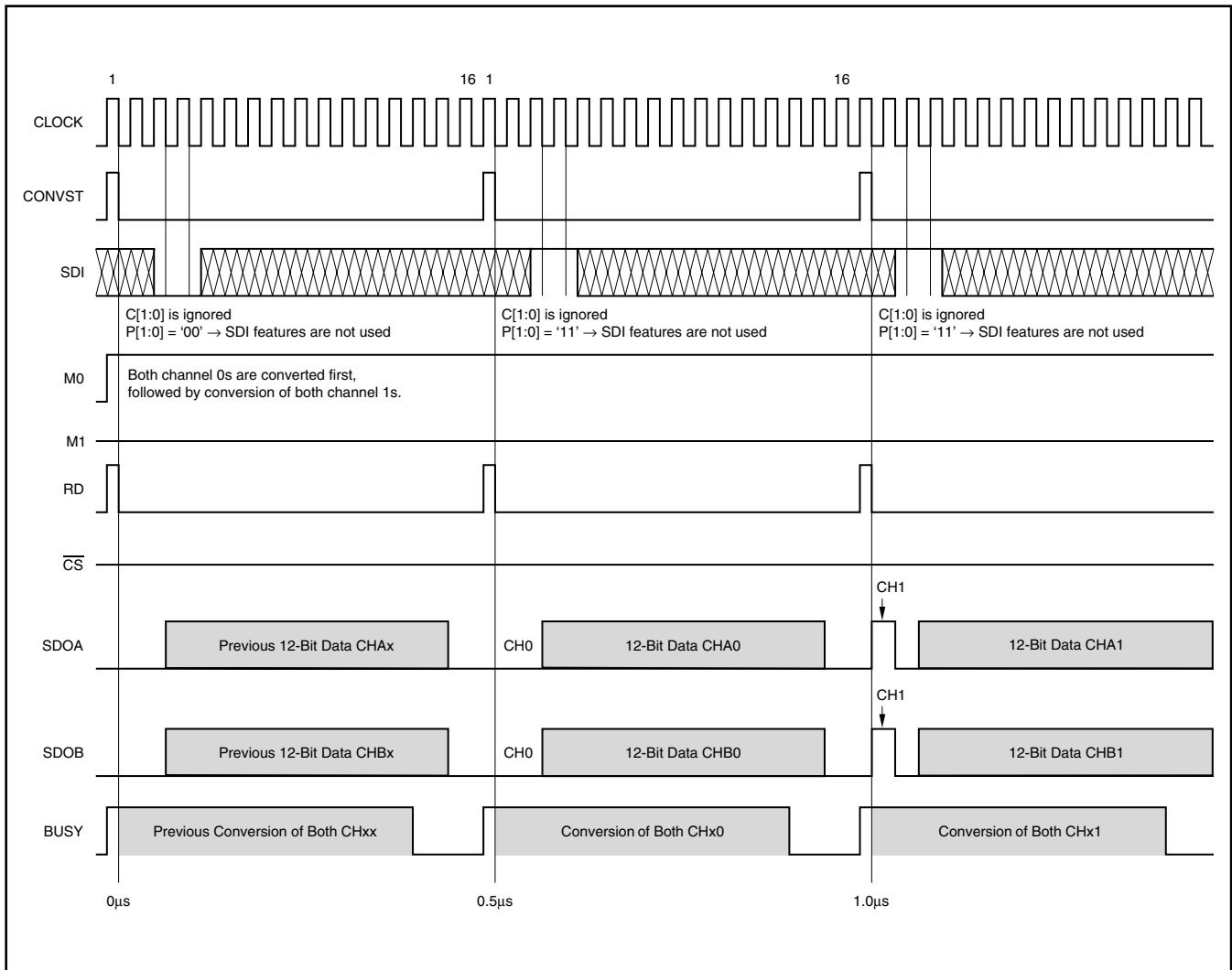


図 35. モードIIIのタイミング図 (M0 = 1、M1 = 0)

## モードIV

モードIVでは、各入力チャンネルを自動的に切り替えながら、モードIIと同様にSDOA出力ラインのみでデータを出力します。M1が“High”になった後の最初の変換に続いて、SDOB出力は3状態になります(図36を参照)。

出力データは、チャンネルの区別ビット(CHx0の場合は‘0’、CHx1の場合は‘1’)、ADCの区別ビット(CHAxの場合は‘0’、CHBxの場合は‘1’)、12ビットの変換データ、そして最後に‘00’が続きます。

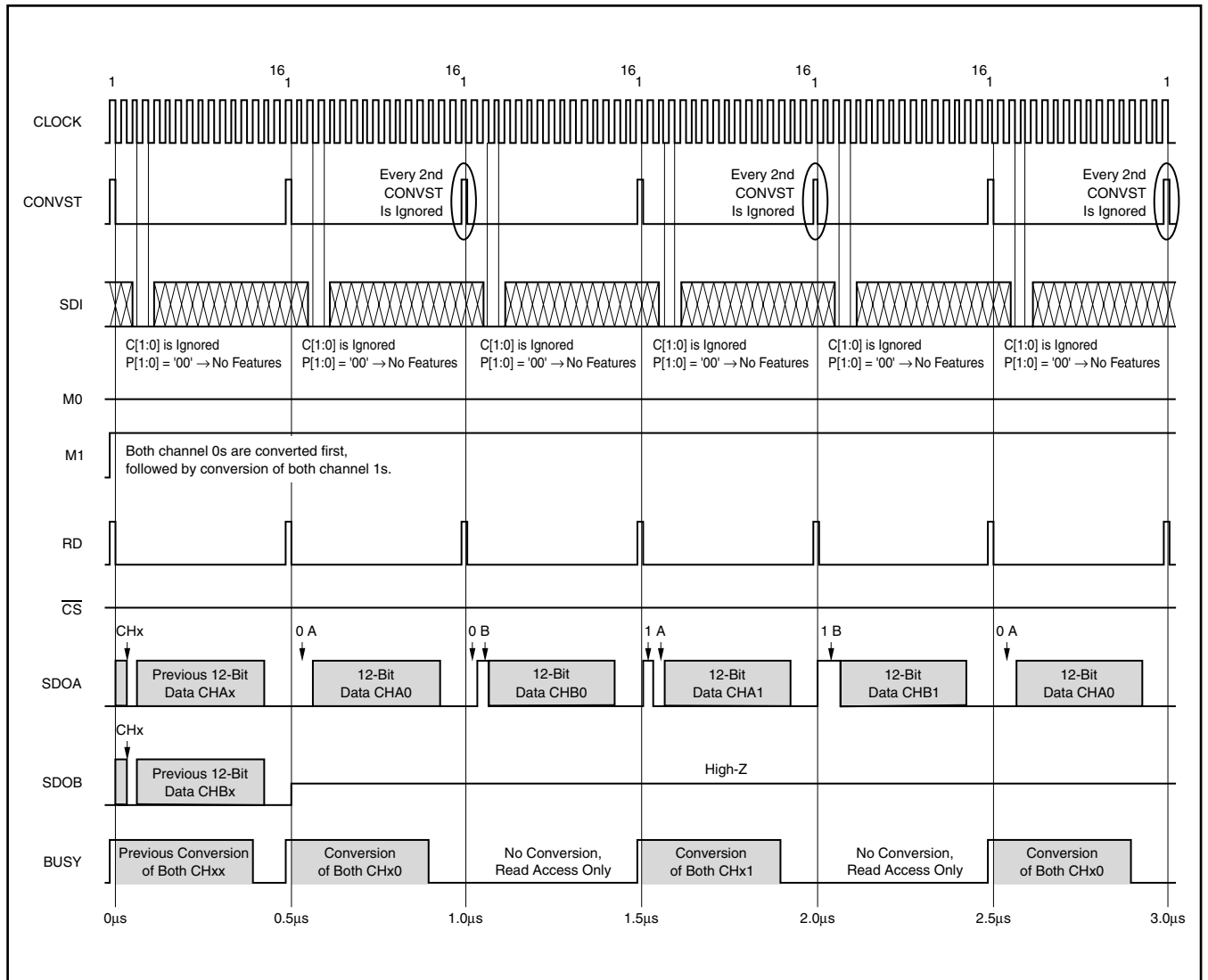


図 36. モードIVのタイミング図(M0 = 1、M1 = 1)

## 特別モードII (ADS7861非互換)

モードIIに対して、ADS7863では特別な読み出しモードが用意され、1つのRDパルスのトリガによって両方の変換結果データを読み出すことができます。このモードをアクティブにするには、SDIレジスタのビットS4を '1' に設定する必要があります(「シリアル・データ入力」も参照)。

CONVSTおよびRDピンは互いに接続したままでかまいませんが、16 CLOCKサイクルごとに発行する必要はありません。出力データはSDOAとSDOBの両方の端子に出力されます。図37に、この特別な読み出しモードを示します。

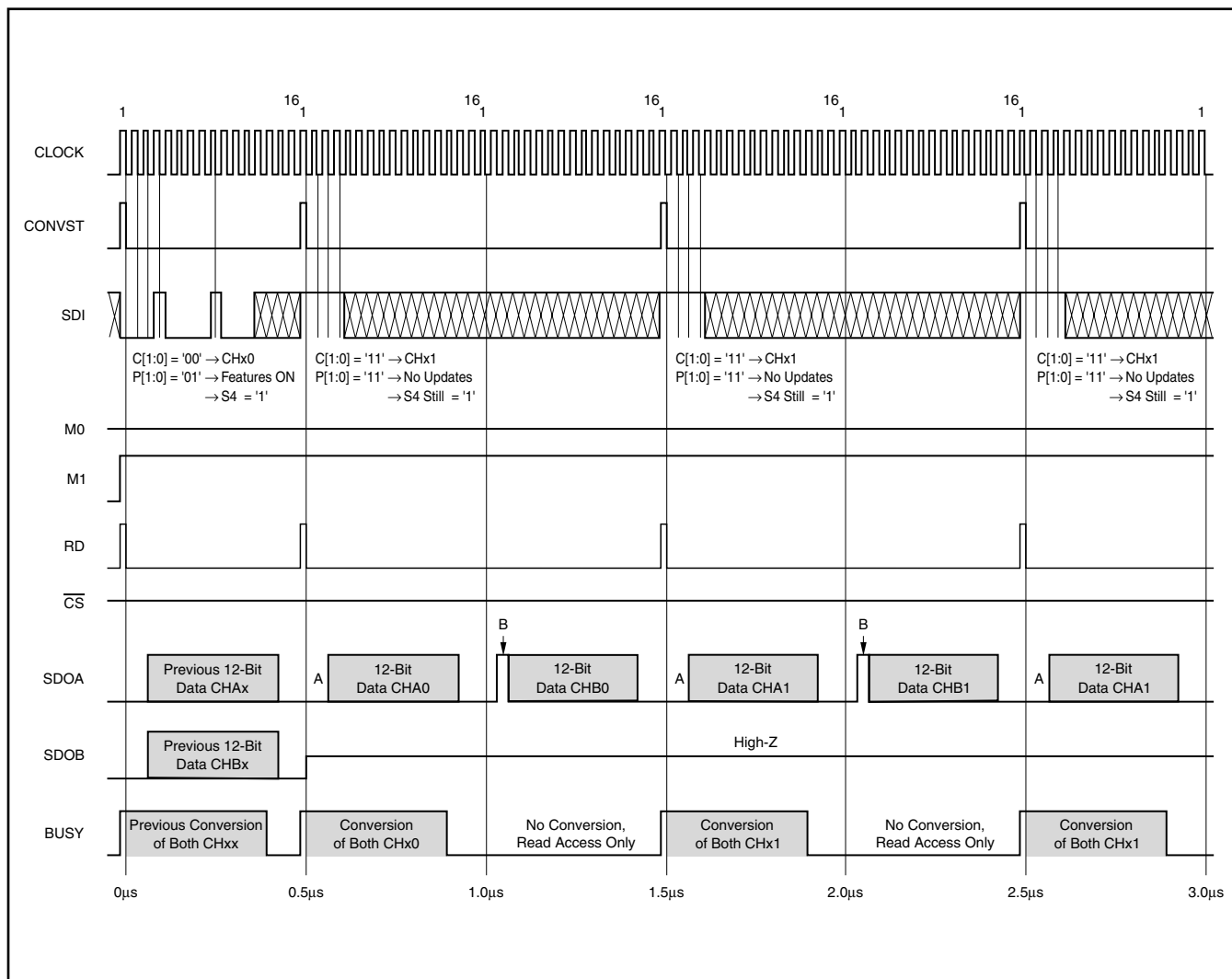


図 37. 特別モードIIのタイミング図(M0 = 0、M1 = 1、S4 = 1)

## 特別モードⅣ (ADS7861非互換)

特別モードⅡと同様に、ADS7863ではモードⅣにも特別な読み出しモードが用意され、1つのRDパルスのトリガによって両方の変換結果データを読み出すことができます。この場合も、SDIレジスタのビットS4を '1' に設定する必要があり、CONVSTピンとRDピンは接続したままでかまいません。

特別モードⅡと同様に、この2つのピンを16 CLOCKサイクルごとに発行する必要はありません。データはSDOAピンに出力されます。

この特別読み出しモード (図38) は、モードⅠまたはモードⅢにはありません。

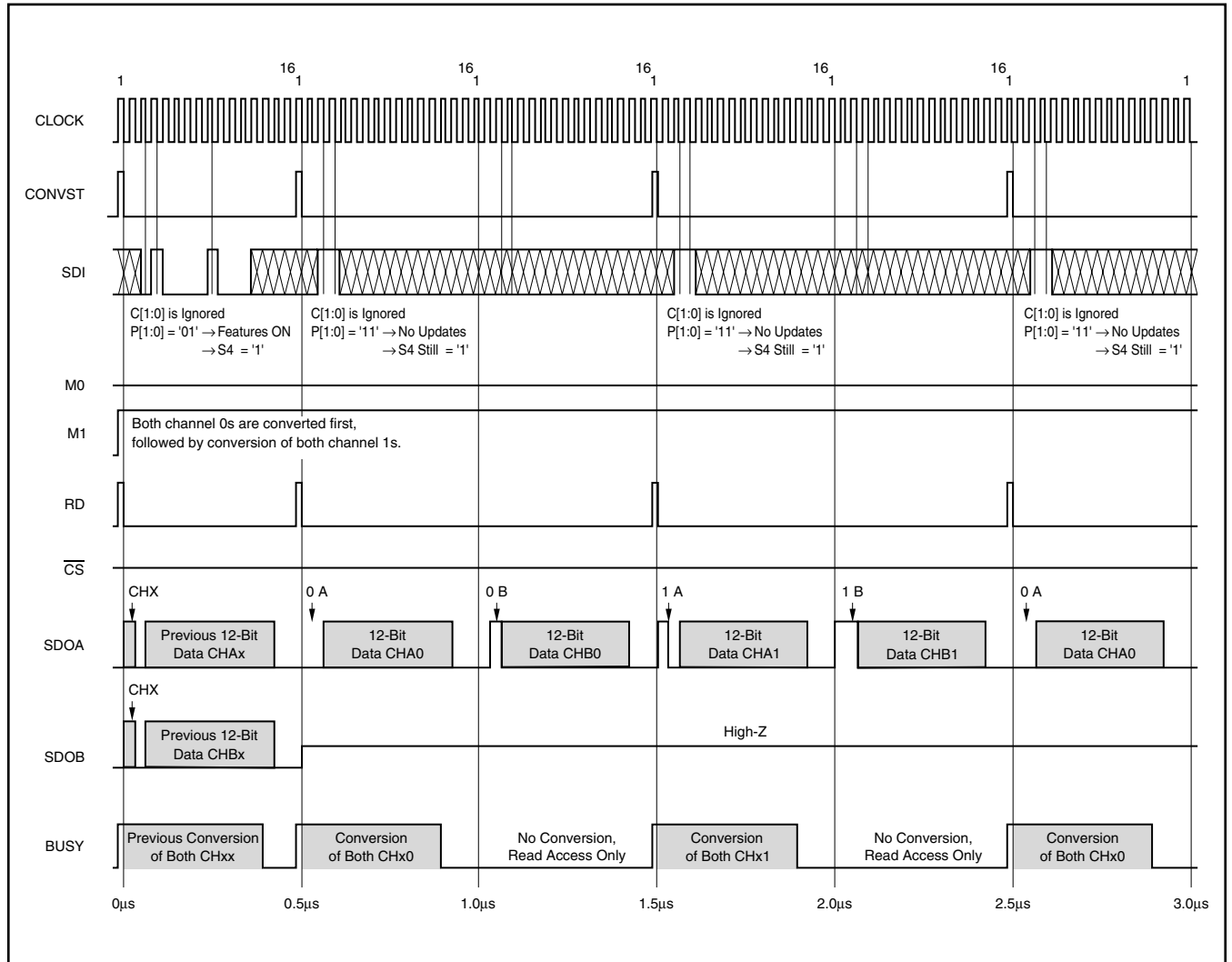


図 38. 特別モードⅣのタイミング図 (M0 = 1、M1 = 1、S4 = 1)

## 擬似差動モードI (ADS7861非互換)

モードIで、ADS7863の入力マルチプレクサは擬似差動構成でも動作できます。この場合、SDIのビットC[1:0]を使用して、チャンネルを適切に選択する必要があります。

詳細については、「シリアル・データ入力」を参照してください。データはSDOAとSDOBの両方の端子に出力されます。

モードIIIまたはモードIVでは、入力マルチプレクサを擬似差動信号に対して使用することはできません。

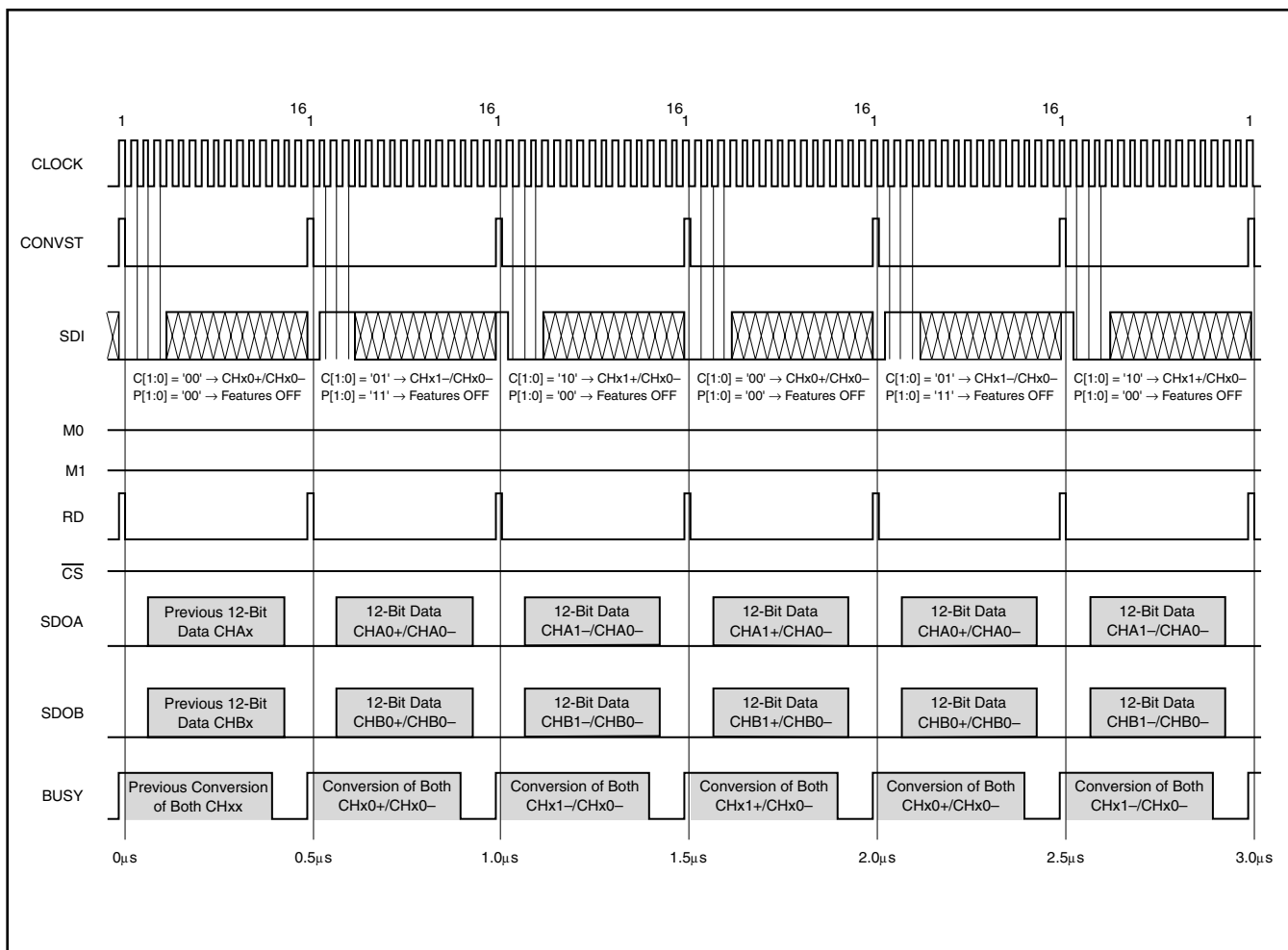


図 39. 擬似差動モードI (M0 = 0、M1 = 0)



## 擬似差動モードII (ADS7861非互換)

特モードIIで、ADS7863の入力マルチプレクサは擬似差動構成でも動作できます。この場合、出力はSDOA端子のみに出力され、SDOBは3ステートに保持されます。

チャンネルの切り替えは、SDIレジスタのC[1:0]ビットを適切

に設定することで行われます(「シリアル・データ入力」も参照してください)。

モードIIIまたはモードIVでは、入力マルチプレクサを擬似差動信号に対して使用することはできません。

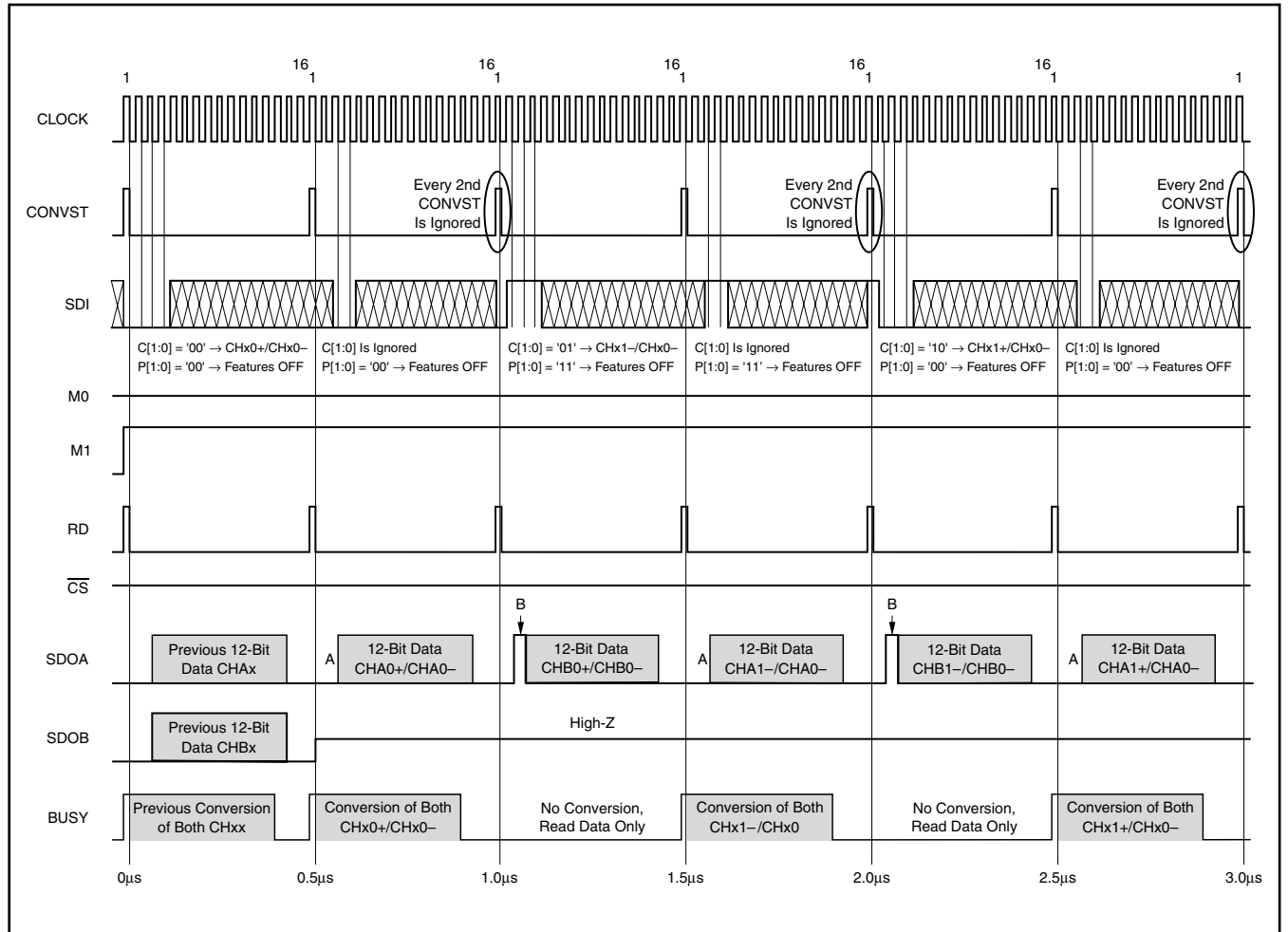


図 40. 擬似差動モードII (M0 = 0、M1 = 1)

## リファレンスDACのプログラミング (ADS7861非互換)

内部リファレンスDACは、SDIワードにP[1:0] = '01' およびA[2:0] = '001' を設定して、RDパルスを発行することにより設定できます。その後、無視される最初の2ビットに続いて実際の10ビットDAC値を設定したSDIワードとともに、2回目のRDパルスを生成する必要があります(図41を参照)。

DAC設定を確認するには、SDIワードにP[1:0] = '01' およびA[2:0] = '011' を設定してDAC読み出しアクセスを初期化

し、RDパルスを生成する必要があります。RDラインを再度トリガすると、SDOA出力から、'0000'、10ビットのDAC値、'00' の順に送信されます。2回目のRDアクセスの間、SDIのデータは無視されます。モードIおよびモードIIIでは、チャンネルBの有効な変換データがSDOBに出力され、チャンネルAの変換結果は失われます。パワーオン後のDACレジスタのデフォルト値は0x3FFであり、REF<sub>OUT</sub>ピンのリファレンス電圧2.5Vに対応します。

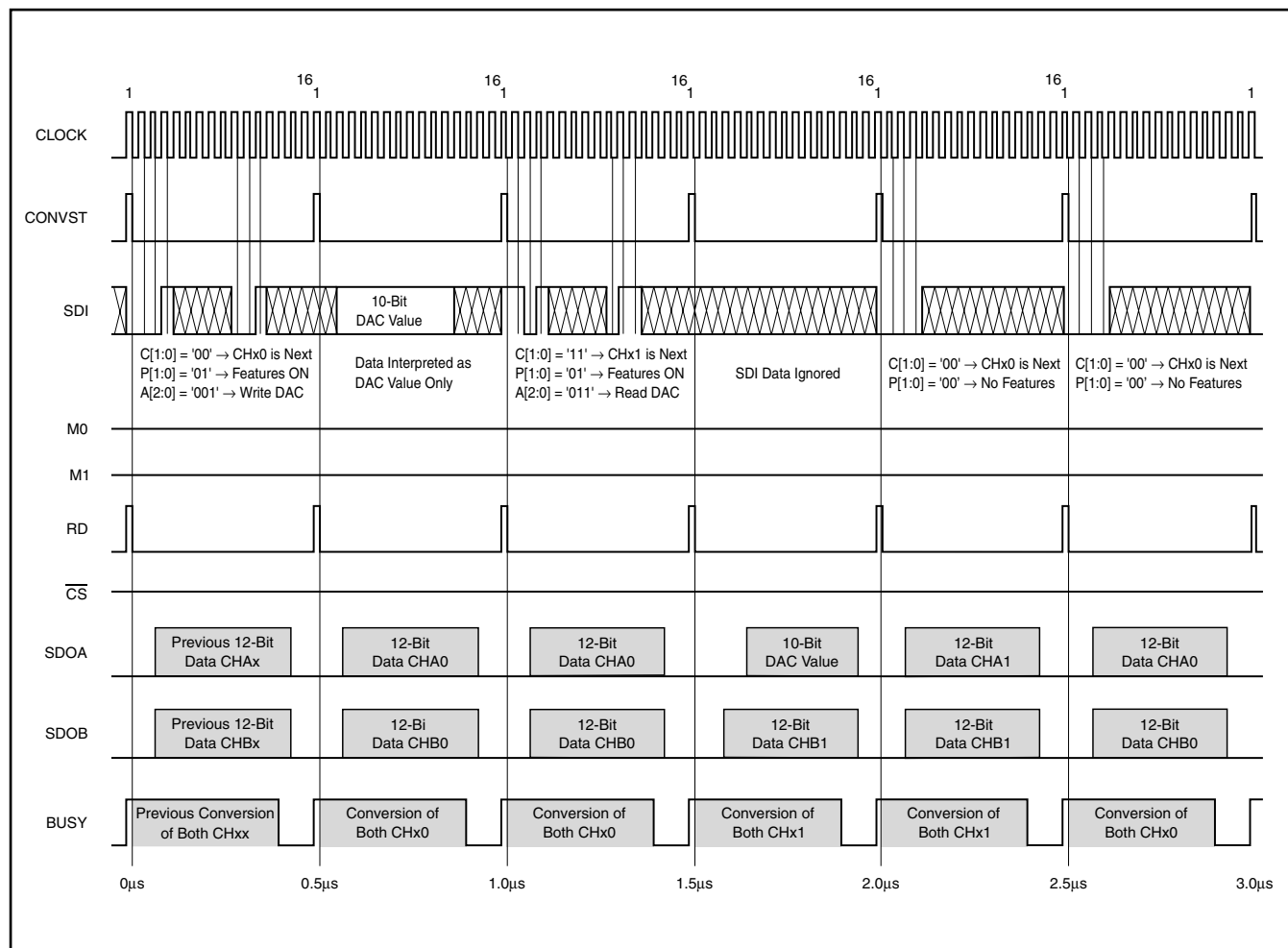


図 41. DAC書き込み/読み出しアクセス・タイミング図

## パワーダウン・モードおよびリセット (ADS7861非互換)

ADS7863は、包括的なパワーダウン機能を備えています。パワーダウン・モードには、ディープ・パワーダウン、ナップ・パワーダウン、自動ナップ・パワーダウンの3つがあります。3つのパワーダウン・モードはすべて、対応するビットがアサート(DP = '1'、N = '1'、またはAN = '1')されたSDIアクセスの12回目のCLOCK立ち下がりエッジでアクティブになります。どのモードも、SDIレジスタの対応するビットをデアサートすることで非アクティブになります。SDIレジスタの内容は、これらのパワーダウン・モードによって影響を受けません。ディープまたはナップ・パワーダウンが開始されると、実行中の変換は中止されます。表10に、3つのパワーダウン・モードの違いを示します。

ディープ・パワーダウン・モードでは、デジタル・インターフェイス以外のすべての機能ブロックがディスエーブルになります。アナログ・ブロックは、バイアス電流がオフになります。このモードでは、2 $\mu$ s以内に消費電力が1 $\mu$ Aまで低下します。ディープ・パワーダウン・モードからのウェイクアップ時間は1 $\mu$ sです。

ナップ・パワーダウン・モードでは、ADS7863はコンパレータおよび中間電圧バッファのバイアスを200ns以内にオフにします。デバイスは、変換状態に関係なくナップ・パワーダウン・モードになります。

自動ナップ・パワーダウン・モードは、ナップ・モードとよく似ています。唯一の違いは、デバイスのパワーダウンとウェイクアップの方法です。SDIレジスタのANビットは、この機能のイネーブル/ディスエーブルにのみ使用されます。自動ナップ・モードがイネーブルの場合、ADS7863は変換の完了後にバイアスを自動的にオフにします。つまり、自動ナップ・パワーダウンは変換の終了によってアクティブになります。このモードでも、デバイスは200ns以内にパワーダウンします。CONVSTパルスの印加によって新たな変換をトリガすると、デバイスは通常動作に戻り、6CLOCKサイクル後に新しい変換が自動的に開始されます。したがって、1回の変換サイクルの完了には19CLOCKサイクルかかります。その結果、自動ナップ・パワーダウン・モードでは、最大スループット・レートは1.68MSPSに低下します。

デバイス・リセットを発行するには、SDIワードにA[2:0] = '101'を設定してRDパルスを生成する必要があります。RDパルス生成後12回目の立ち下がりエッジで、シリアル・インターフェイスを含むデバイス全体が強制的にリセットされます。約500ns後に、シリアル・インターフェイスは再びアクティブになります。

## ADS7861互換性

ADS7863IDBQは、ADS7861E/EB/EG4とピン・コンパチブルです。ただし、この2つのデバイスにはいくつかの違いがあり、既存の設計でADS7861からADS7863に移行するにはそれを考慮する必要があります。

### SDIとA0

違いの1つは、ADS7863のSDIレジスタを更新するピン16 (A0)が、ADS7861ではM0とともに入力チャンネルの選択に使用されることです。

既存の設計で、ADS7861が2チャンネル・モード (M0 = '0') で使用され、変換開始 (CONVSTの立ち上がりエッジ) 発行後の最初の4クロック・サイクル内でA0ピンの状態が変化しない場合には、ADS7863はADS7861と同様に動作し、チャンネルCHx0 (期間全体でSDIが "Low" の場合) またはチャンネルCHx1 (期間全体でSDIが "High" の場合) を変換します。図34に、そのような状況でのADS7863の動作を示します。

ADS7863は、4チャンネル・モード (M0 = '1') で動作する場合にも、ADS7861の代わりに使用できます。この場合、A0ピンは "High" または "Low" に固定します。また、SDIレジスタが誤って更新されるのを防ぐために、SDIも固定する必要があります。

上記のいずれの場合も、ADS7863の追加機能 (擬似差動入力モード、プログラミング可能なリファレンス電圧出力、異なるパワーダウン・モード) にはアクセスできませんが、ハードウェアおよびソフトウェアによってはADS7861との互換性をもつことができます。

### REF<sub>IN</sub>

ADS7863は、プログラミング可能なバッファ付きリファレンス出力 (REF<sub>OUT</sub>) を備える一方で、コード依存の入力インピーダンスを持つバッファなしのREF<sub>IN</sub>入力を提供します。ADS7861は、高インピーダンス (バッファ付き) のリファレンス入力を備えます。既存のADS7861ベースの設計で、デバイスの内部リファレンスを使用し、外部の抵抗デバイダを使用してADCの入力電圧範囲を調整している場合、ADS7863への移行には、次のいずれかの条件が必要です。

- 外部抵抗を除去して、SDI経由で内部リファレンスDACを適切に設定するようソフトウェアを変更する。または
- 抵抗デバイダと、REF<sub>IN</sub>入力に必要な470nF (最小) のコンデンサとの間に、外部バッファを追加する。

| パワーダウンの種類 | イネーブル条件  | アクティブになるタイミング | アクティブ化時間  | 復帰条件      | 再アクティブ化時間 | ディスエーブル条件 |
|-----------|----------|---------------|-----------|-----------|-----------|-----------|
| ディープ      | DP = '1' | 13回目のクロック     | 2 $\mu$ s | DP = '0'  | 1 $\mu$ s | DP = '0'  |
| ナップ       | N = '1'  | 13回目のクロック     | 200ns     | N = '0'   | 3クロック     | N = '0'   |
| 自動ナップ     | AN = '1' | 自動ナップ各変換の終了時  | 200ns     | CONVSTパルス | 3クロック     | AN = '0'  |

表 10. パワーダウン・モード

後者の場合、コンデンサにより変換全体にわたってリファレンス電圧が安定しますが、バッファは平均電流のみを提供して再充電する必要があります。したがって、バッファの必要な最小帯域幅は式(2)で計算できます。

$$f_{-3dB} = \frac{\ln(2) \times 2}{2\pi \times 16 \times T_{CLK}} \quad (2)$$

バッファは、安定性を保ちながら470nFの負荷をドライブする必要があります。

## タイミング

既存のADS7861ベースの設計でADS7863の誤動作を引き起こす可能性のある唯一のタイミング要件は、CONVSTの“High”時間( $t_1$ )です。これは最小20nsと指定されていますが、ADS7861は15nsのパルスでも適切に動作します。他のすべての必要な最小セットアップおよびホールド時間は、ADS7863と同じかまたは短いため、ADS7861の要件と矛盾することはありません。

## アプリケーション情報

ADS7863の絶対最小構成を図42に示します。この場合、ADS7863はデュアル・チャンネル・モードでのみ使用され、パワーアップ後のデバイス設定はデフォルト値です。

この構成では、アンプの入力信号がADS7863の同相電圧条件を満たす必要があります。抵抗およびコンデンサの実際の値は、アプリケーションの帯域幅および性能要件によって異なります。

これらの値は式(3)で計算でき、 $n$ はADS7863の分解能である12です。

$$f_{FILTER} = \frac{\ln(2) \times (n+1)}{2 \times \pi \times 2 \times R \times C} \quad (3)$$

最低20pFのコンデンサを使用することを推奨します。

アキュジション時間を考慮し、各直列抵抗の値は式4で計算できます( $n$ はADS7863の分解能である12です)。

$$R = \frac{t_{ACQ}}{\ln(2) \times (n+1) \times 2 \times C} \quad (4)$$

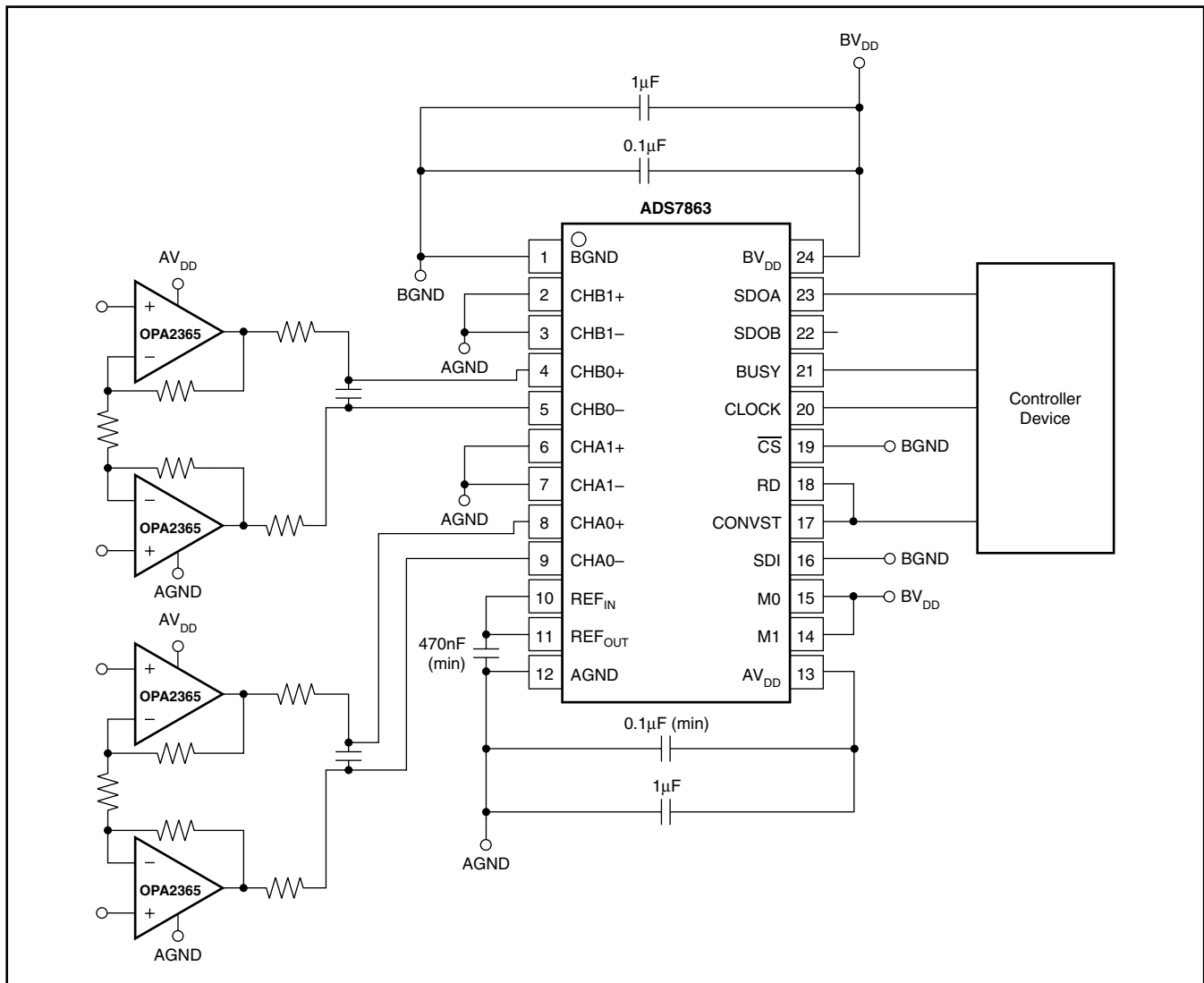


図 42. ADS7863の最小構成

## レイアウト

最適なパフォーマンスを得るためには、ADS7863の回路のレイアウトに注意する必要があります。CLOCK入力に最大スループット・レートに近く場合、この条件は特に重要となります。この場合、CLOCKとCONVSTの間の位相関係を固定することを推奨します。デジタル・インターフェイスがSPIモードで動作するときに、最高の性能を達成できます。そのため、CLOCK信号は16回目のサイクル後にオフにし、CONVSTの発行時には“Low”に保持します。

また、基本的なSARアーキテクチャは、アナログ・コンパレータの出力をラッチする直前に、電源、リファレンス、グランド接続、デジタル入力で発生する、グリッチや急激な変化に対して非常に敏感です。そのため、“nビット” SARコンバータの任意の1回の変換中には、大きな外部過渡電圧が変換結果に影響を及ぼしやすくなるn個の“ウィンドウ”が存在します。このようなグリッチは、スイッチング電源や、付近のデジタル・ロジック、高電力デバイスなどから発生する可能性があります。デジタル出力の誤差の程度は、リファレンス電圧やレイアウト、さらに外部イベントの正確なタイミングによって変化します。CLOCK入力に対する外部イベントのタイミングが変化すると、これらの誤差が変化する可能性があります。

この可能性を考慮し、ADS7863への電源は、クリーンで適切にバイパスされている必要があります。0.1 $\mu$ Fのセラミック・バイパス・コンデンサを、デバイスのできるだけ近くに配置してください。さらに、1 $\mu$ F~10 $\mu$ Fのコンデンサが推奨されます。必要に応じて、より大きいコンデンサと5 $\Omega$ ~10 $\Omega$ の直列抵抗を使用して、ノイズの多い電源にローパス・フィルタをかけることもできます。

外部リファレンス電圧がオペアンプから供給される場合、リファレンス・コンデンサを共振なしで駆動できることを確認してください。このパスにおけるコード依存の電圧降下を最小限に抑えるために、外部リファレンス・ドライバの出力とREF<sub>IN</sub>との間の接続は低抵抗(最大10 $\Omega$ )にする必要があります。

## グランド

xGNDピンは、クリーンなグランド・リファレンスに接続してください。これらのパスのインダクタンスを最小限に抑えるため、これらの接続はできる限り短くする必要があります。ビアを使用してパッドを直接グランド・プレーンに接続することを推奨します。グランド・プレーンのない設計では、グランド・パターンをできる限り広くする必要があります。マイクロコントローラやデジタル信号プロセッサのグランド・ポイントに近すぎる接続は避けてください。

基板の回路密度、アナログおよびデジタル部品の配置、および関連する電流ループに応じて、プリント基板(PCB)全体に対して1つのソリッド・グランド・プレーンを使用するか、または専用のアナログ・グランド領域を使用できます。別個にアナログ・グランド領域を使用する場合は、ADCの下(または隣り)にブリッジを配置することで、ADCのアナログ・グランドとデジタル・グランド間を低インピーダンスの接続にしてください。そうしないと、デジタル・インターフェイスで-300mVより低いアンダーシュートがたとえ短時間でも発生した場合、ESDダイオードが導通し、基板に電流が流れてアナログ性能が劣化します。

PCBレイアウトの際には、敏感なアナログ領域またはアナログ信号領域をリターン電流が横切らないように注意が必要です。どの信号も、対応するグランド・プレーンを基準に-300mVの制限を超えてはなりません。図43に、両方のパッケージ・オプションに対するグランドおよび電源接続の推奨レイアウトを示します。

## 電源

ADS7863には、2つの個別の電源があります。デジタル・インターフェイス用のBV<sub>DD</sub>ピンと、他のすべての回路用のAV<sub>DD</sub>ピンです。

BV<sub>DD</sub>の範囲は2.7V~5.5Vであり、それによってADS7863はプロセッサやコントローラと容易にインターフェイスできます。外部デジタル回路からのノイズ・エネルギーの注入を制限するため、BV<sub>DD</sub>は適切にフィルタリングする必要があります。BV<sub>DD</sub>ピンとグランド・プレーンの間に、0.1 $\mu$ Fおよび10 $\mu$ Fのバイパス・コンデンサを配置する必要があります。

AV<sub>DD</sub>は、内部アナログ回路に電源を供給します。最適な性能を得るためには、リニア・レギュレータ(UA7805ファミリーなど)を使用し、ADS7863および必要なアナログ・フロントエンド回路に対して2.7V~5.5Vの範囲のアナログ電源電圧を生成することを推奨します。

コンデンサを通して電流が流れるように、バイパス・コンデンサをグランド・プレーンに接続する必要があります(つまり、ADCの電源ピンと接続したコンデンサの反対のリードにビアを配置します)。

## デジタル・インターフェイス

デバイスの性能をさらに最適化するために、ADS7863の各デジタル・ピンに10 $\Omega$ ~100 $\Omega$ の抵抗を接続できます。それにより、入力および出力信号のスループレートが低下し、デジタル・インターフェイスからのノイズ注入が制限されます。

Top View

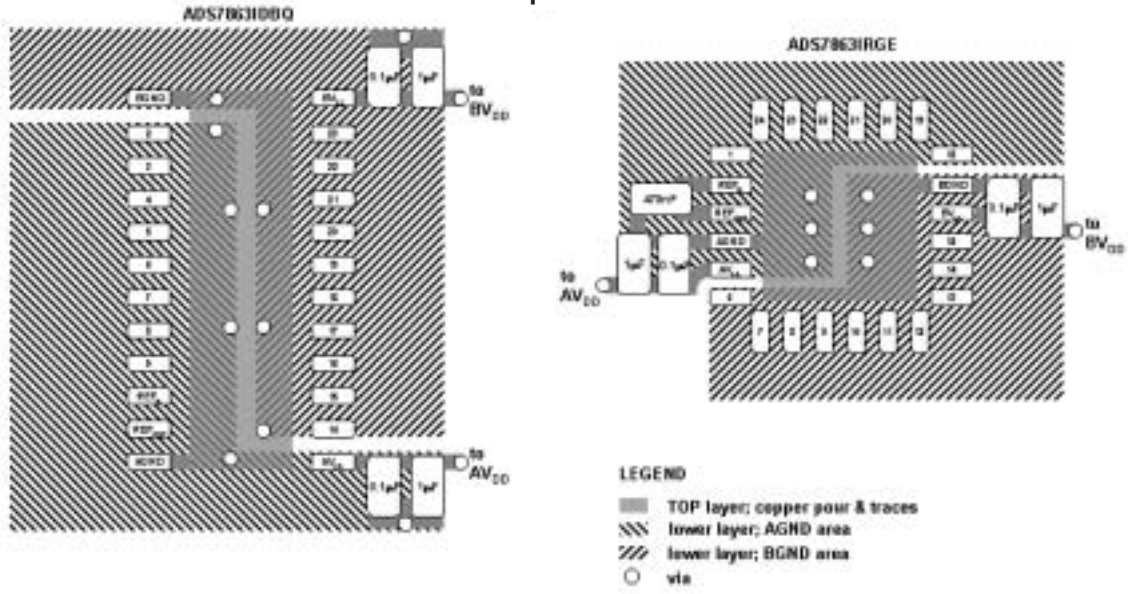


図 43. 最適化された推奨レイアウト

# パッケージ情報

## 製品情報

| Orderable Device | Status <sup>(1)</sup> | Package Type | Package Drawing | Pins | Package Qty | Eco Plan <sup>(2)</sup> | Lead/Ball Finish | MSL Peak Temp <sup>(3)</sup> |
|------------------|-----------------------|--------------|-----------------|------|-------------|-------------------------|------------------|------------------------------|
| ADS7863IDBQ      | ACTIVE                | SSOP/QSOP    | DBQ             | 24   | 50          | Green (RoHS & no Sb/Br) | CU NIPDAU        | Level-3-260C-168 HR          |
| ADS7863IDBQG4    | ACTIVE                | SSOP/QSOP    | DBQ             | 24   | 50          | Green (RoHS & no Sb/Br) | CU NIPDAU        | Level-3-260C-168 HR          |
| ADS7863IDBQR     | ACTIVE                | SSOP/QSOP    | DBQ             | 24   | 2500        | Green (RoHS & no Sb/Br) | CU NIPDAU        | Level-3-260C-168 HR          |
| ADS7863IDBQRG4   | ACTIVE                | SSOP/QSOP    | DBQ             | 24   | 2500        | Green (RoHS & no Sb/Br) | CU NIPDAU        | Level-3-260C-168 HR          |
| ADS7863IRGER     | ACTIVE                | VQFN         | RGE             | 24   | 3000        | Green (RoHS & no Sb/Br) | CU NIPDAU        | Level-3-260C-168 HR          |
| ADS7863IRGERG4   | ACTIVE                | VQFN         | RGE             | 24   | 3000        | Green (RoHS & no Sb/Br) | CU NIPDAU        | Level-3-260C-168 HR          |
| ADS7863IRGET     | ACTIVE                | VQFN         | RGE             | 24   | 250         | Green (RoHS & no Sb/Br) | CU NIPDAU        | Level-3-260C-168 HR          |
| ADS7863IRGETG4   | ACTIVE                | VQFN         | RGE             | 24   | 250         | Green (RoHS & no Sb/Br) | CU NIPDAU        | Level-3-260C-168 HR          |

(1) マーケティング・ステータスは次のように定義されています。

**ACTIVE**：製品デバイスが新規設計用に推奨されています。

**LIFEBUY**：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**：Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記のようにPb-Free (RoHS) と考えられます。

**Green (RoHS & no Sb/Br)**：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br) およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

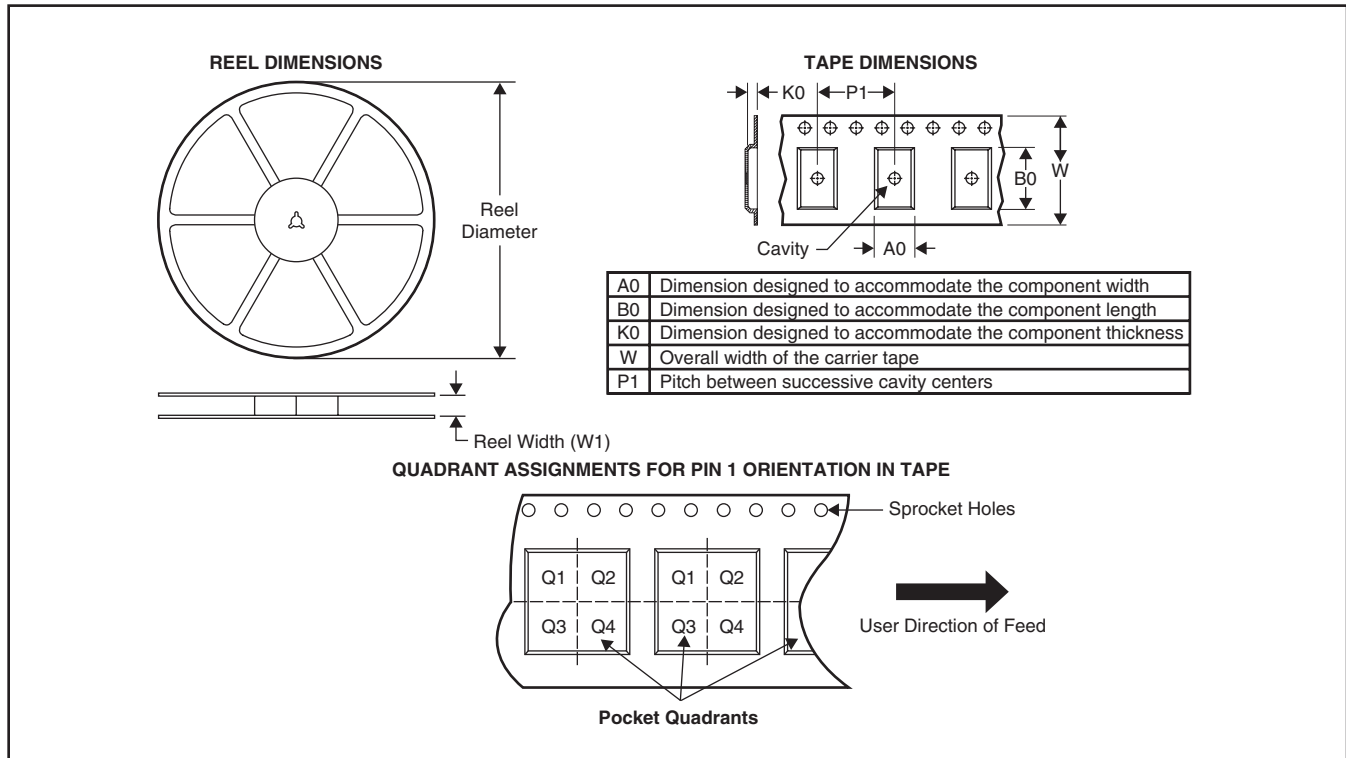
(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

# パッケージ・マテリアル情報

## テープおよびリール・ボックス情報



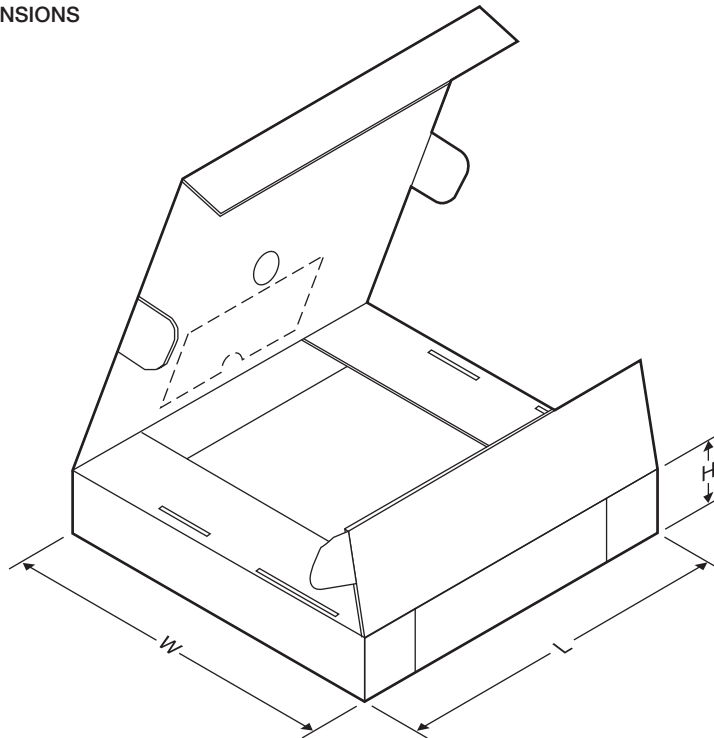
\*All dimensions are nominal

| Device       | Package Type | Package Drawing | Pins | SPQ  | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|--------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| ADS7863IDBQR | SSOP/QSOP    | DBQ             | 24   | 2500 | 330.0              | 16.4               | 6.5     | 9.0     | 2.1     | 8.0     | 16.0   | Q1            |
| ADS7863IRGER | VQFN         | RGE             | 24   | 3000 | 330.0              | 12.4               | 4.3     | 4.3     | 1.5     | 8.0     | 12.0   | Q2            |
| ADS7863IRGET | VQFN         | RGE             | 24   | 250  | 330.0              | 12.4               | 4.3     | 4.3     | 1.5     | 8.0     | 12.0   | Q2            |



## パッケージ・マテリアル情報

### TAPE AND REEL BOX DIMENSIONS



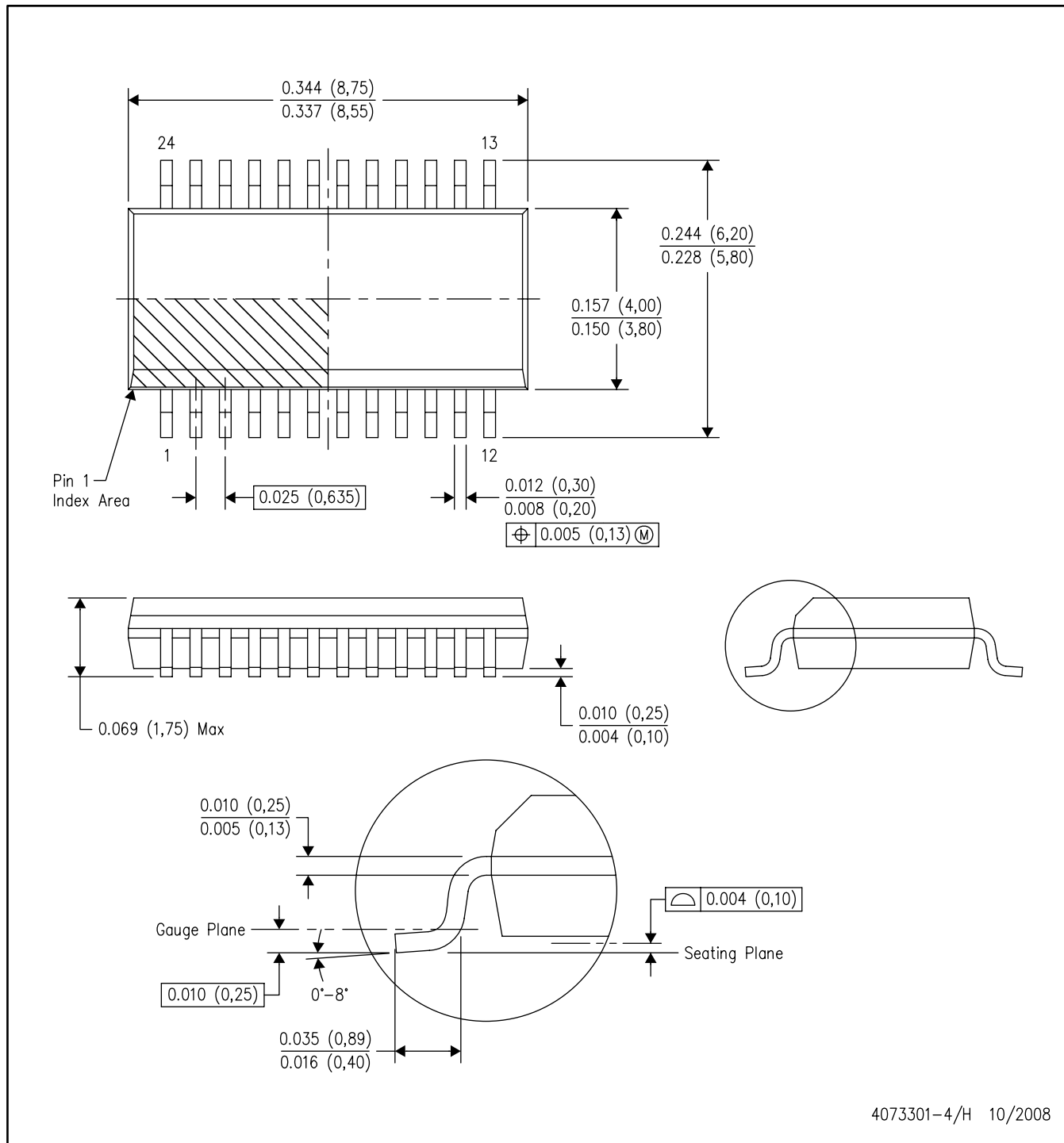
\*All dimensions are nominal

| Device       | Package Type | Package Drawing | Pins | SPQ  | Length (mm) | Width (mm) | Height (mm) |
|--------------|--------------|-----------------|------|------|-------------|------------|-------------|
| ADS7863IDBQR | SSOP/QSOP    | DBQ             | 24   | 2500 | 346.0       | 346.0      | 33.0        |
| ADS7863IRGER | VQFN         | RGE             | 24   | 3000 | 340.5       | 333.0      | 20.6        |
| ADS7863IRGET | VQFN         | RGE             | 24   | 250  | 340.5       | 333.0      | 20.6        |

# メカニカル・データ

DBQ (R-PDSO-G24)

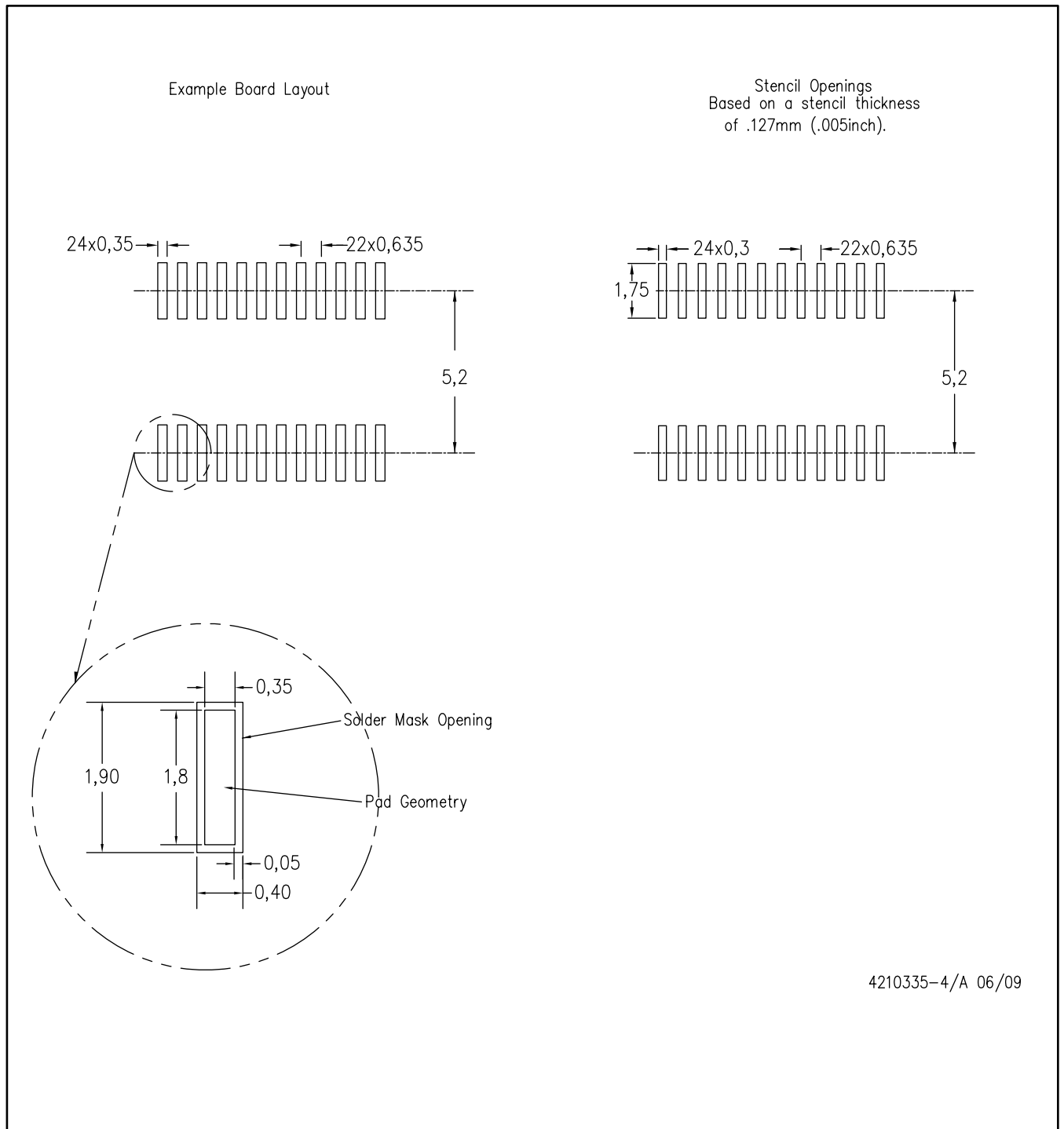
PLASTIC SMALL-OUTLINE PACKAGE



- 注： A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。  
 D. JEDEC MO-137 バージョンAEに適合しています。

# ランド・パターン

DBQ (R-PDSO-G24)



4210335-4/A 06/09

- 注： A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。  
 D. 代替設計については、資料IPC-7351を推奨します。  
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC-7525を参照してください。



# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上