



低電力、16ビット、1MHz、シングル/デュアル・ユニポーラ入力、ADコンバータ、シリアル・インターフェイス付き

特長

- 2.7V~5.5Vのアナログ電源
 - 低電力: 15.5mW (1MHz, +VA = 3V, +VBD = 1.8V)
- サンプリング・レート
 - 1MHz ($3V \leq +VA \leq 5.5V$)
 - 900kHz ($2.7V \leq +VA \leq 3V$)
- 優れたDC性能
 - INL: $\pm 1.0\text{LSB}$ (標準)、 $\pm 1.75\text{LSB}$ (最大)
 - DNL: $\pm 0.5\text{LSB}$ (標準)、 $\pm 1\text{LSB}$ (最大)
 - NMC: 16ビット (全温度範囲)
 - 最大オフセット誤差: $\pm 0.5\text{mV}$ (3V時)
 - 最大オフセット誤差: $\pm 1\text{mV}$ (5V時)
- 優れたAC性能 ($f_i = 10\text{kHz}$ 時)
 - SNR: 93dB
 - SFDR: 105dB
 - THD: -102dB
- 変換クロック (CCLK) 内蔵
- 1.65V~5.5VのI/O電源
 - SPI/DSP互換シリアル
 - 最大50MHzまでのSCLK
- 包括的なパワーダウン・モード
 - ディープ・パワーダウン
 - ナップ・パワーダウン
 - 自動ナップ・パワーダウン
- ユニポーラ入力範囲: $0V \sim V_{REF}$

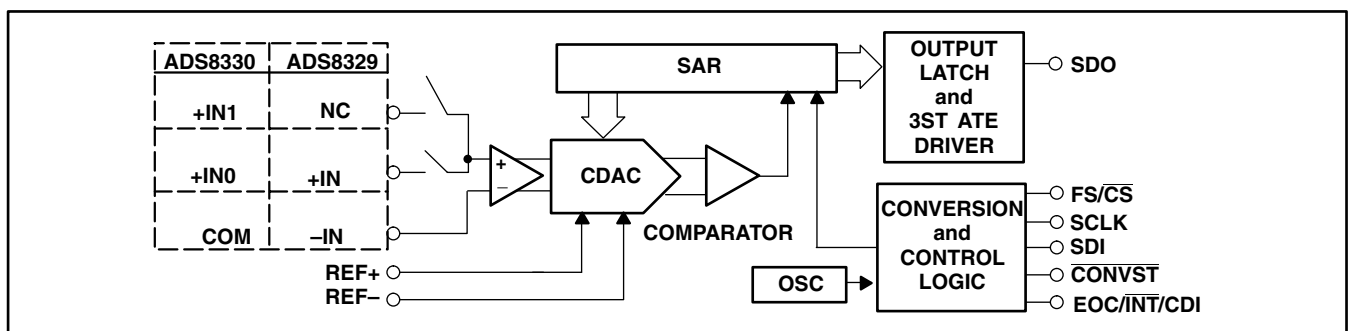
- ソフトウェア・リセット
- グローバルなCONVST (CSとは独立)
- プログラマブルなステータス/極性のEOC/INT
- 16ピン4x4 QFNおよび16ピンTSSOPパッケージ
- マルチチップ・デジタイズ・チェーン・モード
- プログラマブルなTAGビット出力
- 自動/マニュアル・チャンネル選択モード (ADS8330)

アプリケーション

- コミュニケーション
- トランスデューサ・インターフェイス
- 医用機器
- 磁力計
- 産業用プロセス制御
- データ収集システム
- 自動試験機器

低電力、高速SARコンバータ・ファミリー

| 種類/速度 | | 500 kSPS | 1 MSPS |
|---------------------|------|----------|---------|
| 16-bit single-ended | シングル | ADS8327 | ADS8329 |
| | デュアル | ADS8328 | ADS8330 |
| 14-bit single-ended | シングル | — | ADS7279 |
| | デュアル | — | ADS7280 |
| 12-bit single-ended | シングル | — | ADS7229 |
| | デュアル | — | ADS7230 |



すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

概要

ADS8329は、ユニポーラ入力で低電力の16ビット、1MSPSのADコンバータ(ADC)です。本デバイスは、サンプル・アンド・ホールド機能を内蔵した、16ビットの電荷再配分方式の逐次比較型(SAR)ADコンバータです。

ADS8330は同じコアをベースとし、TAGビット出力のプログラマブル・オプションを伴った2対1入力のマルチプレクサがあります。ADS8329およびADS8330ともに、高速で広電圧範囲のシリアル・インターフェイスを提供し、複数のコンバータを使用するときのチェーン動作モードが可能です。

両コンバータは4×4 QFNおよび16ピンTSSOPパッケージで提供され、産業用の−40°C~+85°Cの温度範囲で完全に規定されています。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報⁽¹⁾

| モデル | 最大積分直線性 (LSB) | 最大微分直線性 (LSB) | 最大オフセット誤差 (mV) | パッケージコード | パッケージ識別 | 温度範囲 | 注文情報 | 出荷形態、数量 |
|-----------|---------------|---------------|----------------|------------|--------------|---------------|---------------------|--------------------------|
| ADS8329I | ±2.5 | −1/+2 | ±0.8 | 4×4 QFN-16 | RSA | −40°C ~ +85°C | ADS8329IRSAT | Small tape and reel, 250 |
| | | | | | PW | | ADS8329IRSAR | Tape and reel, 3000 |
| | | | | TSSOP-16 | ADS8329IPW | | Tube, 90 | |
| | | | | | ADS8329IPWR | | Tape and reel, 2000 | |
| ADS8329IB | ±1.75 | ±1 | ±0.5 | 4×4 QFN-16 | RSA | −40°C ~ +85°C | ADS8329IBRSAT | Small tape and reel, 250 |
| | | | | | PW | | ADS8329IBRSAR | Tape and reel, 3000 |
| | | | | TSSOP-16 | ADS8329IBPW | | Tube, 90 | |
| | | | | | ADS8329IBPWR | | Tape and reel, 2000 | |
| ADS8330I | ±2.5 | −1/+2 | ±0.8 | 4×4 QFN-16 | RSA | −40°C ~ +85°C | ADS8330IRSAT | Small tape and reel, 250 |
| | | | | | PW | | ADS8330IRSAR | Tape and reel, 3000 |
| | | | | TSSOP-16 | ADS8330IPW | | Tube, 90 | |
| | | | | | ADS8330IPWR | | Tape and reel, 2000 | |
| ADS8330IB | ±1.75 | ±1 | ±0.5 | 4×4 QFN-16 | RSA | −40°C ~ +85°C | ADS8330IBRSAT | Small tape and reel, 250 |
| | | | | | PW | | ADS8330IBRSAR | Tape and reel, 3000 |
| | | | | TSSOP-16 | ADS8330IBPW | | Tube, 90 | |
| | | | | | ADS8330IBPWR | | Tape and reel, 2000 | |

(1) 最新のパッケージおよび注文情報は、本文書の巻末のパッケージ・オプション付録あるいはTI社のウェブサイトwww.ti.comをご覧ください。

絶対最大定格⁽¹⁾

動作温度範囲内(特に記述のない限り)⁽¹⁾

| | | 単位 |
|-------------------------|--------------------------|--|
| 電圧 | +IN to AGND | −0.3 V ~ +VA + 0.3 V |
| | −IN to AGND | −0.3 V ~ +VA + 0.3 V |
| 電圧範囲 | +VA to AGND | −0.3 V ~ 7 V |
| | +REF to AGND | −0.3 V ~ +VA + 0.3 V |
| | −REF to AGND | −0.3 V ~ 0.3 V |
| | +VBD to BDGND | −0.3 V ~ 7 V |
| | AGND to BDGND | −0.3 V ~ 0.3 V |
| BDGNDに対するデジタル入力電圧 | | −0.3 V ~ +VBD + 0.3 V |
| BDGNDに対するデジタル出力電圧 | | −0.3 V ~ +VBD + 0.3 V |
| T _A | 動作温度範囲 | −40°C ~ +85°C |
| T _{stg} | 保存温度範囲 | −65°C ~ +150°C |
| 接合温度(最大T _J) | | +150°C |
| 4×4 QFN-16 パッケージ | 電力消費 | (T _J Max − T _A)/θ _{JA} |
| | θ _{JA} 熱インピーダンス | +47°C/W |
| TSSOP-16 パッケージ | 電力消費 | (T _J Max − T _A)/θ _{JA} |
| | θ _{JA} 熱インピーダンス | +86°C/W |

(1) 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久破壊を生じることがあります。上記はストレス定格のみであり、上記条件下または推奨動作条件を超える他の条件下におけるデバイスの機能動作には適用されません。絶対最大条件下に長期間置くと、デバイスの信頼性に影響を与えます。

電気的特性

$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$, $+V_A = 4.5\text{V to } 5.5\text{V}$, $+V_{BD} = 1.65\text{V to } 5.5\text{V}$, $V_{REF} = 5\text{V}$, および $f_{\text{SAMPLE}} = 1\text{MHz}$ (特に記述のない限り)

| パラメータ | | 測定条件 | MIN | TYP | MAX | 単位 |
|---------------------------|------------------------|-------------------------------|------------|-------|-------------------|--------------------|
| アナログ入力 | | | | | | |
| フルスケール入力電圧 ⁽¹⁾ | | +IN – (–IN) or (+INx – COM) | 0 | | +V _{REF} | V |
| 絶対入力電圧 | | +IN, +IN0, +IN1 | AGND – 0.2 | | +VA + 0.2 | V |
| | | –IN or COM | AGND – 0.2 | | AGND + 0.2 | |
| 入力容量 | | | | 40 | 45 | pF |
| 入力リーク電流 | | 非変換時、DC入力 | –1 | | 1 | nA |
| 入力チャネル絶縁、ADS8330のみ | | DC時 | | 109 | | dB |
| | | $V_I = \pm 1.25V_{PP}$ 50kHz時 | | 101 | | |
| システム性能 | | | | | | |
| 分解能 | | | | 16 | | Bits |
| ノー・ミッシング・コード | | | 16 | | | Bits |
| INL | 積分直線性 | ADS8329IB, ADS8330IB | –1.75 | ±1.2 | 1.75 | LSB ⁽²⁾ |
| | | ADS8329I, ADS8330I | –2.5 | ±1.5 | 2.5 | |
| DNL | 微分直線性 | ADS8329IB, ADS8330IB | –1 | ±0.4 | 1 | LSB ⁽²⁾ |
| | | ADS8329I, ADS8330I | –1 | ±0.5 | 2 | |
| E _O | オフセット誤差 ⁽³⁾ | ADS8329IB, ADS8330IB | –1 | ±0.27 | 1 | mV |
| | | ADS8329I, ADS8330I | –1.25 | ±0.8 | 1.25 | |
| オフセット誤差ドリフト | | FSR = 5 V | | +0.4 | | ppm/°C |
| E _G | ゲイン誤差 | | –0.25 | –0.04 | 0.25 | %FSR |
| | ゲイン誤差ドリフト | | | +0.75 | | ppm/°C |
| CMRR | 同相除去比 | DC時 | | 70 | | dB |
| | | $V_I = 0.4V_{PP}$ 1MHz時 | | 50 | | |
| ノイズ | | | | 33 | | μV RMS |
| PSRR | 電源除去比 | 出力コードFFFFFFh時 ⁽³⁾ | | 78 | | dB |
| サンプリング・ダイナミック特性 | | | | | | |
| t _{CONV} | 変換時間 | | | 18 | | CCLK |
| t _{SAMPLE1} | アキュジション・タイム | マニュアル・トリガ | 3 | | | CCLK |
| | | 自動トリガ | | 3 | | |
| t _{SAMPLE2} | | | | | | |
| スループット・レート | | | | | 1 | MHz |
| アパーチャ・ディレイ | | | | 5 | | ns |
| アパーチャ・ジッタ | | | | 10 | | ps |
| ステップ応答 | | | | 100 | | ns |
| 過電圧復帰 | | | | 100 | | ns |

(1) 理想入力範囲であり、ゲインやオフセット誤差を含みません。

(2) LSBは最下位ビットのことです。

(3) +VA = 5V時、4.096Vの理想フルスケール入力[+IN– (–IN)]について測定。

電気的特性

$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$, $+VA = 4.5\text{V to } 5\text{V}$, $+VBD = 1.65\text{V to } 5.5\text{V}$, $V_{\text{REF}} = 5\text{V}$, および $f_{\text{SAMPLE}} = 1\text{MHz}$ (特に記述のない限り)

| パラメータ | | 測定条件 | | MIN | TYP | MAX | 単位 |
|------------------------|--|---|---|----------------------|----------------------|------|--------------------|
| ダイナミック特性 | | | | | | | |
| THD | 全高調波歪 (4) | $V_{\text{IN}} = 5 V_{\text{PP}}$ at 10 kHz | | | | -102 | dB |
| | | $V_{\text{IN}} = 5 V_{\text{PP}}$ at 100 kHz | | | | -95 | |
| SNR | 信号/雑音比 | $V_{\text{IN}} = 5 V_{\text{PP}}$ at 10 kHz | | | | 93 | dB |
| | | $V_{\text{IN}} = 5 V_{\text{PP}}$ at 100 kHz | ADS8329/30IB | 90 | 92 | | |
| | | | ADS8329/30I | 90 | | | |
| SINAD | 信号対(雑音+歪) | $V_{\text{IN}} = 5 V_{\text{PP}}$ at 10 kHz | | | | 92 | dB |
| | | $V_{\text{IN}} = 5 V_{\text{PP}}$ at 100 kHz | | | | 90 | |
| SFDR | スプリアス・フリー・ダイナミック・レンジ | $V_{\text{IN}} = 5 V_{\text{PP}}$ at 10 kHz | | | | 105 | dB |
| | | $V_{\text{IN}} = 5 V_{\text{PP}}$ at 100 kHz | | | | 97 | |
| -3dB小信号帯域幅 | | | | | | 30 | MHz |
| クロック | | | | | | | |
| 内部変換クロック周波数 | | | | 21 | 22.9 | 24.5 | MHz |
| SCLK外部シリアル・クロック | | I/Oクロックのみに使用 | | | | 50 | MHz |
| | | I/Oクロックおよび変換クロック | | 1 | | 42 | |
| 外部電圧リファレンス入力 | | | | | | | |
| V_{REF} | 入力リファレンス範囲 | $V_{\text{REF}}[\text{REF+} - (\text{REF-})]$ | $5.5\text{V} \geq +VA \geq 4.5\text{V}$ | 0.3 | | | +VA |
| | | $(\text{REF-}) - \text{AGND}$ | | -0.1 | | | 0.1 |
| 抵抗 (5) | | リファレンス入力 | | 40 | | | k Ω |
| デジタル入力/出力 | | | | | | | |
| ロジック・ファミリ- CMOS | | | | | | | |
| V_{IH} | “High” レベル入力電圧 | $5.5\text{V} \geq +VBD \geq 4.5\text{V}$ | | $0.65 \times (+VBD)$ | | | +VBD + 0.3 |
| V_{IL} | “Low” レベル入力電圧 | $5.5\text{V} \geq +VBD \geq 4.5\text{V}$ | | -0.3 | $0.35 \times (+VBD)$ | | V |
| I_{I} | 入力電流 | $V_{\text{I}} = +VBD$ or BDGND | | -50 | | 50 | nA |
| C_{I} | 入力容量 | | | 5 | | | pF |
| V_{OH} | “High” レベル出力電圧 | $5.5\text{V} \geq +VBD \geq 4.5\text{V}$, $I_{\text{O}} = 100\ \mu\text{A}$ | | +VBD - 0.6 | | +VBD | V |
| V_{OL} | “Low” レベル出力電圧 | $5.5\text{V} \geq +VBD \geq 4.5\text{V}$, $I_{\text{O}} = 100\ \mu\text{A}$ | | 0 | | 0.4 | V |
| C_{O} | 出力容量 | | | 5 | | | pF |
| C_{L} | 負荷容量 | | | | | 30 | pF |
| データ・フォーマット: ストレート・バイナリ | | | | | | | |
| 電源条件 | | | | | | | |
| 電源電圧 | +VBD | | | 1.65 | 3.3 | 5.5 | V |
| | +VA | | | 4.5 | 5 | 5.5 | V |
| 電源電流 | 1MHzサンプリング・レート | | | 7.0 | | 7.8 | mA |
| | ナップ/オートナップ・モード | | | 0.3 | | 0.5 | |
| | ディープ・パワー・ダウン・モード | | | 4 | | 50 | nA |
| バッファI/O電源電流 | | 1 MSPS | | 1.7 | | | mA |
| 消費電力 | $+VA = 5\text{V}$, $+VBD = 5\text{V}$ | | | 44 | | 48 | mW |
| | $+VA = 5\text{V}$, $+VBD = 1.8\text{V}$ | | | 35 | | 39.5 | |
| 温度範囲 | | | | | | | |
| T_{A} | 動作温度 | | | -40 | | +85 | $^{\circ}\text{C}$ |

(4) 入力周波数の最初の9次までの高調波について算出。

(5) $\pm 30\%$ の変動あり。

電気的特性

$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$, $+V_A = 2.7\text{V to } 3.6\text{V}$, $+V_{BD} = 1.65\text{V to } 1.5\text{V} \times (+V_A)$, $V_{REF} = 2.5\text{V}$, $f_{SAMPLE} = 1\text{MHz}$ ($3\text{V} \leq +V_A \leq 3.6\text{V}$ 時)、 $f_{SAMPLE} = 900\text{kHz}$ ($2.7\text{V} \leq +V_A \leq 3\text{V}$ 時)、外部クロック使用。(特に記述のない限り)

| パラメータ | | 測定条件 | MIN | TYP | MAX | 単位 |
|---------------------------|------------------------|--|------------|-------|-----------------------|--------------------|
| アナログ入力 | | | | | | |
| フルスケール入力電圧 ⁽¹⁾ | | +IN – (–IN) or (+INx – COM) | 0 | | +V _{REF} | V |
| 絶対入力電圧 | | +IN, +IN0, +IN1 | AGND – 0.2 | | +V _A + 0.2 | V |
| | | –IN or COM | AGND – 0.2 | | AGND + 0.2 | |
| 入力容量 | | | | 40 | 45 | pF |
| 入力リーク電流 | | 非変換時、 DC入力 | –1 | | 1 | nA |
| 入力チャネル絶縁、ADS8330のみ | | DC時 | | 108 | | dB |
| | | V _I = ±1.25V _{PP} 50kHz時 | | 101 | | |
| システム性能 | | | | | | |
| 分解能 | | | | 16 | | Bits |
| ノー・ミッシング・コード | | | 16 | | | Bits |
| INL | 積分直線性 | ADS8329IB, ADS8330IB | –1.75 | ±1 | 1.75 | LSB ⁽²⁾ |
| | | ADS8329I, ADS8330I | –2.5 | ±1.5 | 2.5 | |
| DNL | 微分直線性 | ADS8329IB, ADS8330IB | –1 | ±0.5 | 1 | LSB ⁽²⁾ |
| | | ADS8329I, ADS8330I | –1 | ±0.8 | 2 | |
| E _O | オフセット誤差 ⁽³⁾ | ADS8329IB, ADS8330IB | –0.5 | ±0.05 | 0.5 | mV |
| | | ADS8329I, ADS8330I | –0.8 | ±0.2 | 0.8 | |
| オフセット誤差ドリフト | | FSR = 2.5 V | | +0.8 | | ppm/°C |
| E _G | ゲイン誤差 | | –0.25 | –0.04 | 0.25 | %FSR |
| | ゲイン誤差ドリフト | | | +0.5 | | ppm/°C |
| CMRR | 同相除去比 | DC時 | | 70 | | dB |
| | | V _I = 0.4V _{PP} 1MHz時 | | 50 | | |
| ノイズ | | | | 33 | | μV RMS |
| PSRR | 電源除去比 | 出力コードFFFFh時 ⁽³⁾ | | 78 | | dB |
| サンプリング・ダイナミック特性 | | | | | | |
| t _{CONV} | 変換時間 | | | 18 | | CCLK |
| t _{SAMPLE1} | アキュジション・タイム | マニュアル・トリガ | 3 | | | CCLK |
| | | 自動トリガ | | 3 | | |
| t _{SAMPLE2} | スループット・レート | | | | 1 | MHz |
| アパーチャ・ディレイ | | | | 5 | | ns |
| アパーチャ・ジッタ | | | | 10 | | ps |
| ステップ応答 | | | | 100 | | ns |
| 過電圧復帰 | | | | 100 | | ns |

(1) 理想入力範囲であり、ゲインやオフセット誤差を含みません。

(2) LSBは最下位ビットのことです。

(3) +V_A = 3V時、2.5Vの理想フルスケール入力[+IN – (–IN)]について測定。

電気的特性

$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$, $+V_{BD} = +V_A = 1.5\text{V} \sim +1.65\text{V}$, $V_{REF} = 2.5\text{V}$, $f_{SAMPLE} = 1\text{MHz}$ ($3\text{V} \leq +V_A \leq 3.6\text{V}$ 時)、 $f_{SAMPLE} = 900\text{kHz}$ ($2.7\text{V} \leq +V_A \leq 3\text{V}$ 時)、外部クロック使用。(特に記述のない限り)

| パラメータ | | 測定条件 | MIN | TYP | MAX | 単位 |
|---------------------|--|--|---|-------|-------------------------|--------------------|
| ダイナミック特性 | | | | | | |
| THD | 全高調波歪 ⁽⁴⁾ | $V_{IN} = 2.5 V_{PP}$ at 10 kHz | | -102 | | dB |
| | | $V_{IN} = 2.5 V_{PP}$ at 100 kHz | | -93 | | |
| SNR | 信号/雑音比 | $V_{IN} = 2.5 V_{PP}$ at 10 kHz | | 89 | | dB |
| | | $V_{IN} = 2.5 V_{PP}$ at 100 kHz | | 88 | | |
| SINAD | 信号対(雑音+歪) | $V_{IN} = 2.5 V_{PP}$ at 10 kHz | | 88.5 | | dB |
| | | $V_{IN} = 2.5 V_{PP}$ at 100 kHz | | 88 | | |
| SFDR | スプリアス・フリー・ダイナミック・レンジ | $V_{IN} = 2.5 V_{PP}$ at 10 kHz | | 104 | | dB |
| | | $V_{IN} = 2.5 V_{PP}$ at 100 kHz | | 94.2 | | |
| | -3dB小信号帯域幅 | | | 30 | | MHz |
| クロック | | | | | | |
| | 内部変換クロック周波数 | | 21 | 22.3 | 23.5 | MHz |
| | SCLK外部シリアル・クロック | I/Oクロックのみに使用 | | | 42 | MHz |
| | | I/Oクロックおよび変換クロック | 1 | | 42 | |
| 外部電圧リファレンス入力 | | | | | | |
| V_{REF} | 入力リファレンス範囲 | $V_{REF}[(REF+) - (REF-)]$ | $f_{SAMPLE} \leq 500\text{kSPS}$, $2.7\text{V} \leq +V_A < 3\text{V}$ | 0.3 | 2.525 | V |
| | | | $f_{SAMPLE} \leq 500\text{kSPS}$, $3\text{V} \leq +V_A < 3.6\text{V}$ | 0.3 | 3 | |
| | | | $f_{SAMPLE} > 500\text{kSPS}$, $2.7\text{V} \leq +V_A < 3\text{V}$ | 2.475 | 2.525 | |
| | | | $f_{SAMPLE} > 500\text{kSPS}$, $3\text{V} \leq +V_A \leq 3.6\text{V}$ | 2.475 | 3 | |
| | (REF-) - AGND | | -0.1 | | 0.1 | |
| | 抵抗 ⁽⁵⁾ | リファレンス入力 | | 40 | | k Ω |
| デジタル入力/出力 | | | | | | |
| | ロジック・ファミリ- CMOS | | | | | |
| V_{IH} | “High” レベル入力電圧 | $(+V_A \times 1.5) V \geq +V_{BD} \geq 1.65\text{V}$ | $0.65 \times (+V_{BD})$ | | $+V_{BD} + 0.3$ | V |
| V_{IL} | “Low” レベル入力電圧 | $(+V_A \times 1.5) V \geq +V_{BD} \geq 1.65\text{V}$ | -0.3 | | $0.35 \times (+V_{BD})$ | V |
| I_I | 入力電流 | $V_I = +V_{BD}$ or BDGND | -50 | | 50 | nA |
| C_I | 入力容量 | | | 5 | | pF |
| V_{OH} | “High” レベル出力電圧 | $(+V_A \times 1.5) V \geq +V_{BD} \geq 1.65\text{V}$, $I_O = 100\ \mu\text{A}$ | $+V_{BD} - 0.6$ | | $+V_{BD}$ | V |
| V_{OL} | “Low” レベル出力電圧 | $(+V_A \times 1.5) V \geq +V_{BD} \geq 1.65\text{V}$, $I_O = 100\ \mu\text{A}$ | 0 | | 0.4 | V |
| C_O | 出力容量 | | | 5 | | pF |
| C_L | 負荷容量 | | | | 30 | pF |
| | データ・フォーマット: ストレート・バイナリ | | | | | |
| 電源条件 | | | | | | |
| 電源電圧 | +VBD | | 1.65 | +VA | $1.5 \times (+V_A)$ | V |
| | +VA | $f_s \leq 1\text{MHz}$ | 3 | | 3.6 | V |
| | | $f_s \leq 900\text{kHz}$ | 2.7 | | 3.6 | |
| 電源電流 | 1MHzサンプリング・レート $3\text{V} \leq +V_A \leq 3.6\text{V}$ | | | 5.1 | 6.1 | mA |
| | 900kHzサンプリング・レート $2.7\text{V} \leq +V_A \leq 3\text{V}$ | | | 4.84 | | |
| | ナップ・モード | | | 0.25 | 0.4 | |
| | PDモード | | | 2 | 50 | |
| | バッファI/O電源電流 | 1 MSPS, $+V_{BD} = 1.8\text{V}$ | | 0.05 | | nA |
| 消費電力 | $+V_{BD} = 1.8\text{V}$, $3\text{V} \leq +V_A \leq 3.6\text{V}$ | | | 15.5 | 19 | mW |
| | $+V_{BD} = 1.8\text{V}$, $2.7\text{V} \leq +V_A \leq 3\text{V}$ | | | 13.2 | | |
| 温度範囲 | | | | | | |
| T_A | 動作温度 | | -40 | | +85 | $^{\circ}\text{C}$ |

(4) 入力周波数の最初の9次までの高調波について算出。

(5) $\pm 30\%$ の変動あり。

タイミング特性

すべての仕様は代表値で、 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ および $+VA = +VBD = 5\text{V}$ です。(1)(2)

| パラメータ | | MIN | TYP | MAX | 単位 | |
|---|--|---|---------------------------------|------|------|------|
| f_{CCLK} | 周波数、変換クロック、CCLK | 外部、 $f_{\text{CCLK}} = 1/2 f_{\text{SCLK}}$ | | 0.5 | 21 | MHz |
| | | 内部、 $f_{\text{CCLK}} = 1/2 f_{\text{SCLK}}$ | | 21 | 22.9 | |
| $t_{\text{su}}(\text{CSF-EOC})$ | セットアップ・タイム、 $\overline{\text{CS}}$ の立ち下がりエッジからEOCまで | 1 | | | CCLK | |
| $t_{\text{h}}(\text{CSF-EOC})$ | ホールド・タイム、 $\overline{\text{CS}}$ の立ち下がりエッジからEOCまで | 0 | | | ns | |
| $t_{\text{wL}}(\text{CONVST})$ | パルス幅、 $\overline{\text{CONVST}}$ の“Low” | 40 | | | ns | |
| $t_{\text{su}}(\text{CSF-EOS})$ | セットアップ・タイム、 $\overline{\text{CS}}$ の立ち下がりエッジからEOSまで | 20 | | | ns | |
| $t_{\text{h}}(\text{CSF-EOS})$ | ホールド・タイム、 $\overline{\text{CS}}$ の立ち下がりエッジからEOSまで | 20 | | | ns | |
| $t_{\text{su}}(\text{CSR-EOS})$ | セットアップ・タイム、 $\overline{\text{CS}}$ の立ち上がりエッジからEOSまで | 20 | | | ns | |
| $t_{\text{h}}(\text{CSR-EOS})$ | ホールド・タイム、 $\overline{\text{CS}}$ の立ち上がりエッジからEOSまで | 20 | | | ns | |
| $t_{\text{su}}(\text{CSF-SCLK1F})$ | セットアップ・タイム、 $\overline{\text{CS}}$ の立ち下がりエッジから最初のSCLKの立ち下がりまで | 5 | | | ns | |
| $t_{\text{wL}}(\text{SCLK})$ | パルス幅、SCLKの“Low” | 8 | $t_{\text{c}}(\text{SCLK}) - 8$ | | ns | |
| $t_{\text{wH}}(\text{SCLK})$ | パルス幅、SCLKの“High” | 8 | $t_{\text{c}}(\text{SCLK}) - 8$ | | ns | |
| $t_{\text{c}}(\text{SCLK})$ | サイクル・タイム、SCLK | I/Oクロックのみ | | 20 | ns | |
| | | I/Oおよび変換クロック | | 23.8 | | 2000 |
| | | I/Oクロック、チェーン・モード | | 20 | | |
| | | I/Oおよび変換クロック、チェーン・モード | | 23.8 | | 2000 |
| $t_{\text{d}}(\text{SCLKF-SDOINVALID})$ | 遅延時間、SCLKの立ち下がりエッジからSDO無効まで | 10pF負荷 | 2 | | ns | |
| $t_{\text{d}}(\text{SCLKF-SDOVALID})$ | 遅延時間、SCLKの立ち下がりエッジからSDO有効まで | 10pF負荷 | | 10 | ns | |
| $t_{\text{d}}(\text{CSF-SDOVALID})$ | 遅延時間、 $\overline{\text{CS}}$ の立ち下がりエッジからSDO有効まで、SDO MSB出力 | 10pF負荷 | | 8.5 | ns | |
| $t_{\text{su}}(\text{SDI-SCLKF})$ | セットアップ・タイム、SDIからSCLKの立ち下がりエッジまで | 8 | | | ns | |
| $t_{\text{h}}(\text{SDI-SCLKF})$ | ホールド・タイム、SDIからSCLKの立ち下がりエッジまで | 4 | | | ns | |
| $t_{\text{d}}(\text{CSR-SDOZ})$ | 遅延時間、FS/ $\overline{\text{CS}}$ の立ち上がりエッジからSDOの3ステートまで | | | 5 | ns | |
| $t_{\text{su}}(\text{16th SCLKF-CSR})$ | セットアップ・タイム、SCLKの16番目の立ち下がりエッジからFS/ $\overline{\text{CS}}$ の立ち上がりエッジ前まで | 10 | | | ns | |
| $t_{\text{d}}(\text{SDO-CDI})$ | 遅延時間、デジタイズ・チェーン・モード時のCDIの“High”からSDOの“High”まで | 10pF負荷、チェーン・モード | | 16 | ns | |

(1) すべての入力信号は $t_{\text{r}} = t_{\text{f}} = 1.5\text{ns}$ (V_{DD} の10%から90%)で規定し、 $(V_{\text{IL}} + V_{\text{IH}})/2$ の電位で時間を測定しています。

(2) タイミング図を参照。

タイミング特性

すべての仕様は代表値で、 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ および $+VA = 2.7\text{V}$, $+VBD = 1.8\text{V}$ です。(1)(2)

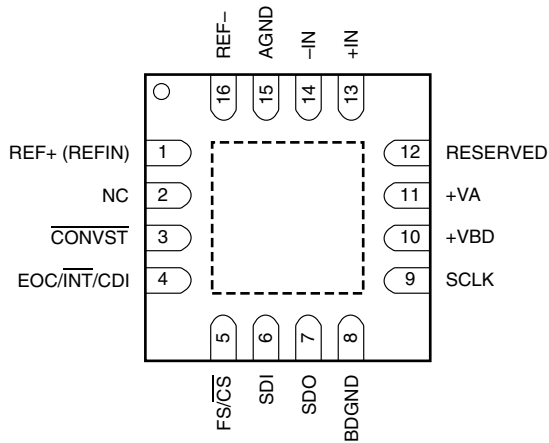
| パラメータ | | MIN | TYP | MAX | 単位 | |
|---|--|--|-----|------|---------------------------------|------|
| f_{CCLK} | 周波数、変換クロック、CCLK | 外部、 $3\text{V} \leq +VA \leq 3.6\text{V}$, $f_{\text{CCLK}} = 1/2 f_{\text{SCLK}}$ | | 0.5 | 21 | MHz |
| | | 外部、 $2.7\text{V} \leq +VA \leq 3\text{V}$, $f_{\text{CCLK}} = 1/2 f_{\text{SCLK}}$ | | 0.5 | 18.9 | |
| | | 内部、 $f_{\text{CCLK}} = 1/2 f_{\text{SCLK}}$ | | 20 | 22.3 | |
| $t_{\text{su}}(\text{CSF-EOC})$ | セットアップ・タイム、 $\overline{\text{CS}}$ の立ち下がりエッジからEOCまで | | | 1 | | CCLK |
| $t_{\text{h}}(\text{CSF-EOC})$ | ホールド・タイム、 $\overline{\text{CS}}$ の立ち下がりエッジからEOCまで | | | 0 | | ns |
| $t_{\text{wL}}(\text{CONVST})$ | パルス幅、 $\overline{\text{CONVST}}$ の“Low” | | | 40 | | ns |
| $t_{\text{su}}(\text{CSF-EOS})$ | セットアップ・タイム、 $\overline{\text{CS}}$ の立ち下がりエッジからEOSまで | | | 20 | | ns |
| $t_{\text{h}}(\text{CSF-EOS})$ | ホールド・タイム、 $\overline{\text{CS}}$ の立ち下がりエッジからEOSまで | | | 20 | | ns |
| $t_{\text{su}}(\text{CSR-EOS})$ | セットアップ・タイム、 $\overline{\text{CS}}$ の立ち上がりエッジからEOSまで | | | 20 | | ns |
| $t_{\text{h}}(\text{CSR-EOS})$ | ホールド・タイム、 $\overline{\text{CS}}$ の立ち上がりエッジからEOSまで | | | 20 | | ns |
| $t_{\text{su}}(\text{CSF-SCLK1F})$ | セットアップ・タイム、 $\overline{\text{CS}}$ の立ち下がりエッジから最初のSCLKの立ち下がりまで | | | 5 | | ns |
| $t_{\text{wL}}(\text{SCLK})$ | パルス幅、SCLKの“Low” | | | 8 | $t_{\text{c}}(\text{SCLK}) - 8$ | ns |
| $t_{\text{wH}}(\text{SCLK})$ | パルス幅、SCLKの“High” | | | 8 | $t_{\text{c}}(\text{SCLK}) - 8$ | ns |
| $t_{\text{c}}(\text{SCLK})$ | サイクル・タイム、SCLK | 全モード、 $3\text{V} \leq +VA \leq 3.6\text{V}$ | | 23.8 | 2000 | ns |
| | | 全モード、 $2.7\text{V} \leq +VA < 3\text{V}$ | | 26.5 | 2000 | |
| $t_{\text{d}}(\text{SCLKF-SDOINVALID})$ | 遅延時間、SCLKの立ち下がりエッジからSDO無効まで | 10 pF負荷 | | 7.5 | | ns |
| $t_{\text{d}}(\text{SCLKF-SDOVALID})$ | 遅延時間、SCLKの立ち下がりエッジからSDO有効まで | 10 pF負荷 | | | 16 | ns |
| $t_{\text{d}}(\text{CSF-SDOVALID})$ | 遅延時間、 $\overline{\text{CS}}$ の立ち下がりエッジからSDO有効まで、SDO MSB出力 | 10 pF負荷 $2.7\text{V} \leq +VA \leq 3\text{V}$ | | | 13 | ns |
| | | 10 pF負荷 $3\text{V} \leq +VA \leq 3.6\text{V}$ | | | 11 | |
| $t_{\text{su}}(\text{SDI-SCLKF})$ | セットアップ・タイム、SDIからSCLKの立ち下がりエッジまで | | | 8 | | ns |
| $t_{\text{h}}(\text{SDI-SCLKF})$ | ホールド・タイム、SDIからSCLKの立ち下がりエッジまで | | | 4 | | ns |
| $t_{\text{d}}(\text{CSR-SDOZ})$ | 遅延時間、FS/ $\overline{\text{CS}}$ の立ち上がりエッジからSDOの3ステートまで | | | | 8 | ns |
| $t_{\text{su}}(16\text{th SCLKF-CSR})$ | セットアップ・タイム、SCLKの16番目の立ち下がりエッジからFS/ $\overline{\text{CS}}$ の立ち上がりエッジ前まで | | | 10 | | ns |
| $t_{\text{d}}(\text{SDO-CDI})$ | 遅延時間、デジタイズ・チェーン・モード時のCDIの“High”からSDOの“High”まで | 10 pF負荷、チェーン・モード | | | 23 | ns |

(1) すべての入力信号は $t_{\text{r}} = t_{\text{f}} = 1.5\text{ns}$ (V_{DD} の10%から90%)で規定し、 $(V_{\text{IL}} + V_{\text{IH}})/2$ の電位で時間を測定しています。

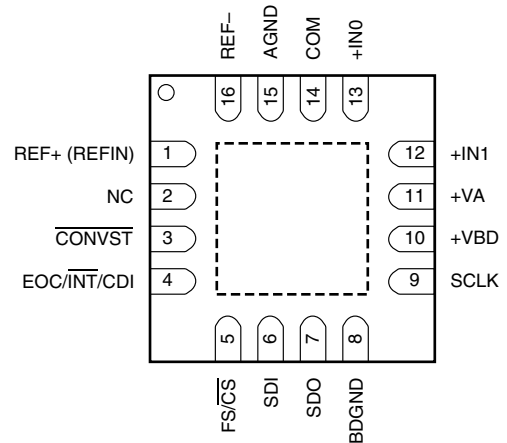
(2) タイミング図を参照。

ピン構成

**ADS8329
RSA PACKAGE
(TOP VIEW)**

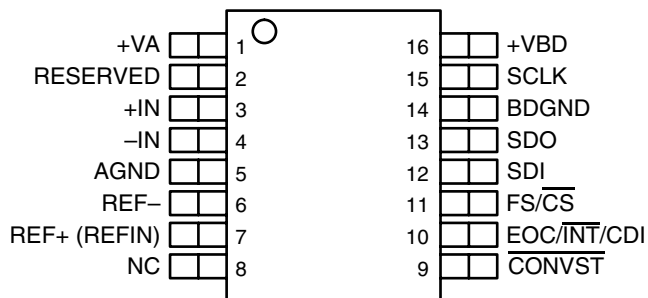


**ADS8330
RSA PACKAGE
(TOP VIEW)**

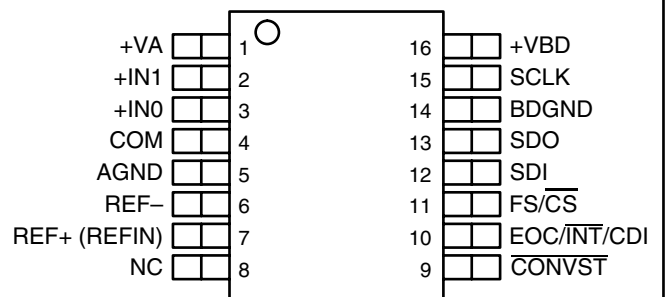


注意：サーマルパッドは、内部でサブストレートに接続されています。このパッドはアナログ・グラウンドに接続するか、あるいは、フローティングにしておくことができます。可能であれば、サーマルパッドはデジタル・グラウンドから分離してください。

**ADS8329
PW PACKAGE
(TOP VIEW)**



**ADS8330
PW PACKAGE
(TOP VIEW)**



NC = No internal connection

ADS8329ピン構成

| 名称 | NO. | | I/O | 説明 |
|-----------------------------------|-----|-------|-----|---|
| | QFN | TSSOP | | |
| AGND | 15 | 5 | — | アナログ・グラウンド |
| BDGND | 8 | 14 | — | インターフェイス・グラウンド |
| CONVST | 3 | 9 | I | サンプル・アンド・ホールド回路を凍結し、内部クロックの次の立ち上がりエッジで変換を開始します。 |
| EOC/ $\overline{\text{INT}}$ /CDI | 4 | 10 | O | ステータス出力。EOCとしてプログラミングすると、本ピンは変換中に“Low”（デフォルト）になります。割り込み（INT）としてプログラミングすると、本ピンは変換終了後に予めプログラミングされた期間だけ“Low”になり、有効データが出力されます。EOCあるいはINTの極性はプログラマブルです。また、デバイスがチェーン・モードで動作する場合、本ピンはチェーン・データ入力としても使用できます。 |
| FS/ $\overline{\text{CS}}$ | 5 | 11 | I | TMS320 DSPのシリアル・インターフェイスのフレーム・シンク信号、あるいは、SPIインターフェイスのスレーブ・選択（SS $^-$ ）のチップ・セレクト入力。 |
| +IN | 13 | 3 | I | 非反転入力 |
| -IN | 14 | 4 | I | 反転入力、一般にグラウンドへ接続。 |
| NC | 2 | 8 | — | 接続なし |
| REF+ | 1 | 7 | I | 外部リファレンス入力 |
| REF- | 16 | 6 | I | 専用のヴィアでAGNDに接続します。 |
| RESERVED | 12 | 2 | I | AGNDあるいは+VAに接続します。 |
| SCLK | 9 | 15 | I | シリアル・インターフェイスのクロック |
| SDI | 6 | 12 | I | シリアル・データ入力 |
| SDO | 7 | 13 | O | シリアル・データ出力 |
| +VA | 11 | 1 | | アナログ電源、+2.7V~+5.5VDC |
| +VBD | 10 | 16 | | インターフェイス電源 |

ADS8330ピン構成

| 名称 | NO. | | I/O | 説明 |
|-----------------------------------|-----|-------|-----|---|
| | QFN | TSSOP | | |
| AGND | 15 | 5 | — | アナログ・グラウンド |
| BDGND | 8 | 14 | — | インターフェイス・グラウンド |
| COM | 14 | 4 | I | 共通反転入力、一般にグラウンドへ接続します。 |
| CONVST | 3 | 9 | I | サンプル・アンド・ホールド回路を凍結し、内部クロックの次の立ち上がりエッジで変換を開始します。 |
| EOC/ $\overline{\text{INT}}$ /CDI | 4 | 10 | O | ステータス出力。EOCとしてプログラミングすると、本ピンは変換中に“Low”（デフォルト）になります。割り込み（INT）としてプログラミングすると、本ピンは変換終了後に予めプログラミングされた期間だけ“Low”になり、有効データが出力されます。EOCあるいはINTの極性はプログラマブルです。また、デバイスがチェーン・モードで動作する場合、本ピンはチェーン・データ入力としても使用できます。 |
| FS/ $\overline{\text{CS}}$ | 5 | 11 | I | TMS320 DSPのシリアル・インターフェイスのフレーム・シンク信号、あるいは、SPIインターフェイスのチップ・選択入力。 |
| +IN1 | 12 | 2 | I | 第2非反転入力 |
| +IN0 | 13 | 3 | I | 第1非反転入力 |
| NC | 2 | 8 | — | 接続なし |
| REF+ | 1 | 7 | I | 外部リファレンス入力 |
| REF- | 16 | 6 | I | 専用のヴィアでAGNDに接続します。 |
| SCLK | 9 | 15 | I | シリアル・インターフェイスのクロック |
| SDI | 6 | 12 | I | シリアル・データ入力（変換開始およびリセットが可能） |
| SDO | 7 | 13 | O | シリアル・データ出力 |
| +VA | 11 | 1 | | アナログ電源、+2.7V~+5.5V VDC |
| +VBD | 10 | 16 | | インターフェイス電源 |

サンプリング中のマニュアル・トリガ/読み取り
 (内部CCLKを使用、EOCとINTの極性はアクティブ“Low”に設定)

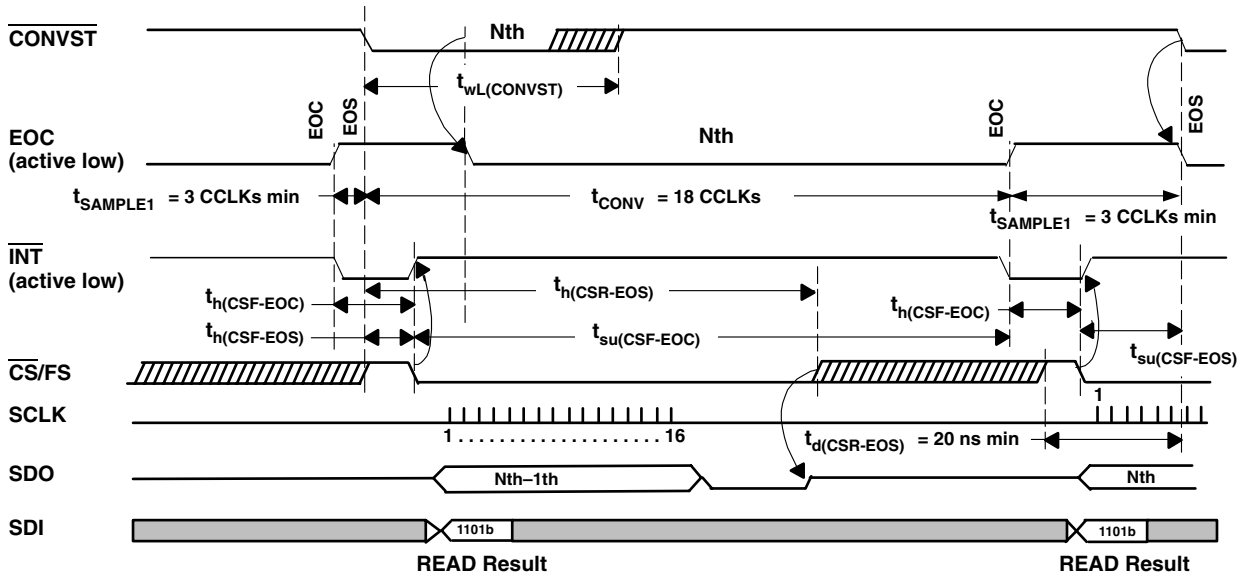


図 1. マニュアル・トリガの変換およびアキュイジション・サイクルのタイミング(サンプリング中の読み取り)

サンプリング中の自動トリガ/読み取り
 (内部CCLKを使用、EOCとINTの極性はアクティブ“Low”に設定)

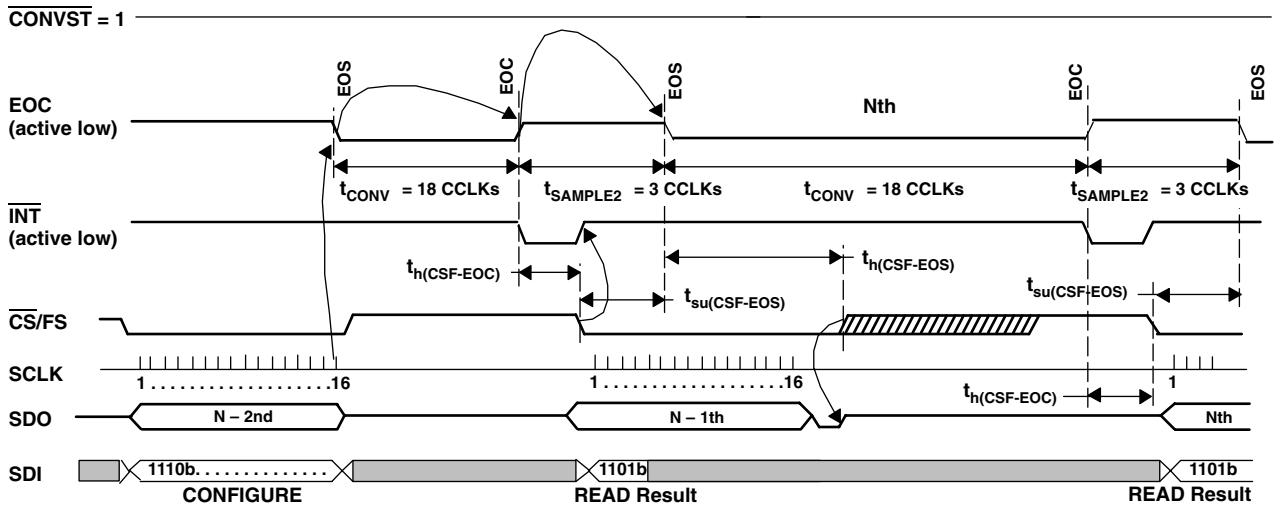


図 2. 自動トリガの変換およびアキュイジション・サイクルのタイミング(サンプリング中の読み取り)

変換中のマニュアル・トリガ読み取り
 (内部CCLKを使用、EOCとINTの極性はアクティブ“Low”に設定)

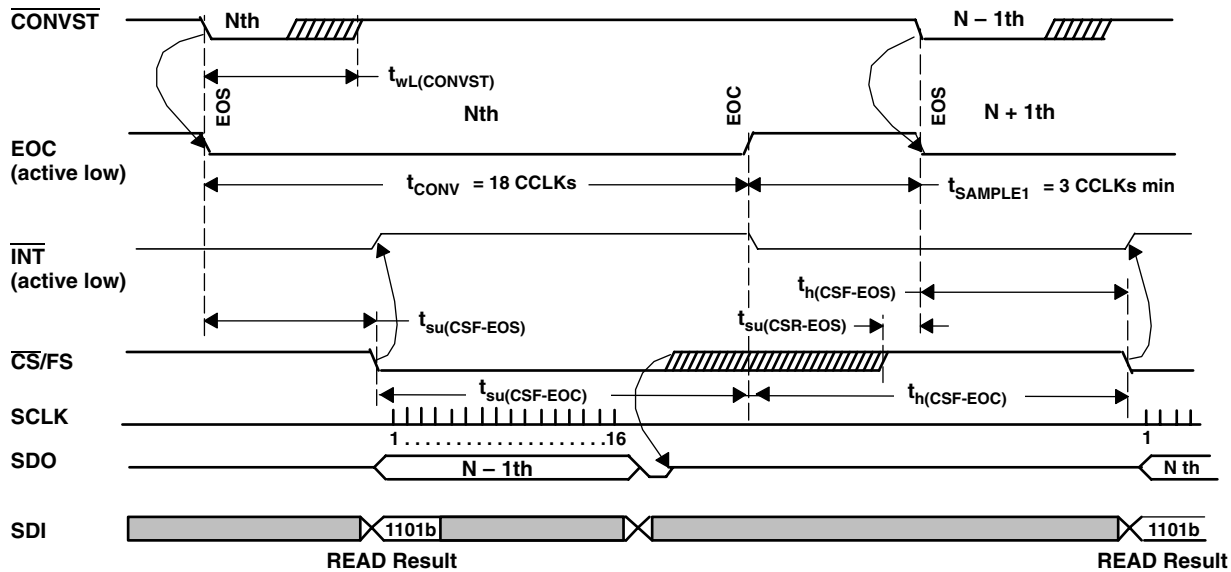


図 3. マニュアル・トリガの変換およびアキュイジション・サイクルのタイミング (変換中の読み取り)

変換中の自動トリガ読み取り
 (内部CCLKを使用、EOCとINTの極性はアクティブ“Low”に設定)

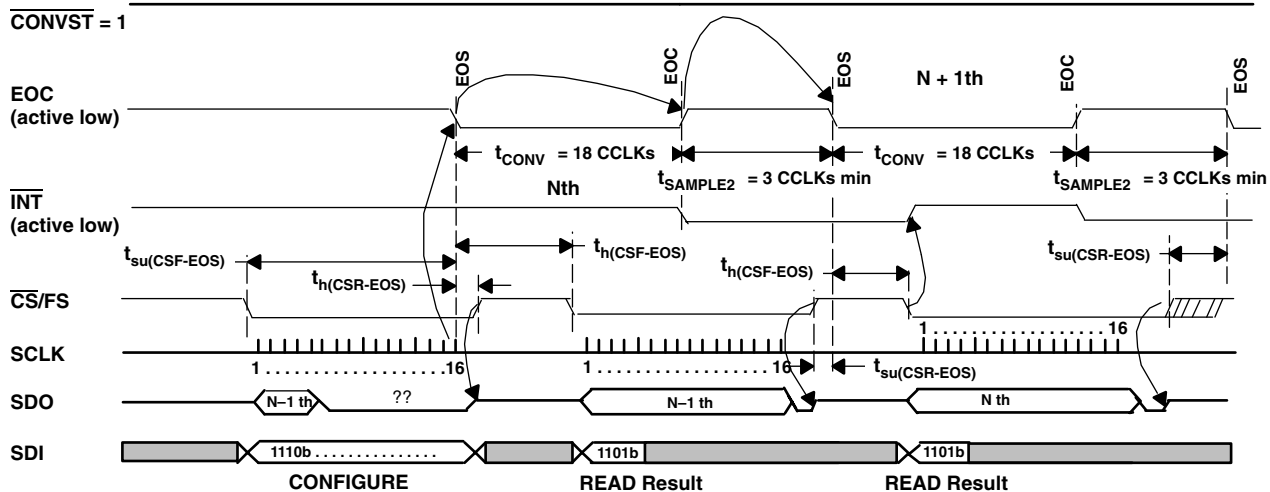


図 4. 自動トリガの変換およびアキュイジション・サイクルのタイミング (変換中の読み取り)

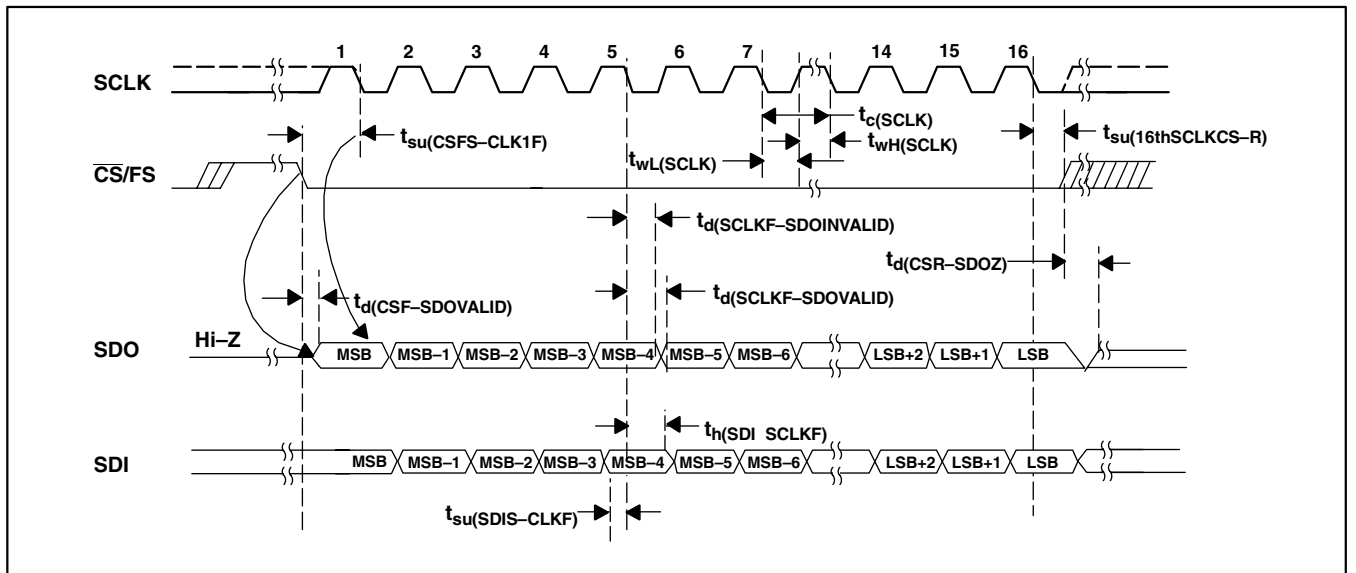


図 5. 詳細なSPI伝送タイミング

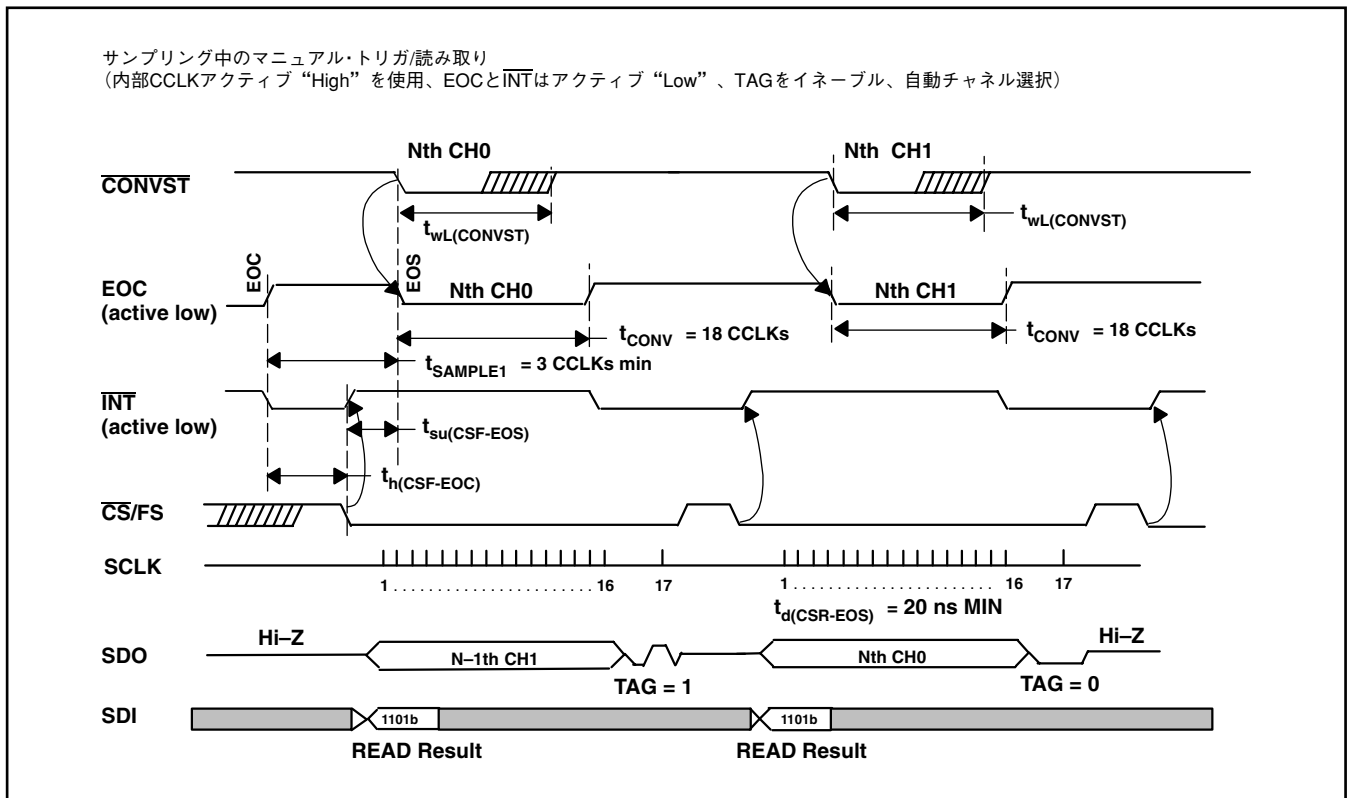


図 6. 簡略化したデュアル・チャンネル・タイミング

代表的特性

-40°C ~ 85°C, +VA = +VBD = 5V時、 $V_{REF}[(REF+) - (REF-)] = 5V$, または+VA = +VBD = 3V時、 $V_{REF}[(REF+) - (REF-)] = 2.5V$, $f_{SCLK} = 42MHz$ または+VA = +VBD = 2.7V時、 $V_{REF} = 2.5V$, $f_{SCLK} = 37.8MHz$
 DC曲線には $f_i = DC$, 5V電源のAC曲線には $f_i = 100kHz$ および3V電源のAC曲線には $f_i = 10kHz$

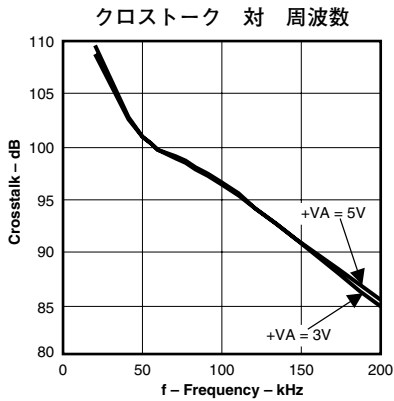


図 7

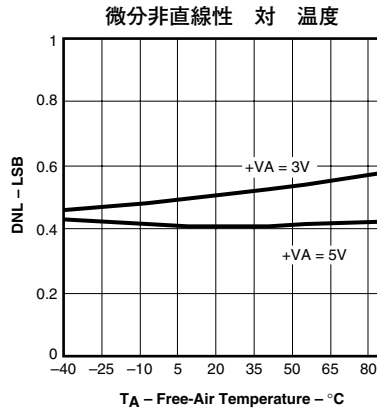


図 8

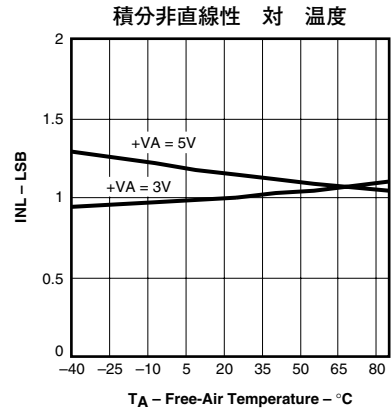


図 9

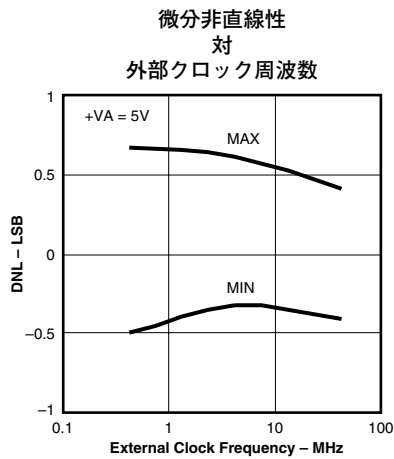


図 10

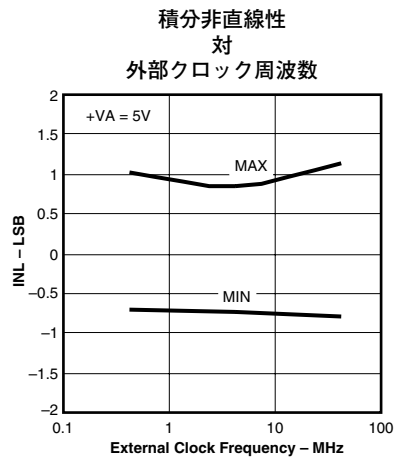


図 11

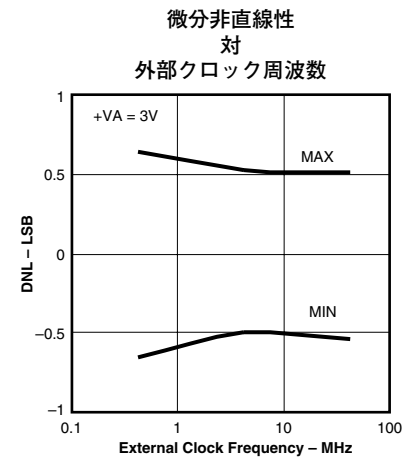


図 12

代表的特性

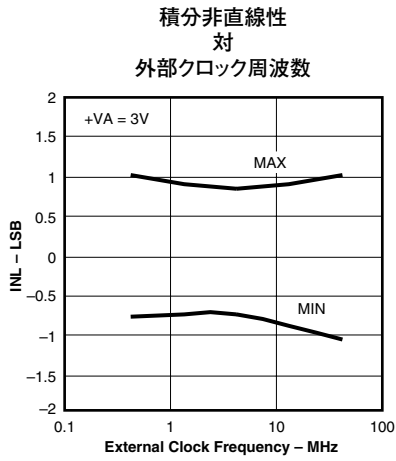


図 13

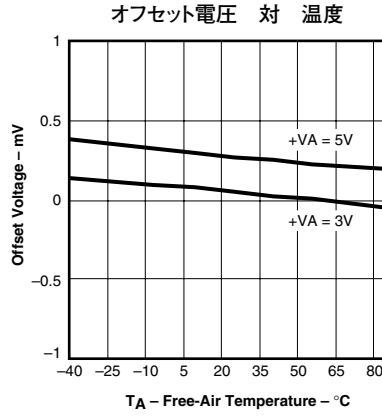


図 14

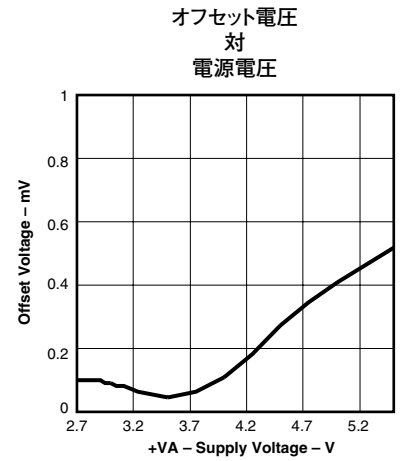


図 15

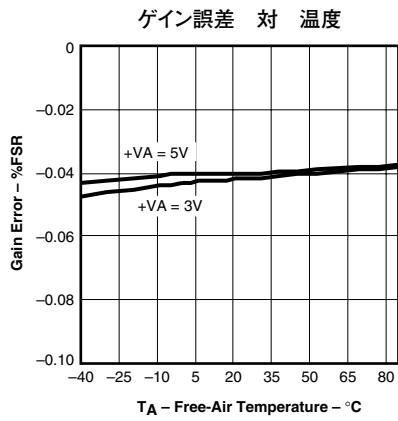


図 16

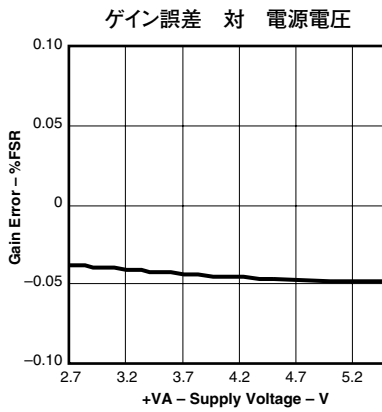


図 17

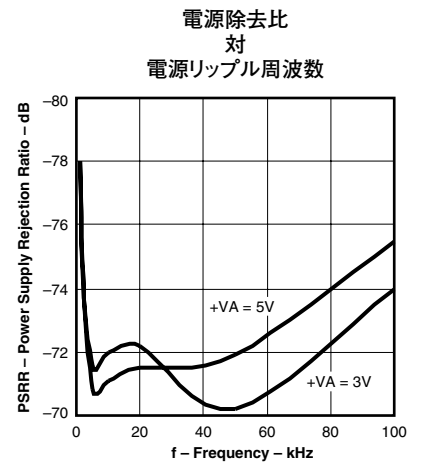


図 18

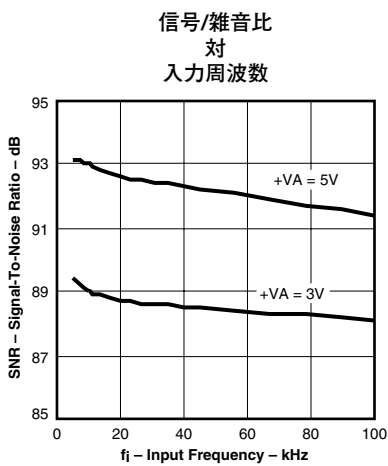


図 19

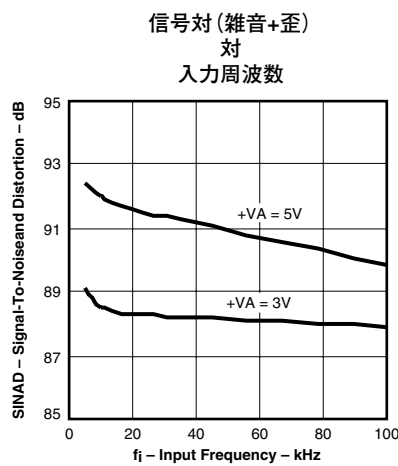


図 20

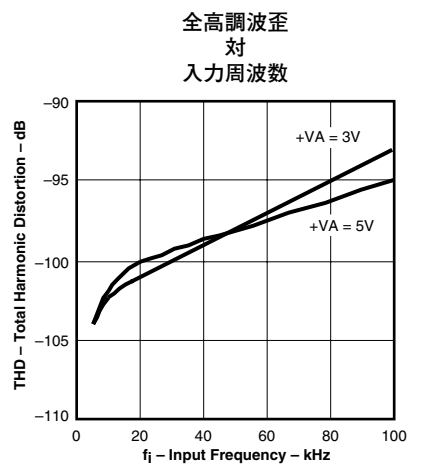


図 21

代表的特性

スプリアスフリー・ダイナミック・レンジ
対
入力周波数

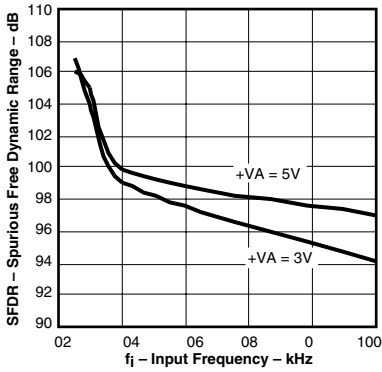


図 22

信号/雑音比
対
フルスケール・レンジ

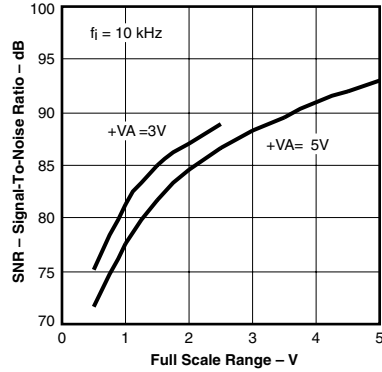


図 23

信号対(雑音+歪)
対
フルスケール・レンジ

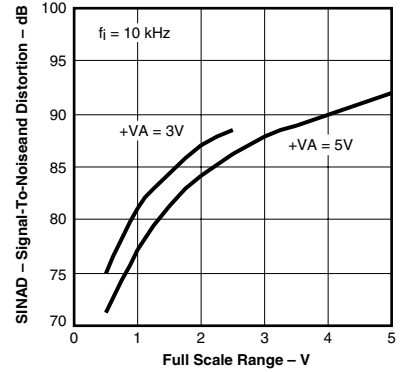


図 24

全高調波歪
対
フルスケール・レンジ

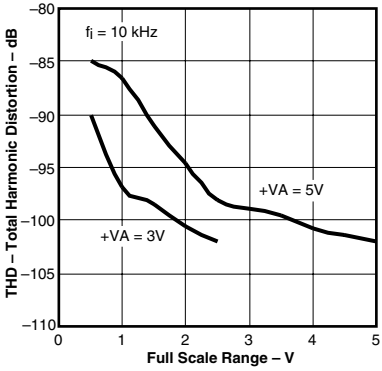


図 25

スプリアスフリー・ダイナミック・レンジ
対
フルスケール・レンジ

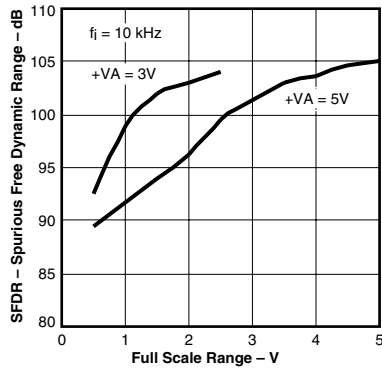


図 26

全高調波歪
対
温度

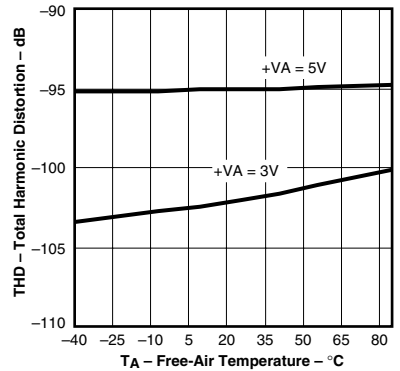


図 27

スプリアスフリー・ダイナミック・レンジ
対
温度

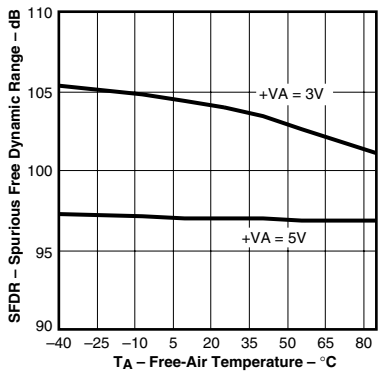


図 28

信号/雑音比
対
温度

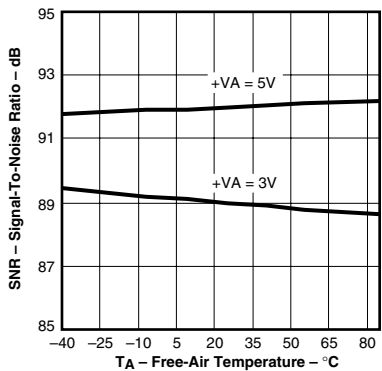


図 29

信号対(雑音+歪)
対
温度

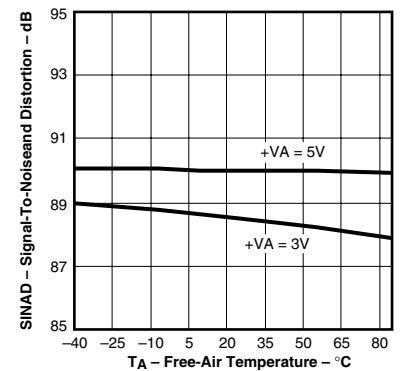


図 30

代表的特性

有効ビット数
対
温度

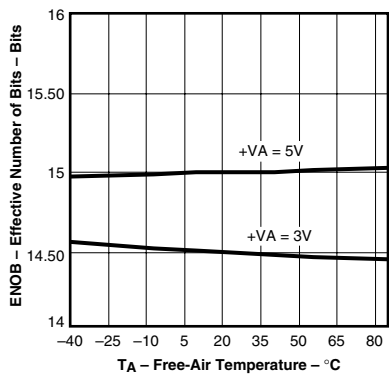


図 31

内部クロック周波数
対
電源電圧

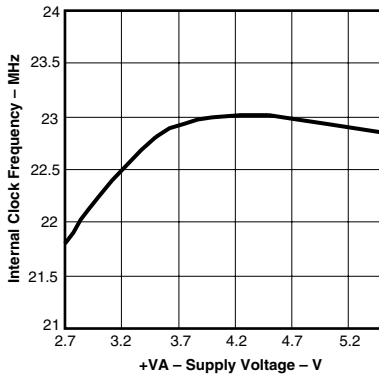


図 32

内部クロック周波数
対
温度

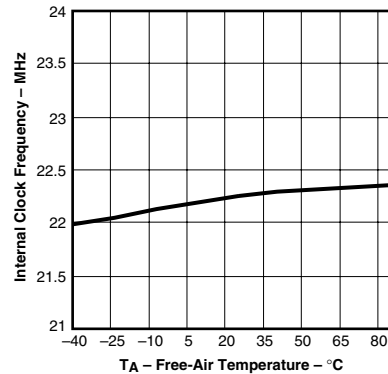


図 33

アナログ電源電流
対
電源電圧

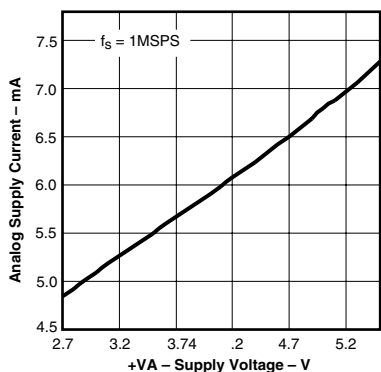


図 34

アナログ電源電流
対
電源電圧

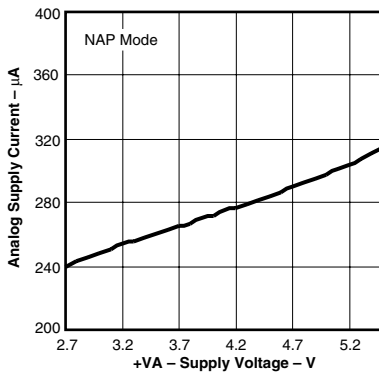


図 35

アナログ電源電流
対
電源電圧

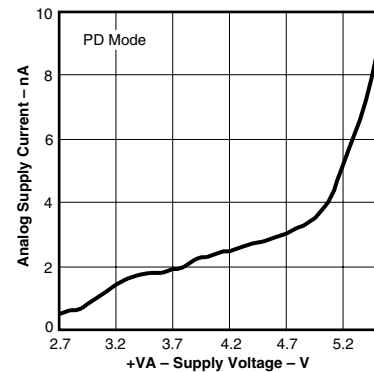


図 36

アナログ電源電流
対
サンプリング・レート

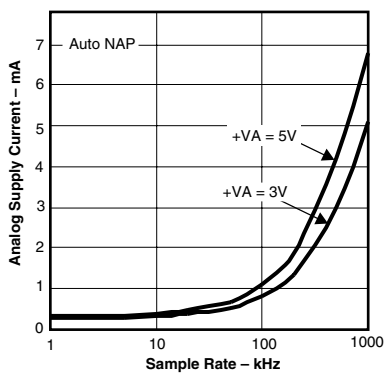


図 37

アナログ電源電流
対
サンプリング・レート

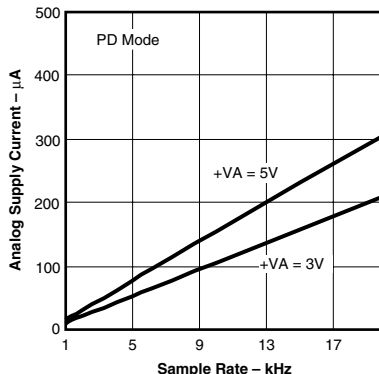


図 38

アナログ電源電流
対
温度

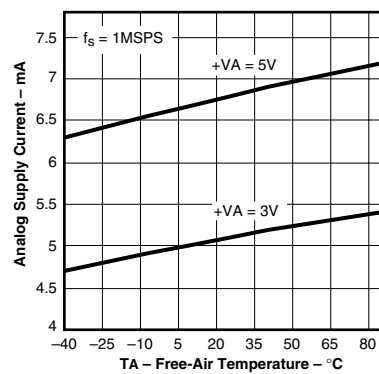


図 39

代表的特性

アナログ電源電流
対
無風温度

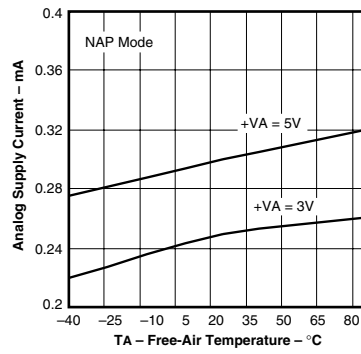


図 40

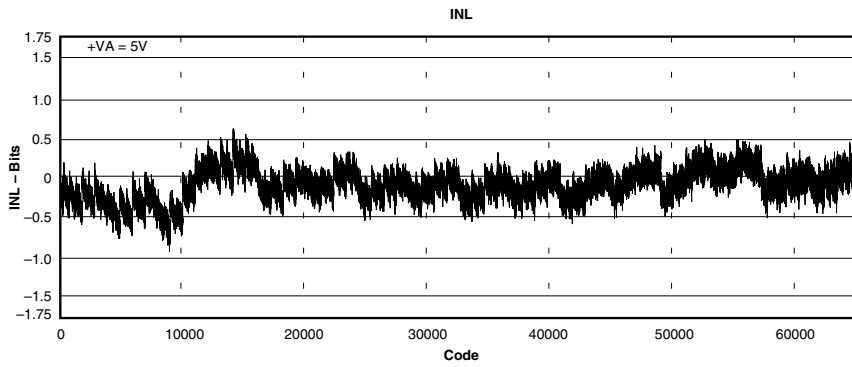


図 41

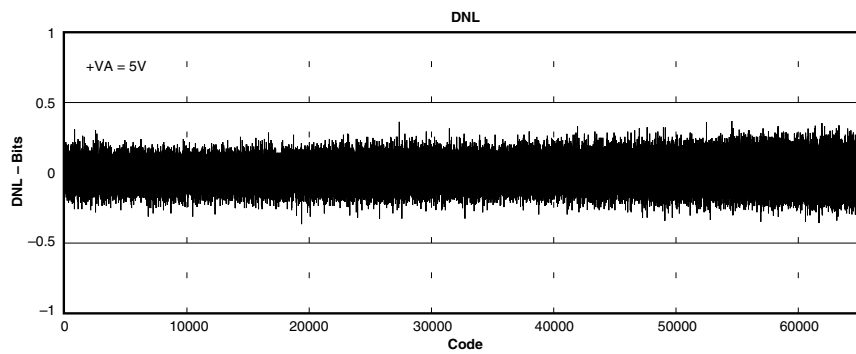


図 42

代表的特性

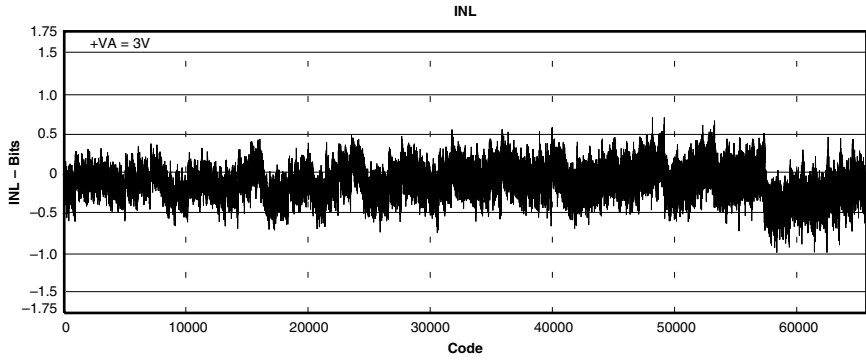


図 43

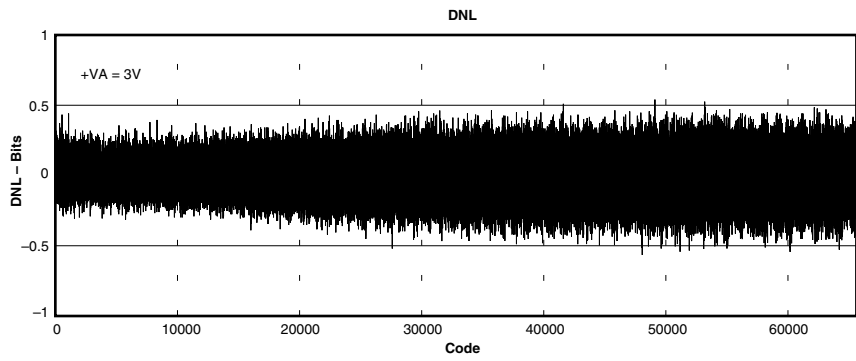


図 44

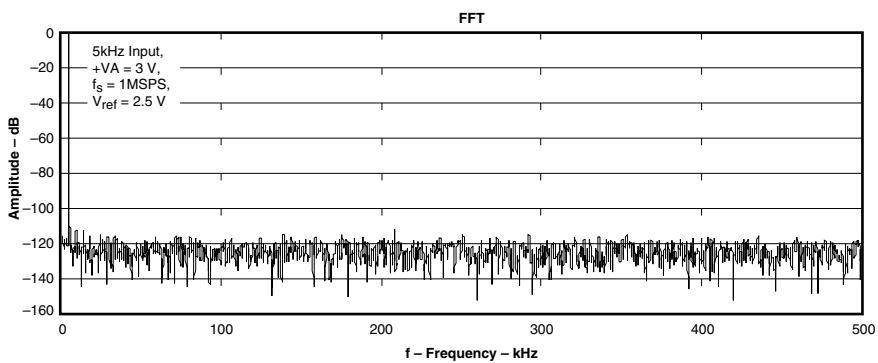


図 45

代表的特性

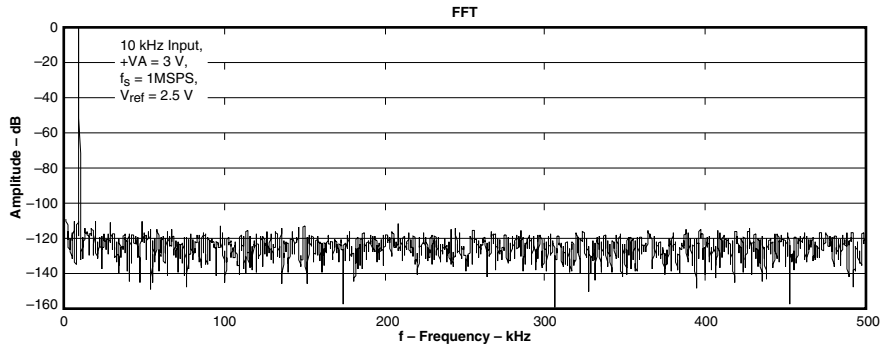


図 46

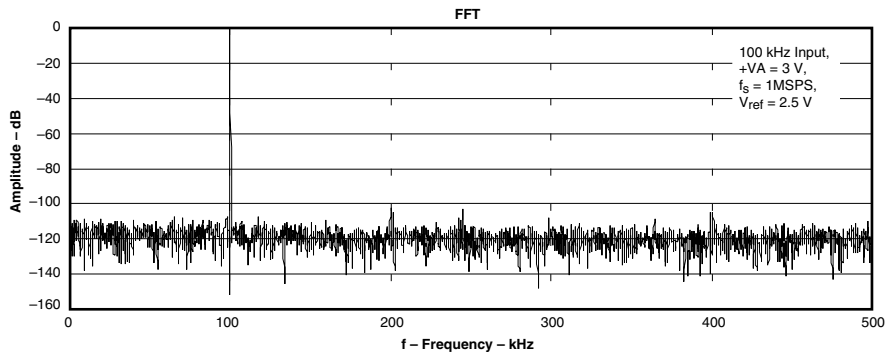


図 47

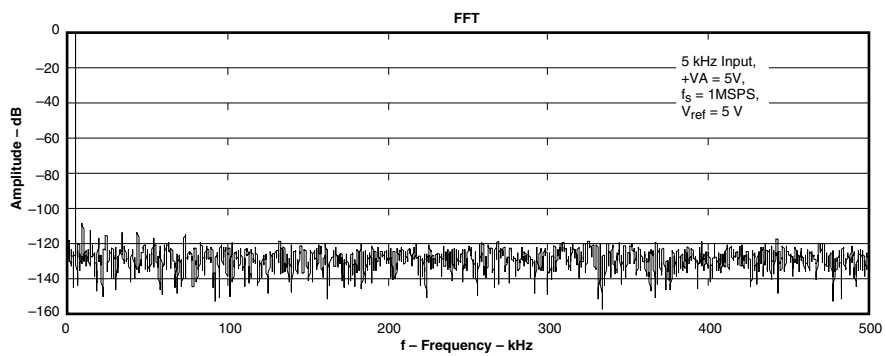


図 48

代表的特性

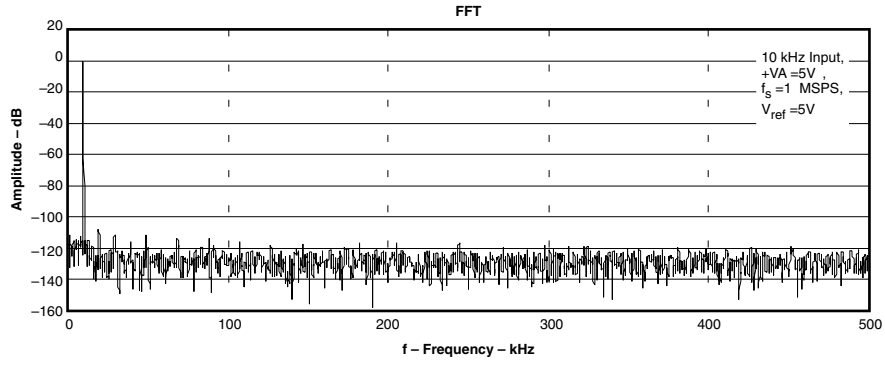


図 49

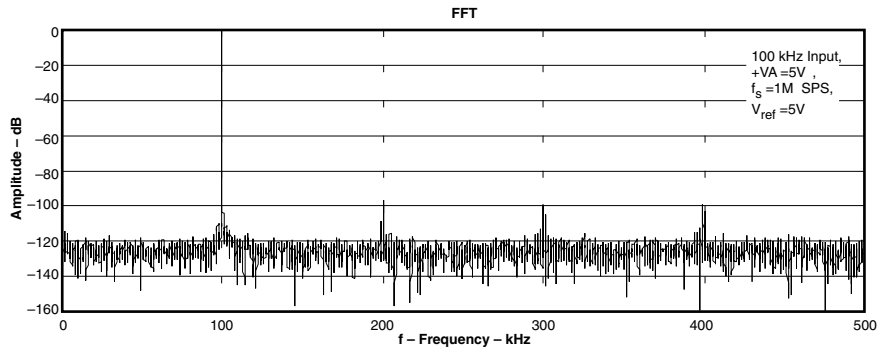


図 50

動作原理

ADS8329/30は、外部リファレンスを使用する高速で低電力の逐次比較型(SAR)ADコンバータ(ADC)です。そのアーキテクチャは、サンプル/ホールド機能を内蔵する電荷再配分に基づいています。

ADS8329/30には変換の実行に使用される内部クロックがありますが、外部シリアル・クロックSCLKにより変換を実行するようにプログラミングすることもできます。

ADS8329のアナログ入力は1つです。アナログ入力は、2つの入力端子+INおよび-INに供給します。変換が開始されると、両端子における差動入力が内部のコンデンサ・アレイにサンプル+INおよび-INの両入力は分離されます。

ADS8330には2つの入力があります。両入力は同じコモン端子COMを共有しています。負入力はADS8329の-IN端子と同じです。ADS8330は、マニュアル的にチャンネルを選択するようにプログラミングするか、チャンネル0とチャンネル1の間を自動的にスィープする自動チャンネル選択モードにプログラミングすることができます。

アナログ入力

コンバータがホールド・モードに入ると、+INおよび-IN入力間の電位差が内部のコンデンサ・アレイに取り込まれます。-IN入力の電圧はAGND - 0.2VとAGND + 0.2Vの間に制限され、+INおよび-INの両入力に共通の小信号を入力から除去することができます。+IN入力の範囲は、-0.2VからV_{REF} + 0.2Vです。入力範囲[+IN - (-IN)]は、0VからV_{REF}に制限されます。

アナログ入力を通る(ピーク)入力電流は、多くの要因すなわちサンプリング・レート、入力電圧、およびソース・インピーダンスに依存します。ADS8329/30に流入する電流により、内部コンデンサ・アレイはサンプル期間に充電されます。このコンデンサが完全に充電された後は、それ以上の入力電流は流れません。アナログ入力電圧のソースは、最小アクイジション・タイム(120ns)以内で入力容量(45pF)を16ビットのセットリング・レベルまで充電する必要があります。コンバータがホールド・モードに入ると、入力インピーダンスは1GΩより大きくなります。

絶対アナログ入力電圧には注意を払う必要があります。コンバータの直線性を保つために、+INおよび-IN入力と範囲[+IN - (-IN)]は仕様のリミット内にしなければなりません。これらの範囲を逸脱すると、コンバータの直線性は仕様を満たしません。

ノイズを最小限にするため、ローパス・フィルタによる低帯域幅の入力信号を使用しなければなりません。+INおよび-IN入力をドライブするソースの出力インピーダンスが整合するように注意しなければなりません。この整合がとれないと、2入力のセットリング・タイムが異なることもあります。その結果、温度と入力電圧により変化するオフセット誤差、ゲイン誤差、および直線性誤差につながります。

ドライバ・アンプの選択

コンバータへのアナログ入力には、THS4031またはOPA365のような低ノイズ・オペアンプでドライブする必要があります。入力ピンにRCフィルタを使用して、ソースからのノイズをローパス・フィルタリングするように推奨します。RCフィルタには、20Ωの抵抗2個と470pFのコンデンサ1個を推奨します。コンバータの入力は、範囲が0V~V_{REF}のユニポーラの入力電圧です。ドライブ・オペアンプの-3dB帯域幅の最小値は、次式で算出されます。

$$f_{3db} = (\ln(2) \times (n+1)) / (2\pi \times t_{ACQ})$$

ここに、nはADCの分解能の16です(ADS8329/30の場合)。t_{ACQ} = 120ns(アクイジション・タイムの最小値)のとき、ドライブ・アンプの最小帯域幅は15.6MHzになります。アプリケーションによってアクイジション・タイムが増加すると、この帯域幅は軽減できます。テキサス・インスツルメンツ社からはOPA365, OPA827, あるいはTHS4031を推奨します。THS4031をソース・フォロワ構成でコンバータをドライブする場合の代表的な入力ドライブ構成を図52に示します。ADS8330については、COM端子に0Ωの抵抗、あるいは直接GNDへ接続します。

バイポーラをユニポーラへ変換するドライバ

入力がバイポーラのシステムにおいて、THS4031を反転アンプ構成で使用できます。このとき、+入力に別のDCバイアスを印加して、ADS8329/30の入力を定格の動作電圧範囲内に保ちます。この構成は、優れたSNRおよびTHD性能が要求される信号処理アプリケーションにADS8329/30が使用される場合にも推奨します。DCバイアスは、リファレンス電圧ICのREF3225またはREF3240から生成できます。図53に示す入力構成では、10kHzの入力周波数時に91dBのSNRおよび-96dBのTHDより優

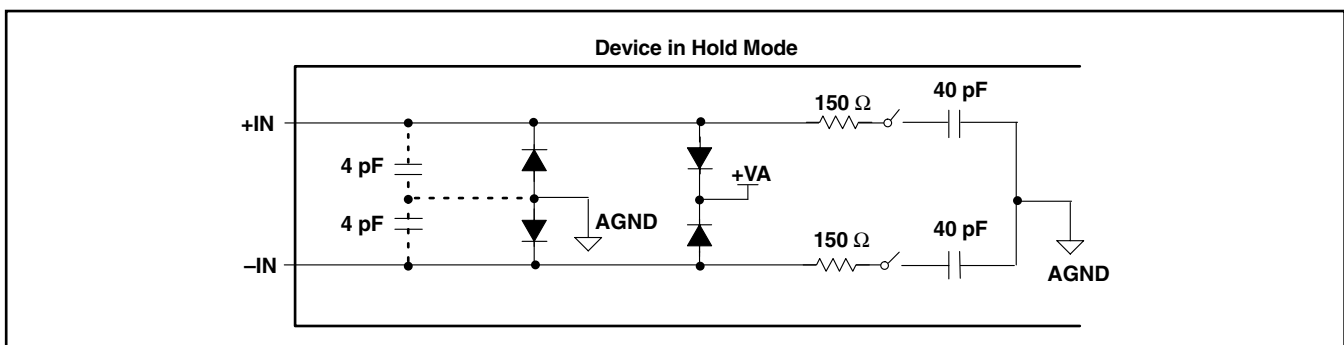


図 51. 入力等価回路

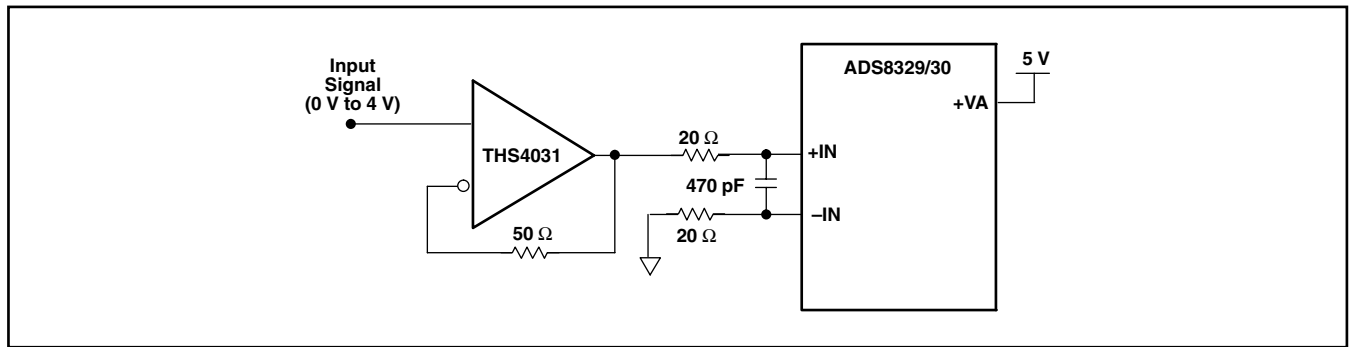


図 52. ユニポーラ入力ドライバ構成

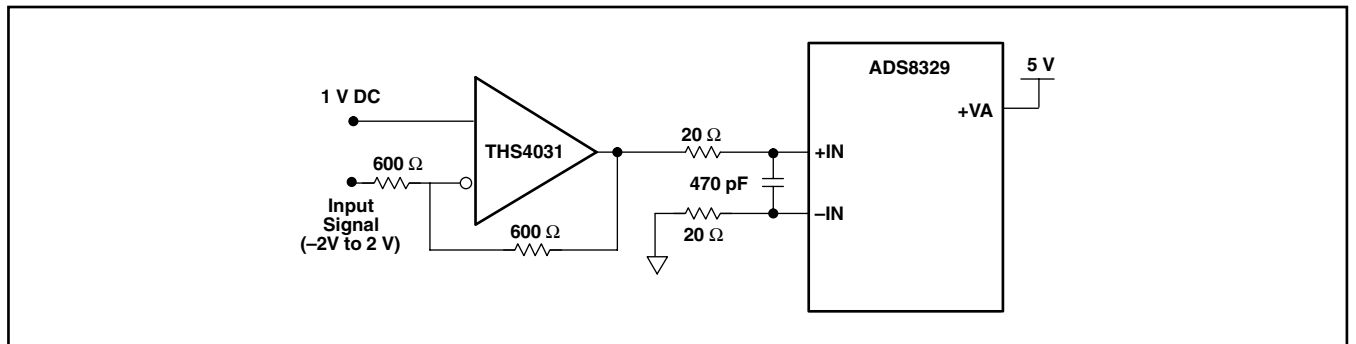


図 53. バイポーラ性入力の構成構成

れた特性が得られます。バンドパス・フィルタを入力フィルタリングに使用する場合、バンドパス・フィルタの入力における信号振幅を小さくして、フィルタにより生じる歪みを最小限に保つように注意します。このような場合、図53に示す回路のゲインを増加して、ADS8329/30の入力を大きくしてシステムの高SNRを保つことができます。このような構成のTHS4031の+入力から出力までのシステム・ゲインは、AC信号のゲインの関数であることに注意してください。抵抗分圧回路を使用すると、REF3225またはREF3240の出力を分圧してTHS4031のDC入力電圧を低減し、コンバータの入力電圧を定格動作範囲内に保つことができます。

リファレンス

ADS8329/30は、電圧範囲が0.3Vから5Vまでの外部リファレンスで動作できます。REF+端子にはクリーンで低ノイズの、よくデカップリングされたリファレンス電圧が、コンバータの優れた性能を保証するために必要です。REF3240のような低ノイズのバンド・ギャップ・リファレンスが、本ピンのドライバに使用できます。22 μ Fのセラミックのデカップリング用コンデンサが、コンバータのREF+およびREF-ピン間に必要です。デカップリング用コンデンサは、できるだけデバイスのピンの近くに配置します。REF-ピンは、それ専用のピアでアナログ・グランド面に可能な最短距離で接続しなければなりません。

変換動作

ADS8329/30には発振器があり、変換レートを制御する内部クロックとして使用されます。このクロックの周波数は最小値で21MHzです。この発振器は、デバイスがディープ・パワーダウン状態でないか、またはSCLKを変換クロック (CCLK) として使用するようにプログラミングされてないかぎり、常にオンしています。最小アキュジション (サンプリング) タイムには3 CCLK (24.5MHz時で120ns) かかり、1変換を完了する変換時間には18変換クロック (CCLK) (\approx 780ns) かかります。

必要であれば変換は、外部シリアル・クロックSCLKで実行するようにプログラミングすることもできます。このプログラミングにより、システム設計者はシステム同期を実現できます。シリアル・クロックSCLKは、変換クロック (CCLK) として使用される前に、最初にその周波数の1/2に分周されます。例えば42MHzのSCLKの場合、この分周によって21MHzのクロックが変換に供給されます。外部SCLKを変換クロック (CCLK) ソースとしてプログラミングし (かつ、マニュアルによる変換開始を選択)、SCLKの特定の立ち上がりエッジで変換を開始する必要がある場合、 $\overline{\text{CONVST}}$ とSCLKの立ち上がりエッジ間のセットアップ・タイム仕様を順守しなければなりません。これを順守すると、変換の18 CCLK (あるいは36 SCLK) での完了が保証されます。 $\overline{\text{CONVST}}$ とSCLK間の同期を保証する最小セットアップ・タイムは20nsです。多くの場合、変換はSCLK (あるいはCCLK) の1周期後に開始できるので、19 CCLK (あるいは37 SCLK) の変換になります。同期条件が緩和されると、20nsのセットアップ・タイムは必要ありません。

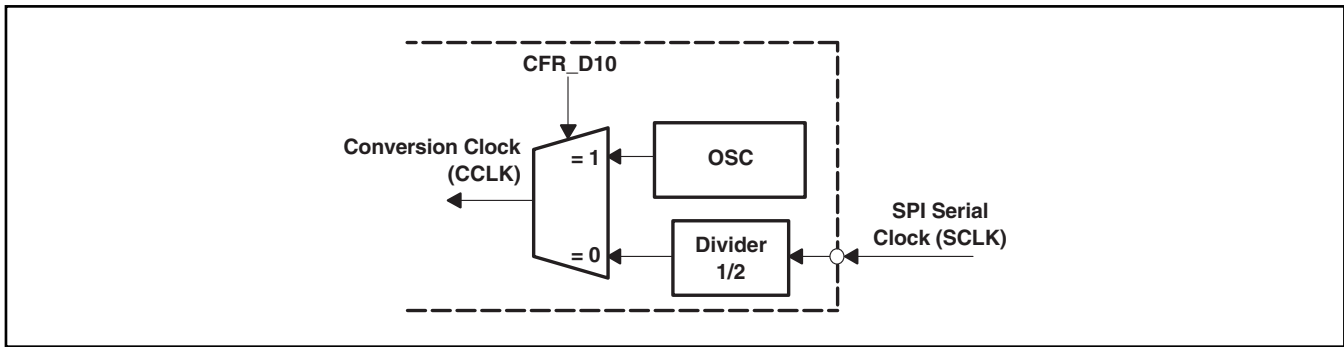


図 54. 変換クロック

SCLKのデューティ・サイクルは、“High” および “Low” の最小時間条件である8nsを満たすかぎり問題になりません。ADS8329/30は高速アプリケーション用に設計されているため、シリアル・インターフェイスの高スループットを維持できるように、より高速なシリアル・クロック (SCLK) を供給する必要があります。同様に、SCLKのクロック周期は、最大でも1μs (変換クロックCCLKとして使用の場合) でなければなりません。また、最小クロック周波数は、ADS8329/30内部の容量性デジタル・アナログ (CDAC) コンデンサの寄生リークにより定まります。

マニュアル・チャンネル選択モード

変換サイクルは、チャンネル番号をコマンド・レジスタ (CMR) に書き込むことによるアクイジション・チャンネルの選択で開始されます。このサイクル・タイムは、4シリアル・クロック (SCLK) まで短くできます。

自動チャンネル選択モード

自動チャンネル選択モードがイネーブルの場合、チャンネル選択は自動的に行うことができます。これはデフォルトのチャンネル選択モードです。デュアル・チャンネル・コンバータのADS8330には、2対1のMUXが組み込まれています。ADS8330を自動チャンネル選択モードにプログラミングすると、チャンネル0およびチャンネル1からの信号は固定の順番で取り込まれます。自動チャンネル選択モードにするためにCFR_D11を1に設定したコマンドサイクル後の次のサイクルで、最初にチャンネル0がアクセスされます。この自動アクセスにより、CFR_D11を0に設定するコマンド・サイクルの後のサイクルが停止されます。

変換の開始

アクイジションまたはサンプリングの終了 (EOS) は、変換の開始と同じことです。CONVSTピンを最小40nsだけ “Low” にすると、この切り換えが開始されます。最小条件が満たされた後、CONVSTピンを “High” に上げることができます。CONVSTはFS/CSとは独立して機能するので、複数のコンバータで同時サンプル/ホールドを要するアプリケーションに、1つの共通CONVSTを使用することができます。ADS8329/30は、CONVST信号の立ち下がりエッジでサンプル・モードからホールド・モードへ切り換わります。ADS8329/30は、変換を完了するのに18個の変換クロック (CCLK) エッジを要します。したがって変換時間は、12MHz内部クロックで1500nsになります。2つの連続するCONVST信号間の最小時間は21 CCLKです。

CFR_D9 = 0とプログラミングすると、変換はCONVSTを使用しなくても開始することができます。コンバータを自動トリガに構成すると、1つの変換終了の3変換クロック (CCLK) 後に次の変換が自動的に開始されます。これら3変換クロック (CCLK) は、アクイジション・タイムとして使用されます。その場合、アクイジションおよび変換の1サイクルの完了に要する時間は、21 CCLKになります。

| モード | チャンネル選択 | 変換開始 |
|-------|--|----------------------|
| 自動 | 自動チャンネル選択 ⁽¹⁾ | 自動トリガ |
| | チャンネル番号をCMRに書き込む必要なし。ADS8330では内部シーケンスを使用します。 | 変換クロックCCLKで変換を開始します。 |
| マニュアル | マニュアル・チャンネル選択 | マニュアル・トリガ |
| | CMRにチャンネル番号を書き込みます。 | CONVSTで変換を開始。 |

表 1. 各種の変換

(1) 自動チャンネル選択は、自動トリガおよびTAGビットのイネーブルとともに使用するようになります。

ステータス出力EOC/ $\overline{\text{INT}}$

ステータス・ピンをEOCにプログラミングし、その極性をアクティブ“Low”に設定すると、そのピンは以下のように働きます。すなわち、マニュアル・トリガにプログラミングした場合、 $\overline{\text{CONVST}}$ が“Low”に下がった直後にEOC出力は“Low”になります。EOCは変換プロセスを通して“Low”であり、変換が終了すると“High”に戻ります。自動トリガにプログラミングした場合、前のEOCの立ち上がりエッジ後の3変換クロック(CCLK)の間、EOC出力は“Low”になります。

本ステータスピンはプログラマブルです。これはEOC出力として使用でき(CFR_D[7:6] = 1, 1)、その“Low”の時間は変換時間に等しくなります。また、本ステータス・ピンは $\overline{\text{INT}}$ として使用でき(CFR_D[7:6] = 1, 0)、変換終了(EOC)が次の読み取りサイクルで“High”(クリア)になると、 $\overline{\text{INT}}$ は“Low”に設定されます。いずれの機能(EOCまたは $\overline{\text{INT}}$)にも使用される本ピンの極性は、CFR_D7によりプログラマブルです。

パワーダウン・モード

ADS8329/30には、包括的なパワーダウン機能が組み込まれています。3つのパワーダウン・モードすなわちディープ・パワーダウン・モード、ナップ・パワーダウン・モード、および自動ナップ・パワーダウン・モードがあります。3つのパワーダウン・モードは、すべて関連のCFRビットの設定によりイネーブルになります。最初の2つのパワーダウン・モードは、イネーブル時にアクティブになります。ウエークアップ・コマンド1011bにより、パワーダウン・モードから脱してデバイス動作を再開することができます。自動ナップ・パワーダウン・モードは、少しばかり異なった働きをします。自動ナップ・パワーダウン・モードでコンバータがイネーブルになると、変換終了(EOC)によりデバイスが自動ナップ・パワーダウン・モードになります。次に、サンプリングの開始により、コンバータの動作が復旧します。設定レジスタの内容は、いかなるパワーダウン・モードにも影響されません。ナップあるいはディープ・パワーダウンがアクティブになると、進行中の変換はすべて中断されます。

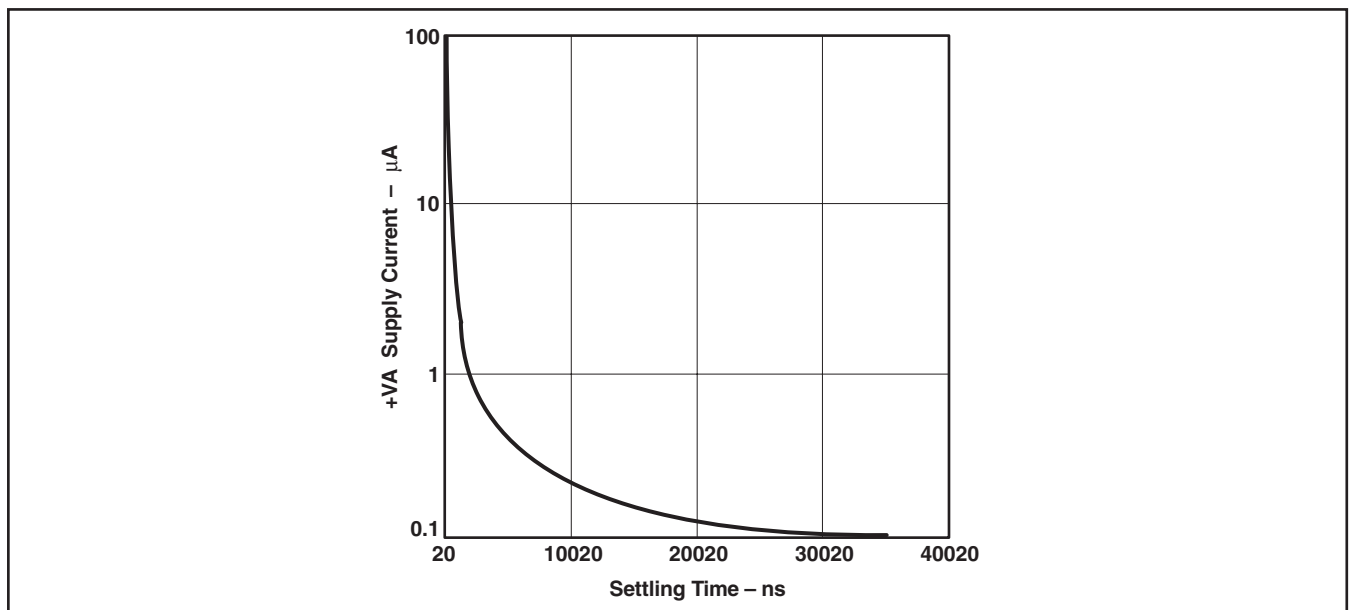


図 55. 代表的なアナログ電源電流ドロップ 対 パワーダウン後の時間

ディープ・パワーダウン・モード

ディープ・パワーダウン・モードは、設定レジスタ・ビット CFR_D2に書き込むとアクティブになります。デバイスがディープ・パワーダウン・モードの場合、インターフェイスを除くすべてのブロックがパワーダウンに入ります。外部SCLKのアナログ・ブロックへの供給は阻止されます。アナログ・ブロックのバイアス電流は無く、内部発振器はオフします。本モードでは、消費電流が7mAから4nAまで100nsで低下します。パワーダウン後のウエークアップ時間は1μsです。設定レジスタのビットD2を0に設定すると、デバイスはディープ・パワーダウンに入ります。このビットを1に設定するかウエークアップ・コマンドを送ると、コンバータはディープ・パワーダウン状態から復旧することができます。

ナップ・モード

ナップ・モードでは、ADS8329/30のコンパレータおよび中点電圧バッファのバイアスがオフします。このモードでは、消費電流が通常モードの7mAから約0.3mAに設定サイクル後から200nsで低下します。ナップ・パワーダウン・モードからのウエークアップ（復旧）時間は、3 CCLK (24.5MHzの変換クロックで120ns) です。制御レジスタのCFR_D3ビットを0に設定すると、すぐにデバイスは変換の状態にかかわらずナップ・パワーダウン・モードに入ります。このビットを1に設定するか、ウエークアップ・コマンドを送出すると、コンバータはナップ・パワーダウン・モード状態から復旧できます。

自動ナップ・モード

自動ナップ・モードは、ナップ・モードとほぼ等しいです。両者の相違は、デバイスが実際にパワーダウンする時間とデバイスをウエークアップする方法だけです。自動ナップ・モードのイネーブル/ディスエーブルには、設定レジスタのビットD4だけを使用します。自動ナップ・モードをイネーブルにすると、変換の終了後にデバイスはバイアスをオフします。すなわち変換終了により、自動ナップ・パワーダウン・モードはアクティブになります。消費電流は通常モードの7mAから約0.3mAに200nsで低下します。CONVSTによりデバイスは復旧し、3 CCLK (24.5MHzの変換クロックで120ns) でバイアスは再度オンします。設定レジスタのビットD4を1に設定すると、自動ナップ・モードがディスエーブルになり、デバイスをウエークアップすることができます。また、あらゆるチャンネル選択コマンド0XXXb, ウエークアップ・コマンド、またはデフォルト・モードコマンドに設定された1111bにより、デバイスは自動ナップ・パワーダウン・モードからウエークアップすることができます。

注意：

- このウエークアップ・コマンドは、コマンドワードの中のワード1011bです。このコマンドは、設定レジスタのビットD2およびD3を1に設定しますが、D4は1に設定しません。しかし、ウエークアップ・コマンドは、ディープ/ナップ/自動ナップ・パワーダウンのどのパワーダウン状態からも、デバイスをウエークアップします。
- ウエークアップ時間は、ホスト・プロセッサがコンバータのウエークアップを試行してから、変換が開始できるまでの時間として定義されます。

| パワーダウンの種類 | 消費電力 | 起動手段 | 起動時間 | 復旧手段 | 復旧時間 | イネーブル |
|--------------|--------------|------------|--------|---|---------|--------|
| 通常動作 | 7 mA/5.1mA | | | | | |
| ディープ・パワーダウン | 4nA/2nA | CFRの設定 | 100 ns | コマンド1011bによるウエークアップ | 1 μs | CFRの設定 |
| ナップ・パワーダウン | 0.3mA/0.25mA | CFRの設定 | 200 ns | コマンド1011bによるウエークアップで6.6mAを実現。なぜなら $(1.3 + 12)/2 = 6.6$ | 3 CCLKs | CFRの設定 |
| 自動ナップ・パワーダウン | | EOC (変換終了) | 200 ns | CONVST, あらゆるチャンネル選択コマンド、デフォルトコマンド1111b, あるいはウエークアップコマンド命令の1011bによるウエークアップ | 3 CCLKs | CFRの設定 |

表 2. パワーダウン・モードの比較

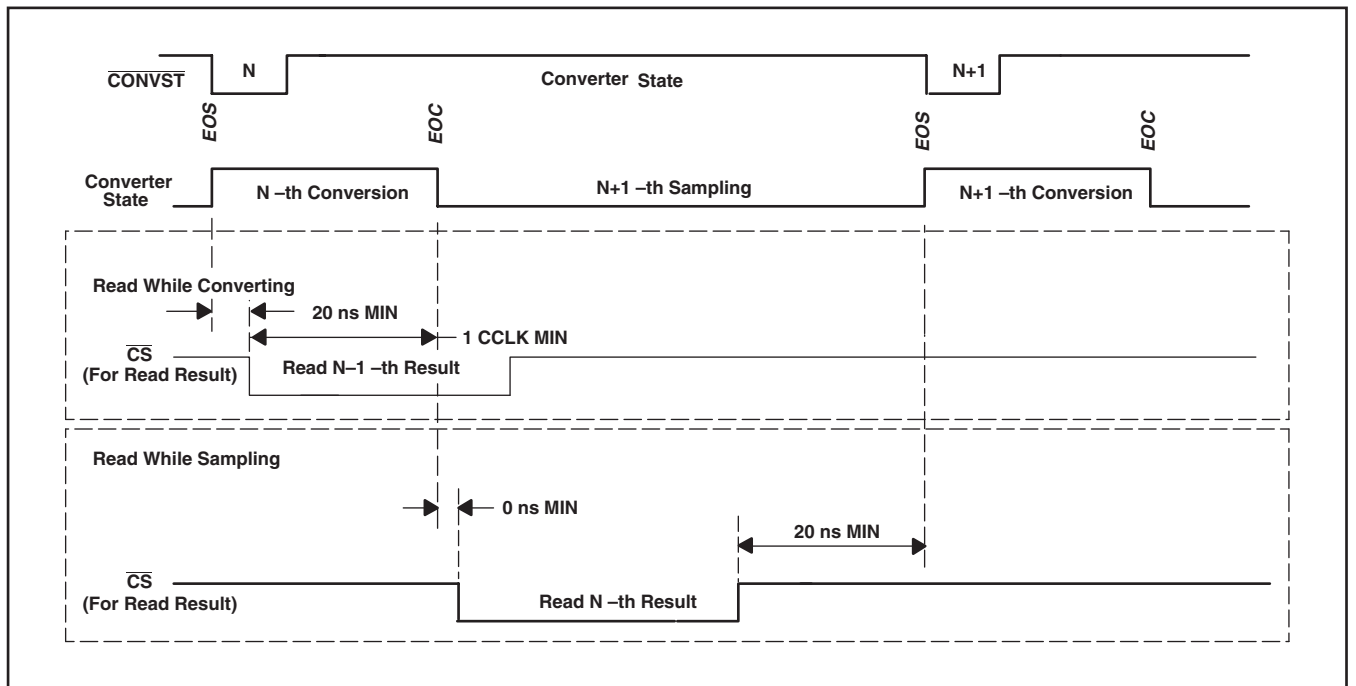


図 56. 変換中の読み取り 対 サンプリング中の読み取り (マニュアル・トリガ)

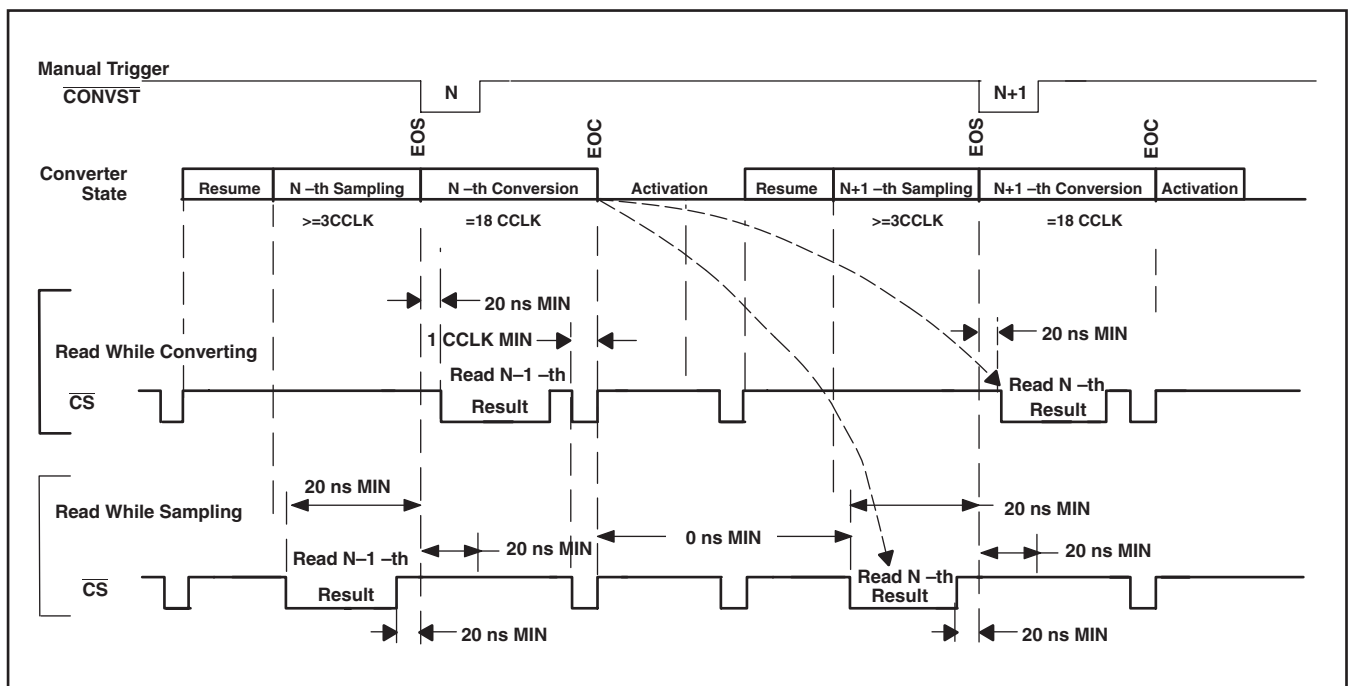


図 57. ディープあるいはナップ・パワーダウンでの変換中の読み取り 対 サンプリング中の読み取り

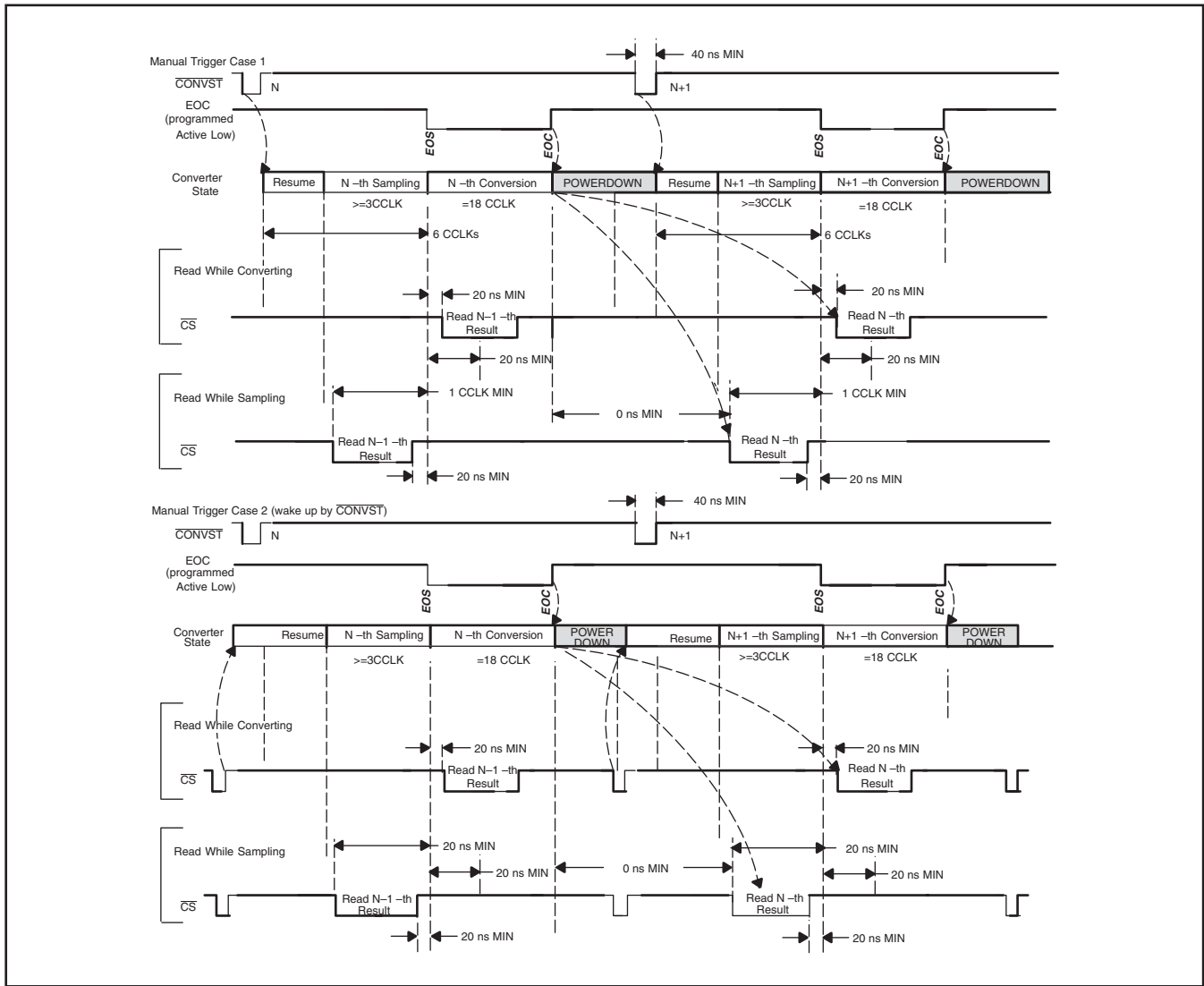


図 58. 自動ナップ・パワーダウンでの変換中の読み取り 対 サンプリング中の読み取り

アキュイジションの合計 + 変換サイクル・タイム :

- 自動 : = 21 CCLKs
- マニュアル : ≥ 21 CCLKs
- マニュアル + ディープ・パワーダウン : ≥ 4 SCLK + 100μs + 3 CCLK + 18 CCLK + 16 SCLK + 1μs
- マニュアル + ナップ・パワーダウン : ≥ 4 SCLK + 3 CCLK + 3 CCLK + 18 CCLK + 16 SCLK
- マニュアル + 自動ナップ・パワーダウン (復旧にウエークアップを使用) : ≥ 4 SCLK + 3 CCLK + 3 CCLK + 18 CCLK + 16 SCLK (use wakeup to resume)
- マニュアル + 自動ナップ・パワーダウン (復旧にCONVSTを使用) : ≥ 1 CCLK + 3 CCLK + 3 CCLK + 18 CCLK + 16 SCLK (use CONVST to resume)

デジタル・インターフェイス

シリアル・クロックは、最大50MHzまでのSCLK周波数により、最新の高速プロセッサに対応するように設計されています。各サイクルは、FS/ $\overline{\text{CS}}$ の立ち下がりエッジで開始します。EOC時に出力レジスタにて得られる内部データ・レジスタの内容は、FS/ $\overline{\text{CS}}$ の立ち下がりエッジでSDO出力ピンに現れます。これはMSBになります。出力データは $t_{\text{d}}(\text{SCLKF-SDOVALID})$ の遅延でSCLKの立ち下がりエッジにて有効なので、ホスト・プロセッサはSCLKの立ち下がりエッジでデータを読み取ることができます。また、シリアル・データ入力もSCLKの立ち下がりエッジで読み取られます。

一連のシリアルI/Oサイクルは、FS/ $\overline{\text{CS}}$ の立ち下がりエッジ後の最初のSCLKの立ち下がりエッジで開始し、16個（注意を参照）のSCLKの立ち下がりエッジ後に終了します。このシリアル・インターフェイスは非常に使い勝手の良いものであり、CPOL=0, CPHA=1またはCPOL=1, CPHA=0で動作します。この条件は、FS/ $\overline{\text{CS}}$ の立ち下がりエッジがSCLKの“High”の間にあっても良いということを意味します。同様の軽減はFS/ $\overline{\text{CS}}$ の立ち上がりエッジにも適用されます。すなわち、最終のSCLKの立ち下がりエッジがFS/ $\overline{\text{CS}}$ の立ち上がりエッジ前にあれば、FS/ $\overline{\text{CS}}$ の立ち上がりエッジはSCLKの“High”または“Low”のときに可能です。

注意：

読み取りモードの組み合わせにより、サイクル当たり4 SCLKから最大24 SCLKまでの場合があります。

内部レジスタ

内部レジスタは2つの部分から成り、コマンドレジスタ (CMR) 用の4ビットおよび設定データ・レジスタ (CFR) 用の12ビットがあります。

コンバータへの書き込み

レジスタへの書き込みにはCMRへの4ビット書き込みと、CMR + CFRへのフル16ビット書き込みの2種類があります。このコマンドセットを表3に示します。簡単なコマンドには4 SCLKしか必要とせず、書き込み動作はSCLKの4番目の立ち下がりエッジで有効になります。16ビットの書き込みまたは読み取りは、少なくとも16 SCLKを要します（16 SCLKより多く要する例外は、表6を参照）。

| D[15:12] | HEX | コマンド | D[11:0] | 自動ナップからの ウエーク・アップ | 所要の 最小SCLK数 | R/W |
|----------|-----|--------------------------------|---------|----------------------|----------------|-----|
| 0000b | 0h | アナログ入力チャンネル0を選択 ⁽²⁾ | 任意 | Y | 4 | W |
| 0001b | 1h | アナログ入力チャンネル1を選択 ⁽²⁾ | 任意 | Y | 4 | W |
| 0010b | 2h | 予約 | 予約 | — | — | — |
| 0011b | 3h | 予約 | 予約 | — | — | — |
| 0100b | 4h | 予約 | 予約 | — | — | — |
| 0101b | 5h | 予約 | 予約 | — | — | — |
| 0110b | 6h | 予約 | 予約 | — | — | — |
| 0111b | 7h | 予約 | 予約 | — | — | — |
| 1000b | 8h | 予約 | 予約 | — | — | — |
| 1001b | 9h | 予約 | 予約 | — | — | — |
| 1010b | Ah | 予約 | 予約 | — | — | — |
| 1011b | Bh | ウエーク・アップ | 任意 | Y | 4 | W |
| 1100b | Ch | CFRを読み取る | 任意 | — | 16 | R |
| 1101b | Dh | データを読み取る | 任意 | — | 16 | R |
| 1110 | Eh | CFRに書き込む | CFR値 | — | 16 | W |
| 1111b | Fh | デフォルト・モード (CFRにデフォルト値をロードする) | 任意 | Y | 4 | W |

表 3. コマンドレジスタ (CMR)⁽¹⁾により定義されるコマンドセット

- (1) SDOが3ステートでない (FS/ $\overline{\text{CS}}$ がアップ “Low” およびSCLKが自走) 場合、SDOからのビットは常に前の変換結果の部分です (供給されるSCLKの数に依存)。
 (2) これら2コマンドはADS8330のみに適用。

コンバータおよびデフォルト・モードの設定

コンバータは、コマンド1110b (CFRへの書き込み) あるいはコマンド1111b (デフォルト・モード) で設定できます。CFRへの書き込みには、4ビットのコマンドおよび続く12ビットのデータが必要です。4ビットコマンドは、SCLKの4番目の立ち下がりがエッジで有効になります。CFR書き込みは、SCLKの16番目の立ち下がりがエッジで有効になります。

デフォルト・モードコマンドは、単にSDIを+VBDに接続することで実現できます。デバイスが選択されるとすぐに、SCLKにより少なくとも4個の“1”がクロック入力されます。CFRのデフォルト値は、SCLKの4番目の立ち下がりがエッジでCFRにロードされます。

CFRのデフォルト値は、すべて1です (CFR_D1を除きます)。このビットはADS8329では無視され、常に0として読み取られます。同じデフォルト値が、パワーオン・リセット (POR) およびSWリセット後のCFRに適用されます。

設定レジスタの読み取り

ホスト・プロセッサはコマンド1100bを発行して、CFRにプログラムされた値を読み返すことができます。このタイミングは変換結果の読み取りと類似していますが、 $\overline{\text{CONVST}}$ を使用せず、EOC/ $\overline{\text{INT}}$ ピンの働きがありません。読み返されたCFR値には、変換データの最初の4MSBと有効な12ビットのCFRの内容が含まれています。

変換結果の読み取り

変換結果はEOC時に出力データ・レジスタ (ODR) の入力にあり、次の $\overline{\text{CS}}$ またはFSの立ち下がりがエッジで出力レジスタの出力に送られます。するとホスト・プロセッサは、静的期間を除いてデータをSDOピン経由でシフト出力することができます。この静的期間は、サンプリング終了 (EOS) の20ns前および20ns後になります。サンプリング終了 (EOS) は、マニュアル・トリガを使用する場合は $\overline{\text{CONVST}}$ の立ち下がりがエッジとして、または、自動トリガを使用する場合はEOC後の3番目の変換クロック (CCLK) の終了として定義されます。

| SDIビット | 定義 | |
|--|---|--|
| CFR - D[11-0] | | |
| D11 デフォルト = 1 | チャンネル選択モード 0: マニュアル・チャンネル選択をイネーブル。 チャンネル選択コマンドで種々のチャンネルにアクセスする。 | 1: 自動チャンネル選択をイネーブル。本ビットを0に設定した後のサイクルまで、全チャンネルを順番にサンプリングおよび変換する。 |
| D10 デフォルト = 1 | 変換クロック (CCLK) ソースを選択する。 0: 変換クロック (CCLK) = SCLK/2 | 1: 変換クロック (CCLK) = 内部OSC |
| D9 デフォルト = 1 | トリガ (変換開始) を選択。サンプリング終了 (EOS) 時に変換を開始する。D9 = 0ならば、D4の設定は無視される。 0: 自動トリガを自動的に開始する (EOCのインアクティブ後の4内部クロック)。 | 1: $\overline{\text{CONVST}}$ の立ち下がりがエッジでマニュアル・トリガがマニュアル的に開始される。 |
| D8 デフォルト = 1 | 任意 | 任意 |
| D7 デフォルト = 1 | 10ピンを出力 (EOC/ $\overline{\text{INT}}$) として使用するとき、その極性を選択する。 0: EOCはアクティブ “High” / $\overline{\text{INT}}$ はアクティブ “High” | 1: EOCはアクティブ “Low” / $\overline{\text{INT}}$ はアクティブ “Low” |
| D6 デフォルト = 1 | 10ピンを出力 (EOC/ $\overline{\text{INT}}$) として使用するとき、その機能を選択する。 0: 10ピンを $\overline{\text{INT}}$ として使用。 | 1: 10ピンをEOCとして使用。 |
| D5 デフォルト = 1 | チェイン・モード動作時の10ピンのI/Oを選択する。 0: 10ピンをCDI入力として使用 (チェイン・モードのイネーブル時)。 | 1: 10ピンをEOC/ $\overline{\text{INT}}$ 出力として使用する。 |
| D4 デフォルト = 1 | 自動ナップ・パワーダウンのイネーブル/ディスエーブル (サイクル間で中点電圧とコンパレータがシャットダウンする)。D9 = 0ならば、本ビットの設定は無視される。 0: 自動ナップ・パワーダウンをイネーブル (アクティブではない)。 | 1: 自動ナップ・パワーダウンをディスエーブル。 |
| D3 デフォルト = 1 | ナップ・パワーダウン (サイクル間で中点電圧とコンパレータがシャットダウンする)。本ビットは、ウエーク・アップコマンドにより自動的に1に設定される。 0: デバイスのナップ・パワーダウン・モードをイネーブル/アクティブにする。 | 1: デバイスをナップ・パワーダウンから脱け出させる (復旧)。 |
| D2 デフォルト = 1 | ディープ・パワーダウン。本ビットは、ウエーク・アップコマンドにより自動的に1に設定される。 0: デバイスのディープ・パワーダウン・モードをイネーブル/アクティブにする。 | 1: デバイスをディープ・パワーダウンから脱け出させる (復旧)。 |
| D1 デフォルト = 0: ADS8329 1: ADS8330 | TAGビットのイネーブル。ADS8329では本ビットは無視され、常に0として読み取られる。 0: TAGビットをディスエーブル。 | 1: TAGビット出力をイネーブル。TAGビットは17番目のSCLKで現れる。 |
| D0 デフォルト = 1 | リセット 0: システム・リセット | 1: 通常動作 |

表 4. 設定レジスタ (CFR) マップ

FS/ $\overline{\text{CS}}$ の立ち下がりエッジは、変換終了(デフォルトではEOCが“High”になるとき)の間近(最低限、1変換クロック(CCLK)の遅延を設ける)に配置しないようにします。さもないと、データが破損します。FS/ $\overline{\text{CS}}$ を変換終了の前に配置すると、前の変換結果が読み取られます。また、FS/ $\overline{\text{CS}}$ を変換終了の後に配置すると、現在の変換結果が読み取られます。

変換結果は表4に示すように、ストレート・バイナリ形式の16ビット・データです。一般に16SCLKが必要ですが、それより多くのSCLKを要する例外があります(表6参照)。シリアル出力(SDO)からのデータ出力は、左詰めMSBファースト方式です。末尾のビットは最初にTAGビット(イネーブルならば)、残りはすべて0で満たされます。SDOは、FS/ $\overline{\text{CS}}$ が再度“High”になるまで“Low”のままです。

SDOはFS/ $\overline{\text{CS}}$ が“Low”のときにアクティブです。FS/ $\overline{\text{CS}}$ の立ち上がりエッジにより、SDO出力は3ステートになります。

注意：

SDOが3ステートでないとき(FS/ $\overline{\text{CS}}$ が“Low”で、SCLKが自走)は、変換結果の一部がSDOピンに出力されます。そのビット数は、供給されたSCLK数に依存します。例えば、マニュアル選択チャンネルコマンドサイクルには4SCLKが必要であり、そのため変換結果の4MSBがSDOに出力されます。例外は、あらゆるリセット(PORやソフトウェアリセット)の直後のサイクルにて、SDOがすべて1を出力することです。

SCLKを変換クロック(CCLK)として使用し、かつ連続するSCLKを使用する場合、サンプリング時間(6SCLK)に16SDOビットをすべてクロック出力するのは、静的期間条件のために不可能です。この場合、変換時間(自動ナップ・モードで36SCLKまたは48SCLK)に変換結果を読み取る方が良いです。

TAGモード

ADS8330にはTAGという機能があります。この機能は、どのチャンネルが変換結果のソースであるかを示すタグとして使用できます。TAGモードがイネーブルの場合、SDOから読み出されるLSBの後にアドレス・ビットを付加し、変換結果がどのチャンネルから来たかを示します。このアドレス・ビットは、チャンネル0については0、チャンネル1については1になります。この追加のTAGビットのために、4ビットのコマンド+12ビットのCFRすなわち16データ・ビットに要する16SCLKより多くを、コンバータは必要とします。

チェイン・モード

ADS8329/30は単一のコンバータとして、または複数コンバータのシステムにおいて使用することができます。複数コンバータを使用する場合、それらをシングル・チェインにカスケード接続することにより、システム設計者は簡便な高速SPI互換シリアル・インターフェイスを利用できます。CFRのあるビットを使用すると、上流コンバータからの変換結果について、EOC/ $\overline{\text{INT}}$ ステータスピンを第2シリアル・データ入力すなわちチェイン・データ入力(CDI)として再設定できます。これがチェイン・モード動作です。3個のコンバータの代表的な接続を図59に示します。

| 説明 | アナログ値 | デジタル出力 ストレート・バイナリ | |
|--------------|------------------------------------|----------------------|--------|
| | | バイナリ・コード | HEXコード |
| フルスケール範囲 | V_{REF} | | |
| 最下位ビット(LSB) | $V_{\text{REF}}/65536$ | | |
| フルスケール | $+V_{\text{REF}} - 1 \text{ LSB}$ | 1111 1111 1111 1111 | FFFF |
| ミッドスケール | $V_{\text{REF}}/2$ | 1000 0000 0000 0000 | 8000 |
| ミッドスケール-1LSB | $V_{\text{REF}}/2 - 1 \text{ LSB}$ | 0111 1111 1111 1111 | 7FFF |
| ゼロ | 0 V | 0000 0000 0000 0000 | 0000 |

表 5. 理想的な入力電圧および出力コード

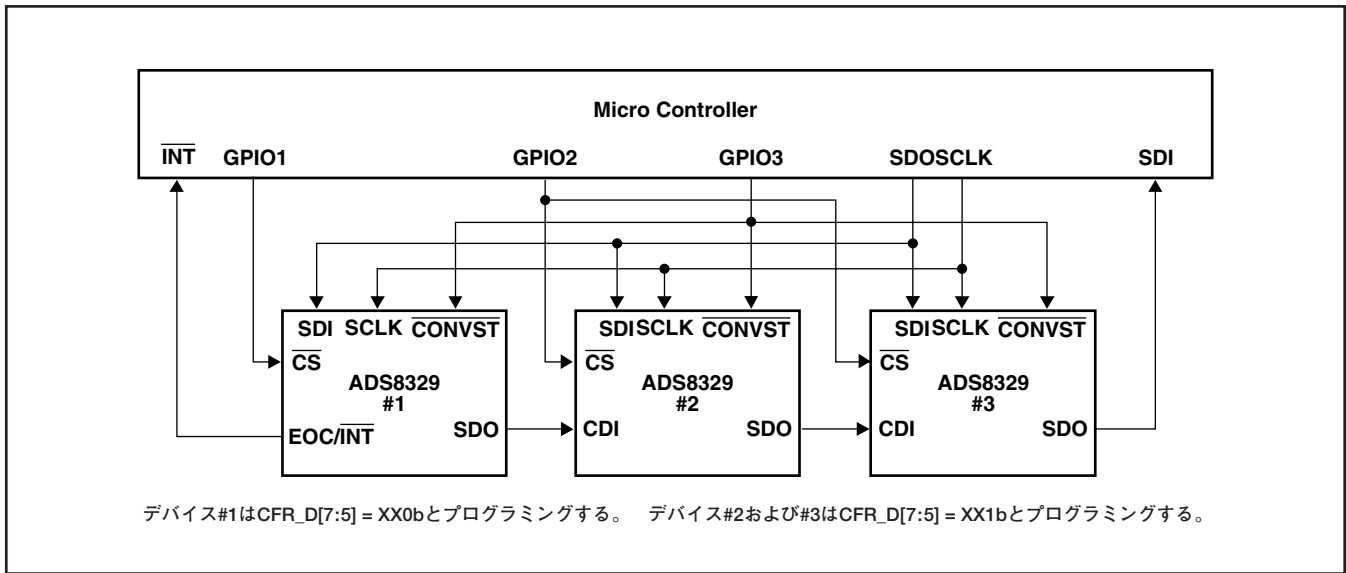


図 59. チェイン・モードで接続した複数コンバータ

複数コンバータをチェイン・モードで使用する場合、第1コンバータは正規のモードで使用し、残りの下流コンバータはチェイン・モードに設定します。コンバータをチェイン・モードに設定すると、CDI入力データは出力レジスタにそのまま進みます。したがって \overline{CS} がアクティブならば、シリアル入力データはコン

バータを16 SCLK (TAG機能がディスエーブルの場合)または24 SCLKの遅延で通過します。詳細なタイミングは図60を参照してください。このタイミングでは、各コンバータにおける変換は同時に行われます。

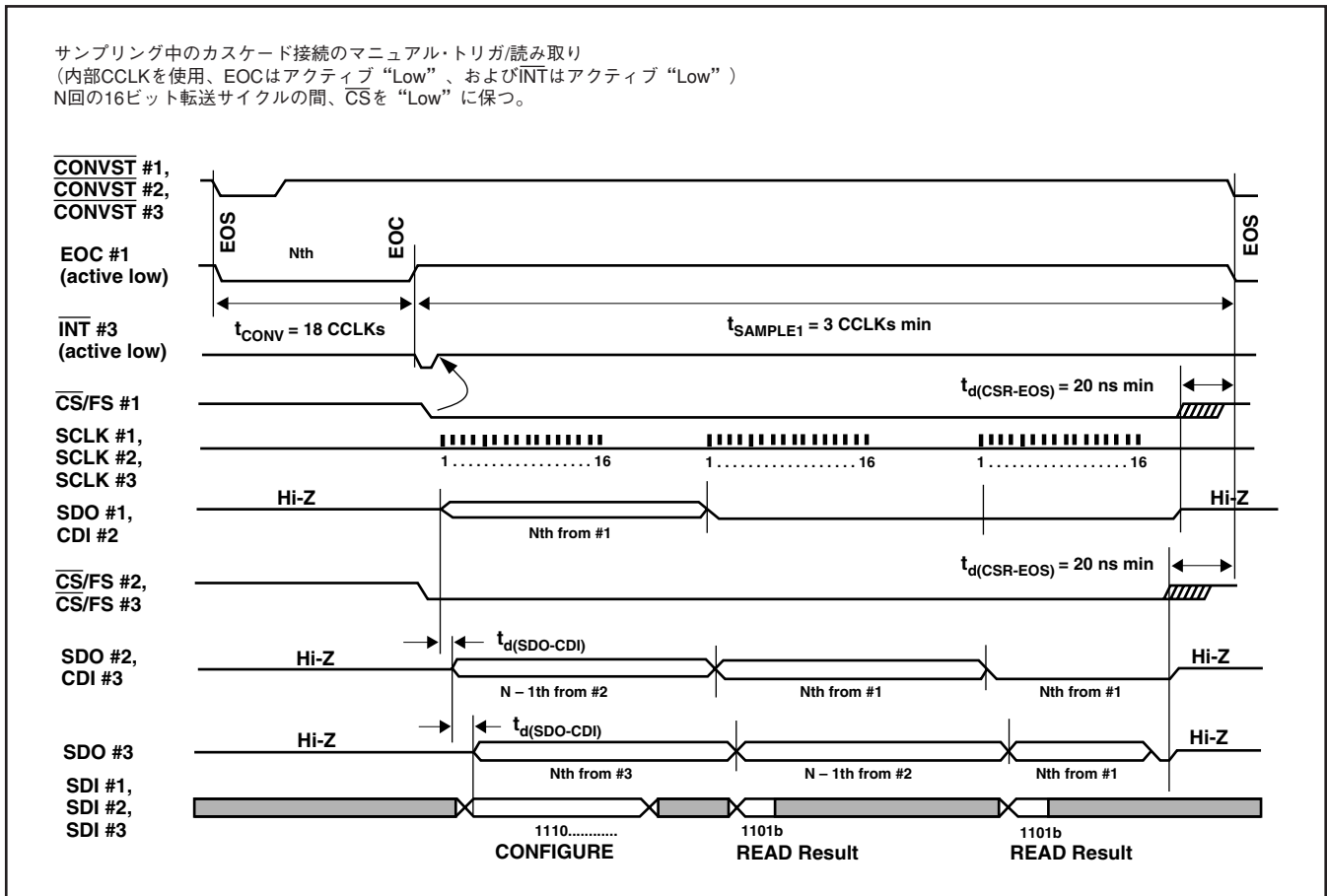


図 60. 共有および連続での簡略化したカスケード・モードのタイミング

コンバータをチェーン・モードで動作する場合、複数の $\overline{\text{CS}}$ 信号の取り扱いに注意を払う必要があります。それぞれのチップ・セレクト信号は、データ転送の全体にわたって“Low”LOWにしなければなりません(本例では、3コンバータについて48ビット)。チップ・セレクトの立ち下がり後の最初の16ビット・ワードは、必ずチップ・セレクト信号を受けたデバイスからのデータになります。

事例1：チップ・セレクトがトグルしない($\overline{\text{CS}}$ が“Low”のまま)場合、次の16ビットは上流のコンバータからのデータ、などとなります。これを図60に示します。図60の例におけるコンバータ#1のように、チェーン内に上流コンバータが無い場合、そのコンバータから同じデータが繰り返し見られます。

事例2：チェーン・モード・データ転送サイクル中にチップ・セレクトがトグルする場合、図61に示すように3つの個別の16ビット・サイクルにて、コンバータからの同じデータが繰り返し読み出されます。これは、望ましい結果ではありません。

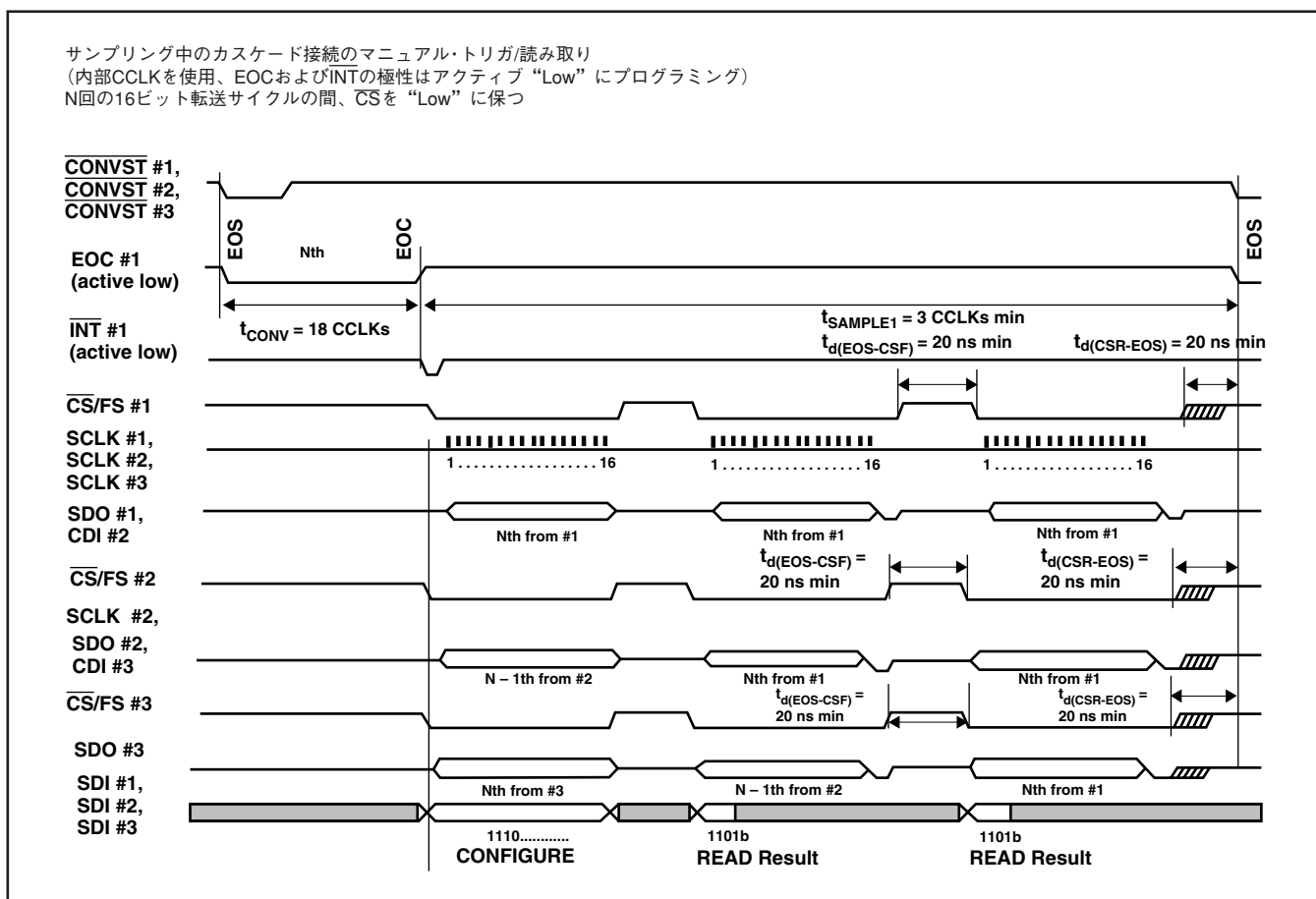


図 61. 共有および個別での簡略化したカスケード・モードのタイミング

サンプリング中のカスケード接続のマニュアル・トリガ読み取り
 (内部CCLKを使用、EOCはアクティブ“Low”、およびINTはアクティブ“Low”)
 N回の16ビット転送サイクルの間、CSを“Low”に保つ

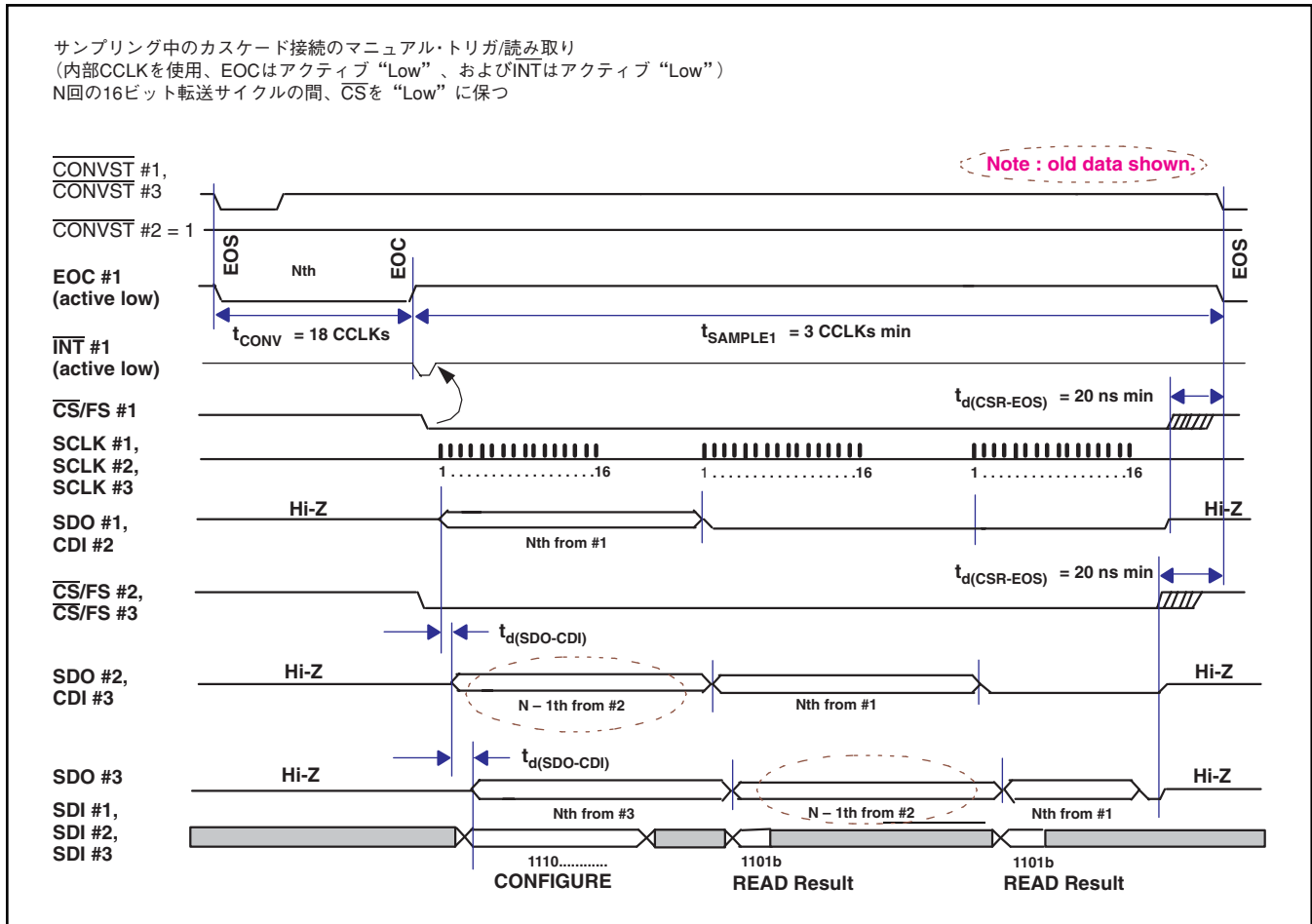


図 62. 簡略化したカスケード・モードのタイミング(分離CONVST)

シリアル・読み取り・サイクルに要するSCLK数は、様々な読み取り・モード、TAGビット、チェイン・モード、およびチャンネルの選択方法(すなわち自動チャンネル選択)の組み合わせに依存します。これを表6に示します。

| チェイン・モードのイネーブル CFR.D5 | 自動チャンネル選択 CFR.D11 | TAGのイネーブル CFR.D1 | SPIリード当たりのSCLK数 | 末尾ビット |
|-----------------------|-------------------|------------------|-----------------|---------------|
| 0 | 0 | 0 | 16 | なし |
| 0 | 0 | 1 | ≥17 | MSBはTAGビット+ゼロ |
| 0 | 1 | 0 | 16 | なし |
| 0 | 1 | 1 | ≥17 | TAGビット+7個のゼロ |
| 1 | 0 | 0 | 16 | なし |
| 1 | 0 | 1 | 24 | TAGビット+7個のゼロ |
| 1 | 1 | 0 | 16 | なし |
| 1 | 1 | 1 | 24 | TAGビット+7個のゼロ |

表 6. 様々な読み出しモードの組み合わせに必要なSCLK数

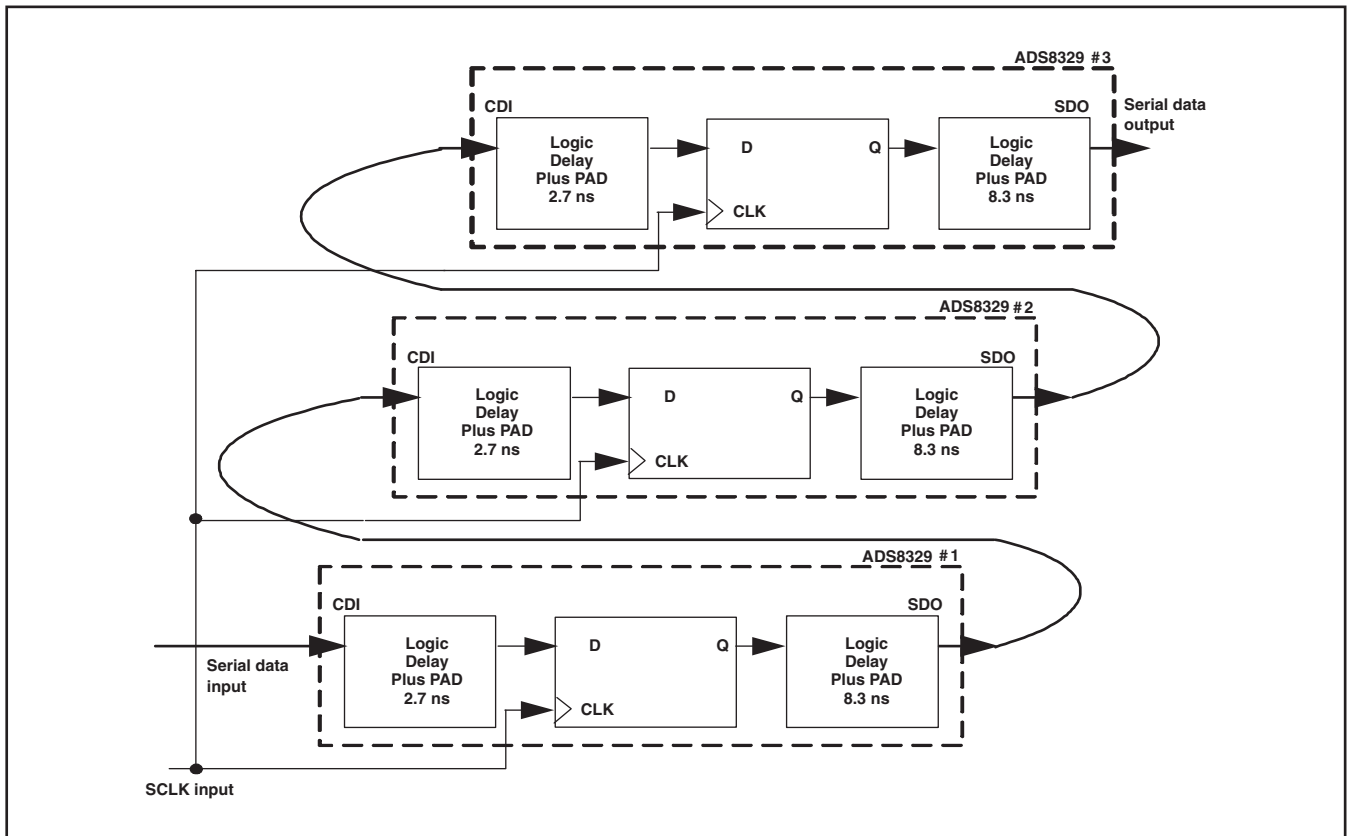


図 63. チェイン・モードに設定されたコンバータによる代表的な遅延

コンバータ間のSCLKのスキューと、チェイン・モードに設定されたコンバータを通るデータパスの遅延は、SCLKの最大周波数に影響します。また、この遅延は電源電圧および負荷に影響されます。デバイスをチェイン・モードに設定する場合、SCLKを低速化することが必要かもしれません。

リセット

コンバータにはパワーオン・リセット (POR) と、CFR_D0を使用するソフトウェア・リセットの2つのリセット手段があります。これら2つのリセット手段は、内部でNOR接続されています。リセット (ソフトウェアまたはPOR) を発行すると、すべてのレジスタ・データはデフォルト値 (全部1) に設定され、SDO出力は (リセット直後のサイクルにて) すべて1に設定されます。状態マシンの、パワーオン状態にリセットされます。

デバイスのパワーアップ時、POR回路はAVDDが1.5Vに達するとデバイスをデフォルト・モードに設定します。パワーダウン時には、POR回路はAVDDが125mV以下の状態を350ms以上継続される事が必要で、これにより内部コンデンサを放電させ、次の再パワーアップ時の動作を確実にします。AVDDが400mV以下でも125mV以上が保持されていた場合、POR回路のコンデンサは完全に放電されないため、AVDDが立ち上がった後に適正な外部よりのソフトウェア・リセットが必要です。(図65にて“Undefined Zone”と示されています) ソフトウェア・リセットは、SDIレジスタのビット [A2:A0] を使用して実行できます。(「デジタル」セクションを参照)

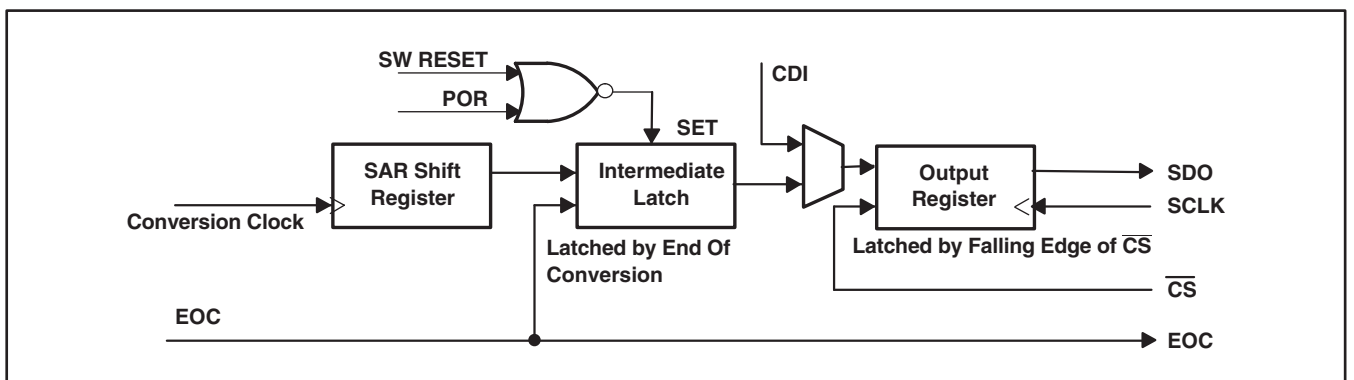


図 64. リセット条件下のデジタル出力

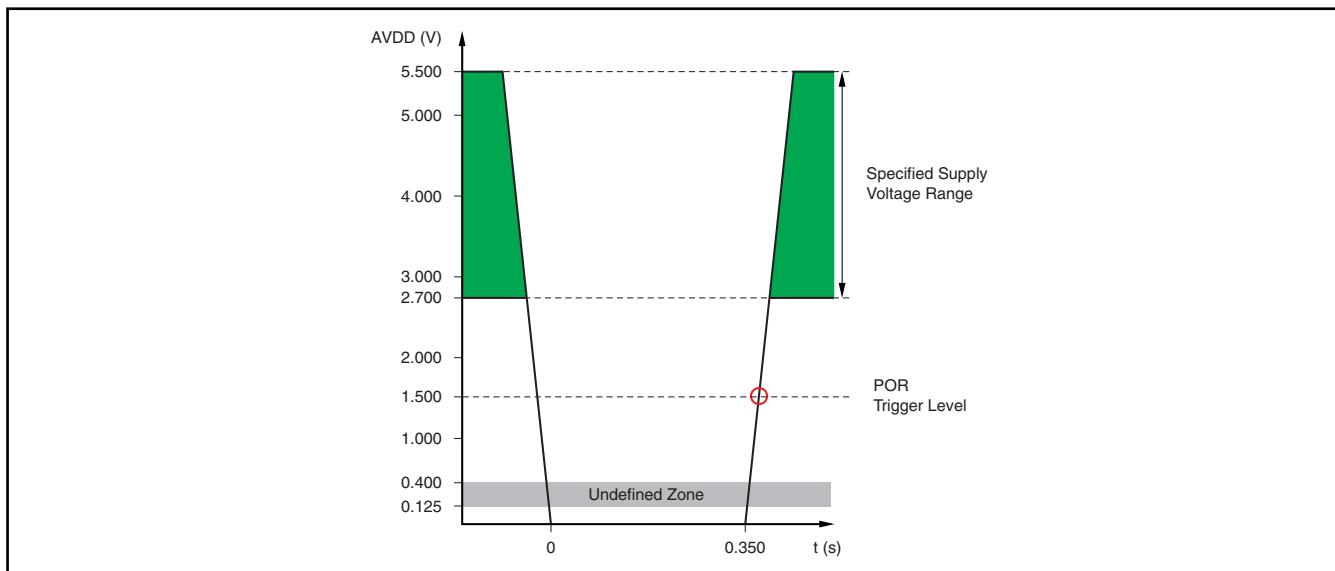


図 65. PORの関連電圧レベル

アプリケーション情報

代表的な接続

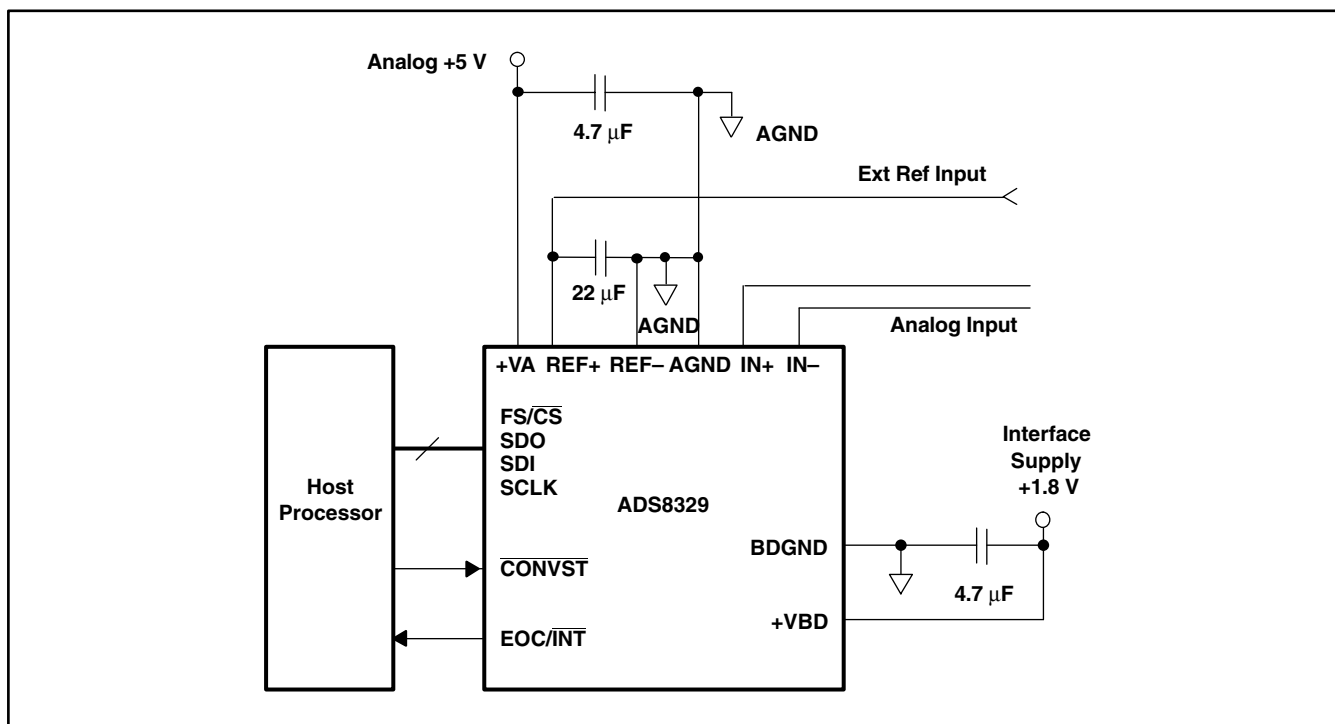


図 66. 代表的な回路構成

製品変更通知 #20071101001

ADS8329およびADS8330デバイスは、テキサス・インスツルメンツ製品変更通知(PCN)番号20071101001に基づくシリコン変更がなされました。本製品変更の詳細は、テキサス・インスツルメンツの製品情報センターから、または地域の営業/販売オフィスに問い合わせると得られます。デート・コードが82xxと、それ以上のデバイスは本PCNが適用されます。

パッケージ情報

製品情報

| Orderable Device | Status ⁽¹⁾ | Package Type | Package Drawing | Pins | Package Qty | Eco Plan ⁽²⁾ | Lead/Ball Finish | MSL Peak Temp ⁽³⁾ |
|------------------|-----------------------|--------------|-----------------|------|-------------|-------------------------|------------------|------------------------------|
| ADS8329IBPW | ACTIVE | TSSOP | PW | 16 | 90 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8329IBPWG4 | ACTIVE | TSSOP | PW | 16 | 90 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8329IBPWR | ACTIVE | TSSOP | PW | 16 | 2000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8329IBPWRG4 | ACTIVE | TSSOP | PW | 16 | 2000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8329IBRSAR | ACTIVE | QFN | RSA | 16 | 3000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8329IBRSARG4 | ACTIVE | QFN | RSA | 16 | 3000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8329IBRSAT | ACTIVE | QFN | RSA | 16 | 250 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8329IBRSATG4 | ACTIVE | QFN | RSA | 16 | 250 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8329IPW | ACTIVE | TSSOP | PW | 16 | 90 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8329IPWG4 | ACTIVE | TSSOP | PW | 16 | 90 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8329IPWR | ACTIVE | TSSOP | PW | 16 | 2000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8329IPWRG4 | ACTIVE | TSSOP | PW | 16 | 2000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8329IRSAR | ACTIVE | QFN | RSA | 16 | 2000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8329IRSARG4 | ACTIVE | QFN | RSA | 16 | 2000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8329IRSAT | ACTIVE | QFN | RSA | 16 | 250 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8329IRSATG4 | ACTIVE | QFN | RSA | 16 | 250 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8330IBPW | ACTIVE | TSSOP | PW | 16 | 90 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8330IBPWG4 | ACTIVE | TSSOP | PW | 16 | 90 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8330IBPWR | ACTIVE | TSSOP | PW | 16 | 2000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8330IBPWRG4 | ACTIVE | TSSOP | PW | 16 | 2000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8330IBRSAR | ACTIVE | QFN | RSA | 16 | 3000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8330IBRSARG4 | ACTIVE | QFN | RSA | 16 | 3000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8330IBRSAT | ACTIVE | QFN | RSA | 16 | 250 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8330IBRSATG4 | ACTIVE | QFN | RSA | 16 | 250 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8330IPW | ACTIVE | TSSOP | PW | 16 | 90 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |

| Orderable Device | Status ⁽¹⁾ | Package Type | Package Drawing | Pins | Package Qty | Eco Plan ⁽²⁾ | Lead/Ball Finish | MSL Peak Temp ⁽³⁾ |
|------------------|-----------------------|--------------|-----------------|------|-------------|-------------------------|------------------|------------------------------|
| ADS8330IPWG4 | ACTIVE | TSSOP | PW | 16 | 90 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8330IPWR | ACTIVE | TSSOP | PW | 16 | 2000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8330IPWRG4 | ACTIVE | TSSOP | PW | 16 | 2000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8330IRSAR | ACTIVE | QFN | RSA | 16 | 3000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8330IRSARG4 | ACTIVE | QFN | RSA | 16 | 3000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8330IRSAT | ACTIVE | QFN | RSA | 16 | 250 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |
| ADS8330IRSATG4 | ACTIVE | QFN | RSA | 16 | 250 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-2-260C-1 YEAR |

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

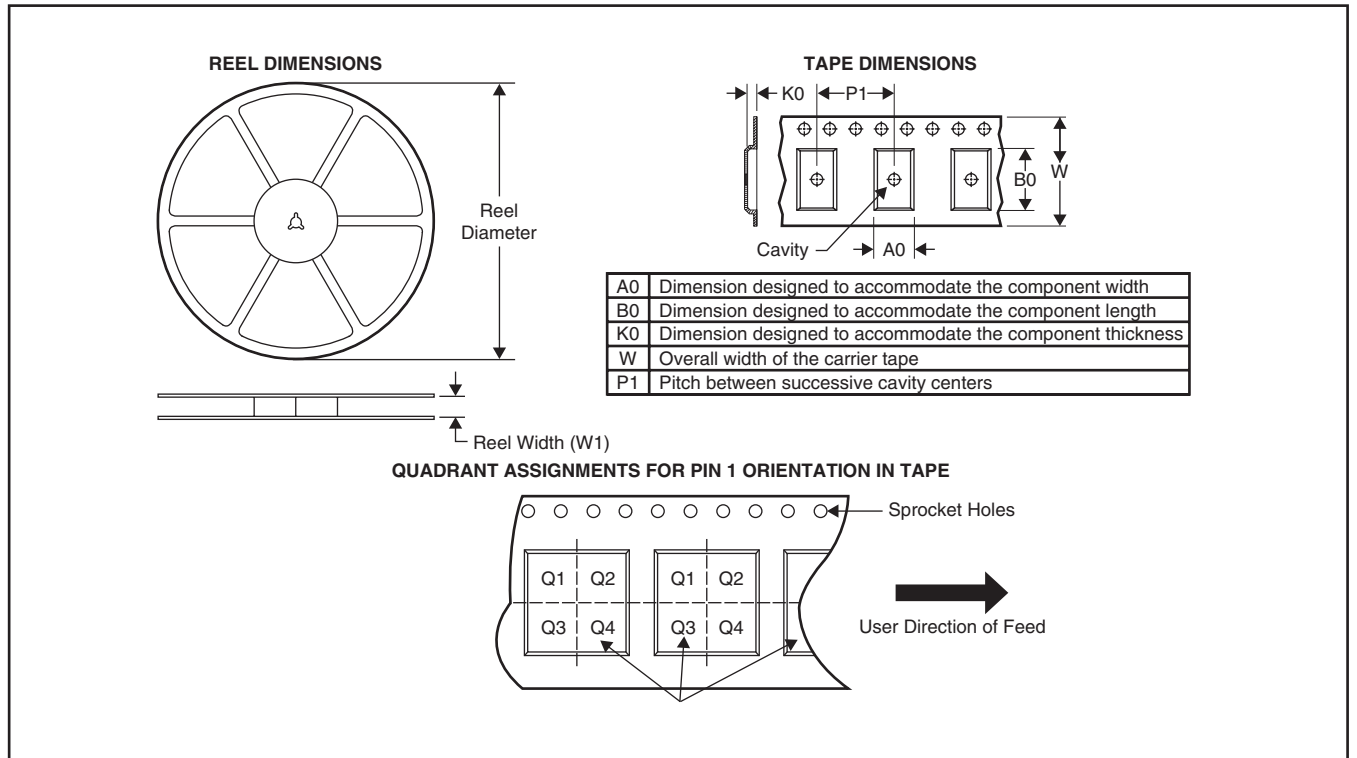
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

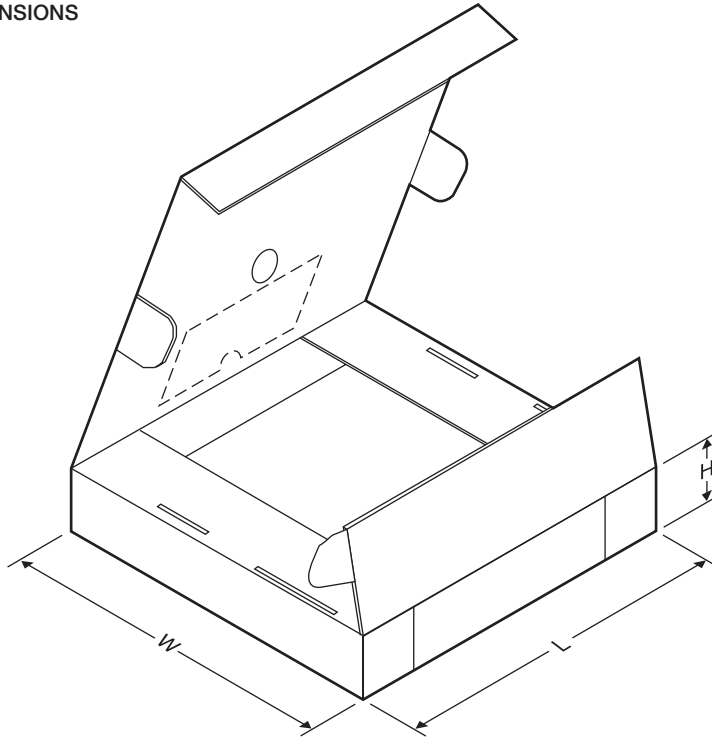


*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| ADS8329IBRSAR | QFN | RSA | 16 | 3000 | 330.0 | 12.4 | 4.3 | 4.3 | 1.5 | 8.0 | 12.0 | Q2 |
| ADS8329IBRSAT | QFN | RSA | 16 | 250 | 330.0 | 12.4 | 4.3 | 4.3 | 1.5 | 8.0 | 12.0 | Q2 |
| ADS8329IRSAR | QFN | RSA | 16 | 2000 | 330.0 | 12.4 | 4.3 | 4.3 | 1.5 | 8.0 | 12.0 | Q2 |
| ADS8329IRSAT | QFN | RSA | 16 | 250 | 330.0 | 12.4 | 4.3 | 4.3 | 1.5 | 8.0 | 12.0 | Q2 |
| ADS8330IBRSAR | QFN | RSA | 16 | 3000 | 330.0 | 12.4 | 4.3 | 4.3 | 1.5 | 8.0 | 12.0 | Q2 |
| ADS8330IBRSAT | QFN | RSA | 16 | 250 | 330.0 | 12.4 | 4.3 | 4.3 | 1.5 | 8.0 | 12.0 | Q2 |
| ADS8330IRSAR | QFN | RSA | 16 | 3000 | 330.0 | 12.4 | 4.3 | 4.3 | 1.5 | 8.0 | 12.0 | Q2 |
| ADS8330IRSAT | QFN | RSA | 16 | 250 | 330.0 | 12.4 | 4.3 | 4.3 | 1.5 | 8.0 | 12.0 | Q2 |

パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

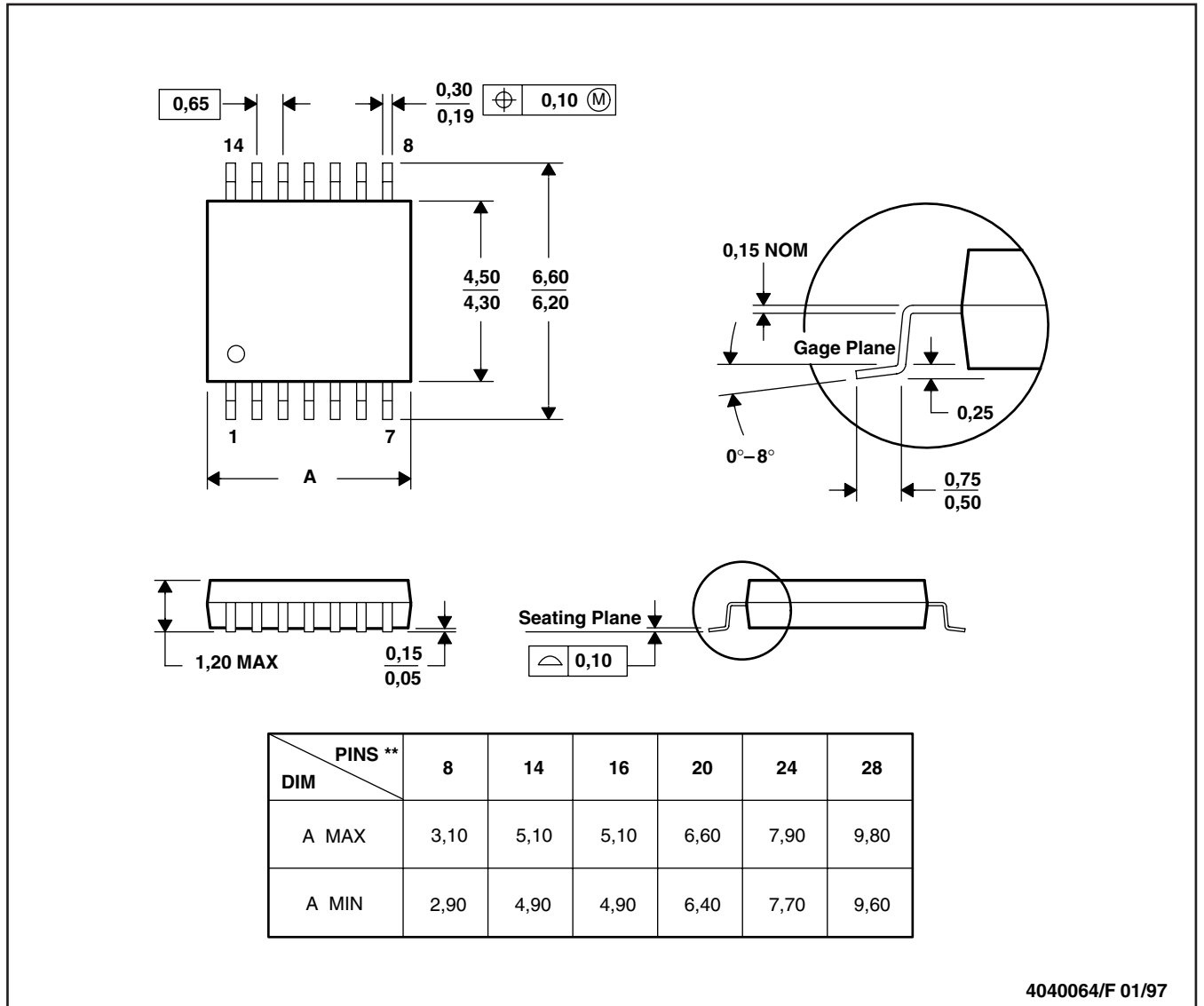
| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---------------|--------------|-----------------|------|------|-------------|------------|-------------|
| ADS8329IBRSAR | QFN | RSA | 16 | 3000 | 340.5 | 333.0 | 20.6 |
| ADS8329IBRSAT | QFN | RSA | 16 | 250 | 340.5 | 333.0 | 20.6 |
| ADS8329IRSAR | QFN | RSA | 16 | 2000 | 340.5 | 333.0 | 20.6 |
| ADS8329IRSAT | QFN | RSA | 16 | 250 | 340.5 | 333.0 | 20.6 |
| ADS8330IBRSAR | QFN | RSA | 16 | 3000 | 340.5 | 333.0 | 20.6 |
| ADS8330IBRSAT | QFN | RSA | 16 | 250 | 340.5 | 333.0 | 20.6 |
| ADS8330IRSAR | QFN | RSA | 16 | 3000 | 340.5 | 333.0 | 20.6 |
| ADS8330IRSAT | QFN | RSA | 16 | 250 | 340.5 | 333.0 | 20.6 |

メカニカル・データ

PW (R-PDSO-G**)

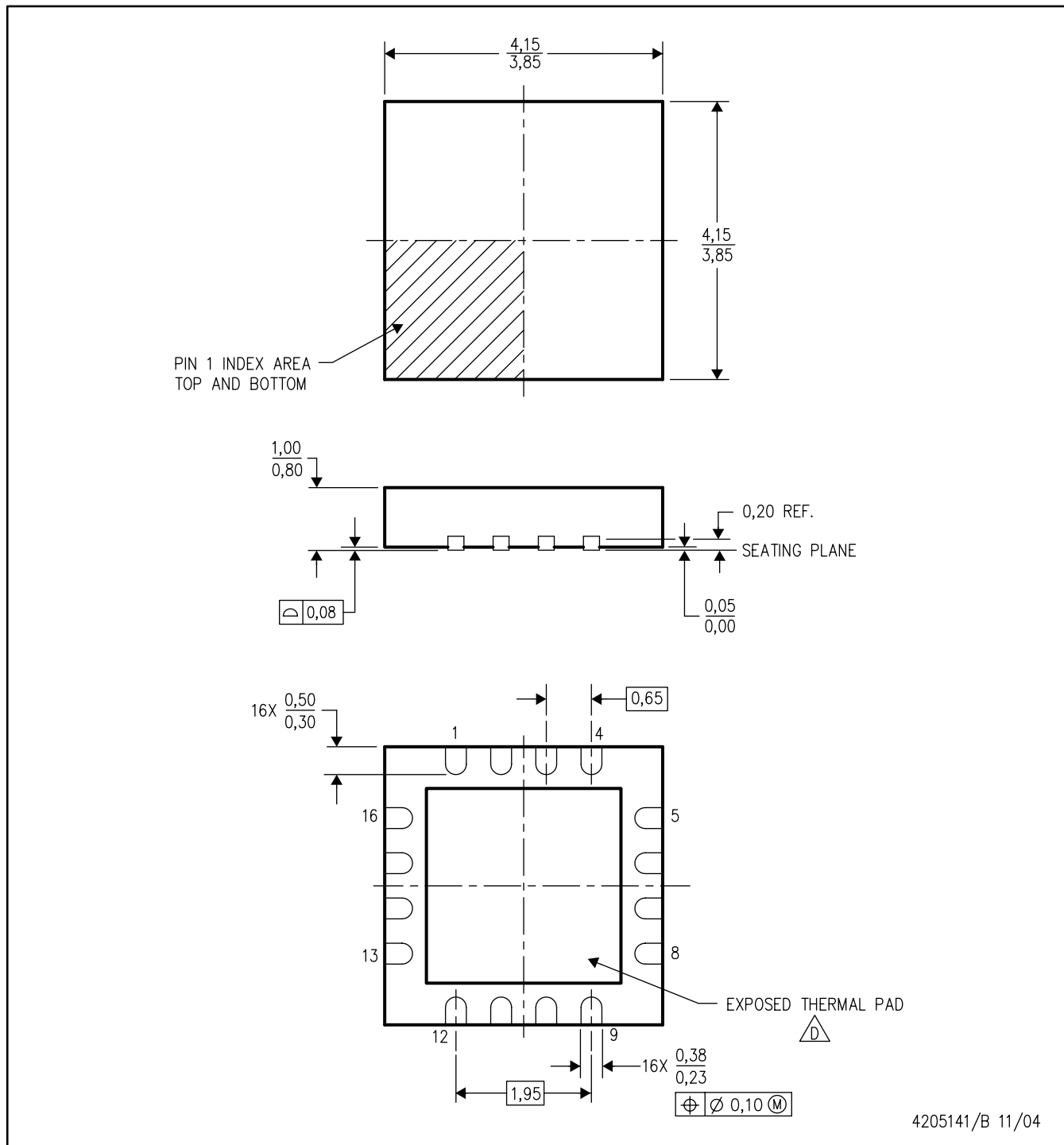
14 PINS SHOWN

PLASTIC SMALL-OUTLINE PACKAGE



4040064/F 01/97

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 本体寸法には0.15以下のバリや突起を含みません。
 D. JEDEC MO-153に適合しています。



4205141/B 11/04

- 注： A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。
 B. 本図は予告なしに変更することがあります。
 C. QFN(クワッド・フラットパック・ノーリード)パッケージ構造。
 D. パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。
 露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。
 E. JEDEC MO-220に準拠します。

サーマルパッド・メカニカル・データ

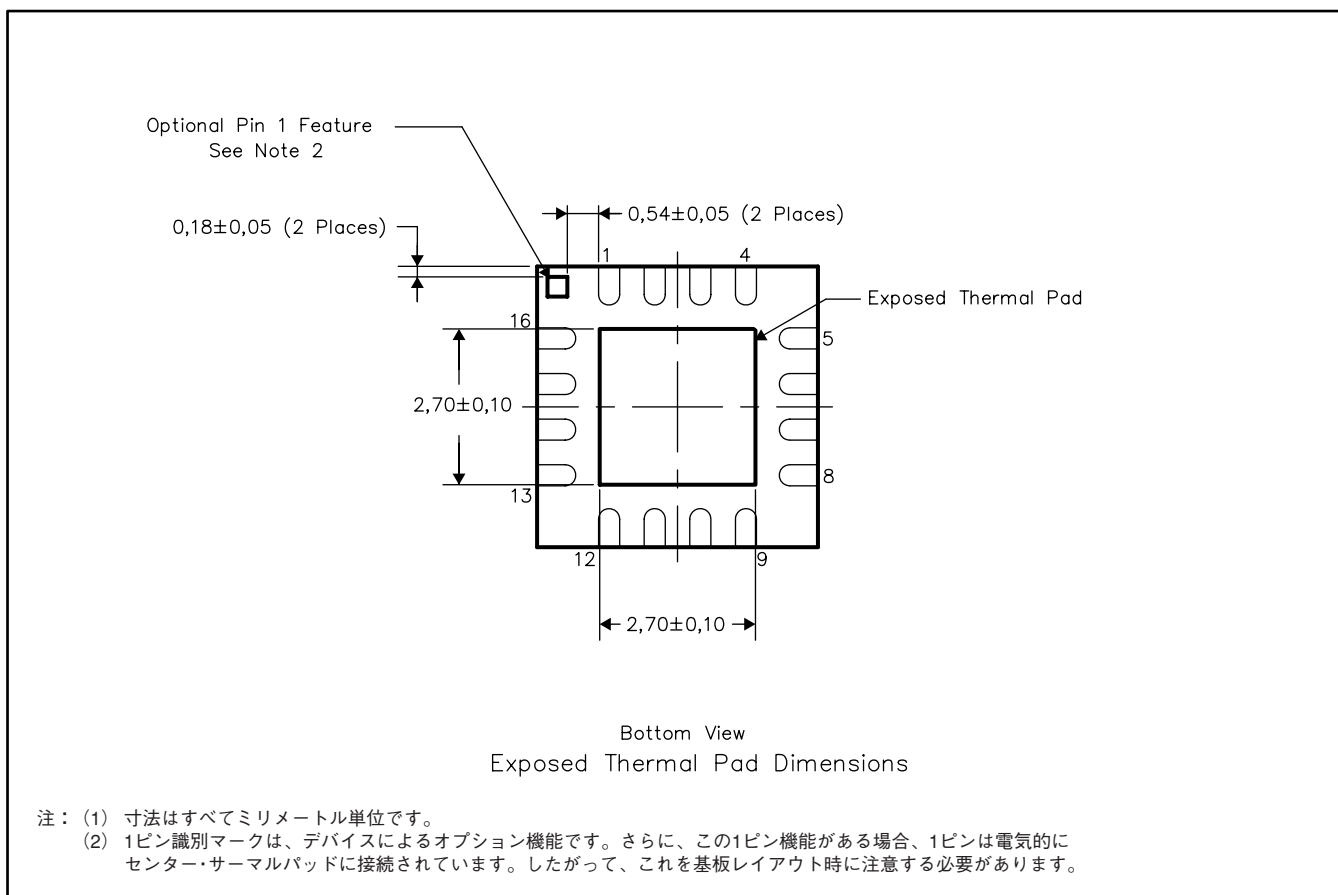
RSA (S-PQFP-N16)

熱特性について

本パッケージは、外付けヒートシンクに直接取り付けられるように設計した、露出サーマルパッドを組み込んでいます。サーマルパッドは、プリント基板 (PCB) に直接半田付けする必要があります。半田付けをした後は、PCBがヒートシンクとして使用できます。さらに、サーマル・ヴィアを使用すると、サーマルパッドはデバイスの電氣的図面に示す適当な銅面、あるいはその代わりとして、PCBに設計された特殊なヒートシンク構造物に直接取り付けられます。この設計により、集積回路 (IC) からの熱伝導が最適化されます。

クoad・フラットパック・ノーリード (QFN) パッケージおよびその利点に関する情報は、アプリケーション・レポート「クoad・フラットパック・ノーリード・ロジック・パッケージ」、テキサス・インスツルメンツ文献番号SCBA017を参照願います。本文献はwww.ti.comで入手できます。

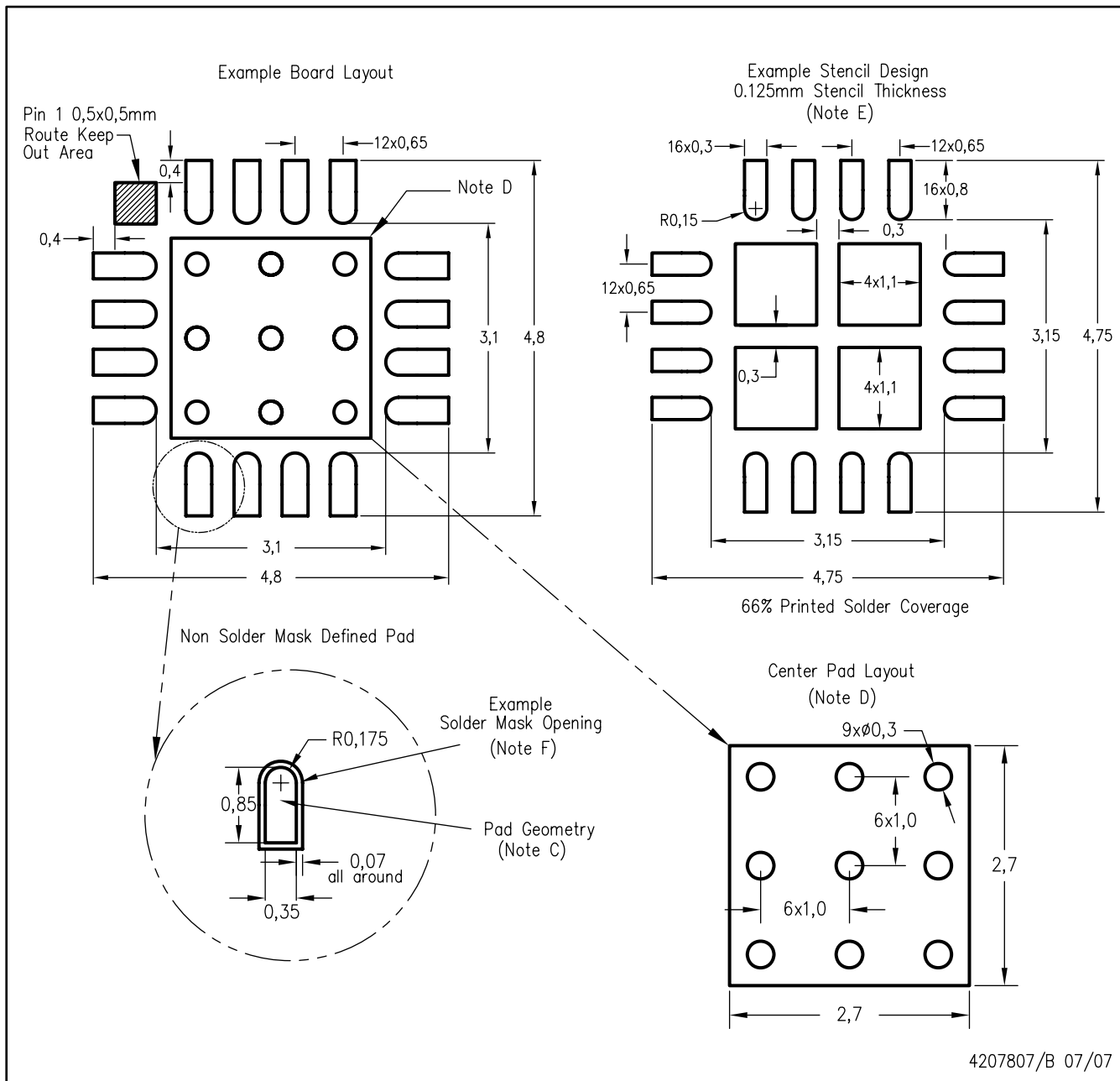
本パッケージの露出サーマルパッドの寸法を下図に示します。



露出サーマルパッドの寸法

ランド・パターン

RSA (S-PQFP-N16)



- 注： A. 直線寸法はすべてミリメートル単位です。
 B. 本図は予告なしに変更することがあります。
 C. 代替設計には、IPC-7351規格を推奨します。
 D. 本パッケージは、サーマルパッドを基板に半田付けするように設計されています。具体的な熱的特性情報、ビア条件、および推奨基板レイアウトについては、アプリケーション・ノート「QFNパッケージ」テキサス・インスツルメンツ文献番号SCBA017, SLUA271, および製品データシートも参照願います。これらの文献はwww.ti.com <http://www.ti.com> で入手できます。
 E. 台形壁面やラウンドコーナーにレーザー・カッティング・アパーチャを行うと、ペーストのリリースが容易になります。推奨のステンシル設計については、基板組立元に関合せ願います。ステンシル設計の検討については、IPC7525規格を参照願います。
 F. 半田マスク公差については、基板製造元に関合せ願います。

(SBAS383C)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIJは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上