



# 基準電圧源内蔵、16ビット/4MSPS パラレル・インターフェイス ADコンバータ

## 特長

- 入力範囲-4V~+4Vの擬似バイポーラ完全差動入力形式
- NMC：16ビット(4MSPS時)
- INL：1LSB(標準値)
- SNR：92dB, THD：-102dB(標準値、100kHz入力時)
- バッファ付き内部4.096V基準電圧源
- アナログ入力同相電圧設定用のREFIN/2機能
- ゼロ・レイテンシ
- 高速パラレル・インターフェイス
- 単電源動作可能
- 低消費電力：155mW(標準値、4MHz時)  
フレキシブルなパワーダウン手法
- ADS8412/8402に類似したピン配置
- 48ピン 9×9 TQFPパッケージ

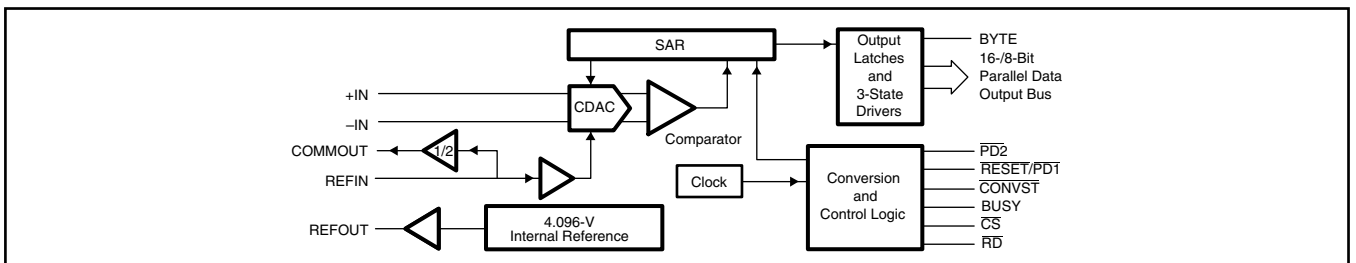
## アプリケーション

- DWDM
- 計装
- 高速、高分解能、ゼロ・レイテンシのデータ収集システム
- トランスデューサ・インターフェイス
- 医用機器
- スペクトル解析
- ATE

## 高速SARコンバータ・ファミリー(1)

TYPE/SPEED	500kHz	~600kHz	750kHz	1MHz	1.25MHz	2MHz	3MHz	4MHz
18-Bit Pseudo-Diff	ADS8383	ADS8381		ADS8481				
		ADS8380 (s)						
18-Bit Pseudo-Bipolar, Fully Diff		ADS8382 (s)		ADS8482				
16-Bit Pseudo-Diff		ADS8370 (s)	ADS8371	ADS8471	ADS8401	ADS8411		
	ADS8327/28 (s)	ADS8372 (s)		ADS8329/30 (s)	ADS8405	ADS8410 (s)		
16-Bit Pseudo-Bipolar, Fully Diff				ADS8472	ADS8402	ADS8412		ADS8422
					ADS8406	ADS8413 (s)		
14-Bit Pseudo-Diff					ADS7890 (s)		ADS7891	
12-Bit Pseudo-Diff				ADS7886		ADS7883		ADS7881

(1) S：Serial



TurboTrans, AutoTrack, TMS320は、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。  
資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。  
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。  
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



最新の英語版資料  
<http://focus.ti.com/lit/ds/symlink/ads8422.pdf>

SLAS512 翻訳版

## 概要



## 静電気放電対策

ADS8422は16ビット、4MHzのA/Dコンバータであり、4.096Vの基準電圧源を内蔵しています。本デバイスには、サンプル・アンド・ホールドを伴った16ビットの容量ベースのマルチビットSAR型A/Dコンバータがあります。また、フルで16ビットのインターフェイスと、必要であれば2回の8ビットのリードサイクルでデータを読み込むオプションの8ビットのインターフェイスがあります。

ADS8422は完全差動形式の擬似バイポーラ入力です。また、48ピンTQFPパッケージで提供し、-40°Cから+85°Cの産業用動作温度範囲が保証されています。

これらのデバイスは、限定的な ESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時は、MOS ゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

## 注文情報

MODEL	MAXIMUM INTEGRAL LINEARITY (LSB)	MAXIMUM DIFFERENTIAL LINEARITY (LSB)	NO MISSING CODES RESOLUTION (BIT)	PACKAGE TYPE	PACKAGE DESIGNATOR	TEMPERATURE RANGE	ORDERING INFORMATION	TRANSPORT MEDIA QTY.
ADS8422I	±6	±2	15	9 × 9 48-Pin TQFP	PFB	-40°C to 85°C	ADS8422IPFBT	Small tape and reel 250
							ADS8422IPFBR	Tape and reel 1000
ADS8422IB	±2	+1.5/-1	16	9 × 9 48-Pin TQFP	PFB	-40°C to 85°C	ADS8422IBPFBT	Small tape and reel 250
							ADS8422IBPFBR	Tape and reel 1000

(1) 最新のパッケージおよび注文情報については、本文書の巻末にあるパッケージ・オプション資料あるいはTIウェブサイトwww.ti.comを参照願います。

## 絶対最大定格(1)

over operating free-air temperature range (特に記述のない限り)

		VALUE	UNIT
Voltage	+IN to AGND	-0.4 to +VA + 0.1	V
	-IN to AGND	-0.4 to +VA + 0.1	V
	+VA to AGND	-0.3 to 7	V
	+VBD to BDGND	-0.3 to 7	V
Digital input voltage to BDGND		-0.3 to +VBD + 0.3	V
Digital output voltage to BDGND		-0.3 to +VBD + 0.3	V
T <sub>A</sub>	Operating free-air temperature range	-40 to 85	°C
T <sub>stg</sub>	Storage temperature range	-65 to 150	°C
Junction temperature (T <sub>Jmax</sub> )		150	°C
TQFP 48-pin package	Power dissipation	(T <sub>J Max</sub> - T <sub>A</sub> ) / θ <sub>JA</sub>	
	θ <sub>JA</sub> thermal impedance	86	°C/W
Lead temperature, soldering	Vapor phase (60sec)	215	°C
	Infrared (15sec)	220	°C

(1) 絶対最大定格に記述される以上のストレスを加えると、デバイスは永久破壊されることがあります。これらはストレスのみの定格であり、これらの条件あるいは推奨動作条件を超える条件でのデバイスのファンクション動作は含まれません。また、絶対最大定格の条件下に長時間デバイスをさらすと、デバイスの信頼性に影響することがあります。

## SPECIFICATIONS

$T_A = -40^\circ\text{C}$  to  $85^\circ\text{C}$ ,  $+VA = 5\text{V}$ ,  $+VAREG = 5\text{V}$  to  $3\text{V}$ ,  $+VBD = 5\text{V}$  to  $2.7\text{V}$ ,  $f_{\text{SAMPLE}} = 4 \text{ MSPS}$ ,  $V_{\text{ref}} = 4.096\text{V}$  (measured with internal reference buffer) (特に記述のない限り)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>ANALOG INPUT</b>						
Full-scale input voltage <sup>(1)</sup>		+IN – (–IN)	$-V_{\text{ref}}$		$V_{\text{ref}}$	V
Absolute input voltage		+IN	–0.2		$V_{\text{ref}} + 0.2$	V
		–IN	–0.2		$V_{\text{ref}} + 0.2$	
Common-mode input range			$(V_{\text{ref}})/2 - 0.2$	$(V_{\text{ref}})/2$	$(V_{\text{ref}})/2 + 0.2$	V
Input capacitance				30		pF
Input leakage current					1	nA
<b>SYSTEM PERFORMANCE</b>						
Resolution				16		Bits
No missing codes		ADS8422I	15			Bits
		ADS8422IB	16			
Integral linearity <sup>(2)(3)</sup>		ADS8422I	–6	$\pm 2$	6	LSB (16bit) <sup>(2)</sup>
		ADS8422IB	–2	$\pm 1$	2	
Differential linearity		ADS8422I	–2	$\pm 0.7$	2	LSB (16bit)
		ADS8422IB	–1	$\pm 0.7$	1.5	
Offset error			–0.5	$\pm 0.25$	0.5	mV
Offset error drift				$\pm 0.2$		ppm/ $^\circ\text{C}$
Gain error <sup>(4)(5)</sup>		$V_{\text{ref}} = 4.096\text{V}$	–0.1	$\pm 0.05$	0.1	%FS
Gain error drift		$V_{\text{ref}} = 4.096\text{V}$		$\pm 2$		ppm/ $^\circ\text{C}$
Common-mode rejection ratio		At dc		81		dB
		At code 0000h with $[+IN + (-IN)] / 2 = 512\text{mV}_{\text{pp}}$ at 500kHz,		78		
Noise		At 0000h output code		40		$\mu\text{V RMS}$
Power supply rejection ratio		At 8000h output code		78		dB
<b>SAMPLING DYNAMICS</b>						
Conversion time					0.180	$\mu\text{s}$
Acquisition time			0.070			$\mu\text{s}$
Throughput rate					4	MHz
Aperture delay				3		ns
Aperture jitter				7		ps RMS
Step response				70		ns
Overvoltage recovery				140		ns

- (1) 理想入力範囲であり、ゲイン誤差やオフセット誤差は含まれません。
- (2) LSBとは最下位ビットのことであり、 $2V_{\text{REF}} / 65536$ に等しくなります。
- (3) これはエンドポイントINLであり、最適フィッティングではありません。
- (4) 理想フルスケール入力  $[+IN - (-IN)] = 8.192\text{V}$ について測定。
- (5) この仕様には内部基準電圧の誤差およびドリフトが含まれません。

## SPECIFICATIONS

$T_A = -40^\circ\text{C}$  to  $85^\circ\text{C}$ ,  $+VA = 5\text{V}$ ,  $+VAREG = 5.25\text{V}$  to  $3\text{V}$ ,  $+VBD = 5\text{V}$  to  $2.7\text{V}$ ,  $f_{\text{SAMPLE}} = 4\text{ MSPS}$ ,  $V_{\text{ref}} = 4.096\text{V}$  (measured with internal reference buffer) (特に記述のない限り)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>DYNAMIC CHARACTERISTICS</b>					
Total harmonic distortion (THD) <sup>(1)</sup>	$V_{\text{IN}} = 8V_{\text{pp}}$	10kHz	-114		dB
		100kHz	-102		
		500kHz	-100		
Signal to noise ratio (SNR)	$V_{\text{IN}} = 8V_{\text{pp}}$	10kHz	93		dB
		100kHz	92		
		500kHz	90		
Signal to noise + distortion (SINAD)	$V_{\text{IN}} = 8V_{\text{pp}}$	10kHz	92.5		dB
		100kHz	91.5		
		500kHz	89.5		
Spurious free dynamic range (SFDR)	$V_{\text{IN}} = 8V_{\text{pp}}$	10kHz	116		dB
		100kHz	109		
		500kHz	106		
-3dB Small signal bandwidth			30		MHz
Maximum input frequency, $f_{i(\text{max})}$ <sup>(2)</sup>	$V_{\text{IN}} = 8V_{\text{pp}}$	2			MHz
<b>VOLTAGE REFERENCE INPUT</b>					
Reference voltage at REFIN, $V_{\text{ref}}$		3.9	4.096	4.15	V
Reference resistance			1000		$M\Omega$
<b>INTERNAL REFERENCE OUTPUT</b>					
Internal reference start-up time	From 95% (+VA), with 1- $\mu\text{F}$ capacitor on REFOUT			25	ms
Reference voltage range, $V_{\text{ref}}$	$I_O = 0$ , $T_A = 25^\circ\text{C}$	4.088	4.096	4.104	V
Source current	Static load			10	$\mu\text{A}$
Line regulation	+VA = 4.75V to 5.25V		$\pm 1$		mV
Drift	$I_O = 0$		$\pm 6$		PPM/ $^\circ\text{C}$
<b>ANALOG COMMON-MODE, PIN 3</b>					
Output voltage range	$I_O = 0$	$V_{\text{REF}}/2 - 0.016$	$V_{\text{REF}}/2$	$V_{\text{REF}}/2 + 0.016$	V
Source current	Static load		200		$\mu\text{A}$

(1) 入力周波数の低次の9次高調波について計算。

(2) ADCのサンプリング回路をナイキスト周波数までの入力に対応するように最適化しました。ダイナミック特性は $f_{i(\text{max})}$ を超えると急激に低下します。

## SPECIFICATIONS

$T_A = -40^{\circ}\text{C}$  to  $85^{\circ}\text{C}$ ,  $+VA = 5\text{V}$ ,  $+VAREG = 5.25\text{V}$  to  $3\text{V}$ ,  $+VBD = 5\text{V}$  to  $2.7\text{V}$ ,  $f_{\text{SAMPLE}} = 4\text{ MSPS}$ ,  $V_{\text{ref}} = 4.096\text{V}$  (measured with internal reference buffer) (特に記述のない限り)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>DIGITAL INPUT/OUTPUT</b>						
Logic family – CMOS						
Logic level	$V_{\text{IH}}$	$I_{\text{IH}} = 5\mu\text{A}$	$0.75 \times (+VBD)$		$+VBD + 0.3$	V
	$V_{\text{IL}}$	$I_{\text{IL}} = 5\mu\text{A}$	-0.3		0.8	
	$V_{\text{OH}}$	$I_{\text{OH}} = 2\text{ TTL loads}$	$+VBD - 0.6$			
	$V_{\text{OL}}$	$I_{\text{OL}} = 2\text{ TTL loads}$			0.4	
Data format – Twos complement						
<b>POWER SUPPLY REQUIREMENTS</b>						
Power supply voltage	+VA		4.75	5	5.25	V
	+VAREG		2.85	3.0	5.25	
	+VBD		2.7	3.0	5.25	
Supply current	+VA	$+VA = 5\text{V}, \overline{\text{PD1}} = 1, \overline{\text{PD2}} = 1$		24	27	mA
	+VAREG	$+VAREG = 5\text{V}, \overline{\text{PD1}} = 1, \overline{\text{PD2}} = 1$		12	14	mA
		$+VAREG = 3\text{V}, \overline{\text{PD1}} = 1, \overline{\text{PD2}} = 1$			12	14
	+VBD <sup>(1)</sup>	$+VBD = 3\text{V}, 10\text{pF/pin}$			0.55	
$+VBD = 5\text{V}, 20\text{pF/pin}$				1.8		
<b>POWER DOWN<sup>(2)</sup></b>						
Supply current	+VA	$\overline{\text{PD1}} = 0, \overline{\text{PD2}} = 1, +VA = 5\text{V}$		2.5	3.4	mA
	+VAREG			5		$\mu\text{A}$
Power					17	mW
Power-up time		$(\overline{\text{PD1}}, \overline{\text{PD2}}) : (0,1) \rightarrow (1,1)$			5	$\mu\text{s}$
Supply current	+VA	$\overline{\text{PD1}} = 0, \overline{\text{PD2}} = 0$		5		$\mu\text{A}$
	+VAREG			5		
Power				40		$\mu\text{W}$
Power-up time		$(\overline{\text{PD1}}, \overline{\text{PD2}}) : (0,0) \rightarrow (1,1), 1\text{-}\mu\text{F Storage capacitor from REFOUT to AGND}$			25	ms
<b>TEMPERATURE RANGE</b>						
Operating free-air			-40		85	$^{\circ}\text{C}$

(1) これには外付けの負荷容量の充電に要する電流が含まれ、同時にトグルする4デジタル出力について測定しています。

(2)  $(\overline{\text{PD1}}, \overline{\text{PD2}}) = (1, 0)$  は予約されています。このパワーダウン端子の組み合わせは使用禁止です。

## デジタル入力のタイミング特性

All specifications typical at  $-40^{\circ}\text{C}$  to  $85^{\circ}\text{C}$ ,  $+V_{\text{BD}} = 2.7\text{V}$  to  $5.25\text{V}^{(1)(2)}$

PARAMETER		MIN	TYP	MAX	UNIT
<b>CONVERSION AND ACQUISITION</b>					
$t_{(\text{ACQ})}$	Acquisition time, internal to device, not externally visible	70			ns
$t_{\text{w}1}$	Pulse duration, $\overline{\text{CONVST}}$ low	20			ns
$t_{\text{w}2}$	Pulse duration, $\overline{\text{CONVST}}$ high	100			ns
$t_{\text{p}1}$	Period, $\overline{\text{CONVST}}$	250			ns
$t_{\text{q}1}$	Quiet time, last toggle of interface input signals during acquisition before $\overline{\text{CONVST}}$ falling <sup>(3)</sup>	30			ns
$t_{\text{q}2}$	Quiet time, $\overline{\text{CONVST}}$ falling to first toggle of interface input signals <sup>(3)</sup>	10			ns
<b>POWER DOWN</b>					
$t_{\text{w}3}$	Pulse duration				ns
	$\overline{\text{PD1}}$ low for only ADC reset (no powerdown)	20		500	
	$\overline{\text{PD1}}$ low for ADC reset and also ADC powerdown	1500			
	$\overline{\text{PD2}}$ low pulse duration for REFOUT and COMMOUT buffers powerdown	1500			
	Pulse duration, all others unspecified	10			ns

(1) 入力信号はすべて  $t_r = t_f = 5\text{ ns}$  ( $V_{\text{DD}}$ の10%から90%)で規定し、遷移の90%後から時間測定に使用しています。

(2) デジタル出力信号はすべて  $+V_{\text{BD}} = 2.7\text{V}$ 時で10pF容量、および  $+V_{\text{BD}} = 5.25\text{V}$ 時で20pF容量を負荷とし、遷移の90%に到達するまでを時間測定に使用しています。

(3) 静的時間領域は特性を満たすためのものであり、ファンクションのためではありません。

## デジタル出力のタイミング特性

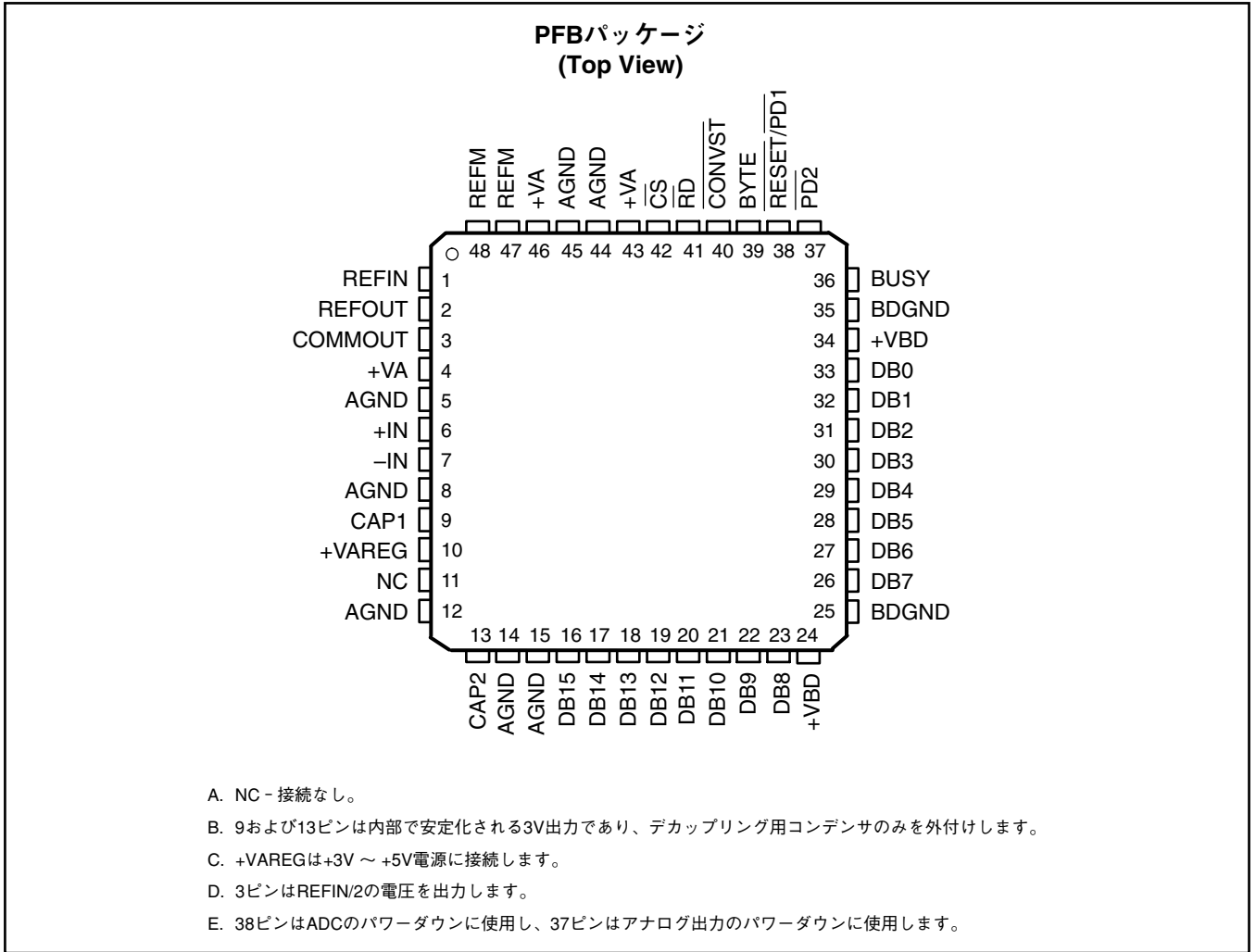
All specifications typical at  $-40^{\circ}\text{C}$  to  $85^{\circ}\text{C}$ ,  $+V_{\text{BD}} = 2.7\text{V}$  to  $5.25\text{V}^{(1)(2)}$

PARAMETER		MIN	TYP	MAX	UNIT
<b>CONVERSION AND ACQUISITION</b>					
$t_{(\text{CONV})}$	Conversion time, internal to device, not externally visible			180	ns
$t_{\text{d}1}$	Delay time, $\overline{\text{CONVST}}$ fall to conversion start (aperture delay)		3		ns
<b>DATA READ OPERATION</b>					
$t_{\text{d}2}$	Delay time, $\overline{\text{CONVST}}$ low to data valid if $\overline{\text{CS}} = \overline{\text{RD}} = 0$			225	ns
$t_{\text{d}3}$	Delay time, data valid to BUSY low if $\overline{\text{CS}} = \overline{\text{RD}} = 0$	5			ns
$t_{\text{d}4}$	Delay time, $\overline{\text{RD}}$ (or $\overline{\text{CS}}$ ) low to data valid			17	ns
$t_{\text{d}5}$	Delay time, BYTE toggle to data valid			20	ns
$t_{\text{d}6}$	Delay time, data three-state after $\overline{\text{RD}}$ (or $\overline{\text{CS}}$ ) high			12	ns
<b>POWER DOWN</b>					
$t_{\text{d}7}$	Delay time, $\overline{\text{PD1}}$ low to BUSY rising			20	ns
$t_{\text{d}8}$	Delay time, $\overline{\text{PD1}}$ high to device operational (with $\overline{\text{PD2}}$ held high)			5	$\mu\text{s}$
	Delay time, $\overline{\text{PD2}}$ high to REFOUT/COMMOUT valid			25	ms
	Delay time, power up (after $AV_{\text{DD}} = 4.75\text{V}$ )			25	ms
$t_{\text{d}9}$	Delay time, data three-state after $\overline{\text{PD1}}$ low			1.5	$\mu\text{s}$

(1) 入力信号はすべて  $t_r = t_f = 5\text{ ns}$  ( $V_{\text{DD}}$ の10%から90%)で規定し、遷移の90%後から時間測定に使用しています。

(2) デジタル出力信号はすべて  $+V_{\text{BD}} = 2.7\text{V}$ 時で10pF容量、および  $+V_{\text{BD}} = 5.25\text{V}$ 時で20pF容量を負荷とし、遷移の90%に到達するまでを時間測定に使用しています。

## 端子配置



## 端子機能

NAME	NO	I/O	DESCRIPTION		
AGND	5, 8, 12, 14, 15, 44, 45	-	アナログ用グラウンド。		
BDGND	25, 35	-	バス・インターフェイス用デジタル電源のグラウンド。		
BUSY	36	O	ステータス出力。変換の進行中はハイレベル。		
BYTE	39	I	バイト選択入力。8ビット・バスのリードに使用。 0: 折り返しなし。 1: 16ビットの下位バイトD[7:0]を16ビットの上位バイト端子のDB[15:8]に折り返す。		
COMMOUT	3	O	本ピンはREFIN/2を出力し、差動アナログ信号((+IN)+(-IN))/2の同相電圧の設定に使用できる。		
CONVST	40	I	変換開始。本ピンは負論理であり、入力に依存せずに機能する。		
CS	42	I	チップ・セレクト。		
CAP1, CAP2	9, 13	O	内部で生成する3V電源のデカップリング用端子。両ピンからAGNDへ1μFのコンデンサを接続する。		
Data Bus			8-BIT BUS		16-BIT BUS
			BYTE = 0	BYTE = 1	BYTE = 0
DB15	16	O	D15 (MSB)	D7	D15 (MSB)
DB14	17	O	D14	D6	D14
DB13	18	O	D13	D5	D13
DB12	19	O	D12	D4	D12
DB11	20	O	D11	D3	D11
DB10	21	O	D10	D2	D10

## TERMINAL FUNCTIONS (continued)

NAME	NO	I/O	DESCRIPTION		
DB9	22	O	D9	D1	D9
DB8	23	O	D8	D0 (LSB)	D8
DB7	26	O	D7	All ones	D7
DB6	27	O	D6	All ones	D6
DB5	28	O	D5	All ones	D5
DB4	29	O	D4	All ones	D4
DB3	30	O	D3	All ones	D3
DB2	31	O	D2	All ones	D2
DB1	32	O	D1	All ones	D1
DB0	33	O	D0 (LSB)	All ones	D0 (LSB)
-IN	7	I	反転入力チャネル。		
+IN	6	I	非反転入力チャネル。		
NC	11	-	接続なし。		
$\overline{PD2}$	37	I	負論理。1.5 $\mu$ s以上のロジック・ローを本ピンに入力すると、REFOUTとCOMMOOUTのアナログ出力のみをパワーダウンする。 (注: $\overline{PD1} = 1$ , $\overline{PD2} = 0$ は予約されており、この組み合わせを使用してはならない。)		
REFIN	1	I	基準電圧入力。0.1 $\mu$ Fのデカップリング用コンデンサをREFINとREFM間に接続する。		
REFOUT	2	O	基準電圧出力。内部基準電圧源を使用する場合、1 $\mu$ Fのデカップリング用コンデンサをREFOUT端子とREFM端子間に接続する。		
REFM	47, 48	I	基準電圧源用グランド。		
$\overline{RESET/PD1}$	38	I	負論理。本ピンにローレベルのパルスを入力するとADCがリセットされ、進行中の変換は中止される。0.5 $\mu$ s以下のロー・パルスではリセットのみであり、1.5 $\mu$ s以上の場合はADCがリセットおよびパワーダウンされる。アナログ出力のREFOUTとCOMMOOUTは、必要であれば $\overline{PD2}$ によりパワーダウンされることに注意のこと。		
$\overline{RD}$	41	I	パラレル出力の同期パルス。		
+VA	4, 46	-	アナログ電源。4.75Vから5.25VDC。		
+VAREG	10	-	安定化電源。2.85Vから5.25VDC。		
+VBD	24, 34	-	バス用デジタル電源。		

## 代表的特性

中心コードにおけるDC入力の  
262144変換のヒストグラム  
(内部基準電圧使用)

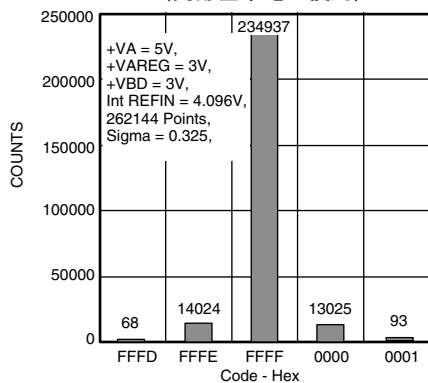


図 1

中心コードにおけるDC入力の  
262144変換のヒストグラム  
(外部基準電圧使用)

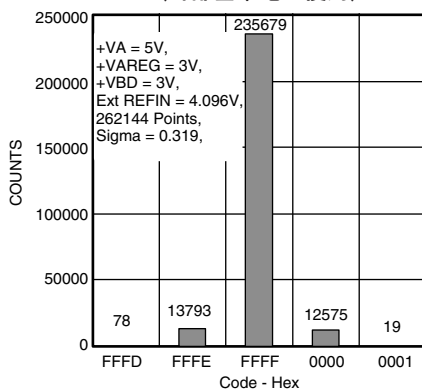


図 2

内部基準電圧  
対  
無風温度 (3デバイスの例)

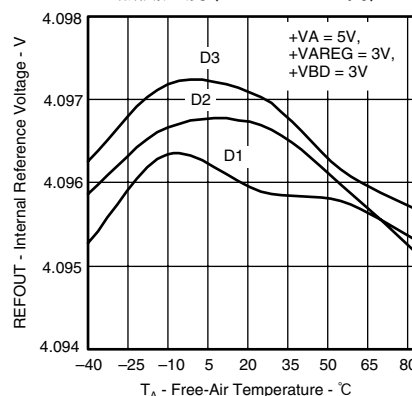


図 3



# 代表的特性

オフセット電圧  
対  
無風温度

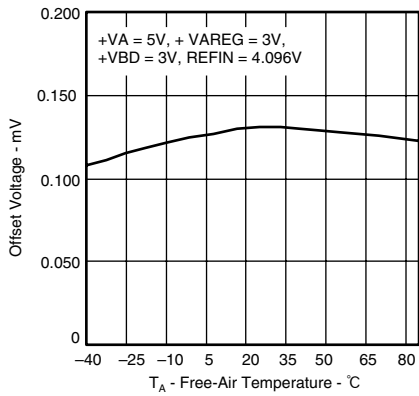


図 4

ゲイン誤差  
対  
無風温度

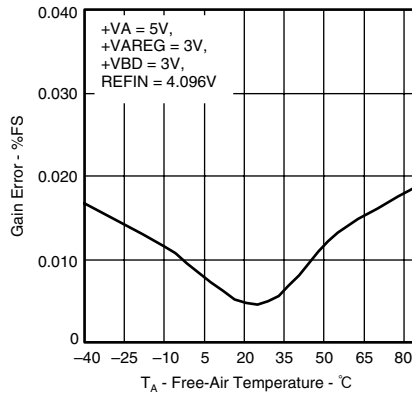


図 5

信号対ノイズ比  
対  
入力周波数

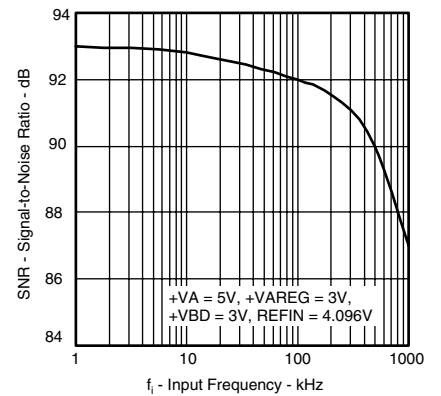


図 6

信号対ノイズ+歪み  
対  
入力周波数

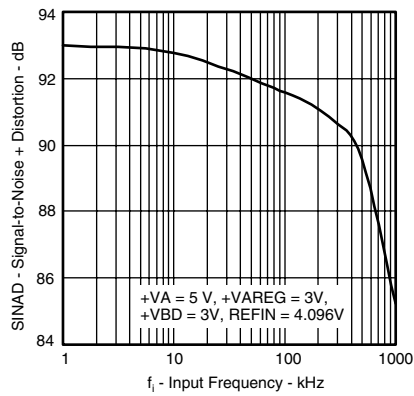


図 7

有効ビット数  
対  
入力周波数

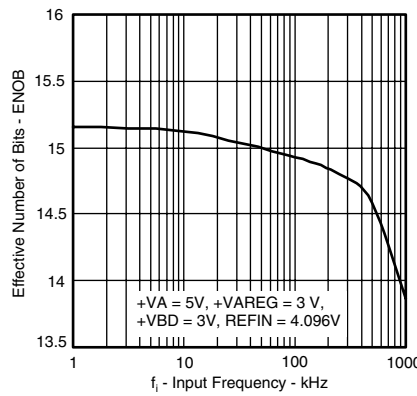


図 8

信号対ノイズ比  
対  
無風温度

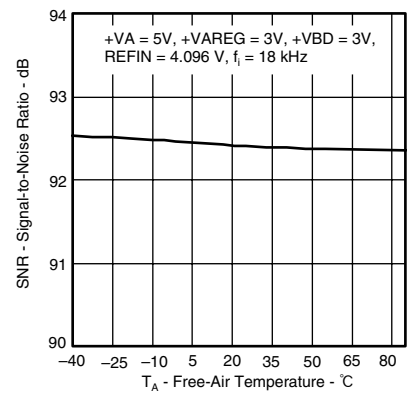


図 9

全高調波歪み  
対  
入力周波数

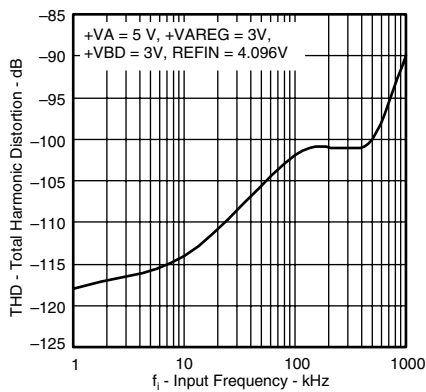


図10

スプリアス・フリー・ダイナミックレンジ  
対  
入力周波数

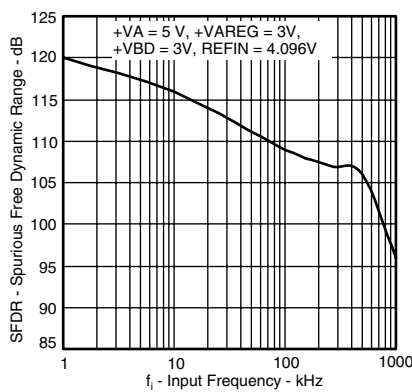


図11

全高調波歪み  
対  
入力周波数

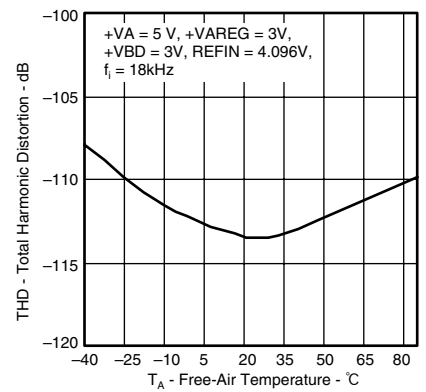


図12

# 代表的特性

電力消費  
対  
スループット

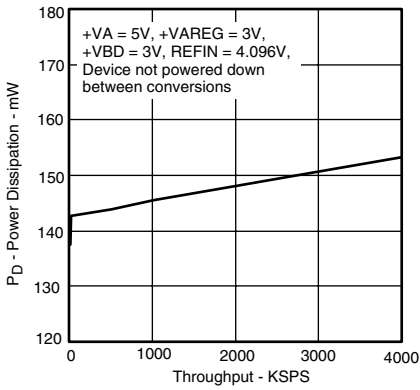


図13

+VAREG電流  
対  
スループット

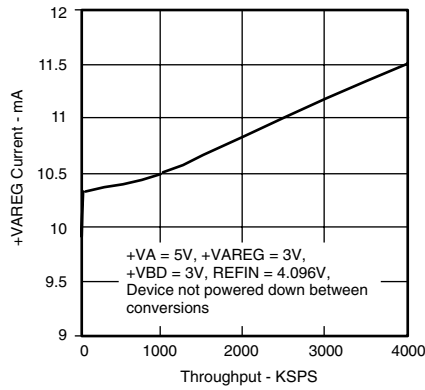


図14

+VA電流  
対  
スループット

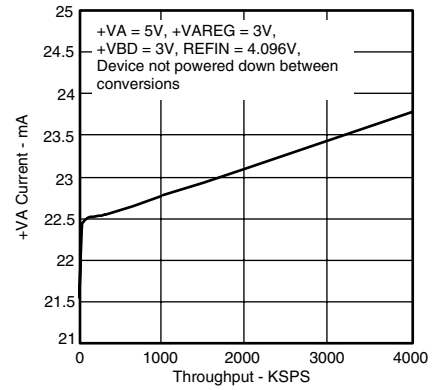


図15

微分非直線性  
対  
無風温度

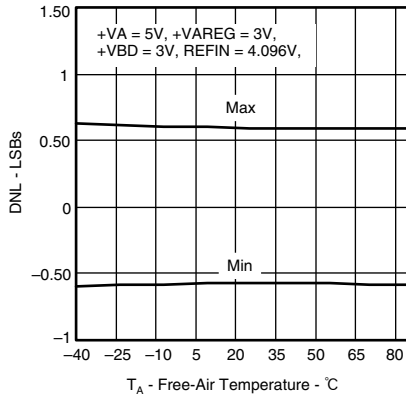


図16

積分非直線性  
対  
無風温度

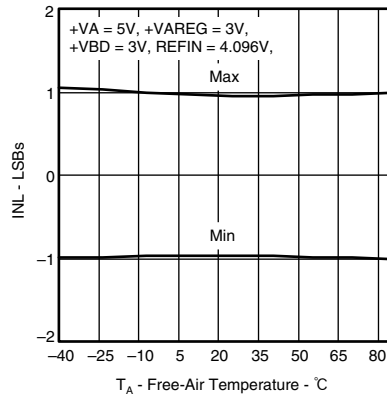


図17

同相除去比  
対  
周波数

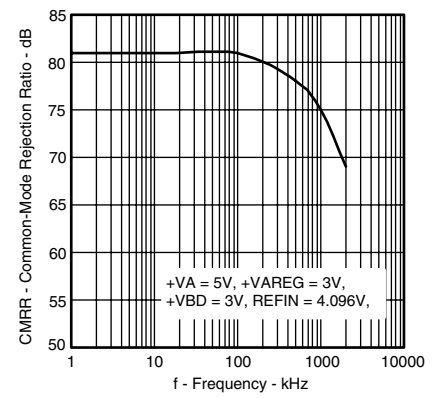


図18

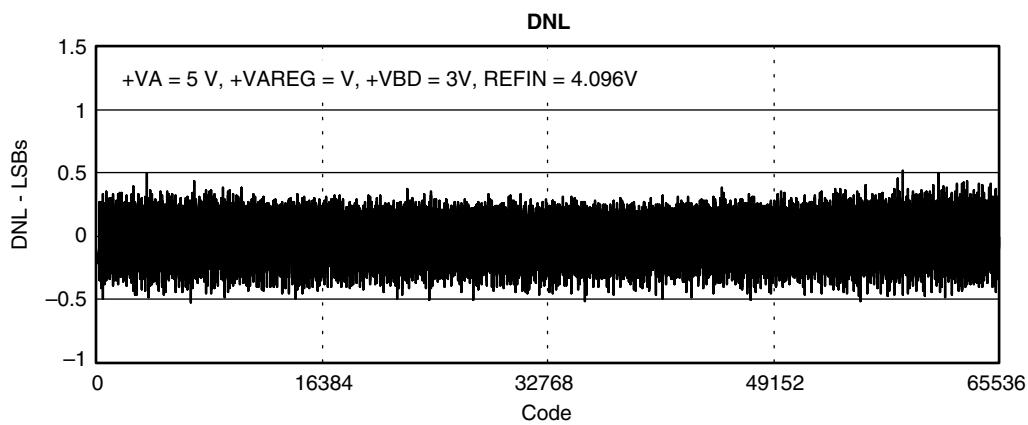


図19

# 代表的特性

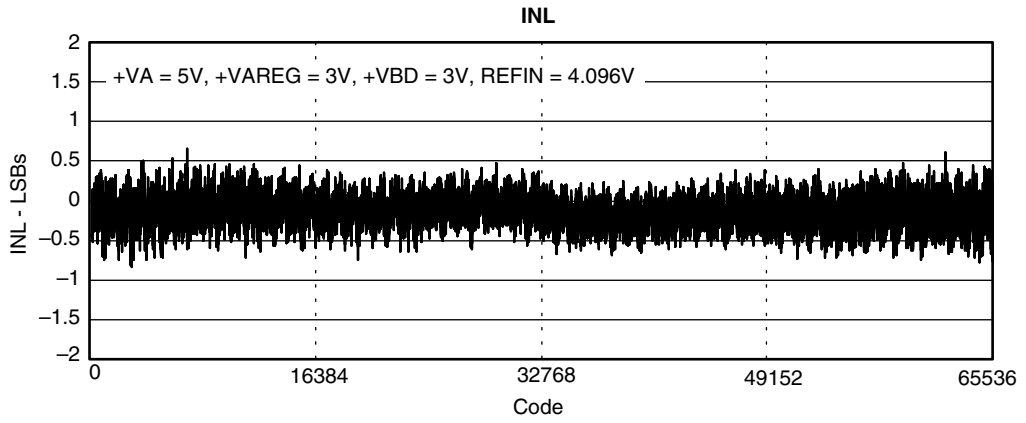


図20

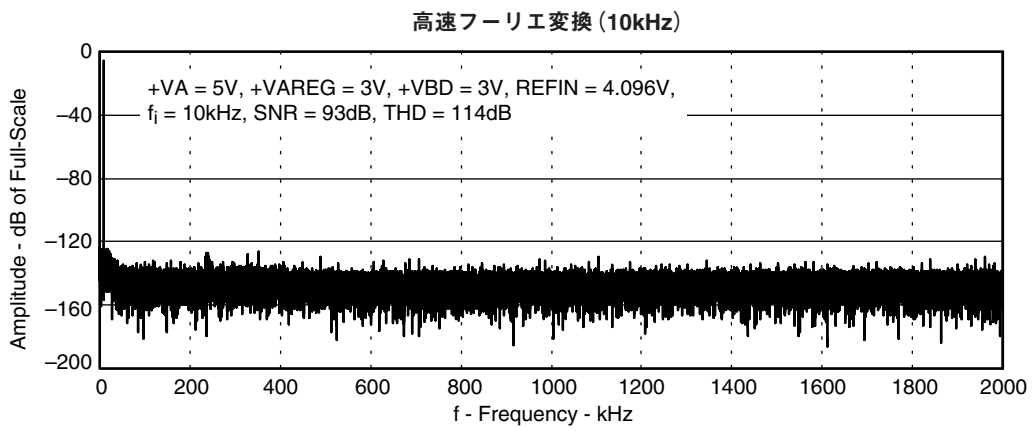


図21

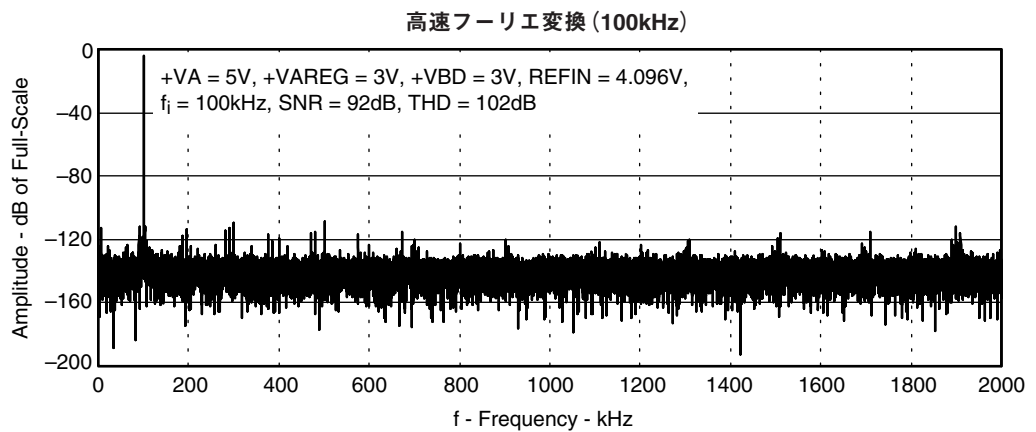


図22

# 代表的特性

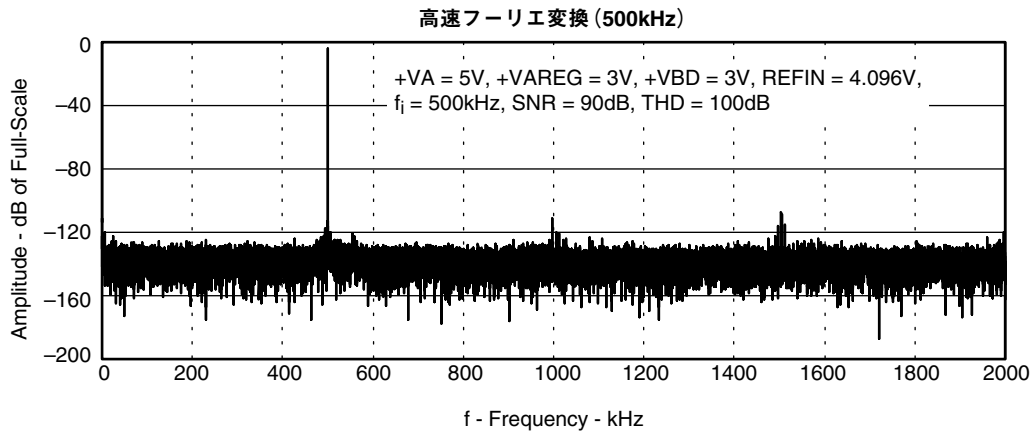


図23

## タイミング図

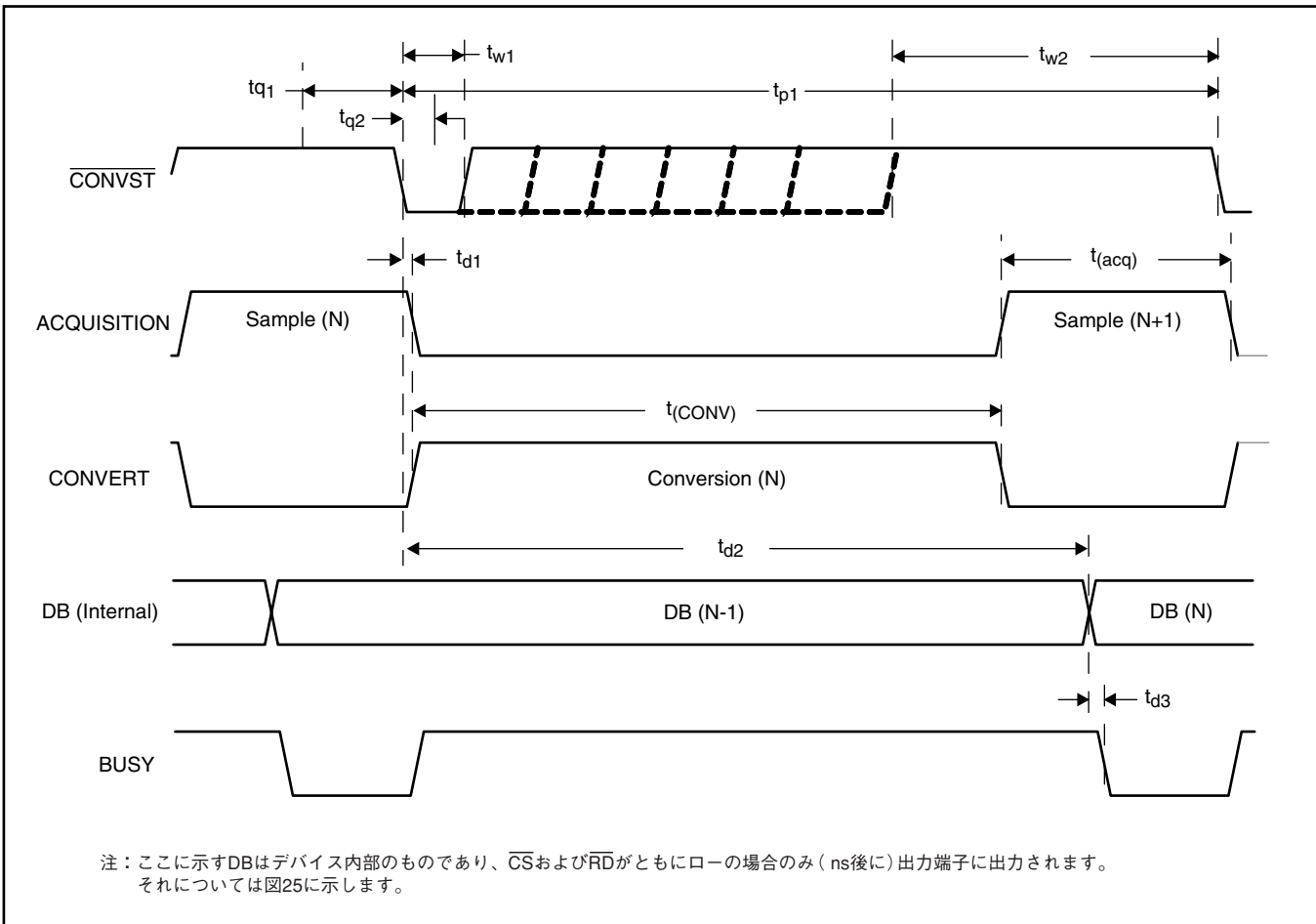


図24. 変換制御タイミング

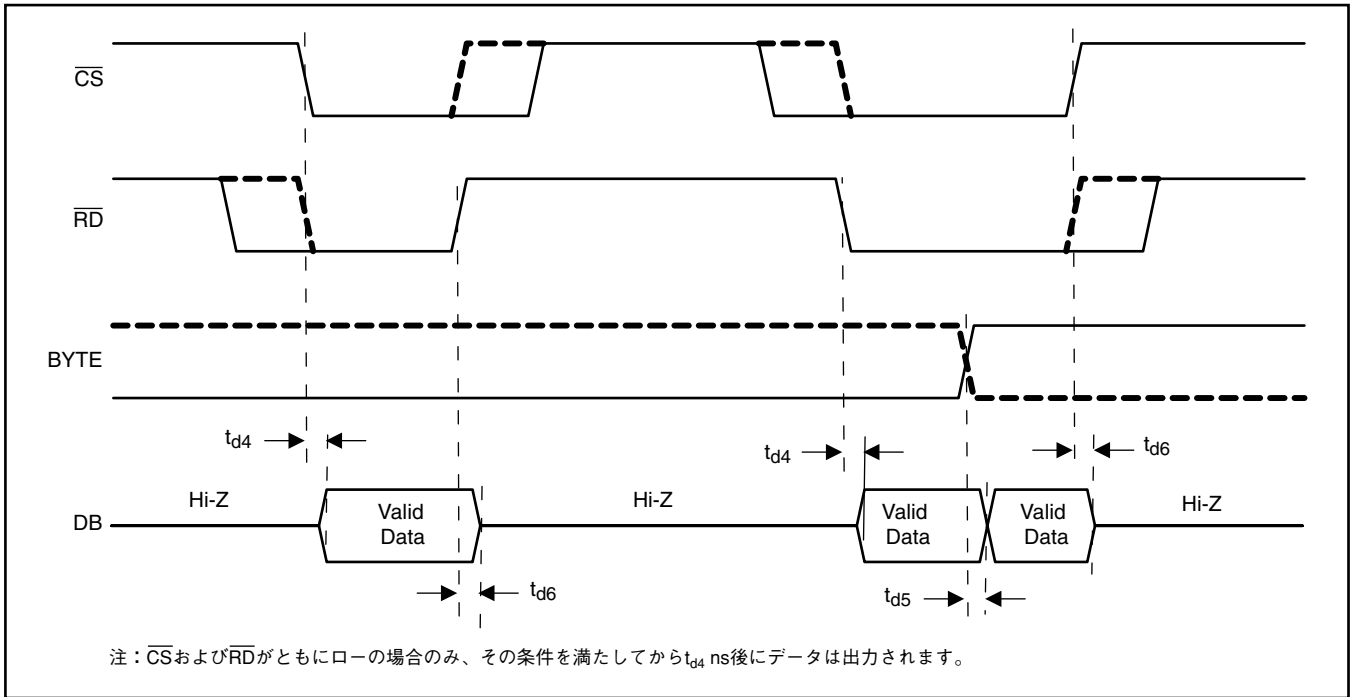


図25. データ・リード・タイミング

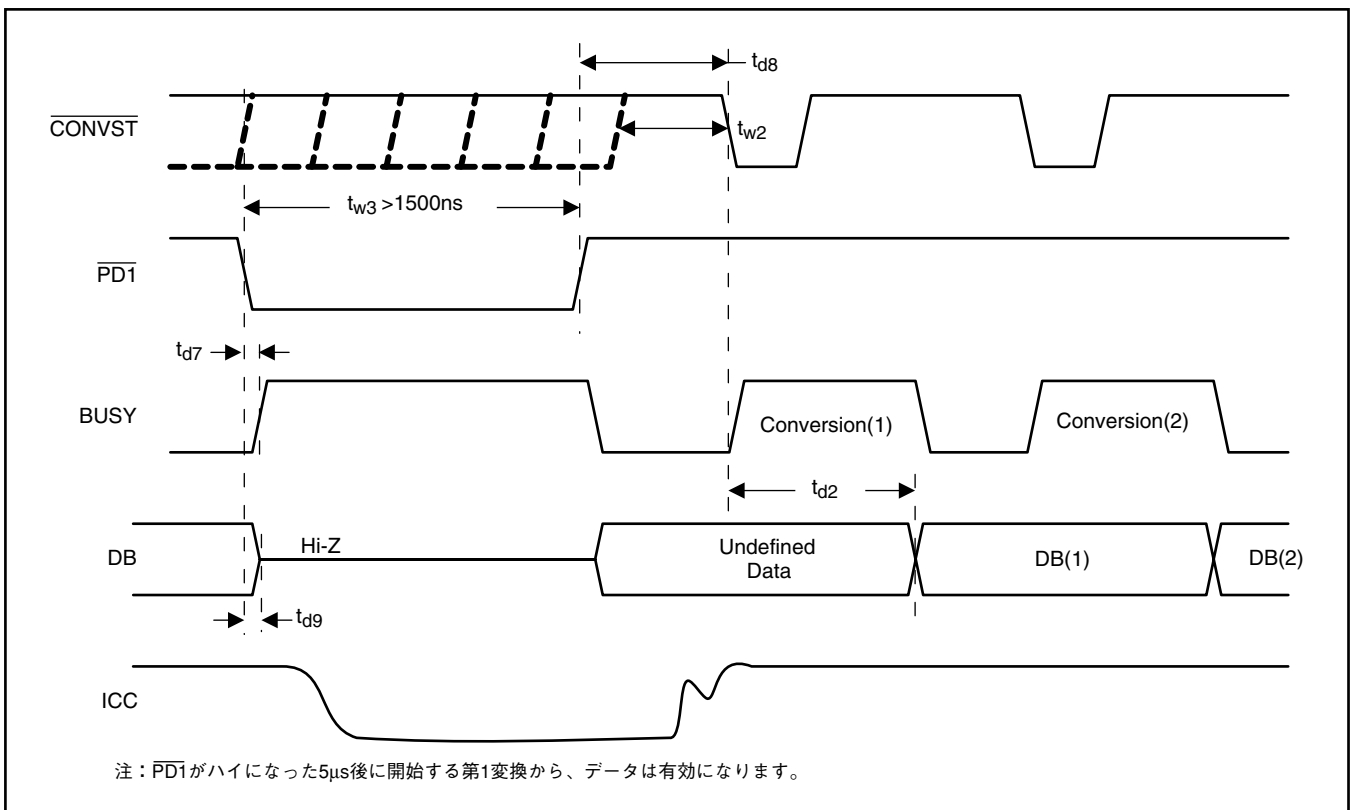


図26. ADCパワーダウンのタイミング

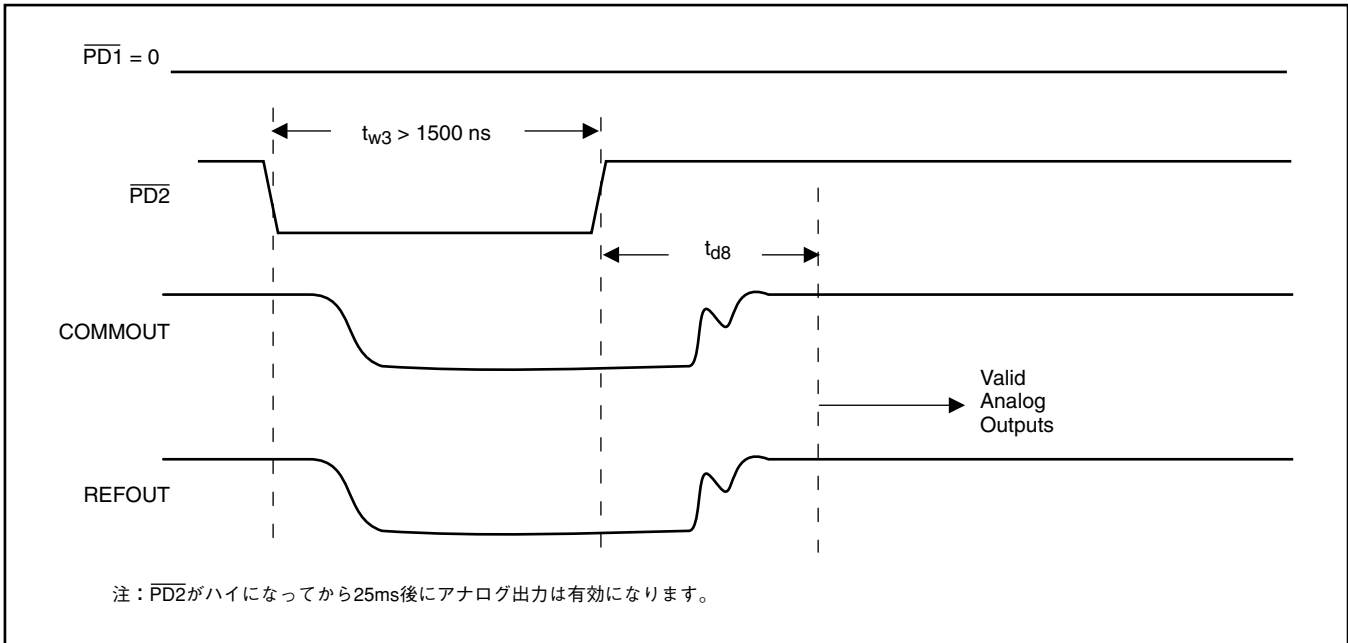


図27. アナログ出力のパワーダウン・タイミング

### リセット・タイミング

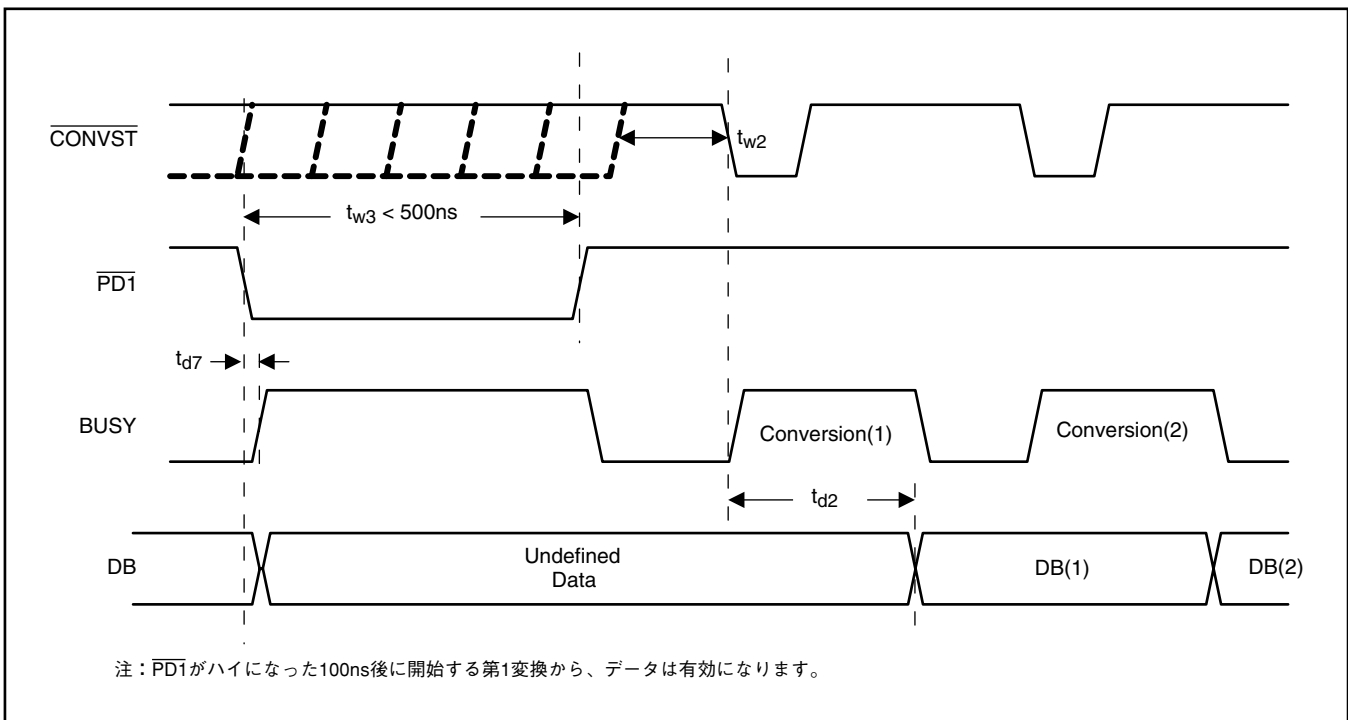


図28. ADCリセット

## 動作原理

ADS8422は、高速多ビット連続近似レジスタ (SAR) 型アナログ・ツー・デジタル変換器 (ADC) ファミリーの一員です。そのアーキテクチャは、サンプル・アンド・ホールド機能を内蔵する電荷再分配方式をベースとしています。ADS8422のアプリケーション回路は図34を参照願います。

変換クロックは内部で生成されます。変換時間は最大で180nsであり、これは4MHzのスループットに対応できます。

アナログ入力は+INおよび-INの2入力端子に印加されます。変換が開始されると、これら端子の差動入力は内部のコンデンサ・アレーにサンプルされます。変換の進行中には、両入力はあらゆる内部機能から分離されます。

## 基準電圧

ADS8422には組み込みの4.096V基準電圧源がありますが、外部の4.096V基準電圧源でも動作できます。内部基準電圧源を使用する場合、2ピン (REFOUT) を1ピン (REFIN) と0.1 $\mu$ Fのデカップリング用コンデンサで接続し、また、2ピン (REFOUT) と47ピンおよび48ピン (REFM) 間にストレージ用コンデンサを接続します。コンバータの内部基準電圧源は2重バッファに

なっています。外部の基準電圧源を使用する場合、2番目のバッファにより外部基準電圧源とCDACが絶縁されます。このバッファは、変換時におけるCDACの全コンデンサの再充電にも使用されます。また、外部基準電圧源を使用する場合、2ピン (REFOUT) は未接続 (フローティング) にしておくことができます。

## アナログ入力

ADS8422の入力は擬似バイポーラの完全差動形式です。入力が差動信号の場合、その振幅は+INと-INの差になります。各入力のピーク・ツー・ピーク振幅は  $V_{REF}/2$  です。しかし、これら2入力は位相が180°反転しているため、差動電圧[+IN - (-IN)]のピーク・ツー・ピーク振幅は2に等しくなります。その同相入力範囲は $V_{REF}/2 - 0.2V$ から $V_{REF}/2 + 0.2V$ になります。

基板上的余分な外付け回路を排除するために、ADS8422はREFINの基準電圧入力を2分して3ピン (COMMOUT) に出力します。この電圧は入力駆動回路から出力の同相電圧を設定するのに使用できます。

図29、図30、図31、図32、および図33に、アナログ入力信号とADS8422の推奨インターフェイス回路を示します。

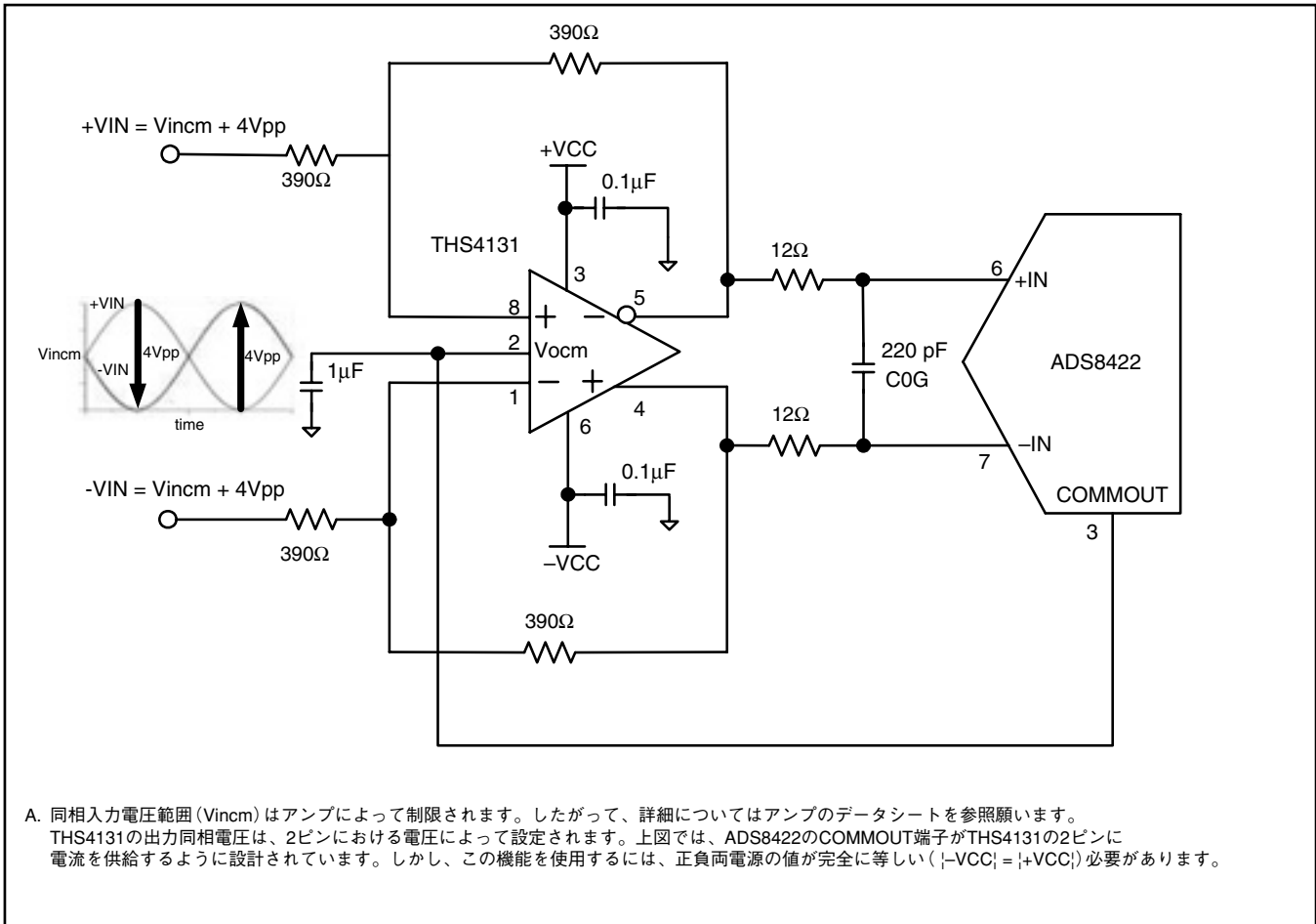


図29. ユニポーラあるいはバイポーラ信号用の完全差動入力駆動回路

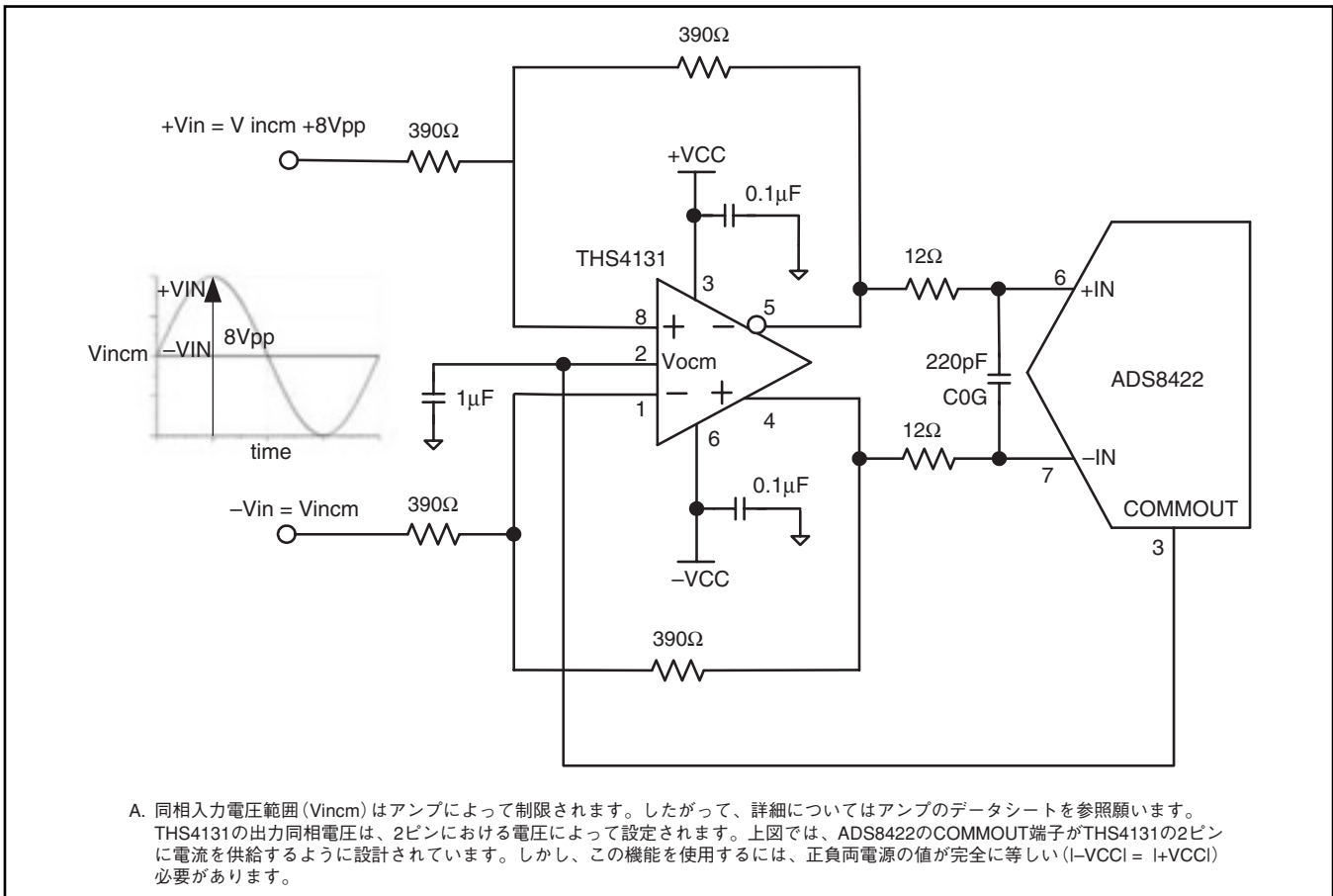


図30. 入力ユニポーラあるいはバイポーラ信号時のシングルエンド入力駆動回路



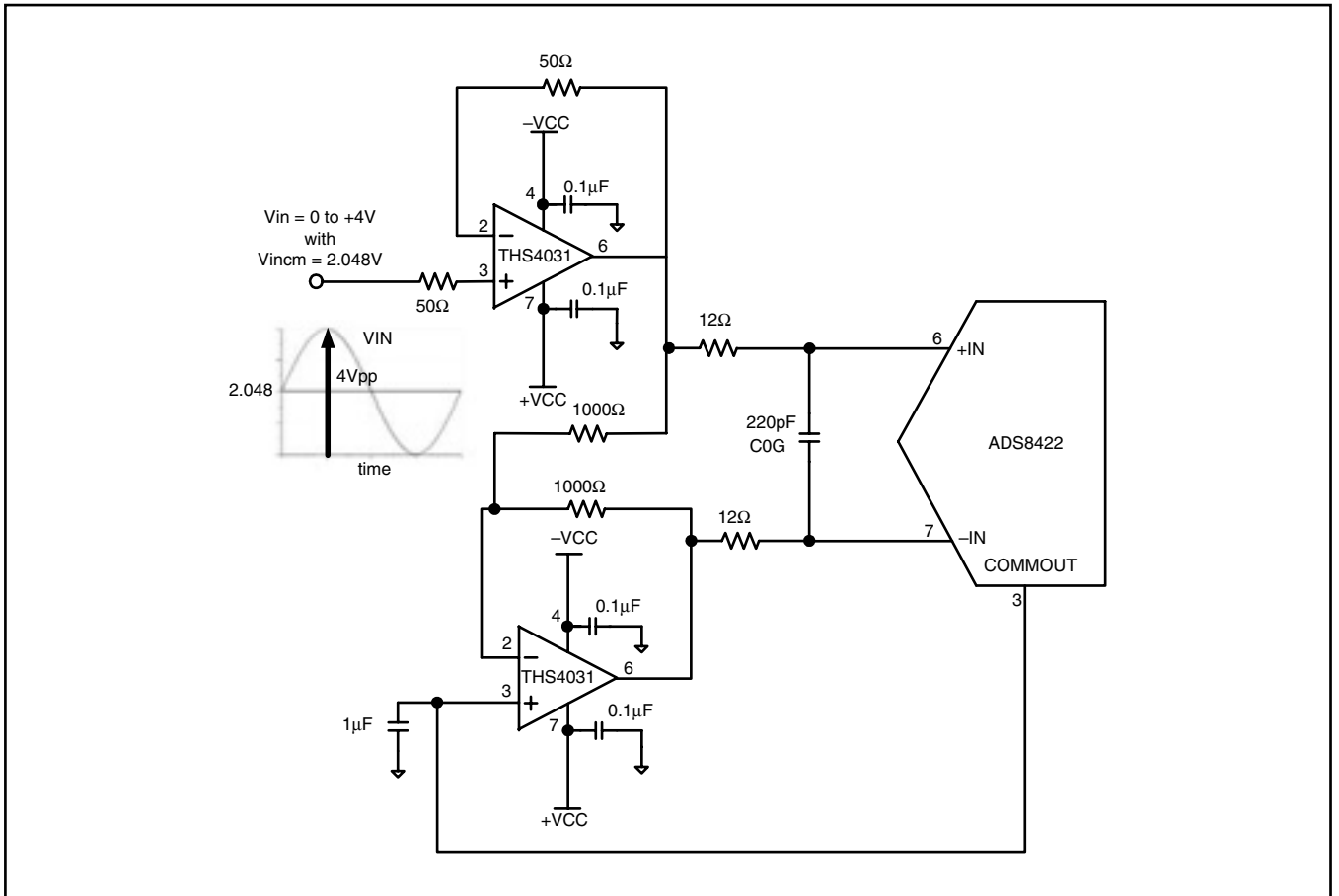


図31. 入力シングルエンドのユニポーラ信号で2.048V同相電圧時のシングルエンド駆動回路

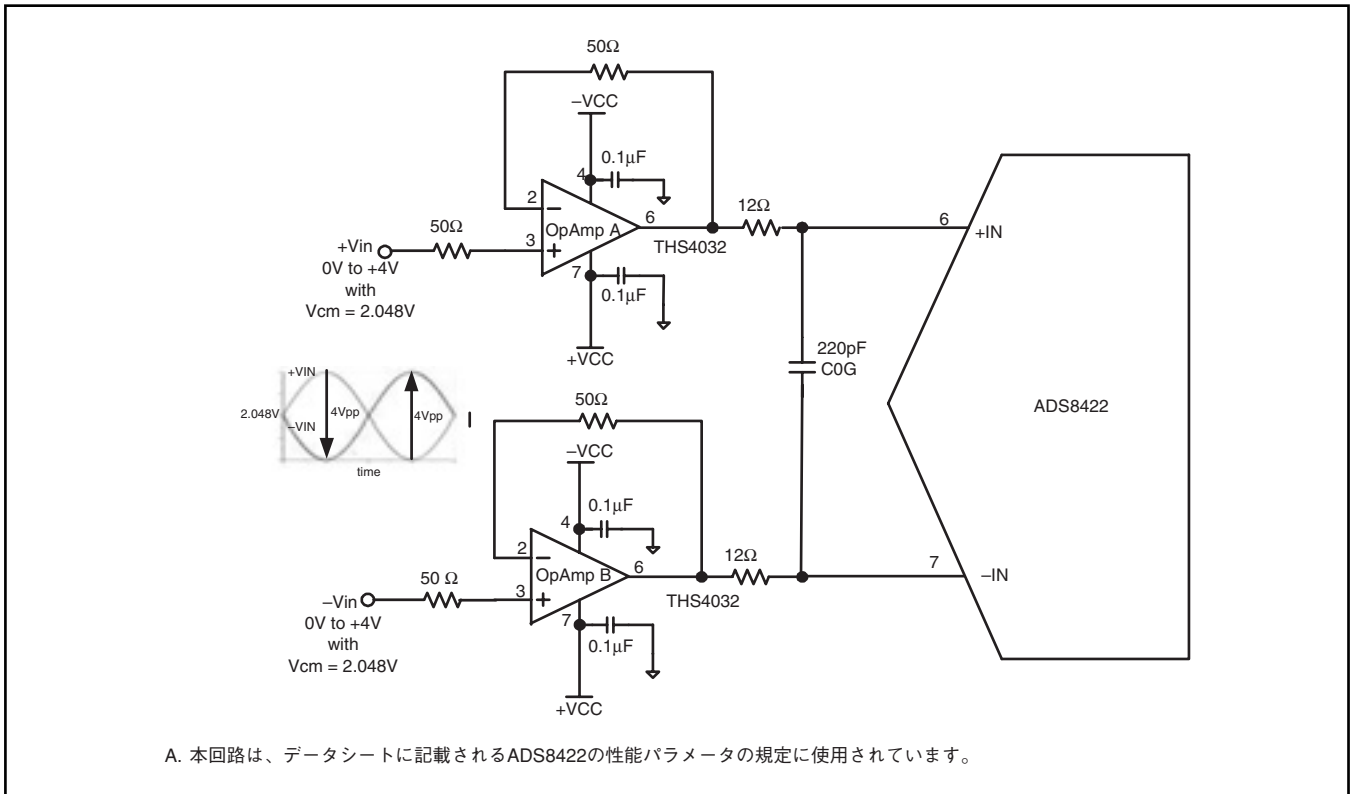


図32. 入力2.048Vの同相電圧に乗る完全差動信号時の駆動回路

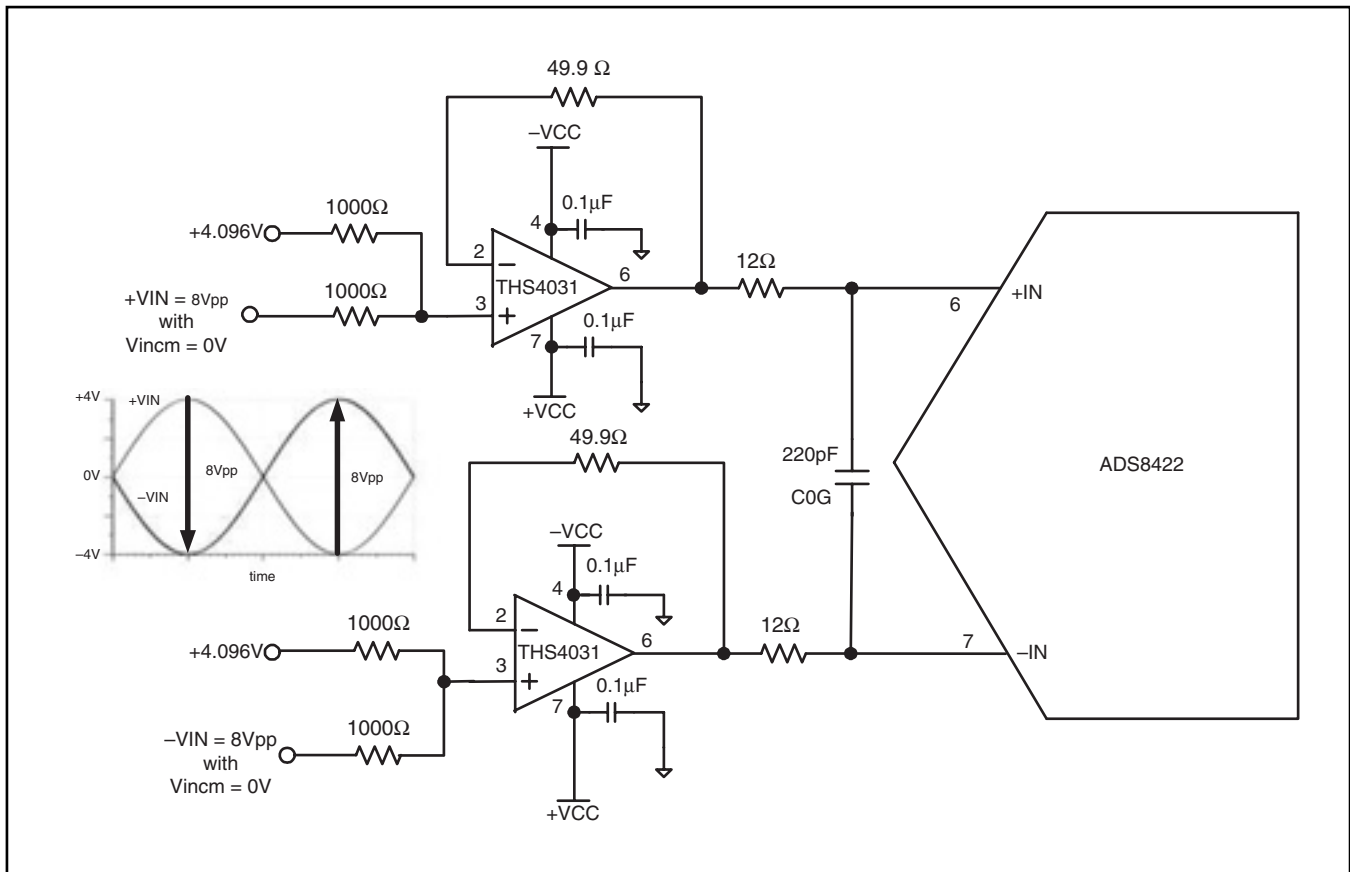


図33. 入力が完全差動のバイポーラ信号で0Vの同相電圧時の駆動回路

アナログ入力における入力電流は、サンプルレート、入力電圧、および信号源インピーダンスといったいくつかの要素に依存します。ADS8422へ流入する電流は、基本的にサンプル周期に内部のコンデンサ・アレイを充電します。この容量が十分に充電された後は、それ以上の入力電流はありません。アナログ入力電圧源は、デバイスのアクイジション・タイムである70ns以内に、16ビットのセットリング・レベルまで入力容量(30pF)を充電できる必要があります。コンバータがホールド・モードに入ると、入力インピーダンスは1GΩ以上になります。

アナログ入力電圧の絶対値について注意を払う必要があります。コンバータの直線性を保つため、+INおよび-INの両入力の電圧を規定リミット内にします。これらの規定範囲を超えると、コンバータの直線性は仕様を満足しないことがあります。また、ノイズを最小にするため、ローパス・フィルタにより低帯域幅の入力信号を用いる必要があります。

さらに、+INおよび-IN入力を駆動する信号源の出力インピーダンスの整合性を保証するように注意します。この整合がとれ

ていないと、両入力のセットリング・タイムが異なることがあります。その結果、温度や入力電圧により変化するオフセット誤差、ゲイン誤差、および直線性誤差につながります。

コンバータがホールド・モードに入ると、+INおよび-IN入力の電位差が内部のコンデンサ・アレイに補足されます。

## デジタル・インターフェイス プリント基板図

### タイミングおよび制御

タイミング信号とその条件に関する詳細な情報は、タイミング図を参照願います。

ADS8422は内部発振回路が発生するクロックを使用して、変換レートすなわちコンバータのスループットを制御しています。したがって、外部からのクロック入力は不要です。

変換は $\overline{\text{CONVST}}$ 端子を最小で20nsの間ローにすると開始されます(最小20nsの条件が満たされた後は $\overline{\text{CONVST}}$ をハイにできます)。この $\overline{\text{CONVST}}$ コマンドの立下りエッジで、コンバータはサンプルからホールドのモードへ切り換わります。この信号のクリーンかつ低ジッタの立下りが、コンバータの性能に重要になります。 $\overline{\text{CONVST}}$ がローになるとすぐにBUSY端子がハイになります。BUSYは変換プロセスの間ハイを保ち、変換が終了するとローに戻り、データがDB端子に出力されます。ひとたび変換が開始されると、非同期の $\overline{\text{CONVST}}$ 信号(すなわち)以外でそれを停止することはできません。

変換の後端で $\overline{\text{CONVST}}$ のハイが検出されると、デバイスは即座にサンプリング・モードに入り、アナログ入力にCDACに接続されます。それ以外では、 $\overline{\text{CONVST}}$ がハイになるときのみアナログ入力にCDACに接続されます。 $\overline{\text{CONVST}}$ のハイ期間は最小で100ns必要です。なお、 $\overline{\text{CONVST}}$ のハイの最大パルス長に関する仕様はありません。

## データのリード

ADS8422は、表1に示す2の補数フォーマットのフル・パラレル・データを出力します。パラレル出力は、 $\overline{\text{SC}}$ および $\overline{\text{RD}}$ がともにローの場合に有効です。 $\overline{\text{CONVST}}$ の立下りエッジの前後には静的領域の最小条件があります。すなわち、 $\overline{\text{CONVST}}$ の立下りエッジ前の30nsおよび立下りエッジ後の10nsです。この時間領域内では、いかなるデータ・リードもしてはなりません。それ以外の $\overline{\text{SC}}$ および $\overline{\text{RD}}$ の組み合わせの場合、パラレル出力がスリー・ステートになります。BYTEはマルチワードのリード動作

に使用されます。BYTEが使用されるのは、バスの上位バイトにバスの下位ビットが出力される場合です。理想出力コードについては表1を参照願います。

BYTEがローの場合、出力データはDB15-DB0 (MSB-LSB)端子でフルの16ビット・ワードとしてリードできます。

また、変換結果は便宜上8ビットバスとしてもリードできます。この場合、DB15-DB8端子のみが使用され、2回のリードが必要になります。すなわち、最初にBYTEをローにしたままDB15-DB8端子の上位8ビットをリードし、次にBYTEをハイにします。BYTEがハイになると、下位ビット(D7-D0)がDB15-DB8端子に出力されます。

これらのマルチワードのリード動作は、複数のアクティブの $\overline{\text{RD}}$ 信号(すなわちトグルする)により、あるいは簡単のためにローに接続された $\overline{\text{RD}}$ 信号によって実行されます。

## リセット

$\overline{\text{RESET/PD1}}$ は非同期の負論理の入力信号です。ADCのパワーダウンに至らない $\overline{\text{RESET/PD1}}$ のロー時間は最大0.5 $\mu\text{s}$ です。コンバータがリセット・モードに入ると、20ns以内にその時点の変換が中止されます。また、 $\overline{\text{RESET/PD1}}$ 入力が高になると、コンバータは20ns以内に通常動作モードに戻ります(図28参照)。

コンバータには、ADCパワーダウン(38ピンの $\overline{\text{PD1}}$ を使用)およびアナログ出力パワーダウン(37ピンの $\overline{\text{PD2}}$ )の、2つの省電力オプションがあります。

DESCRIPTION	ANALOG VALUE	DIGITAL OUTPUT 2'S COMPLIMENT	
		BINARY CODE	HEX CODE
Full scale range	$2V_{\text{ref}}$		
Least significant bit (LSB)	$2V_{\text{ref}}/65536$		
+Full scale	$(+V_{\text{ref}})-$	0111 1111 1111 1111	7FFF
Midscale	0V	0000 0000 0000 0000	0000
Midscale - 1LSB	0V-	1111 1111 1111 1111	FFFF
-Full scale	$-V_{\text{ref}+}$	1000 0000 0000 0000	8000

表1. 理想入力電圧および理想出力コード

BYTE	DATA READ OUT	
	PINS DB15-DB8	PINS DB7-DB0
High	D7 - D0	All One's
Low	D15 - D8	D7 - D0

表2. 変換データのリード

COMMAND	APPLICATION TIME	POWER WHEN APPLIED	RESUME TIME
$\overline{\text{RESET}}/\overline{\text{PD1}} = 0$	20ns	No change	20ns
$\text{PD1} = 0, \text{PD2} = 1$	1.5 $\mu$ s	17mW	5 $\mu$ s
$\text{PD1} = \text{PD2} = 0$	1.5 $\mu$ s	40 $\mu$ W	25ms
$\text{PD1} = 1, \text{PD2} = 0$	Reserved - Do not use this combination		

表3.  $\overline{\text{RESET}}$ ,  $\overline{\text{PD1}}$ , および  $\overline{\text{PD2}}$  の作用

ADCパワーダウンは、 $\overline{\text{PD1}}$ を1.5 $\mu$ s以上0（ロー）にすると始動されます。 $\overline{\text{PD1}}$ 信号を0にするのが0.5 $\mu$ s以下の場合、ADCはリセットされて進行中の変換が中止されるだけです。図26をご覧ください。 $\overline{\text{PD1}}$ 端子を再び1（ハイ）にすると、ADCの動作はADCパワーダウンから復旧して再始動することができます。ADCパワーダウン・モードでは、ADCからのアナログ出力（COMMOUT, REFOUT）はパワーダウンされないため、復旧のためのパワーオン・タイムを低減できます。

チップ全体のパワーダウンは、電源をオフにするか $\overline{\text{PD1}}$ および $\overline{\text{PD2}}$ をともに1.5 $\mu$ s以上0にすると始動されます（図27参照）。このモードでは、ADCからのアナログ出力（COMMOUT, REFOUT）もパワーダウンされるため、省電力が最大になります。電源をオンにするか $\overline{\text{PD1}}$ および $\overline{\text{PD2}}$ をともに1にすると、チップ全体のパワーダウンからデバイス動作を復旧させることができます。

## レイアウト

ADS8422の最適な特性を得るために、その回路の物理的なレイアウトに注意を払う必要があります。

ADS8422は単電源動作ができるので、デジタル・ロジック、マイクロコントローラ、マイクロプロセッサ、およびデジタル信号プロセッサの近くでよく使用されます。設計において使用されるデジタル・ロジックが多いほど、また、そのスイッチング速度が高速なほど、コンバータの高特性を実現するのが困難になります。

基本的なSARアーキテクチャは、アナログ・コンパレータ出力をラッチする直前のタイミングで発生する電源、基準電圧、グランド配線、およびデジタル入力におけるグリッチや急峻な変化に対して敏感です。したがって、 $n$ 個のクロックを要するSARコンバータの1変換には、外部の大きい電圧遷移が変換結果に影響し得る $n$ 個のウインドーがあります。このようなグリッチは、スイッチング電源、近くのデジタル・ロジック、あるいは

は大電力デバイスから発生します。そこで、BUSYの立下り前50nsの期間において電源グリッチが発生しないようにします。

デジタル出力の誤差の程度は、基準電圧、レイアウト、および外部における事象の厳しいタイミングに依存します。

ADS8422は外部からの基準電圧を内部でバッファするので、平均して非常にわずかな電流を外部基準電圧源から消費します。基準電圧が外部のオペアンプで生成される場合、そのアンプがバイパス用などのコンデンサを発振せずに駆動できるようにします。バイパス用コンデンサとして、0.1 $\mu$ Fを1ピンからREFM（48ピン）へ直に接続することを推奨します。REFMとAGNDはデバイス直下の同一のグランド・プレーンで短絡します。

AGNDおよびBDGNDの端子はクリーンなグランドの1点で接続します。すべての場合において、この点はアナログ・グランドになります。また、マイクロコントローラやデジタル信号プロセッサのグランド点に近すぎる配線は回避します。必要であれば、コンバータからのグランド・トレースを電源のエントリー・ポイントまで直に引き回します。最適なレイアウトは、コンバータとそれに関連するアナログ回路に専用のアナログ・グランド・プレーンを設けることです。

AGNDの配線と同様に、+VAおよび+VAREGもそれぞれの電源プレーンやトレースと接続し、電源のエントリー・ポイントまでデジタル・ロジックの配線と分離します。ADS8422への電源はクリーンで十分にバイパスされている必要があります。バイパスには、1個の0.1 $\mu$ Fセラミック・コンデンサをデバイスに極力接近させて配置します。コンデンサの配置については表4をご覧ください。さらに、1個の1 $\mu$ Fから10 $\mu$ Fのコンデンサの配置を推奨します。ある種の状況下では、100 $\mu$ Fの電解コンデンサや、コイルとコンデンサで構成されるPiフィルタまで用いるような、さらなるバイパスが必要な場合もあります。これらのバイパス回路は、すべて基本的に+5V電源のローパス・フィルタとして設計され、その結果高周波ノイズが除去されます。

POWER SUPPLY PLANE	CONVERTER ANALOG SIDE	CONVERTER DIGITAL SIDE
SUPPLY PINS		
Pin pairs that require shortest path to decoupling capacitors	(4,5), (9,8), (10,12), (13,15), (43,44), (46,45)	(24,25), (34,35)

表4. 電源用デカップリング・コンデンサの配置

# アプリケーション情報

## ADS8422と高性能DSPのインターフェイス

ADS8422とTI製のTMS320C6713のような高性能DSPとの、16ビット・バスをフルに使用したパラレル・インターフェイスを図34に示します。ADS8422はTMS320C6713 DSPのメモリー空間にマッピングされています。リードおよびリセット信号は、3対8デコーダにより生成されます。アドレス0xA000C000からのリード動作ではADS8422の端子にパルスが発生し、ワード・アドレス0xA0014000からのリード動作ではADS8422の/端子にパルスが発生します。DSPの信号は、ADS8422の(チップ・セ

クト)として働きます。TMS320C6713は32ビット外部メモリー・インターフェイスであるため、ADS8422のBYTE入力をローに固定して、データ・バスの折りたたみをディスエーブルにしておくことができます。ADS8422のBUSY信号はDSPの割り込み入力に供給され、EDMAコントローラがこの信号の立ち下りエッジで反応し、変換結果を集積できるようにします。TMS320C6713のTOUT1(タイマ・アウト1)端子は、ADS8422の信号を供給するのに使用されます。

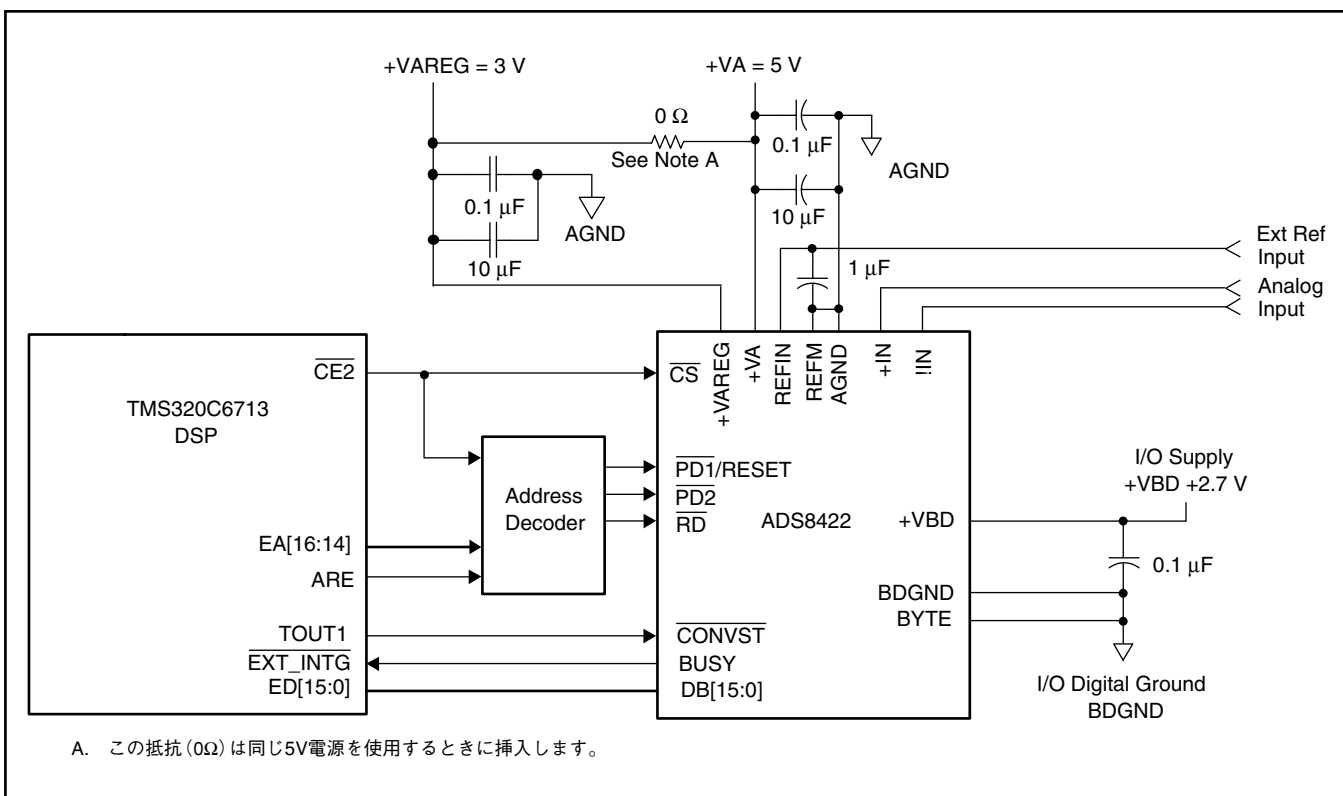


図34. ADS8422のアプリケーション回路

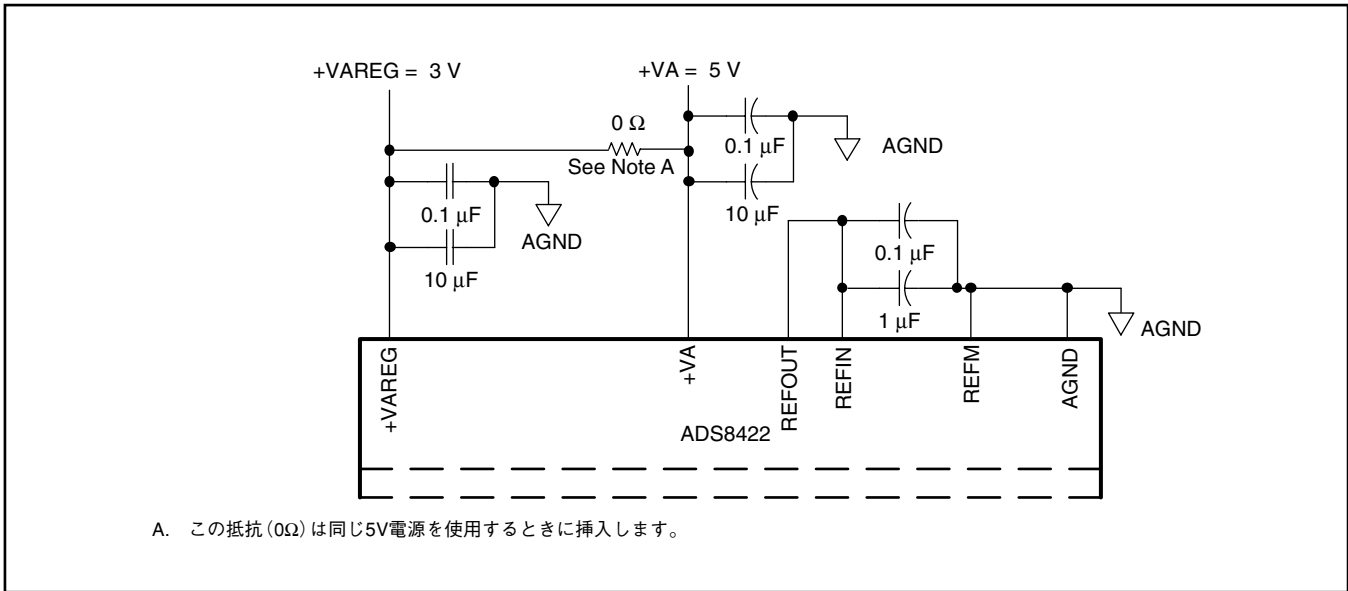


図35. 内部基準電圧を使用したADS8422

## PACKAGING INFORMATION

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
ADS8422IBPFBR	ACTIVE	TQFP	PFB	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8422IBPFBRG4	ACTIVE	TQFP	PFB	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8422IBPFBT	ACTIVE	TQFP	PFB	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8422IBPFBTG4	ACTIVE	TQFP	PFB	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8422IPFBR	ACTIVE	TQFP	PFB	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8422IPFBRG4	ACTIVE	TQFP	PFB	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8422IPFBT	ACTIVE	TQFP	PFB	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8422IPFBTG4	ACTIVE	TQFP	PFB	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

<sup>(1)</sup> マーケティング・ステータスは次のように定義されています。

**ACTIVE** : 製品デバイスが新規設計用に推奨されています。

**LIFEBUY** : TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND** : 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW** : デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE** : TIによりデバイスの生産が中止されました。

<sup>(2)</sup> エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD** : Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)** : TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)** : この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

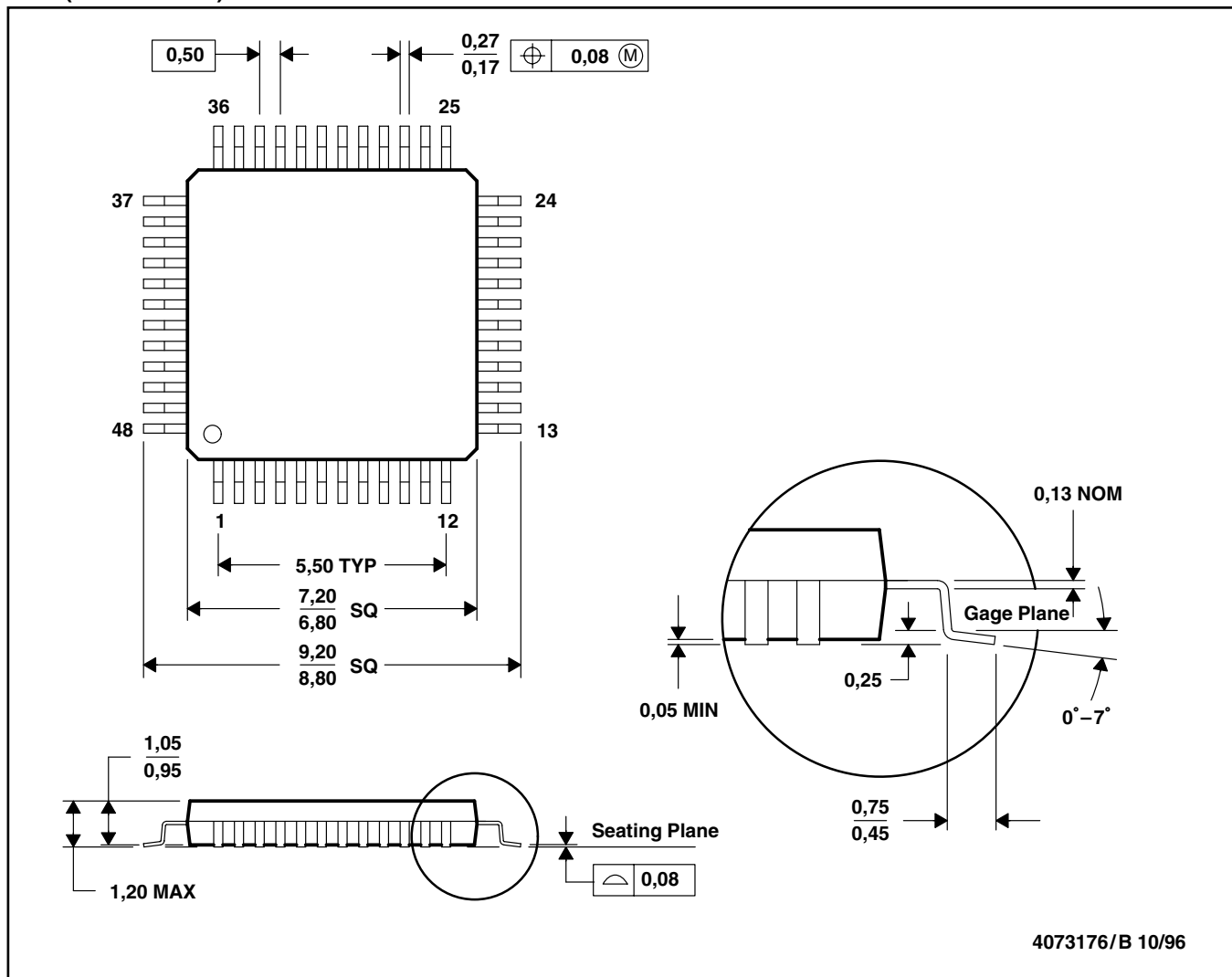
**Green (RoHS & no Sb/Br)** : TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

<sup>(3)</sup> MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項** : このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

PFB (S-PQFP-G48)

PLASTIC QUAD FLATPACK



注：A.直線寸法はすべてミリメートルです。

B. 本図は予告なしに変更することがあります。

C. JEDEC MS-026に準拠。



**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS8422IBPFBR	TQFP	PFB	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
ADS8422IPFBR	TQFP	PFB	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS8422IBPFBR	TQFP	PFB	48	1000	350.0	350.0	43.0
ADS8422IPFBR	TQFP	PFB	48	1000	350.0	350.0	43.0

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated