

# 16ビット、250kSPS、シリアル、CMOS ADコンバータ

## 特長

- 入力範囲：0～8.192V、±5V、および±10V
- SNR：93dB (20kHz入力時)
- INL：±1.5LSB (Max)
- DNL：±1LSB (Max)、ノー・ミッシング・コード：16ビット
- デイジー・チェーン (TAG) 機能と3ステート・バスを備えたSPI™互換シリアル出力
- 5Vアナログ電源、I/O電源 (1.65～5.25V)
- 16ビットADS7809 (低速)、および12ビットのADS7808とADS8508に類似したピン配置
- 外付けの高精度抵抗が不要
- 内蔵または外部リファレンスを使用可能
- 消費電力：110mW (typ.250kSPS)
- 28ピンSSOPパッケージ
- シンプルなDSPインターフェイス

## アプリケーション

- 産業プロセス制御
- データ・アキュイジション・システム
- デジタル信号処理

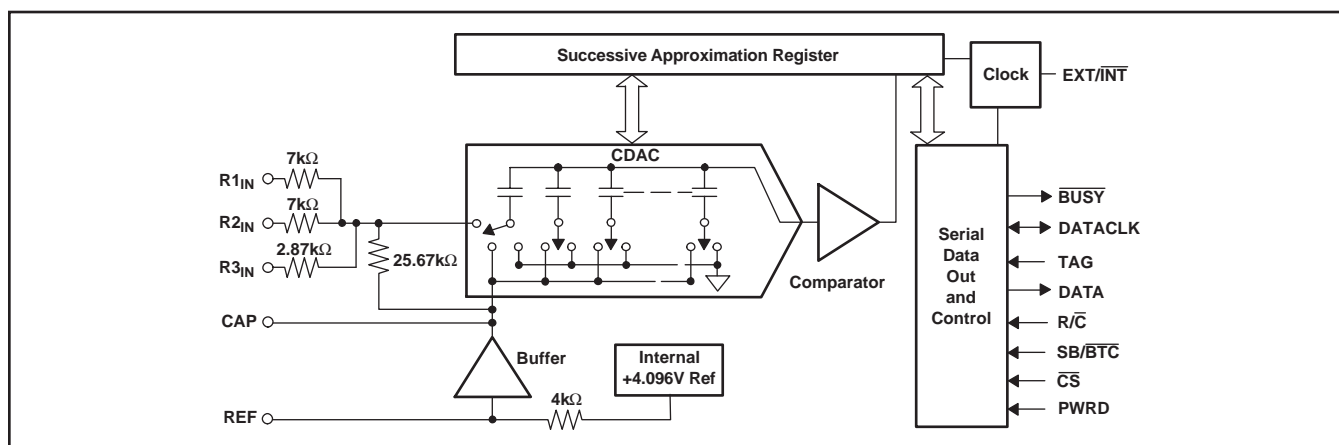
- 医療用機器
- 計装機器

## 概要

ADS8519は、最新のCMOS構造を採用した16ビットのサンプリングADコンバータ (ADC) です。この製品は分解能16ビット、電荷再配分方式のサンプル・ホールド付の逐次比較型 (SAR) ADコンバータ、リファレンス、クロック回路およびシリアル・データ・インターフェイスを内蔵しています。データは、内部クロックを使用するか、あるいは外部データ・クロックに同期して出力することができます。ADS8519は、標準的なDSPプロセッサに使用しやすい出力同期パルスも供給します。

ADS8519は、-40℃～+85℃の範囲の250kSPSのサンプリングレートで仕様が規定されています。斬新な設計により、5Vの単電源で動作し、125mW以下の低消費電力で内部の高精度抵抗により、±10V、±5Vおよび0V～8.192Vを含むさまざまな入力範囲を実現しています。

ADS8519は28ピンSSOPパッケージで供給され、産業用の-40℃～+85℃の温度範囲で仕様が規定されています。



SPIは、Motorola社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては何なる責任も負いません。



## 静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

### 製品情報<sup>(1)</sup>

製品	最小INL (LSB)	ノー・ミッシング・コード	最小SINAD (dB)	仕様温度範囲	パッケージ・リード	パッケージタイプ	製品型番	出荷形態数量
ADS8519IB	±1.5	16-Bit	90	-40°C ~ +85°C	SSOP-28	DB	ADS8519IBDB	Tube, 50
							ADS8519IBDBR	Tape and Reel, 2000
ADS8519I	±3	15-Bit	87	-40°C ~ +85°C	SSOP-28	DB	ADS8519IDB	Tube, 50
							ADS8519IDBR	Tape and Reel, 2000

(1) 現行パッケージおよび注文情報の大半は、本文書の巻末のパッケージ・オプション付録あるいはTI社のウェブサイトwww.ti.comをご覧ください

### 絶対最大定格<sup>(1)(2)</sup>

		単位
アナログ入力	R <sub>1IN</sub>	±25V
	R <sub>2IN</sub>	±25V
	R <sub>3IN</sub>	±25V
	REF	+V <sub>ANA</sub> + 0.3V ~ AGND2 - 0.3V
グラウンド間の電位差	DGND, AGND2	±0.3V
	V <sub>ANA</sub>	6V
	V <sub>DIG</sub>	6V
デジタル入力		-0.3V ~ +V <sub>DIG</sub> + 0.3V
内部消費電力		700mW
最大接合部温度		+165°C
リード温度(半田付け時、10秒)		+300°C

(1) 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えます。絶対最大条件下に長期間置くと、デバイスの信頼性が低下することがあります。

(2) 電圧値は、すべて回路網のグラウンド端子を基準にしています。

### 電気的特性

T<sub>A</sub> = -40°C ~ +85°C, f<sub>s</sub> = 250kSPS, および V<sub>DIG</sub> = V<sub>ANA</sub> = 5V, 内部リファレンス使用(特に記述のない限り)

パラメータ	測定条件	ADS8519I			ADS8519IB			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
分解能		16			16			Bits
アナログ入力								
電圧範囲 <sup>(1)</sup>								
インピーダンス <sup>(1)</sup>								
容量		50			50			pF
スループット速度								
変換サイクル・タイム	サンプルおよび変換	4			4			μs
スループット・レート		250			250			kSPS

(1) ±10V, ±5V, 0V~8.192Vなど(表3参照)

## 電気的特性

$T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ ,  $f_s = 250\text{kSPS}$ , および  $V_{\text{DIG}} = V_{\text{ANA}} = 5\text{V}$ , 内部リファレンス使用 (特に記述のない限り)

パラメータ	測定条件	ADS8519I			ADS8519IB			単位	
		MIN	TYP	MAX	MIN	TYP	MAX		
<b>DC精度</b>									
INL 積分直線性誤差		-3		3	-1.5		1.5	LSB <sup>(2)</sup>	
DNL 微分直線性誤差		-2		2	-1		1	LSB	
ノー・ミッシング・コード		15			16			Bits	
トランジション・ノイズ <sup>(3)</sup>			0.67			0.67		LSB	
フルスケール誤差 <sup>(4)(5)</sup>	±10V範囲	内部リファレンス	-0.5		0.5	-0.25		0.25	%FSR
	他の範囲すべて	内部リファレンス	-0.5	-0.05	0.5	-0.5	-0.05	0.5	
フルスケール誤差ドリフト		内部リファレンス		±7		±7		ppm/°C	
フルスケール誤差 <sup>(4)(5)</sup>	±10V範囲	外部リファレンス	-0.05	0.003	0.05	-0.05	0.003	0.05	%FSR
	他の範囲すべて	外部リファレンス	-0.5		0.5	-0.5		0.5	
フルスケール誤差ドリフト		外部リファレンス		±2		±2		ppm/°C	
バイポーラ・ゼロ誤差 <sup>(4)</sup>			-4		4	-2		2	mV
バイポーラ・ゼロ誤差ドリフト				±2		±2		ppm/°C	
ユニポーラ・ゼロ誤差 <sup>(4)</sup>	8.192V		-20	6	20	-20	6	20	mV
ユニポーラ・ゼロ誤差ドリフト				±0.4		±0.4		ppm/°C	
パワーダウン後の定格誤差への回復	CAPに1μFコンデンサを接続			1		1		ms	
電源感度 ( $V_{\text{DIG}} = V_{\text{ANA}} = V_{\text{D}}$ )	+4.75V < $V_{\text{D}}$ < +5.25V		-8		8	-8		8	LSB
<b>AC精度</b>									
SFDR スプリアス・フリー・ダイナミック・レンジ	$f_1 = 20\text{kHz}$		95	100		97	100		dB <sup>(6)</sup>
THD 全高調波歪	$f_1 = 20\text{kHz}$			-96	-94		-98	-96	dB
SINAD 信号対(雑音+歪)比	$f_1 = 20\text{kHz}$		87	91		90	92		dB
	-60dB入力			30			32		dB
SNR 信号対雑音比	$f_1 = 20\text{kHz}$		88	92		91	93		dB
	フル・パワー帯域幅 <sup>(7)</sup>			500			500		kHz
<b>サンプリングのダイナミック特性</b>									
アパーチャ・ディレイ				5		5			ns
過渡応答	FSステップ				2		2		μs
過電圧復帰 <sup>(8)</sup>				150		150			ns
<b>リファレンス</b>									
内部リファレンス電圧	無負荷		4.076	4.096	4.116	4.076	4.096	4.116	V
内部リファレンスのソース電流 (外部バッファ使用のこと)				1			1		μA
内部リファレンス・ドリフト				8			8		ppm/°C
規定直線性に要する外部リファレンス電圧範囲			2.5	4.096	4.1	2.5	4.096	4.1	V
外部リファレンスのドレイン電流	外部4.096Vリファレンス				100			100	μA

(2) LSBとは最小位ビットのことです。±10V入力範囲の場合、1LSBは305μVです。

(3) 最悪ケースのトランジションおよび温度時の実効値雑音 (typ)。

(4) 図29および図30に示す回路で測定。

(5) バイポーラ入力範囲のフルスケール誤差は、-フルスケールあるいは+フルスケールについて、理想的な最初および最終コードトランジションからのキャリブレーションなしの偏差を、トランジション電圧で割った値(フルスケール範囲で割った値でない)の最悪ケースであり、オフセット誤差の影響が含まれます。ユニポーラ入力範囲の場合、フルスケール誤差は最終コードトランジションの偏差をトランジション電圧で割った値です。これにもオフセット誤差が含まれます。

(6) dBで示される全ての規定値は、±10V入力フルスケールの場合です。

(7) フル・パワー帯域幅は、フルスケール信号入力時、信号対(雑音+歪)が60dBに低下するときの入力周波数と定義されます。

(8) 2×FS入力の過電圧を印加後、規定特性に復帰するまでの時間です。

## 電気的特性

$T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ ,  $f_s = 250\text{kSPS}$ , および  $V_{\text{DIG}} = V_{\text{ANA}} = 5\text{V}$ , 内部リファレンス使用 (特に記述のない限り)

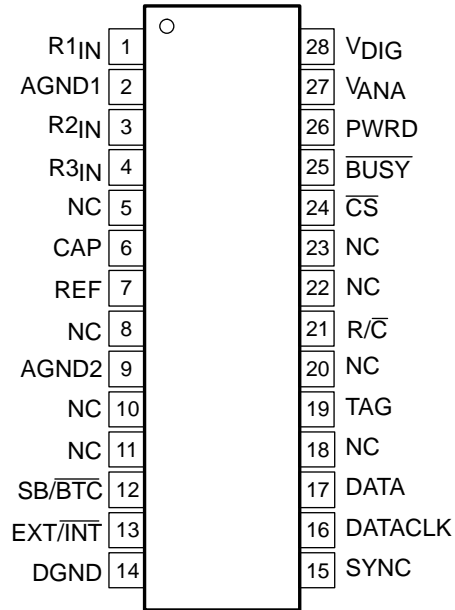
パラメータ	測定条件	ADS8519I			ADS8519IB			単位		
		MIN	TYP	MAX	MIN	TYP	MAX			
<b>デジタル入力</b>										
ロジック・レベル										
$V_{\text{IL}}$	“L” レベル入力電圧 <sup>(9)</sup>	$V_{\text{DIG}} = 1.65\text{V} \sim 5.25\text{V}$	-0.3		0.6	-0.3		0.6	V	
$V_{\text{IH}}$	“H” レベル入力電圧 <sup>(9)</sup>	$V_{\text{DIG}} = 1.65\text{V} \sim 5.25\text{V}$	$0.5 \times V_{\text{DIG}}$		$V_{\text{DIG}} + 0.3$	$0.5 \times V_{\text{DIG}}$		$V_{\text{DIG}} + 0.3$	V	
$I_{\text{IL}}$	“L” レベル入力電流	$V_{\text{IL}} = 0\text{V}$			$\pm 10$			$\pm 10$	$\mu\text{A}$	
$I_{\text{IH}}$	“H” レベル入力電流	$V_{\text{IH}} = 5\text{V}$			$\pm 10$			$\pm 10$	$\mu\text{A}$	
<b>デジタル出力</b>										
データ・フォーマット										
データ・コーディング										
パイプライン遅延										
データ・クロック										
内部クロック (データ転送時のみ出力)		$\text{EXT}/\overline{\text{INT}} = \text{“L”}$			9			9	MHz	
外部クロック (連続使用可能だが、最高特性のためには推奨しない)		$\text{EXT}/\overline{\text{INT}} = \text{“H”}$	0.1		26	0.1		26	MHz	
$V_{\text{OL}}$	“L” レベル出力電圧	$I_{\text{SINK}} = 1.6\text{mA}$ , $V_{\text{DIG}} = 1.65\text{V} \sim 5.25\text{V}$			0.45			0.45	V	
$V_{\text{OH}}$	“H” レベル出力電圧	$I_{\text{SOURCE}} = 500\mu\text{A}$ , $V_{\text{DIG}} = 1.65\text{V} \sim 5.25\text{V}$	$V_{\text{DIG}} - 0.45$			$V_{\text{DIG}} - 0.45$			V	
リーク電流		Hi-Z state, $V_{\text{OUT}} = 0\text{V} \sim V_{\text{DIG}}$			$\pm 5$			$\pm 5$	$\mu\text{A}$	
出力容量		Hi-Z state			15			15	pF	
<b>電源</b>										
$V_{\text{DIG}}$	デジタル電源電圧	$V_{\text{ANA}}$ 以下であること	1.65		5.25	1.65		5.25	V	
$V_{\text{ANA}}$	アナログ電源電圧	$V_{\text{ANA}}$ 以下であること	4.75		5.25	4.75		5.25	V	
$I_{\text{DIG}}$	デジタル電源電流	$V_{\text{ANA}}$ 以下であること	0.1		1	0.1		1	mA	
$I_{\text{ANA}}$	アナログ電源電流	$V_{\text{ANA}}$ 以下であること	22		25	22		25	mA	
<b>消費電力</b>										
PWRD “Low”		$f_s = 250\text{kSPS}$			110	125		110	125	mW
PWRD “High”					20			20	$\mu\text{W}$	
<b>温度範囲</b>										
仕様										
ディレーティング <sup>(10)</sup>										
保存										
$\theta_{\text{JA}}$	熱抵抗				67			67	$^{\circ}\text{C}/\text{W}$	

(9) 5V電源時はTTL互換。

(10) 産業温度範囲(-40°Cから+85°C)外では、内部リファレンスは動作を正しく開始しないことがあります。したがって、外部リファレンスの使用を推奨します。

# ピン配置

DB PACKAGE  
(上面図)



## ピン構成

ピン		I/O	説明
名称	NO.		
AGND1	2	-	アナログ・グランド。内部でグランド基準点として使用。
AGND2	9	-	アナログ・グランド。
BUSY	25	O	ビジー出力。変換が開始すると“Low”に下がり、変換が完了してデータが出力シフト・レジスタにラッチされるまで“Low”を続けます。
$\overline{CS}$	24	-	チップ・セレクト。内部でR/ $\overline{C}$ とOR接続。
CAP	6		リファレンス・バッファ用コンデンサ。2.2 $\mu$ Fのタンタル・コンデンサをグランド間に接続します。
DATA	17	O	シリアル・データ出力。SB/ $\overline{BTC}$ のレベルにより指定された形式でDATACLKに同期して出力されます。外部クロック・モードでは、ADS8519は16ビットのデータ出力後、 $\overline{CS}$ が“Low”でR/ $\overline{C}$ が“High”である限り、TAG入力を出力します(図8および図9を参照ください)。EXT/INTが“Low”の場合、データはDATACLKの立ち上がり/立ち下りの両エッジ・タイミングで確定しており、変換毎の間では、変換開始後TAG入力レベルを出力します。
DATACLK	16	I/O	EXT/INTレベルに対応して、入力または出力に切り替えます。出力データは、このクロックに同期されます。EXT/INTが“Low”の場合、各変換後にDATACLKが16のパルスを送信し、変換と変換の間は“Low”のままになります。
DGND	14	-	デジタル・グランド
EXT/INT	13	-	データ転送用の外部あるいは内部クロックを選択します。“High”の場合、データはDATACLKに入力されるクロックに同期して出力されます。“Low”の場合、変換命令によりDATACLKに出力される16クロック・パルスで、前の変換データの転送が開始されます。
NC	5, 8, 10, 11, 18, 20, 22, 23	-	接続なし
PWRD	26	I	パワーダウン入力。“High”の場合、変換は行われずに電力消費が大幅に低減されます。前回の変換結果は出力シフト・レジスタに保持されます。
$\overline{R/C}$	21	I	読取り(Read)/変換(Convert)入力。 $\overline{CS}$ が“Low”のとき、R/ $\overline{C}$ の立ち下がりエッジにより内部サンプル・アンド・ホールドがホールド状態に設定され、変換が開始されます。また、EXT/INTが“Low”のとき、R/ $\overline{C}$ の立ち下がりエッジにより前の変換結果データの転送が開始されます。EXT/INTが“High”の場合、 $\overline{CS}$ が“Low”のときのR/ $\overline{C}$ の立ち上がりエッジ、またはR/ $\overline{C}$ が“High”のときの $\overline{CS}$ の立ち下がりエッジにより、前の変換データの転送が開始されます。
REF	7	I/O	リファレンス入力/出力。内部の4.096Vリファレンスを出力します。外部システムのリファレンスで駆動することも可能です。どちらの場合も、2.2 $\mu$ Fのタンタル・コンデンサをグランド間にバイパス用として接続します。
R1 <sub>IN</sub>	1	I	アナログ入力。入力範囲の設定は表3を参照して下さい。
R2 <sub>IN</sub>	3	I	アナログ入力。入力範囲の設定は表3を参照して下さい。
R3 <sub>IN</sub>	4	I	アナログ入力。入力範囲の設定は表3を参照して下さい。
$\overline{SB/BTC}$	12	O	ストレート・バイナリあるいは2の補数バイナリのデータ出力フォーマットを選択します。“High”の場合、データはストレート・バイナリ・フォーマットで出力されます。“Low”の場合、データは2の補数バイナリ・フォーマットで出力されます。
SYNC	15	O	同期出力。EXTレベルが“High”で、読取りモードでなく、少なくとも1つの外部クロック・パルスが供給された場合に出力されます。外部クロック・モードの説明は、「外部DATACLK」節を参照してください。
TAG	19	I	外部クロック・モードでのTag入力。EXTが“High”の場合、TAGからのデジタル・データが、外部クロック・モードに応じた遅延とともに、DATAに出力されます。図8および図9を参照して下さい。
V <sub>ANA</sub>	27	I	アナログ電源入力・標準は+5V。20ピンに直接接続し、0.1 $\mu$ Fのセラミック・コンデンサと10 $\mu$ Fのタンタル・コンデンサをグランドに接続します。
V <sub>DIG</sub>	28	I	デジタル電源入力。19ピンに直接接続します。

## タイミング条件、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$

パラメータ		MIN	TYP	MAX	単位
$t_{w1}$	パルス幅、変換パルス	40			ns
$t_{d1}$	遅延時間、 $R/\overline{C}$ “Low” から $\overline{BUSY}$		6	20	ns
$t_{w2}$	パルス幅、 $\overline{BUSY}$ “Low”			2.2	$\mu\text{s}$
$t_{d2}$	遅延時間、変換終了から $\overline{BUSY}$ の解除		5		ns
$t_{d3}$	遅延時間、アパーチャ		5		ns
$t_{\text{conv}}$	変換時間			2.2	$\mu\text{s}$
$t_{\text{acq}}$	アキュイジション時間	1.8			$\mu\text{s}$
$t_{\text{conv}} + t_{\text{acq}}$	サイクル・タイム			4	$\mu\text{s}$
$t_{d4}$	遅延時間、 $R/\overline{C}$ “Low” から内部DATACLK出力		270		ns
$t_{c1}$	サイクル・タイム、内部DATACLK		110		ns
$t_{d5}$	遅延時間、データ有効から内部DATACLK “High”	15	35		ns
$t_{d6}$	遅延時間、内部DATACLK “Low” からデータ有効	20	35		ns
$t_{c2}$	サイクル・タイム、外部DATACLK	35			ns
$t_{w3}$	パルス幅、外部DATACLK “High”	15			ns
$t_{w4}$	パルス幅、外部DATACLK “Low”	15			ns
$t_{su1}$	セットアップ時間、 $R/\overline{C}$ 立ち上がり/立ち下がりから外部DATACLK “High”	15			ns
$t_{su2}$	セットアップ時間、 $R/\overline{C}$ の遷移から $\overline{CS}$ の遷移	10			ns
$t_{d7}$	遅延時間、外部DATACLK “High” からSYNC	3		35	ns
$t_{d8}$	遅延時間、外部DATACLK “High” からデータ有効	2		13	ns
$t_{d9}$	遅延時間、 $\overline{CS}$ 立ち上がりエッジから外部DATACLK立ち上がりエッジ	10			ns
$t_{d10}$	遅延時間、 $\overline{CS}$ 、 $R/\overline{C}$ “Low” から前のデータ入手まで	2			$\mu\text{s}$
$t_{su3}$	セットアップ時間、 $\overline{BUSY}$ の遷移から最初の外部DATACLK	5			ns
$t_{d11}$	遅延時間、最終の外部DATACLKから $\overline{BUSY}$ の立ち上がりエッジ			1	$\mu\text{s}$
$t_{su4}$	セットアップ時間、TAG有効	0			ns
$t_{h1}$	ホールド時間、TAG有効	2			ns

## タイミング図

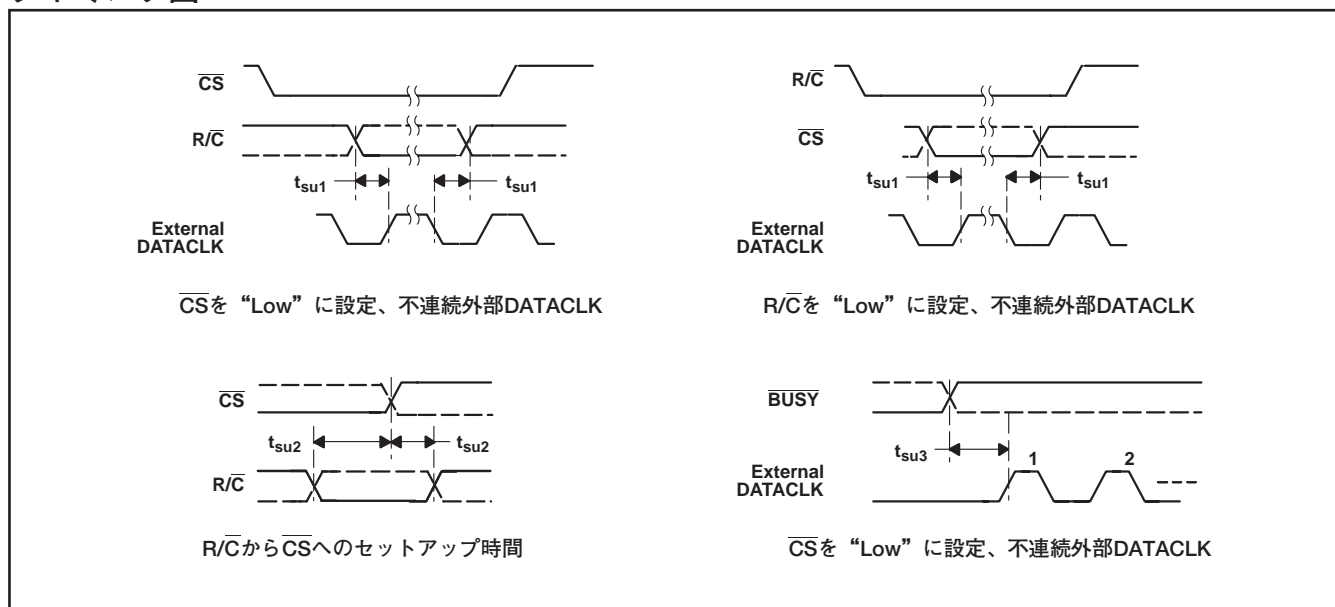


図 1. 重要なタイミング

## タイミング図

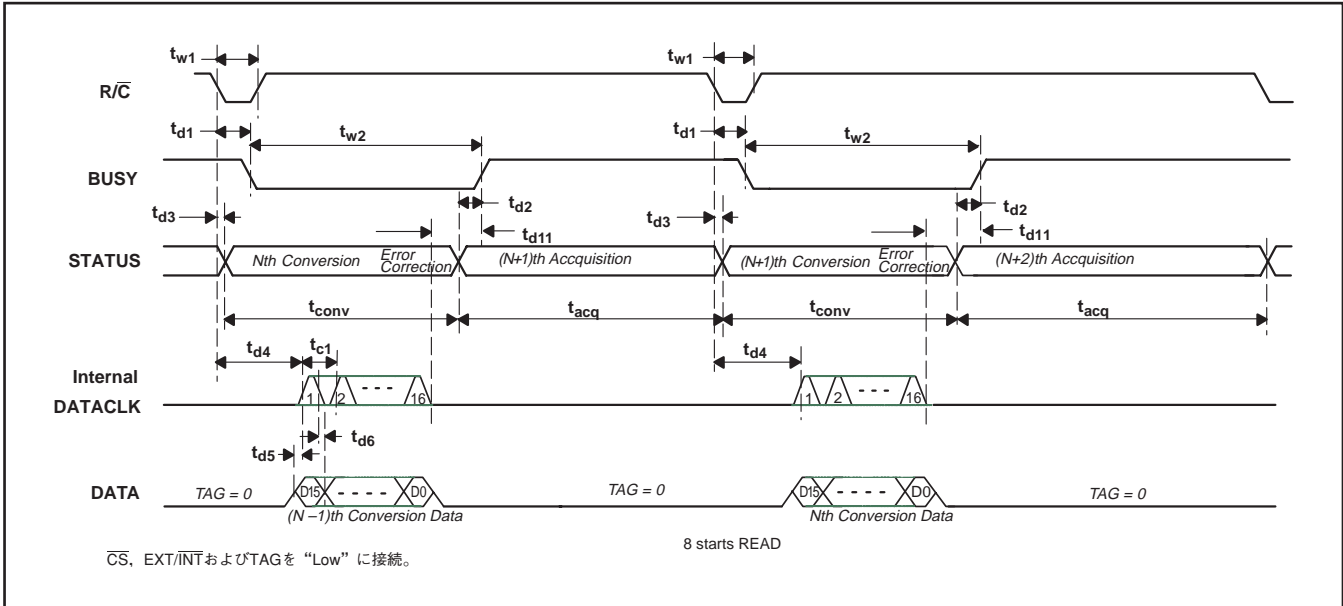


図 2. 基本的な変換タイミング：内部DATACLK(変換中に前のデータを読み取る)

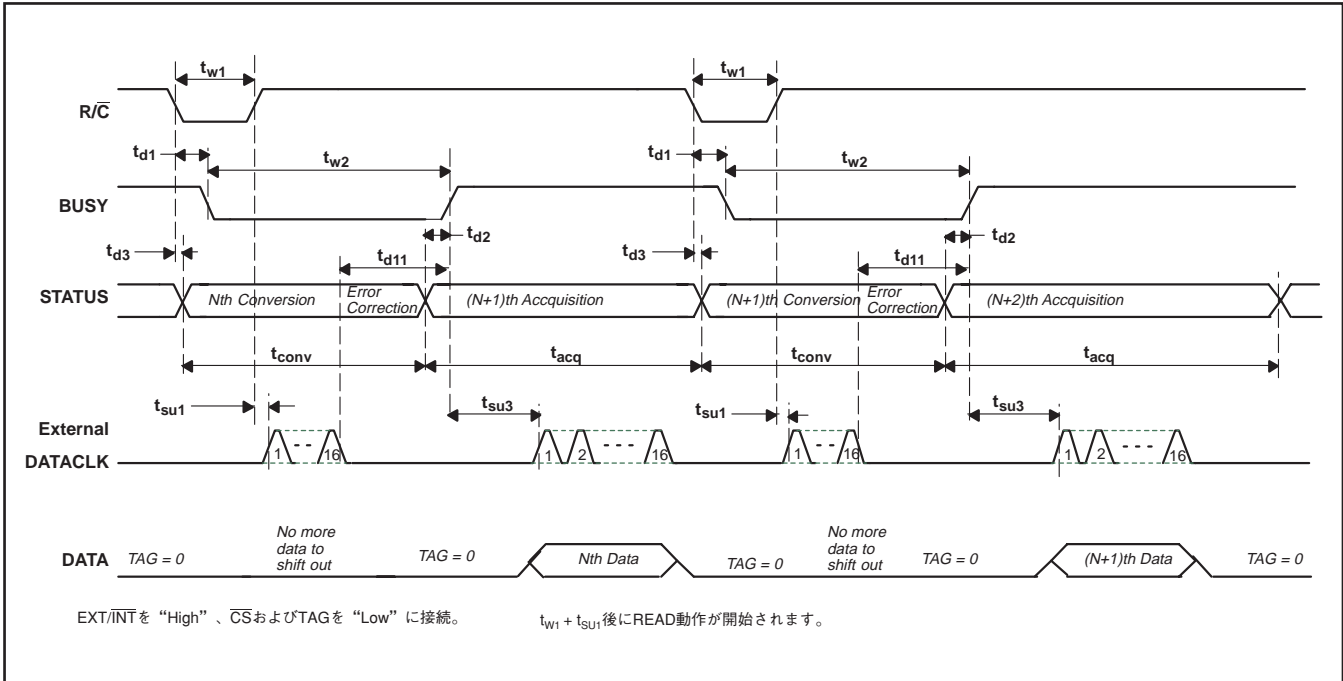


図 3. 基本的な変換タイミング：外部DATACLK



# タイミング図

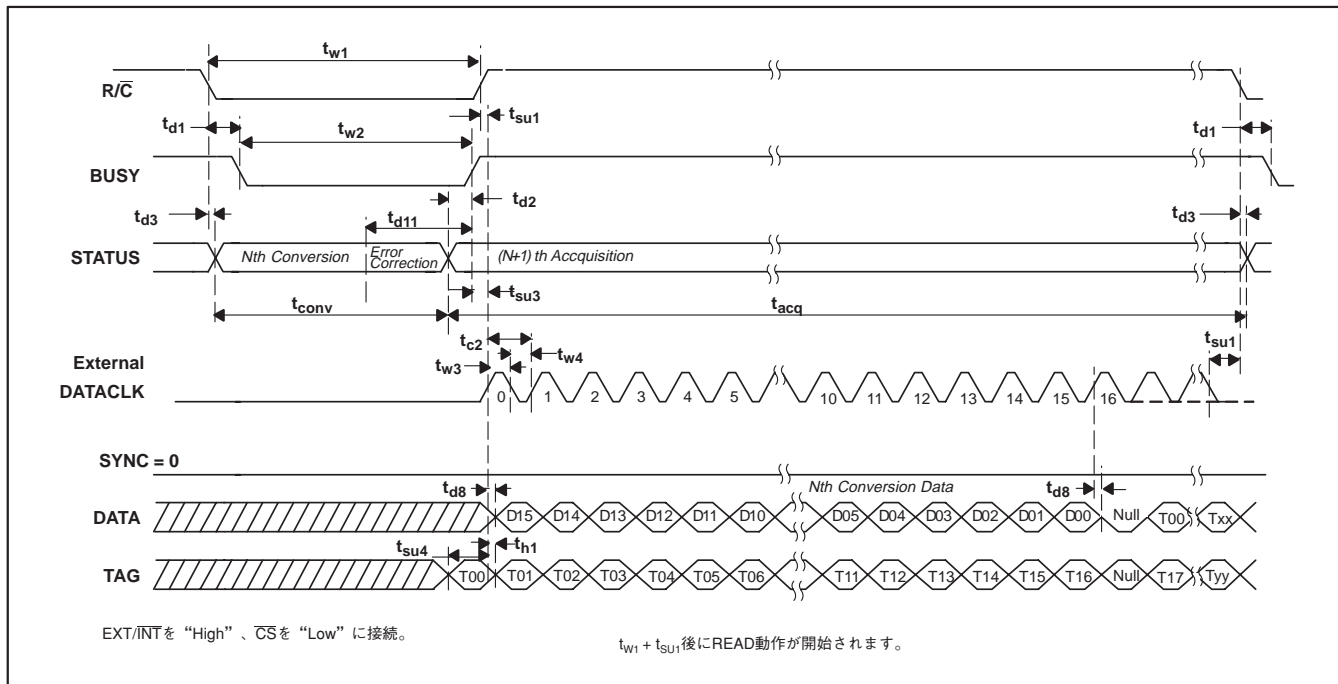


図 4. 変換後の読み取り (不連続な外部DATACLK)

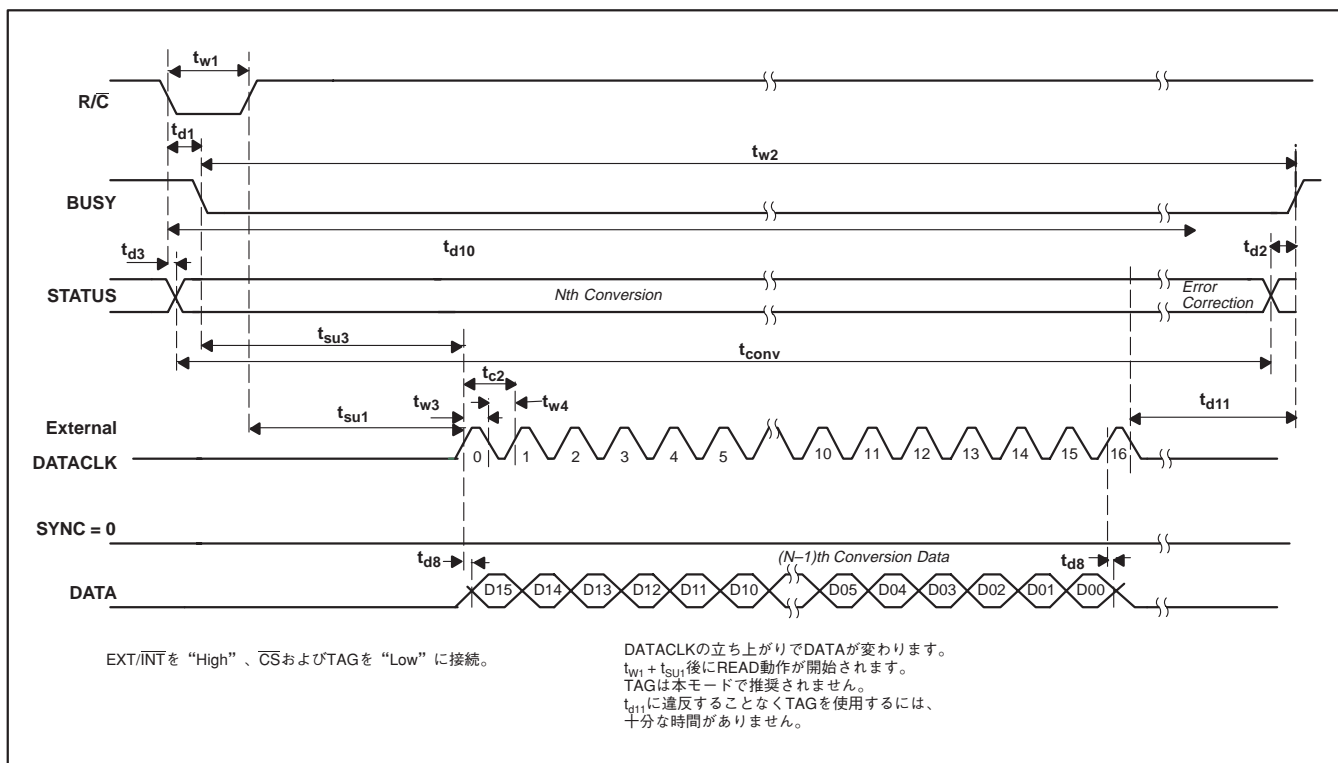


図 5. 変換中の読み取り (不連続な外部DATACLK)

# タイミング図

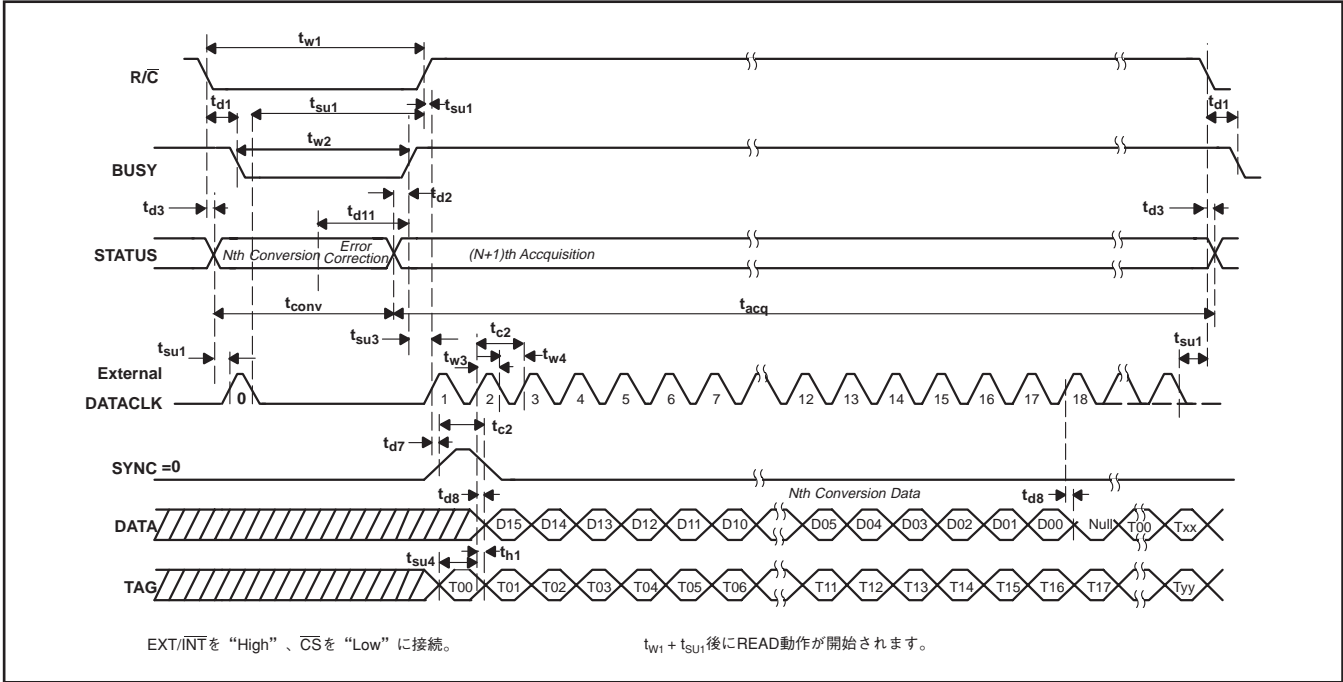


図 6. SYNCを伴う変換後の読み取り (不連続な外部DATACLK)

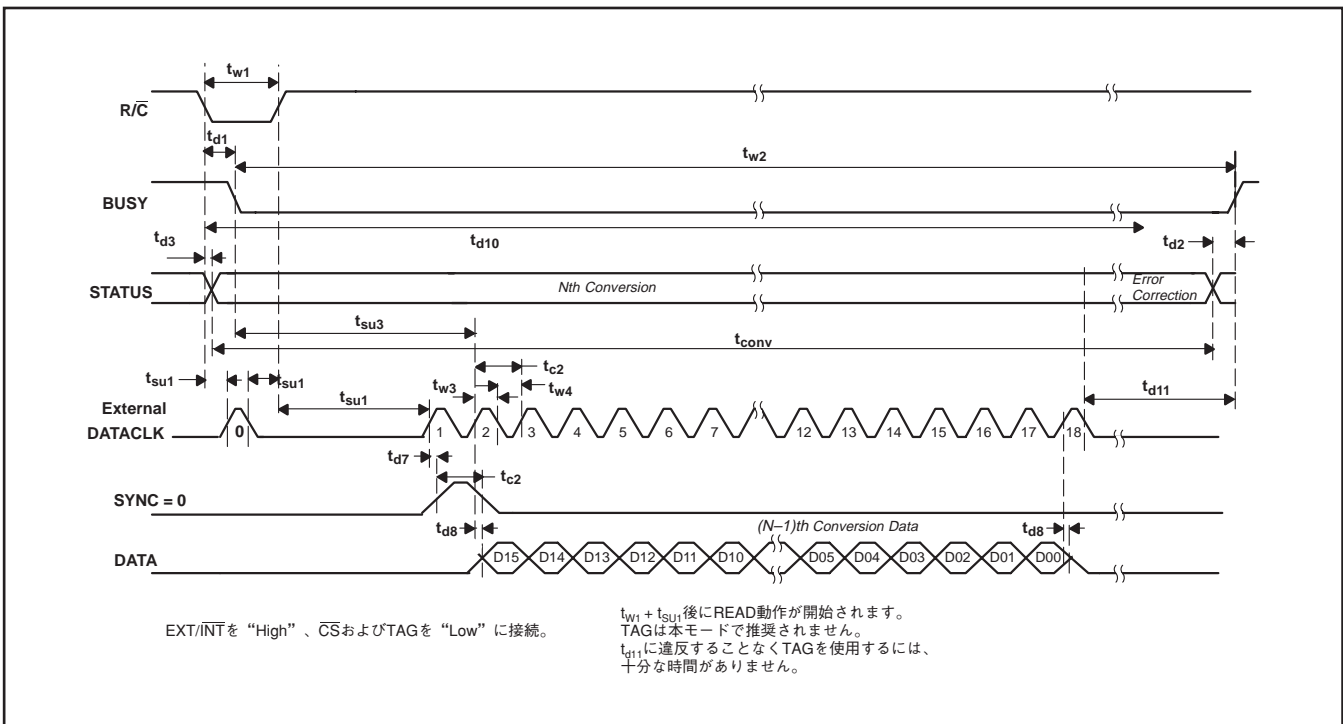


図 7. SYNCを伴う変換中の読み取り (不連続な外部DATACLK)

# タイミング図

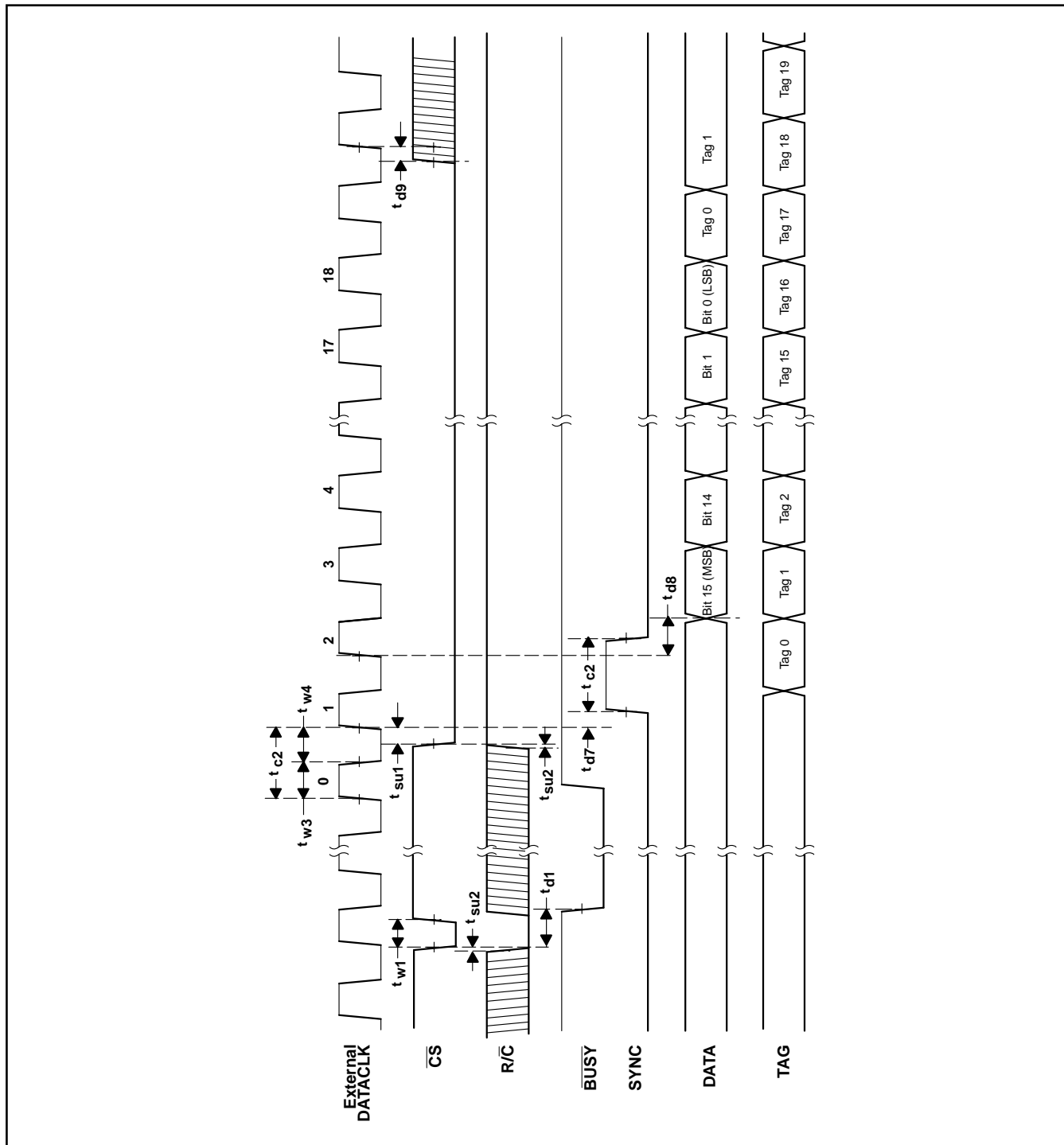


図 8. 変換後の読み取り (連続外部DATACLK) の変換および読み取りのタイミング (EXT/INTを “High” に接続。なお、この方式は推奨されません)



# 代表的特性

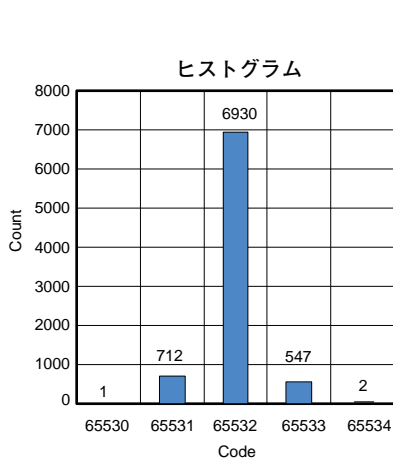


図 10

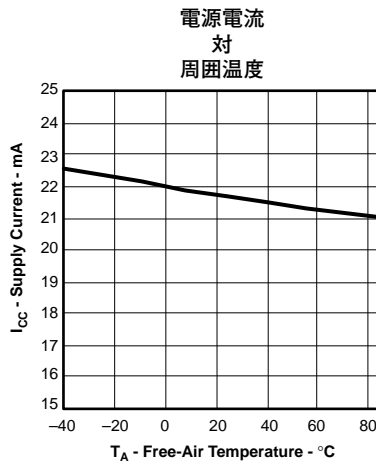


図 11

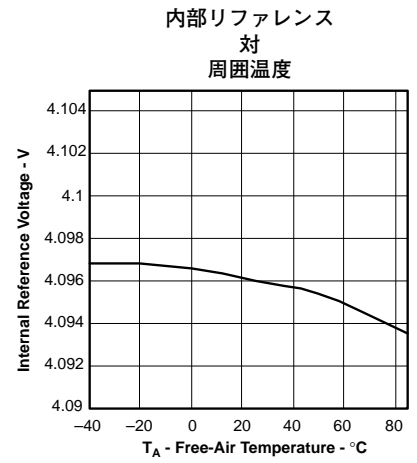


図 12

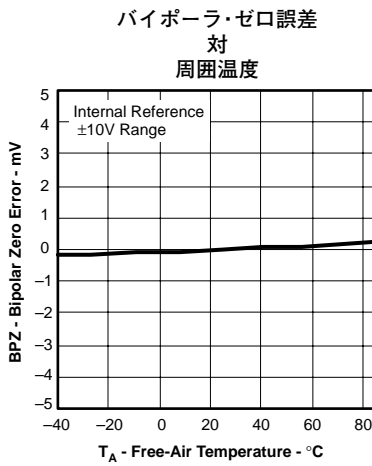


図 13

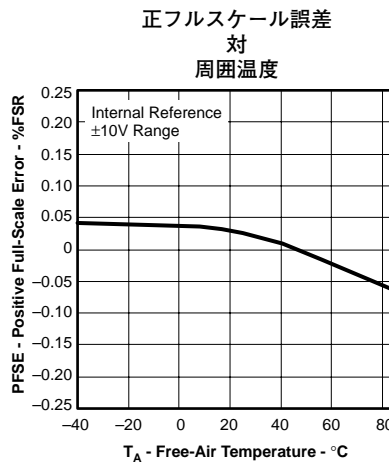


図 14

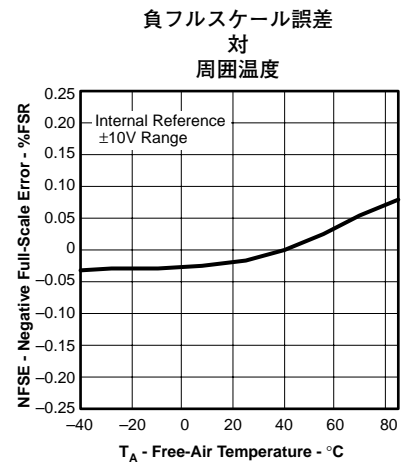


図 15

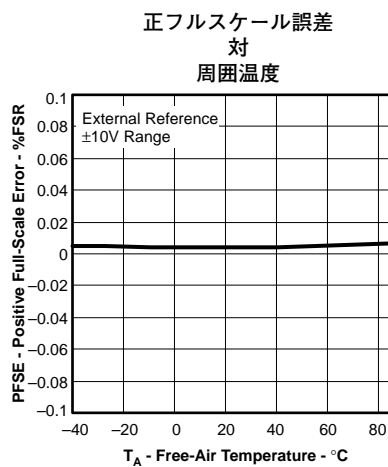


図 16

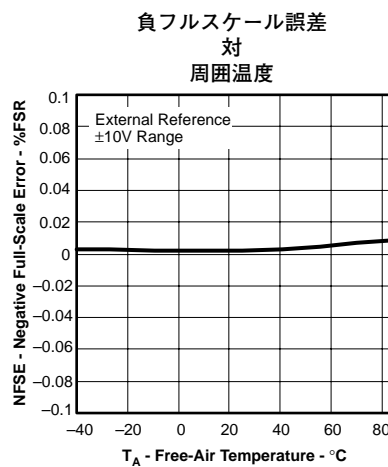


図 17

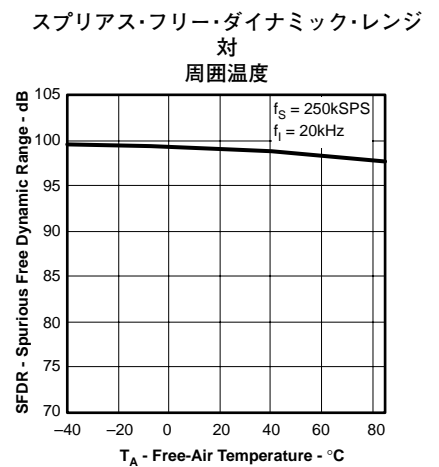


図 18

# 代表的特性

全高調波歪  
対  
周囲温度

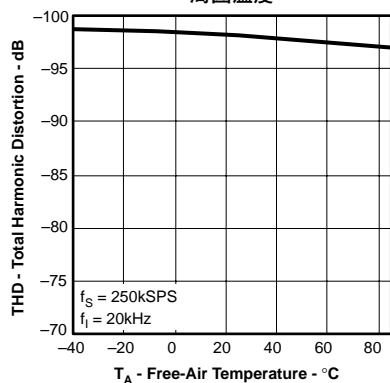


図 19

信号/雑音比  
対  
周囲温度

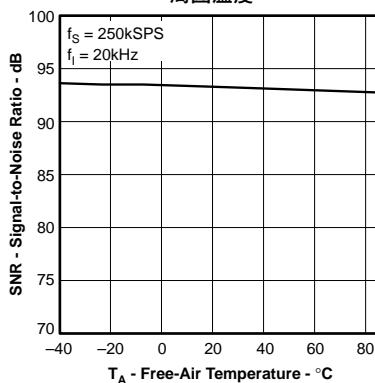


図 20

信号/(雑音+歪)比  
対  
周囲温度

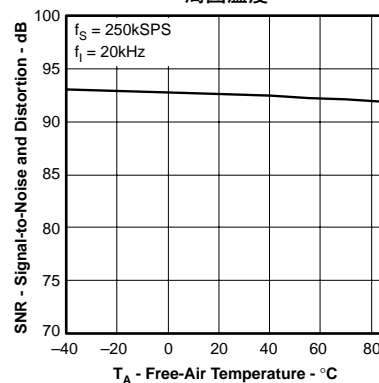


図 21

信号/(雑音+歪)比  
対  
入力周波数

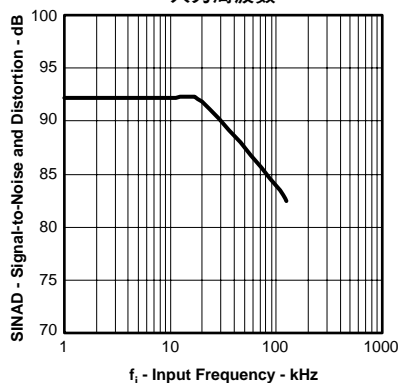


図 22

信号/雑音比  
対  
入力周波数

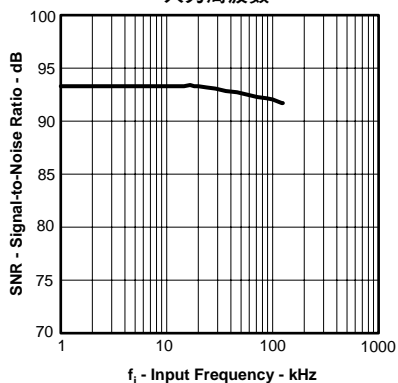


図 23

スプリアス・フリー・ダイナミック・レンジ  
対  
入力周波数

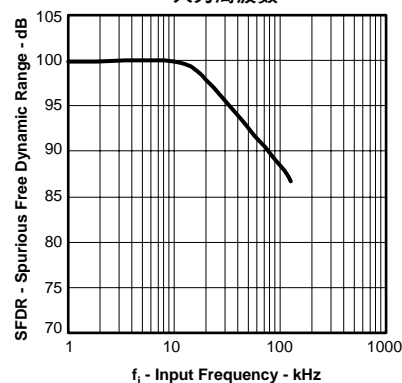


図 24

全高調波歪  
対  
入力周波数

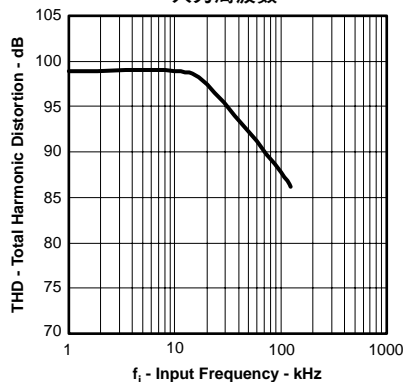


図 25

## 代表的特性

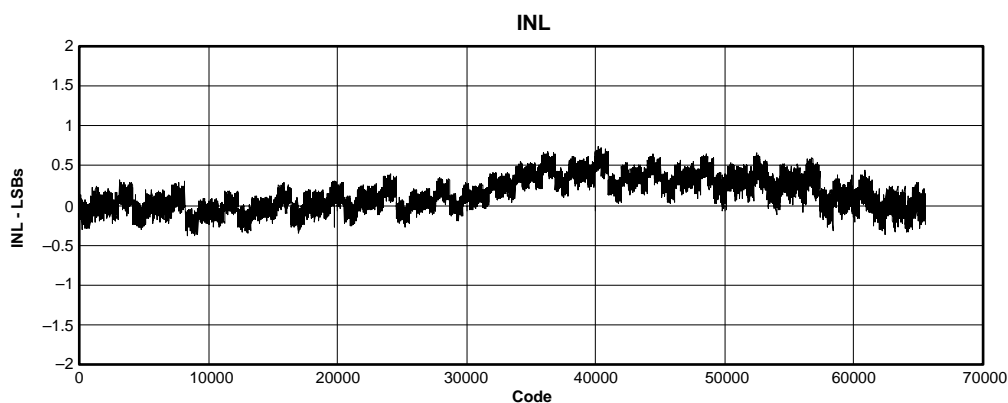


図 26

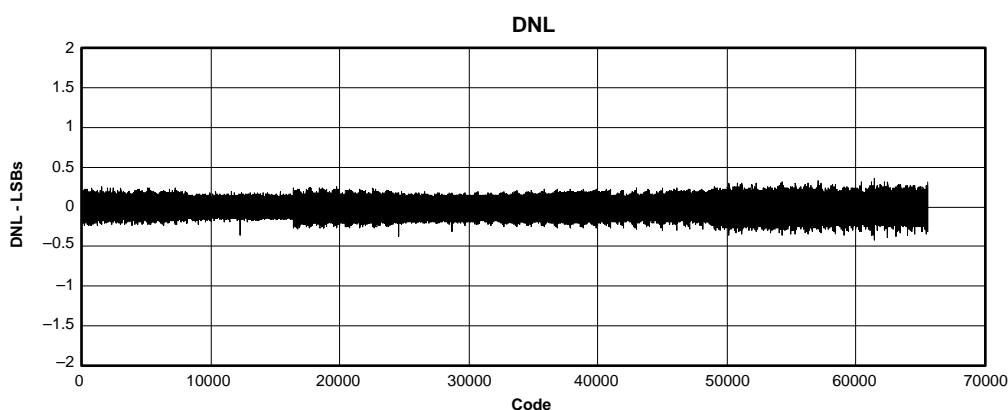


図 27

## 基本動作

ADS8519における2つの変換制御信号： $\overline{CS}$ と $R/\overline{C}$ 。これら2つの信号は、内部でOR結合されています。変換を開始するには、 $\overline{CS}$ を“Low”にし、変換信号 $R/\overline{C}$ をアクティブ“Low”にします。どちらの信号を先に“Low”にする事も可能です。変換は、遅い信号の立ち下りエッジで開始します。変換が開始されると $\overline{BUSY}$ が“Low”になり、変換が終了して変換結果のデータが内部レジスタに転送されると“High”に戻ります。 $\overline{BUSY}$ が“High”になると、サンプリングが開始されます。

制御ピンの数を減らすために、 $\overline{CS}$ を“Low”に固定する事も可能です。この時は、 $R/\overline{C}$ ピンのみが、変換とデータの読み取りを制御するようになります。外部クロック・モードでは、 $R/\overline{C}$ が“High”になり、外部クロックがアクティブであれば、ADS8519はデータを出力する事を意味します。内部クロック・モードでは、 $\overline{CS}$ と $R/\overline{C}$ の状態に関係なく、すべての変換サイクルでデータを出力します。ADS8519には、複数コンバータのカスケード接続の為にTAG入力が用意されています。

## データの読み取り

変換結果は、 $\overline{BUSY}$ が“High”に戻るとすぐに取得可能です。したがってもし変換中にデータ取得を行っても、前回変換したデータが取得できます。ADS8519は、ストレート・バイナリか、2の補数バイナリのフォーマットでシリアル・データが出力されます。フォーマットは、 $SB/\overline{BTC}$ ピンにより切り替えられます。データは、MSBが先頭でシリアル出力されます。電源投入直後の最初の変換は、正しい変換結果が得られません。

データは、内部クロックか、外部クロックを使用してシリアル出力されます。 $EXT/\overline{INT}$ ピンにより設定します。外部クロック使用時、TAG入力を複数のADS8519デジチェーン接続に使用できます。

## 内部DATACLK

内部クロック・モードでは、変換動作中に前回の変換結果データがシリアル出力されます。内部データ・クロックは内部変換クロックに同期しているので、変換プロセスに影響を及ぼしません。

EXT/INTが“Low”の場合、DATACLKピンは、出力になります。変換開始より $t_{d4}$ が経過後、16クロック・パルスが出力されます(この時出力されるデータは前回の変換結果となります)。DATACLKは、非アクティブ時には“Low”に戻ります。16ビットのシリアル・データはこのクロックと同期してDATAピンより出力され、そのデータはクロックの立ち上がりエッジ、および立ち上がりエッジで得られます。その後DATAピンは、データ転送開始時に検知されたTAGピン入力の状態に戻ります。

## 外部DATACLK

外部クロック・モードには、変換結果を取得する方法が複数あります。しかしながら、外部クロックは内部変換クロックと同期できないので、データを破損しないように注意が必要です。

EXT/INTを“High”の時、R/C信号とCS信号によって読み取り状態を制御します。読み取り状態を開始すると、前回完了の変換結果が、DATACLKピンに接続されている外部クロックに同期してDATAピンにシリアル出力されます。各ビットは、立ち下りエッジ、および次の立ち上りエッジで確定しています。最大28.5MHzの外部クロックは、変換の開始時、またはサンプリングの開始時でもすばやくデータをシリアル出力する事が可能です。

外部クロックを使用する場合、複数の動作モードがあります。外部クロックは、データの読み取り時にのみ使用することをお勧めします。これは、不連続クロック・モードです。外部クロックは、変換を制御する内部クロックと同期していないので、外部クロックのわずかなタイミング変化にて競合が発生し、変換

プロセスを損傷する可能性があります。連続的に動作する外部クロックによる仕様は規定できません。外部クロックが変換サイクルの後半(およそ、 $t_{d11}$ で指定される期間。「タイミング条件」の表を参照)動作しない事が重要です。

不連続クロック・モードでは、変換中またはサンプリング中にSYNCパルス付、または無しでデータを読み取れます。変換中にデータを読み取るには、 $t_{d11}$ のタイミング仕様を満たさなければなりません。サンプリング中のデータの読み取りは、変換開始までに完了する必要があります。

サンプリング中または変換中の読み取りで、その箇所を読み取り状態にない間に、外部クロックの少なくとも1つの立ち上りエッジが発生すると、SYNCパルスが生成されます。SYNCモードの不連続外部クロックでは、読み取りコマンドの後、最初の立ち上りエッジに続いてSYNCパルスが発生します。データは、SYNCパルスの後にシリアル出力されます。読み取りコマンドの後の最初の立ち上りエッジによって、SYNCパルスが生成されます。このSYNCパルスは、次の立ち下りエッジと、その次の立ち上りエッジで検出できます。続いて、各ビットがまず立ち下りエッジで、次いで次の立ち上りエッジで読み取りが可能です。したがって、立ち下りエッジで読み取るには、読み取りコマンドの後、17個のクロック・パルスが必要です。立ち上りエッジで読み取るには、18個のクロック・パルスが必要です。

読み取り状態ではなく、かつクロックが非アクティブの場合、SYNCパルスは生成されません。この場合、最初のクロック立ち上りエッジがMSBをシフト出力します。MSBは、最初の立ち下りエッジか、または次の立ち上りエッジで読み取れます。このSYNCを使用しない不連続の外部クロック・モードで、立ち下りエッジでデータを読み取るには16クロックが、立ち上りエッジで読み取るには、17クロックが必要です。データは常に、すでに完了した変換結果です。表2に必要なDATACLKパルス数を要約します。

説明	必要なDATACLKパルス数	
	SYNCあり	SYNCなし
DATACLKの立ち下りエッジでの読み取り	17	16
DATACLKの立ち上がりエッジでの読み取り	18	17

表 2. DATACLKパルス



## TAG機能

TAG機能を使用すると、複数のADS8519コンバータから得たデータを1本のシリアル・ラインで読み取れます。図28に示すように、コンバータはDATAピンを出力として使用し、TAGピンを入力として使用してカスケード接続が可能です。最後のコンバータのDATAピンより、プロセッサのシリアル・データ入力に送ります。次に、データは各コンバータを通じ、外部から供給されたデータ・クロックと同期して、シリアル・データ出力されます。この構成では内部クロックは使用できません。

望ましいタイミングでは、サンプリング期間に、不連続の外部データ・クロックが使用されます。変換期間では、 $t_{d11}$ の制約に違反せずに複数のコンバータからデータを読み込むだけの十分な時間がないので、データは、サンプリング期間内に読み取る必要があります。(「外部DATACLK」の項を参照してください)。サンプリング期間は、新しい変換を開始する前に、すべてのデータ・ワードを読み込める十分な時間が必要です。

図28では、NULLビットによって、各コンバータからのデータの区切りを行います。読み取り(Read)サイクル最後でのDATAピンの状態は、このサイクル最初のTAGピンの状態を反映します。このことは、内部クロック・モードを含め、すべての読み取りモードにあてはまります。たとえば、1つのコンバータが内部クロック・モードで使用されている場合、16ビットがすべてシフト・アウトされた後のDATAピンの状態は、TAGピンの状態によって決まります。複数のコンバータがカスケード接続されている場合、この状態によって、ワードを分離するNULLビットが形成されます。ここで、図28に示すように、最初のコンバータのTAGピンがグランドに接続されているので、NULLビットは、各データ・ワード間でゼロになります。

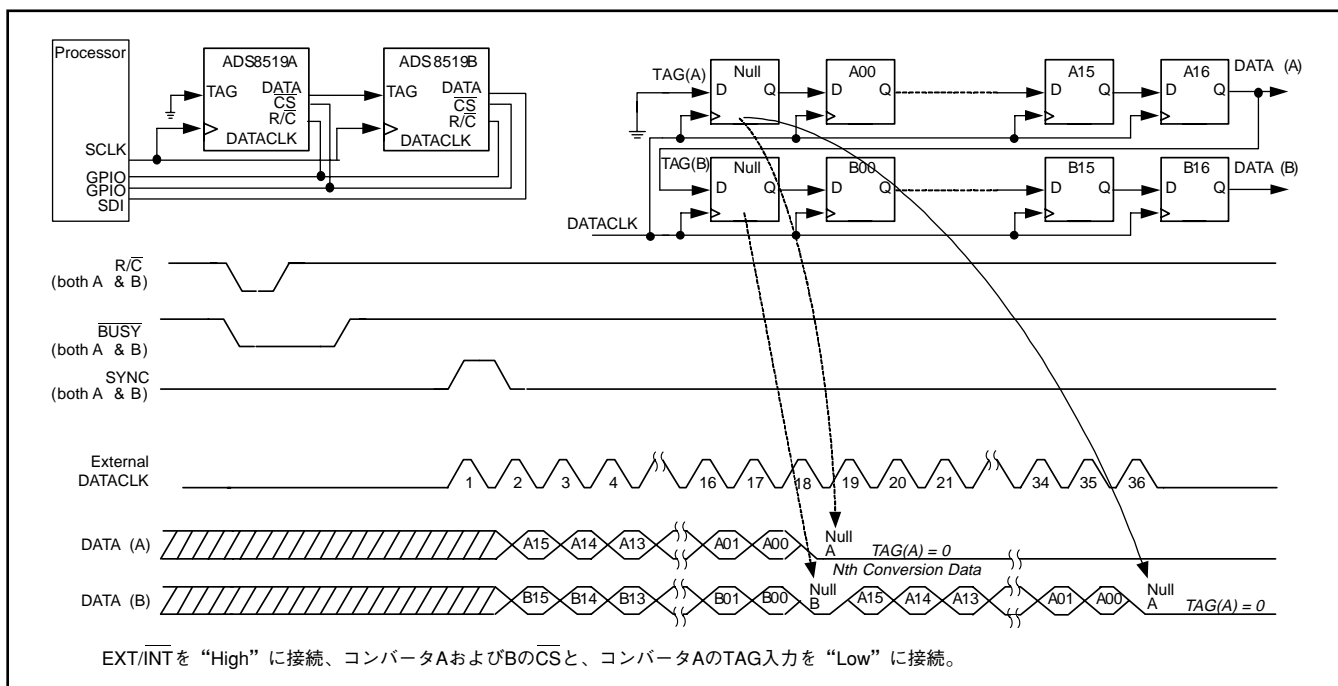


図 28. 単変換のTAG機能のタイミング(外部DATACLKを使用)

## アナログ入力

ADS8519には、表3に示す3つのアナログ入力範囲があります。オフセット仕様は、内部抵抗で出荷時キャリブレーションされています。ゲイン仕様は図29および図30に示すように、0.1%、0.25Wの外付け抵抗で出荷時キャリブレーションされています。

より大きいゲイン誤差が許容できる場合、あるいはソフトウェア・キャリブレーションを使用する場合、この外付け抵抗は省くことができます。図29および図30に示すハードウェア・トリミング回路では、誤差をゼロに補正できます。

アナログ入力範囲	R1 <sub>IN</sub> の接続	R2 <sub>IN</sub> の接続	R3 <sub>IN</sub> の接続	インピーダンス
±10V	V <sub>IN</sub>	AGND	CAP	8.88kΩ
±10V	AGND	V <sub>IN</sub>	CAP	8.88kΩ
±5V	V <sub>IN</sub>	V <sub>IN</sub>	CAP	6.08kΩ
0V ~ 8.192V	AGND	AGND	V <sub>IN</sub>	5.95kΩ

表 3. 入力範囲の接続 (全体の情報は図29および図30を参照)

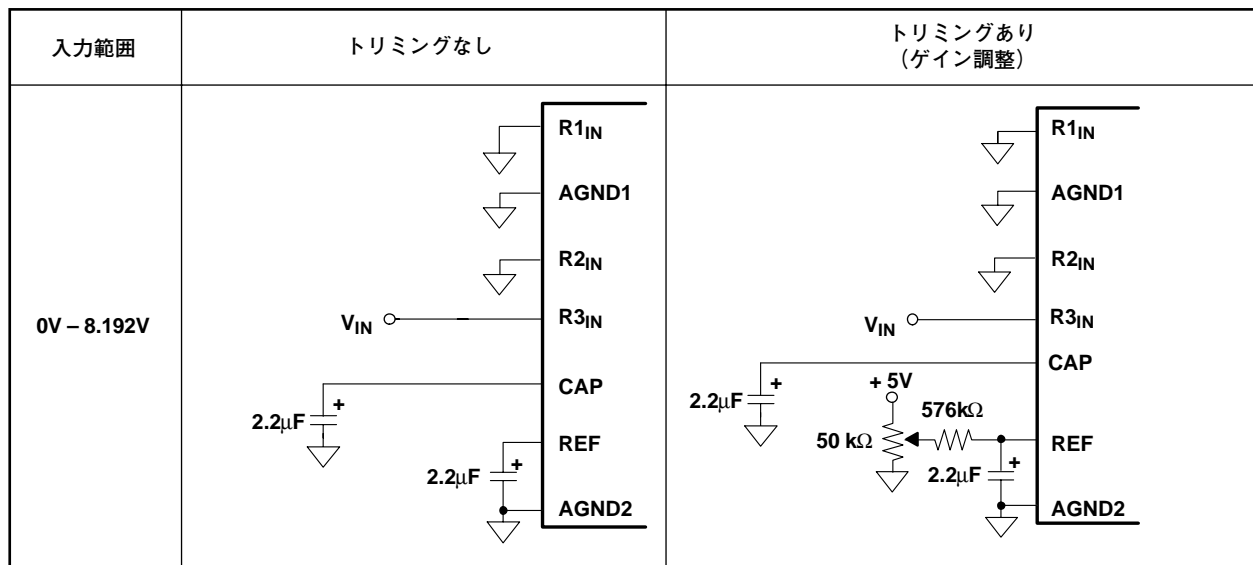


図 29. ユニポーラ入力範囲のオフセット/ゲイン回路

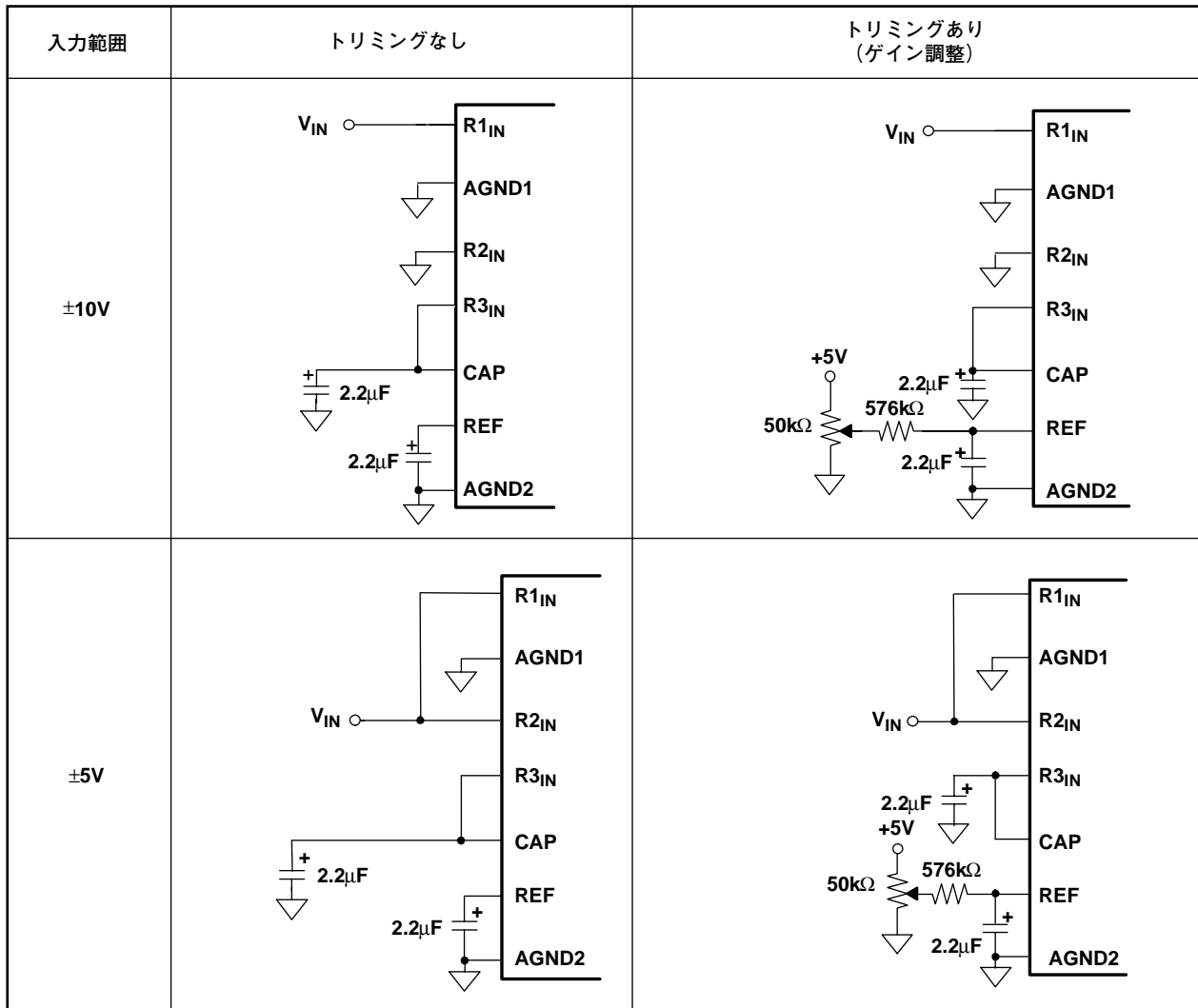


図 30. バイポーラ入力範囲のオフセット/ゲイン回路

アナログ入力ピンR1<sub>IN</sub>、R2<sub>IN</sub>、およびR3<sub>IN</sub>には、±25Vの過電圧保護があります。入力信号は、AGND1を基準とします。これにより、アナログ設計によくあるグラウンド・ループの問題が最小限に抑えられます。アナログ入力は、低インピーダンスにて駆動する必要があります。OPA627またはOPA132を使用した駆動回路を図31に示します。

ADS8519は、内部の4.096Vリファレンス、または外部リファレンスで動作します。ピン7に接続する外部リファレンス(REF)は、内部リファレンスをバイパスします。外部リファレンスは、ピン7を内部リファレンスから分離するために、4kΩの抵抗をドライブしなければなりません(1ページ目の図を参照)。負荷は、内部リファレンスと外部リファレンスの違いによって異なります。外部リファレンスは、3.9V~4.2Vの範囲で使用できます。内部リファレンス電圧は、約4.096Vです。リファレンスは、内部か外部かに関係なく、ピン6(CAP)出力のバッファを使用して内部でバッファされます。

ADS8519には、ピン6と7(CAPとREF)に2.2µFのコンデンサを接続して出荷試験が行われています。コンデンサは、ピンにできるだけ近い場所に設置する必要があります。ピン7のコンデンサは、内部リファレンスの雑音を制限します。これより小さいコンデンサを使用することも可能ですが、SNRとSINADが低下する可能性があります。ピン6のコンデンサは、リファレンス・バッファを安定化し、変換中のCDACに対してスイッチング時にチャージを行いません。1µFより小さいコンデンサを使用すると、バッファが不安定になり、CDACに必要な電荷が十分にチャージされないことがあります。2.2µFで出荷試験されているので、これ以上のコンデンサは不要です。これらの補正コンデンサの等価直列抵抗(ESR)も重要です。合計ESRは、3Ω未満にする必要があります。ESRが性能に与える影響については、「代表的特性」の項を参照してください。

内部リファレンスおよびバッファは、外部負荷に使用しないでください。使用すると、性能が低下する可能性があります。内部リファレンスに負荷をかけると、4kΩの抵抗で電圧が降下し、ゲインに影響を及ぼします。内部バッファは、±2mAの負荷を駆動できますが、負荷をかけるとCDACでリファレンス変動し、性能が低下する事があります。ADS8519は、類似の入力構造の他のデバイスと異なり、R3<sub>IN</sub>ピンの信号に依存する電流からCAPピンを分離しているため、別の高速アンプをバッファとして使用する必要はありません。

外部リファレンスは、3.9V～4.2Vの範囲で使用できます。リファレンス電圧によって、最下位ビット (LSB) の重みが決まります。リファレンス電圧が大きいほどLSBが大きくなり、SNRを改善できます。基準電圧が小さいと、SNRが低下することがあります。

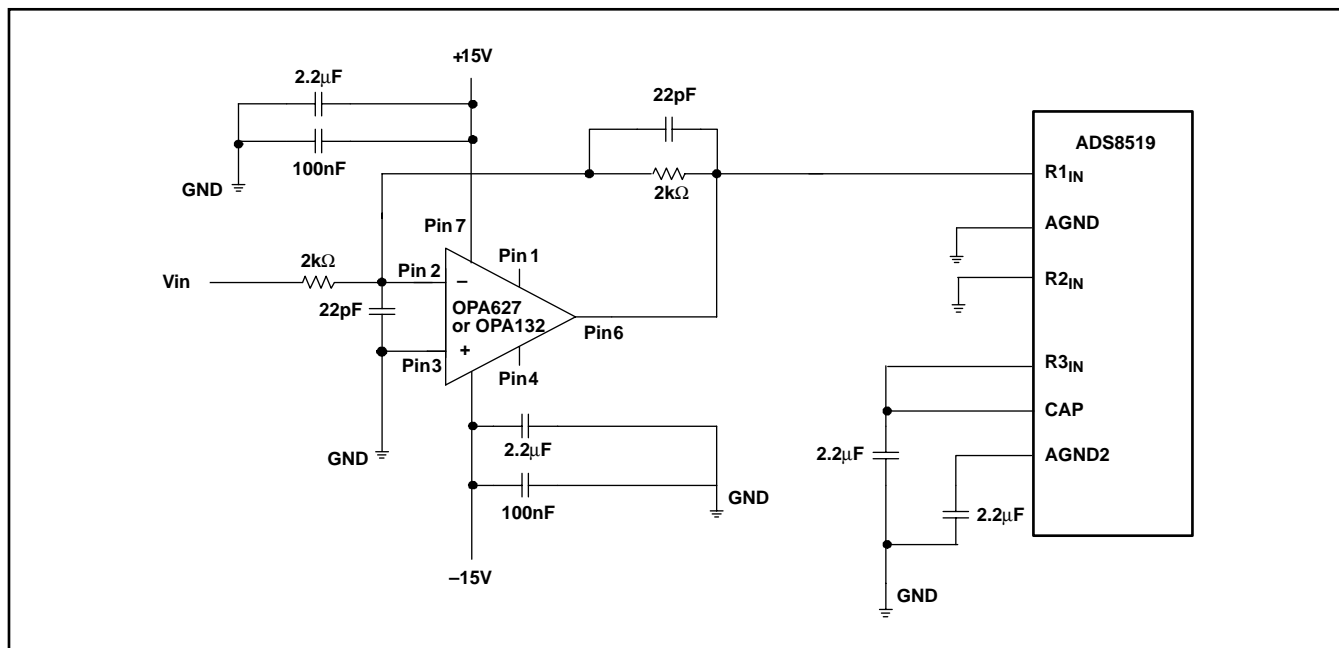


図 31. 代表的な駆動回路 (±10V、トリミングなし)

特定機能	$\overline{CS}$	R/C	BUSY	EXT/INT	DATACLK	PWRD	SB/BTC	動作
内部クロックを使用して、変換とデータ出力を開始。	1 > 0	0	1	0	Output	0	x	変換nの開始。DATACLKに出力される16クロック・パルスに同期して、変換n-1からのデータがDATAにクロック出力されます。
	0	1 > 0	1	0	Output	0	x	
外部クロックを使用して、変換とデータ出力を開始。	1 > 0	0	1	1	Input	0	x	変換nを開始。
	0	1 > 0	1	1	Input	0	x	変換nを開始。
	1 > 0	1	1	1	Input	x	x	SYNCパルス有り無しに関わらずデータを出力します。「データの読み取り」節を参照。
	1 > 0	1	0	1	Input	0	x	SYNCパルス有り無しに関わらずデータを出力します。「データの読み取り」節を参照。
0	0 > 1	0	1	Input	0	x		
動作なし	0	0	0 > 1	x	x	0	x	これも許容される条件です。
パワーダウン	x	x	x	x	x	0	x	アナログ回路に電源供給。変換は続行可能。
	x	x	x	x	x	1	x	アナログ回路はディスエーブル。前の変換のデータは出力レジスタに保持されます。
出力フォーマットの選択	x	x	x	x	x	x	0	シリアル・データはバイナリ2の補数フォーマットで出力されます。
	x	x	x	x	x	x	1	シリアル・データはストレート・バイナリ・フォーマットで出力されます。

表 4. 制御の真値表

説明	アナログ入力範囲			デジタル出力			
	$\pm 10V$	$\pm 5V$	$0V \sim 8.192V$	2の補数バイナリ (SB/BTC LOW)		ストレート・バイナリ (SB/BTC HIGH)	
最下位ビット (LSB)	$305\mu V$	$153\mu V$	$125\mu V$	バイナリ・コード	16進コード	バイナリ・コード	16進コード
+フルスケール (FS-1LSB)	$9.999695V$	$4.999847V$	$8.191875V$	0111 1111 1111 1111	7FFF	1111 1111 1111 1111	FFFF
ミッド・スケール	$0V$	$0V$	$4.096V$	0000 0000 0000 0000	0000	1000 0000 0000 0000	8000
ミッド・スケールの 1LSB下	$-305\mu V$	$153\mu V$	$4.095975V$	1111 1111 1111 1111	FFFF	0111 1111 1111 1111	7FFF
-フルスケール	$-10V$	$-5V$	$0V$	1000 0000 0000 0000	8000	0000 0000 0000 0000	0000

表 5. 出力コードおよび理想入力電圧

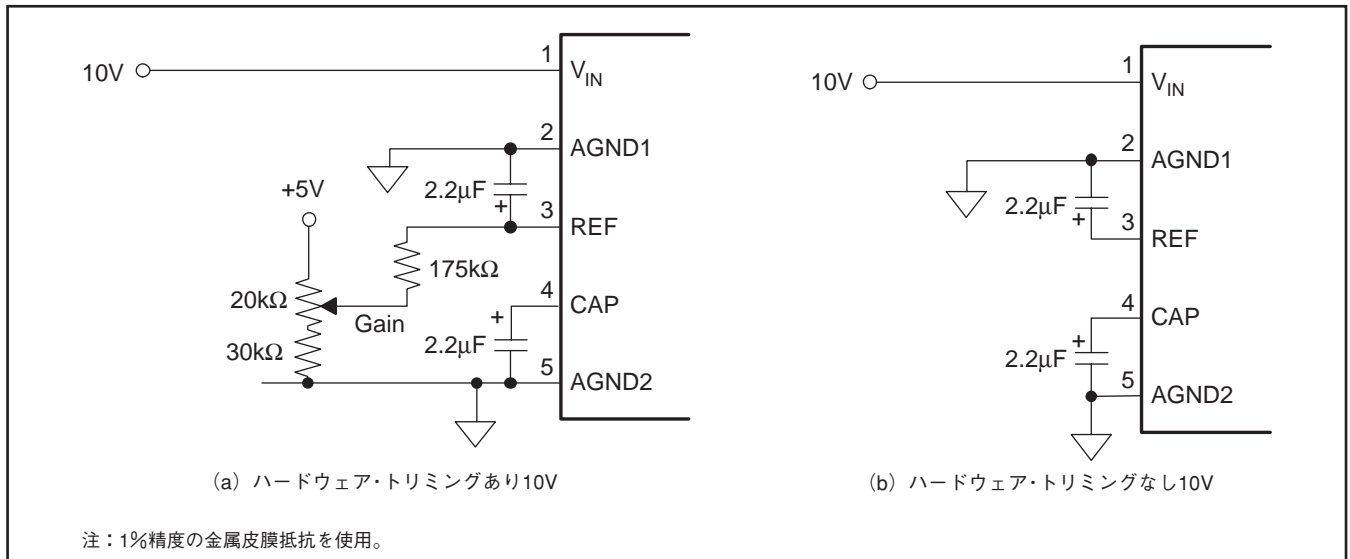


図 32. ゲイン調整トリミング

# パッケージ情報

## 製品情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
ADS8519IBDB	ACTIVE	SSOP	DB	28	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8519IBDBG4	ACTIVE	SSOP	DB	28	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8519IBDBR	ACTIVE	SSOP	DB	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8519IBDBRG4	ACTIVE	SSOP	DB	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8519IDB	ACTIVE	SSOP	DB	28	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8519IDBG4	ACTIVE	SSOP	DB	28	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8519IDBR	ACTIVE	SSOP	DB	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8519IDBRG4	ACTIVE	SSOP	DB	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

**ACTIVE**：製品デバイスが新規設計用に推奨されています。

**LIFEBUY**：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

**TBD**：Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS)と考えられます。

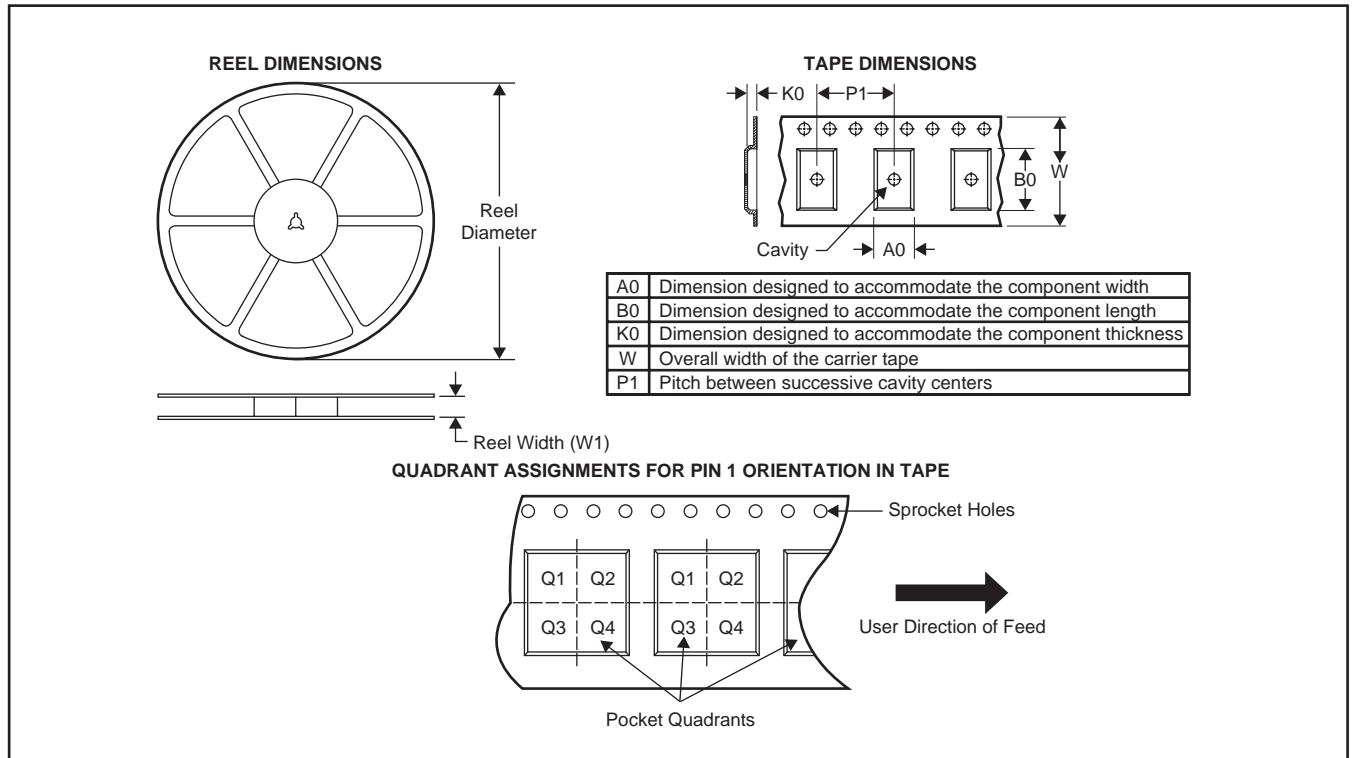
**Green (RoHS & no Sb/Br)**：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

# パッケージ・マテリアル情報

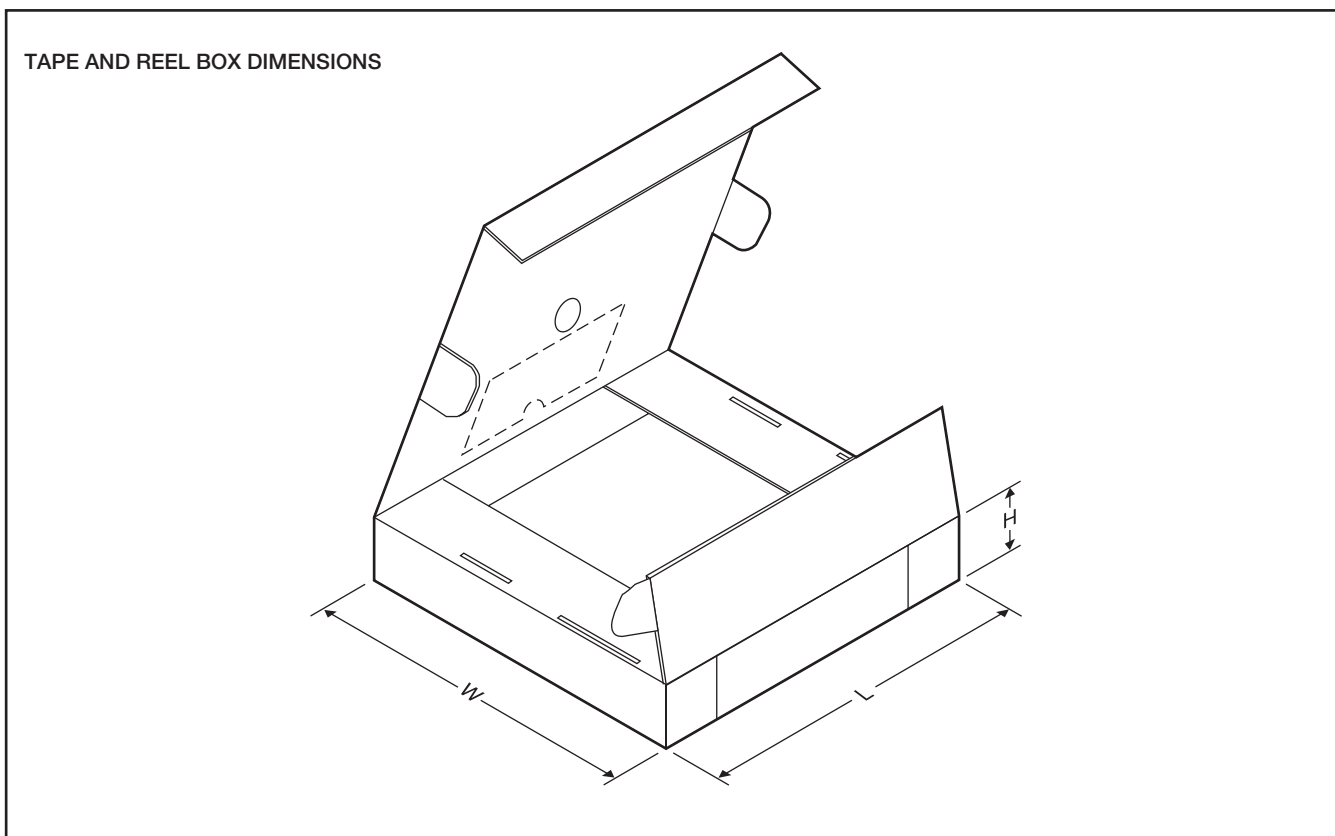
## テープおよびリール・ボックス情報



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS8519IBDBR	SSOP	DB	28	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
ADS8519IDBR	SSOP	DB	28	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1

## パッケージ・マテリアル情報



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS8519IBDBR	SSOP	DB	28	2000	346.0	346.0	33.0
ADS8519IDBR	SSOP	DB	28	2000	346.0	346.0	33.0

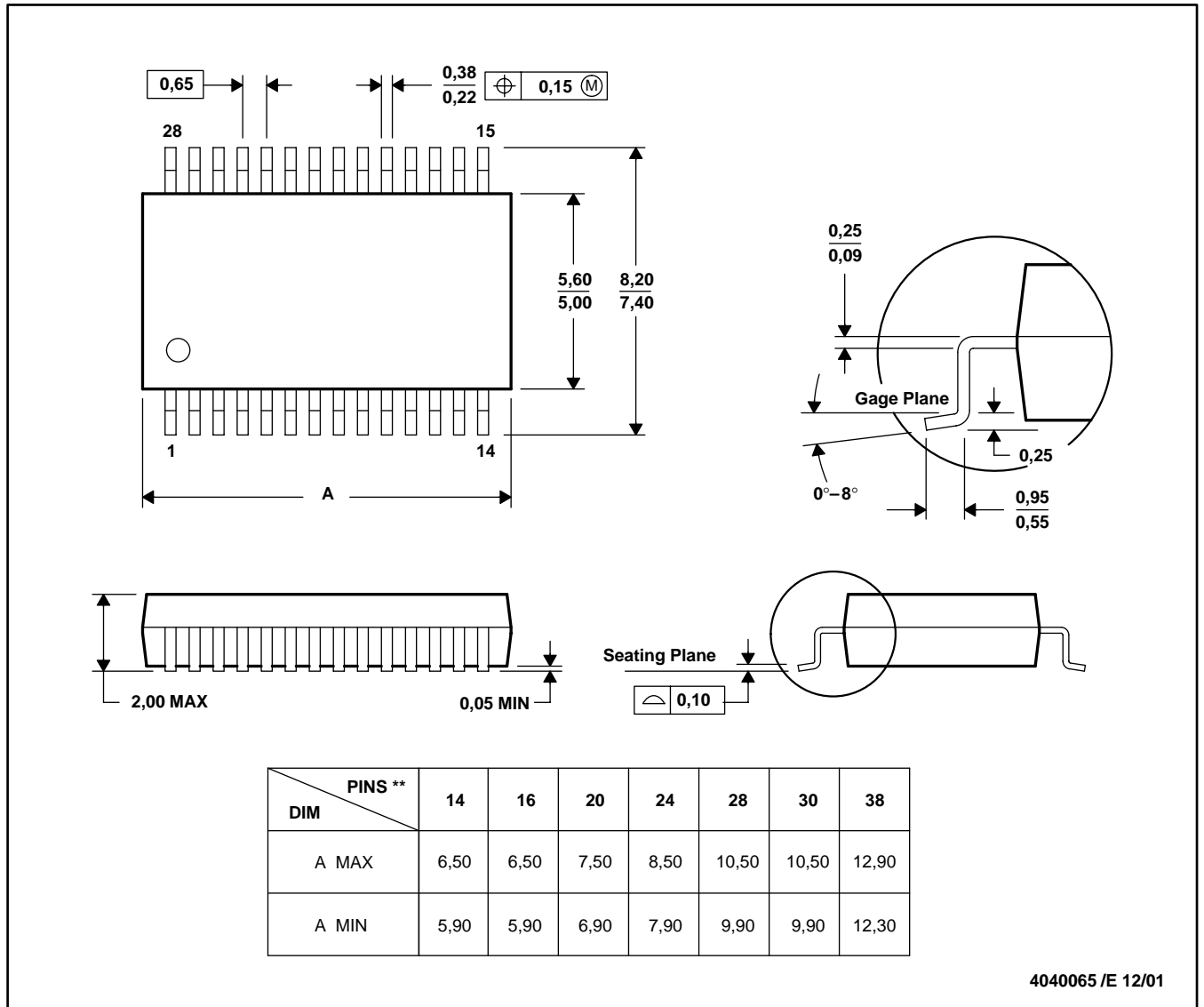


# メカニカル・データ

DB (R-PDSO-G\*\*)

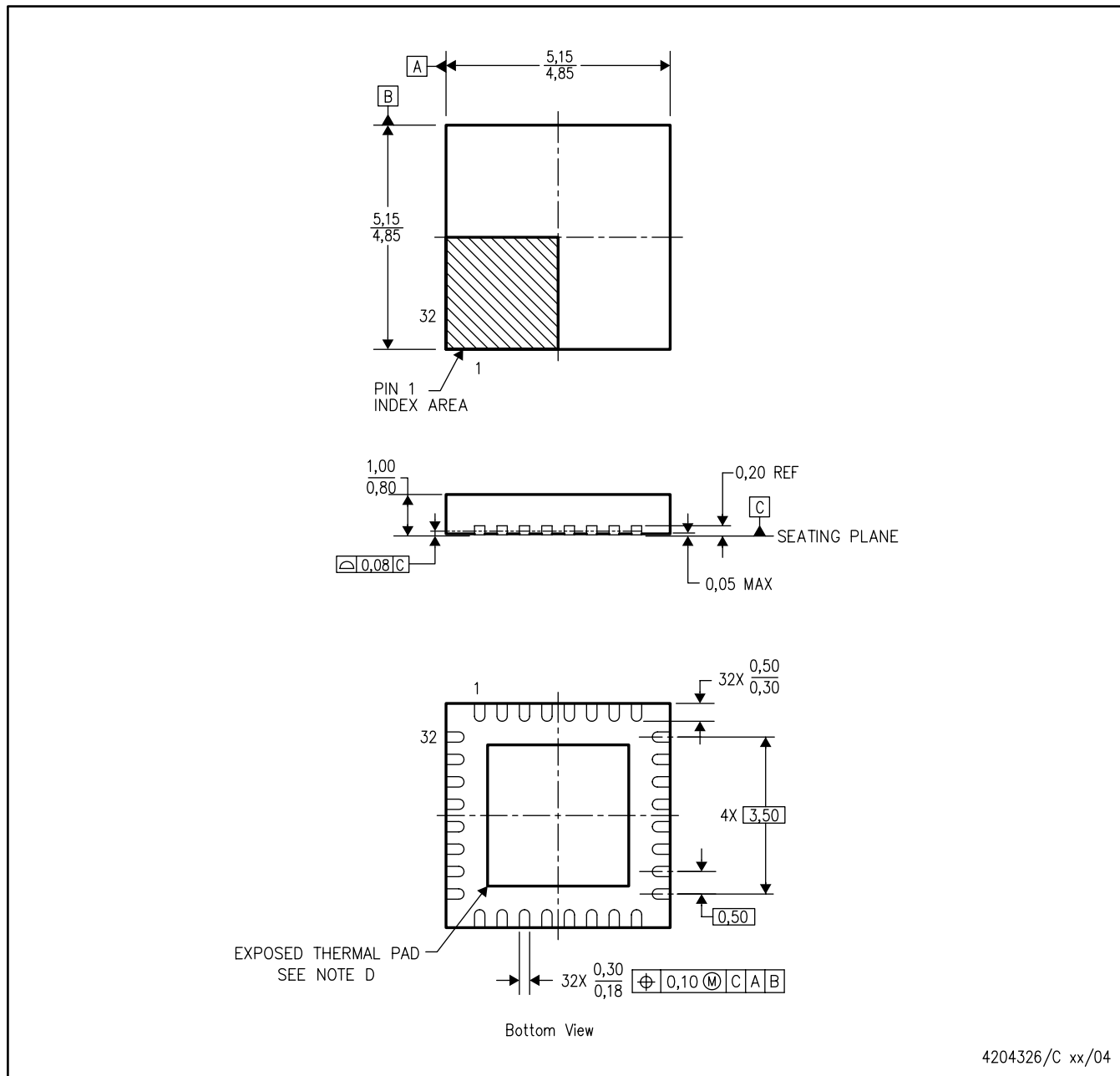
28 PINS SHOWN

PLASTIC SMALL-OUTLINE



- 注： A. 直線寸法は、すべてミリメートルです。  
 B. 本図は予告なく変更することがあります。  
 C. ボディ寸法には、0,15を超えるモールド・フラッシュや突起は含まれません。  
 D. JEDEC MO-150に準拠します。

4040065 / E 12/01



- 注： A. 直線寸法はすべてミリメートル単位です。  
 B. 本図は予告なしに変更することがあります。  
 C. QFN(クアド・フラットバック・ノーリード)パッケージ構造。  
 D. パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。  
 露出サーマルパッドの寸法の詳細は、製品データシートをご覧ください。  
 E. JEDEC MO-220に準拠します。

# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上