

12GSPS DAC と 3GSPS ADC 搭載、AFE7901 4T4R RF サンプリング AFE

1 特長

- データシート全体のご請求
- クワッド RF サンプリング 12GSPS 送信 DAC
- クワッド RF サンプリング 3GSPS 受信 ADC
- TX または RX ごとの最大 RF 信号帯域幅: 400MHz
- RF 周波数範囲: 5MHz ~ 7.4GHz
- デジタル ステップ アッテネータ (DSA):
 - TX: 40dB レンジ、0.125dB ステップ
 - RX: 25dB レンジ、0.5dB ステップ
- TX と RX 向けにシングルバンドまたはデュアルバンド DUC または DDC を搭載
- TX または RX ごとの 16 個の NCO
- DAC もしくは ADC クロック用の内部 PLL もしくは VCO、または DAC もしくは ADC サンプル レートでの外部クロックを選択可能
- Sysref アライメント検出器
- SerDes データ インターフェイス:
 - JESD204B、JESD204C 適合
 - 8 つの SerDes トランシーバ (最大 29.5Gbps)
 - サブクラス 1 のマルチデバイス同期
- パッケージ: 17mm × 17mm FCBGA、0.8mm ピッチ

2 アプリケーション

- レーダー
- 追尾フロント・エンド
- 防衛無線
- 戦術通信網
- ワイヤレス通信テスト

3 説明

AFE7901 は、高性能で広帯域のマルチチャネルトランシーバで、4 つの RF サンプリング トランスミッタ チェーンと 4 つの RF サンプリング レシーバ チェーンを内蔵しています。このデバイスは、最大 7.4GHz で動作するため、追加の周波数変換段を必要とせず、L、S、C バンドの周波数範囲について直接 RF サンプリングが可能です。この密度と柔軟性の向上により、多くのチャネル数を持つマルチミッション システムが可能になります。

TX 信号パスは、1 つまたは 2 つのデジタル アップ コンバータを使用して、TX パスごとに最大 400MHz の信号帯域幅を実現する補間およびデジタル アップコンバージョン オプションをサポートしています。DUC の出力は、2 次ナイキスト動作を拡張する混在モード出力方式で 12GSPS の DAC (D/A コンバータ) を駆動します。DAC 出力は、40dB レンジ、1dB アナログ ステップ、0.125dB デジタル ステップの可変ゲイン アンプ (TX DSA) を内蔵しています。

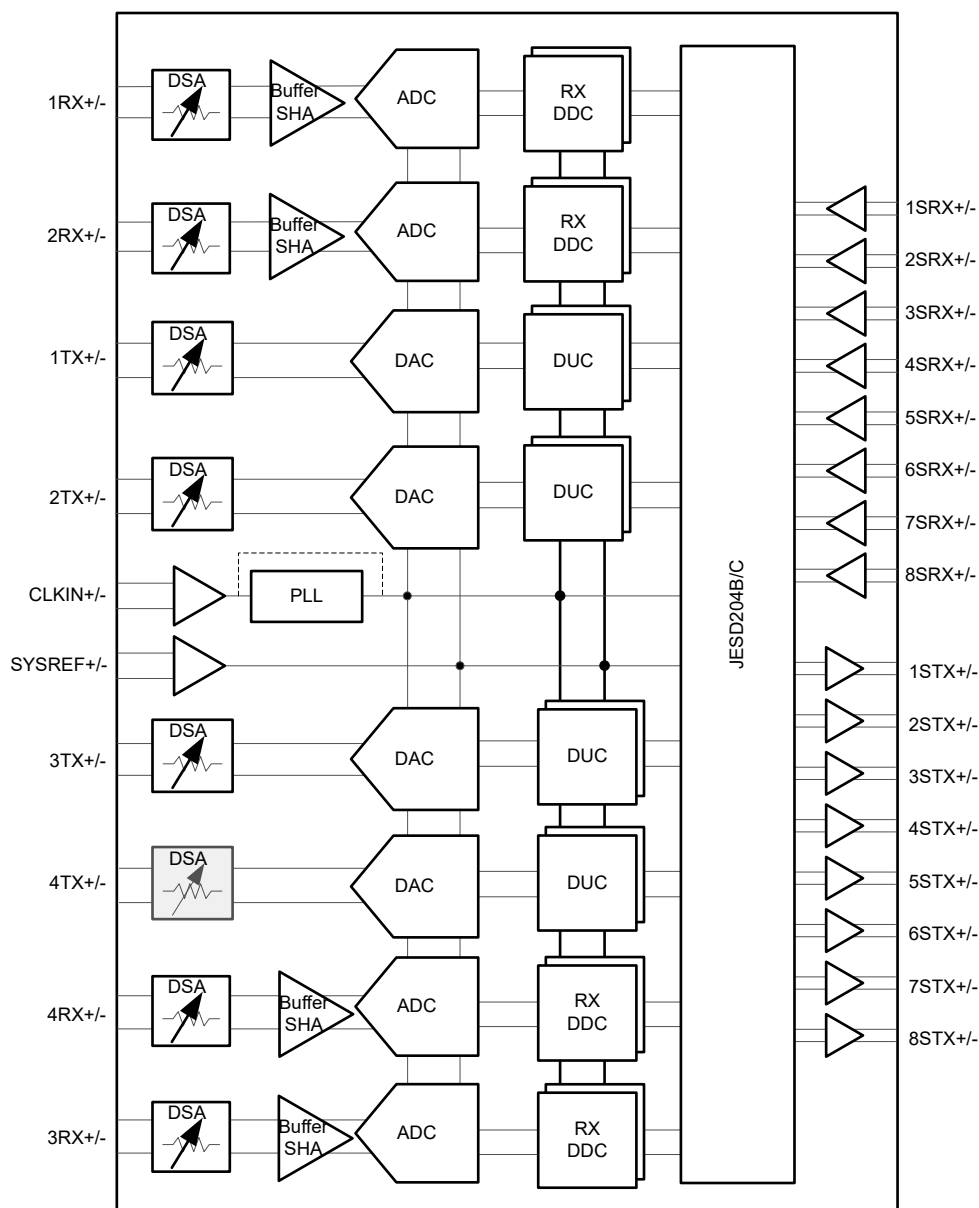
各レシーバ チェーンは、3GSPS の ADC (A/D コンバータ) に接続された 25dB レンジの DSA (デジタル ステップ アッテネータ) を備えています。各レシーバ チェーンは、外部または内部の自律的な AGC (自動ゲイン制御) を補助するためのアナログ ピーク電力検出器とさまざまなデジタル電力検出器、およびデバイスの信頼性を確保するための RF 過負荷検出器を備えています。柔軟なデシメーション オプションにより、1 つまたは 2 つのデジタル ダウン コンバータ (DDC) を使用して、最大 400MHz の信号帯域幅を最適化できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
AFE7901	FC-BGA	17mm × 17mm

- 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





機能ブロック図

目次

1 特長.....	1	5.9 電源の電氣的特性.....	33
2 アプリケーション.....	1	5.10 タイミング要件.....	35
3 説明.....	1	5.11 スイッチング特性.....	36
4 ピン構成および機能.....	4	5.12 代表的特性.....	37
5 仕様.....	11	6 デバイスおよびドキュメントのサポート.....	157
5.1 絶対最大定格.....	11	6.1 ドキュメントの更新通知を受け取る方法.....	157
5.2 ESD 定格.....	11	6.2 サポート・リソース.....	157
5.3 推奨動作条件.....	12	6.3 商標.....	157
5.4 熱に関する情報 (AFE79xx).....	12	6.4 静電気放電に関する注意事項.....	157
5.5 トランスミッタの電氣的特性.....	13	6.5 用語集.....	157
5.6 RF ADC の電氣的特性.....	23	7 改訂履歴.....	157
5.7 PLL / VCO / クロックの電氣的特性.....	29	8 メカニカル、パッケージ、および注文情報.....	157
5.8 デジタルの電氣的特性.....	31		

4 ピン構成および機能

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	
20	VDD1P2 TXCLK	2TXOUT+	2TXOUT-	VDD1P2 TXCLK	VDD1P8TX	1TXOUT-	1TXOUT+	VDD1P8TX	VSSTX	VDD1P2 PLLCLK REF	VDD1P8 PLLVC0	VSSTX	VDD1P8TX	3TXOUT+	3TXOUT-	VDD1P8TX	VDD1P2 TXCLK	4TXOUT-	4TXOUT+	VDD1P2 TXCLK	20
19	VSSTXCLK	VSSTX	VSSTX	VSSTXCLK	VSSTX	VSSTX	VSSTX	VSSTX	PLL LDOUT	SYSREF+	SYSREF-	VSSPLL	VSSTX	VSSTX	VSSTX	VSSTX	VSSTXCLK	VSSTX	VSSTX	VSSTXCLK	19
18	VSSFBCLK	VSSFBCLK	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSPLL CLKREF	VDD1P2 PLLCLK REF	VDD1P2 PLLCLK REF	VSSPLL CLKREF	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSFBCLK	VSSFBCLK	18
17	VDD1P8 FBCLK	VSSFB	VSSTX	VDD1P2 TXENC	VSSTXENC	VSSTX	VDD1P8 TXDAC	VDD1P8 TXDAC	VSS PLLXCM	REFCLK+	REFCLK-	VSS PLLXCM	VDD1P8 TXDAC	VDD1P8 TXDAC	VSSTX	VSSTXENC	VDD1P2 TXENC	VSSTX	VSSFB	VDD1P8 FBCLK	17
16	NC	VSSFB	VDD1P8FB	VDD1P2FB	VSSTXENC	GTR_7 _SPIB2SEN	GTR_17 _SPIB1CLK	GTR_14 _SPIB1SEN	VSSPLL FBCLK	VDD1P8PLL	VDD1P8PLL	VSSPLL FBCLK	GTL_7 _ALARM1	GTL_15 _SPIASDO	GTL_15 _SPIASDO	VSSTXENC	VDD1P2FB	VDD1P8FB	VSSFB	NC	16
15	NC	VSSFB	VDD1P8FB	VDD1P2FB	VDD1P2FB	GTR_15 _RESETZ	GTR_13 _TRST	GTR_3 _TXDD1	GTR_9 _SPIB2SDO	VDD1P2 PLLXCM	VDD1P2 PLLXCM	GTL_3 _AUX0	GTL_2 _ALARM2	GTL_4 _SPIACLK	GTL_5 _RXDD2	VDD1P2FB	VDD1P2FB	VDD1P8FB	VSSFB	NC	15
14	VDD1P8 FBCLK	VSSFB	VSSFB	VDD1P2FB	VDD1P2RX	GTR_5 _TDO	GTR_18 _TDI	GTR_4 _TCLK	GTR_2 _SPIB2CLK	GTR_8 _FBTDD1	GTL_8 _AUX1	GTL_9 _AUX2	GTL_17 _SPIASDIO	GTL_1 _SPEEP	GTL_5 _SPIASEN	VDD1P2RX	VDD1P2FB	VSSFB	VSSFB	VDD1P8 FBCLK	14
13	VDD1P2RX	VSSRX	VSSRX	VSSRX	VDD1P2RX	VDD1P2RX	GTR_0 _RXG5WAP	GTR_6 _SPIB2 _SDIO	GND_ESD	DVDD0P9	DVDD0P9	GND_ESD	GTL_0 _AUX3	GTL_11 _AUX3	VDD1P2RX	VDD1P2RX	VSSRX	VSSRX	VSSRX	VDD1P2RX	13
12	1RXIN+	VSSRX	VSSRX	VSSRX	VDD1P2RX	VDD1P2RX	GTR_11 _SPIB1 _SDO	GTR_1 _GPIO1	DGND	DVDD0P9	DVDD0P9	DGND	GTL_13 _AUX4	GTL_12 _BIST1	VDD1P2RX	VDD1P2RX	VSSRX	VSSRX	VSSRX	3RXIN+	12
11	1RXIN-	VSSRX	VDD1P8RX	VDD1P8RX	VDD1P2RX	VDD1P2RX	GTR_10 _TMS	GTR_12 _SPIB1 _SDIO	DGND	DVDD0P9	DVDD0P9	DGND	GTL_14 _AUX5	GTL_10 _BIST0	VDD1P2RX	VDD1P2RX	VDD1P8RX	VDD1P8RX	VSSRX	3RXIN-	11
10	VDD1P2RX	VSSRX	VDD1P8RX	VDD1P8RX	VDD1P8RX	VDD1P8RX	GBR_6 _RXBLNB	GBR_5 _FSPIDB	DGND	DVDD0P9	DVDD0P9	DGND	GBL_5 _GPIO15	GBL_6 _GPIO16	VDD1P8RX	VDD1P8RX	VDD1P8RX	VDD1P8RX	VSSRX	VDD1P2RX	10
9	VDD1P8 RXCLK	VSSRXCLK	VDD1P8RX	VDD1P8RX	VDD1P8RX	VDD1P8RX	GBR_3 _SYNCB _OUT0-	GBR_7 _SYNCB _OUT0+	DGND	DVDD0P9	DVDD0P9	DGND	GBL_7 _SYNCB _OUT1+	GBL_9 _SYNCB _OUT1-	VDD1P8RX	VDD1P8RX	VDD1P8RX	VDD1P8RX	VSSRXCLK	VDD1P8 RXCLK	9
8	2RXIN-	VSSRX	VSSRXCLK	GND_ESD	GBR_10 _FSPICLKA	VDD1P8RX	GBR_13 _GPIO8	GBR_8 _SYNCB _INT+	DGND	DVDD0P9	DVDD0P9	DGND	GBL_9 _SYNCB _INT+	GBL_13 _GPIO19	VDD1P8RX	GBL_10 _GPIO17	GND_ESD	VSSRXCLK	VSSRX	4RXIN-	8
7	2RXIN+	VSSRX	VSSRXCLK	GND_ESD	GBR_11 _RXDD1	GBR_14 _FSPIDA	GBR_12 _GPIO7	GBR_17 _SYNCB _INT-	DGND	DVDD0P9	DVDD0P9	DGND	GBL_17 _SYNCB _INT-	GBL_12 _FSPICLKD	GBL_14 _FSPIDD	GBL_11 _GPIO18	GND_ESD	VSSRXCLK	VSSRX	4RXIN+	7
6	VDD1P8 RXCLK	VSSRXCLK	GBR_9 _GPIO4	GBR_19 _GPIO12	GBR_16 _GPIO10	GBR_1 _GPIO5	GBR_15 _GPIO9	VDD1P8 GPIO	DGND	DVDD0P9	DVDD0P9	DGND	VDD1P8 GPIO	GBL_15 _FSPIDC	GBL_1 _FBTDD2	GBL_16 _RXCLNB	GBL_19 _GPIO20	GBL_0 _GPIO13	VSSRXCLK	VDD1P8 RXCLK	6
5	VSSRXCLK	VSSRXCLK	GBR_18 _GPIO11	GBR_2 _RXALNB	GBR_4 _GPIO6	GBR_3 _FSPICLKB	IFORCE	VSSGPIO	DGND	DVDD0P9	DVDD0P9	DGND	VSSGPIO	SENSE	GBL_3 _GPIO14	GBL_4 _RXCLNB	GBL_2 _FSPICLKC	GBL_18 _TXDD2	VSSRXCLK	VSSRXCLK	5
4	VSSTX	VSSTX	1STX+	VDDTOP9	2STX+	VDDA1P8	3STX-	VDDA1P8	4STX-	VSSTX	VSSTX	5STX-	VDDA1P8	6STX-	VDDA1P8	7STX+	VDDTOP9	8STX+	VSSTX	VSSTX	4
3	1SRX+	VSSTX	1STX-	VDDTOP9	2STX-	VDDA1P8	3STX+	VDDA1P8	4STX+	SERDES _AMUX1	SERDES _AMUX2	5STX+	VDDA1P8	6STX+	VDDA1P8	7STX-	VDDTOP9	8STX-	VSSTX	8SRX+	3
2	1SRX-	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	DVDD0P9	DVDD0P9	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	VSSTX	8SRX-	2
1	VSSTX	2SRX+	2SRX-	VSSTX	3SRX+	3SRX-	VSSTX	4SRX+	4SRX-	VSSTX	VSSTX	5SRX-	5SRX+	VSSTX	6SRX-	6SRX+	VSSTX	7SRX-	7SRX+	VSSTX	1

TX Outputs
RX Inputs
Clock Inputs
Serdes Receivers
Serdes Transmitters
Misc Analog
GPIO
0.9V Supplies
1.2V Supplies
1.8V Supplies
GROUND

図 4-1. FCBGA パッケージ、400 ピン
(上面図)

表 4-1. ピンの機能

ボール名	ボール番号	種類 ⁽¹⁾	説明
RF インターフェイス			
NC	A15、A16、Y15、Y16	I	接続しないでください。
1RXIN-	A11	I	レーザチャネル 1 RF 入力: 負端子。 未使用の RX 入力はオープンのままにできます。
1RXIN+	A12	I	レーザチャネル 1 RF 入力: 正端子。未使用の RX 入力はオープンのままにできます。

表 4-1. ピンの機能 (続き)

ボール名	ボール番号	種類 ⁽¹⁾	説明
2RXIN–	A8	I	レシーバ チャネル 2 RF 入力: 負端子。未使用の RX 入力はオープンのままにできます。
2RXIN+	A7	I	レシーバ チャネル 2 RF 入力: 正端子。未使用の RX 入力はオープンのままにできます。
3RXIN–	Y11	I	レシーバ チャネル 3 RF 入力: 負端子。
3RXIN+	Y12	I	レシーバ チャネル 3 RF 入力: 正端子。未使用の RX 入力はオープンのままにできます。
4RXIN–	Y8	I	レシーバ チャネル 4 RF 入力: 負端子。未使用の RX 入力はオープンのままにできます。
4RXIN+	Y7	I	レシーバ チャネル 4 RF 入力: 正端子。未使用の RX 入力はオープンのままにできます。
1TXOUT–	F20	O	トランスミッタ チャネル 1 RF 出力: 負端子。未使用時は 1.8V に接続します。
1TXOUT+	G20	O	トランスミッタ チャネル 1 RF 出力: 正端子。未使用時は 1.8V に接続します。
2TXOUT–	C20	O	トランスミッタ チャネル 2 RF 出力: 負端子。未使用時は 1.8V に接続します。
2TXOUT+	B20	O	トランスミッタ チャネル 2 RF 出力: 正端子。未使用時は 1.8V に接続します。
3TXOUT–	R20	O	トランスミッタ チャネル 3 RF 出力: 負端子。未使用時は 1.8V に接続します。
3TXOUT+	P20	O	トランスミッタ チャネル 3 RF 出力: 正端子。未使用時は 1.8V に接続します。
4TXOUT–	V20	O	トランスミッタ チャネル 4 RF 出力: 負端子。未使用時は 1.8V に接続します。
4TXOUT+	W20	O	トランスミッタ チャネル 4 RF 出力: 正端子。未使用時は 1.8V に接続します。
差動クロック入力			
REFCLK–	L17	I	基準クロック入力: 負端子
REFCLK+	K17	I	基準クロック入力: 正端子
SYSREF–	L19	I	SYSREEF 入力: 負端子
SYSREF+	K19	I	SYSREEF 入力: 正端子
SerDes CML インターフェイス			
1SRX–	A2	I	CML SerDes インターフェイス レーン 1 入力: 負端子。未使用の SerDes 入力はオープンのままにできます。
1SRX+	A3	I	CML SerDes インターフェイス レーン 1 入力: 正端子。未使用の SerDes 入力はオープンのままにできます。
2SRX–	C1	I	CML SerDes インターフェイス レーン 2 入力: 負端子。未使用の SerDes 入力はオープンのままにできます。
2SRX+	B1	I	CML SerDes インターフェイス レーン 2 入力: 正端子。未使用の SerDes 入力はオープンのままにできます。
3SRX–	F1	I	CML SerDes インターフェイス レーン 3 入力: 負端子
3SRX+	E1	I	CML SerDes インターフェイス レーン 3 入力: 正端子。未使用の SerDes 入力はオープンのままにできます。
4SRX–	J1	I	CML SerDes インターフェイス レーン 4 入力: 負端子
4SRX+	H1	I	CML SerDes インターフェイス レーン 4 入力: 正端子
5SRX–	M1	I	CML SerDes インターフェイス レーン 5 入力: 負端子。未使用の SerDes 入力はオープンのままにできます。

表 4-1. ピンの機能 (続き)

ボール名	ボール番号	種類 ⁽¹⁾	説明
5SRX+	N1	I	CML SerDes インターフェイス レーン 5 入力: 正端子
6SRX-	R1	I	CML SerDes インターフェイス レーン 6 入力: 負端子
6SRX+	T1	I	CML SerDes インターフェイス レーン 6 入力: 正端子。 未使用の SerDes 入力はオープンのままにできます。
7SRX-	V1	I	CML SerDes インターフェイス レーン 7 入力: 負端子
7SRX+	W1	I	CML SerDes インターフェイス レーン 7 入力: 正端子。 未使用の SerDes 入力はオープンのままにできます。
8SRX-	Y2	I	CML SerDes インターフェイス レーン 8 入力: 負端子
8SRX+	Y3	I	CML SerDes インターフェイス レーン 8 入力: 正端子。 未使用の SerDes 入力はオープンのままにできます。
1STX-	C3	O	CML SerDes インターフェイス レーン 1 出力: 負端子。 未使用の SerDes 出力はオープンのままにできます。
1STX+	C4	O	CML SerDes インターフェイス レーン 1 出力: 正端子。 未使用の SerDes 出力はオープンのままにできます。
2STX-	E3	O	CML SerDes インターフェイス レーン 2 出力: 負端子。 未使用の SerDes 出力はオープンのままにできます。
2STX+	E4	O	CML SerDes インターフェイス レーン 2 出力: 正端子。 未使用の SerDes 出力はオープンのままにできます。
3STX-	G4	O	CML SerDes インターフェイス レーン 3 出力: 負端子。 未使用の SerDes 出力はオープンのままにできます。
3STX+	G3	O	CML SerDes インターフェイス レーン 3 出力: 正端子。 未使用の SerDes 出力はオープンのままにできます。
4STX-	J4	O	CML SerDes インターフェイス レーン 4 出力: 負端子。 未使用の SerDes 出力はオープンのままにできます。
4STX+	J3	O	CML SerDes インターフェイス レーン 4 出力: 正端子。 未使用の SerDes 出力はオープンのままにできます。
5STX-	M4	O	CML SerDes インターフェイス レーン 5 出力: 負端子。 未使用の SerDes 出力はオープンのままにできます。
5STX+	M3	O	CML SerDes インターフェイス レーン 5 出力: 正端子。 未使用の SerDes 出力はオープンのままにできます。
6STX-	P4	O	CML SerDes インターフェイス レーン 6 出力: 負端子。 未使用の SerDes 出力はオープンのままにできます。
6STX+	P3	O	CML SerDes インターフェイス レーン 6 出力: 正端子。 未使用の SerDes 出力はオープンのままにできます。
7STX-	T3	O	CML SerDes インターフェイス レーン 7 出力: 負端子。 未使用の SerDes 出力はオープンのままにできます。
7STX+	T4	O	CML SerDes インターフェイス レーン 7 出力: 正端子。 未使用の SerDes 出力はオープンのままにできます。
8STX-	V3	O	CML SerDes インターフェイス レーン 8 出力: 負端子。 未使用の SerDes 出力はオープンのままにできます。
8STX+	V4	O	CML SerDes インターフェイス レーン 8 出力: 正端子。 未使用の SerDes 出力はオープンのままにできます。
GPIO 機能			
GBL_0_GPIO13	V6	I/O	GPIO。
GBL_1_FBTDD2	R6	I/O	FB TDD2 入力信号のデフォルト位置。

表 4-1. ピンの機能 (続き)

ボール名	ボール番号	種類 ⁽¹⁾	説明
GBL_2_FSPICLK	U5	I/O	FSPI C クロックのデフォルトおよび推奨位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBL_3_GPIO14	R5	I/O	GPIO。
GBL_4_RXDLNB	T5	I/O	RX チャネル D AGC LNA バイパス出力信号のデフォルト位置。
GBL_5_GPIO15	N10	I/O	GPIO。
GBL_6_GPIO16	P10	I/O	GPIO。
GBL_7_SYNCB_OUT1+	N9	I/O	JESD Sync\ 1 出力差動正端子のデフォルト位置。
GBL_8_SYNCB_IN1+	N8	I/O	JESD Sync\ 1 入力差動正端子のデフォルト位置。
GBL_9_SYNCB_OUT1–	P9	I/O	JESD Sync\ 1 出力差動負端子のデフォルト位置。
GBL_10_GPIO17	T8	I/O	GPIO。
GBL_11_GPIO18	T7	I/O	GPIO。
GBL_12_FSPICLK	P7	I/O	FSPI D クロックのデフォルトおよび推奨位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBL_13_GPIO19	P8	I/O	GPIO。
GBL_14_FSPIDD	R7	I/O	FSPI D データのデフォルトおよび推奨位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBL_15_FSPIDC	P6	I/O	FSPI C クロックのデフォルトおよび推奨位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBL_16_RXCLNB	T6	I/O	RX チャネル C AGC LNA バイパス出力信号のデフォルト位置。
GBL_17_SYNCB_IN1–	N7	I/O	JESD Sync\ 1 入力差動負端子のデフォルト位置。
GBL_18_TXTDD2	V5	I/O	TX TDD2 入力信号のデフォルト位置。
GBL_19_GPIO20	U6	I/O	GPIO。
GBR_0_GPIO4	C6	I/O	GPIO。
GBR_1_GPIO5	F6	I/O	GPIO。
GBR_2_RXALNB	D5	I/O	RX チャネル A AGC LNA バイパス出力信号のデフォルト位置。
GBR_3_FSPICLKB	F5	I/O	FSPI B クロックのデフォルトおよび推奨位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBR_4_GPIO6	E5	I/O	GPIO。
GBR_5_FSPIDB	H10	I/O	FSPI B データのデフォルトおよび推奨位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBR_6_RXBLNB	G10	I/O	RX チャネル B AGC LNA バイパス出力信号のデフォルト位置。
GBR_7_SYNCB_OUT0+	H9	I/O	JESD Sync\ 0 出力差動正端子のデフォルト位置。
GBR_8_SYNCB_IN0+	H8	I/O	JESD Sync\ 0 入力差動正端子のデフォルト位置。
GBR_9_SYNCB_OUT0–	G9	I/O	JESD Sync\ 0 出力差動負端子のデフォルト位置。
GBR_10_FSPICLKA	E8	I/O	FSPI A クロックのデフォルト位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBR_11_RXTDD1	E7	I/O	RX TDD1 入力信号のデフォルト位置。
GBR_12_GPIO7	G7	I/O	GPIO。
GBR_13_GPIO8	G8	I/O	GPIO。
GBR_14_FSPIDA	F7	I/O	FSPI A クロックのデフォルトおよび推奨位置 (FSPI は工場専用。汎用 GPIO として利用可能)。
GBR_15_GPIO9	G6	I/O	GPIO。
GBR_16_GPIO10	E6	I/O	GPIO。
GBR_17_SYNCB_IN0–	H7	I/O	JESD Sync\ 0 入力差動負端子のデフォルト位置。
GBR_18_GPIO11	C5	I/O	GPIO。

表 4-1. ピンの機能 (続き)

ボール名	ボール番号	種類 ⁽¹⁾	説明
GBR_19_GPIO12	D6	I/O	GPIO。
GTL_0_GPIO2	N13	I/O	GPIO。
GTL_1_SLEEP	P14	I/O	スリープ入力信号のデフォルト位置。
GTL_2_ALARM2	N15	I/O	アラーム 2 出力信号のデフォルト位置。
GTL_3_AUX0	M15	I/O	GPIO または補助低速 ADC 入力 0
GTL_4_SPIACLK	P15	I/O	SPI A クロックの固定位置。
GTL_5_SPIASEN	R14	I/O	SPI A 送信イネーブルの固定位置。
GTL_6_RXTDD2	R15	I/O	RX TDD2 入力信号のデフォルト位置。
GTL_7_ALARM1	N16	I/O	アラーム 1 出力信号のデフォルト位置。
GTL_8_AUX1	L14	I/O	GPIO または補助低速 ADC 入力 1。
GTL_9_AUX2	M14	I/O	GPIO または補助低速 ADC 入力 2。
GTL_10_BIST0	P11	I/O	BIST0 機能の固定位置。JTAG 使用時は Low に設定し、通常動作時は High に設定します。
GTL_11_AUX3	P13	I/O	GPIO または補助低速 ADC 入力 3。
GTL_12_BIST1	P12	I/O	BIST1 機能の固定位置。JTAG 使用時は High に設定し、通常動作時は Low に設定します。
GTL_13_AUX4	N12	I/O	GPIO または補助低速 ADC 入力 4。
GTL_14_AUX5	N11	I/O	GPIO または補助低速 ADC 入力 5。
GTL_15_GPIO3	P16	I/O	GPIO。
GTL_17_SPIASDIO	N14	I/O	SPI A シリアル データ入力 (3 および 4 線式) または出力 (3 線式のみ) の固定位置。
GTL_18_SPIASDO	R16	I/O	4 線式での SPI A シリアル データ出力の固定位置。
GTR_0_RXGSWAP	G13	I/O	RX ゲイン スワップ入力のデフォルト位置。
GTR_1_GPIO1	H12	I/O	GPIO。
GTR_2_SPIB2CLK	J14	I/O	SPI B2 クロックのデフォルトおよび推奨位置。
GTR_3_TXTDD1	H15	I/O	TX TDD1 入力信号のデフォルト位置。
GTR_4_TCLK	H14	I/O	JTAG テスト クロックの固定位置。
GTR_5_TDO	F14	I/O	JTAG テスト データ出力の固定位置。
GTR_6_SPIB2_SDIO	H13	I/O	SPI B2 シリアル データ入力 / 出力のデフォルトおよび推奨位置。
GTR_7_SPIB2SEN	F16	I/O	SPI B2 イネーブル入力のデフォルトおよび推奨位置。
GTR_8_FBTDD1	K14	I/O	FB TDD1 入力信号のデフォルト位置。
GTR_9_SPIB2SDO	J15	I/O	SPI B2 シリアル データ出力のデフォルトおよび推奨位置 (4 線式)
GTR_10_TMS	G11	I/O	JTAG テスト モード選択の固定位置。
GTR_11_SPIB1_SDO	G12	I/O	SPI B1 シリアル データ出力のデフォルトおよび推奨位置 (4 線式)。
GTR_12_SPIB_SDIO	H11	I/O	SPI B1 シリアル データ入力 / 出力のデフォルトおよび推奨位置。
GTR_13_TRST	G15	I/O	JTAG テストリセットの固定位置。JTAG ポートを使用しない場合、Low にプルする必要があります。
GTR_14_SPIB1SEN	H16	I/O	SPI B1 イネーブル入力のデフォルトおよび推奨位置。
GTR_15_RESETZ	F15	I/O	リセット機能の固定位置。チップ全体をデフォルトのレジスタ設定にリセットします。
GTR_17_SPIB1CLK	G16	I/O	SPI B1 クロックのデフォルトおよび推奨位置。

表 4-1. ピンの機能 (続き)

ボール名	ボール番号	種類 ⁽¹⁾	説明
GTR_18_TDI	G14	I/O	JTAG テスト データ入力の固定位置。
電源			
DVDD	K2, K5, K6, K7, K8, K9, K10, K11, K12, K13, L2, L5, L6, L7, L8, L9, L10, L11, L12, L13	—	0.9V デジタル電源
VDD1P2FB	D14, D15, D16, E15, U14, U15, U16, T15	—	FB ADC 用 1.2V 電源。
VDD1P8FB	C15, C16, V15, V16	—	FB ADC 用 1.8V 電源。
VDD1P8FBCLK	A14, A17, Y17, Y14	—	FB ADC クロック用 1.8V 電源。
VDD1P2PLLCLKREF	K20, K18, L18	—	PLL 用 1.2V 電源。
VDDPLL1P2FBCML	L15	—	FB ADC に PLL クロックを分配するための 1.2V 電源。
VDDPLL1P2RXCML	K15	—	RX ADC にクロックを分配するための 1.2V 電源。
VDD1P8PLL	K16, L16	—	PLL 用 1.8V 電源
VDD1P8PLLVCO	L20	—	内部 PLL および VCO 用 1.8V 電源これは敏感なネットであり、レイアウトには特別な注意が必要です。
VDD1P2RX	A10, A13, E11, E12, E13, E14, F11, F12, F13, R11, R12, R13, T11, T12, T13, T14, Y10, Y13	—	RX ADC 用 1.2V 電源。
VDD1P8RX	C9, C10, C11, D9, D10, D11, E9, E10, F8, F9, F10, R8, R9, R10, T9, T10, U9, U10, U11, V9, V10, V11	—	RX ADC 用 1.8V 電源。
VDD1P8RXCLK	A6, A9, Y6, Y9	—	RX ADC クロック用 1.8V 電源。
VDD1P2TXENC	D17, U17	—	DAC エンコーダ用 1.2V 電源。
VDD1P2TXCLK	A20, D20, U20, Y20	—	DAC クロック用 1.2V 電源。
VDD1P8TX	E20, H20, N20, T20	—	DAC 用 1.8V 電源
VDD1P8TXDAC	G17, H17, N17, P17	—	DAC 用 1.8V 電源
VDD1P8GPIO	H6, N6	—	GPIO 用 1.8V 電源
VDDA1P8	F3, F4, H3, H4, R3, R4, N3, N4	—	SerDes 1.8V のアナログ電源。
VDDT0P9	D3, D4, U3, U4	—	SerDes デジタル 0.9V 電源。
グラウンド			
DGND	J5, J6, J7, J8, J9, J10, J11, J12, M5, M6, M7, M8, M9, M10, M11, M12	—	デジタル コア グラウンド
VSSGPIO	H5, N5	—	GPIO グラウンド。
VSSFB	B14, B15, B16, B17, C14, V14, W14, W15, W16, W17	—	FB ADC 電源用グラウンド。
VSSFBCLK	A18, B18, W18, Y18	—	FB ADC 1.8V クロック電源用グラウンド。
GND_ESD	D7, D8, J13, M13, U7, U8	—	ESD 保護回路用グラウンド。
VSSRX	B7, B8, B10, B11, B12, C12, D12, B13, C13, D13, W7, W8, W10, W11, W13, U12, V12, W12, U13, V13	—	RX ADC 用グラウンド。
VSSRXCLK	A5, B5, B6, B9, C7, C8, W5, W6, W9, Y5, V7, V8	—	RX ADC クロック用グラウンド。

表 4-1. ピンの機能 (続き)

ボール名	ボール番号	種類 ⁽¹⁾	説明
VSSTX	B19、C17、C18、C19、D18、E18、E19、F17、F18、F19、G18、G19、H18、H19、J20、M20、N18、N19、P18、P19、R17、R18、R19、T18、T19、U18、V17、V18、V19、W19	—	TX DAC 用グラウンド。
VSSTXENC	E16、E17、T16、T17	—	TX DAC エンコーダ用グラウンド。
VSSTXCLK	A19、D19、U19、Y19	—	TX DAC クロック用グラウンド。
VSSPLL	M19	—	PLL 用グラウンド。
VSSPLLFBCML	J16、M16	—	FB ADC クロック用グラウンド。
VSSPLLCLKREF	J18、M18	—	CLKREF PLL 用グラウンド。
VSSPLLRXCML	J17、M17	—	RX ADC クロック用グラウンド。
VSST	A1、A4、B2、B3、B4、C2、D1、D2、E2、F2、G1、G2、H2、J2、K1、K4、L1、L4、M2、N2、P1、P2、R2、T2、U1、U2、V2、W2、W3、W4、Y1、Y4	—	SerDes グラウンド。
その他			
IFORCE	G5	—	テキサス・インスツルメンツ専用に予約済み。接続しないでください。
PLL_LDOUT	J19	—	100nF のコンデンサを GND に接続
SerDes_AMUX1	K3	—	SerDes レーン 1～4 のアナログ テスト ピン。フローティングのままにできます。
SerDes_AMUX2	L3	—	SerDes レーン 5～8 のアナログ テスト ピン。フローティングのままにできます。
VSENSE	P5	—	プロセス テスト: 電圧検出 (テキサス・インスツルメンツ専用)。接続しないでください。

(1) 信号タイプ: I = 入力、O = 出力、I/O = 入力または出力。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧範囲	DVDD0P9、VDDT0P9	-0.3	1.2	V
	VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2PLL、VDD1P2PLLCLKREF、VDD1P2FB、VDD1P2FBCML、VDD1P2RXCML	-0.3	1.4	V
	VDD1P8RX、VDD1P8RXCLK、VDD1P8TX、VDD1P8TXDAC、VDD1P8TXENC、VDD1P8PLL、VDD1P8PLLVCO、VDD1P8FB、VDD1P8FBCML、VDD1P8GPIO、VDDA1P8	-0.5	2.1	V
ピン電圧範囲	{1/2/3/4}RXIN+/-	-0.5	VDDR1P8+0.3	V
	1FBIN+/-、2FB+/-	-0.5	VDDFB1P8+0.3	V
	{1/2/3/4}TXOUT+/-	-0.5	VDDTX1P8+0.3	V
	REFCLK+/-、SYSREF+/-	-0.3	1.4	V
	{1:8}SRX+/-	-0.3	1.4	V
	{1:8}STX+/-	-0.3	1.4	V
	GPIO{B/C/D/E}x、SPICLK、SPISDIO、SPISDO、SPISEN、RESETZ、BISTB0、BISTB1	-0.5	VDD1P8GPIO + 0.3	V
	IFORCE、VSENSE	-0.3	VDDCLK1P8 + 0.3	V
P _{MAX} (xRXIN+/-)	SRDAMUX1、SRDAMUX2	-0.3	VDDA1P8+0.3	V
	f _{IN} = 5MHz、DSA = 20dB		19.7	dBm
	f _{IN} = 30MHz、DSA = 20dB		17.8	
	f _{IN} = 410MHz、DSA = 20dB		17.6	
	f _{IN} = 830MHz、DSA = 20dB		16.7	
	f _{IN} = 1760MHz、DSA = 20dB		17.0	
	f _{IN} = 2610MHz、DSA = 20dB		18	
	f _{IN} = 3610MHz、DSA = 20dB		18.5	
	f _{IN} = 4910MHz、DSA = 20dB		19.3	
ピーク入力電流	任意の入力		20	mA
T _J	接合部温度		150	°C
T _{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、推奨動作条件に示されている条件を超える当該条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	1000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠、すべてのピン	150	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
DVDD0P9、VDDT0P9	電源電圧 0.9V	0.9	0.925	0.95	V
VDD1P2{RX/TXCLK/TXENC/FB/PLL/ PLLCLKREF/FBCML/RXCML}	電源電圧 1.2V	1.15	1.2	1.25	V
VDD1P8{RX/RXCLK/TX/TXDAC/ TXENC/PLL/PLLVCO/FB/FBCLK/ GPIO}, VDDA1P8	電源電圧 1.8V	1.75	1.8	1.85	V
T _A	周囲温度	-40		85	°C
T _J	動作時の接合部温度			110 ⁽¹⁾	°C
	最大動作接合部温度	125			°C

- (1) この接合部温度以上で長時間使用すると、デバイスの時間あたりの故障回数 (FIT) レートが上昇する可能性があります。詳細については、[SBAA403 アプリケーション ノート](#)を参照してください

5.4 熱に関する情報 (AFE79xx)

熱評価基準 ⁽¹⁾		17mm x 17mm FC-BGA	単位
		400 ピン	
R _{θJA}	接合部から周囲への熱抵抗	16.2	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	0.42	°C/W
R _{θJB}	接合部から基板への熱抵抗	4.85	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.12	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	4.6	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 トランスミッタの電气的特性

$T_A = +25^{\circ}\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^{\circ}\text{C} \sim T_{J,MAX} = +110^{\circ}\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$ (6GHz 以下の帯域で動作)、 $f_{DAC} = 9000\text{MSPS}$ (6GHz 以上)、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DAC _{RES}	DAC の分解能			14		ビット
f _{RFout}	RF 出力周波数範囲	f _{DAC} = 12GSPS、1 次ナイキスト	5		6000	MHz
		f _{DAC} = 9GSPS、1 次ナイキスト	5		4500	
		f _{DAC} = 9GSPS、2 次ナイキスト	4500		7400	
		f _{DAC} = 6GSPS、1 次ナイキスト	5		3000	
		f _{DAC} = 6GSPS、2 次ナイキスト	3000		6000	
P _{max_FS}	デバイス ピンでの最大フルスケール出力電力、最大ゲインの 1 トーン	f _{out} = 10MHz、f _{DAC} = 6GSPS、-0.1dBFS		6.5		dBm
		f _{out} = 30MHz、f _{DAC} = 6GSPS、-0.1dBFS		6.5		dBm
		f _{out} = 400MHz、f _{DAC} = 6GSPS、-0.1dBFS		5.6		dBm
		f _{OUT} = 850MHz、f _{DAC} = 5898.24MSPS、-0.5dBFS		4.3		dBm
		f _{OUT} = 1800MHz、f _{DAC} = 5898.24MSPS、-0.5dBFS		3.2		dBm
		f _{OUT} = 2600MHz、f _{DAC} = 8847.36MSPS、-0.5dBFS		2.3		dBm
		f _{OUT} = 3500MHz、-0.5dBFS		2.9		dBm
		f _{OUT} = 4900MHz、-0.5dBFS		-0.6		dBm
		f _{OUT} = 3500MHz、f _{DAC} = 5898.24MSPS、-0.5dBFS、ストレート モード		-2.3		dBm
		f _{OUT} = 4900MHz、f _{DAC} = 5898.24MSPS、-0.5dBFS、ストレート モード		-3.4		dBm
		f _{OUT} = 4900MHz、f _{DAC} = 8847.36MSPS、-0.5dBFS、ストレート モード		-3.9		dBm
R _{TERM}	出力の終端抵抗	デフォルト設定		100		Ω
ATT _{range}	DSA 減衰範囲			40		dB
ATT _{step}	DSA アナログ減衰ステップ			1.0		dB
	DSA 減衰ステップ精度 (DNL) ⁽²⁾	0 < 減衰 < 40dB、キャリブレーション後		±0.1		dB
		0 < 減衰 < 40dB、キャリブレーション前		±0.2		
ATT _{step}	DSA ゲイン ステップ位相精度、任意の 8dB レンジ ⁽²⁾	f _{out} = 30MHz		±1		度
		f _{out} = 400MHz		±1		度
		f _{out} = 850MHz		±1		度
		f _{out} = 1800MHz		±1		度
		f _{out} = 2600MHz		±1		度
		f _{out} = 3500MHz		±1		
		f _{out} = 4900MHz		±1		

5.5 トランスミッタの電気的特性 (続き)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$ (6GHz 以下の帯域で動作)、 $f_{DAC} = 9000\text{MSPS}$ (6GHz 以上)、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
G_{flat}	ゲイン平坦性	任意の 20MHz		0.1		dB
		600MHz 帯域帯、 $F_{out} < 4.9\text{G}$		1.2		
IMD3	3 次相互変調歪	$f_{DAC} = 6\text{GSPS}$ 、 $f_{out} = 5\text{MHz} \pm 1\text{MHz}$ 、各トーン -7dBFS		-48		dBc
		$f_{DAC} = 6\text{GSPS}$ 、 $f_{out} = 30\text{MHz} \pm 1\text{MHz}$ 、各トーン -7dBFS		-47		dBc
		$f_{DAC} = 6\text{GSPS}$ 、 $f_{out} = 400\text{MHz} \pm 2\text{MHz}$ 、各トーン -7dBFS		-51		dBc
		$f_{out} = 850\text{MHz} \pm 10\text{MHz}$ 、各トーン -7dBFS		-61		dBc
		$f_{out} = 1800\text{MHz} \pm 10\text{MHz}$ 、各トーン -7dBFS		-62		dBc
		$f_{out} = 2600\text{MHz} \pm 10\text{MHz}$ 、各トーン -7dBFS		-64		dBc
		$f_{out} = 3500\text{MHz} \pm 10\text{MHz}$ 、各トーン -7dBFS		-63		dBc
		$f_{out} = 4900\text{MHz} \pm 10\text{MHz}$ 、各トーン -7dBFS		-64		dBc
		$f_{out} = 5\text{MHz} \pm 1\text{MHz}$ 、各トーン -13dBFS		-72		dBc
		$f_{DAC} = 6\text{GSPS}$ 、 $f_{out} = 30\text{MHz} \pm 1\text{MHz}$ 、各トーン -13dBFS		-71		dBc
		$f_{DAC} = 6\text{GSPS}$ 、 $f_{out} = 400\text{MHz} \pm 2\text{MHz}$ 、各トーン -13dBFS		-72		dBc
		$f_{out} = 850\text{MHz} \pm 10\text{MHz}$ 、各トーン -13dBFS		-73		dBc
		$f_{out} = 1800\text{MHz} \pm 10\text{MHz}$ 、各トーン -13dBFS		-75		dBc
		$f_{out} = 2600\text{MHz} \pm 10\text{MHz}$ 、各トーン -13dBFS		-79		dBc
		$f_{out} = 3500\text{MHz} \pm 10\text{MHz}$ 、各トーン -13dBFS		-77		dBc
		$f_{out} = 4900\text{MHz} \pm 10\text{MHz}$ 、各トーン -13dBFS		-77		dBc

5.5 トランスミッタの電気的特性 (続き)

$T_A = +25^{\circ}\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^{\circ}\text{C} \sim T_{J,MAX} = +110^{\circ}\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$ (6GHz 以下の帯域で動作)、 $f_{DAC} = 9000\text{MSPS}$ (6GHz 以上)、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
SFDR	スプリアス フリー ダイナミックレンジ (ナイキストゾーン内)	$f_{out} = 30\text{MHz}$ 、 $f_{DAC} = 6000\text{MSPS}$ 、インターリーブ モード、20Gbps SerDes レート		45		dBc
		$f_{out} = 400\text{MHz}$ 、 $f_{DAC} = 6000\text{MSPS}$ 、インターリーブ モード、20Gbps SerDes レート		48		dBc
		$f_{out} = 850\text{MHz}$ 、 $f_{DAC} = 11796.48\text{MSPS}$		62		dBc
		$f_{out} = 1800\text{MHz}$ 、 $f_{DAC} = 11796.48\text{MSPS}$		56		dBc
		$f_{out} = 2600\text{MHz}$ 、 $f_{DAC} = 11796.48\text{MSPS}$		39		dBc
		$f_{out} = 3500\text{MHz}$ 、 $f_{DAC} = 11796.48\text{MSPS}$		42		dBc
		$f_{out} = 4900\text{MHz}$ 、 $f_{DAC} = 11796.48\text{MSPS}$		60		dBc
$f_s/2 - f_{OUT}$	インターリーブリング イメージ	$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブ モード		-47		dBc
		$f_{DAC} = 8847.36\text{MSPS}$ 、インターリーブ モード		-43		dBc
		$f_{DAC} = 11796.48\text{MSPS}$ 、インターリーブ モード		-43		dBc
HD2	2 次高調波歪み (ナイキストゾーン内)	$f_{DAC} = 6\text{GSPS}$ 、 $f_{out} = 5\text{MHz}$		-72		dBc
		$f_{DAC} = 6\text{GSPS}$ 、 $f_{out} = 30\text{MHz}$		-75		dBc
		$f_{DAC} = 6\text{GSPS}$ 、 $f_{out} = 100\text{MHz}$		-73		dBc
		$f_{OUT} = 400\text{MHz}$		-46		dBc
		$f_{OUT} = 850\text{MHz}$		-65		dBc
		$f_{out} = 1800\text{MHz}$		-68		dBc
		$f_{OUT} = 2600\text{MHz}$		-47		dBc
		$f_{OUT} = 3500\text{MHz}$		-59		dBc
		$f_{OUT} = 4900\text{MHz}$		-48		dBc
		$f_{OUT} = 850\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$		-74		dBc
		$f_{OUT} = 1800\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$		-67		dBc
		$f_{OUT} = 2600\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$		-58		dBc
		$f_{OUT} = 3500\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$		-69		dBc
		$f_{OUT} = 4900\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$		-59		dBc

5.5 トランスミッタの電気的特性 (続き)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$ (6GHz 以下の帯域で動作)、 $f_{DAC} = 9000\text{MSPS}$ (6GHz 以上)、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HD3	3 次高調波歪み (ナイキストゾーン内)	$f_{DAC} = 6\text{GSPS}$, $f_{out} = 5\text{MHz}$		-46		dBc
		$f_{DAC} = 6\text{GSPS}$, $f_{out} = 30\text{MHz}$		-48		dBc
		$f_{DAC} = 6\text{GSPS}$, $f_{out} = 100\text{MHz}$		-49		dBc
		$f_{DAC} = 6\text{GSPS}$, $f_{out} = 400\text{MHz}$		-49		dBc
		$f_{OUT} = 850\text{MHz}$		-56		dBc
		$f_{out} = 1800\text{MHz}$		-58		dBc
		$f_{OUT} = 2600\text{MHz}$		-60		dBc
		$f_{OUT} = 3500\text{MHz}$		-63		dBc
		$f_{OUT} = 4900\text{MHz}$		-66		dBc
		$f_{DAC} = 6\text{GSPS}$, $f_{out} = 5\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-83		dBc
		$f_{DAC} = 6\text{GSPS}$, $f_{out} = 30\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-83		dBc
		$f_{DAC} = 6\text{GSPS}$, $f_{out} = 100\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-82		dBc
		$f_{DAC} = 6\text{GSPS}$, $f_{out} = 400\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-79		dBc
		$f_{OUT} = 850\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-87		dBc
		$f_{OUT} = 1800\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-84		dBc
		$f_{OUT} = 2600\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-79		dBc
		$f_{OUT} = 3500\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-84		dBc
		$f_{OUT} = 4900\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-88		dBc

5.5 トランスミッタの電氣的特性 (続き)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$ (6GHz 以下の帯域で動作)、 $f_{DAC} = 9000\text{MSPS}$ (6GHz 以上)、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ	テスト条件	最小値	標準値	最大値	単位
HDn, $n \geq 4$	$f_{DAC} = 6\text{GSPS}$, $f_{out} = 5\text{MHz}$		-58		dBc
	$f_{DAC} = 6\text{GSPS}$, $f_{out} = 30\text{MHz}$		-60		dBc
	$f_{DAC} = 6\text{GSPS}$, $f_{out} = 100\text{MHz}$		-61		dBc
	$f_{DAC} = 6\text{GSPS}$, $f_{out} = 400\text{MHz}$		-50		dBc
	$f_{OUT} = 850\text{MHz}$		-85		dBc
	$f_{out} = 1800\text{MHz}$		-90		dBc
	$f_{OUT} = 2600\text{MHz}$		-84		dBc
	$f_{OUT} = 3500\text{MHz}$		-86		dBc
	$f_{OUT} = 4900\text{MHz}$		-87		dBc
	$f_{DAC} = 6\text{GSPS}$, $f_{out} = 5\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-92		dBc
	$f_{DAC} = 6\text{GSPS}$, $f_{out} = 30\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-94		dBc
	$f_{DAC} = 6\text{GSPS}$, $f_{out} = 100\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-93		dBc
	$f_{DAC} = 6\text{GSPS}$, $f_{out} = 400\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-85		dBc
	$f_{OUT} = 850\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-89		dBc
	$f_{OUT} = 1800\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-92		dBc
	$f_{OUT} = 2600\text{MHz}$, $A_{OUT} = -12\text{dBFS}$		-87		dBc
SFDR +/- 250MHz	$f_{DAC} = 6\text{GSPS}$, $f_{out} = 400\text{MHz}$		87		dBc
	$f_{out} = 850\text{MHz}$, $f_{DAC} = 11796.48\text{MSPS}$		84		dBc
	$f_{out} = 1800\text{MHz}$, $f_{DAC} = 11796.48\text{MSPS}$		78		dBc
	$f_{out} = 2600\text{MHz}$, $f_{DAC} = 11796.48\text{MSPS}$		80		dBc
	$f_{out} = 3500\text{MHz}$, $f_{DAC} = 11796.48\text{MSPS}$		81		dBc
	$f_{out} = 4900\text{MHz}$, $f_{DAC} = 11796.48\text{MSPS}$		74		dBc
$f_s/4$	$f_{DAC} = 5898.24\text{MSPS}$, $f_{OUT} = f_{DAC}/4$ -50MHz		-95		dBFS
	$f_{DAC} = 8847.36\text{MSPS}$, $f_{OUT} = f_{DAC}/4$ -50MHz		-88		dBFS
	$f_{DAC} = 11796.48\text{MSPS}$, $f_{OUT} = f_{DAC}/4$ -50MHz		-76		dBFS
$f_s/2$	$f_{DAC} = 5898.24\text{MSPS}$, $f_{OUT} = f_{DAC}/2$ -50MHz		-52		dBFS
	$f_{DAC} = 8847.36\text{MSPS}$, $f_{OUT} = f_{DAC}/2$ -50MHz		-45		dBFS
	$f_{DAC} = 11796.48\text{MSPS}$, $f_{OUT} = f_{DAC}/2$ -50MHz		-49		dBFS

5.5 トランスミッタの電気的特性 (続き)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$ (6GHz 以下の帯域で動作)、 $f_{DAC} = 9000\text{MSPS}$ (6GHz 以上)、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$3*f_s/4$	固定スプリアス	2 次ナイキスト、 $f_{DAC} = 5898.24\text{MSPS}$ 、 $f_{OUT} = 3 * f_{DAC}/4 - 50\text{MHz}$		-82		dBFS
		2 次ナイキスト、 $f_{DAC} = 8847.36\text{MSPS}$ 、 $f_{OUT} = 3 * f_{DAC}/4 - 50\text{MHz}$		-75		dBFS
		2 次ナイキスト、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $f_{OUT} = 3 * f_{DAC}/4 - 50\text{MHz}$		-49		dBFS
ACPR _{1xcarr}	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア $f_{OUT} = 0.85\text{GHz}$	減衰 = 0dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-70		dBc
		減衰 = 20dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-66		dBc
		減衰 = 28dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-62		dBc
		減衰 = 39dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-51		dBc
ACPR _{1xcarr}	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア $f_{OUT} = 1.8425\text{GHz}$	減衰 = 0dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-71		dBc
		減衰 = 20dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-66		dBc
		減衰 = 28dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-61		dBc
		減衰 = 39dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-50		dBc
ACPR _{1xcarr}	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア $f_{OUT} = 2.6\text{GHz}$	減衰 = 0dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-72		dBc
		減衰 = 20dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-66		dBc
		減衰 = 28dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-60		dBc
		減衰 = 39dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-49		dBc
ACPR _{1xcarr}	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア $f_{OUT} = 3.5\text{GHz}$	減衰 = 0dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-71		dBc
		減衰 = 20dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-65		dBc
		減衰 = 28dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-58		dBc
		減衰 = 39dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-47		dBc
ACPR _{1xcarr}	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア $f_{OUT} = 4.9\text{GHz}$	減衰 = 0dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-69		dBc
		減衰 = 20dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-64		dBc
		減衰 = 28dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-58		dBc
		減衰 = 39dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-47		dBc

5.5 トランスミッタの電気的特性 (続き)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$ (6GHz 以下の帯域で動作)、 $f_{DAC} = 9000\text{MSPS}$ (6GHz 以上)、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ACPR _{1xcarr}	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア $f_{OUT} = 2.6\text{GHz}$	減衰 = 0dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-65		dBc
		減衰 = 20dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-59		dBc
		減衰 = 28dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-53		dBc
		減衰 = 39dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-41		dBc
ACPR _{1xcarr}	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア $f_{OUT} = 3.5\text{GHz}$	減衰 = 0dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-63		dBc
		減衰 = 20dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-56		dBc
		減衰 = 28dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-49		dBc
		減衰 = 39dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-38		dBc
ACPR _{1xcarr}	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア $f_{OUT} = 4.9\text{GHz}$	減衰 = 0dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-63		dBc
		減衰 = 20dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-56		dBc
		減衰 = 28dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-51		dBc
		減衰 = 39dB、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{out} = -13\text{dBFS}$		-41		dBc
EVM	エラー ベクトル 振幅、1x 20MHz E-TM3.1/3.1a、リファレンスなし、クロック ノイズ	$F_{out} = 0.85\text{GHz}$ 、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{OUT} = -13\text{dBFS}$		0.16		%
		$F_{out} = 1.8425\text{GHz}$ 、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{OUT} = -13\text{dBFS}$		0.21		%
		$F_{out} = 2.6\text{GHz}$ 、 $f_{DAC} = 11796.48\text{MSPS}$ 、 $P_{OUT} = -13\text{dBFS}$		0.24		%
		$F_{out} = 3.5\text{GHz}$ 、 $P_{OUT} = -13\text{dBFS}$		0.27		%
		$F_{out} = 4.9\text{GHz}$ 、 $P_{OUT} = -13\text{dBFS}$		0.38		%
NSD _{dBFS}	ノイズ スペクトル 密度 20MHz オフセット $f_{OUT} = 5\text{MHz}$	Atten=0dB、 $f_{DAC} = 6000\text{MSPS}$ 、20Gbps SerDes レート、 $P_{out} = -12\text{dBFS}$		-148		dBFS/Hz
		Atten=20dB、 $f_{DAC} = 6000\text{MSPS}$ 、20Gbps SerDes レート、 $P_{out} = -12\text{dBFS}$		-143		dBFS/Hz
		Atten=28dB、 $f_{DAC} = 6000\text{MSPS}$ 、20Gbps SerDes レート、 $P_{out} = -12\text{dBFS}$		-139		dBFS/Hz
		Atten=39dB、 $f_{DAC} = 6000\text{MSPS}$ 、20Gbps SerDes レート、 $P_{out} = -12\text{dBFS}$		-129		dBFS/Hz

5.5 トランスミッタの電気的特性 (続き)

$T_A = +25^{\circ}\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^{\circ}\text{C} \sim T_{J,MAX} = +110^{\circ}\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$ (6GHz 以下の帯域で動作)、 $f_{DAC} = 9000\text{MSPS}$ (6GHz 以上)、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD _{dBFS}	ノイズ スペクトル密度 20MHz オフセット $f_{OUT} = 30\text{MHz}$	Atten=0dB, $f_{DAC} = 6000\text{MSPS}$ 、 20Gbps SerDes レート、Pout=-12dBFS		-154		dBFS/ Hz
		Atten=20dB, $f_{DAC} = 6000\text{MSPS}$ 、 20Gbps SerDes レート、Pout=-12dBFS		-146		dBFS/ Hz
		Atten=28dB, $f_{DAC} = 6000\text{MSPS}$ 、 20Gbps SerDes レート、Pout=-12dBFS		-142		dBFS/ Hz
		Atten=39dB, $f_{DAC} = 6000\text{MSPS}$ 、 20Gbps SerDes レート、Pout=-12dBFS		-132		dBFS/ Hz
NSD _{dBFS}	ノイズ スペクトル密度 20MHz オフセット $f_{OUT} = 100\text{MHz}$	Atten=0dB, $f_{DAC} = 6000\text{MSPS}$ 、 20Gbps SerDes レート、Pout=-12dBFS		-158		dBFS/ Hz
		Atten=20dB, $f_{DAC} = 6000\text{MSPS}$ 、 20Gbps SerDes レート、Pout=-12dBFS		-150		dBFS/ Hz
		Atten=28dB, $f_{DAC} = 6000\text{MSPS}$ 、 20Gbps SerDes レート、Pout=-12dBFS		-146		dBFS/ Hz
		Atten=39dB, $f_{DAC} = 6000\text{MSPS}$ 、 20Gbps SerDes レート、Pout=-12dBFS		-136		dBFS/ Hz
NSD _{dBFS}	ノイズ スペクトル密度 20MHz オフセット $f_{OUT} = 400\text{MHz}$	Atten=0dB, $f_{DAC} = 6000\text{MSPS}$ 、 20Gbps SerDes レート、Pout=-12dBFS		-160		dBFS/ Hz
		Atten=20dB, $f_{DAC} = 6000\text{MSPS}$ 、 20Gbps SerDes レート、Pout=-12dBFS		-153		dBFS/ Hz
		Atten=28dB, $f_{DAC} = 6000\text{MSPS}$ 、 20Gbps SerDes レート、Pout=-12dBFS		-150		dBFS/ Hz
		Atten=39dB, $f_{DAC} = 6000\text{MSPS}$ 、 20Gbps SerDes レート、Pout=-12dBFS		-139		dBFS/ Hz
NSD _{dBFS}	ノイズ スペクトル密度 20MHz オフセット $f_{OUT} = 0.85\text{GHz}$	減衰 = 0dB, $f_{DAC} = 5898.24\text{MSPS}$ 、 Pout = -13dBFS		-158.8		dBFS/ Hz
		減衰 = 20dB, $f_{DAC} = 5898.24\text{MSPS}$ 、 Pout = -13dBFS		-152.7		dBFS/ Hz
		減衰 = 28dB, $f_{DAC} = 5898.24\text{MSPS}$ 、 Pout = -13dBFS		-148.7		dBFS/ Hz
		減衰 = 39dB, $f_{DAC} = 5898.24\text{MSPS}$ 、 Pout = -13dBFS		-137.9		dBFS/ Hz
NSD _{dBFS}	ノイズ スペクトル密度 20MHz オフセット $f_{OUT} = 1.8\text{GHz}$	減衰 = 0dB, $f_{DAC} = 5898.24\text{MSPS}$ 、 Pout = -13dBFS		-157.9		dBFS/ Hz
		減衰 = 20dB, $f_{DAC} = 5898.24\text{MSPS}$ 、 Pout = -13dBFS		-151.3		dBFS/ Hz
		減衰 = 28dB, $f_{DAC} = 5898.24\text{MSPS}$ 、 Pout = -13dBFS		-145.6		dBFS/ Hz
		減衰 = 39dB, $f_{DAC} = 5898.24\text{MSPS}$ 、 Pout = -13dBFS		-134.8		dBFS/ Hz

5.5 トランスミッタの電气的特性 (続き)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,\text{MIN}} = -40^\circ\text{C} \sim T_{J,\text{MAX}} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (6GHz 以下の帯域で動作)、 $f_{\text{DAC}} = 9000\text{MSPS}$ (6GHz 以上)、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD _{dBFS}	ノイズ スペクトル密度 20MHz オフセット $f_{\text{OUT}} = 2.6\text{GHz}$	減衰 = 0dB, $f_{\text{DAC}} = 8847.36\text{MSPS}$ 、 Pout = -13dBFS		-158.3		dBFS/ Hz
		減衰 = 20dB, $f_{\text{DAC}} = 8847.36\text{MSPS}$ 、 Pout = -13dBFS		-151.6		dBFS/ Hz
		減衰 = 28dB, $f_{\text{DAC}} = 8847.36\text{MSPS}$ 、 Pout = -13dBFS		-144.9		dBFS/ Hz
		減衰 = 39dB, $f_{\text{DAC}} = 8847.36\text{MSPS}$ 、 Pout = -13dBFS		-134.0		dBFS/ Hz
NSD _{dBFS}	ノイズ スペクトル密度 20MHz オフセット $F_{\text{OUT}} = 3.5\text{GHz}$	減衰 = 0dB, $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、 Pout = -13dBFS		-158.2		dBFS/ Hz
		減衰 = 20dB, $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、 Pout = -13dBFS		-150.9		dBFS/ Hz
		減衰 = 28dB, $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、 Pout = -13dBFS		-144.4		dBFS/ Hz
		減衰 = 39dB, $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、 Pout = -13dBFS		-133.4		dBFS/ Hz
NSD _{dBFS}	ノイズ スペクトル密度 20MHz オフセット $F_{\text{OUT}} = 4.9\text{GHz}$	減衰 = 0dB, $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、 Pout = -13dBFS		-154.6		dBFS/ Hz
		減衰 = 20dB, $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、 Pout = -13dBFS		-147.0		dBFS/ Hz
		減衰 = 28dB, $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、 Pout = -13dBFS		-140.7		dBFS/ Hz
		減衰 = 39dB, $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、 Pout = -13dBFS		-129.9		dBFS/ Hz
S22	出力リターン ロス、+/- $f_c \times 10\%$	マッチングを使用		-12		dB
絶縁	ニア チャンネル: 1TXOUT から 2TXOUT、または 3TXOUT から 4TXOUT ⁽¹⁾	$f_{\text{out}} = 10\text{MHz}$, $f_{\text{DAC}} = 6000\text{MSPS}$ 、ストレート モード ⁽³⁾		-96		dB
		$f_{\text{out}} = 30\text{MHz}$, $f_{\text{DAC}} = 6000\text{MSPS}$ 、ストレート モード ⁽³⁾		-97		dB
		$f_{\text{out}} = 100\text{MHz}$, $f_{\text{DAC}} = 6000\text{MSPS}$ 、ストレート モード ⁽³⁾		-102		dB
		$f_{\text{out}} = 400\text{MHz}$, $f_{\text{DAC}} = 6000\text{MSPS}$ 、ストレート モード ⁽⁴⁾		-85		dB
		$f_{\text{OUT}} = 900\text{MHz}$, $f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート モード		-80		dB
		$f_{\text{out}} = 1850\text{MHz}$, $f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート モード		-77		dB
		$f_{\text{out}} = 2600\text{MHz}$, $f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート モード		-64		dB
		$f_{\text{out}} = 3500\text{MHz}$, $f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート モード		-61		dB
		$f_{\text{out}} = 4900\text{MHz}$, $f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート モード		-60		dB

5.5 トランスミッタの電気的特性 (続き)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$ (6GHz 以下の帯域で動作)、 $f_{DAC} = 9000\text{MSPS}$ (6GHz 以上)、PLL クロック モード (出力周波数 6GHz 未満) および外部クロック モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
絶縁	フアー チャンネル: 1/2TXOUT から 3/4TXOUT	$f_{out} = 10\text{MHz}$, $f_{DAC} = 6000\text{MSPS}$, ストレート モード ⁽³⁾		-104		dB
		$f_{out} = 30\text{MHz}$, $f_{DAC} = 6000\text{MSPS}$, ストレート モード ⁽³⁾		-100		dB
		$f_{out} = 100\text{MHz}$, $f_{DAC} = 6000\text{MSPS}$, ストレート モード ⁽³⁾		-105		dB
		$f_{out} = 400\text{MHz}$, $f_{DAC} = 6000\text{MSPS}$, ストレート モード ⁽⁴⁾		-97		dB
		$f_{OUT} = 900\text{MHz}$, $f_{DAC} = 8847.36\text{MSPS}$, ストレート モード		-90		dB
		$f_{out} = 1850\text{MHz}$, $f_{DAC} = 8847.36\text{MSPS}$, ストレート モード		-91		dB
		$f_{out} = 2600\text{MHz}$, $f_{DAC} = 8847.36\text{MSPS}$, ストレート モード		-93		dB
		$f_{out} = 3500\text{MHz}$, $f_{DAC} = 8847.36\text{MSPS}$, ストレート モード		-94		dB
		$f_{out} = 4900\text{MHz}$, $f_{DAC} = 8847.36\text{MSPS}$, ストレート モード		-83.2		dB
PN _{TXADD}	追加の位相ノイズの外部クロック モード ⁽⁵⁾	$f_{OUT} = 3.7\text{GHz}$, $f_{OFFSET} = 100\text{Hz}$		-97		dBc/Hz
		$f_{OUT} = 3.7\text{GHz}$, $f_{OFFSET} = 1\text{kHz}$		-106		dBc/Hz
		$f_{OUT} = 3.7\text{GHz}$, $f_{OFFSET} = 10\text{kHz}$		-117		dBc/Hz
		$f_{OUT} = 3.7\text{GHz}$, $f_{OFFSET} = 100\text{kHz}$		-128		dBc/Hz
		$f_{OUT} = 3.7\text{GHz}$, $f_{OFFSET} = 1\text{MHz}$		-138		dBc/Hz
		$f_{OUT} = 3.7\text{GHz}$, $f_{OFFSET} = 10\text{MHz}$		-144		dBc/Hz

- (1) TxP/M で 100 オームの差動を使用して測定されます。各ピンで各 TxP/M に対する DC バイアスは 1.8V に維持され、削除されません。TX パス上の他の外部コンポーネントは切断されます。
- (2) DSA キャリブレーション手順の後
- (3) 1 μH の DC フィード インダクタを使用して測定
- (4) 0.39 μH の DC フィード インダクタを使用して測定
- (5) 入力クロック位相ノイズを減算しました。

5.6 RF ADC の電気的特性

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、RX 入力レート = 491.52MSPS、 $f_{ADC} = 2949.12\text{MSPS}$ インターリーブ モード、 $f_{REF} = 491.52\text{MHz}$ での PLL クロック モード、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ADC _{RES}	ADC の分解能			14		ビット
F _{RFin}	RF 入力周波数範囲		5		7400	MHz
P _{FS_CW,min}	デバイス ピンでの最小フルスケール入力電力 (1)	$f_{IN} = 5\text{MHz}$ 、DSA = 0dB、 $f_{ADC} = 1500\text{MSPS}$ 、 $f_{NCO} = 17\text{MHz}$ 、48 でデシメーション		-0.4		dBm
		$f_{IN} = 30\text{MHz}$ 、DSA = 0dB、 $f_{ADC} = 1500\text{MSPS}$ 、 $f_{NCO} = 30\text{MHz}$ 、24 でデシメーション		-2.2		dBm
		$f_{IN} = 410\text{MHz}$ 、DSA = 0dB、 $f_{ADC} = 3000\text{MSPS}$ 、 $f_{NCO} = 400\text{MHz}$ 、12 でデシメーション		-2.5		dBm
		$f_{IN} = 830\text{MHz}$ 、DSA = 0dB		-2.9		dBm
		$f_{IN} = 1760\text{MHz}$ 、DSA = 0dB		-2.8		dBm
		$f_{IN} = 2610\text{MHz}$ 、DSA = 0dB		-1.8		dBm
		$f_{IN} = 3610\text{MHz}$ 、DSA = 0dB		-0.4		dBm
		$f_{IN} = 4910\text{MHz}$ 、DSA = 0dB		0.1		dBm
R _{TERM}	入力リファレンス インピーダンス			100.0		Ω
ATT _{range}	DSA 減衰範囲			25.0		dB
ATT _{step}	DSA 減衰ステップ			0.5		dB
	DSA 減衰ステップ精度	デルタ = $G_{att}(X) - G_{att}(X - 1)$ 、 $F_{in} = 3610\text{MHz}$ 、キャリブレーション後		0.1		dB
	DSA ゲイン ステップ位相精度 任意の 8dB レンジ	$F_{in} = 3610\text{MHz}$ 、キャリブレーション後		0.9		度
	DSA ゲイン ステップ位相精度 任意の 8dB レンジ	$F_{in} = 4910\text{MHz}$ 、キャリブレーション後		1.8		度
G _{flat}	ゲイン平坦性	80MHz 帯域幅で測定		0.2		dB
		200MHz 帯域幅で測定		0.5		dB
		400MHz 帯域幅で測定		1.1		dB

5.6 RF ADC の電気的特性 (続き)

$T_A = +25^{\circ}\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^{\circ}\text{C} \sim T_{J,MAX} = +110^{\circ}\text{C}$ 、RX 入力レート = 491.52MSPS、 $f_{ADC} = 2949.12\text{MSPS}$ インターリーブ モード、 $f_{REF} = 491.52\text{MHz}$ での PLL クロック モード、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズ密度 ⁽³⁾ (小信号 = -30dBFS)	$f_{IN} = 5\text{MHz}$ 、 $DSA = 3\text{dB}$ 、 $f_{ADC} = 1500\text{MSPS}$ 、 $f_{NCO} = 17\text{MHz}$ 、48 でデシメーション		-147.1		dBFS/Hz
		$f_{IN} = 30\text{MHz}$ 、 $DSA = 3\text{dB}$ 、 $f_{ADC} = 1500\text{MSPS}$ 、 $f_{NCO} = 30\text{MHz}$ 、24 でデシメーション		-150.7		dBFS/Hz
		$f_{IN} = 410\text{MHz}$ 、 $DSA = 3\text{dB}$ 、 $f_{ADC} = 3000\text{MSPS}$ 、 $f_{NCO} = 400\text{MHz}$ 、24 でデシメーション		-155.4		dBFS/Hz
		$f_{IN} = 830\text{MHz}$ 、 $DSA = 3\text{dB}$		-156.2		dBFS/Hz
		$f_{IN} = 1760\text{MHz}$ 、 $DSA = 3\text{dB}$		-156.0		dBFS/Hz
		$f_{IN} = 2610\text{MHz}$ 、 $DSA = 3\text{dB}$		-155.4		dBFS/Hz
		$f_{IN} = 3610\text{MHz}$ 、 $DSA = 3\text{dB}$		-155.1		dBFS/Hz
		$f_{IN} = 4910\text{MHz}$ 、 $DSA = 3\text{dB}$		-155.1		dBFS/Hz
		$f_{IN} = 5\text{MHz}$ 、 $f_{ADC} = 1500\text{MSPS}$ 、 $f_{NCO} = 17\text{MHz}$ 、48 でデシメーション、3 ≤ 減衰 ≤ 22		-147.8		dBFS/Hz
		$f_{IN} = 30\text{MHz}$ 、 $f_{ADC} = 1500\text{MSPS}$ 、 $f_{NCO} = 30\text{MHz}$ 、24 でデシメーション、3 ≤ 減衰 ≤ 22		-151.5		dBFS/Hz
		$f_{IN} = 410\text{MHz}$ 、3 ≤ 減衰 ≤ 22、 $f_{ADC} = 3000\text{MSPS}$ 、 $f_{NCO} = 400\text{MHz}$ 、24 でデシメーション		-156.6		dBFS/Hz
		$f_{IN} = 830\text{MHz}$ 、3 ≤ 減衰 ≤ 22		-156.0		dBFS/Hz
		$f_{IN} = 1760\text{MHz}$ 、3 ≤ 減衰 ≤ 25		-155.8		dBFS/Hz
		$f_{IN} = 2610\text{MHz}$ 、3 ≤ 減衰 ≤ 25		-155.7		dBFS/Hz
		$f_{IN} = 3610\text{MHz}$ 、3 ≤ 減衰 ≤ 25		-155.4		dBFS/Hz
		$f_{IN} = 4910\text{MHz}$ 、3 ≤ 減衰 ≤ 25		-155.8		dBFS/Hz
NF _{min}	ノイズ指数最小値 DSA 減衰 = 0 ~ 3dB	$f_{IN} = 5\text{MHz}$ 、 $f_{ADC} = 1500\text{MSPS}$ 、 $f_{NCO} = 17\text{MHz}$ 、48 でデシメーション		29.4		dB
		$f_{IN} = 30\text{MHz}$ 、 $f_{ADC} = 1500\text{MSPS}$ 、 $f_{NCO} = 30\text{MHz}$ 、24 でデシメーション		24.5		dB
		$f_{IN} = 410\text{MHz}$ 、 $f_{ADC} = 3000\text{MSPS}$ 、 $f_{NCO} = 400\text{MHz}$ 、24 でデシメーション		19.3		dB
		$f_{IN} = 830\text{MHz}$		19.1		dB
		$f_{IN} = 1760\text{MHz}$		19.0		dB
		$f_{IN} = 2610\text{MHz}$		20.9		dB
		$f_{IN} = 3610\text{MHz}$		22.8		dB
		$f_{IN} = 4910\text{MHz}$		22.4		dB

5.6 RF ADC の電気的特性 (続き)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、RX 入力レート = 491.52MSPS、 $f_{ADC} = 2949.12\text{MSPS}$ インターリーブ モード、 $f_{REF} = 491.52\text{MHz}$ での PLL クロック モード、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
NF	ノイズ指数 ⁽⁴⁾ DSA 減衰 = 4dB	$f_{IN} = 5\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 17\text{MHz}$, 48 でデシメーション		30.6		dB
		$f_{IN} = 30\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 30\text{MHz}$, 24 でデシメーション		25.1		dB
		$f_{IN} = 410\text{MHz}$, $f_{ADC} = 3000\text{MSPS}$, $f_{NCO} = 400\text{MHz}$, 24 でデシメーション		20.1		dB
		$f_{IN} = 830\text{MHz}$		20.0		dB
		$f_{IN} = 1760\text{MHz}$		20.6		dB
		$f_{IN} = 2610\text{MHz}$		21.9		dB
		$f_{IN} = 3610\text{MHz}$		23.5		dB
		$f_{IN} = 4910\text{MHz}$		22.3		dB
NF _{max}	ノイズ指数 DSA 減衰 = 20dB	$f_{IN} = 5\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 17\text{MHz}$, 48 でデシメーション		45.9		dB
		$f_{IN} = 30\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 30\text{MHz}$, 24 でデシメーション		40.2		dB
		$f_{IN} = 410\text{MHz}$, $f_{ADC} = 3000\text{MSPS}$, $f_{NCO} = 400\text{MHz}$, 24 でデシメーション		35.0		dB
		$f_{IN} = 830\text{MHz}$		34.7		dB
		$f_{IN} = 1760\text{MHz}$		35.2		dB
		$f_{IN} = 2610\text{MHz}$		36.0		dB
		$f_{IN} = 3610\text{MHz}$		37.3		dB
		$f_{IN} = 4910\text{MHz}$		37.6		dB
IMD3	3 次相互変調、 $f_{IN} \pm 10\text{MHz}$ で 2 トーン 各トーン -7dBFS	$f_{IN} = 30 \pm 1\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 30\text{MHz}$, 24 でデシメーション		-82		dBc
		$f_{IN} = 400\text{MHz}$ および 405MHz , $f_{ADC} = 3000\text{MSPS}$, $f_{NCO} = 400\text{MHz}$, 24 でデシメーション		-75		dBc
		$f_{IN} = 840\text{MHz}$		-82		dBc
		$f_{IN} = 1770\text{MHz}$		-84		dBc
		$f_{IN} = 2610\text{MHz}$		-74		dBc
		$f_{IN} = 3610\text{MHz}$		-77		dBc
		$f_{IN} = 4920\text{MHz}$		-76		dBc
SFDR	スプリアス フリー ダイナミック レンジ 出力帯域幅内、 $A_{IN} = -3\text{dBFS}$	$f_{IN} = 5\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 17\text{MHz}$, 48 でデシメーション		78		dBFS
		$f_{IN} = 30\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 30\text{MHz}$, 24 でデシメーション		100		dBFS
		$f_{IN} = 410\text{MHz}$, $f_{ADC} = 3000\text{MSPS}$, $f_{NCO} = 400\text{MHz}$, 24 でデシメーション		94		dBFS
		$f_{IN} = 830\text{MHz}$		88		dBFS
		$f_{IN} = 1760\text{MHz}$		81		dBFS
		$f_{IN} = 2610\text{MHz}$		88		dBFS
		$f_{IN} = 3610\text{MHz}$		84		dBFS
		$f_{IN} = 4910\text{MHz}$		79		dBFS

5.6 RF ADC の電气的特性 (続き)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、RX 入力レート = 491.52MSPS、 $f_{ADC} = 2949.12\text{MSPS}$ インターリーブ モード、 $f_{REF} = 491.52\text{MHz}$ での PLL クロック モード、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HD2	2 次高調波歪み $A_{IN} = -3\text{dBFS}^{(2)}$	$f_{IN} = 5\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 17\text{MHz}$, 48 でデシメーション		-84		dBFS
		$f_{IN} = 30\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, バイパス モード (TI 専用テストモード)		-91		dBFS
		$f_{IN} = 410\text{MHz}$, $f_{ADC} = 3000\text{MSPS}$, バイパス モード (TI 専用テストモード)		-90		dBFS
		$f_{IN} = 830\text{MHz}$		-86		dBFS
		$f_{IN} = 1760\text{MHz}$		-90		dBFS
		$f_{IN} = 2610\text{MHz}$		-88		dBFS
		$f_{IN} = 3610\text{MHz}$		-87		dBFS
		$f_{IN} = 4910\text{MHz}$		-84		dBFS
HD3	3 次高調波歪み $A_{IN} = -3\text{dBFS}$	$f_{IN} = 5\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 17\text{MHz}$, 48 でデシメーション		-78		dBFS
		$f_{IN} = 30\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, バイパス モード (TI 専用テストモード)		-96		dBFS
		$f_{IN} = 410\text{MHz}$, $f_{ADC} = 3000\text{MSPS}$, バイパス モード (TI 専用テストモード)		-94		dBFS
		$f_{IN} = 830\text{MHz}$		-80		dBFS
		$f_{IN} = 1760\text{MHz}$		-85		dBFS
		$f_{IN} = 2610\text{MHz}$		-86		dBFS
		$f_{IN} = 3610\text{MHz}$		-78		dBFS
		$f_{IN} = 4910\text{MHz}$		-75		dBFS
HDn, $n > 3$	HD2 と HD3 を除く SFDR $A_{IN} = -3\text{dBFS}$	$f_{IN} = 5\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 17\text{MHz}$, 48 でデシメーション		-94		dBFS
		$f_{IN} = 30\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 30\text{MHz}$, 24 でデシメーション		-94		dBFS
		$f_{IN} = 410\text{MHz}$, $f_{ADC} = 3000\text{MSPS}$, $f_{NCO} = 400\text{MHz}$, 24 でデシメーション		-94		dBFS
		$f_{IN} = 830\text{MHz}$		-88		dBFS
		$f_{IN} = 1760\text{MHz}$		-81		dBFS
		$f_{IN} = 2610\text{MHz}$		-88		dBFS
		$f_{IN} = 3610\text{MHz}$		-84		dBFS
		$f_{IN} = 4910\text{MHz}$		-82		dBFS

5.6 RF ADC の電気的特性 (続き)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、RX 入力レート = 491.52MSPS、 $f_{ADC} = 2949.12\text{MSPS}$ インターリーブ モード、 $f_{REF} = 491.52\text{MHz}$ での PLL クロック モード、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
SFDR	スプリアス フリー ダイナミック レンジ $A_{IN} = -13\text{ dBFS}$	$f_{IN} = 5\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 17\text{MHz}$, 48 でデシメーション		101		dBFS
		$f_{IN} = 30\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 30\text{MHz}$, 24 でデシメーション		105		dBFS
		$f_{IN} = 410\text{MHz}$, $f_{ADC} = 3000\text{MSPS}$, $f_{NCO} = 400\text{MHz}$, 24 でデシメーション		95		dBFS
		$f_{IN} = 830\text{MHz}$		89		dBFS
		$f_{IN} = 1760\text{MHz}$		89		dBFS
		$f_{IN} = 2610\text{MHz}$		95		dBFS
		$f_{IN} = 3610\text{MHz}$		87		dBFS
		$f_{IN} = 4910\text{MHz}$		90		dBFS
HD2	2 次高調波歪み ⁽²⁾ $A_{IN} = -13\text{ dBFS}$	$f_{IN} = 5\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 17\text{MHz}$, 48 でデシメーション		-104		dBFS
		$f_{IN} = 30\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, バイパス モード (TI 専用テストモード)		-91		dBFS
		$f_{IN} = 410\text{MHz}$, $f_{ADC} = 3000\text{MSPS}$, バイパス モード (TI 専用テストモード)		-104		dBFS
		$f_{IN} = 830\text{MHz}$, 基板トリムを使用		-79		dBFS
		$f_{IN} = 1760\text{MHz}$, 基板トリムを使用		-102		dBFS
		$f_{IN} = 2610\text{MHz}$, 基板トリムを使用		-100		dBFS
		$f_{IN} = 3610\text{MHz}$, 基板トリムを使用		-101		dBFS
		$f_{IN} = 4910\text{MHz}$, 基板トリムを使用		-99		dBFS
HD3	3 次高調波歪み $A_{IN} = -13\text{ dBFS}$	$f_{IN} = 5\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 17\text{MHz}$, 48 でデシメーション		-103		dBFS
		$f_{IN} = 30\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, バイパス モード (TI 専用テストモード)		-84		dBFS
		$f_{IN} = 381\text{MHz}$, $f_{ADC} = 3000\text{MSPS}$, バイパス モード (TI 専用テストモード)		-91		dBFS
		$f_{IN} = 830\text{MHz}$		-95		dBFS
		$f_{IN} = 1760\text{MHz}$		-95		dBFS
		$f_{IN} = 2610\text{MHz}$		-98		dBFS
		$f_{IN} = 3610\text{MHz}$		-97		dBFS
		$f_{IN} = 4910\text{MHz}$		-94		dBFS

5.6 RF ADC の電気的特性 (続き)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、RX 入力レート = 491.52MSPS、 $f_{ADC} = 2949.12\text{MSPS}$ インターリーブ モード、 $f_{REF} = 491.52\text{MHz}$ での PLL クロック モード、公称電源、DSA 設定 = 3dB、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
HDn, $n > 3$	HD2 と HD3 を除く SFDR $A_{IN} = -13\text{dBFS}$	$f_{IN} = 5\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 17\text{MHz}$, 48 でデシメーション		-104		dBFS
		$f_{IN} = 30\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 30\text{MHz}$, 24 でデシメーション		-105		dBFS
		$f_{IN} = 410\text{MHz}$, $f_{ADC} = 3000\text{MSPS}$, $f_{NCO} = 400\text{MHz}$, 24 でデシメーション		-95		dBFS
		$f_{IN} = 830\text{MHz}$		-89		dBFS
		$f_{IN} = 1760\text{MHz}$		-89		dBFS
		$f_{IN} = 2610\text{MHz}$		-95		dBFS
		$f_{IN} = 3610\text{MHz}$		-90		dBFS
		$f_{IN} = 4910\text{MHz}$		-90		dBFS
RX-RX/FB 絶縁	ニア チャネル: 1RXIN から 2RXIN 3RXIN から 4RXIN	$f_{IN} = 5\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 17\text{MHz}$, 48 でデシメーション		-98		dB
		$f_{IN} = 30\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 30\text{MHz}$, 24 でデシメーション		-98		dB
		$f_{IN} = 400\text{MHz}$		-88		dB
		$f_{IN} = 830\text{MHz}$		-77		dB
		$f_{IN} = 1760\text{MHz}$		-71		dB
		$f_{IN} = 2610\text{MHz}$		-74		dB
		$f_{IN} = 3610\text{MHz}$		-77		dB
		$f_{IN} = 4910\text{MHz}$		-65		dB
TX-RX 絶縁	1TXOUT から 1RXIN 3TXOUT から 2RXIN	$f_{IN} = 5\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 17\text{MHz}$, 48 でデシメーション		-105		dB
		$f_{IN} = 30\text{MHz}$, $f_{ADC} = 1500\text{MSPS}$, $f_{NCO} = 30\text{MHz}$, 24 でデシメーション		-101		dB
		$f_{IN} = 400\text{MHz}$		-99		dB
		$f_{IN} = 830\text{MHz}$		-86		dB
		$f_{IN} = 1760\text{MHz}$		-87		dB
		$f_{IN} = 2610\text{MHz}$		-84		dB
		$f_{IN} = 3610\text{MHz}$		-82		dB
		$f_{IN} = 4910\text{MHz}$		-82		dB

- (1) DSA にデジタル ゲイン範囲を追加して DSA の有効範囲を拡張することで、最小減衰でのフルスケール入力を低減できます。デジタル ゲイン範囲全体にわたってノイズ指数は一定に保たれます。
- (2) 特定のプリント基板で HD2 トリムを実施した後。
- (3) DSA = 3dB ~ 0dB まで、NSD は DSA 1dB あたり 1dB 上昇
- (4) DSA = 3dB 超では、NF は DSA 1dB あたり 1dB 上昇

5.7 PLL / VCO / クロックの電气的特性

TA = +25°Cでの代表値、全動作温度範囲は T_{A,MIN} = -40°C ~ T_{J,MAX} = +110°C、リファレンス クロック入力周波数 491.52MHz (特に記述のない限り)、f_{DAC} = f_{VCO}、f_{OUT} = f_{DAC}/4、f_{VCO} に正規化

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{VCO1}	VCO1 の最小周波数				7.2	GHz
	VCO1 の最大周波数		7.68			GHz
f _{VCO2}	VCO2 の最小周波数				8.848	GHz
	VCO2 の最大周波数		9.216			GHz
f _{VCO3}	VCO3 の最小周波数				9.8304	GHz
	VCO3 の最大周波数		10.24			GHz
f _{VCO4}	VCO4 の最小周波数				11.7965	GHz
	VCO4 の最大周波数		12.288			GHz
DIV _{DAC}	DAC サンプル レート分周器			1、2、または 3		
DIV _{RXADC}	ADC サンプル レート分周器			1、2、3、4、6、または 8		
PN _{VCO}	閉ループ位相ノイズ (F _{PLL} = 11.79848GHz、F _{REF} = 491.52MHz)	600kHz		-113		dBc/Hz
		800kHz		-116		dBc/Hz
		1MHz		-119		dBc/Hz
		1.8MHz		-125		dBc/Hz
		5MHz		-133		dBc/Hz
		50MHz		-141		dBc/Hz
	閉ループ位相ノイズ (F _{PLL} = 8.84736GHz、F _{REF} = 491.52MHz)	600kHz		-114		dBc/Hz
		800kHz		-118		dBc/Hz
		1MHz		-120		dBc/Hz
		1.8MHz		-127		dBc/Hz
		5MHz		-135		dBc/Hz
		50MHz		-142		dBc/Hz
	閉ループ位相ノイズ (F _{PLL} = 9.8403GHz、F _{REF} = 491.52MHz)	600kHz		-113		dBc/Hz
		800kHz		-116		dBc/Hz
		1MHz		-119		dBc/Hz
		1.8MHz		-125		dBc/Hz
		5MHz		-134		dBc/Hz
		50MHz		-140		dBc/Hz
	閉ループ位相ノイズ (F _{PLL} = 7.86432GHz、F _{REF} = 491.52MHz)	600kHz		-116		dBc/Hz
		800kHz		-119		dBc/Hz
		1MHz		-122		dBc/Hz
		1.8MHz		-127		dBc/Hz
		5MHz		-136		dBc/Hz
		50MHz		-143		dBc/Hz
F _{rms}	クロック PLL 積分位相誤差 ⁽¹⁾	f _{PLL} = 11.79848GHz、[1kHz、100MHz]		-43.4		dBc/Hz
		f _{PLL} = 8.8536GHz、[1kHz、100MHz]		-47.6		dBc/Hz
		f _{PLL} = 9.8304GHz、[1kHz、100MHz]		-46.2		dBc/Hz
f _{PFD}	PFD 周波数		100		500	MHz
PN _{pll_flat}	正規化された PLL フラット ノイズ	f _{VCO} = 11796.48MHz		-226.5		dBc/Hz

5.7 PLL / VCO / クロックの電气的特性 (続き)

TA = +25°Cでの代表値、全動作温度範囲は T_{A,MIN} = -40°C ~ T_{J,MAX} = +110°C、リファレンス クロック入力周波数 491.52MHz (特に記述のない限り)、f_{DAC} = f_{VCO}、f_{OUT} = f_{DAC}/4、f_{VCO} に正規化

パラメータ		テスト条件	最小値	標準値	最大値	単位
F _{REF}	入力クロック周波数		0.1		12	GHz
V _{SS}	入力クロックレベル		0.6		1.8	Vppdiff
結合			AC 結合のみ			
	REFCLK 入力インピーダンス (2)	並列抵抗		100		Ω
		並列容量		0.5		pF

(1) シングル サイドバンド。リファレンス クロックの影響は含まれません

(2) インピーダンスと周波数との関係については、テキサス・インスツルメンツが提供している S11 データを参照してください

5.8 デジタルの電気的特性

TA = +25°Cでの代表値、全動作温度範囲は T_{A,MIN} = -40°C ~ T_{J,MAX} = +110°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
CML SerDes 入力 [8:1]SRX+/-						
V _{SRDIFF}	SerDes レシーバ入力振幅	差動	100		1200	mVpp
V _{SRCOM}	SerDes 入力コモン モード			400		mV
Z _{SRdiff}	SerDes 内部差動終端 ⁽¹⁾			100		Ω
F _{SerDes}	SerDes ビットレート	フル レート モード	19		29.5	Gbps
		ハーフ レート モード	9.5		16.25	Gbps
		クォーター レート モード	4.75		8.125	Gbps
	挿入損失許容 ⁽²⁾	SerDes 電源 = 1.8V		25		dB
T _J	総ジッタ許容				0.42	UI
CML SerDes 出力 [8:1]STX+/-						
V _{STDIFF}	SerDes トランスミッタ出力振幅	差動	500		1000	mVpp
V _{STCOM}	SerDes 出力コモン モード		0.4	0.45	0.55	V
Z _{STdiff}	SerDes 出力インピーダンス			100		Ω
TRF	出力の立ち上がりおよび立ち下がり時間	20~80%	8			ps
TEQS	イコライゼーション範囲				7	dB
TTJ	出力の総ジッタ				0.21	UI
CMOS I/O: GPIO{B/C/D/E}x, SPICLK, SPISDIO, SPISDO, SPISEN, RESETZ, BISTB0, BISTB1						
V _{IH}	High レベル入力電圧		0.6×VDD1 P8GPIO			V
V _{IL}	Low レベル入力電圧			0.4×VDD1 P8GPIO		V
I _{IH}	High レベル入力電流		-250		250	μA
I _{IL}	Low レベル入力電流		-250		250	μA
C _L	CMOS 入力容量			2		pF
V _{OH}	High レベル出力電圧		VDD1P8G PIO-0.2			V
V _{OL}	Low レベル出力電圧				0.2	V
差動入力: SYSREF+/- モード A						
F _{SYSREFMAX}	SYSREF 入力周波数最大値			40		MHz
V _{SWINGSRMAX}	SYSREF 入力スイング最大値			1.8		Vppdiff ⁽³⁾
V _{SWINGSRMIN}	SYSREF 入力スイング最小値	f _{REF} < 500MHz		0.3		Vppdiff ⁽³⁾
V _{SWINGSRMIN}	SYSREF 入力スイング最小値	f _{REF} > 500MHz		0.6		Vppdiff ⁽³⁾
V _{COMSRMAX}	SYSREF 入力コモン モード電圧最大値			0.8		V
V _{COMSRMIN}	SYSREF 入力コモン モード電圧最小値			0.6		V
Z _T	入力の終端	差動		100 ⁽¹⁾		Ω
C _L	入力容量	各ピンから GND		0.5		pF
LVDS 入力: 0SYNCIN+/- および 1SYNCIN+/-						
V _{ICOM}	入力コモン モード電圧			1.2		V
V _{ID}	差動入力電圧スイング			450		Vppdiff ⁽³⁾
Z _T	入力の終端	差動		100		Ω
LVDS 出力: 0SYNCOUT+/- および 1SYNCOUT+/-						
V _{OCOM}	出力コモン モード電圧			1.2		V

5.8 デジタルの電気的特性 (続き)

TA = +25°Cでの代表値、全動作温度範囲は T_{A,MIN} = -40°C ~ T_{J,MAX} = +110°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{OD}	差動出力電圧スイング			500		V _{ppdiff} ⁽³⁾
Z _T	内部終端			100		Ω

- (1) SYSREF 終端は 100Ω、150Ω、300Ω の間で設定可能です。
- (2) 損失許容はパンプ間の STX から SRX です。
- (3) V_{ppdiff} は最大差動電圧 (正の値) と最小差動電圧 (負の値) の差です。

5.9 電源の電气的特性

$T_A = +25^{\circ}\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^{\circ}\text{C} \sim T_{J,MAX} = +110^{\circ}\text{C}$ 、TX 入力レート = 500MSPS、RX 出力レート = 500MSPS、 $f_{DAC} = 9000\text{MSPS}$ インターリーブ モード、 $f_{ADC} = 3000\text{MSPS}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 20Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 1: 4T4R - TDD (TX 75%, RX 25%) TX デュアル バンド: 72x Int, TX レート 125MSPS RX デュアル バンド: 24x Dec, RX レート 125MSPS $f_{DAC} = 9000\text{MSPS}$, $f_{OUT} = f_{IN} = 1.9, 2.6\text{GHz}$ $f_{ADC} = 3000\text{MSPS}$ JESD: 8/10 コーディング、20Gbps TX: 2-16-16-1, RX: 2-16-16-1		588		mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			439		mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			74		mA
I_{VDD1P2}	グループ 2: VDD1P2FB + VDD1P2RX + VDD1P2TXCLK + VDD1P2TXENC + VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			1191		mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9			1928		mA
P_{diss}	電力散逸			5196		mW
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 2: 4T4R - FDD TX デュアル バンド: 96x Int, TX レート 125MSPS RX デュアル バンド: RX 24x, RX レート 125MSPS $f_{DAC} = 12\text{GSPS}$, $f_{TX} = 1.85\text{GHz}$ $f_{ADC} = 3\text{GSPS}$, $f_{RX} = 1.75\text{GHz}$ JESD: 8/10 コーディング、20Gbps TX: 2-16-16-1, RX: 2-16-16-1		1146		mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			553		mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			78		mA
I_{VDD1P2}	グループ 2: VDD1P2FB + VDD1P2RX + VDD1P2TXCLK + VDD1P2TXENC + VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			2152		mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9			3217		mA
P_{diss}	電力散逸			8757		mW
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 3: 4T4R - FDD TX シングル バンド: 96x Int, TX レート 125MSPS RX シングル バンド: RX 24x, RX レート 125MSPS $f_{DAC} = 12\text{GSPS}$, $f_{TX} = 1.85\text{GHz}$ $f_{ADC} = 3\text{GSPS}$, $f_{RX} = 1.75\text{GHz}$ JESD: 8/10 コーディング、20Gbps TX: 1-8-16-1, RX: 1-8-16-1		1146		mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			546		mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			78		mA
I_{VDD1P2}	グループ 2: VDD1P2FB + VDD1P2RX + VDD1P2TXCLK + VDD1P2TXENC + VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			2144		mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9			2904		mA
P_{diss}	電力散逸			8444		mW

5.9 電源の電気的特性 (続き)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 500MSPS、RX 出力レート = 500MSPS、 $f_{DAC} = 9000\text{MSPS}$ インターリーブ モード、 $f_{ADC} = 3000\text{MSPS}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 20Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 4: 4T4R - FDD TX シングル バンド: 24x Int, TX レート 500MSPS RX シングル バンド: RX 6x, RX レート 500MSPS $f_{DAC} = 12\text{GSPS}$, $f_{TX} = 1.85\text{GHz}$ $f_{ADC} = 3\text{GSPS}$, $f_{RX} = 1.75\text{GHz}$ JESD: 8/10 コーディング、20Gbps TX: 4-8-4-1, RX: 4-8-4-1		1147		mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			700		mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			78		mA
I_{VDD1P2}	グループ 2: VDD1P2FB + VDD1P2RX + VDD1P2TXCLK + VDD1P2TXENC + VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			2150		mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9			3228		mA
P_{diss}	電力散逸			9031		mW
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 5: モード 4 スリープ モードと同じ構成。SLEEP ピンは High にする。		24		mA
I_{VDD1P8}	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			339		mA
I_{VDD1P8}	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			12		mA
I_{VDD1P2}	グループ 2: VDD1P2FB + VDD1P2RX + VDD1P2TXCLK + VDD1P2TXENC + VDD1P2FBCML + VDD1P2RXCML + VDD1P2PLLCLKREF			58		mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9			282		mA
P_{diss}	電力散逸			1004		mW

5.10 タイミング要件

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 8847.36\text{MSPS}$ 、 $f_{ADC} = 2949.12\text{MSPS}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

		最小値	公称値	最大値	単位
タイミング:SYSREF+/-					
$t_s(\text{SYSREF})$	セットアップ時間、SYSREF+/- 有効から CLK+/- の立ち上がりエッジまで		50		ps
$t_h(\text{SYSREF})$	ホールド時間、CLK+/- の立ち上がりエッジの後の SYSREF+/- 有効の期間		50		ps
タイミング:シリアル ポート					
$t_s(\text{SENB})$	SCLK の立ち上がりエッジまでの SENB のセットアップ時間			15	ns
$t_h(\text{SENB})$	SCLK の最後の立ち上がりエッジの後の SENB のホールド時間 ⁽¹⁾			$5 + t_{\text{SCLK}}$	ns
$t_s(\text{SDIO})$	セットアップ時間、SDIO 有効から SCLK の立ち上がりエッジまで			15	ns
$t_h(\text{SDIO})$	ホールド時間、SCLK の立ち上がりエッジの後の SDIO 有効の期間			5	ns
$t_{\text{SCLK_W}}$	最小 SCLK 周期:レジスタ書き込み			25	ns
$t_{\text{SCLK_R}}$	最小 SCLK 周期:レジスタ読み取り			50	ns
$t_d(\text{data_out})$	SCLK の立ち下がりエッジの後の最小データ出力遅延			0	ns
	SCLK の立ち下がりエッジの後の最大データ出力遅延			15	ns
t_{RESET}	最小 RESETZ パルス幅		1		ms

(1) $\overline{\text{SDEN}}$ では、最後の SCLK エッジでさらに 1 クロック サイクル、ホールドされる必要があります

5.11 スイッチング特性

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 8847.36\text{MSPS}$ 、 $f_{ADC} = 2949.12\text{MSPS}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

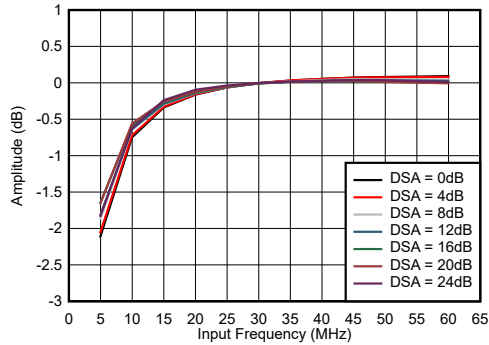
パラメータ		テスト条件	最小値	標準値	最大値	単位
TX チャンネル レイテンシ						
	SerDes レシーバのアナログ遅延	フル レート		2.8		ns
tJESD TX	JESD から TX 出力までのレイテンシ	LMFSHd = 2-8-8-1、368.64MSPS の入力レート、24x 補間、SerDes レート = 16.22Gbps (JESD204C)		152		インターフェイスクロック サイクル ⁽¹⁾
		LMFSHd = 8-16-4-1、491.52MSPS 24x 補間、SerDes レート = 16.22Gbps (JESD204C)		176		
		LMFSHd = 4-16-8-1、245.76MSPS 48x 補間、SerDes レート = 16.22Gbps (JESD204C)		124		
		LMFSHd = 2-16-16-1、122.88MSPS 96x 補間、SerDes レート = 16.22Gbps (JESD204C)		97		
RX チャンネル レイテンシ						
	SerDes トランスミッタのアナログ遅延			3.6		ns
tJESD RX	RX 入力から JESD 出力までのレイテンシ	LMFS = 2-16-16-1、122.88MSPS、24x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		92		インターフェイスクロック サイクル ⁽¹⁾
		LMFS = 4-16-8-1、245.76MSPS、12x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		108		
		LMFS = 2-8-8-1、368.64 MSPS、8x デシメーション、Serdes レート = 16.22Gbps (JESD204C)		118		
		LMFS = 4-8-4-1、491.52MSPS、6x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		153		
FB チャンネル レイテンシ						
	SerDes トランスミッタのアナログ遅延			3.6		ns
tJESD FB	FB 入力から JESD 出力までのレイテンシ	LMFS = 1-2-8-1、368.64MSPS、8x デシメーション		151		インターフェイスクロック サイクル ⁽¹⁾
		LMFS = 2-4-4-1、491.52MSPS、6x デシメーション		177		

(1) インターフェイス クロック サイクルは、デジタル インターフェイスのクロック レートの周期です。たとえば、1GSPS = 1ns です。

5.12 代表的特性

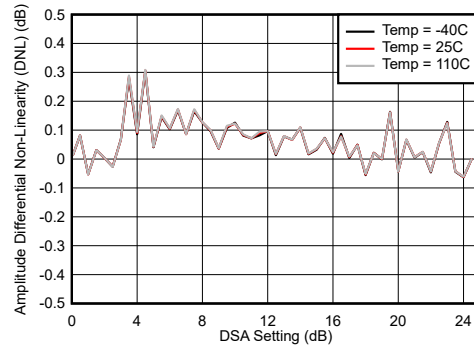
5.12.1 RX 代表的特性 : 30MHz ~ 400MHz

$T_A = +25^\circ\text{C}$ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。400MHz のデフォルト条件: ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。



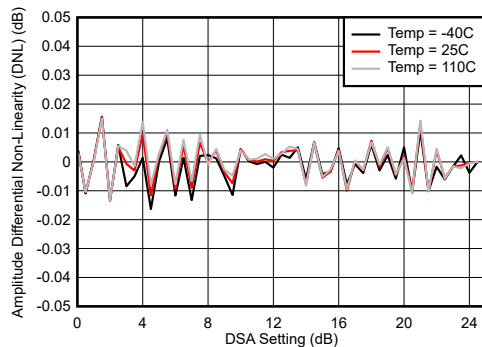
30MHz で正規化

図 5-1. RX 帯域内ゲイン平坦性 ($f_{\text{IN}} = 30\text{MHz}$)



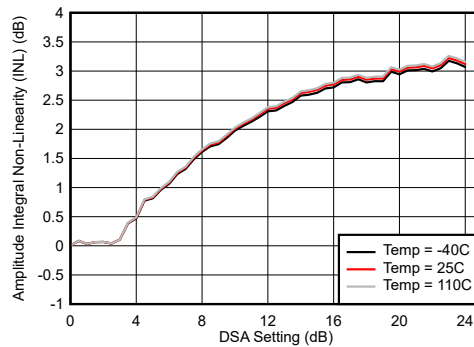
微分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

図 5-2. RX 未校正微分振幅誤差と DSA 設定との関係 (30MHz)



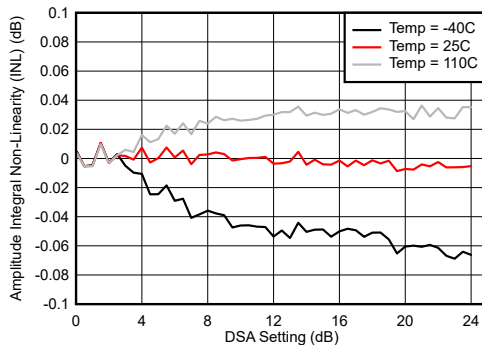
微分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

図 5-3. RX 校正済み微分振幅誤差と DSA 設定との関係 (30MHz)



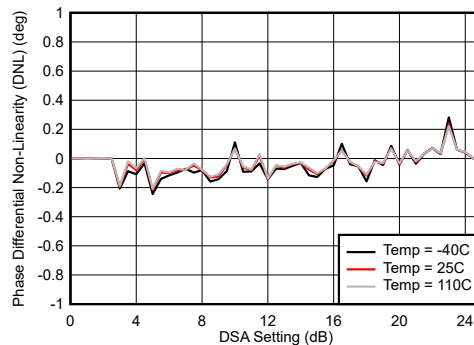
積分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-4. RX 未校正積分振幅誤差と DSA 設定との関係 (30MHz)



積分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-5. RX 校正済み積分振幅誤差と DSA 設定との関係 (30MHz)

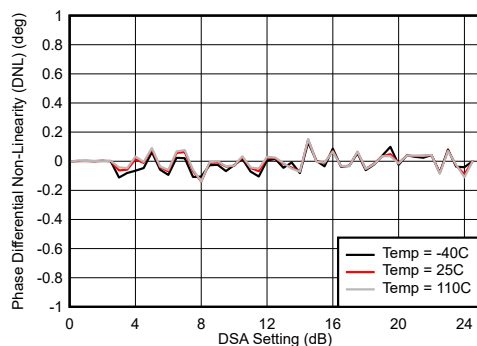


微分位相誤差 = $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

図 5-6. RX 未校正微分位相誤差と DSA 設定との関係 (30MHz)

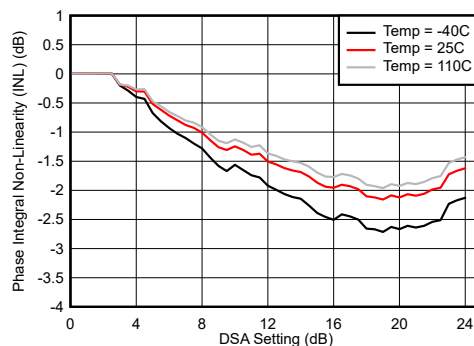
5.12.1 RX 代表的特性 : 30MHz ~ 400MHz (続き)

$T_A = +25^\circ\text{C}$ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。400MHz のデフォルト条件: ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。



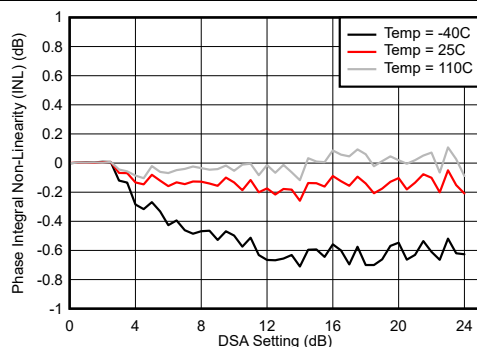
微分位相誤差 = $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

図 5-7. RX 校正済み微分位相誤差と DSA 設定との関係 (30MHz)



積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

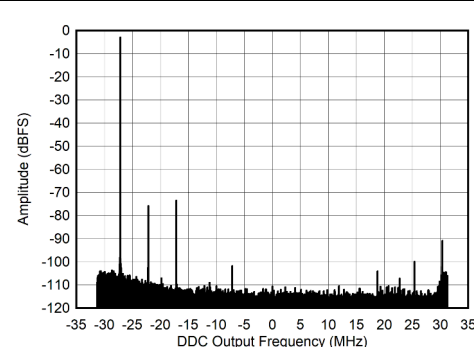
図 5-8. RX 未校正積分位相誤差と DSA 設定との関係 (30MHz)



0.8GHz 整合あり

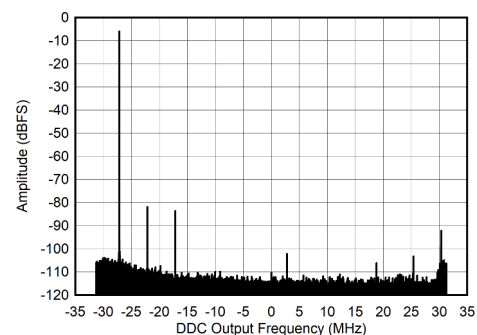
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-9. RX 校正済み積分位相誤差と DSA 設定との関係 (30MHz)



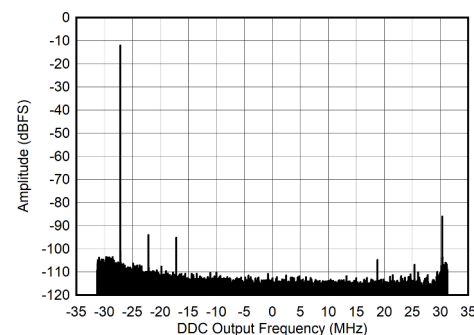
$A_{\text{IN}} = -3\text{dBFS}$ 、 $f_{\text{ADC}} = 1500\text{MSPS}$ 、 $f_{\text{NCO}} = 32.13\text{MHz}$ 、24x でデシメーション

図 5-10. RX 出力 FFT (5MHz)



$A_{\text{IN}} = -6\text{dBFS}$ 、 $f_{\text{ADC}} = 1500\text{MSPS}$ 、 $f_{\text{NCO}} = 32$ 。24x でデシメーション

図 5-11. RX 出力 FFT (5MHz)

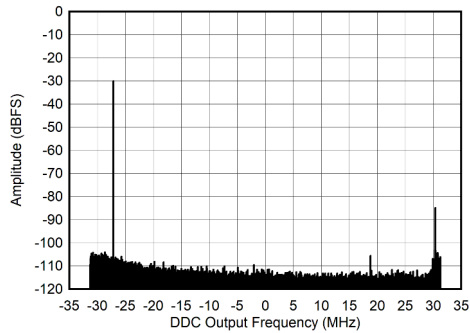


$A_{\text{IN}} = -12\text{dBFS}$ 、 $f_{\text{ADC}} = 1500\text{MSPS}$ 、 $f_{\text{NCO}} = 32.13\text{MHz}$ 、24x でデシメーション

図 5-12. RX 出力 FFT (5MHz)

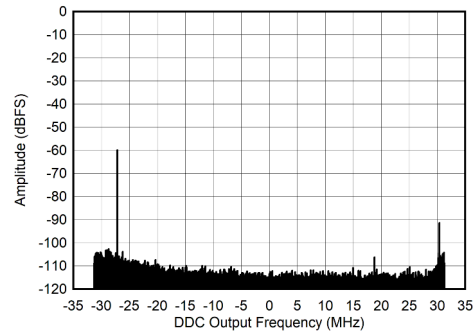
5.12.1 RX 代表的特性 : 30MHz ~ 400MHz (続き)

$T_A = +25^\circ\text{C}$ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。400MHz のデフォルト条件: ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。



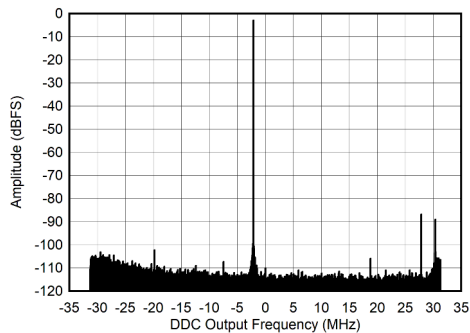
$A_{\text{IN}} = -30\text{dBFS}$, $f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.13\text{MHz}$, 24x でデシメーション

図 5-13. RX 出力 FFT (5MHz)



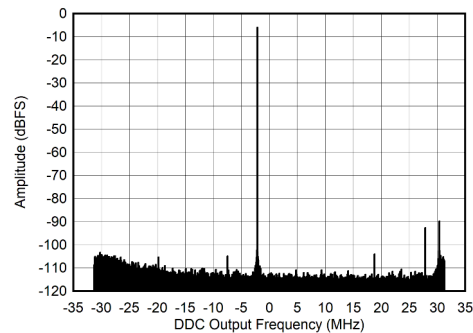
$A_{\text{IN}} = -60\text{dBFS}$, $f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.13\text{MHz}$, 24x でデシメーション

図 5-14. RX 出力 FFT (5MHz)



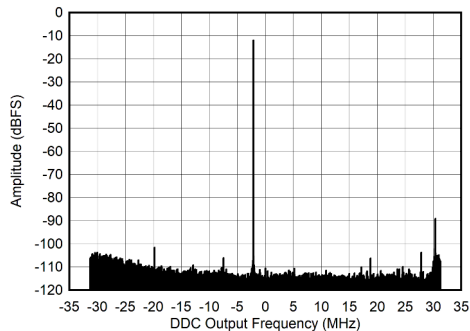
$A_{\text{IN}} = -3\text{dBFS}$, $f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.13\text{MHz}$, 24x でデシメーション

図 5-15. RX 出力 FFT (30MHz)



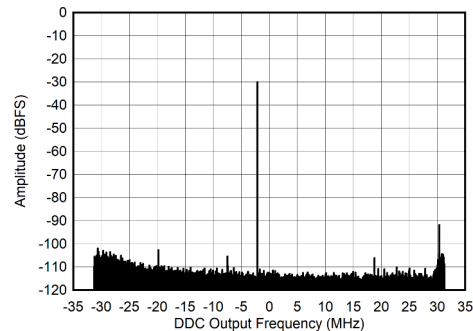
$A_{\text{IN}} = -6\text{dBFS}$, $f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.13\text{MHz}$, 24x でデシメーション

図 5-16. RX 出力 FFT (30MHz)



$A_{\text{IN}} = -12\text{dBFS}$, $f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.13\text{MHz}$, 24x でデシメーション

図 5-17. RX 出力 FFT (30MHz)

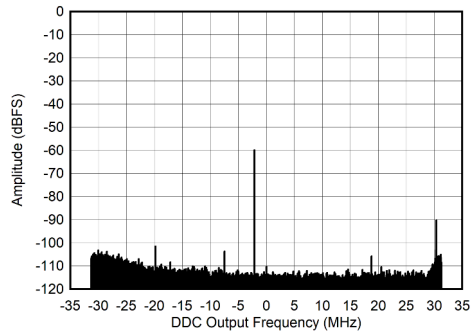


$A_{\text{IN}} = -30\text{dBFS}$, $f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.13\text{MHz}$, 24x でデシメーション

図 5-18. RX 出力 FFT (30MHz)

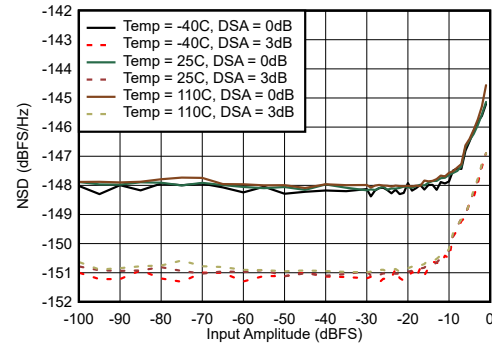
5.12.1 RX 代表的特性 : 30MHz ~ 400MHz (続き)

$T_A = +25^\circ\text{C}$ における代表値。デフォルト条件は 30MHz。ADC サンプルレート = 1500MSPS、出力サンプルレート = 62.5MSPS (24x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。400MHz のデフォルト条件: ADC サンプルレート = 1500MSPS、出力サンプルレート = 125MSPS (12x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。



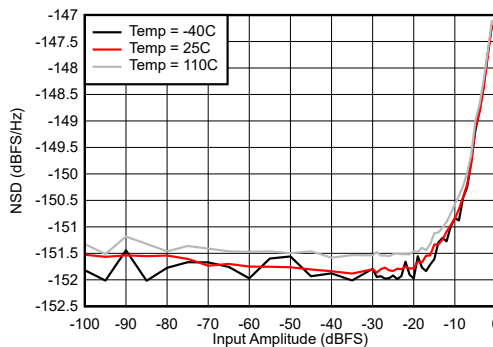
$A_{\text{IN}} = -60\text{dBFS}$, $f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.13\text{MHz}$, 24x でデシメーション

図 5-19. RX 出力 FFT (30MHz)



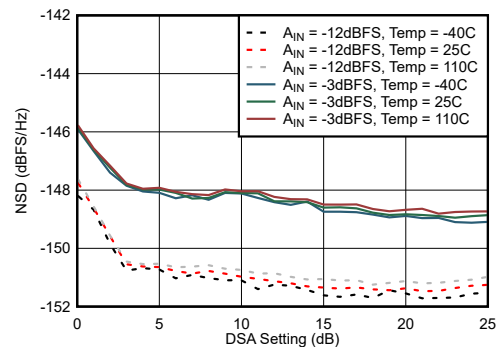
$f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.13\text{MHz}$, 24x によってデシメーション

図 5-20. DSA = 0 および 3dB, 30MHz での NSD と入力振幅との関係



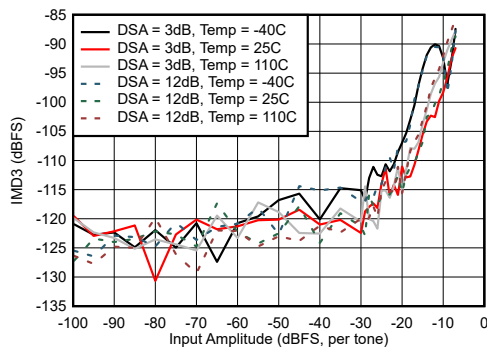
$f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.13\text{MHz}$, 24x によってデシメーション

図 5-21. 30MHz で NSD と入力振幅との関係 (DSA = 12)



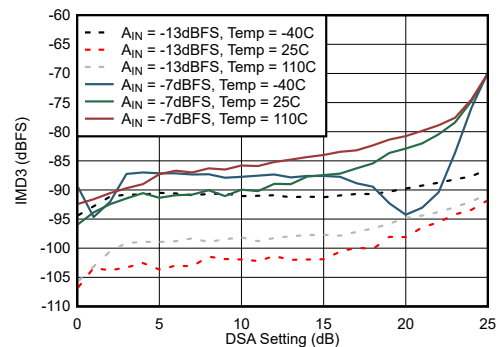
$f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.13\text{MHz}$, 24x によってデシメーション

図 5-22. 30MHz での NSD と DSA 減衰との関係



$f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.13\text{MHz}$, 24x によってデシメーション

図 5-23. 30MHz での IMD3 と入力振幅との関係

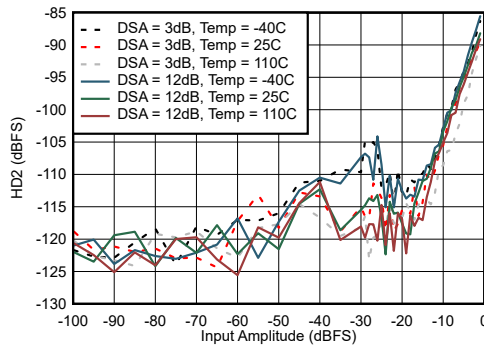


$f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.13\text{MHz}$, 24x によってデシメーション

図 5-24. 30MHz での IMD3 と DSA 設定との関係

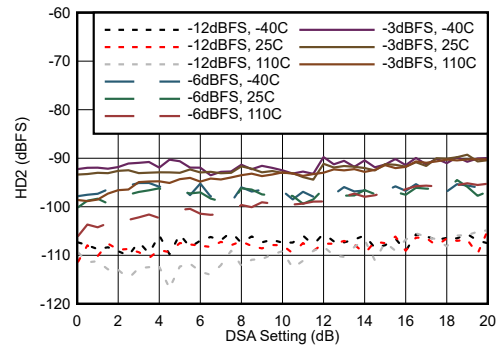
5.12.1 RX 代表的特性 : 30MHz ~ 400MHz (続き)

$T_A = +25^\circ\text{C}$ における代表値。デフォルト条件は 30MHz。ADC サンプルレート = 1500MSPS、出力サンプルレート = 62.5MSPS (24x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。400MHz のデフォルト条件: ADC サンプルレート = 1500MSPS、出力サンプルレート = 125MSPS (12x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。



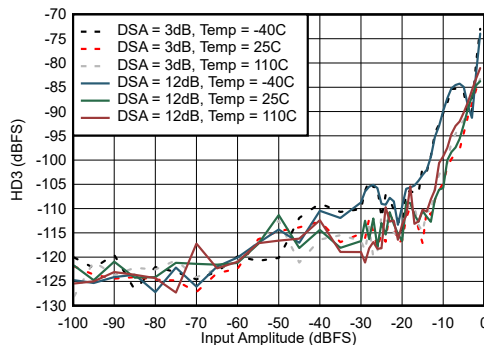
$f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.13\text{MHz}$, 24x によってデシメーション

図 5-25. 30MHz での HD2 と入力振幅との関係



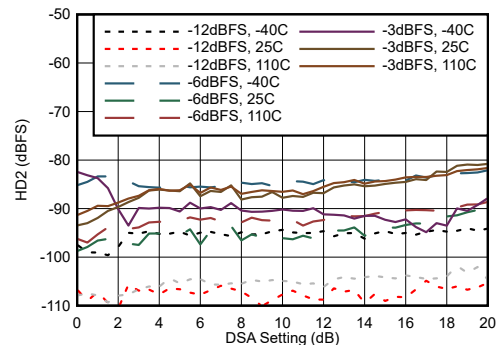
$f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.24\text{x}$ でデシメーション

図 5-26. 30MHz での HD2 と DSA 設定との関係



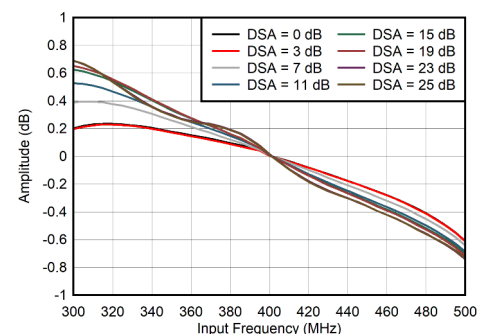
$f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.13\text{MHz}$, 24x によってデシメーション

図 5-27. 30MHz での HD3 と入力振幅との関係



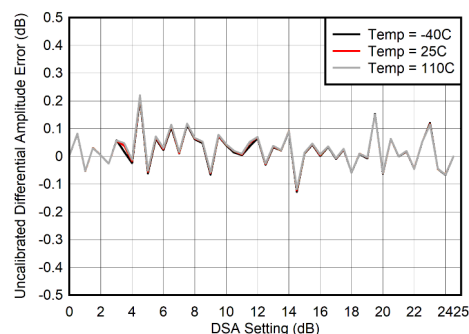
$f_{\text{ADC}} = 1500\text{MSPS}$, $f_{\text{NCO}} = 32.13\text{MHz}$, 24x によってデシメーション

図 5-28. 30MHz での HD3 と DSA 設定との関係



4000MHz で正規化

図 5-29. RX 帯域内ゲイン平坦性 ($f_{\text{IN}} = 400\text{MHz}$)

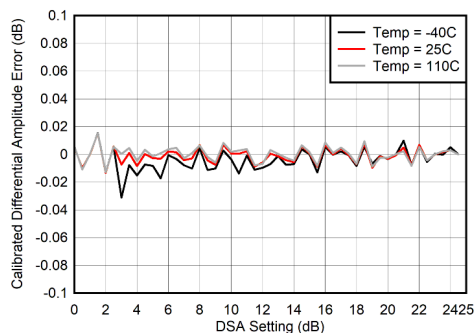


微分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

図 5-30. RX 未校正微分振幅誤差と DSA 設定との関係 (30MHz)

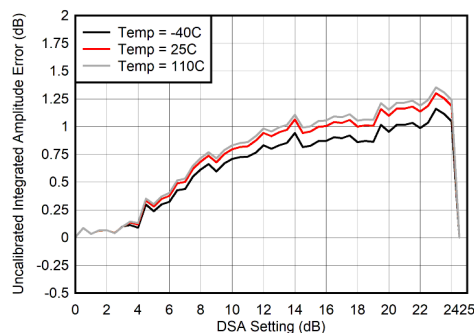
5.12.1 RX 代表的特性 : 30MHz ~ 400MHz (続き)

$T_A = +25^\circ\text{C}$ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。400MHz のデフォルト条件: ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。



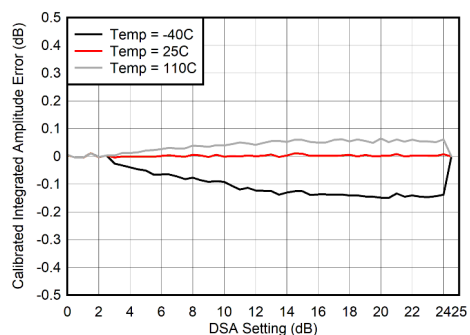
$$\text{微分振幅誤差} = P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$$

図 5-31. RX 較正済み微分振幅誤差と DSA 設定との関係 (400MHz)



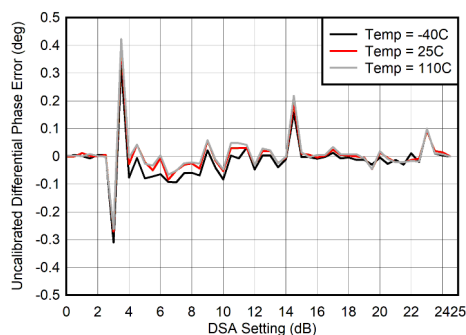
$$\text{積分振幅誤差} = P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$$

図 5-32. RX 未較正積分振幅誤差と DSA 設定との関係 (400MHz)



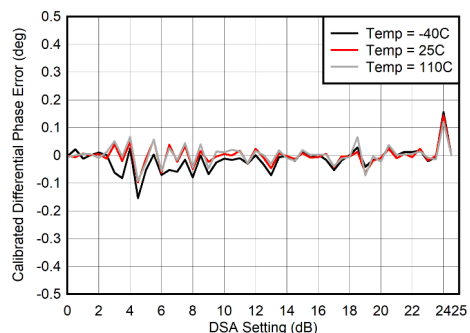
$$\text{積分振幅誤差} = P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$$

図 5-33. RX 較正済み積分振幅誤差と DSA 設定との関係 (400MHz)



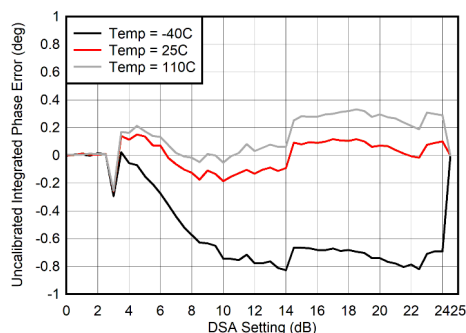
$$\text{微分位相誤差} = \text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$$

図 5-34. RX 未較正微分位相誤差と DSA 設定との関係 (400MHz)



$$\text{微分位相誤差} = \text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$$

図 5-35. RX 較正済み微分位相誤差と DSA 設定との関係 (400MHz)

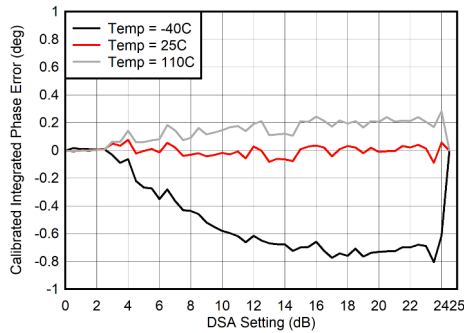


$$\text{積分位相誤差} = \text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$$

図 5-36. RX 未較正積分位相誤差と DSA 設定との関係 (400MHz)

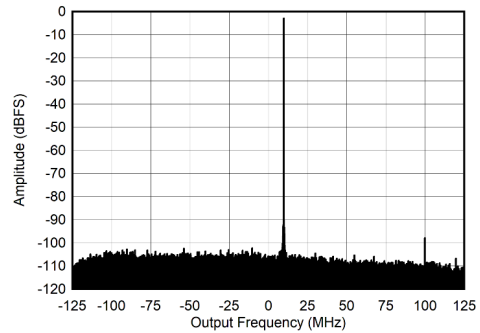
5.12.1 RX 代表的特性 : 30MHz ~ 400MHz (続き)

$T_A = +25^\circ\text{C}$ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。400MHz のデフォルト条件: ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。



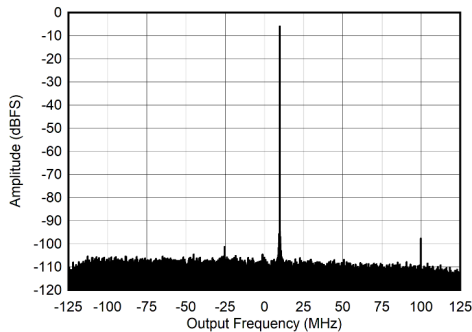
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-37. RX 校正済み積分位相誤差と DSA 設定との関係 (400MHz)



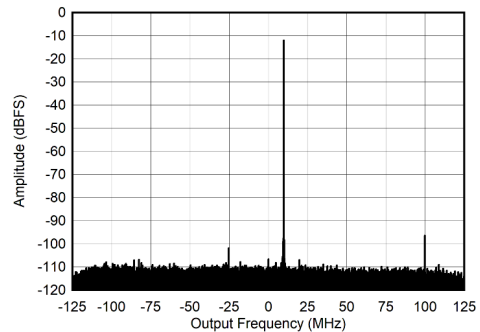
$f_{\text{NCO}} = 400\text{MHz}$

図 5-38. 405MHz、-3dBFS での RX 出力 FFT



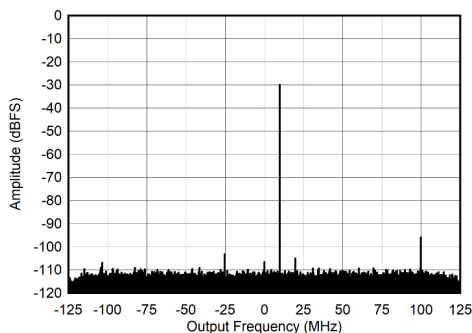
$f_{\text{NCO}} = 400\text{MHz}$

図 5-39. 405MHz、-6dBFS での RX 出力 FFT



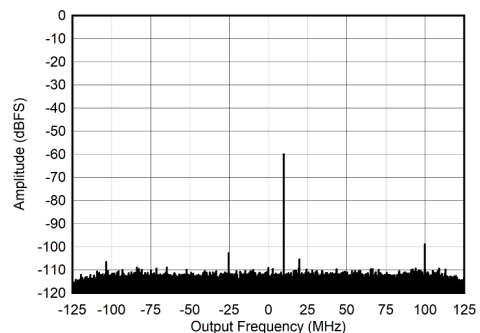
$f_{\text{NCO}} = 400\text{MHz}$

図 5-40. 405MHz、-12dBFS での RX 出力 FFT



$f_{\text{NCO}} = 400\text{MHz}$

図 5-41. 405MHz、-30dBFS での RX 出力 FFT

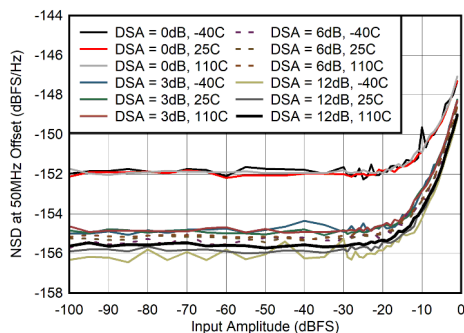


$f_{\text{NCO}} = 400\text{MHz}$

図 5-42. 405MHz、-60dBFS での RX 出力 FFT

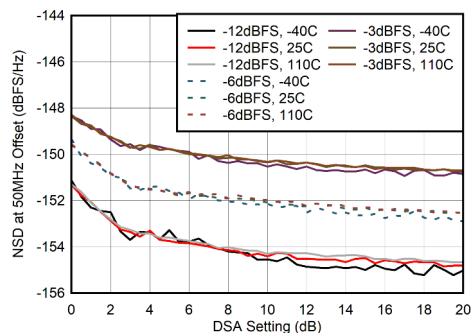
5.12.1 RX 代表的特性 : 30MHz ~ 400MHz (続き)

$T_A = +25^\circ\text{C}$ における代表値。デフォルト条件は 30MHz。ADC サンプルレート = 1500MSPS、出力サンプルレート = 62.5MSPS (24x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。400MHz のデフォルト条件: ADC サンプルレート = 1500MSPS、出力サンプルレート = 125MSPS (12x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。



$f_{\text{OFFSET}} = 50\text{MHz}$

図 5-43. 400MHz での NSD と入力振幅との関係



$f_{\text{OFFSET}} = 50\text{MHz}$

図 5-44. 400MHz での NSD と DSA 設定との関係

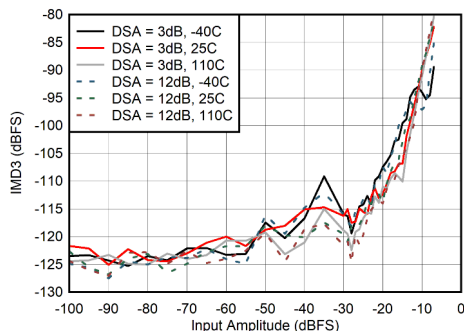


図 5-45. 400MHz での IMD3 と入力振幅との関係

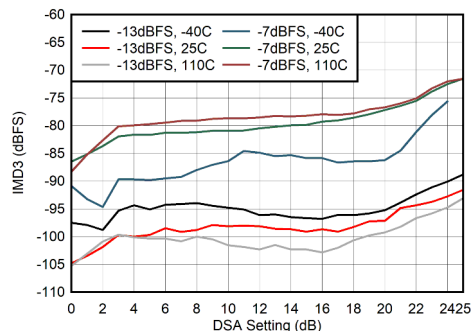


図 5-46. 400MHz での IMD3 と DSA 設定との関係

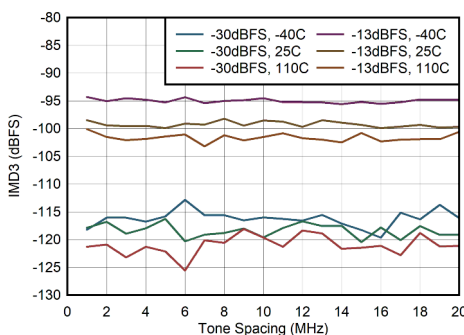


図 5-47. 400MHz での IMD3 とトーン間隔との関係

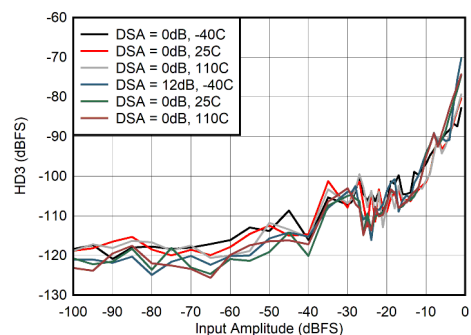


図 5-48. 400MHz での HD3 と入力振幅との関係

5.12.1 RX 代表的特性 : 30MHz ~ 400MHz (続き)

$T_A = +25^{\circ}\text{C}$ における代表値。デフォルト条件は 30MHz。ADC サンプル レート = 1500MSPS、出力サンプル レート = 62.5MSPS (24x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。400MHz のデフォルト条件: ADC サンプル レート = 1500MSPS、出力サンプル レート = 125MSPS (12x でデシメーション)、 $f_{\text{REF}} = 500\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB。

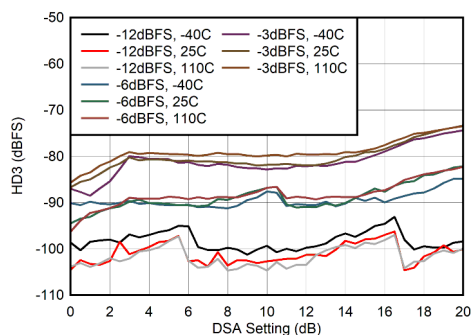
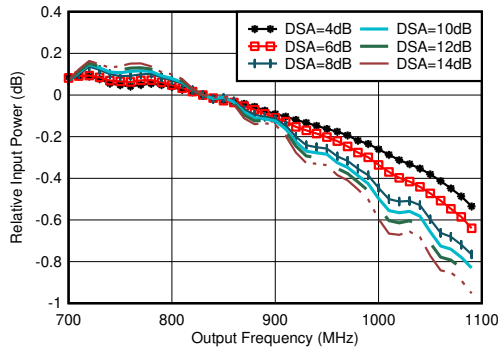


図 5-49. 400MHz での HD3 と DSA 設定との関係

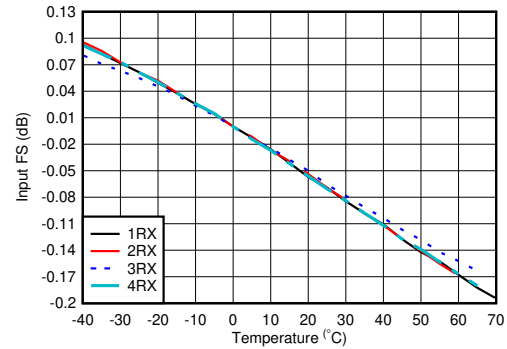
5.12.2 RX 代表的特性 : 800MHz

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (6 でデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



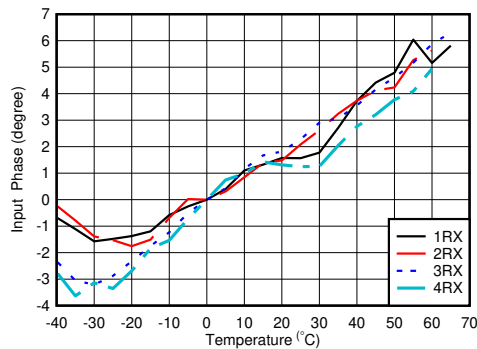
0.8GHz 整合あり、830MHz で正規化

図 5-50. RX 帯域内ゲイン平坦性 (チャンネル 1RX、 $f_{\text{IN}} = 830\text{MHz}$)



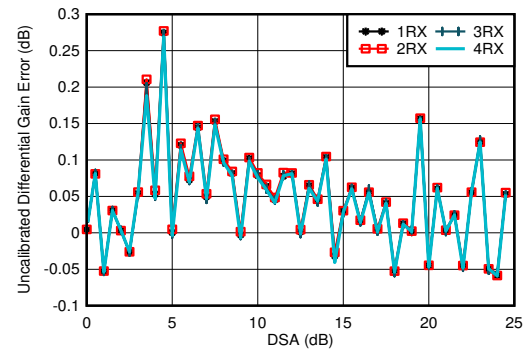
0.8GHz 整合あり、各チャンネルについて 25°C のフルスケールで正規化

図 5-51. RX 入力フルスケールと温度との関係 (各種チャンネル、800MHz)



0.8GHz 整合あり、25°C の位相で正規化

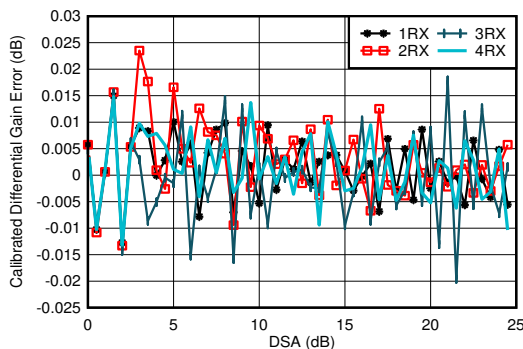
図 5-52. RX 入力位相と温度との関係 (各種 DSA、 $f_{\text{OUT}} = 0.8\text{GHz}$)



0.8GHz 整合あり

微分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

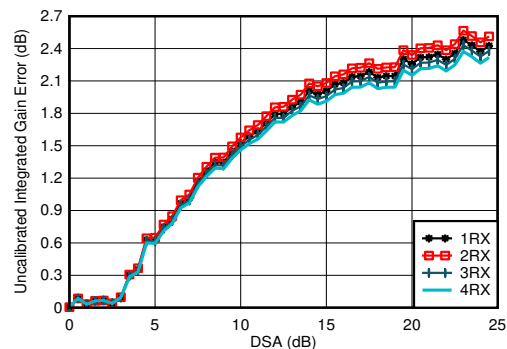
図 5-53. RX 未校正微分振幅誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

微分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

図 5-54. RX 校正済み微分振幅誤差と DSA 設定との関係 (0.8GHz)



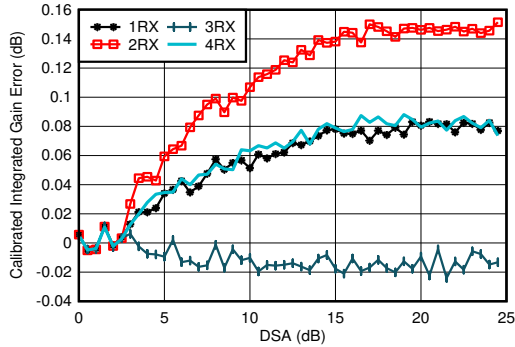
0.8GHz 整合あり

積分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-55. RX 未校正積分振幅誤差と DSA 設定との関係 (0.8GHz)

5.12.2 RX 代表的特性 : 800MHz (続き)

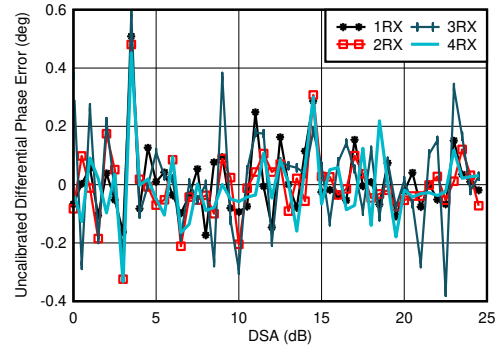
$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (6 デジメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



0.8GHz 整合あり

積分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

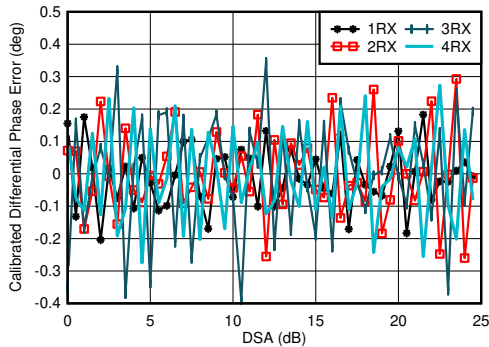
図 5-56. RX 較正済み積分振幅誤差と DSA 設定との関係 (2.6GHz)



0.8GHz 整合あり

微分位相誤差 = $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

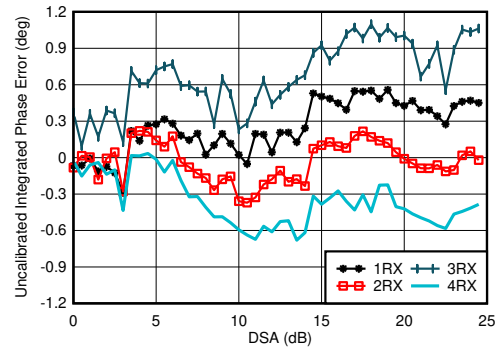
図 5-57. RX 未校正微分位相誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

微分位相誤差 = $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

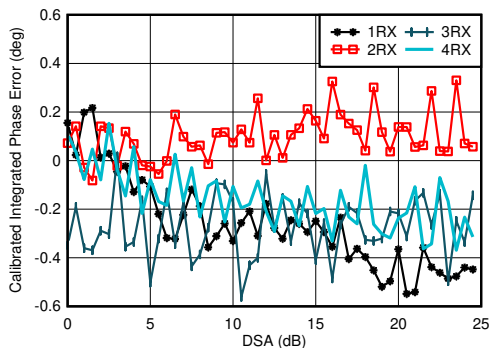
図 5-58. RX 較正済み微分位相誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

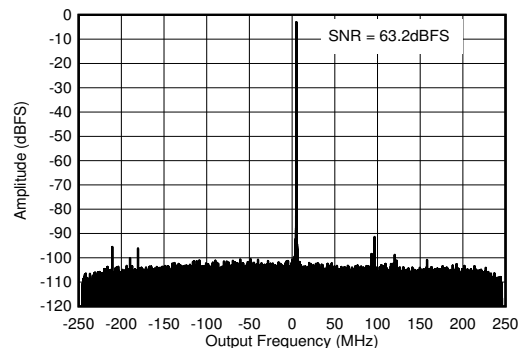
図 5-59. RX 未校正積分位相誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-60. RX 較正済み積分位相誤差と DSA 設定との関係 (0.8GHz)

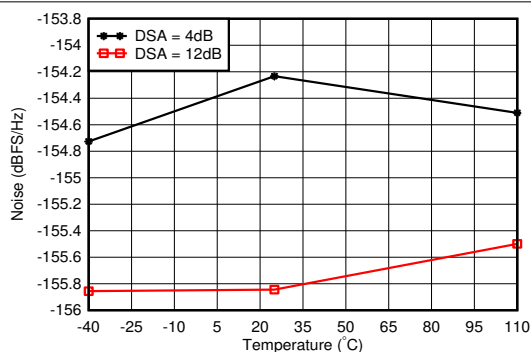


0.8GHz 整合あり、 $f_{\text{IN}} = 840\text{MHz}$ 、 $A_{\text{IN}} = -3\text{dBFS}$

図 5-61. RX 出力 FFT (0.8GHz)

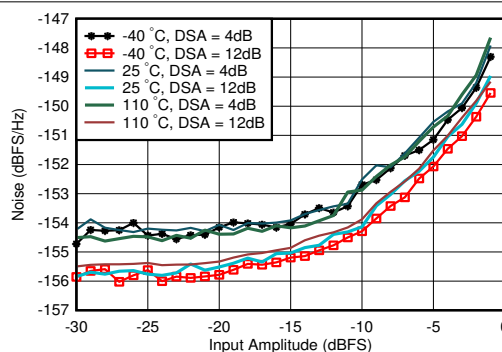
5.12.2 RX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (6 でデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



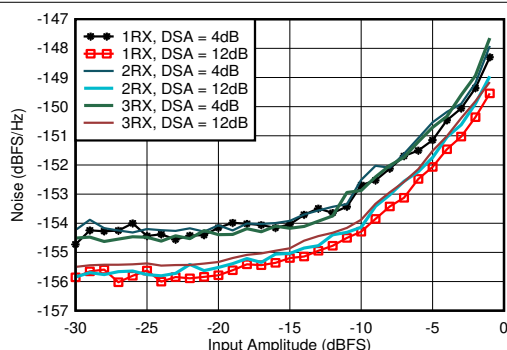
0.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-62. RX ノイズ スペクトル密度と温度との関係 (0.8GHz)



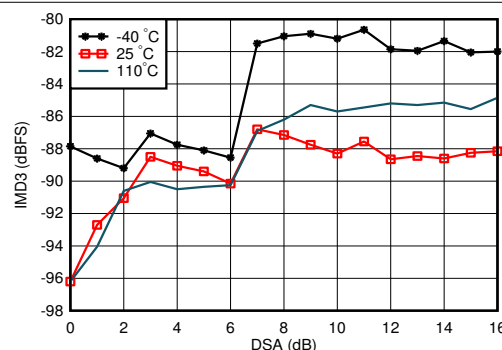
0.8GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 5-63. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、0.8GHz)



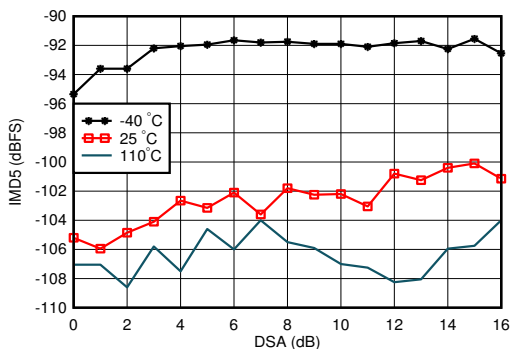
0.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-64. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、0.8GHz)



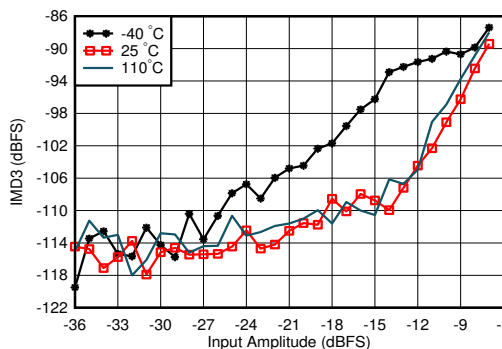
A. 0.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 5-65. RX IMD3 と DSA 設定との関係 (各種温度、0.8GHz)



0.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 5-66. RX IMD5 と DSA 設定との関係 (各種温度、0.8GHz)

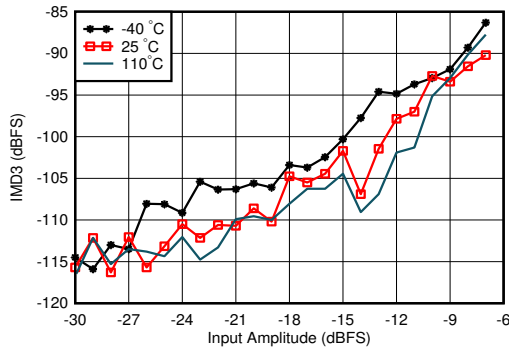


0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 5-67. RX IMD3 と入力レベルとの関係 (各種温度、0.8GHz)

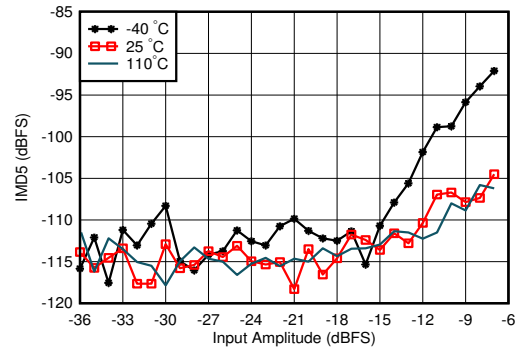
5.12.2 RX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (6 でデジメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



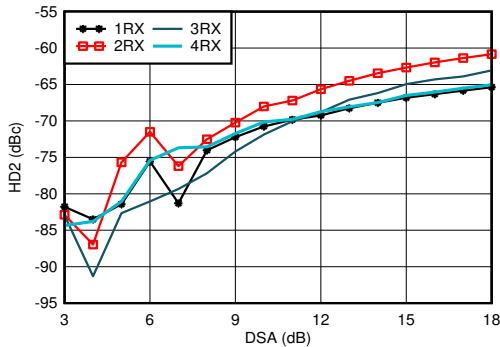
0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 5-68. RX IMD3 と入力レベルとの関係 (各種温度、0.8GHz)



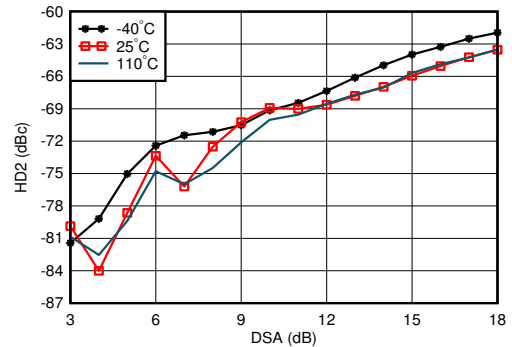
0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 5-69. RX IMD5 と入力レベルとの関係 (各種温度、0.8GHz)



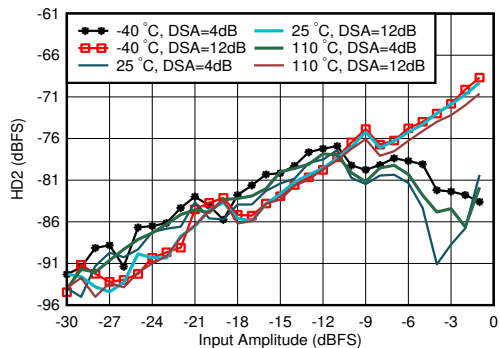
0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-70. RX HD2 と DSA 設定との関係 (各種チャンネル、0.8GHz)



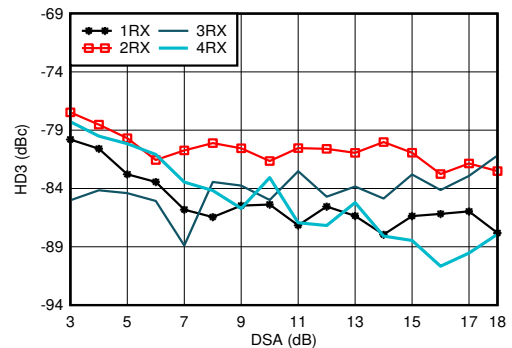
0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-71. RX HD2 と DSA 設定との関係 (各種温度、0.8GHz)



0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-72. RX HD2 と入力レベルとの関係 (各種温度、0.8GHz)

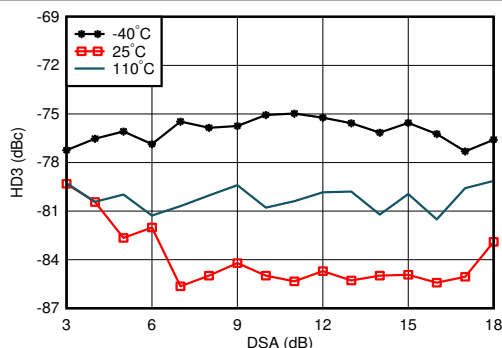


0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-73. RX HD3 と DSA 設定との関係 (各種チャンネル、0.8GHz)

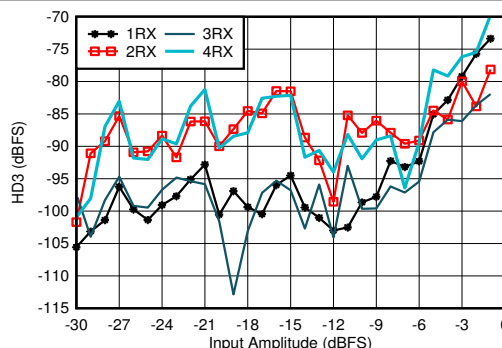
5.12.2 RX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (6 でデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



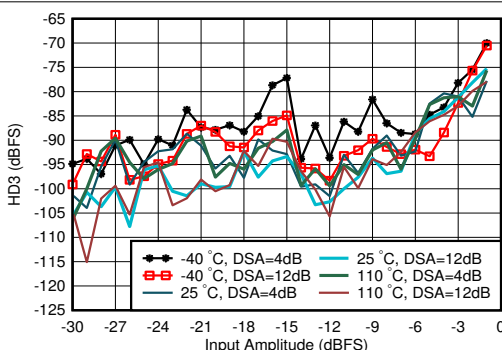
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-74. RX HD3 と DSA 設定との関係 (各種温度、0.8GHz)



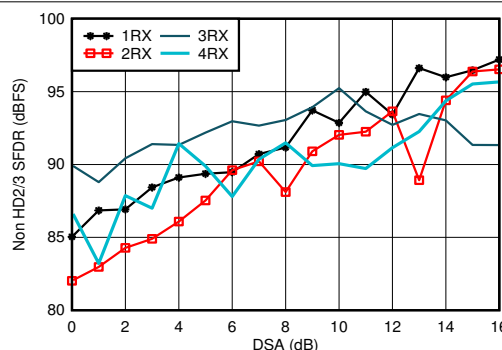
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-75. RX HD3 と入力レベルとの関係 (各種チャネル、0.8GHz)



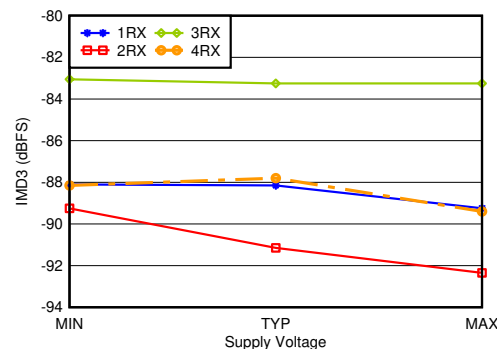
0.8GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-76. RX HD3 と入力レベルとの関係 (各種温度、0.8GHz)



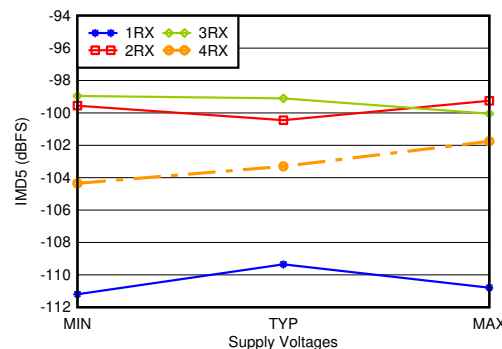
0.8GHz 整合あり

図 5-77. RX (HD2/3 を除く) と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-78. RX IMD3 と電源電圧との関係 (各種チャネル、0.8GHz)

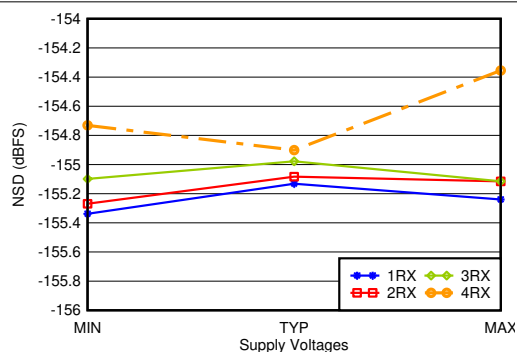


0.8GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-79. RX IMD5 と電源電圧との関係 (各種チャネル、0.8GHz)

5.12.2 RX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルレート = 2949.12GHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (6 でデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。

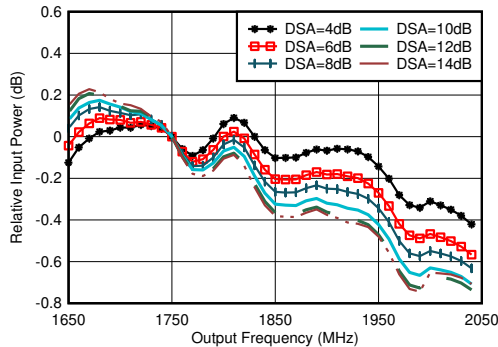


0.8GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-80. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、0.8GHz)

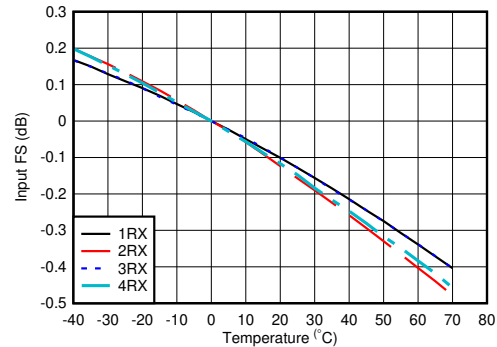
5.12.3 RX 代表的特性 : 1.75GHz~1.9GHz

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (6 でデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



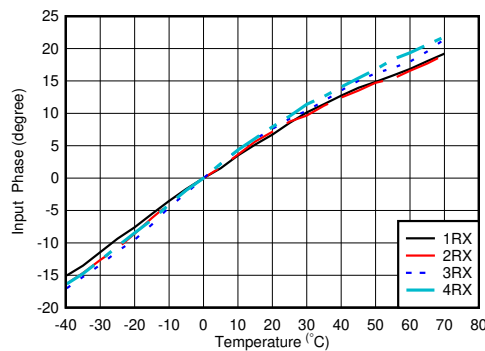
1.8GHz 整合あり、1.75GHz で正規化

図 5-81. RX 帯域内ゲイン平坦性 ($f_{\text{IN}} = 1750\text{MHz}$)



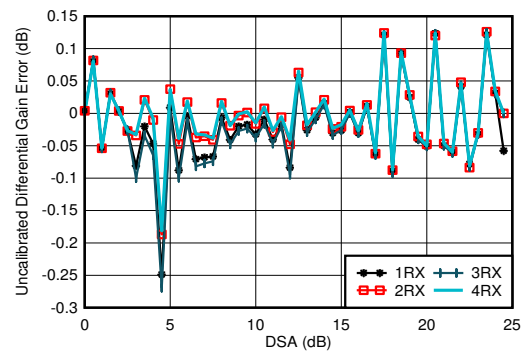
1.8GHz 整合あり、各チャンネルについて 25°C のフルスケールで正規化

図 5-82. RX 入力フルスケールと温度との関係 (各種チャンネル、1.75GHz)



2.6GHz 整合あり、25°C の位相で正規化

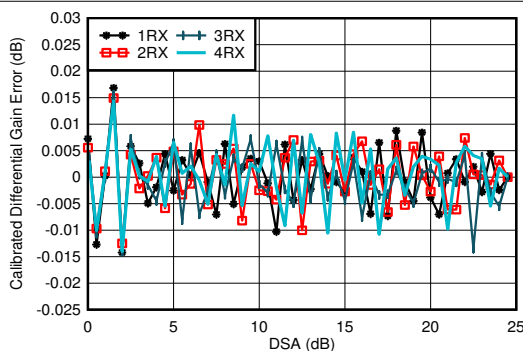
図 5-83. RX 入力位相と温度との関係 (各種 DSA、 $f_{\text{IN}} = 1.75\text{GHz}$)



1.8GHz 整合あり

微分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

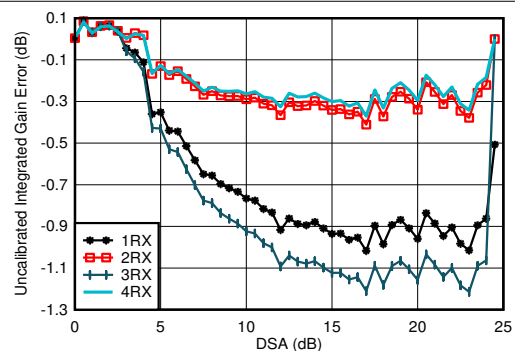
図 5-84. RX 未校正微分振幅誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

微分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

図 5-85. RX 校正済み微分振幅誤差と DSA 設定との関係 (1.75GHz)



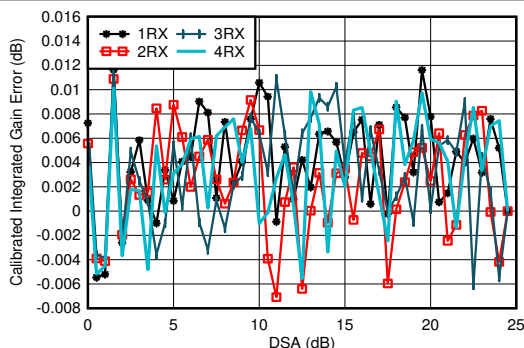
1.8GHz 整合あり

積分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-86. RX 未校正積分振幅誤差と DSA 設定との関係 (1.75GHz)

5.12.3 RX 代表的特性 : 1.75GHz~1.9GHz (続き)

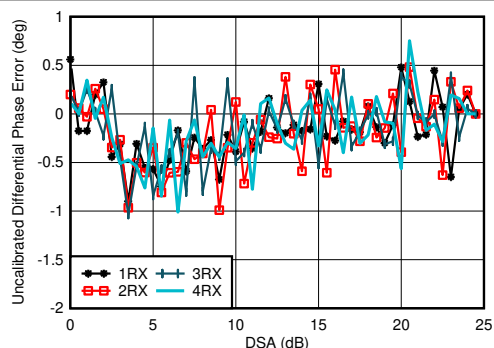
$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (6 デシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



1.8GHz 整合あり

積分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

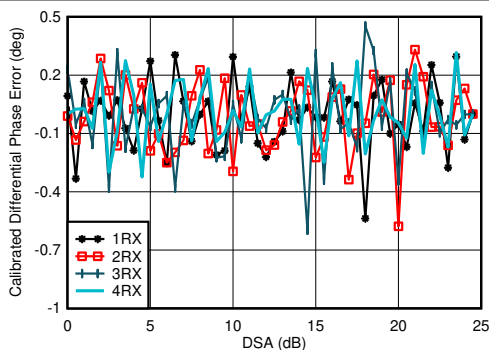
図 5-87. RX 較正済み積分振幅誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

微分位相誤差 = $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

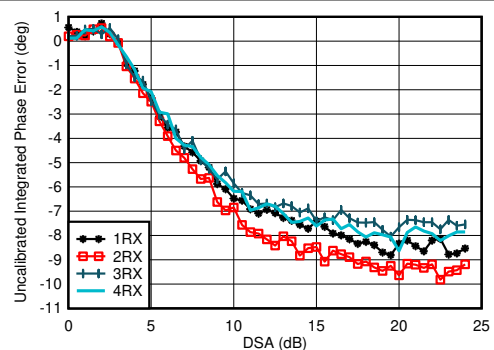
図 5-88. RX 未較正微分位相誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

微分位相誤差 = $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

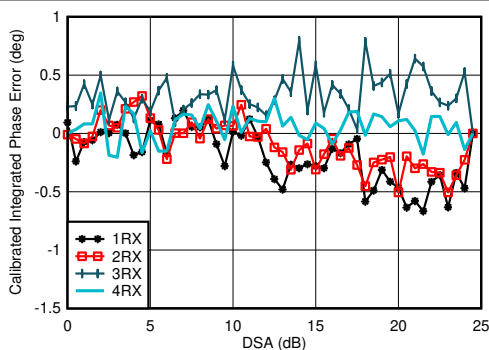
図 5-89. RX 較正済み微分位相誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

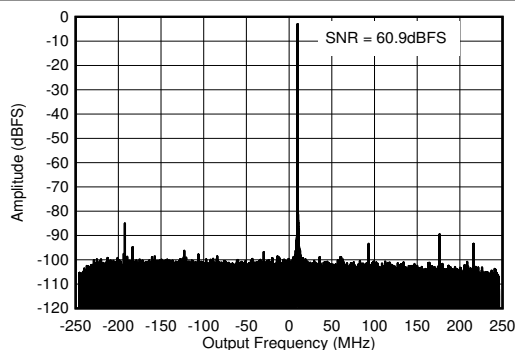
図 5-90. RX 未較正積分位相誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-91. RX 較正済み積分位相誤差と DSA 設定との関係 (1.75GHz)

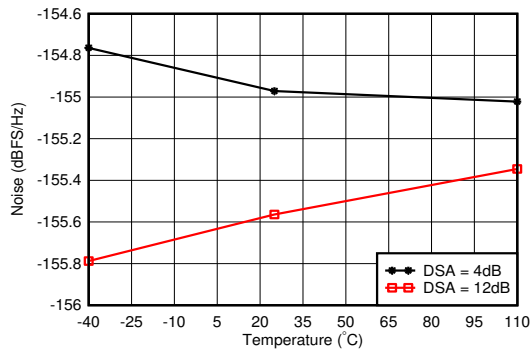


1.8GHz 整合あり、 $f_{\text{IN}} = 2610\text{MHz}$ 、 $A_{\text{IN}} = -3\text{dBFS}$

図 5-92. RX 出力 FFT (1.75GHz)

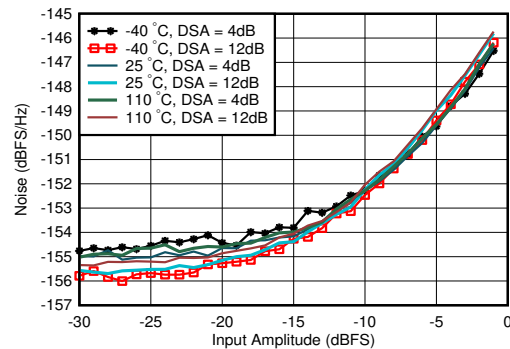
5.12.3 RX 代表的特性 : 1.75GHz~1.9GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (6 でデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



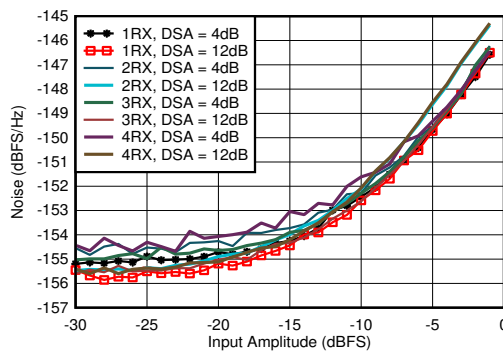
1.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-93. RX ノイズ スペクトル密度と温度との関係 (1.75GHz)



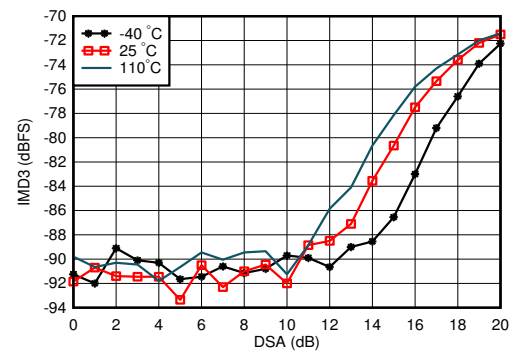
1.8GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 5-94. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、1.75GHz)



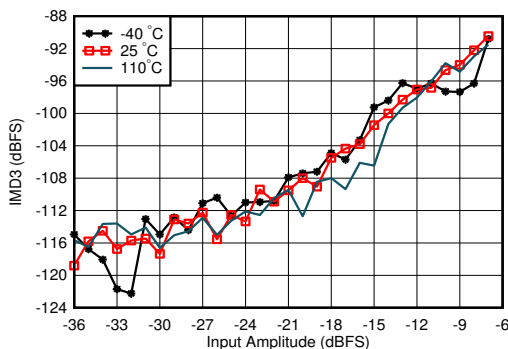
1.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-95. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、1.75GHz)



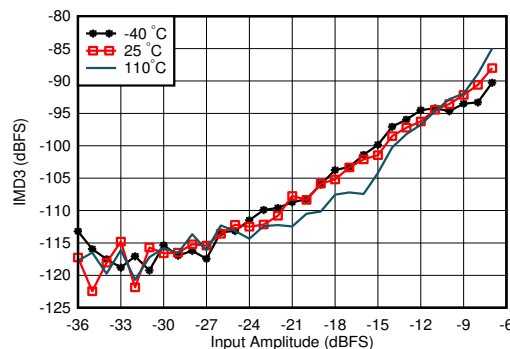
1.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 5-96. RX IMD3 と DSA 設定との関係 (各種温度、1.75GHz)



1.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 5-97. RX IMD3 と入力レベルとの関係 (各種温度、1.75GHz)

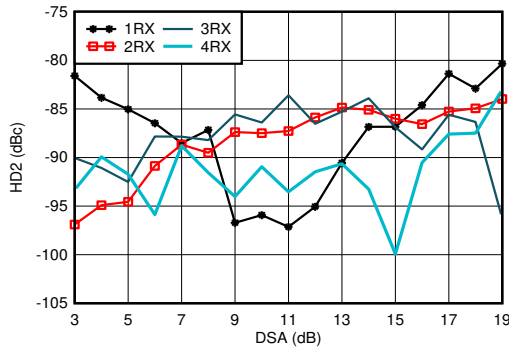


1.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 5-98. RX IMD3 と入力レベルとの関係 (各種温度、1.75GHz)

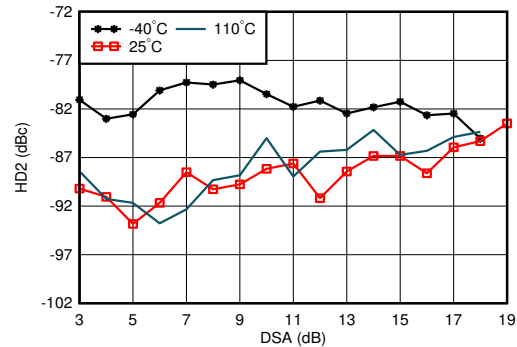
5.12.3 RX 代表的特性 : 1.75GHz~1.9GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (6 デジメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



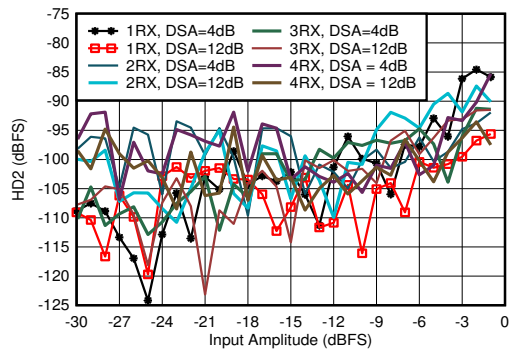
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-99. RX HD2 と DSA 設定との関係 (各種チャネル、1.9GHz)



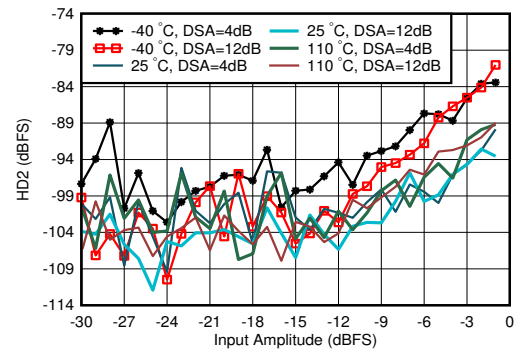
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-100. RX HD2 と DSA 設定との関係 (各種温度、1.9GHz)



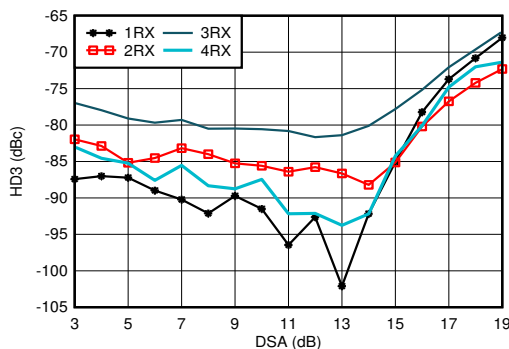
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-101. RX HD2 と入力振幅との関係 (各種チャネル、1.9GHz)



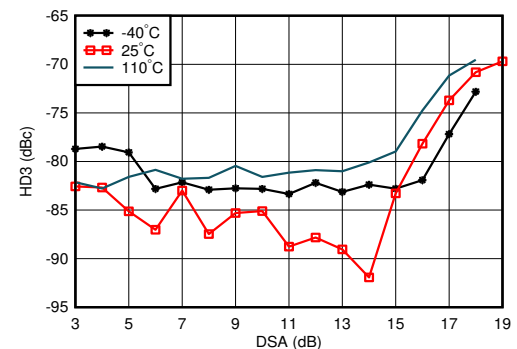
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-102. RX HD2 と入力振幅との関係 (各種温度、1.9GHz)



1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-103. RX HD3 と DSA 設定との関係 (各種チャネル、1.9GHz)

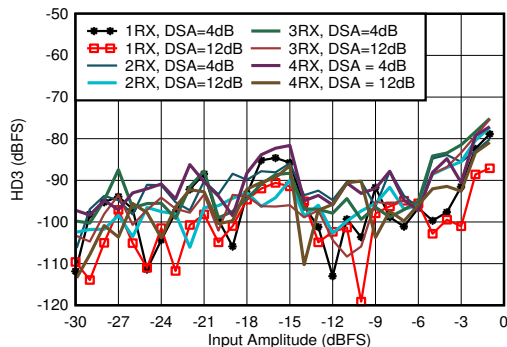


1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-104. RX HD3 と DSA 設定との関係 (各種温度、1.9GHz)

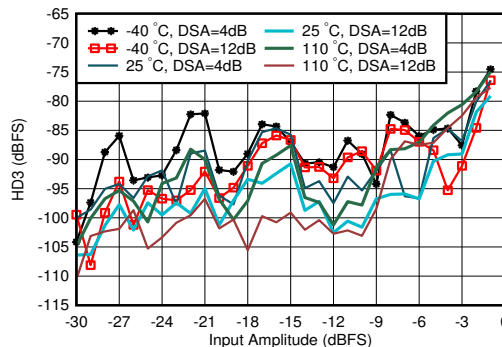
5.12.3 RX 代表的特性 : 1.75GHz~1.9GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (6 デシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB。



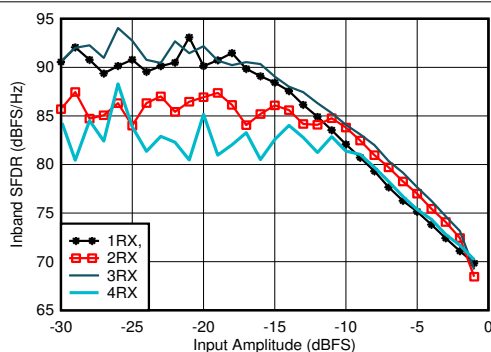
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-105. RX HD3 と入力レベルとの関係 (各種チャンネル、1.9GHz)



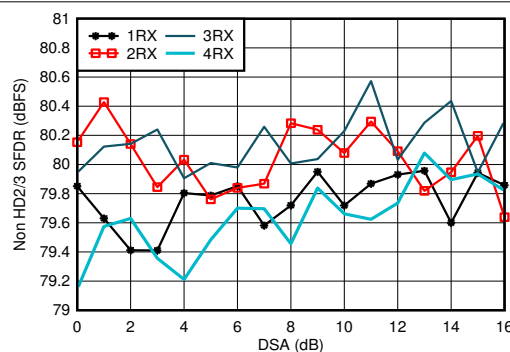
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-106. RX HD3 と入力レベルとの関係 (各種温度、1.9GHz)



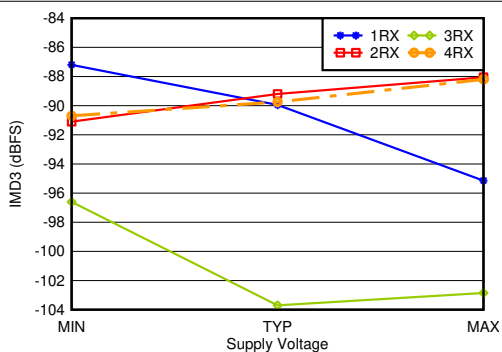
1.8GHz 整合あり、1/3 にデシメーション

図 5-107. RX 帯域内 SFDR ($\pm 400\text{MHz}$) と入力振幅との関係 (1.75GHz)



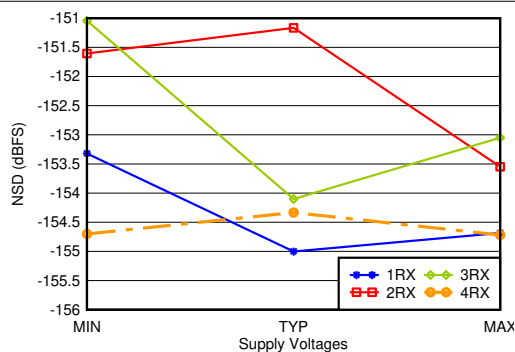
1.8GHz 整合あり

図 5-108. RX (HD2/3 を除く) と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-109. RX IMD3 と電源電圧との関係 (各種チャンネル、1.75GHz)

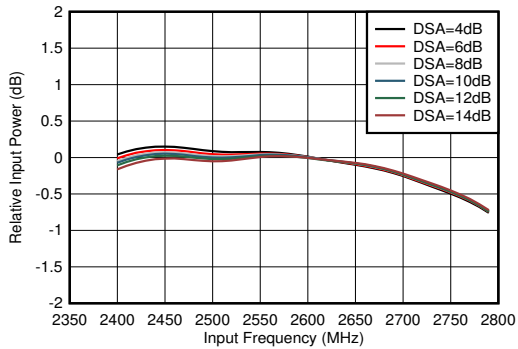


1.8GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-110. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャンネル、1.75GHz)

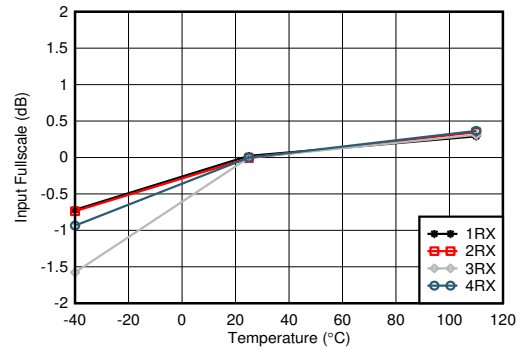
5.12.4 RX 代表的特性 : 2.6GHz

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



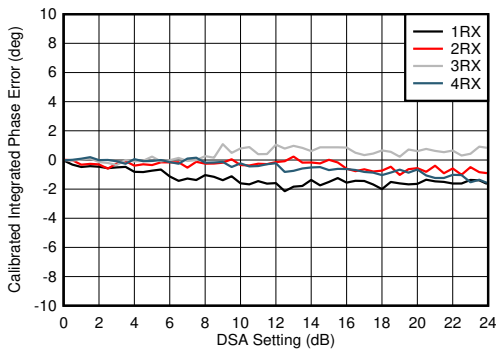
整合あり、各 DSA 設定について 2.6GHz の電力で正規化

図 5-111. RX 帯域内ゲイン平坦性 ($f_{\text{IN}} = 2600\text{MHz}$)



2.6GHz 整合あり、各チャネルについて 25°C のフルスケールで正規化

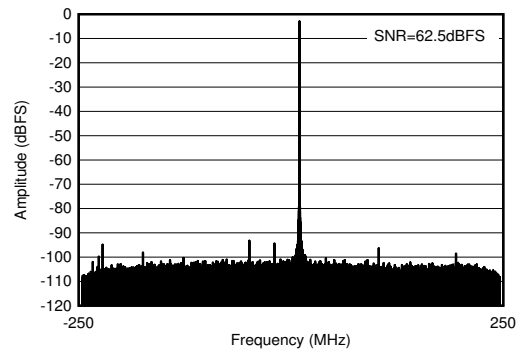
図 5-112. RX 入力フルスケールと温度との関係 (各種チャネル、2.6GHz)



2.6GHz 整合あり

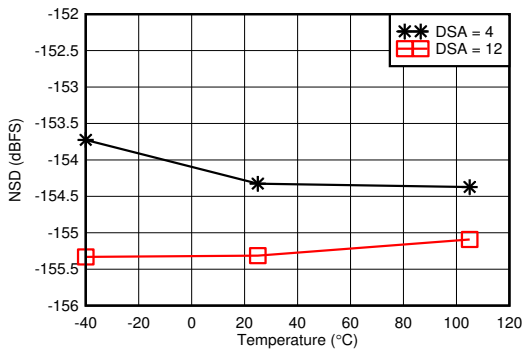
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 5-113. RX 較正済み積分位相誤差と DSA 設定との関係 (2.6GHz)



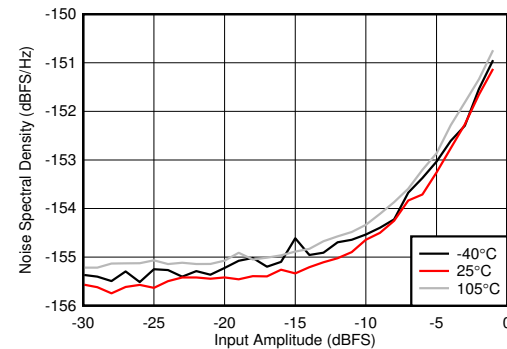
2.6GHz 整合あり、 $f_{\text{IN}} = 2610\text{MHz}$ 、 $A_{\text{IN}} = -3\text{dBFS}$

図 5-114. RX 出力 FFT (2.6GHz)



2.6GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-115. RX ノイズ スペクトル密度と温度との関係 (2.6GHz)

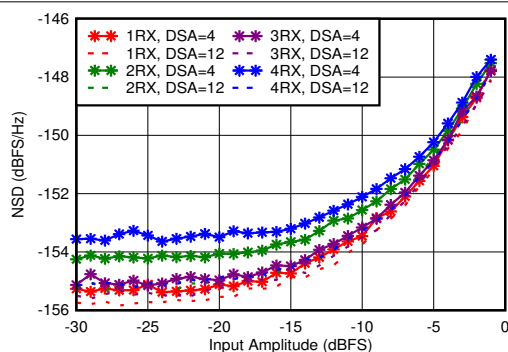


2.6GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 5-116. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、2.6GHz)

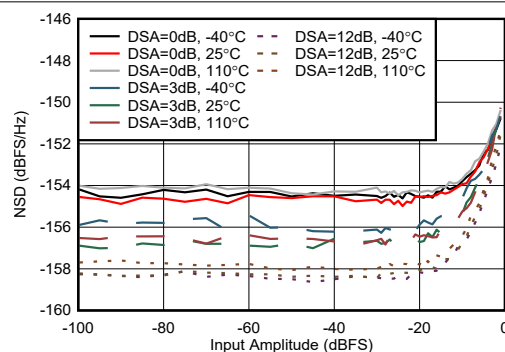
5.12.4 RX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



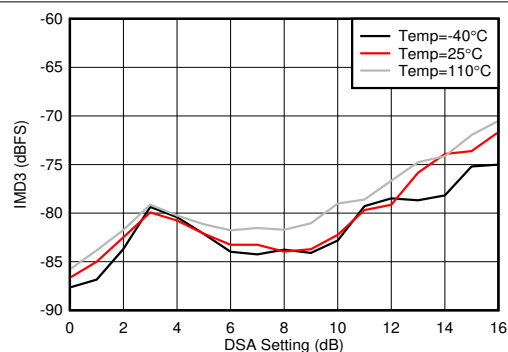
2.6GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-117. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、2.6GHz)



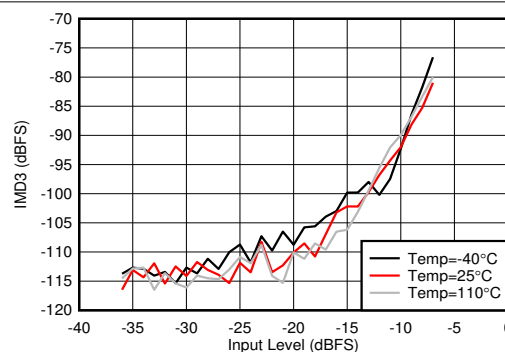
トーンから 50MHz のオフセット、外部クロック モード

図 5-118. 2.61GHz での RX ノイズ スペクトル密度と温度との関係 (外部クロック)



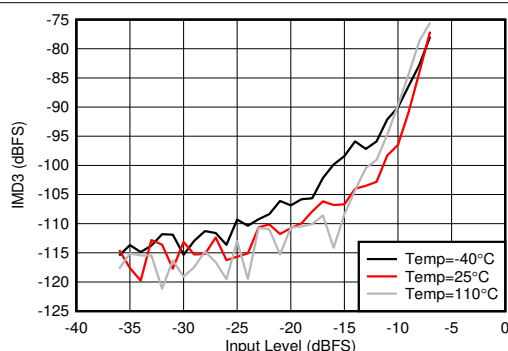
2.6GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 5-119. RX IMD3 と DSA 設定との関係 (各種温度、2.6GHz)



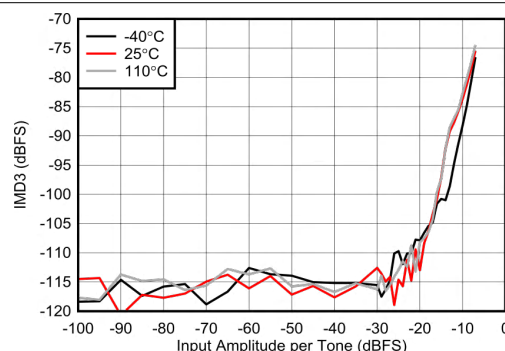
2.6GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 5-120. RX IMD3 と入力レベルとの関係 (各種温度、2.6GHz)



2.6GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 5-121. RX IMD3 と入力レベルとの関係 (各種温度、2.6GHz)

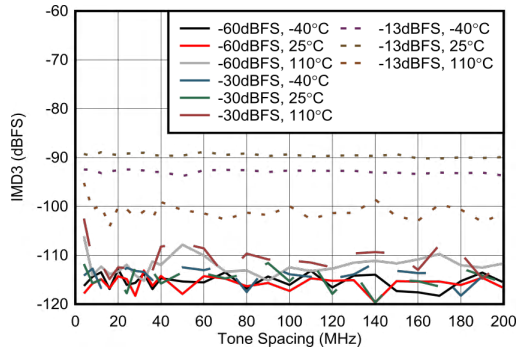


トーン間隔 = 50MHz、外部クロック モード

図 5-122. 2.6GHz での RX IMD3 と入力レベルとの関係 (外部クロック)

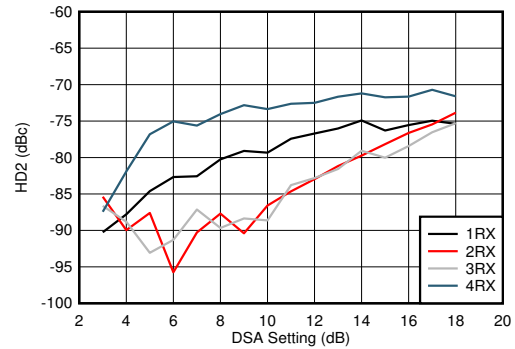
5.12.4 RX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



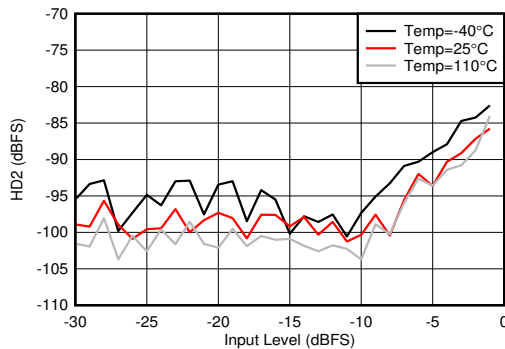
外部クロック モード

図 5-123. 2.6GHz での RX IMD3 とトーン間隔との関係 (外部クロック)



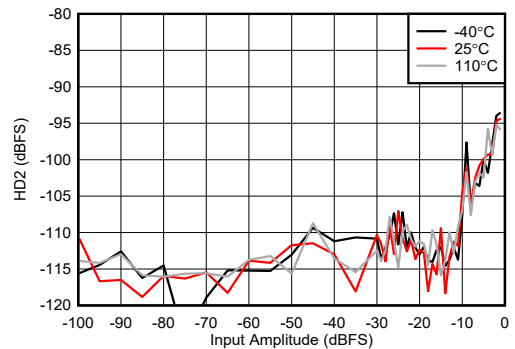
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-124. RX HD2 と DSA 設定との関係 (各種チャネル、2.6GHz)



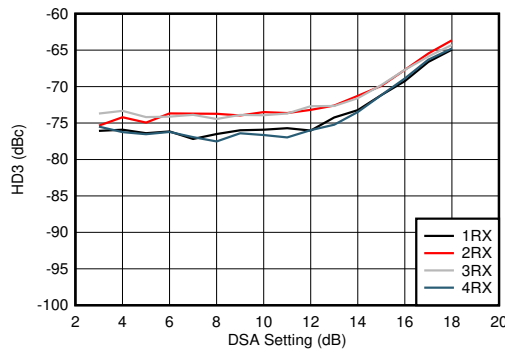
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-125. RX HD2 と入力レベルとの関係 (各種温度、2.6GHz)



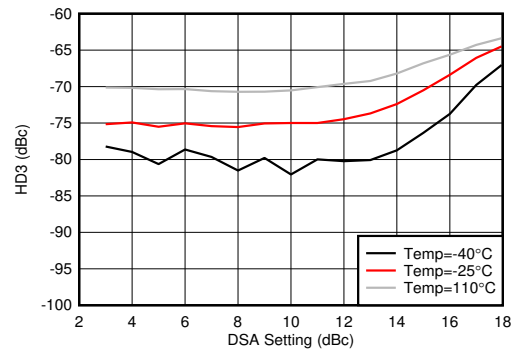
外部クロック モード

図 5-126. RX HD2 と入力レベルとの関係 (各種温度、2.6GHz)



2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-127. RX HD3 と DSA 設定との関係 (各種チャネル、2.6GHz)

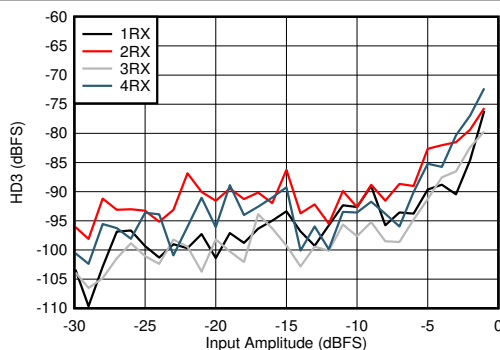


2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-128. RX HD3 と DSA 設定との関係 (各種温度、2.6GHz)

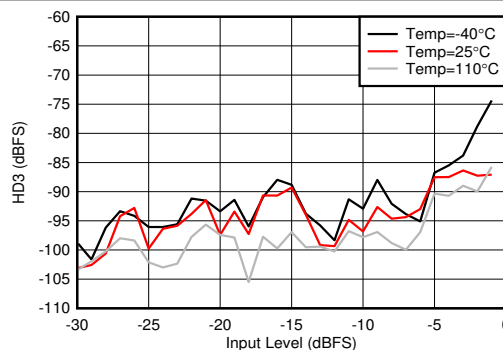
5.12.4 RX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



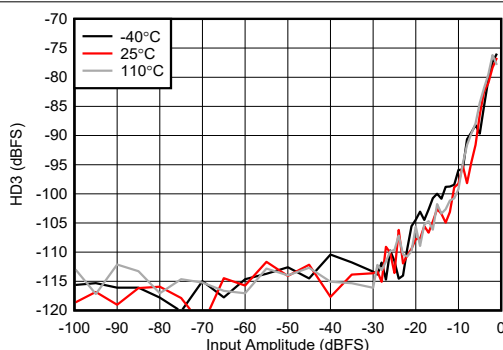
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-129. RX HD3 と入力レベルとの関係 (各種チャンネル、2.6GHz)



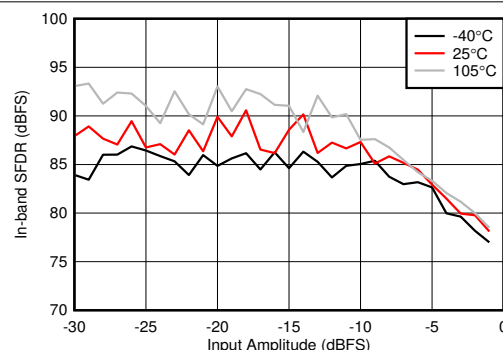
2.6GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-130. RX HD3 と入力レベルとの関係 (各種温度、2.6GHz)



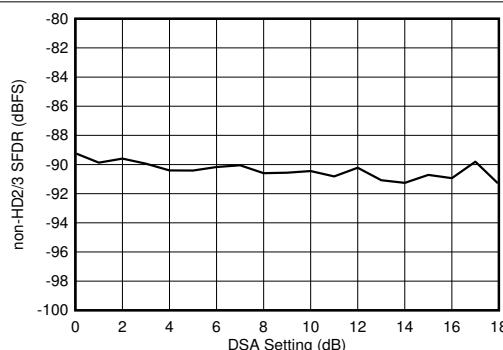
外部クロック モード

図 5-131. RX HD3 と入力レベルとの関係 (各種温度、2.6GHz)



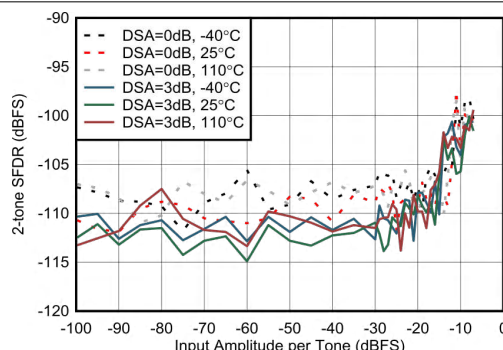
2.6GHz 整合あり、1/4 にデシメーション

図 5-132. RX 帯域内 SFDR ($\pm 300\text{MHz}$) と入力振幅との関係 (各種温度、2.6GHz)



2.6GHz 整合あり

図 5-133. RX (HD2/3 を除く) と DSA 設定との関係 (2.6GHz)

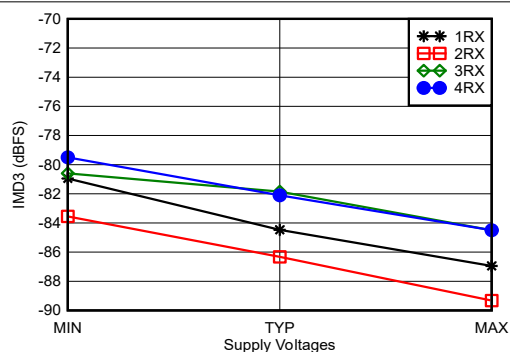


外部クロック モード、50MHz トーン間隔、3 次歪みを除く

図 5-134. 2.6GHz での RX 2 トーン SFDR と入力振幅との関係

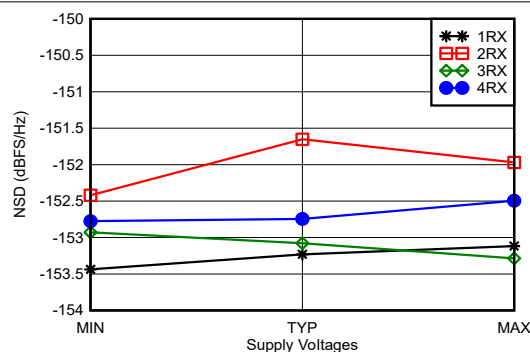
5.12.4 RX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



2.6GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-135. RX IMD3 と電源電圧との関係 (各種チャネル、2.6GHz)

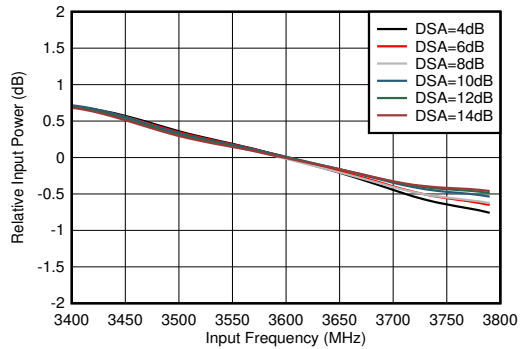


2.6GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-136. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、2.6GHz)

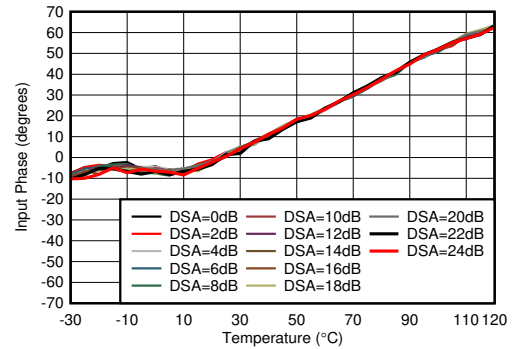
5.12.5 RX 代表的特性 : 3.5GHz

$T_A = +25^\circ\text{C}$ 、ADC サンプルレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



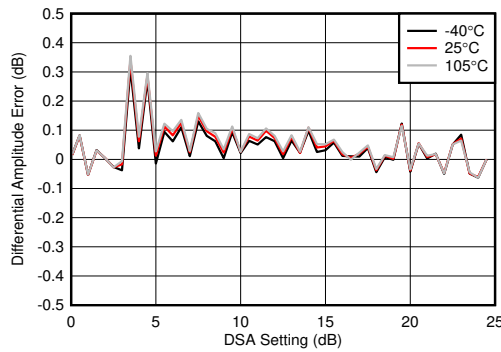
3.6GHz 整合あり、3.6GHz で正規化

図 5-137. RX 帯域内ゲイン平坦性 ($f_{\text{IN}} = 3600\text{MHz}$)



3.6GHz 整合あり、25°Cの位相で正規化

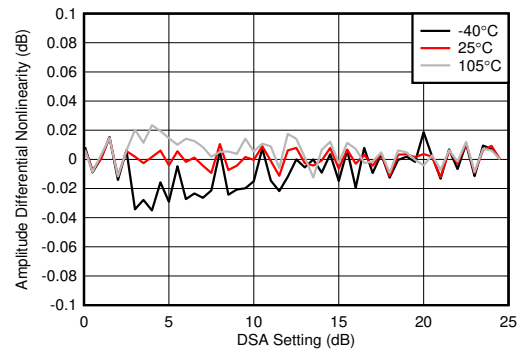
図 5-138. RX 入力位相と温度との関係 (3.6GHz)



3.6GHz 整合あり

微分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

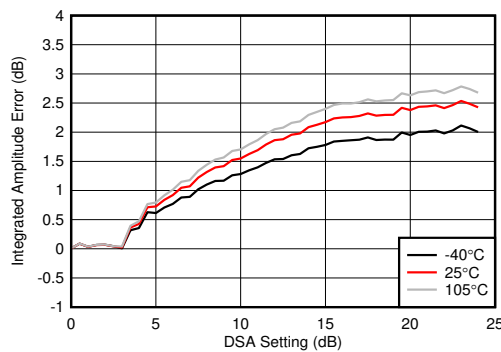
図 5-139. RX 未校正微分振幅誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

微分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

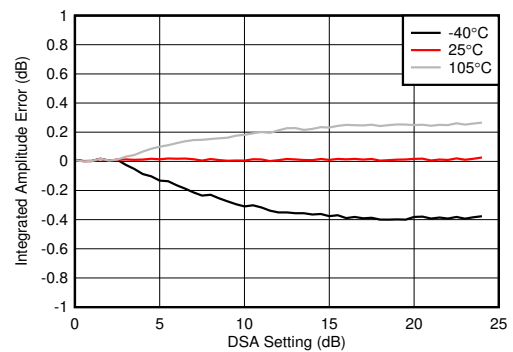
図 5-140. RX 校正済み微分振幅誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

積分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-141. RX 未校正積分振幅誤差と DSA 設定との関係 (3.6GHz)



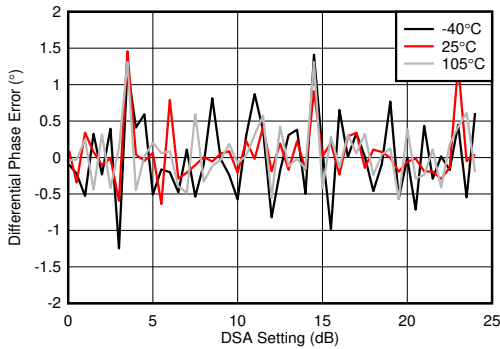
3.6GHz 整合あり

積分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-142. RX 校正済み積分振幅誤差と DSA 設定との関係 (3.6GHz)

5.12.5 RX 代表的特性 : 3.5GHz (続き)

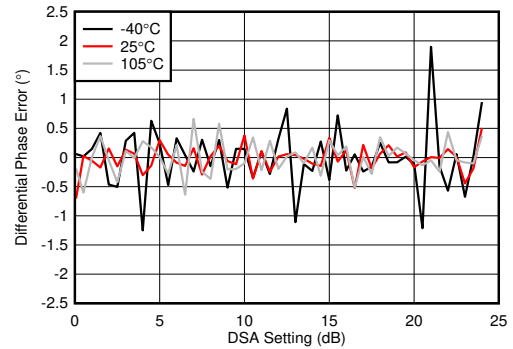
$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



3.6GHz 整合あり

微分位相誤差 = $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

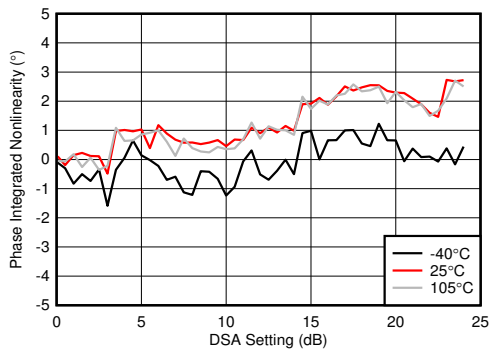
図 5-143. RX 未校正位相誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

微分位相誤差 = $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

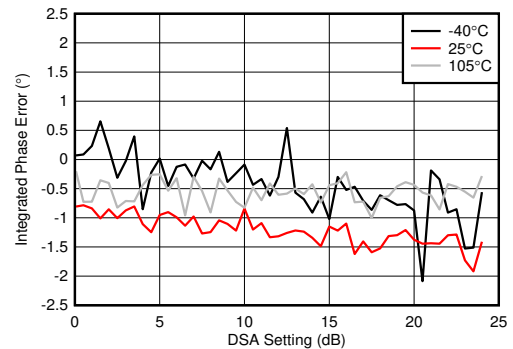
図 5-144. RX 校正済み微分位相誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

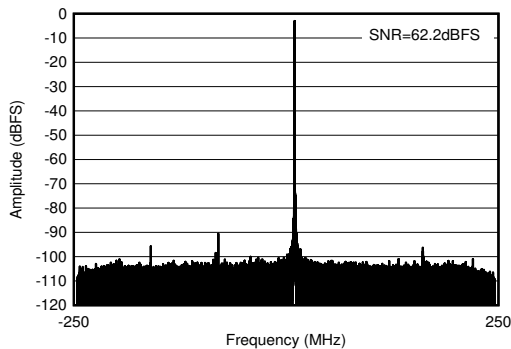
図 5-145. RX 未校正積分位相誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

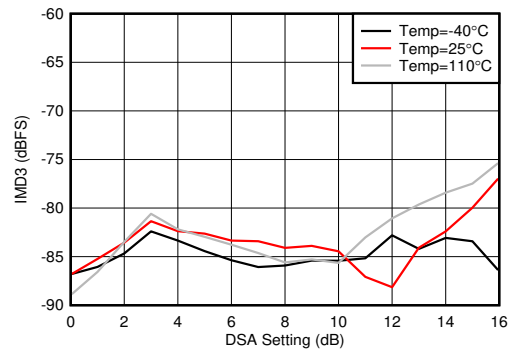
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-146. RX 校正済み積分位相誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり、 $f_{\text{IN}} = 3610\text{MHz}$ 、 $A_{\text{IN}} = -3\text{dBFS}$

図 5-147. RX 出力 FFT (3.6GHz)

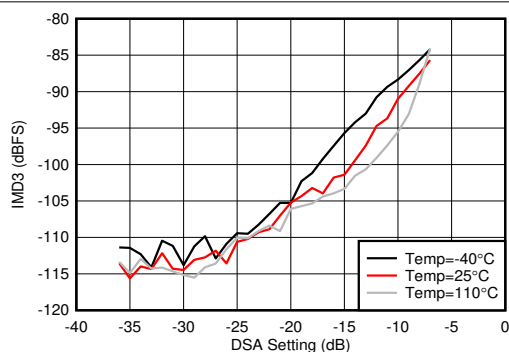


3.5GHz 整合あり、各トーンは -7dBFS、20MHz のトーン間隔

図 5-148. RX IMD3 と DSA 設定との関係 (各種温度、3.6GHz)

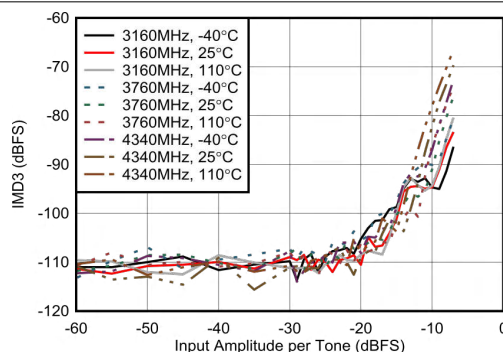
5.12.5 RX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



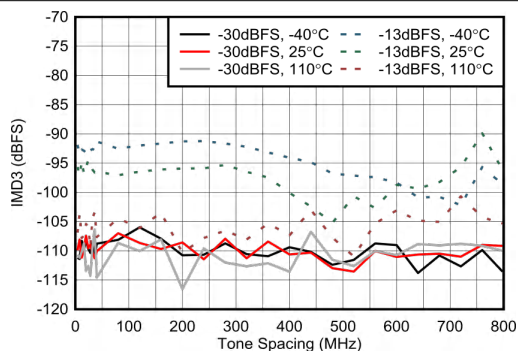
3.5GHz 整合あり、20MHz のトーン間隔

図 5-149. RX IMD3 と入力レベルとの関係 (各種温度、3.6GHz)



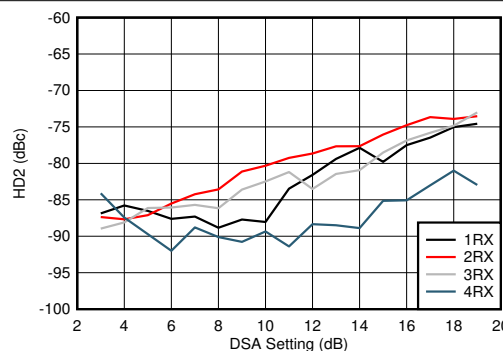
外部クロック モード、20MHz のトーン間隔、2x のデシメーション

図 5-150. RX IMD3 と入力レベルとの関係



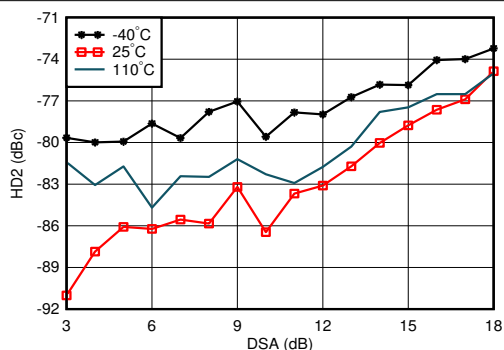
外部クロック モード イネーブル、2x のデシメーション

図 5-151. RX IMD3 とトーン間隔との関係 (3.76GHz)



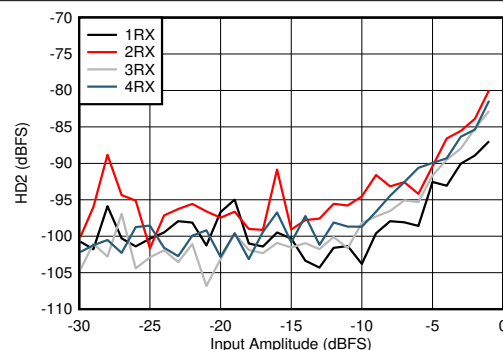
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-152. RX HD2 と DSA 設定との関係 (各種チャンネル、3.6GHz)



3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-153. RX HD2 と DSA 設定との関係 (各種温度、3.6GHz)

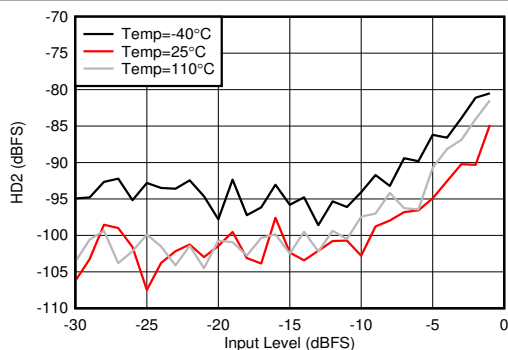


3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-154. RX HD2 と入力レベルとの関係 (各種チャンネル、3.6GHz)

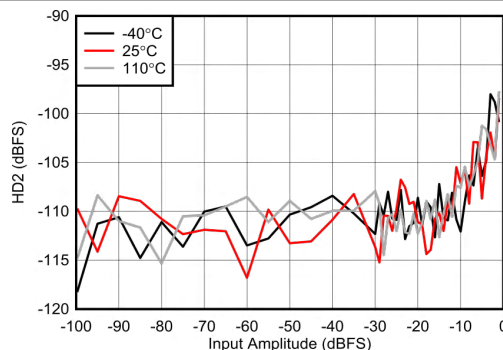
5.12.5 RX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



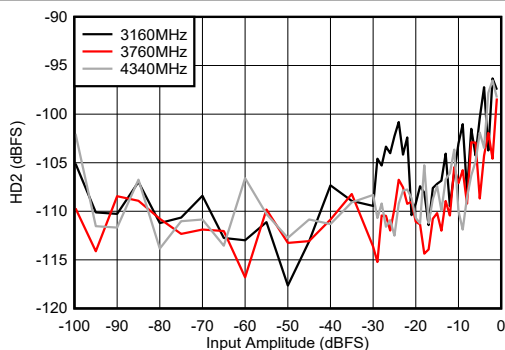
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-155. RX HD2 と入力レベルとの関係 (各種温度、3.6GHz)



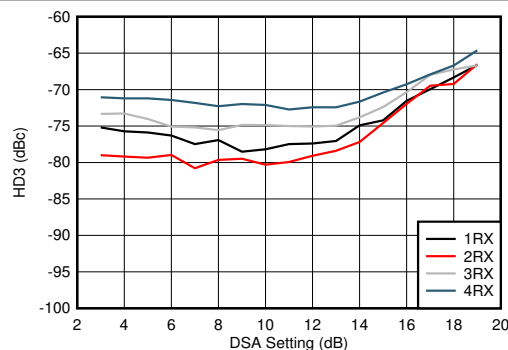
外部クロック モード イネーブル、2x のデシメーション

図 5-156. RX HD2 と入力レベルとの関係 (3.76GHz)



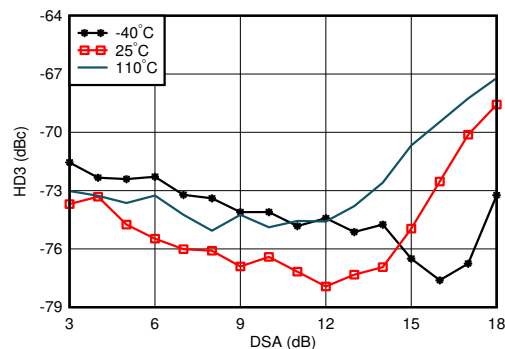
外部クロックモード、25°C、2x でのデシメーション

図 5-157. RX HD2 と入力レベルとの関係



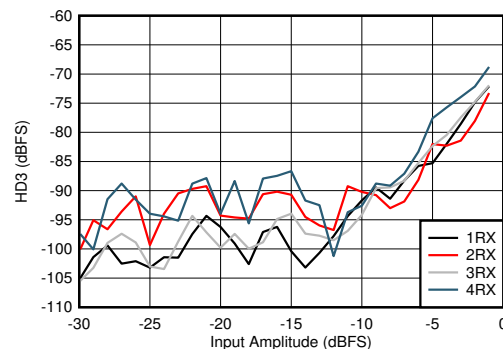
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-158. RX HD3 と DSA 設定との関係 (各種チャネル、3.6GHz)



3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-159. RX HD3 と DSA 設定との関係 (各種温度、3.6GHz)

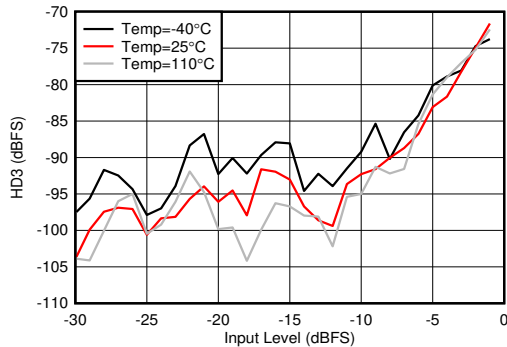


3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-160. RX HD3 と入力レベルとの関係 (各種チャネル、3.6GHz)

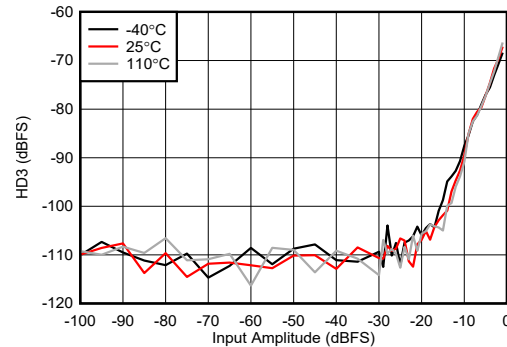
5.12.5 RX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



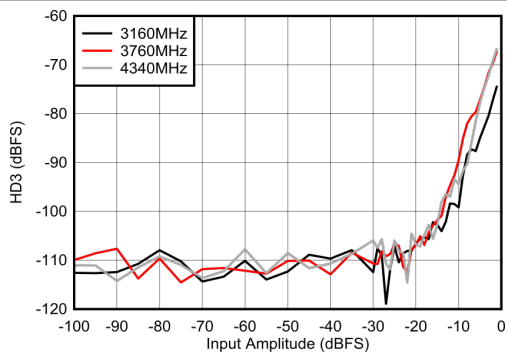
3.5GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-161. RX HD3 と入力レベルとの関係 (各種温度、3.6GHz)



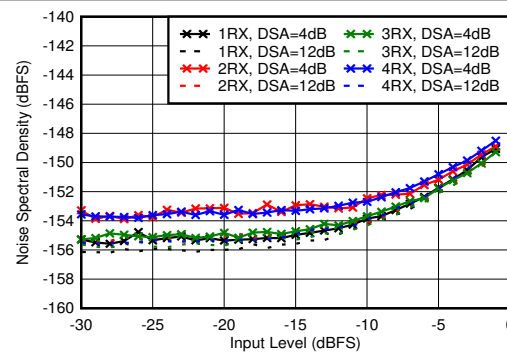
外部クロック モード イネーブル、2x のデシメーション

図 5-162. RX HD3 と入力レベルとの関係 (3.76GHz)



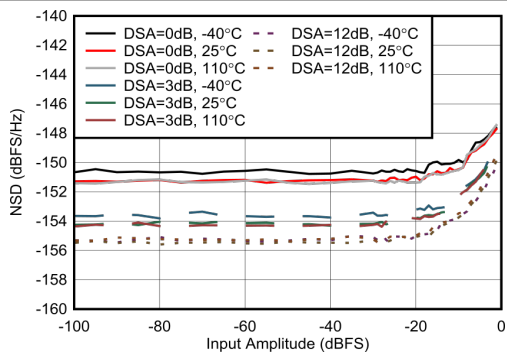
外部クロックモード、25°C、2x でのデシメーション

図 5-163. RX HD3 と入力レベルとの関係



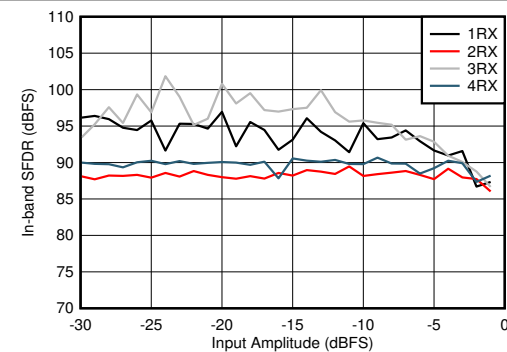
3.5GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-164. RX ノイズ スペクトル密度と入力レベルとの関係 (各種 DSA 設定、3.6GHz)



外部クロックモード、25°C、2x でのデシメーション

図 5-165. RX ノイズ スペクトル密度と入力レベルとの関係 (3.76GHz)

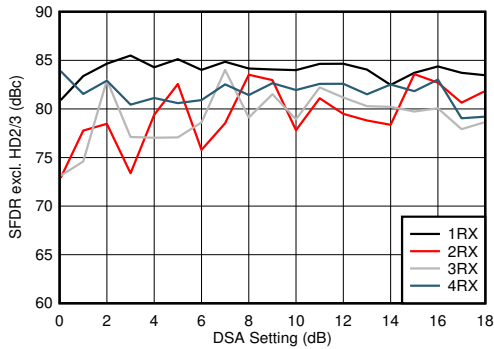


3.5GHz 整合あり

図 5-166. RX 帯域内 SFDR ($\pm 200\text{MHz}$) と入力レベルとの関係 (各種 チャネル、3.6GHz)

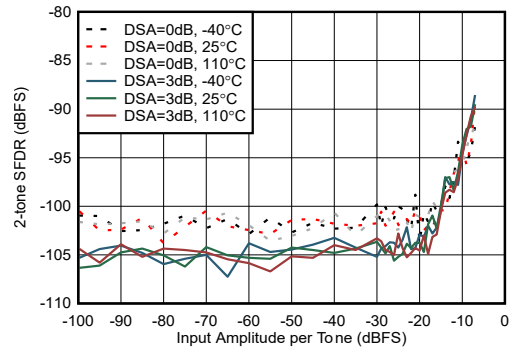
5.12.5 RX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



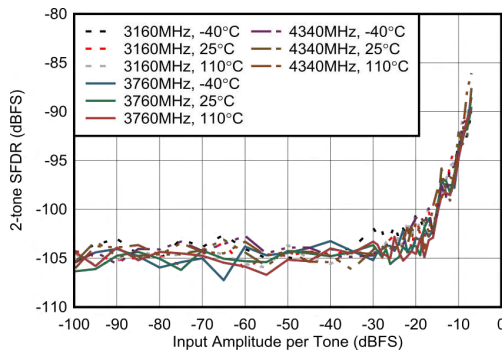
3.5GHz 整合あり

図 5-167. RX SFDR (HD2/3 を除く) と DSA 設定との関係 (各種チャネル, 3.6GHz)



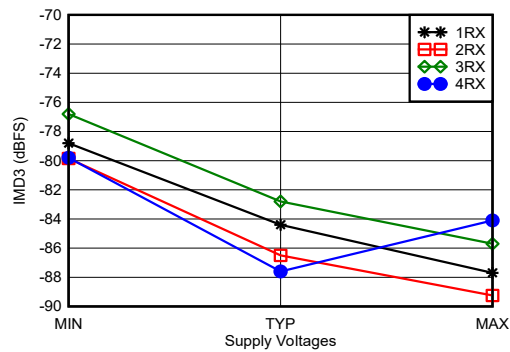
外部クロック モード、20MHz トーン間隔、3 次歪みを除く

図 5-168. RX 2 トーン SFDR と入力振幅、各種 DSA 設定との関係 (3.7GHz)



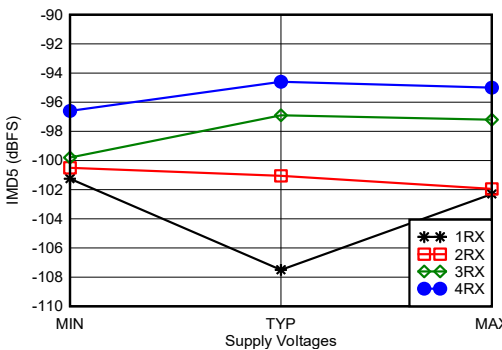
外部クロック モード、20MHz トーン間隔、3 次歪みを除く

図 5-169. RX 2 トーン SFDR、入力新値、周波数との関係 (3.7GHz)



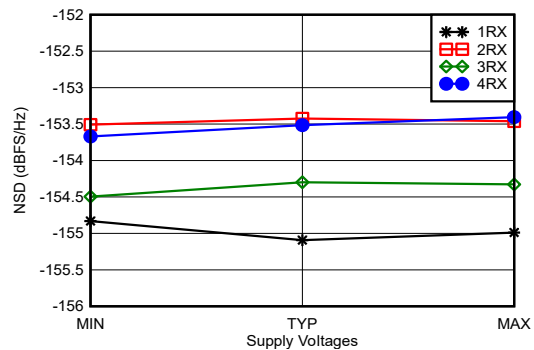
3.6GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-170. RX IMD3 と電源電圧との関係 (各種チャネル, 3.6GHz)



3.6GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-171. RX IMD5 と電源電圧との関係 (各種チャネル, 3.6GHz)

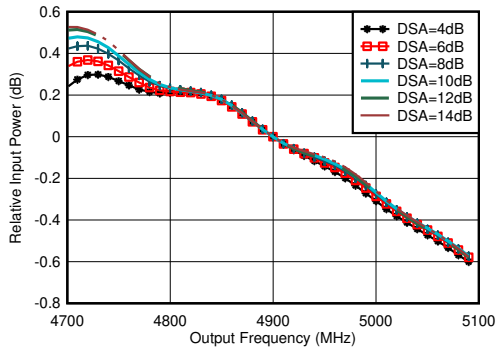


3.6GHz 整合あり、-20dBFS のトーン、12.5MHz のオフセット周波数、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-172. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル, 3.6GHz)

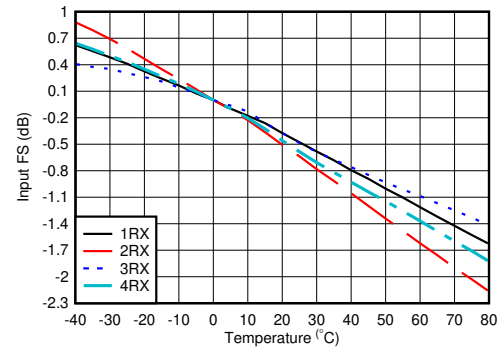
5.12.6 RX 代表的特性 : 4.9GHz

$T_A = +25^\circ\text{C}$ 、ADC サンプルング レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



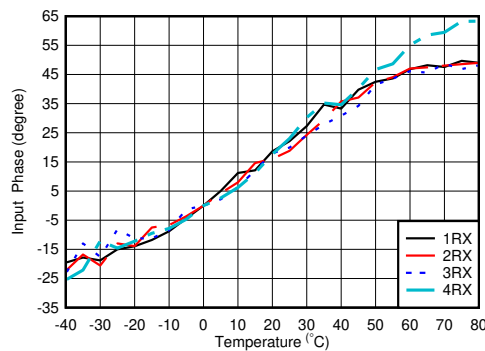
整合あり、各 DSA 設定について 4.9GHz の電力で正規化

図 5-173. RX 帯域内ゲイン平坦性 ($f_{\text{IN}} = 4900\text{MHz}$)



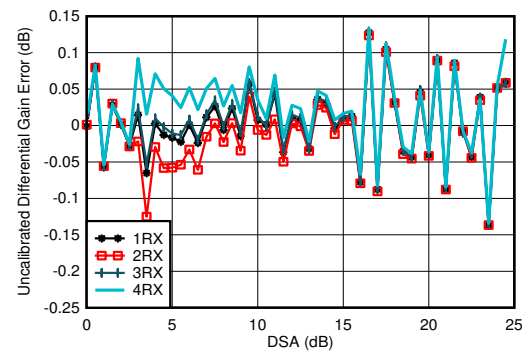
4.9GHz 整合あり、各チャネルについて 25°C のフルスケールで正規化

図 5-174. RX 入力フルスケールと温度との関係 (各種チャネル、4.9GHz)



4.9GHz 整合あり、25°C の位相で正規化

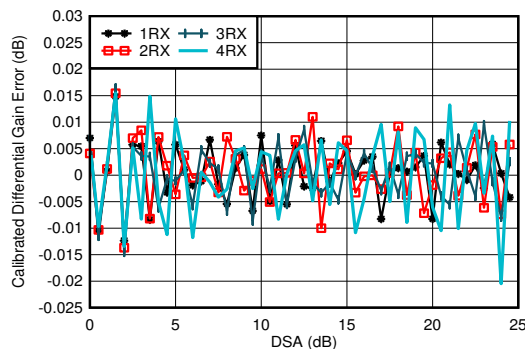
図 5-175. RX 入力位相と温度との関係 (各種 DSA、 $f_{\text{OUT}} = 4.9\text{GHz}$)



4.9GHz 整合あり

微分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

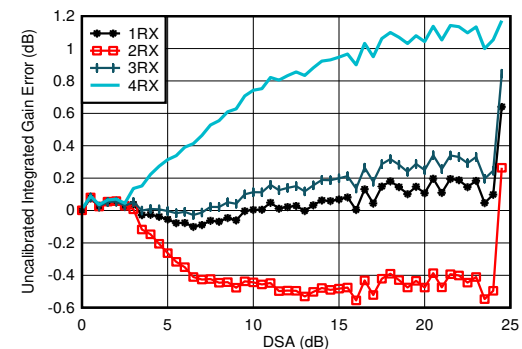
図 5-176. RX 未校正微分振幅誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

図 5-177. RX 校正済み微分振幅誤差と DSA 設定との関係 (4.9GHz)



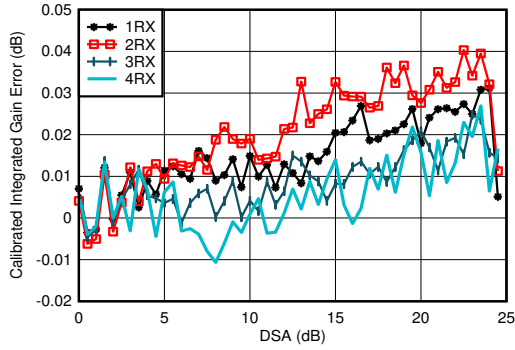
4.9GHz 整合あり

積分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-178. RX 未校正積分振幅誤差と DSA 設定との関係 (4.9GHz)

5.12.6 RX 代表的特性 : 4.9GHz (続き)

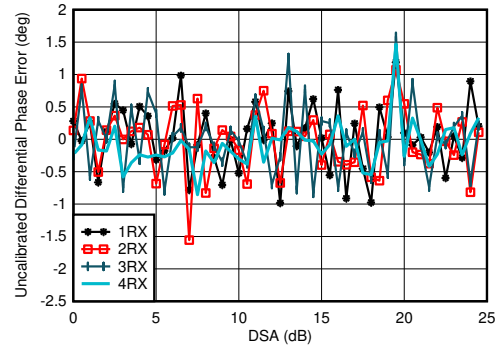
$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



4.9GHz 整合あり

積分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

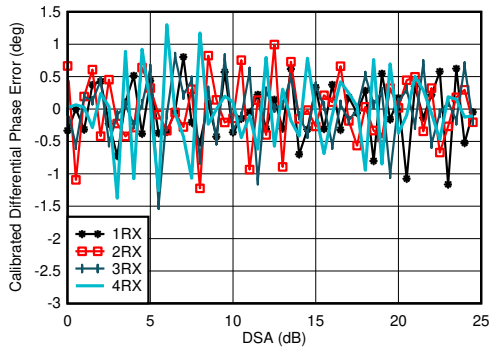
図 5-179. RX 較正済み積分振幅誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分位相誤差 = $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

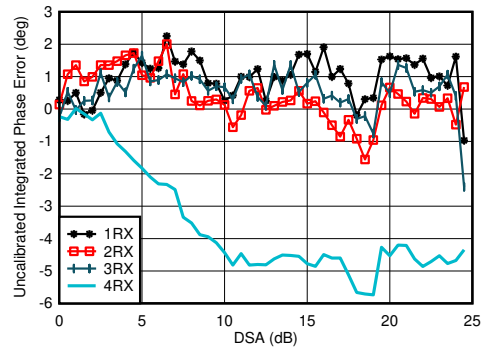
図 5-180. RX 未較正微分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分位相誤差 = $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

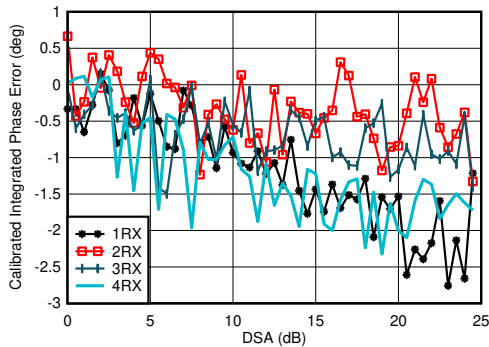
図 5-181. RX 較正済み微分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

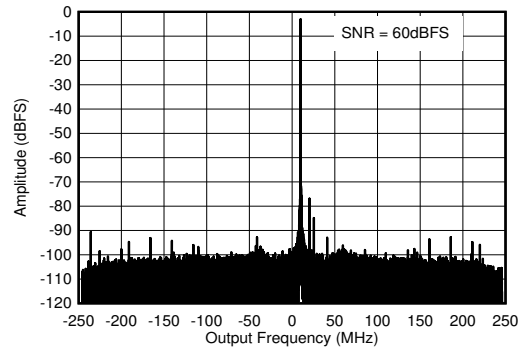
図 5-182. RX 未較正積分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-183. RX 較正済み積分位相誤差と DSA 設定との関係 (4.9GHz)

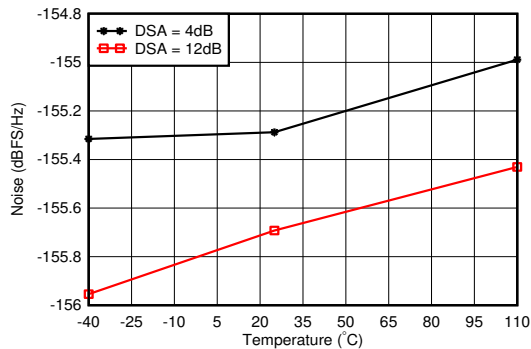


4.9GHz 整合あり、 $f_{\text{IN}} = 4910\text{MHz}$ 、 $A_{\text{IN}} = -3\text{dBFS}$

図 5-184. RX 出力 FFT (4.9GHz)

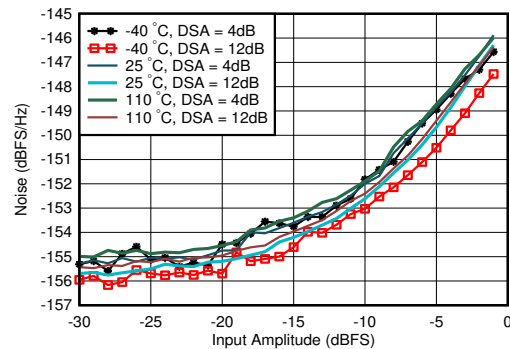
5.12.6 RX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



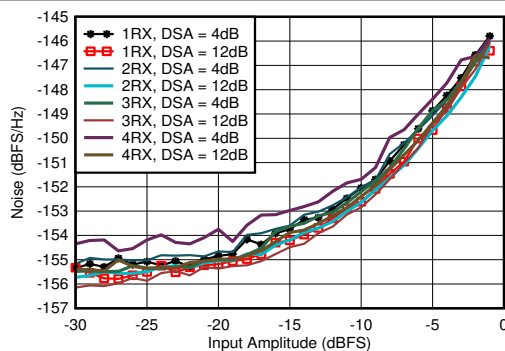
4.9GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-185. RX ノイズ スペクトル密度と温度との関係 (4.9GHz)



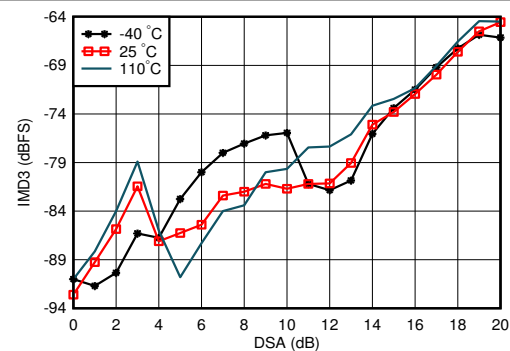
4.9GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 5-186. RX ノイズ スペクトル密度と入力振幅との関係 (各種温度、4.9GHz)



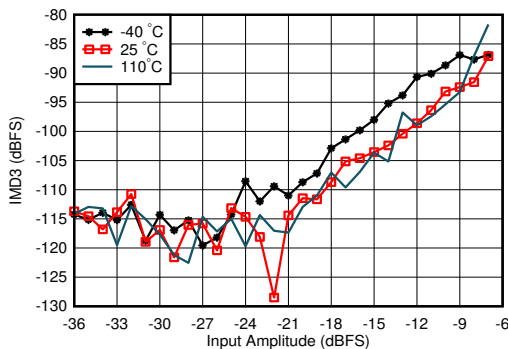
4.9GHz 整合あり、トーンからのオフセット 12.5MHz

図 5-187. RX ノイズ スペクトル密度と入力振幅との関係 (各種チャネル、4.9GHz)



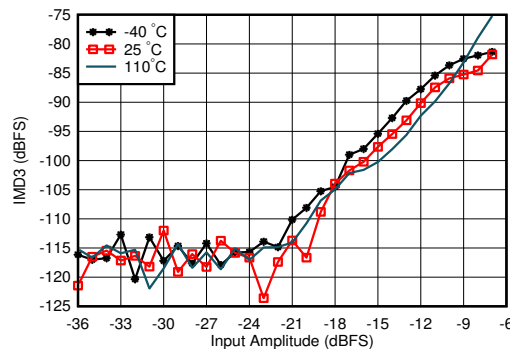
4.9GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 5-188. RX IMD3 と DSA 設定との関係 (各種温度、4.9GHz)



4.9GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 5-189. RX IMD3 と入力レベルとの関係 (各種温度、4.9GHz)

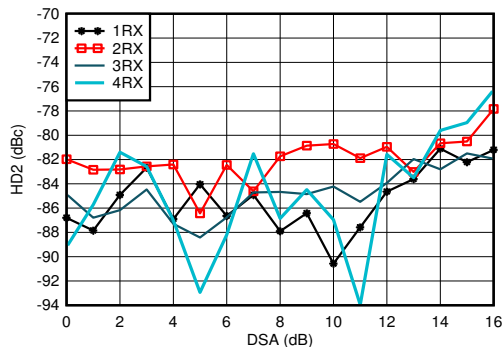


4.9GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 5-190. RX IMD3 と入力レベルとの関係 (各種温度、4.9GHz)

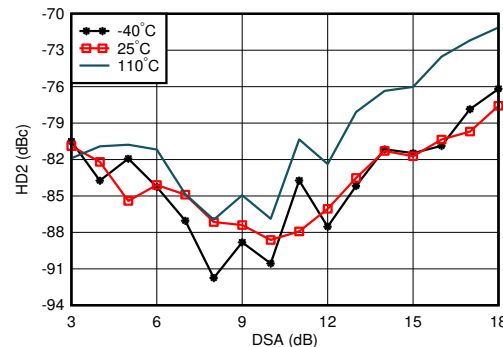
5.12.6 RX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルングレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



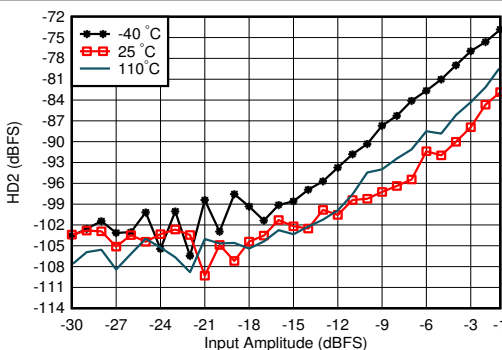
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-191. RX HD2 と DSA 設定との関係 (各種チャネル、4.9GHz)



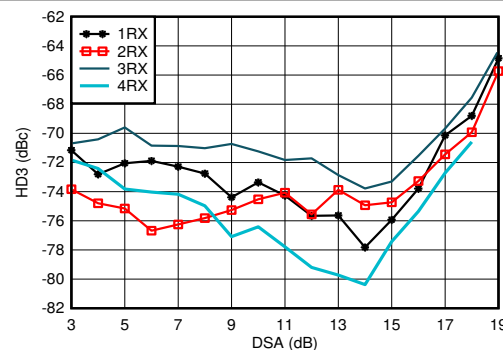
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-192. RX HD2 と DSA 設定との関係 (各種温度、4.9GHz)



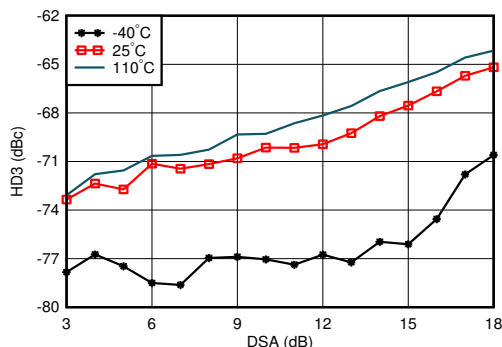
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-193. RX HD2 と入力レベルとの関係 (各種温度、4.9GHz)



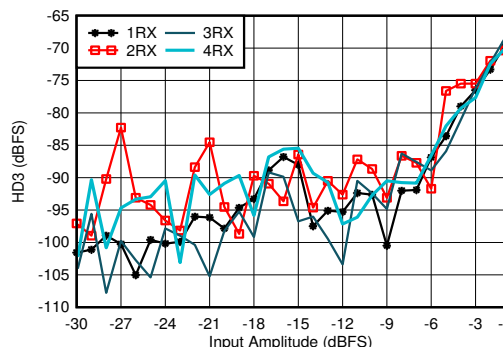
4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-194. RX HD3 と DSA 設定との関係 (各種チャネル、4.9GHz)



4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-195. RX HD3 と DSA 設定との関係 (各種温度、4.9GHz)

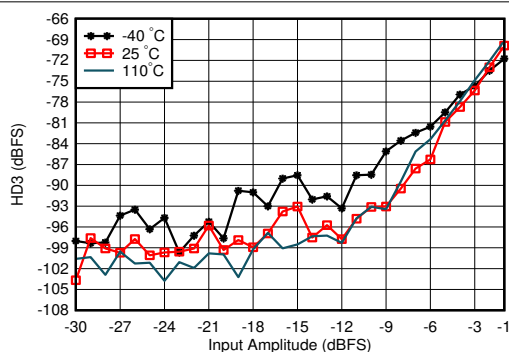


4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-196. RX HD3 と入力レベルとの関係 (各種チャネル、4.9GHz)

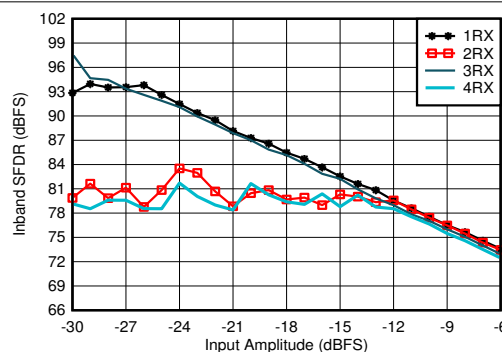
5.12.6 RX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ 、ADC サンプルレート = 2949.12MHz での代表値。デフォルト条件: 出力サンプルレート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



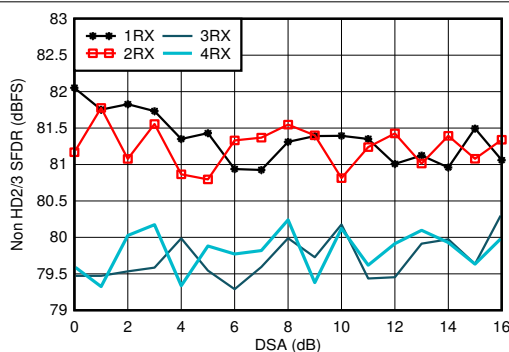
4.9GHz 整合あり、DDC バイパス モード (特性評価用 テキサス・インスツルメンツ専用モード)

図 5-197. RX HD3 と入力レベルとの関係 (各種温度、4.9GHz)



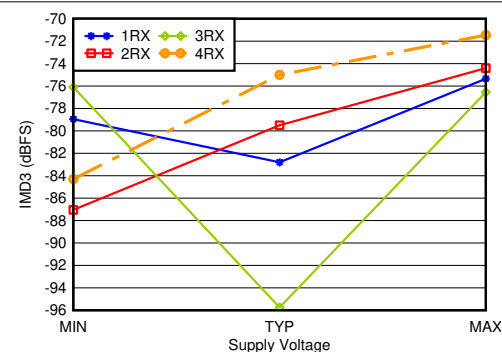
4.9GHz 整合あり、1/3 にデシメーション

図 5-198. RX 帯域内 SFDR ($\pm 400\text{MHz}$) と入力振幅との関係 (各種チャネル、4.9GHz)



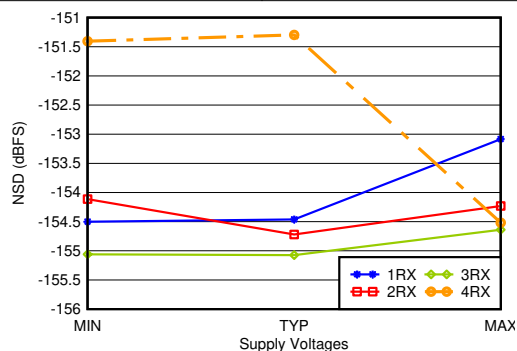
4.9GHz 整合あり

図 5-199. RX (HD2/3 を除く) と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-200. RX IMD3 と電源電圧との関係 (各種チャネル、4.9GHz)



4.9GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 5-201. RX ノイズ スペクトル密度と電源電圧との関係 (各種チャネル、4.9GHz)

5.12.7 RX 代表的特性 : 6.8GHz

$T_A = +25^\circ\text{C}$ での標準値。30MHz でのデフォルト条件。ADC サンプルレート= 3000MSPS、出力サンプルレート= 500MSPS (6x にデシメーション)、外部クロックモード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定= 3dB。

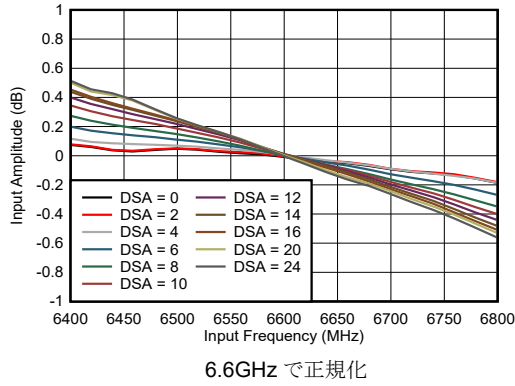


図 5-202. RX 帯域内ゲイン平坦性

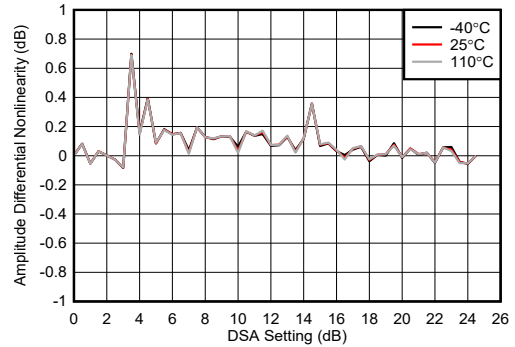


図 5-203. 6.851GHz での RX 未校正微分振幅誤差

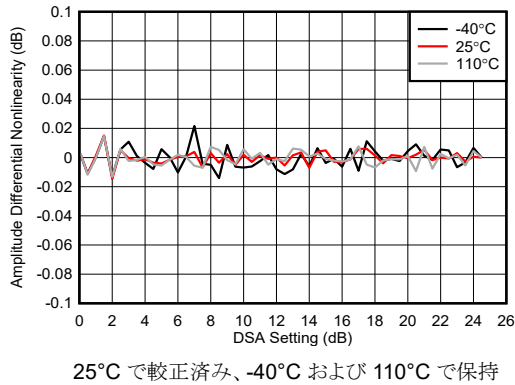


図 5-204. 6.851GHz での RX 校正済み微分振幅誤差

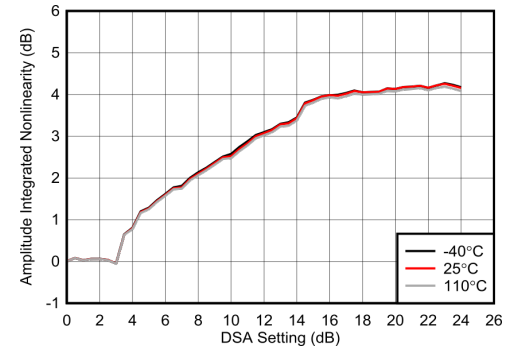


図 5-205. 6.851GHz での RX 未校正積分振幅誤差

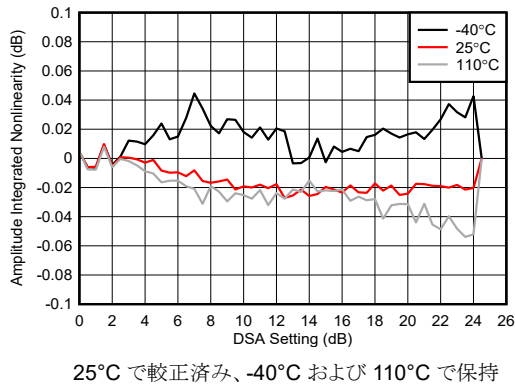


図 5-206. 6.851GHz での RX 校正済み積分振幅誤差

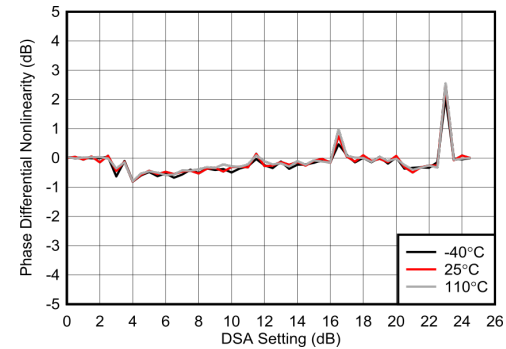
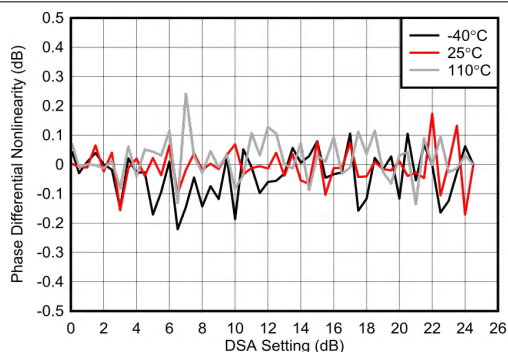


図 5-207. 6.851GHz での RX 未校正微分位相誤差

5.12.7 RX 代表的特性 : 6.8GHz (続き)

$T_A = +25^\circ\text{C}$ での標準値。30MHz でのデフォルト条件。ADC サンプルレート= 3000MSPS、出力サンプルレート= 500MSPS (6x にデシメーション)、外部クロックモード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定= 3dB。



25°C で較正済み、-40°C および 110°C で保持

図 5-208. 6.851 GHz での RX 較正済み微分位相誤差

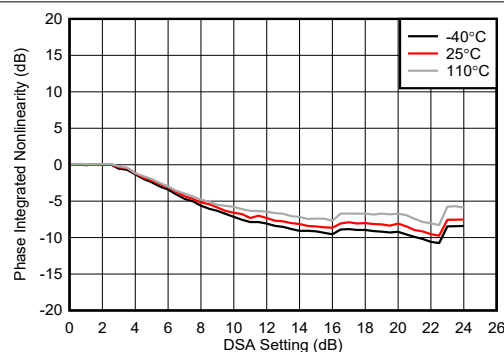
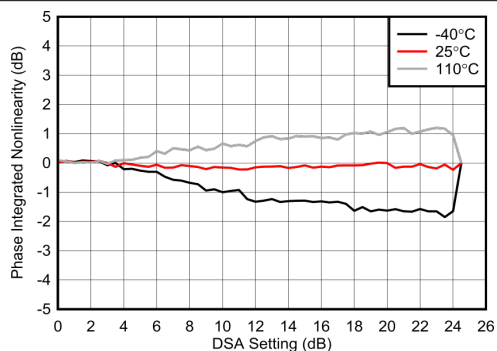


図 5-209. 6.851GHz での RX 未較正積分位相誤差



25°C で較正済み、-40°C および 110°C で保持

図 5-210. 6.851GHz での RX 較正済み積分位相誤差

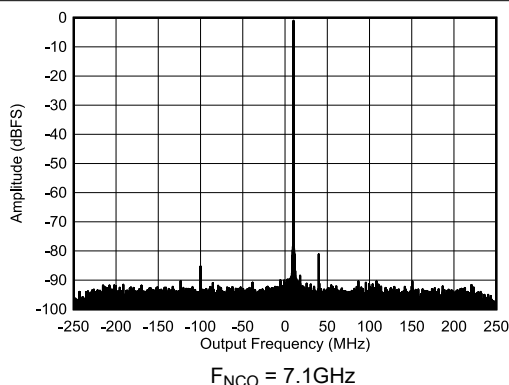


図 5-211. 7.11GHz、-1dBFS でのシングル トーン RX 出力 FFT

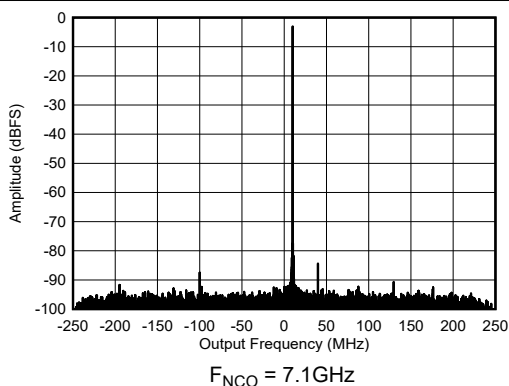


図 5-212. 7.11GHz、-3dBFS でのシングル トーン RX 出力 FFT

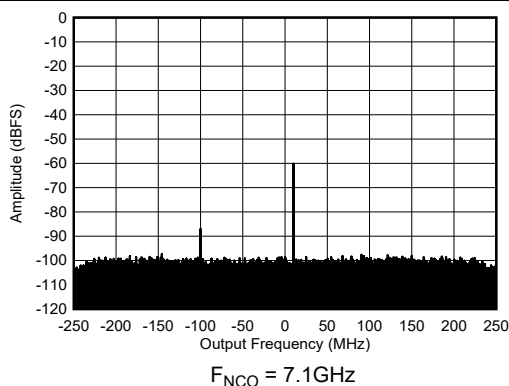


図 5-213. 7.11GHz、-6dBFS でのシングル トーン RX 出力 FFT

5.12.7 RX 代表的特性 : 6.8GHz (続き)

$T_A = +25^\circ\text{C}$ での標準値。30MHz でのデフォルト条件。ADC サンプルレート= 3000MSPS、出力サンプルレート= 500MSPS (6x にデシメーション)、外部クロックモード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定= 3dB。

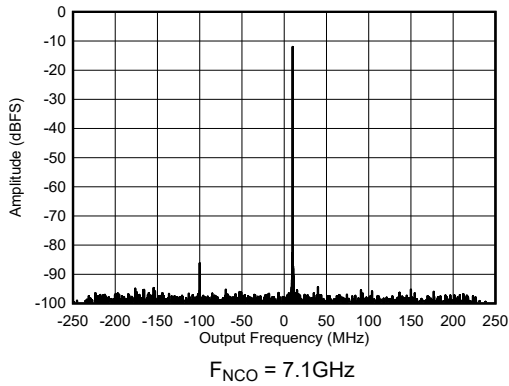


図 5-214. 7.11GHz、-12dBFS でのシングル トーン RX 出力 FFT

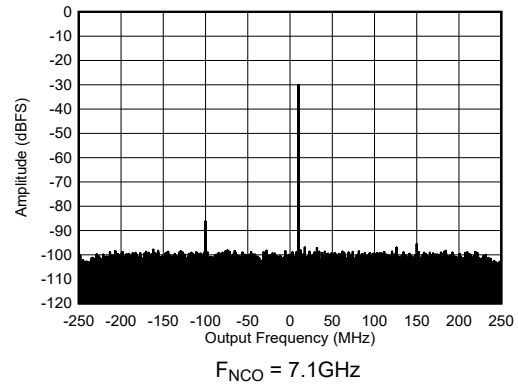


図 5-215. 7.11GHz、-30dBFS でのシングル トーン RX 出力 FFT

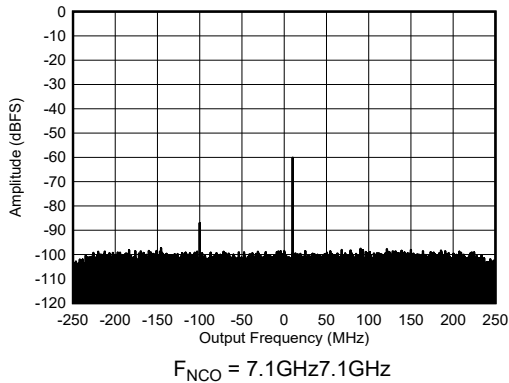


図 5-216. 7.1GHz、-60dBFS でのシングル トーン RX 出力 FFT

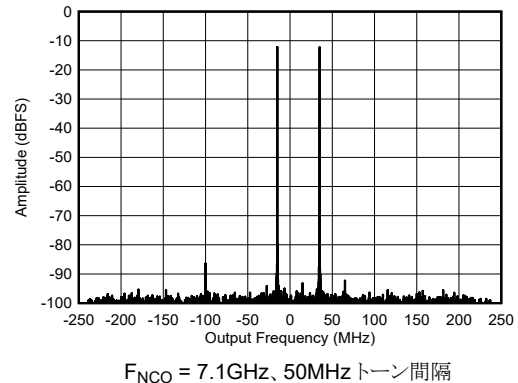


図 5-217. 7.1GHz でのデュアル トーン RX 出力 FFT (トーンあたり -12dBFS)

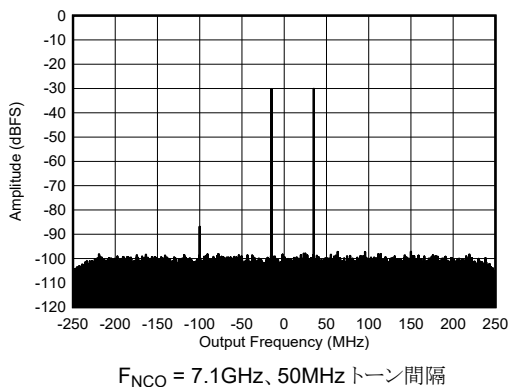


図 5-218. 7.1GHz でのデュアル トーン RX 出力 FFT (トーンあたり -30dBFS)

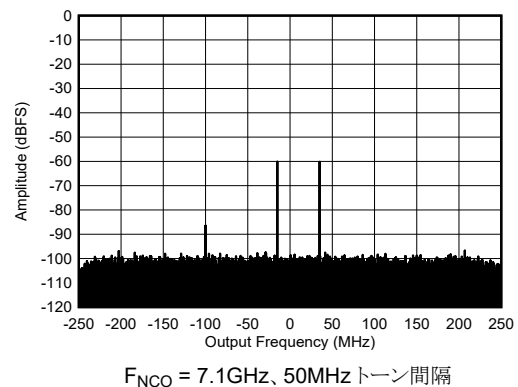


図 5-219. 7.1GHz でのデュアル トーン RX 出力 FFT (トーンあたり -60dBFS)

5.12.7 RX 代表的特性 : 6.8GHz (続き)

$T_A = +25^\circ\text{C}$ での標準値。30MHz でのデフォルト条件。ADC サンプルレート= 3000MSPS、出力サンプルレート= 500MSPS (6x にデシメーション)、外部クロックモード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定= 3dB。

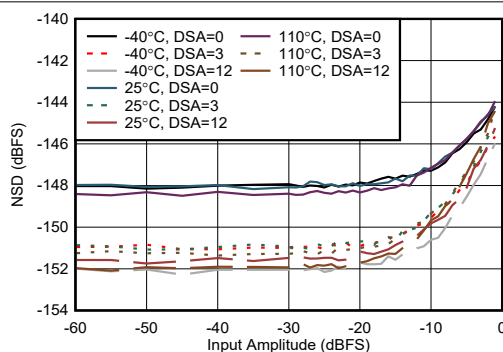


図 5-220. 6.851GHz での RX NSD と入力振幅との関係

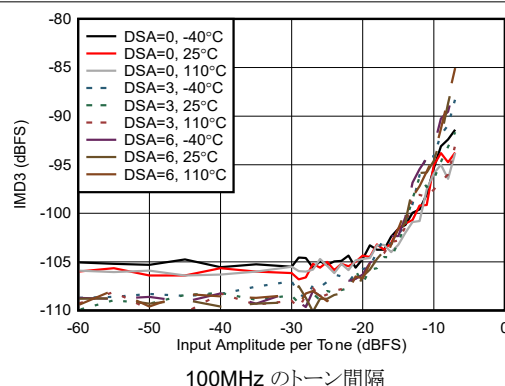


図 5-221. RX IMD3 と入力振幅との関係 (6.851GHz)

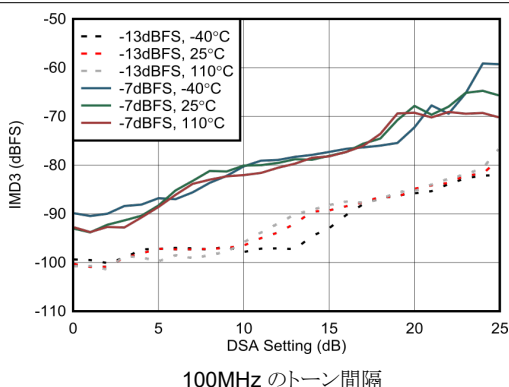


図 5-222. RX IMD3 と DSA 設定との関係 (6.851GHz)

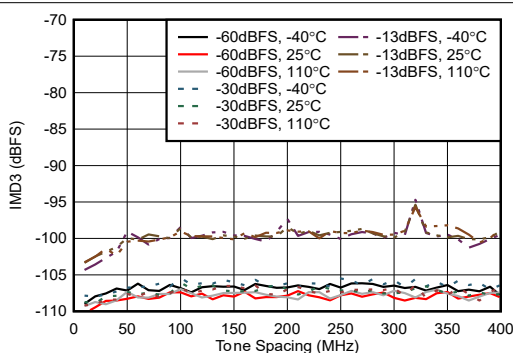


図 5-223. RX IMD3 とトーン間隔との関係 (6.851GHz)

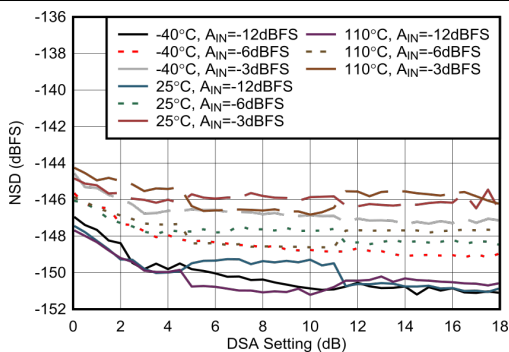


図 5-224. RX NSD と DSA 設定との関係 (6.851GHz)

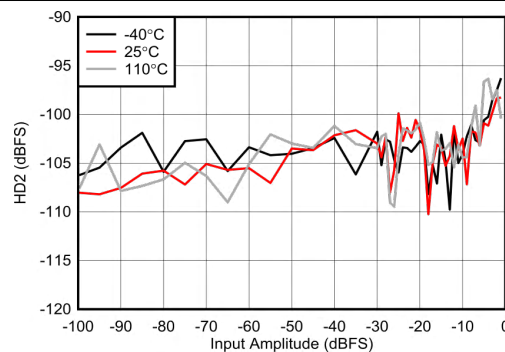


図 5-225. RX HD2 と入力振幅との関係 (6.851GHz)

5.12.7 RX 代表的特性 : 6.8GHz (続き)

$T_A = +25^\circ\text{C}$ での標準値。30MHz でのデフォルト条件。ADC サンプルレイト= 3000MSPS、出力サンプルレイト= 500MSPS (6x にデシメーション)、外部クロックモード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定= 3dB。

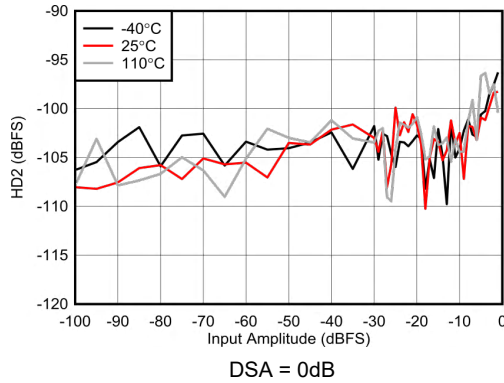


図 5-226. RX HD2 と入力振幅との関係 (6.851GHz)

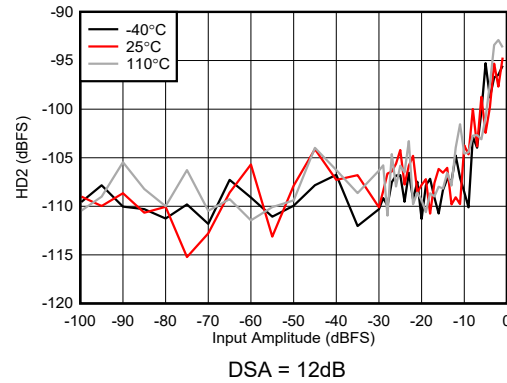


図 5-227. RX HD2 と入力振幅との関係 (6.851GHz)

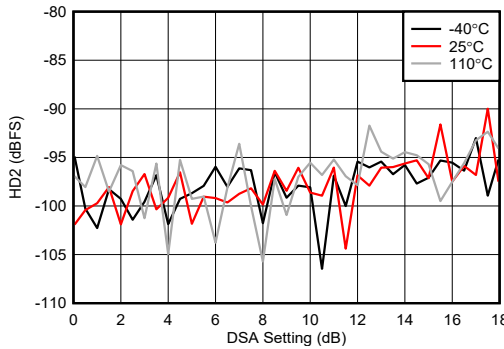


図 5-228. RX HD2 と DSA 設定との関係 (6.851GHz)

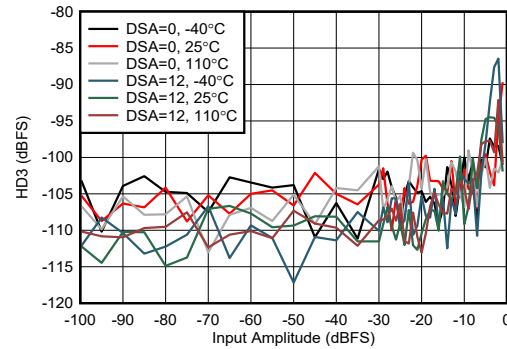


図 5-229. RX HD3 と入力振幅との関係 (6.851GHz)

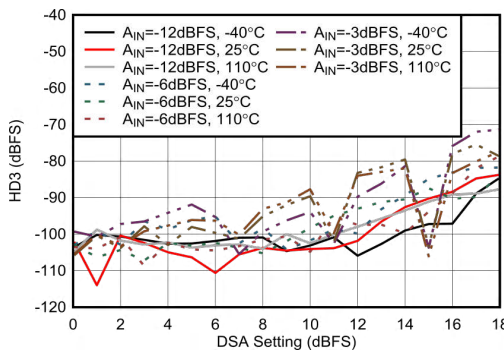
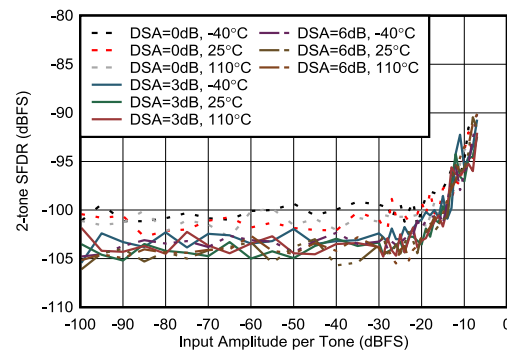


図 5-230. RX HD3 と DSA 設定との関係 (6.851GHz)



3 次歪みを除く 100MHz トーン間隔

図 5-231. 6.85 GHz での RX 2 トーン SFDR と入力振幅との関係

5.12.7 RX 代表的特性 : 6.8GHz (続き)

$T_A = +25^\circ\text{C}$ での標準値。30MHz でのデフォルト条件。ADC サンプルレイト= 3000MSPS、出力サンプルレイト= 500MSPS (6x にデシメーション)、外部クロックモード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定= 3dB。

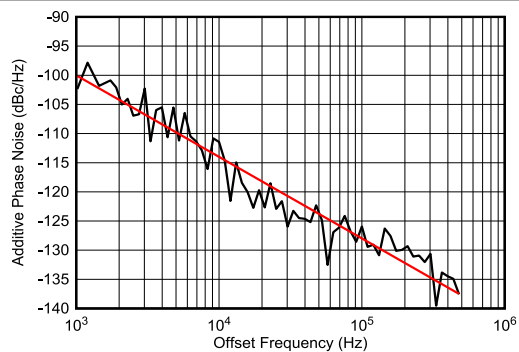
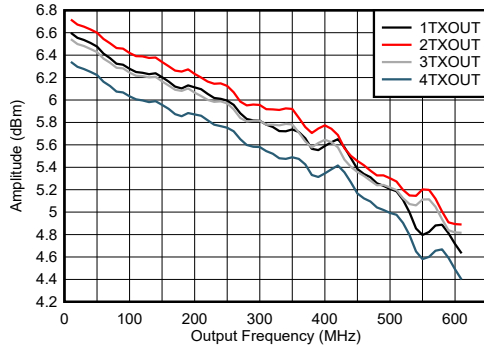


図 5-232. RX 付加位相ノイズ (6.85GHz)

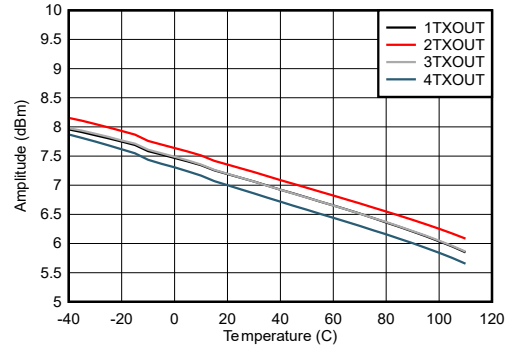
5.12.8 TX 代表的特性 : 30MHz~400MHz

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 125MSPS、 $f_{DAC} = 6000\text{MSPS}$ (48x 補間)、インターリーブモード、1 次ナイキストゾーン出力、 $f_{REF} = 500\text{MHz}$ による PLL クロックモード。すべてのプロットにデフォルト条件を追加、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み。



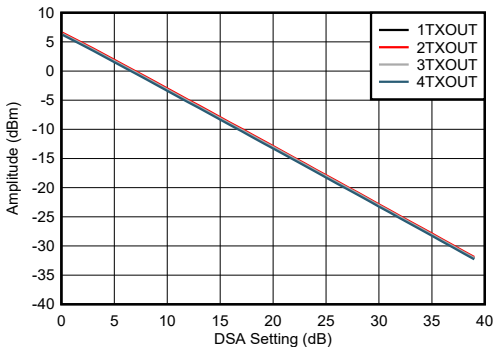
PCB とケーブルの損失を含む

図 5-233. TX 出力フルスケールと出力周波数との関係 : 5MHz~600MHz



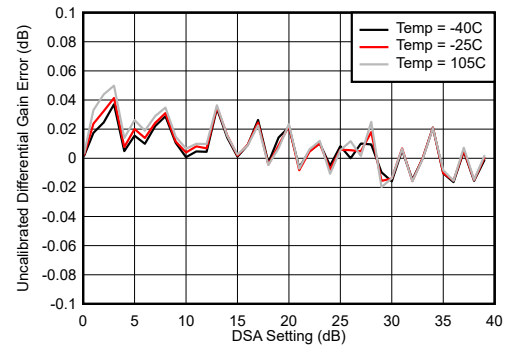
PCB とケーブルの損失を含む

図 5-234. 30MHz での TX 出力電力と温度との関係



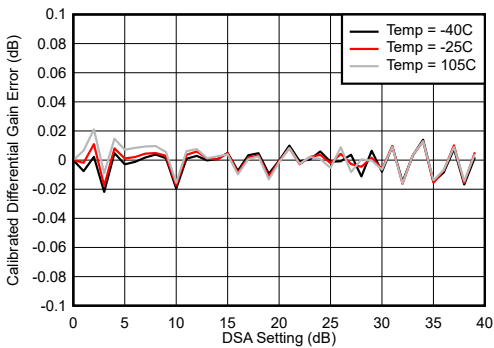
PCB とケーブルの損失を含む

図 5-235. 30MHz での TX 出力フルスケールと DSA 設定との関係



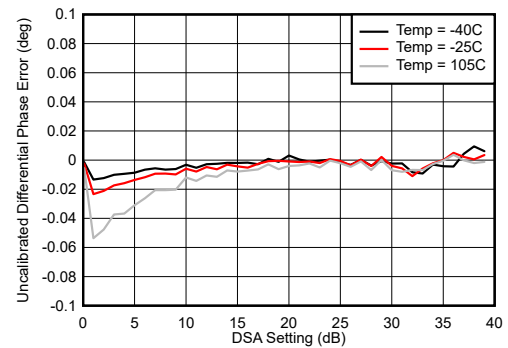
微分ゲイン誤差 = $P_{OUT}(DSA \text{ 設定} - 1) - P_{OUT}(DSA \text{ 設定}) + 1$

図 5-236. 30MHz での較正なし TX 差動ゲイン誤差 (DNL)



微分ゲイン誤差 = $P_{OUT}(DSA \text{ 設定} - 1) - P_{OUT}(DSA \text{ 設定}) + 1$

図 5-237. 30MHz での較正済み TX 差動ゲイン誤差 (DNL)

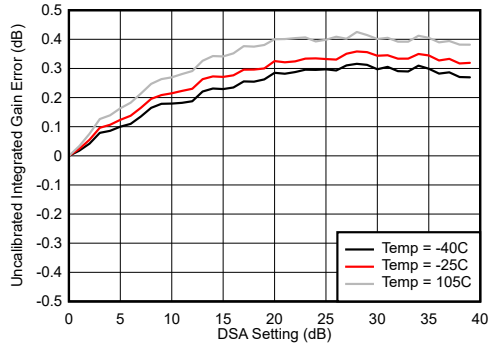


微分ゲイン誤差 = $P_{OUT}(DSA \text{ 設定} - 1) - P_{OUT}(DSA \text{ 設定}) + 1$

図 5-238. 30MHz での較正済み TX 差動ゲイン誤差 (DNL)

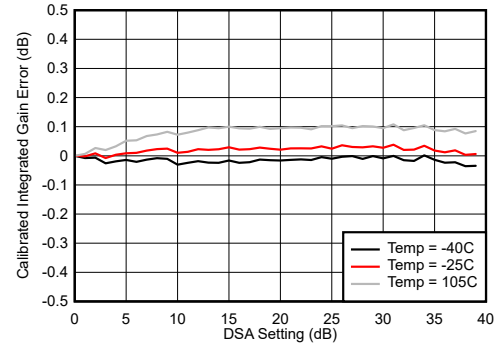
5.12.8 TX 代表的特性 : 30MHz~400MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 125MSPS、 $f_{\text{DAC}} = 6000\text{MSPS}$ (48x 補間)、インターリーブモード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 500\text{MHz}$ による PLL クロックモード。すべてのプロットにデフォルト条件を追加、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み。



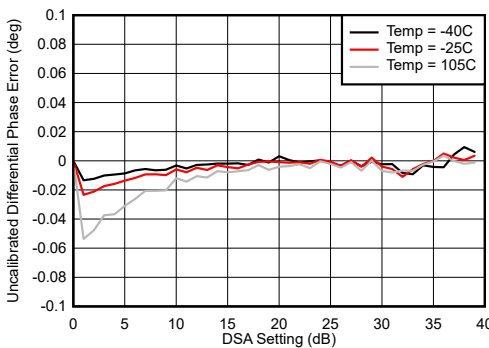
$$\text{積分ゲイン誤差} = P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$$

図 5-239. 30 MHz での較正なしの TX 積分ゲイン誤差 (INL)



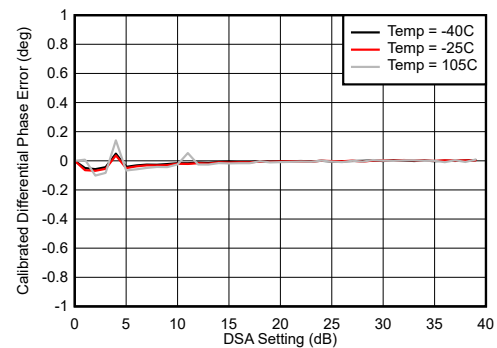
$$\text{積分ゲイン誤差} = P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$$

図 5-240. 30MHz で較正済みの TX 積分ゲイン誤差 (INL)



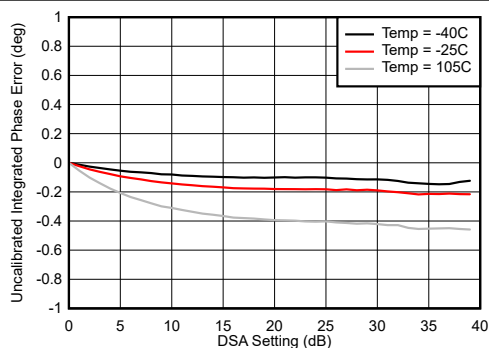
$$\text{微分位相誤差} = \text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$$

図 5-241. 30MHz での較正なし TX 微分位相誤差 (DNL)



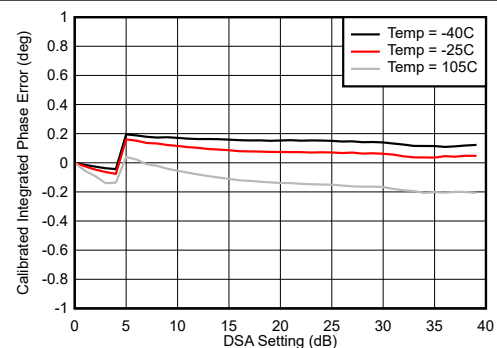
$$\text{微分位相誤差} = \text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$$

図 5-242. 30MHz での較正済み TX 微分位相誤差 (DNL)



$$\text{積分位相誤差} = \text{Phase}_{\text{OUT}}(\text{DSA 設定}) - \text{Phase}_{\text{OUT}}(\text{DSA 設定} = 0)$$

図 5-243. 30MHz での較正なしの TX 積分位相誤差 (INL)



$$\text{積分位相誤差} = \text{Phase}_{\text{OUT}}(\text{DSA 設定}) - \text{Phase}_{\text{OUT}}(\text{DSA 設定} = 0)$$

図 5-244. 30MHz での較正済みの TX 積分位相誤差 (INL)

5.12.8 TX 代表的特性 : 30MHz~400MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 125MSPS、 $f_{DAC} = 6000\text{MSPS}$ (48x 補間)、インターリーブモード、1 次ナイキストゾーン出力、 $f_{REF} = 500\text{MHz}$ による PLL クロックモード。すべてのプロットにデフォルト条件を追加、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み。

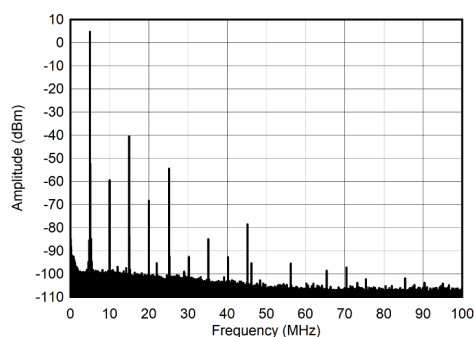


図 5-245. 5MHz、-1dBFS でのシングル トーン スペクトル (0 ~ 100MHz)

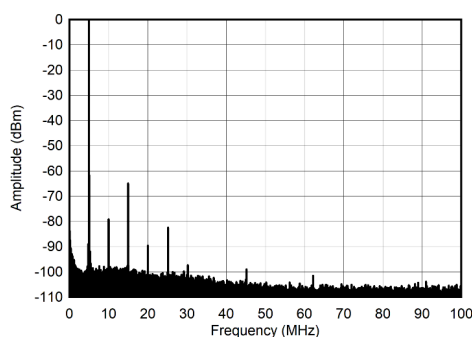


図 5-246. 5MHz、-6dBFS でのシングル トーン スペクトラム (0 ~ 100MHz)

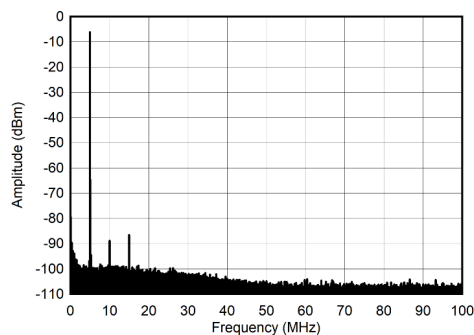


図 5-247. 5MHz、12dBFS でのシングル トーン スペクトル (0 ~ 100MHz)

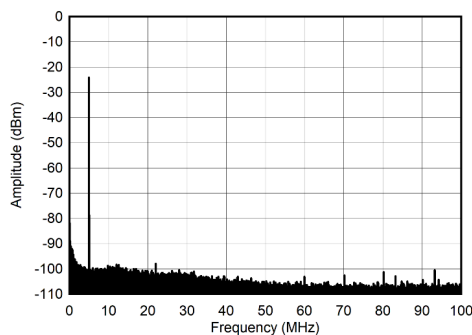


図 5-248. 5MHz、-30dBFS でのシングル トーン スペクトル (0 ~ 100MHz)

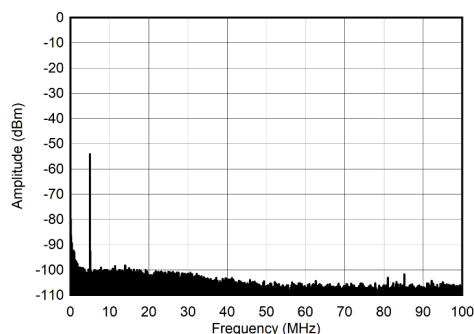


図 5-249. 5MHz、-60dBFS でのシングル トーン スペクトル (0 ~ 100MHz)

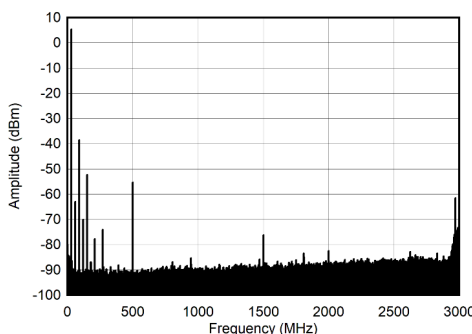


図 5-250. 30MHz、-1dBFS でのシングル トーン スペクトル (ナイキスト)

5.12.8 TX 代表的特性 : 30MHz~400MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件:TX 入力データレート = 125MSPS、 $f_{DAC} = 6000\text{MSPS}$ (48x 補間)、インターリーブモード、1 次ナイキストゾーン出力、 $f_{REF} = 500\text{MHz}$ による PLL クロックモード。すべてのプロットにデフォルト条件を追加、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み。

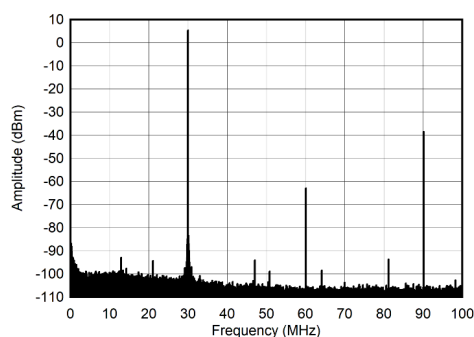


図 5-251. 30MHz、-1dBFS でのシングル トーン スペクトル (0 ~ 100MHz)

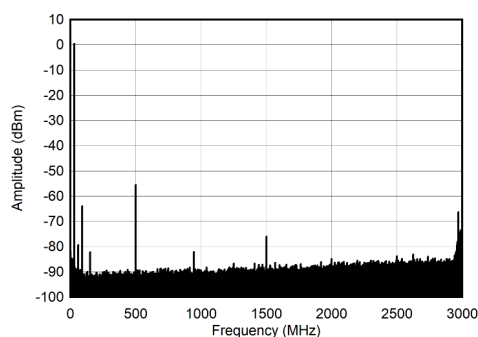


図 5-252. 30MHz、-6dBFS でのシングル トーン スペクトル (ナイキスト)

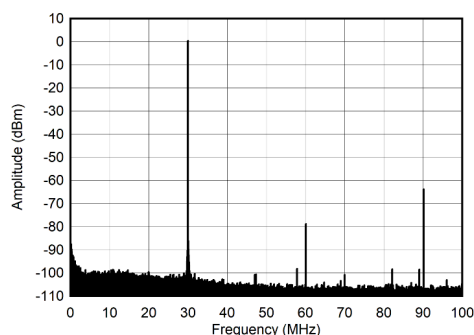


図 5-253. 30MHz、-6dBFS でのシングル トーン スペクトル (0 ~ 100MHz)

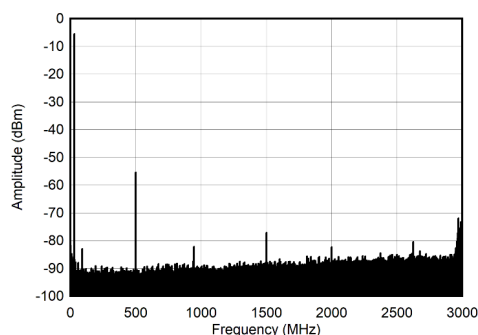


図 5-254. 30MHz、-12dBFS でのシングル トーン スペクトル (ナイキスト)

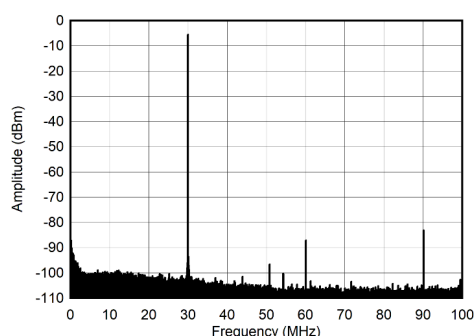


図 5-255. 30MHz、-12dBFS でのシングル トーン スペクトル (0 ~ 100MHz)

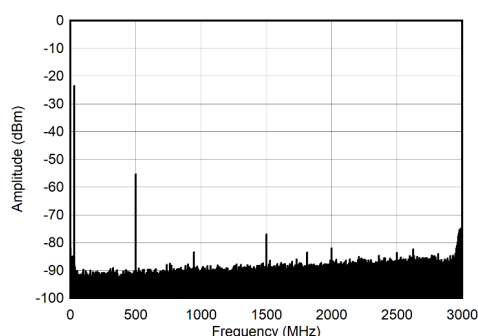


図 5-256. 30MHz、-30dBFS でのシングル トーン スペクトル (ナイキスト)

5.12.8 TX 代表的特性 : 30MHz~400MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件:TX 入力データレート = 125MSPS、 $f_{DAC} = 6000\text{MSPS}$ (48x 補間)、インターリーブモード、1 次ナイキストゾーン出力、 $f_{REF} = 500\text{MHz}$ による PLL クロックモード。すべてのプロットにデフォルト条件を追加、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み。

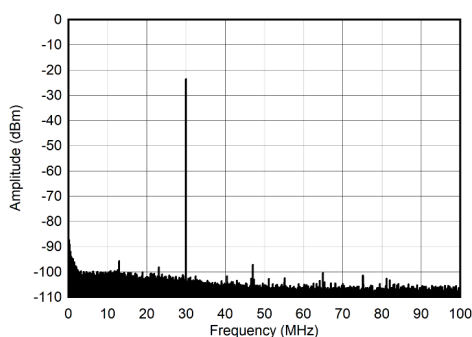


図 5-257. 30MHz、-30dBFS でのシングル トーン スペクトル (0 ~ 100MHz)

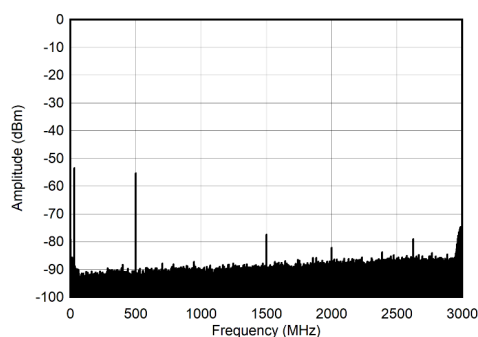


図 5-258. 30MHz、-60dBFS でのシングル トーン スペクトル (ナイキスト)

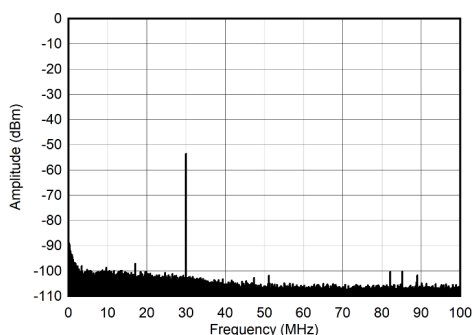


図 5-259. 30MHz、-60dBFS でのシングル トーン スペクトル (0 ~ 100MHz)

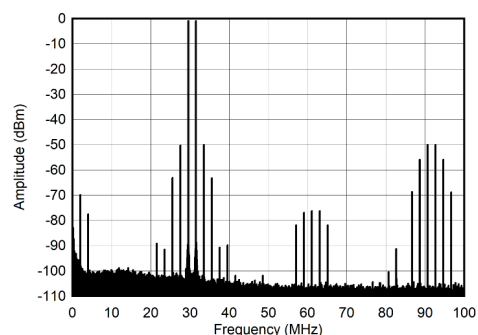


図 5-260. 30MHz、-7dBFS でのデュアル トーン スペクトル (0 ~ 100MHz)

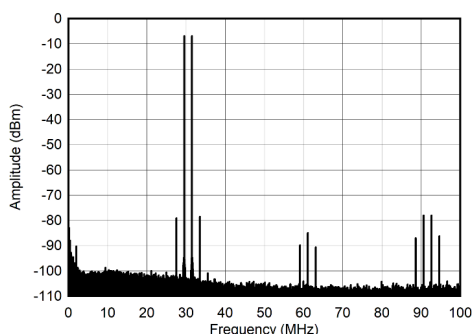


図 5-261. 30MHz、-13dBFS でのデュアル トーン スペクトル (0 ~ 100MHz)

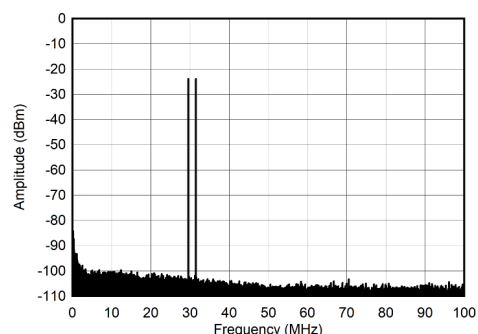


図 5-262. 30MHz、-30dBFS でのデュアル トーン スペクトル (0 ~ 100MHz)

5.12.8 TX 代表的特性 : 30MHz ~ 400MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 125MSPS、 $f_{DAC} = 6000\text{MSPS}$ (48x 補間)、インターリーブモード、1 次ナイキストゾーン出力、 $f_{REF} = 500\text{MHz}$ による PLL クロックモード。すべてのプロットにデフォルト条件を追加、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。

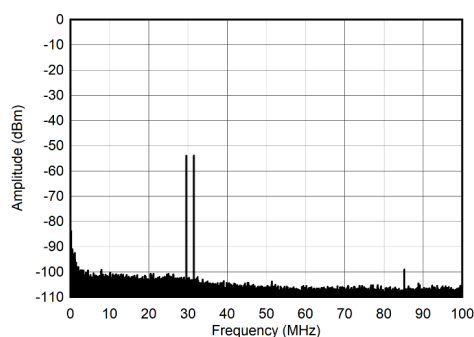
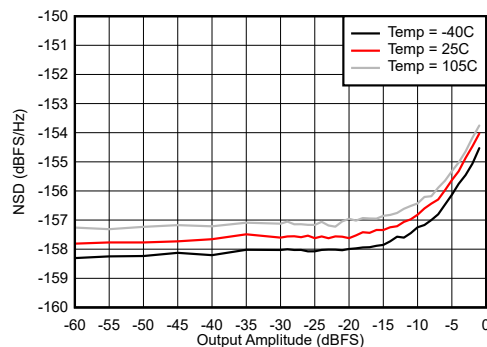
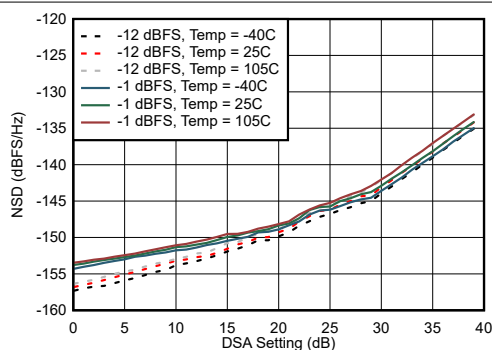


図 5-263. 30MHz、-60dBFS でのデュアル トーン スペクトル (0 ~ 100MHz)



+50MHz オフセットで測定

図 5-264. 30MHz でのノイズ スペクトル密度とデジタル振幅



+50MHz オフセットで測定

図 5-265. 30MHz におけるノイズ スペクトル密度と DSA 設定の関係

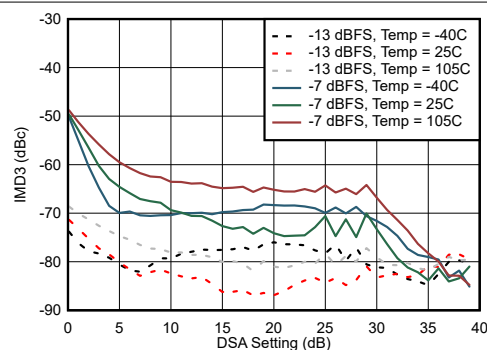


図 5-266. 30MHz での IMD3 と DSA 設定との関係

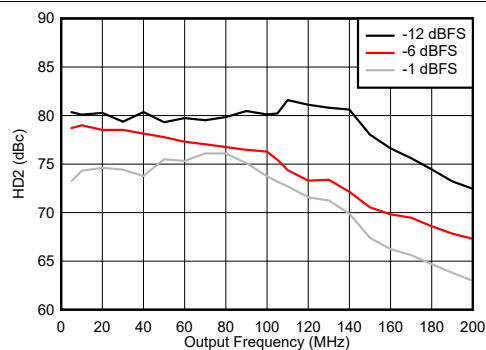


図 5-267. HD2 と周波数との関係 (0 ~ 200MHz)

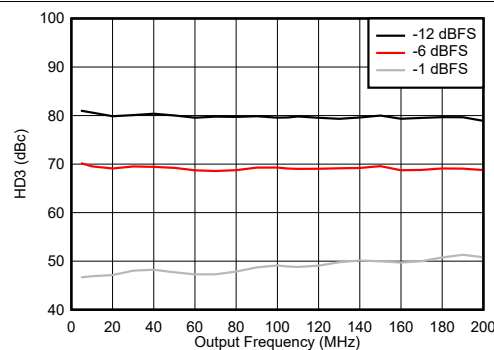
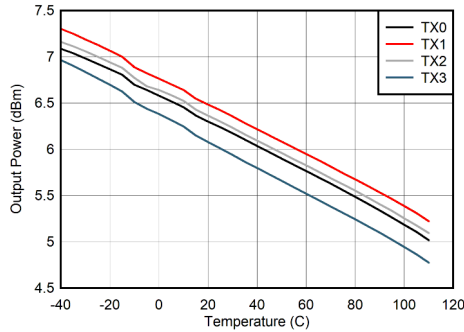


図 5-268. HD3 と周波数との関係 (0 ~ 200MHz)

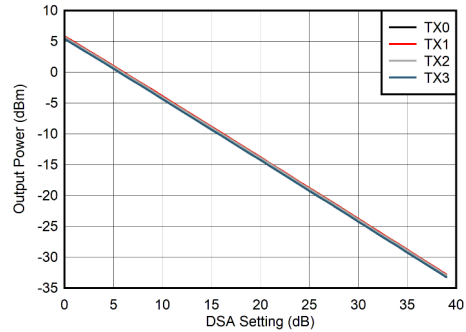
5.12.8 TX 代表的特性 : 30MHz~400MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件:TX 入力データレート = 125MSPS、 $f_{DAC} = 6000\text{MSPS}$ (48x 補間)、インターリーブモード、1^次ナイキストゾーン出力、 $f_{REF} = 500\text{MHz}$ によるPLLクロックモード。すべてのプロットにデフォルト条件を追加、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み。



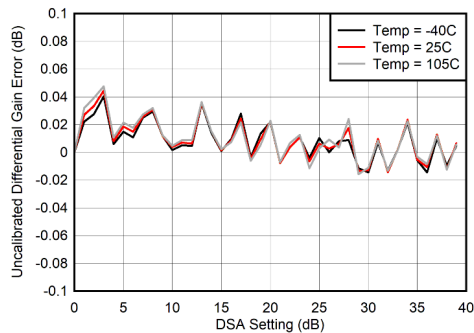
PCB とケーブルの損失を含む

図 5-269. 400MHz での TX 出力フルスケールと温度との関係



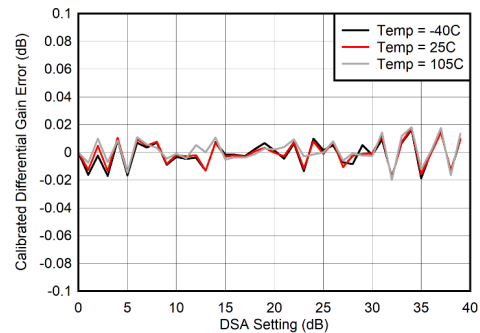
PCB とケーブルの損失を含む

図 5-270. 400MHz での TX 出力フルスケールと DSA 設定との関係



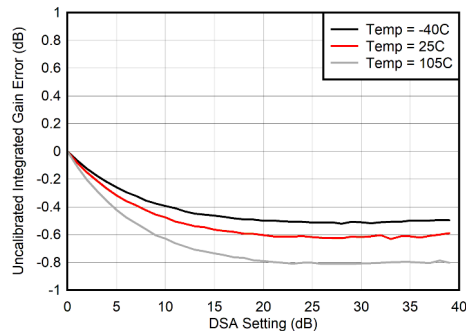
微分ゲイン誤差 = $P_{OUT}(\text{DSA 設定} - 1) - P_{OUT}(\text{DSA 設定}) + 1$

図 5-271. 400MHz でのキャリブレーションなし TX 差動ゲイン誤差 (DNL)



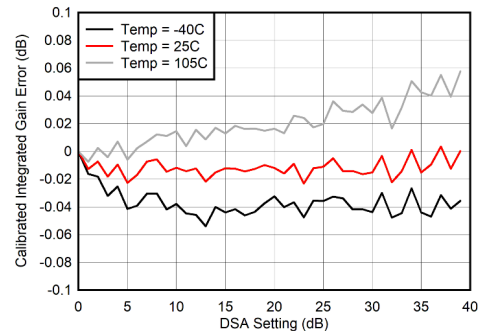
微分ゲイン誤差 = $P_{OUT}(\text{DSA 設定} - 1) - P_{OUT}(\text{DSA 設定}) + 1$

図 5-272. 400MHz での較正済み TX 差動ゲイン誤差 (DNL)



積分ゲイン誤差 = $P_{OUT}(\text{DSA 設定}) - P_{OUT}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-273. 400MHz での較正なしの TX 積分ゲイン誤差 (INL)

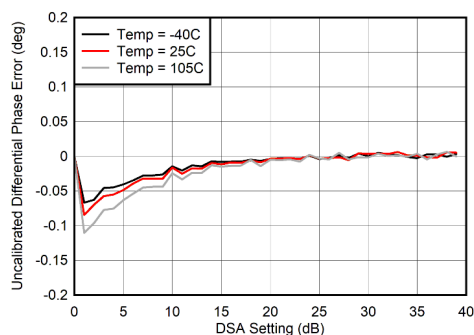


積分ゲイン誤差 = $P_{OUT}(\text{DSA 設定}) - P_{OUT}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-274. 400MHz での較正済みの TX 積分ゲイン誤差 (INL)

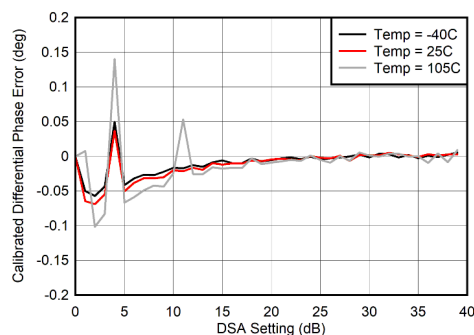
5.12.8 TX 代表的特性 : 30MHz~400MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データレート = 125MSPS、 $f_{\text{DAC}} = 6000\text{MSPS}$ (48x 補間)、インターリーブモード、1 次ナイキストゾーン出力、 $f_{\text{REF}} = 500\text{MHz}$ による PLL クロックモード。すべてのプロットにデフォルト条件を追加、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み。



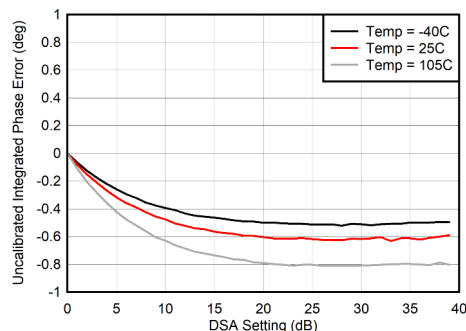
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 5-275. 400MHz での較正なし TX 微分位相誤差 (DNL)



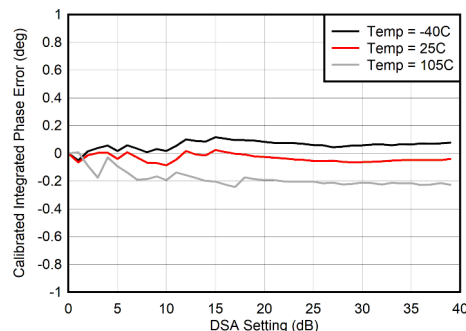
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 5-276. 400MHz で較正済み TX 微分位相誤差 (DNL)



積分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定}) - \text{Phase}_{\text{OUT}}(\text{DSA 設定} = 0)$

図 5-277. 400MHz での較正なしの TX 積分位相誤差 (INL)



積分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定}) - \text{Phase}_{\text{OUT}}(\text{DSA 設定} = 0)$

図 5-278. 400MHz での較正済みの TX 積分位相誤差 (INL)

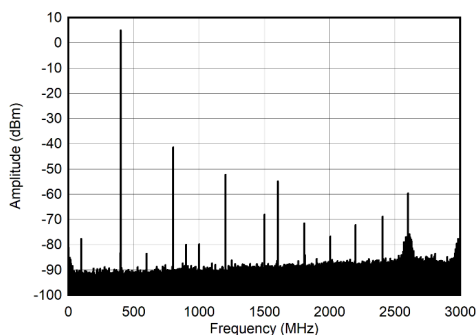


図 5-279. 400MHz、-1dBFS でのシングル トーン スペクトル (ナイキスト)

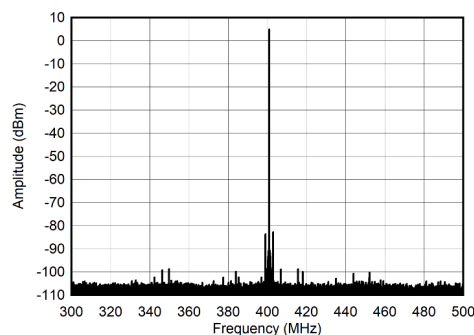


図 5-280. 400MHz、-1dBFS でのシングル トーン スペクトル (- $\pm 100\text{MHz}$)

5.12.8 TX 代表的特性 : 30MHz~400MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件:TX 入力データレート = 125MSPS、 $f_{DAC} = 6000\text{MSPS}$ (48x 補間)、インターリーブモード、1 次ナイキストゾーン出力、 $f_{REF} = 500\text{MHz}$ による PLL クロックモード。すべてのプロットにデフォルト条件を追加、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み。

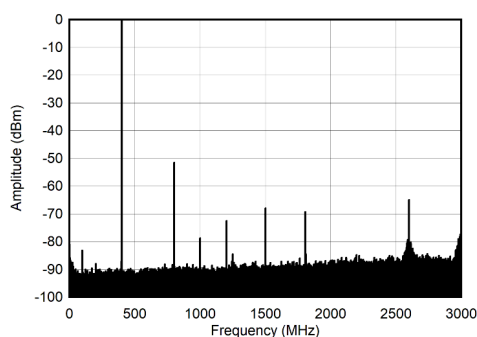


図 5-281. 400MHz、-6dBFS でのシングル トーン スペクトル (ナイキスト)

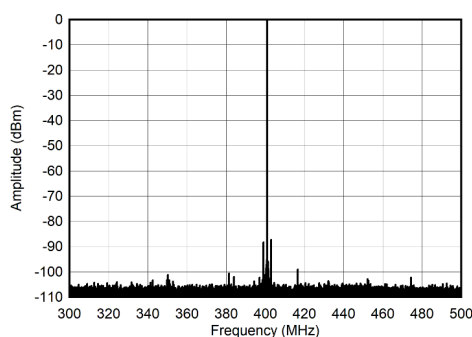


図 5-282. 400MHz、-6dBFS でのシングル トーン スペクトル (±100MHz)

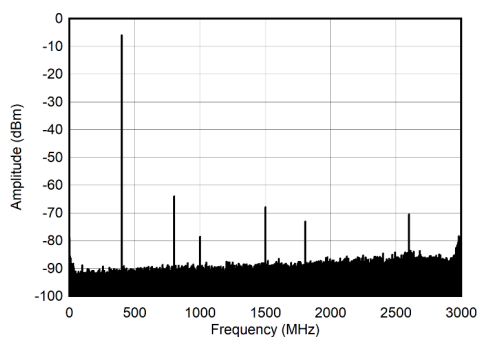


図 5-283. 400MHz、-12dBFS でのシングル トーン スペクトル (ナイキスト)

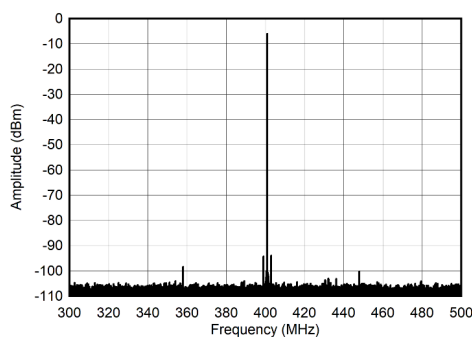


図 5-284. 400MHz、-12dBFS でのシングル トーン スペクトル (±100MHz)

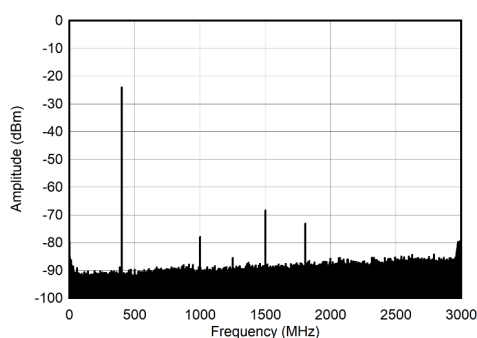


図 5-285. 400MHz、-30dBFS でのシングル トーン スペクトル (ナイキスト)

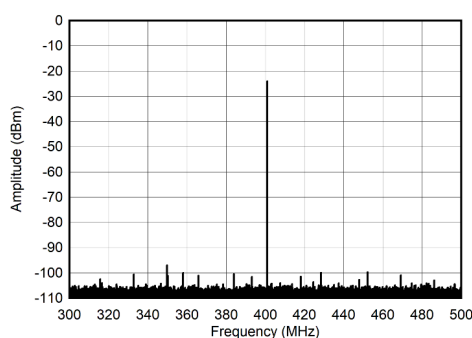


図 5-286. 400MHz、-30dBFS でのシングル トーン スペクトル (±100MHz)

5.12.8 TX 代表的特性 : 30MHz~400MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件:TX 入力データレート = 125MSPS、 $f_{DAC} = 6000\text{MSPS}$ (48x 補間)、インターリーブモード、1 次ナイキストゾーン出力、 $f_{REF} = 500\text{MHz}$ による PLL クロックモード。すべてのプロットにデフォルト条件を追加、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み。

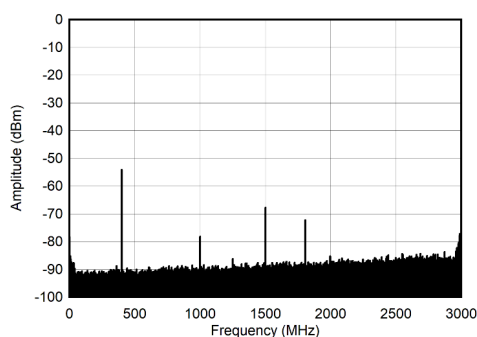


図 5-287. 400MHz、-60dBFS でのシングル トーン スペクトル (ナイキスト)

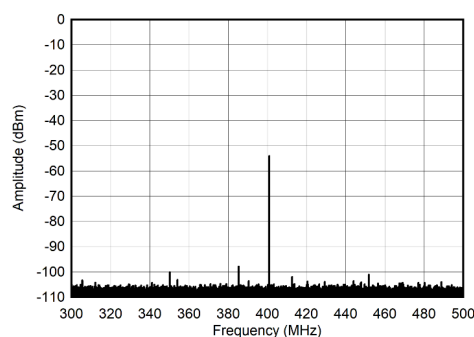
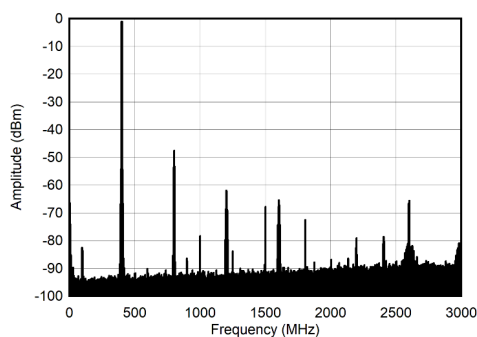
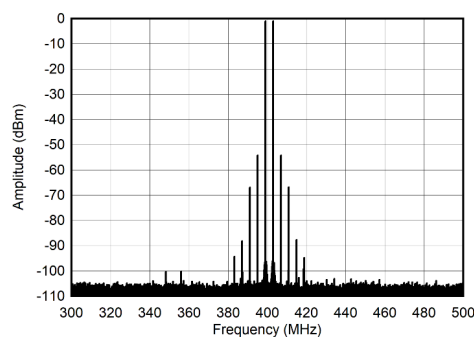


図 5-288. 400MHz、-60dBFS でのシングル トーン スペクトル ($\pm 100\text{MHz}$)



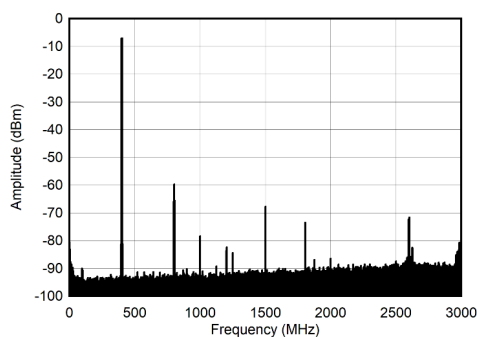
トーン間隔 = 4MHz

図 5-289. 400MHz、-7dBFS でのデュアル トーン スペクトル (ナイキスト)



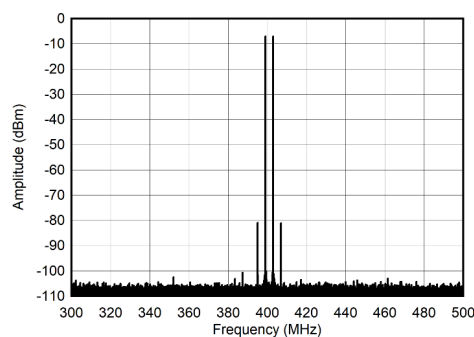
トーン間隔 = 4MHz

図 5-290. 400MHz、-7dBFS でのデュアル トーン スペクトル ($\pm 100\text{MHz}$)



トーン間隔 = 4MHz

図 5-291. 400MHz、-13dBFS でのデュアル トーン スペクトル (ナイキスト)

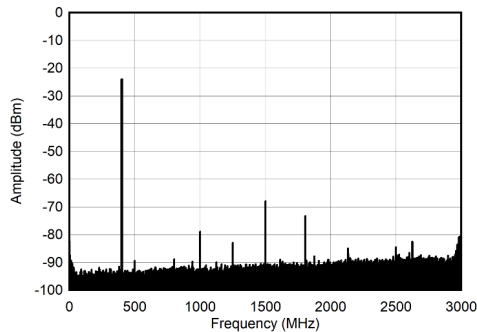


トーン間隔 = 4MHz

図 5-292. 400MHz、-13dBFS でのトーン スペクトル ($\pm 100\text{MHz}$)

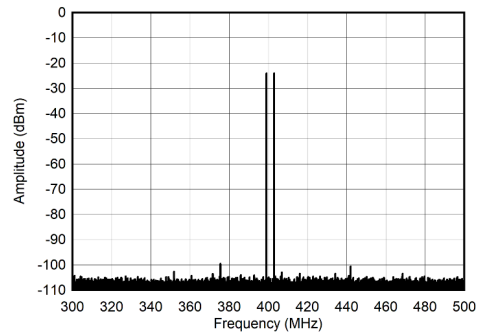
5.12.8 TX 代表的特性 : 30MHz~400MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件:TX 入力データレート = 125MSPS、 $f_{DAC} = 6000\text{MSPS}$ (48x 補間)、インターリーブモード、1 次ナイキストゾーン出力、 $f_{REF} = 500\text{MHz}$ による PLL クロックモード。すべてのプロットにデフォルト条件を追加、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



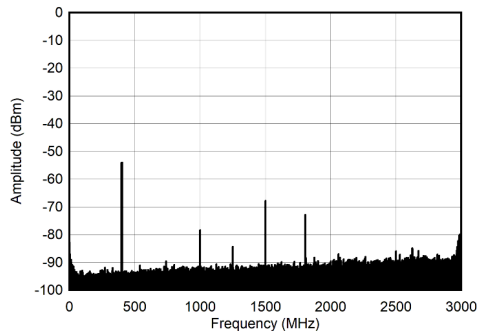
トーン間隔 = 4MHz

図 5-293. 400MHz、-30dBFS でのデュアル トーン スペクトル (ナイキスト)



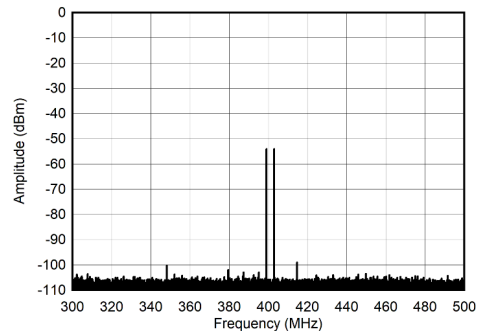
トーン間隔 = 4MHz

図 5-294. 400MHz、-30dBFS でのデュアル トーン スペクトル ($\pm 100\text{MHz}$)



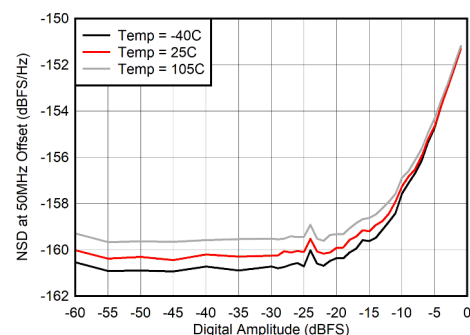
トーン間隔 = 4MHz

図 5-295. 400MHz、-60dBFS でのデュアル トーン スペクトル (ナイキスト)



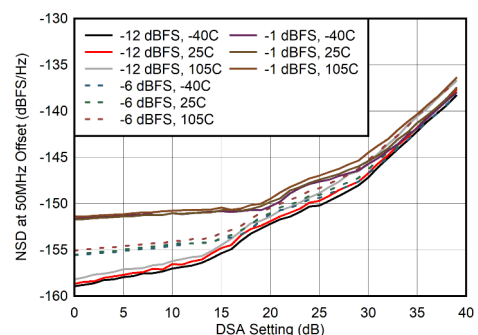
トーン間隔 = 4MHz

図 5-296. 400MHz、-60dBFS でのデュアル トーン スペクトル ($\pm 100\text{MHz}$)



50MHz オフセットで測定

図 5-297. 400MHz でのノイズ スペクトル密度とデジタル振幅

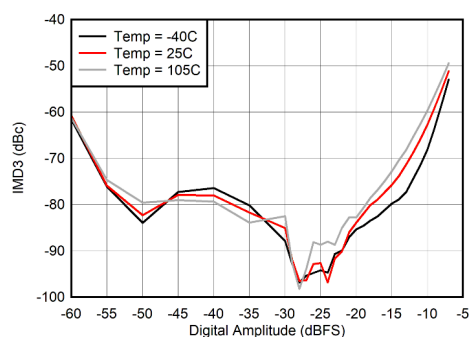


50MHz オフセットで測定

図 5-298. 400MHz でのノイズ スペクトル密度と DSA 設定の関係

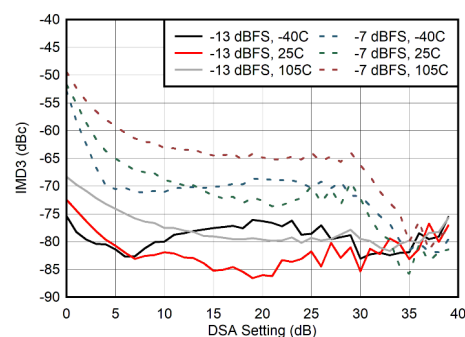
5.12.8 TX 代表的特性 : 30MHz~400MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件:TX 入力データレート = 125MSPS、 $f_{DAC} = 6000\text{MSPS}$ (48x 補間)、インターリーブモード、1 次ナイキストゾーン出力、 $f_{REF} = 500\text{MHz}$ による PLL クロックモード。すべてのプロットにデフォルト条件を追加、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



トーン間隔 = 4MHz

図 5-299. 400MHz での IMD3 とデジタル振幅との関係



トーン間隔 = 4MHz

図 5-300. 400MHz での IMD3 と DSA 設定との関係

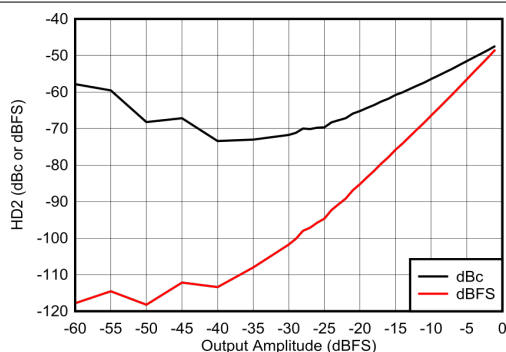


図 5-301. 400MHz での HD2 と振幅との関係

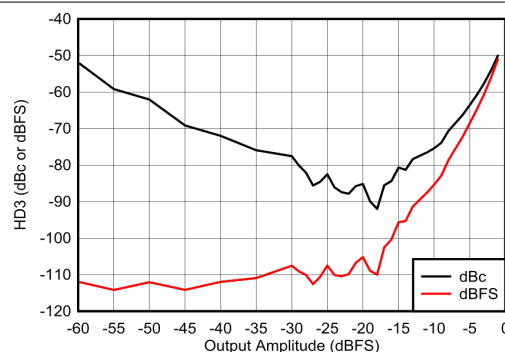
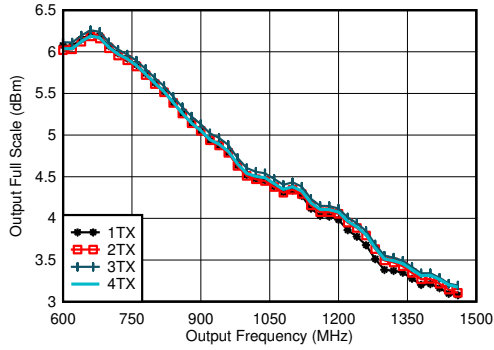


図 5-302. 400MHz での HD3 と振幅との関係

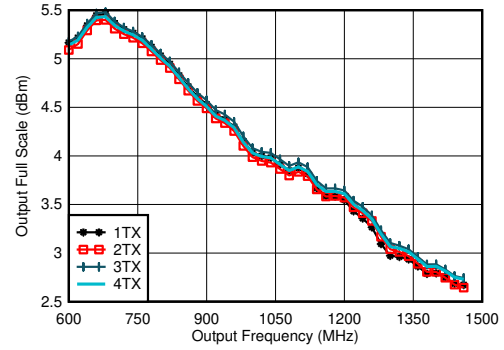
5.12.9 TX 代表的特性 : 800MHz

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



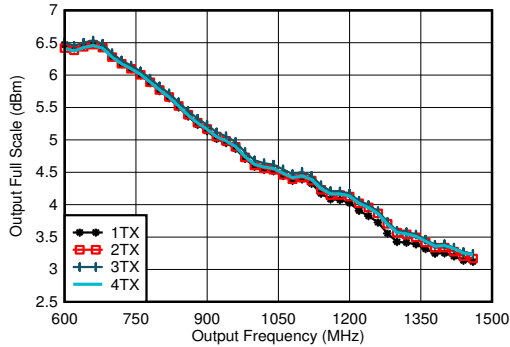
PCB とケーブルの損失を除く。 $A_{\text{out}} = -0.5\text{dFBS}$ 、 $\text{DSA} = 0$ 、 0.8GHz 整合あり。

図 5-303. 5898.24MSPS での TX フルスケール、RF 周波数、チャネルとの関係、ストレート モード



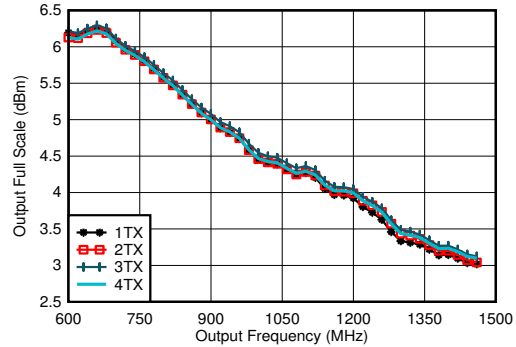
PCB とケーブルの損失を含む。 $A_{\text{out}} = -0.5\text{dFBS}$ 、 $\text{DSA} = 0$ 、 0.8GHz 整合あり

図 5-304. 8847.36MSPS での TX フルスケールと RF 周波数とチャネルとの関係、ストレート モード



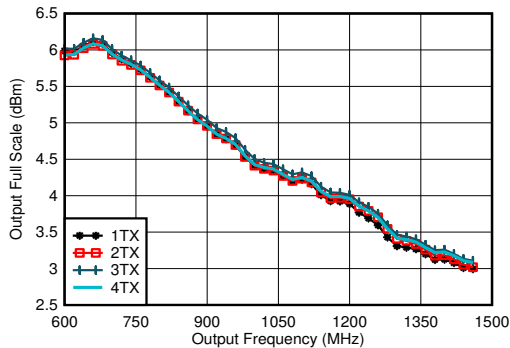
PCB とケーブルの損失を含む。 $A_{\text{out}} = -0.5\text{dFBS}$ 、 $\text{DSA} = 0$ 、 0.8GHz 整合あり

図 5-305. 5898.24MSPS での TX フルスケールと RF 周波数とチャネルとの関係、インターリーブ モード



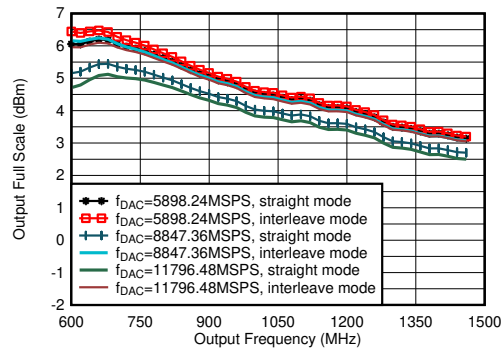
PCB とケーブルの損失を含む。 $A_{\text{out}} = -0.5\text{dFBS}$ 、 $\text{DSA} = 0$ 、 0.8GHz 整合あり

図 5-306. 8847.36MSPS での TX フルスケールと RF 周波数とチャネルとの関係、インターリーブ モード



PCB とケーブルの損失を含む。 $A_{\text{out}} = -0.5\text{dFBS}$ 、 $\text{DSA} = 0$ 、 0.8GHz 整合あり

図 5-307. 11796.48MSPS での TX フルスケールと RF 周波数、チャネルとの関係、インターリーブ モード

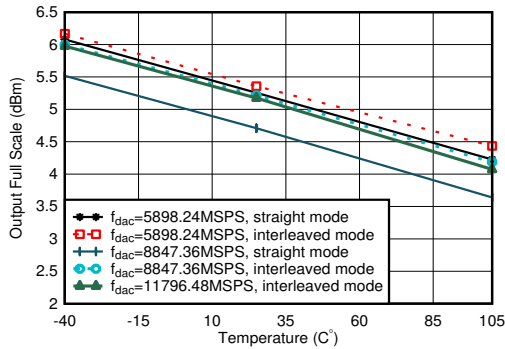


PCB とケーブルの損失を含む。 $A_{\text{OUT}} = -0.5\text{dFBS}$ 、 $\text{DSA} = 0$ 、 0.8GHz 整合あり

図 5-308. TX 出力フルスケールと出力周波数との関係

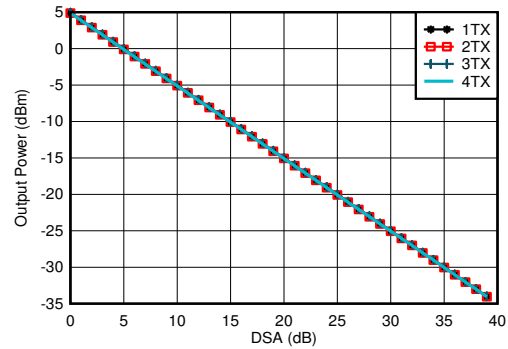
5.12.9 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



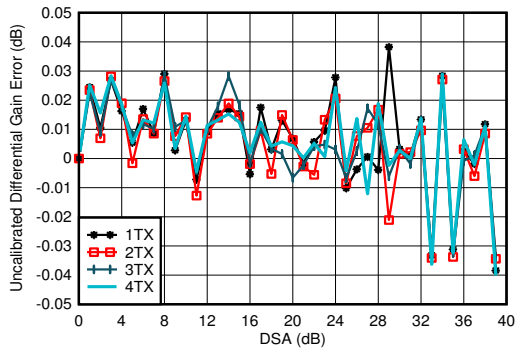
PCB とケーブルの損失を含む。 $A_{\text{OUT}} = -0.5\text{ dBFS}$ 、 $\text{DSA} = 0$ 、 0.8GHz 整合あり

図 5-309. TX 出力フルスケールと温度との関係



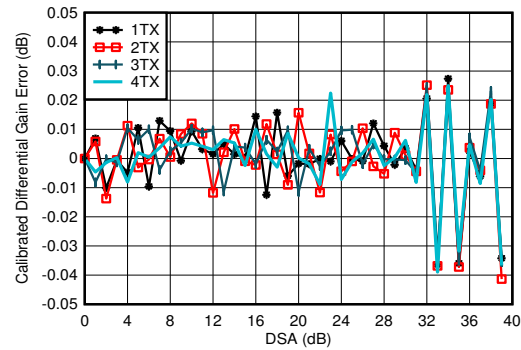
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{out}} = -0.5\text{dBFS}$ 、 0.8GHz に整合

図 5-310. TX 出力電力と DSA 設定との関係 (各種チャネル、 0.85GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、 0.8GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-311. TX 未校正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、 0.85GHz)

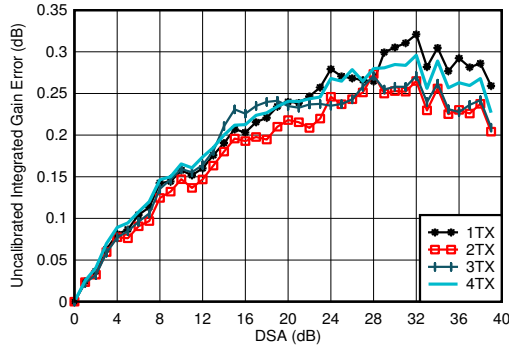


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、 0.8GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-312. TX 校正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、 0.85GHz)

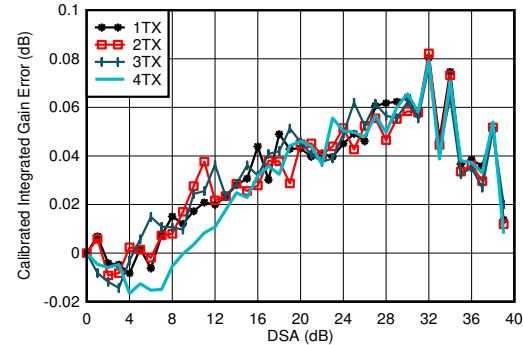
5.12.9 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、DSA = 0dB、 $\sin(x)/x$ イネーブル、DSA 較正済み。



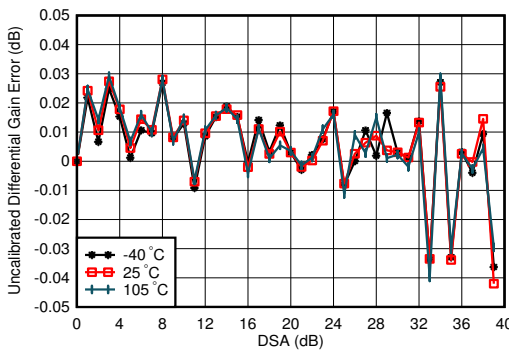
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + \text{DSA 設定}$

図 5-313. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



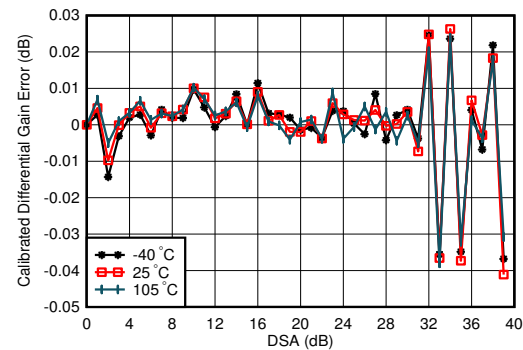
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + \text{DSA 設定}$

図 5-314. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-315. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)

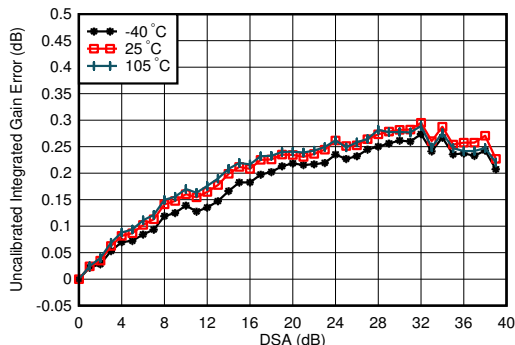


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-316. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)

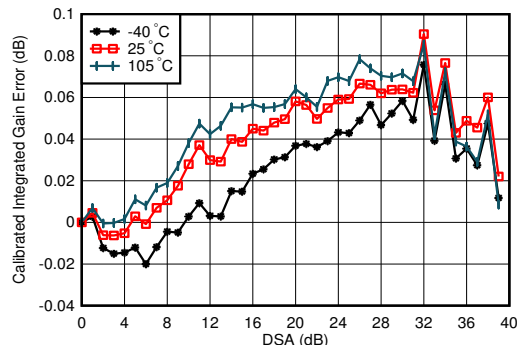
5.12.9 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、DSA = 0dB、 $\sin(x)/x$ イネーブル、DSA 較正済み。



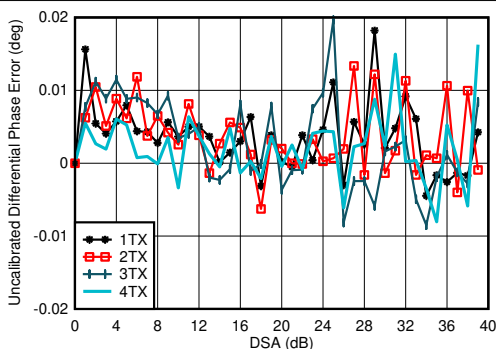
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + \text{DSA 設定}$

図 5-317. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)



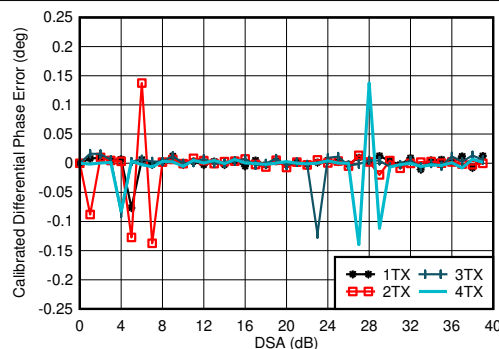
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + \text{DSA 設定}$

図 5-318. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 5-319. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



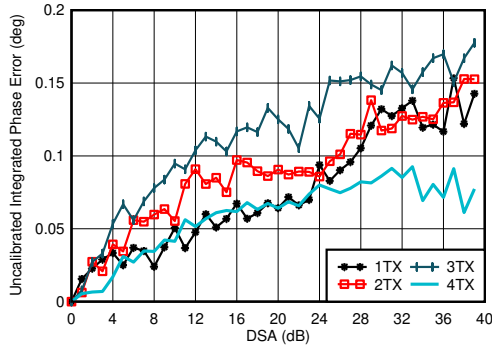
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 5-320. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、0.85GHz)

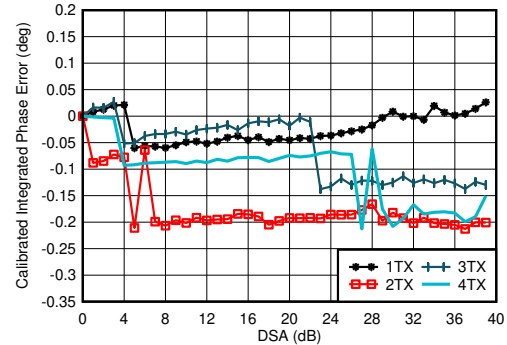
5.12.9 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



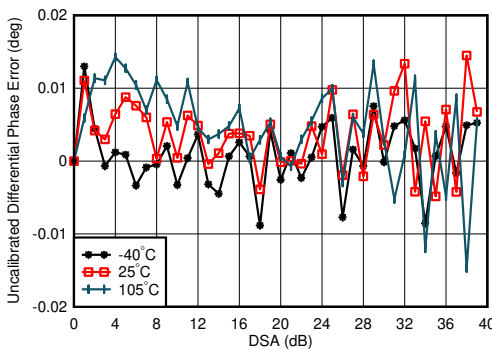
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz で整合
積分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定}) - \text{Phase}_{\text{OUT}}(\text{DSA 設定} = 0)$

図 5-321. TX 未校正積分位相誤差と DSA 設定との関係 (チャンネル 1、0.85GHz)



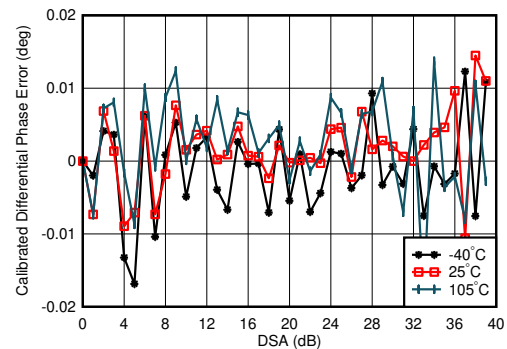
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz で整合
積分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定}) - \text{Phase}_{\text{OUT}}(\text{DSA 設定} = 0)$

図 5-322. TX 校正済み積分位相誤差と DSA 設定との関係 (各種チャンネル、0.85GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-323. TX 未校正微分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)

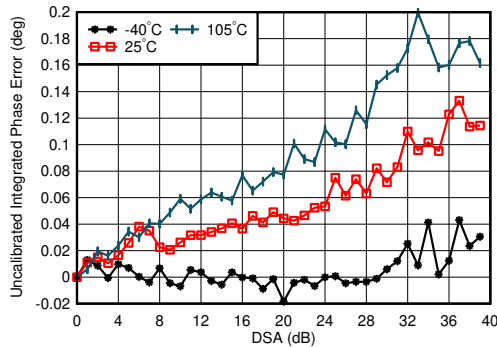


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz で整合、
全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-324. TX 校正済み微分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)

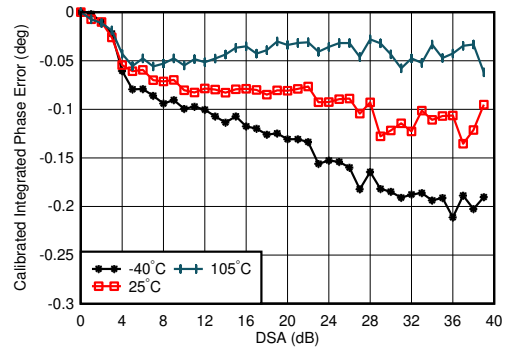
5.12.9 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\sin(x)/x$ イネーブル、 DSA 校正済み。



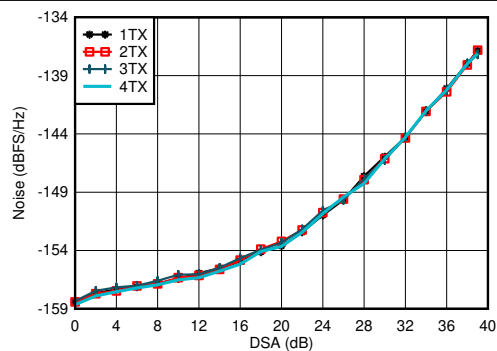
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz で整合
積分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定}) - \text{Phase}_{\text{OUT}}(\text{DSA 設定} = 0)$

図 5-325. TX 未校正積分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)



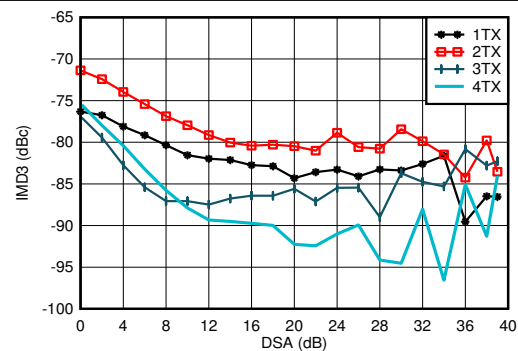
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz で整合
積分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定}) - \text{Phase}_{\text{OUT}}(\text{DSA 設定} = 0)$

図 5-326. TX 校正済み積分位相誤差と DSA 設定との関係 (各種温度、0.85GHz)



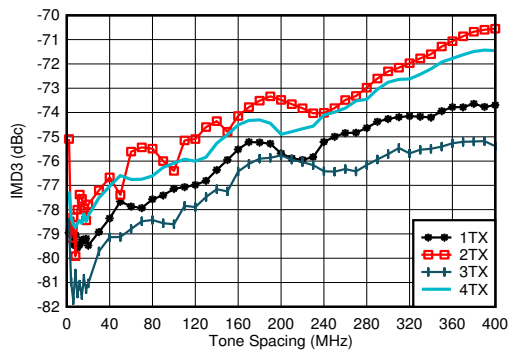
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz で整合、 $P_{\text{OUT}} = -13\text{dBFS}$

図 5-327. TX 出力ノイズと減衰量との関係 (各種チャネル、0.85GHz)



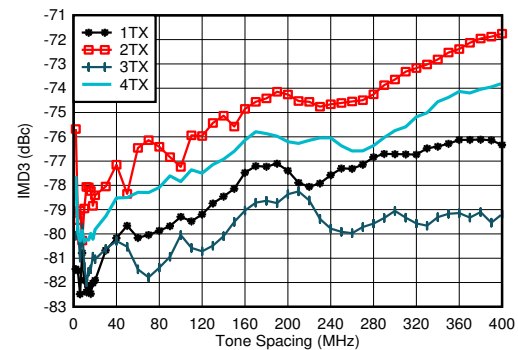
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、0.8GHz で整合、各トーン -13dBFS

図 5-328. TX IMD3 と DSA 設定との関係 (0.85GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、0.8GHz で整合、各トーン -13dBFS

図 5-329. TX IMD3 とトーン間隔との関係 (各種チャネル、0.85GHz)

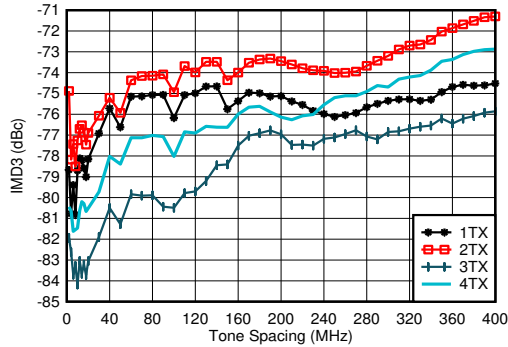


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、0.8GHz で整合、各トーン -13dBFS

図 5-330. TX IMD3 とトーン間隔との関係 (各種チャネル、0.85GHz)

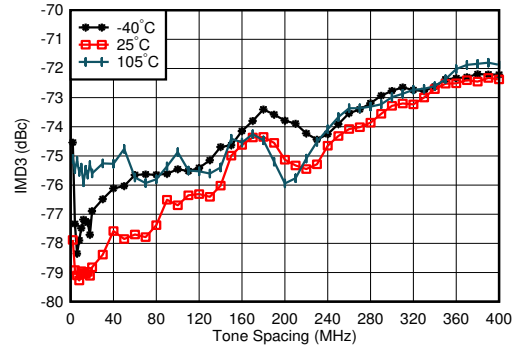
5.12.9 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1次ナイキストゾーン出力、内部PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



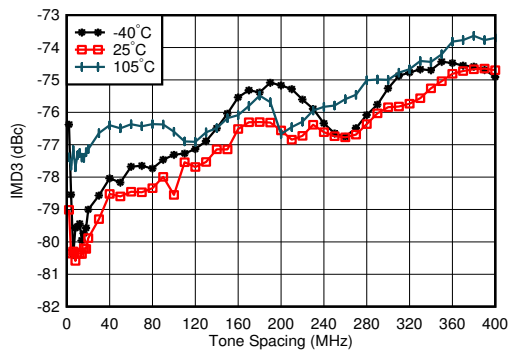
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 0.8GHz で整合、各トーン -13dBFS

図 5-331. TX IMD3 とトーン間隔との関係 (各種チャンネル、0.85GHz)



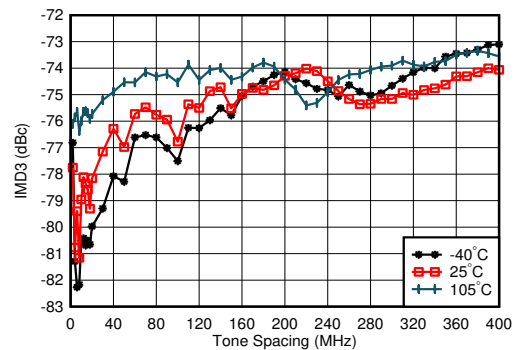
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 0.8GHz で整合、各トーン -13dBFS 、ワーストチャネル

図 5-332. TX IMD3 とトーン間隔との関係 (各種温度、0.85GHz)



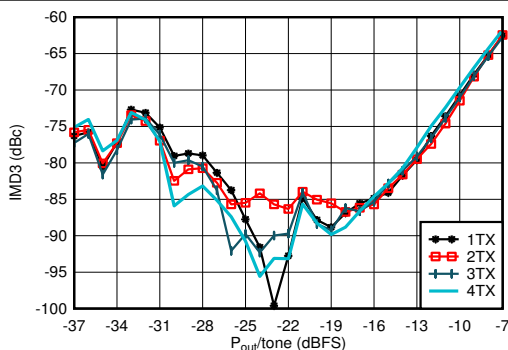
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 0.8GHz で整合、各トーン -13dBFS 、ワーストチャネル

図 5-333. TX IMD3 とトーン間隔との関係 (各種温度、0.85GHz)



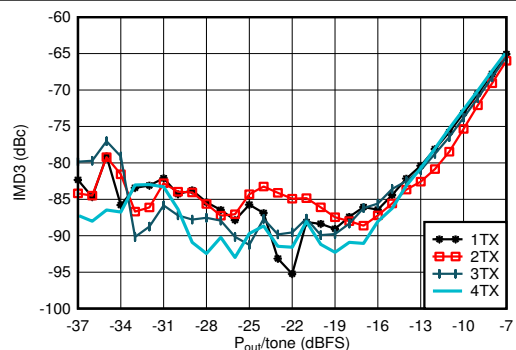
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 0.8GHz で整合、各トーン -13dBFS 、ワーストチャネル

図 5-334. TX IMD3 とトーン間隔との関係 (各種温度、0.85GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 $f_{\text{SPACING}} = 20\text{MHz}$ 、 0.8GHz で整合

図 5-335. TX IMD3 とデジタルレベルとの関係 (0.85GHz)

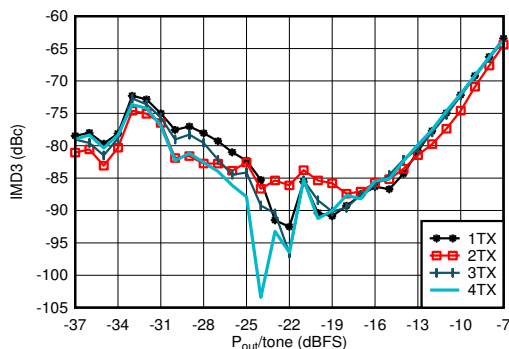


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 $f_{\text{SPACING}} = 20\text{MHz}$ 、 0.8GHz で整合

図 5-336. TX IMD3 とデジタルレベルとの関係 (0.85GHz)

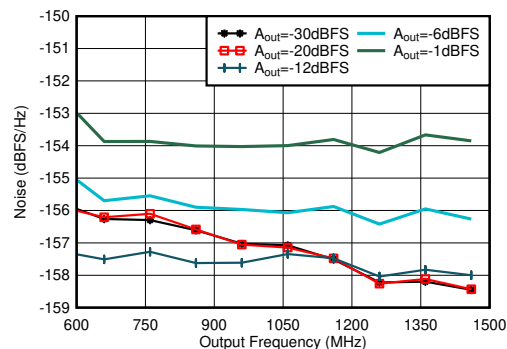
5.12.9 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



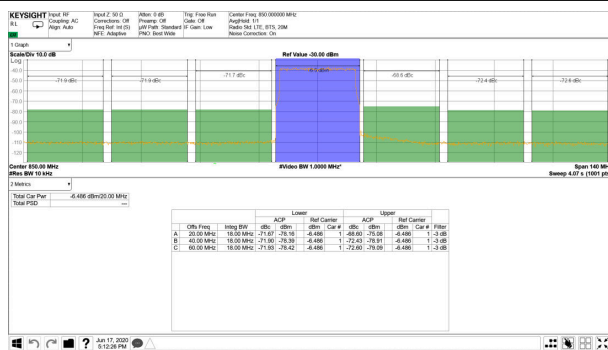
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 $f_{\text{SPACING}} = 20\text{MHz}$ 、 0.8GHz で整合

図 5-337. TX IMD3 とデジタル レベルとの関係 (0.85GHz)



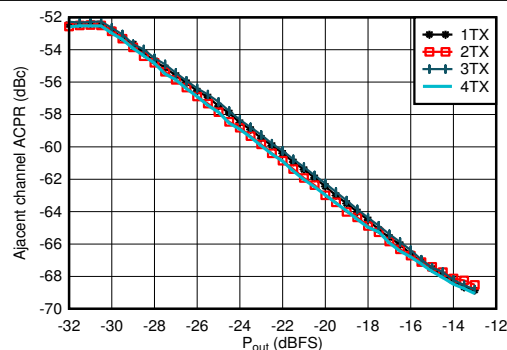
0.8GHz で整合、シングルトーン、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブモード、 40MHz オフセット、 $\text{DSA} = 0\text{dB}$

図 5-338. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、0.85GHz)



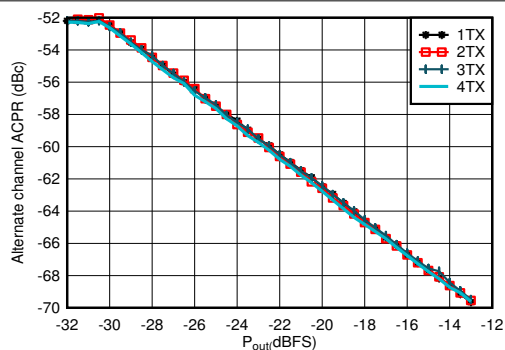
TM1.1、 $P_{\text{OUT_RMS}} = -13\text{dBFS}$

図 5-339. TX 20MHz LTE 出力スペクトル (0.85GHz)



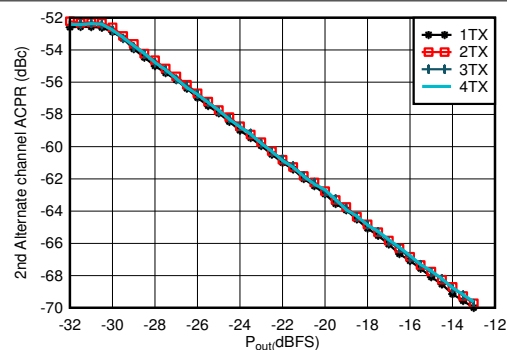
0.8GHz で整合、シングルキャリア 20MHz BW TM1.1 LTE

図 5-340. TX 20MHz LTE ACPR とデジタル レベルとの関係 (0.85GHz)



0.8GHz で整合、シングルキャリア 20MHz BW TM1.1 LTE

図 5-341. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (0.85GHz)

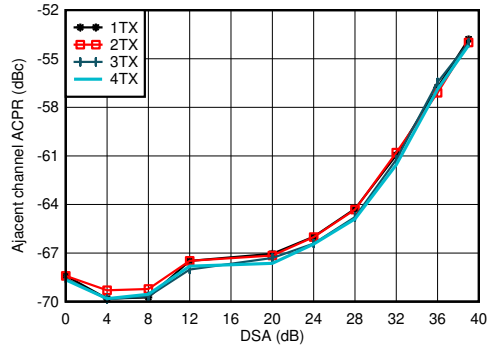


0.8GHz で整合、シングルキャリア 20MHz BW TM1.1 LTE

図 5-342. 0.85GHz での TX 20MHz LTE alt2-ACPR とデジタル レベルとの関係

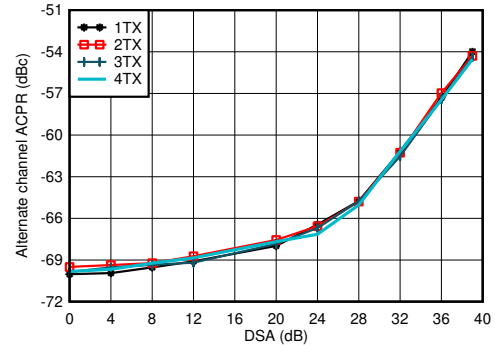
5.1.2.9 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



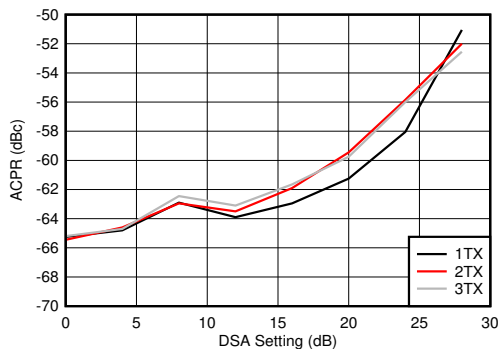
0.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-343. TX 20MHz LTE ACPR と DSA 設定との関係 (0.85GHz)



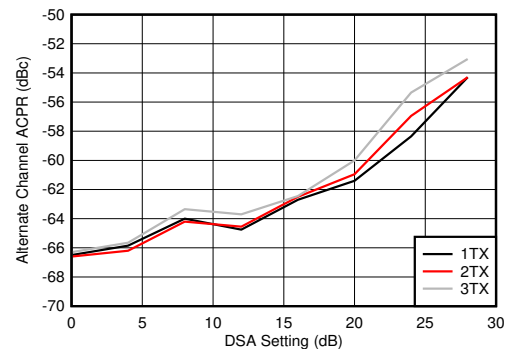
0.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-344. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (0.85GHz)



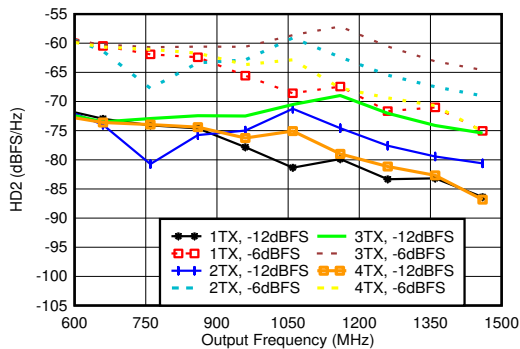
0.8GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 5-345. TX 100MHz NR ACPR と DSA 設定との関係 (0.85GHz)



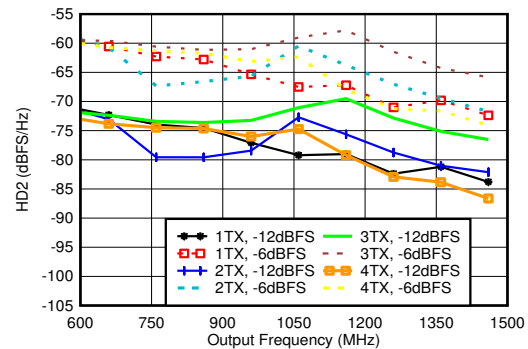
0.8GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 5-346. TX 100MHz NR alt-ACPR と DSA 設定との関係 (0.85GHz)



0.8GHz で整合、 $f_{\text{DAC}} = 5898.24\text{GSPS}$ 、ストレート モード

図 5-347. TX HD2 と出力周波数との関係 (各種デジタル振幅、0.85GHz)

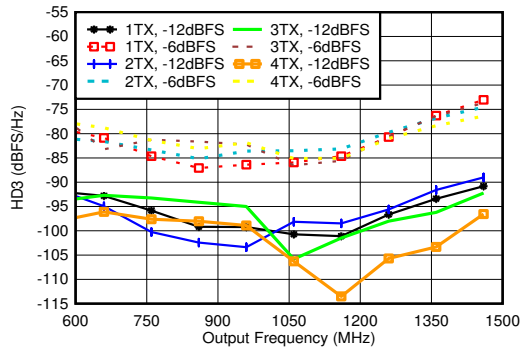


0.8GHz で整合、 $f_{\text{DAC}} = 8847.36\text{GSPS}$ 、ストレート モード。

図 5-348. TX HD2 と出力周波数との関係 (各種デジタル振幅、0.85GHz)

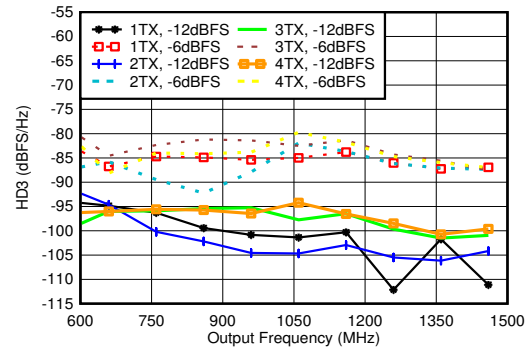
5.12.9 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



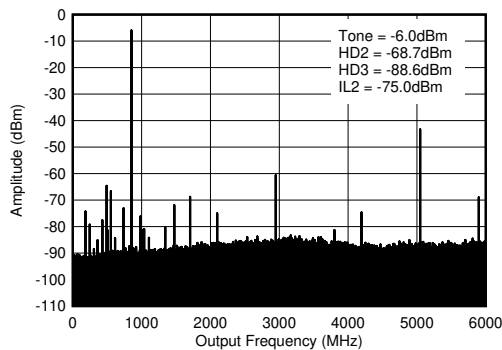
0.8GHz で整合、 $f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレートモード、高調波周波数での出力電力で正規化。

図 5-349. TX HD3 と出力周波数との関係 (各種デジタル振幅、0.85GHz)



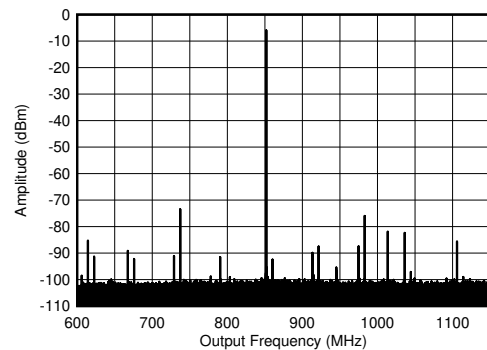
0.8GHz で整合、 $f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、高調波周波数での出力電力で正規化。

図 5-350. TX HD3 と出力周波数との関係 (各種デジタル振幅、0.85GHz)



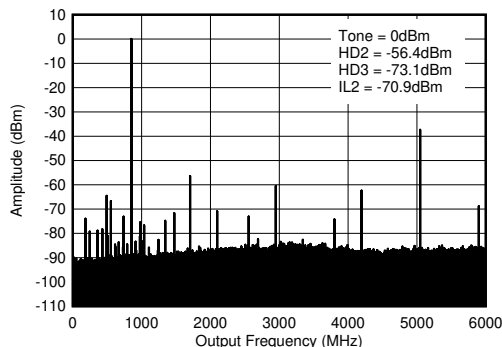
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 5-351. TX シングル トーン (-12dBFS) 出力スペクトル (0~ f_{DAC} 、0.85GHz)



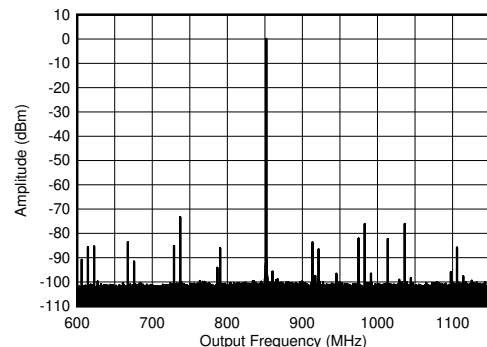
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz 整合あり、PCB とケーブルの損失を含む。

図 5-352. 0.85GHz での TX シングル トーン (-12dBFS) 出力スペクトル ($\pm 300\text{MHz}$)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 5-353. TX シングル トーン (-6dBFS) 出力スペクトル (0~ f_{DAC} 、0.85GHz)

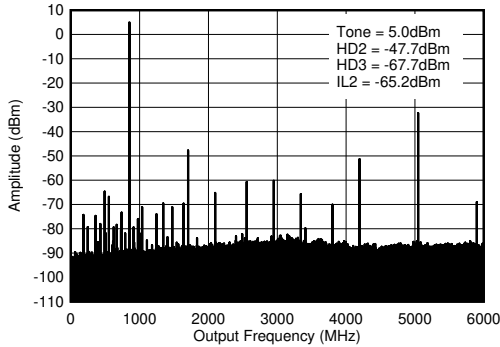


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz 整合あり、PCB とケーブルの損失を含む。

図 5-354. 0.85GHz での TX シングル トーン (-6dBFS) 出力スペクトル ($\pm 300\text{MHz}$)

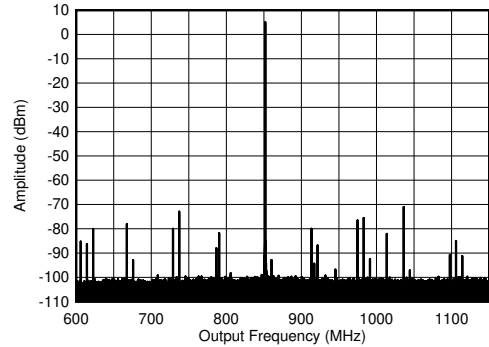
5.12.9 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



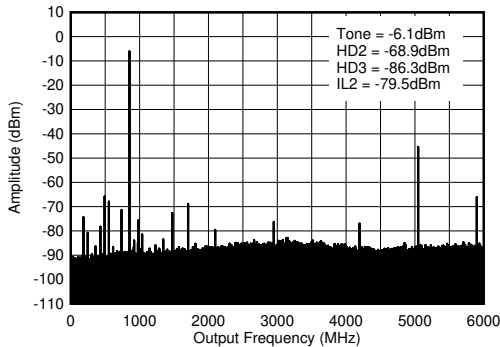
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 5-355. TX シングル トーン (-1dBFS) 出力スペクトル (0~ f_{DAC} 、0.85GHz)



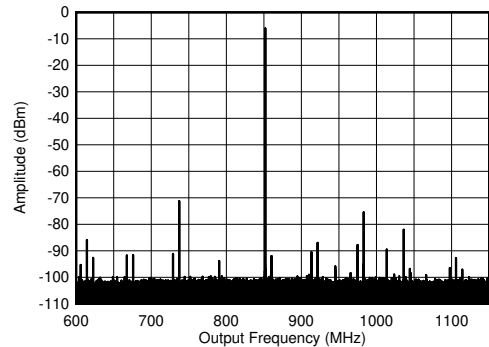
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブモード、0.8GHz 整合あり、PCB とケーブルの損失を含む。

図 5-356. 0.85GHz での TX シングル トーン (-1dBFS) 出力スペクトル ($\pm 300\text{MHz}$)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレートモード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ (デジタル クロックとのミキシングに起因)。

図 5-357. TX シングル トーン (-12dBFS) 出力スペクトル (0~ f_{DAC} 、0.85GHz)

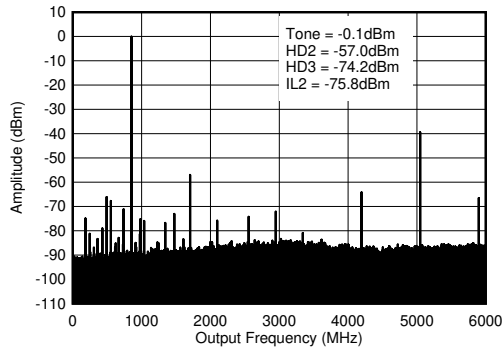


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレートモード、0.8GHz 整合あり、PCB とケーブルの損失を含む

図 5-358. 0.85GHz での TX シングル トーン (-12dBFS) 出力スペクトル ($\pm 300\text{MHz}$)

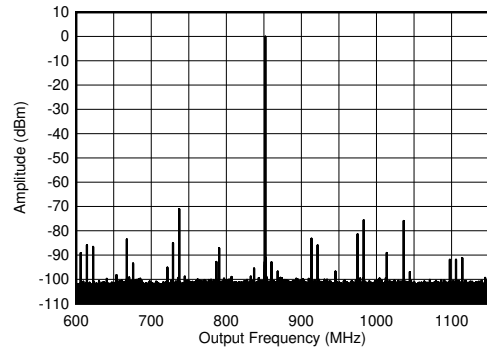
5.12.9 TX 代表的特性 : 800MHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



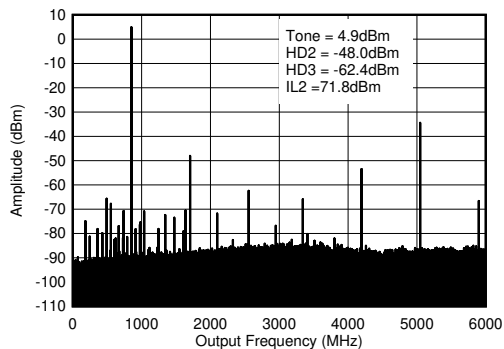
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレートモード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_{\text{S}}/n \pm f_{\text{OUT}}$ (デジタルクロックとのミキシングに起因)。

図 5-359. TX シングル トーン (-6dBFS) 出力スペクトル (0~ f_{DAC} 、0.85GHz)



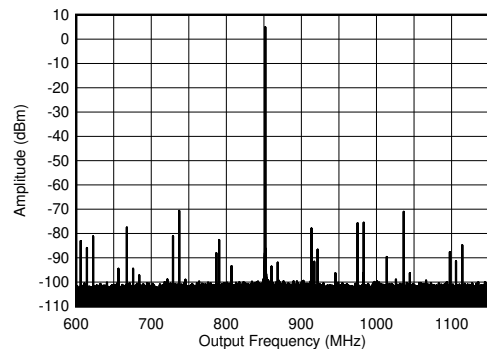
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレートモード、0.8GHz 整合あり、PCB とケーブルの損失を含む

図 5-360. 0.85GHz での TX シングル トーン (-6dBFS) 出力スペクトル (±300 MHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレートモード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_{\text{S}}/n \pm f_{\text{OUT}}$ (デジタルクロックとのミキシングに起因)。

図 5-361. TX シングル トーン (-1dBFS) 出力スペクトル (0~ f_{DAC} 、0.85GHz)

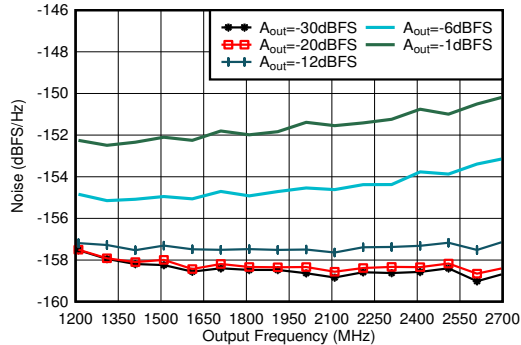


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレートモード、0.8GHz 整合あり、PCB とケーブルの損失を含む

図 5-362. 0.85GHz での TX シングル トーン (-1dBFS) 出力スペクトル (±300 MHz)

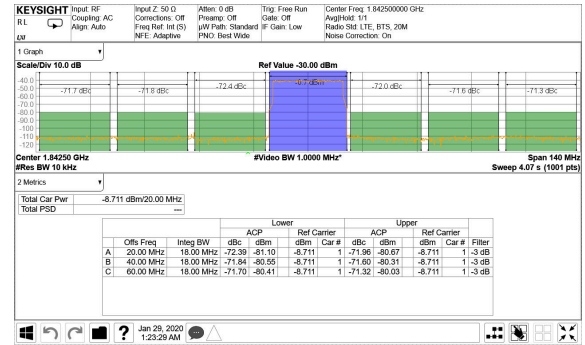
5.12.10 TX 代表的特性 : 1.8GHz

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



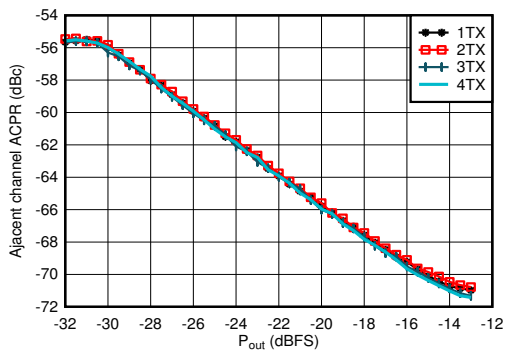
1.8GHz で整合、シングル トーン、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブ モード、40MHz オフセット

図 5-363. TX シングル トーン出力ノイズと周波数との関係 (各種振幅、1.8GHz)



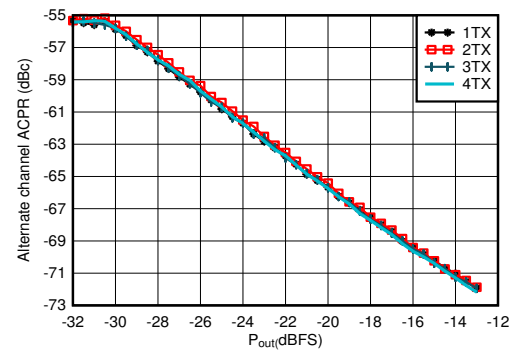
TM1.1、 $P_{\text{OUT_RMS}} = -13\text{dBFS}$

図 5-364. TX 20MHz LTE 出力スペクトル (1.8425GHz)



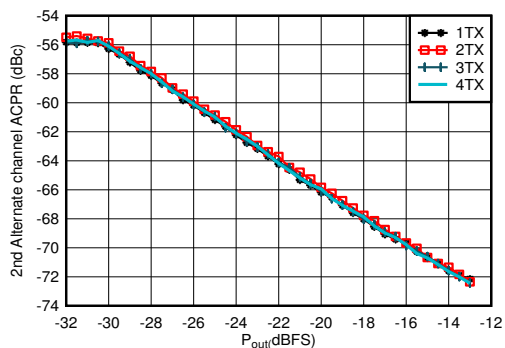
1.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-365. TX 20MHz LTE ACPR とデジタル レベルとの関係 (1.8425GHz)



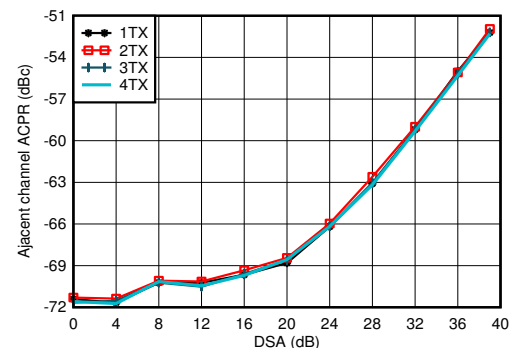
1.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-366. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (1.8425GHz)



1.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-367. 1.8425GHz での TX 20MHz LTE alt2-ACPR とデジタル レベルとの関係

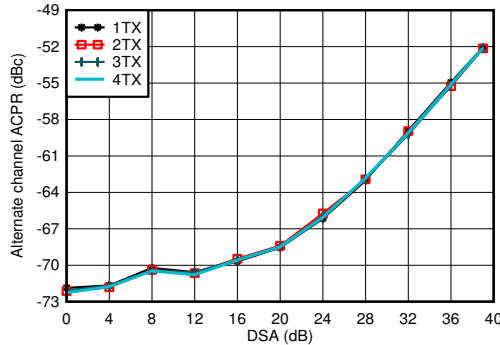


1.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-368. TX 20MHz LTE ACPR と DSA 設定との関係 (1.8GHz)

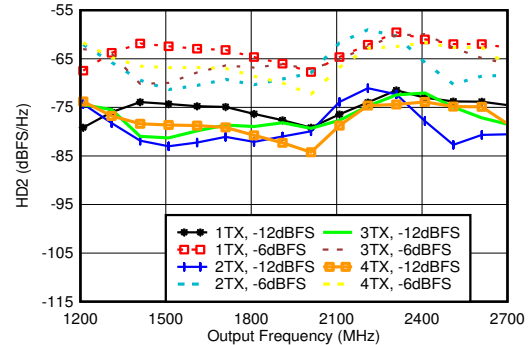
5.12.10 TX 代表的特性 : 1.8GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



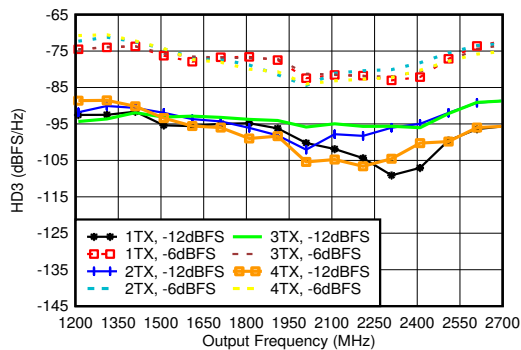
1.8GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-369. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (1.8GHz)



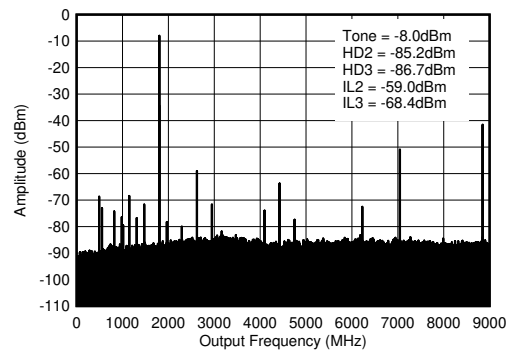
1.8GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブモード、高調波周波数での出力電力で正規化

図 5-370. TX HD2 と出力周波数との関係 (各種デジタル振幅、1.8GHz)



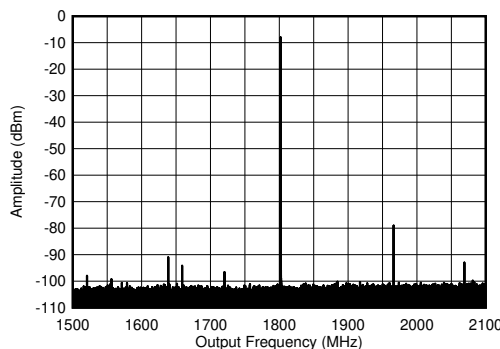
1.8GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブモード、高調波周波数での出力電力で正規化

図 5-371. TX HD3 と出力周波数との関係 (各種デジタル振幅、1.8GHz)



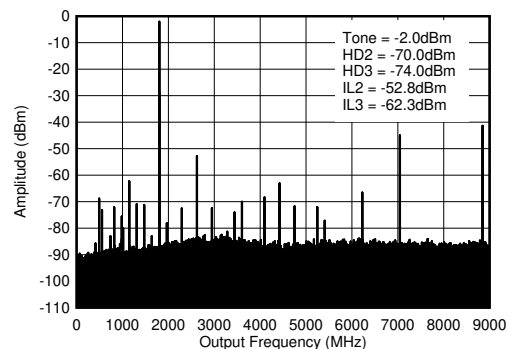
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、インターリーブモード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 5-372. TX シングル トーン (-12dBFS) 出力スペクトル (0~ f_{DAC} 、1.8GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、インターリーブモード、1.8GHz 整合あり、PCB とケーブルの損失を含む。

図 5-373. 1.8GHz での TX シングル トーン (-12dBFS) 出力スペクトル ($\pm 300\text{MHz}$)

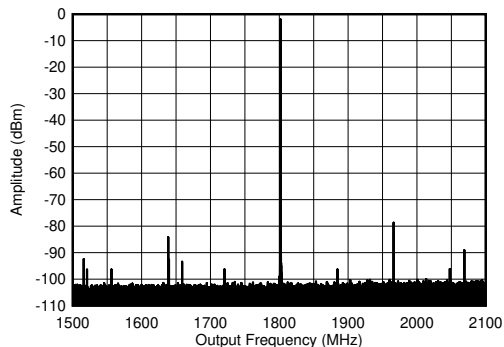


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、インターリーブモード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 5-374. TX シングル トーン (-6dBFS) 出力スペクトル (0~ f_{DAC} 、1.8GHz)

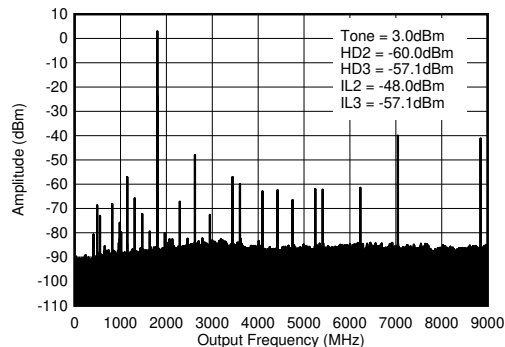
5.12.10 TX 代表的特性 : 1.8GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



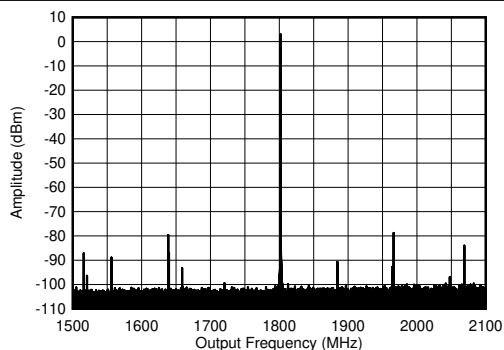
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、インターリーブモード、1.8GHz 整合あり、PCB とケーブルの損失を含む。

図 5-375. 1.8GHz での TX シングル トーン (-6dBFS) 出力スペクトル (±300MHz)



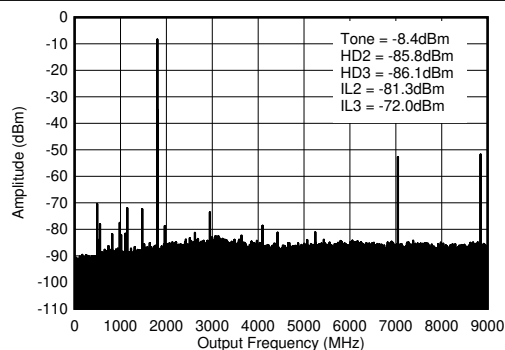
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、インターリーブモード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 5-376. TX シングル トーン (-1dBFS) 出力スペクトル (0~ f_{DAC} 、1.8GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、インターリーブモード、1.8GHz 整合あり、PCB とケーブルの損失を含む。

図 5-377. 1.8GHz での TX シングル トーン (-1dBFS) 出力スペクトル (±300MHz)

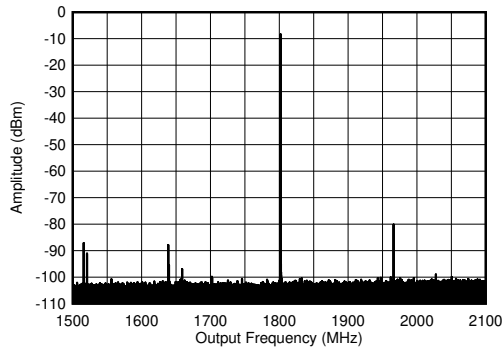


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ (デジタル クロックとのミキシングに起因)。

図 5-378. TX シングル トーン (-12dBFS) 出力スペクトル (0~ f_{DAC} 、1.8GHz)

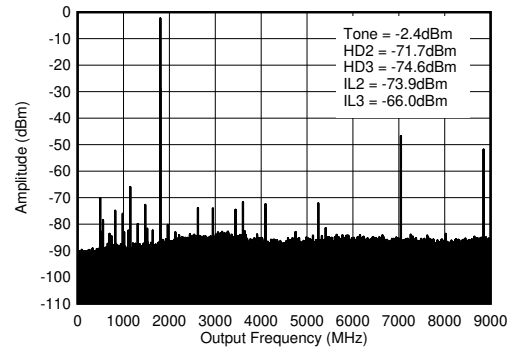
5.12.10 TX 代表的特性 : 1.8GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



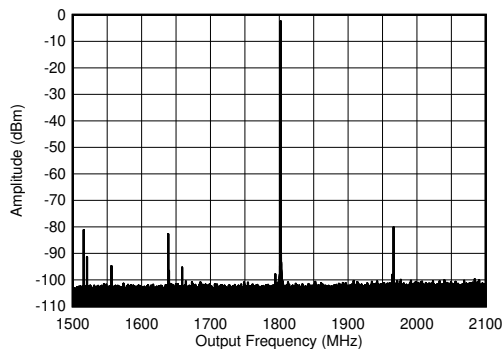
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、1.8GHz 整合あり、PCB とケーブルの損失を含む

図 5-379. 1.8GHz での TX シングル トーン (-12dBFS) 出力スペクトル (±300MHz)



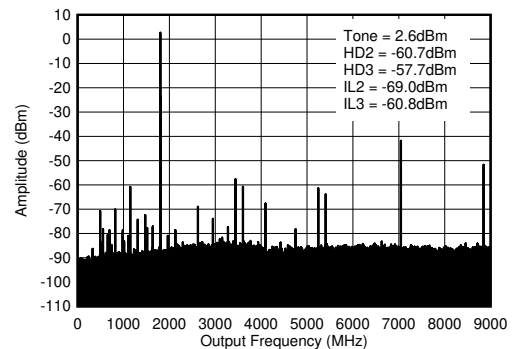
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ (デジタル クロックとのミキシングに起因)。

図 5-380. TX シングル トーン (-6dBFS) 出力スペクトル (0~ f_{DAC} 、1.8GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、1.8GHz 整合あり、PCB とケーブルの損失を含む

図 5-381. 1.8GHz での TX シングル トーン (-6dBFS) 出力スペクトル (±300MHz)

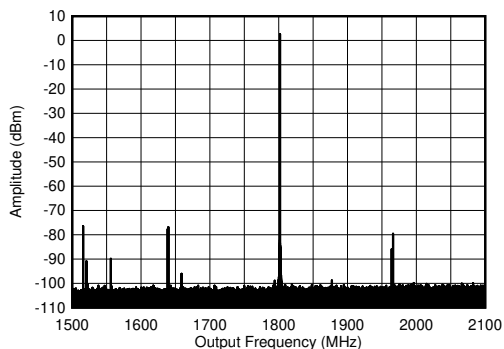


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ (デジタル クロックとのミキシングに起因)。

図 5-382. TX シングル トーン (-1dBFS) 出力スペクトル (0~ f_{DAC} 、1.8GHz)

5.12.10 TX 代表的特性 : 1.8GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 校正済み。

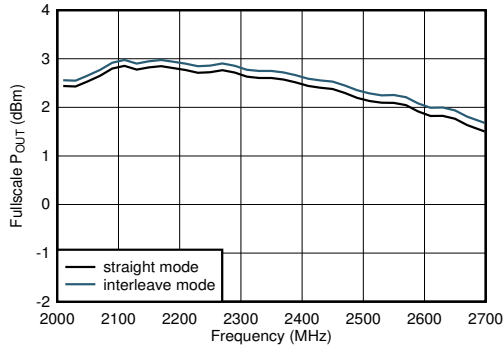


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、1.8GHz 整合あり、PCB とケーブルの損失を含む

図 5-383. 1.8GHz での TX シングル トーン (-1dBFS) 出力スペクトル (±300MHz)

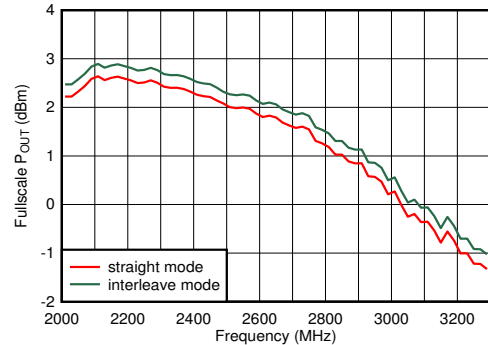
5.12.11 TX 代表的特性 : 2.6GHz

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\sin(x)/x$ イネーブル、 DSA 校正済み。



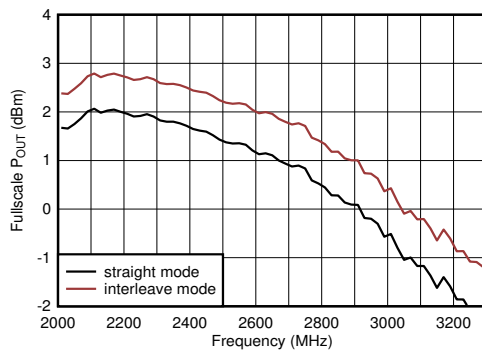
PCB とケーブルの損失を含む。 $A_{\text{OUT}} = -0.5\text{dBFS}$ 、 $\text{DSA} = 0$ 、2.6GHz 整合あり

図 5-384. 5898.24MSPS での TX フルスケールと RF 周波数との関係



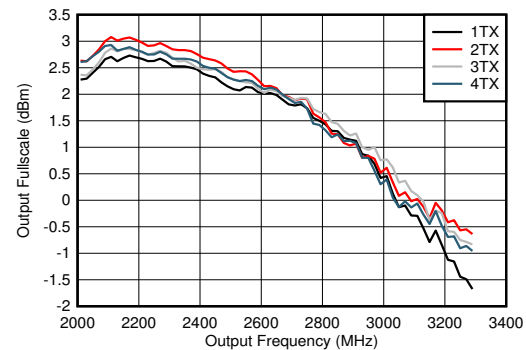
PCB とケーブルの損失を含む。 $A_{\text{OUT}} = -0.5\text{dBFS}$ 、 $\text{DSA} = 0$ 、2.6GHz 整合あり

図 5-385. 8847.36MSPS での TX フルスケールと RF 周波数との関係



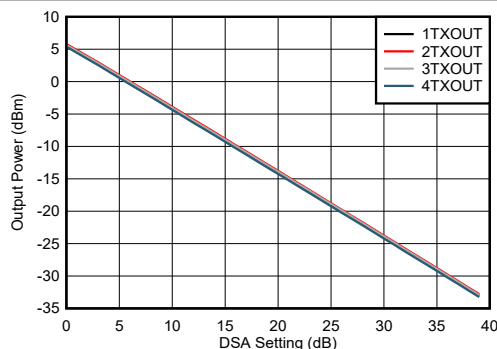
PCB とケーブルの損失を含む。 $A_{\text{OUT}} = -0.5\text{dBFS}$ 、 $\text{DSA} = 0$ 、2.6GHz 整合あり

図 5-386. TX フルスケールと RF 周波数との関係 (11796.48MSPS)



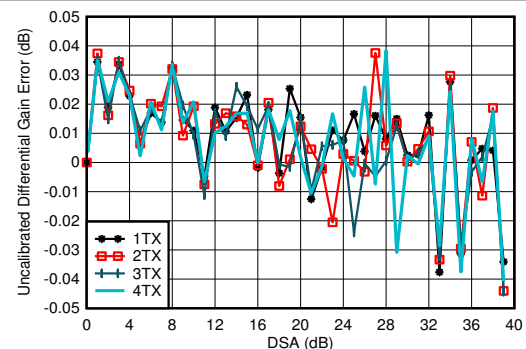
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、インターリーブモード、PCB およびケーブルの損失を含む、 $A_{\text{out}} = -0.5\text{dBFS}$ 、 $\text{DSA} = 0$ 、2.6GHz 整合あり

図 5-387. TX 出力フルスケールと出力周波数とチャンネルとの関係



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、 $A_{\text{OUT}} = -0.5\text{dBFS}$ 、2.6GHz に整合

図 5-388. TX 出力電力と DSA 設定との関係 (各種チャンネル、2.6GHz)

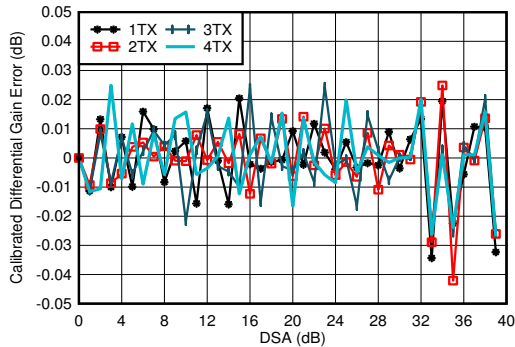


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-389. TX 未校正微分ゲイン誤差と DSA 設定との関係 (各種チャンネル、2.6GHz)

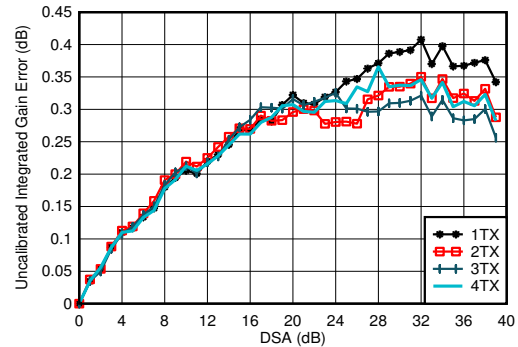
5.12.11 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



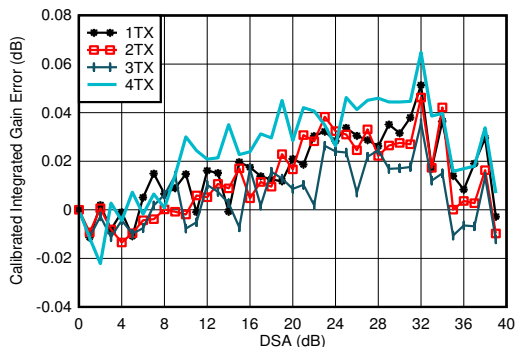
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-390. TX 校正済み微分ゲイン誤差と DSA 設定との関係 (各種チャンネル、2.6GHz)



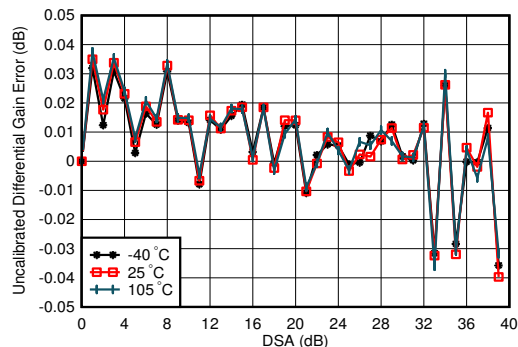
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-391. TX 未校正積分ゲイン誤差と DSA 設定との関係 (各種チャンネル、2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-392. TX 校正済み積分ゲイン誤差と DSA 設定との関係 (各種チャンネル、2.6GHz)

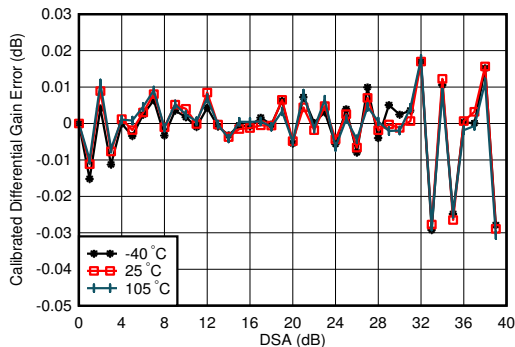


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合、全
DSA 設定にわたって 25°C での誤差が中央値であるチャンネル
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-393. TX 未校正微分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)

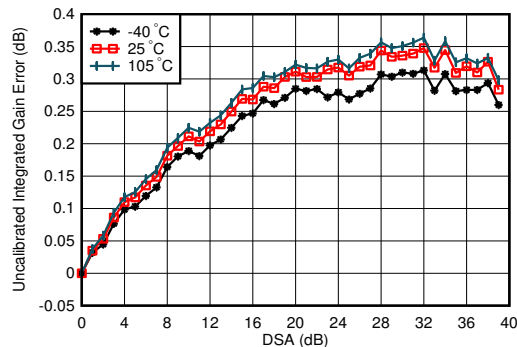
5.12.11 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\sin(x)/x$ イネーブル、 DSA 校正済み。



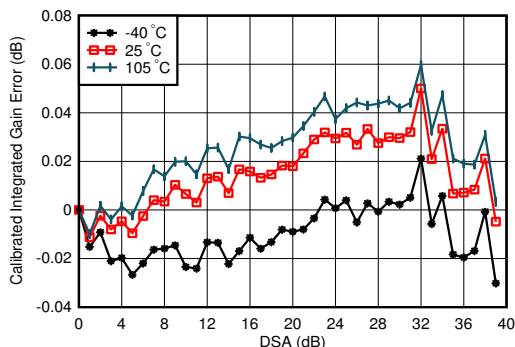
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-394. TX 校正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)



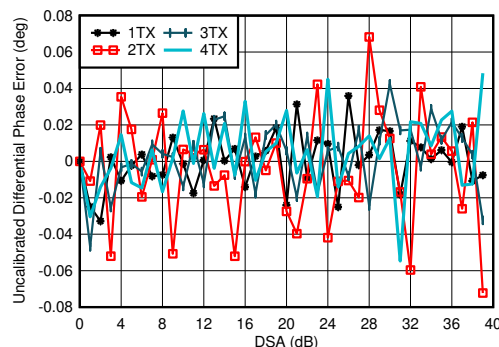
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-395. TX 未校正積分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-396. TX 校正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)

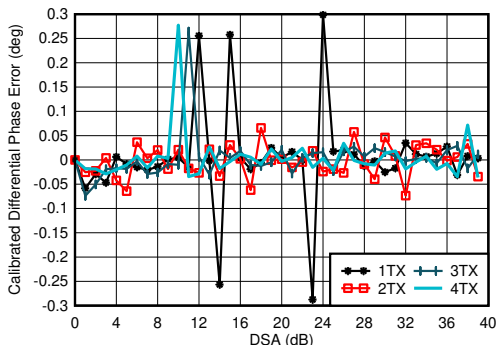


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 5-397. TX 未校正微分位相誤差と DSA 設定との関係 (各種チャンネル、2.6GHz)

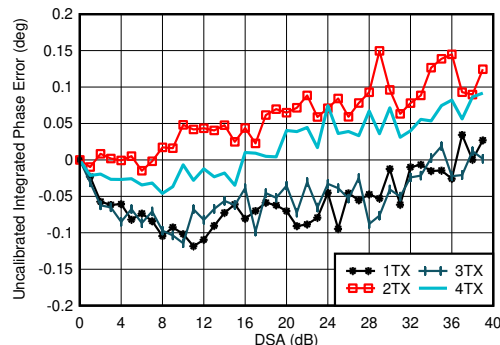
5.12.11 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、DSA = 0dB、 $\sin(x)/x$ イネーブル、DSA 校正済み。



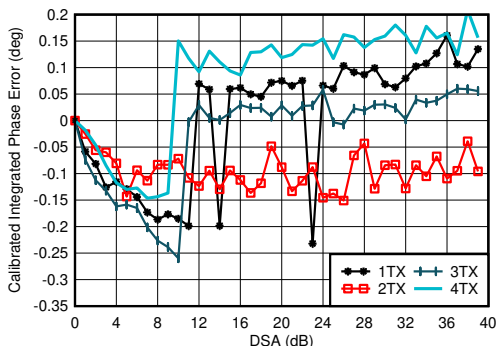
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 5-398. TX 校正済み微分位相誤差と DSA 設定との関係 (各種チャネル、2.6GHz)



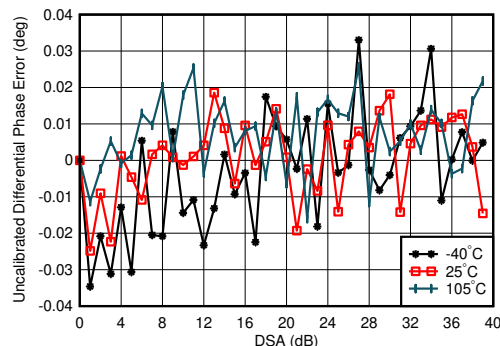
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-399. TX 未校正積分位相誤差と DSA 設定との関係 (チャネル 1、2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-400. TX 校正済み積分位相誤差と DSA 設定との関係 (各種チャネル、2.6GHz)

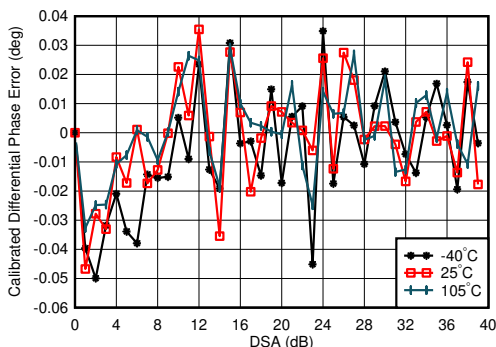


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャネル
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 5-401. TX 未校正微分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)

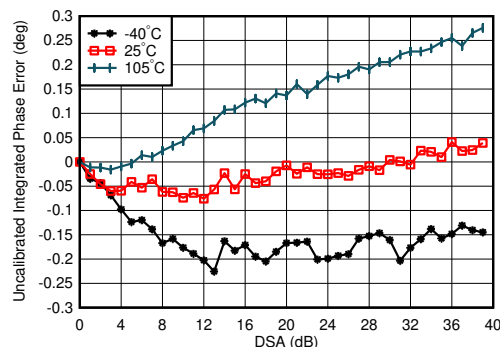
5.12.11 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



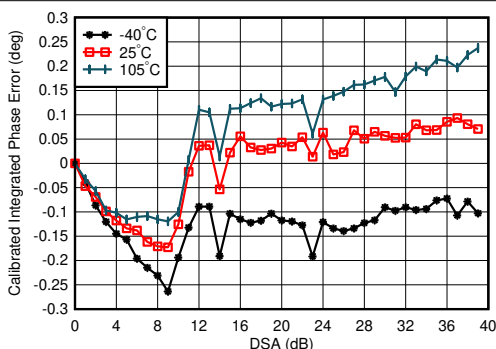
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 5-402. TX 校正済み微分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)



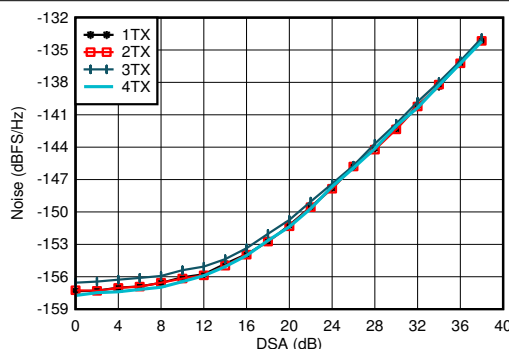
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合、全 DSA 設定にわたって 25°Cでの誤差が中位の大きさのチャンネル
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-403. TX 未校正積分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-404. TX 校正済み積分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)

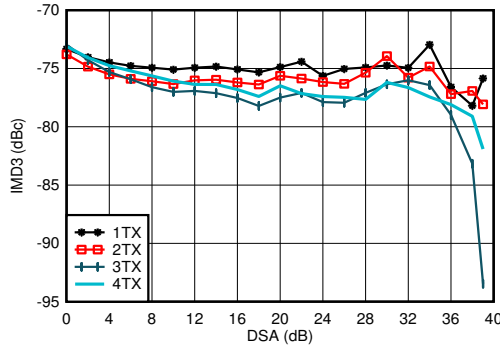


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz で整合、 $P_{\text{OUT}} = -13\text{dBFS}$

図 5-405. TX 出力ノイズと減衰量との関係 (各種チャンネル、2.6GHz)

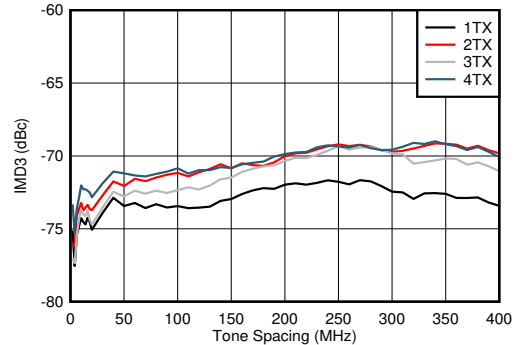
5.12.11 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1次ナイキストゾーン出力、内部PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



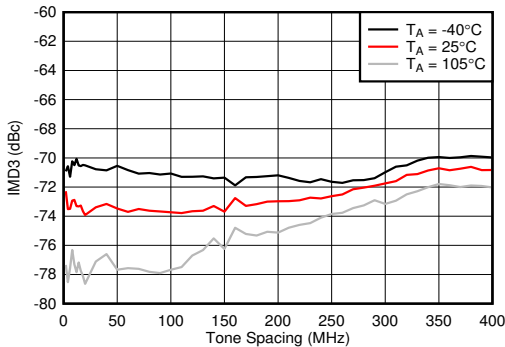
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 2.6\text{GHz}$ 、 2.6GHz で整合、各トーン -13dBFS

図 5-406. TX IMD3 と DSA 設定との関係 (2.6GHz)



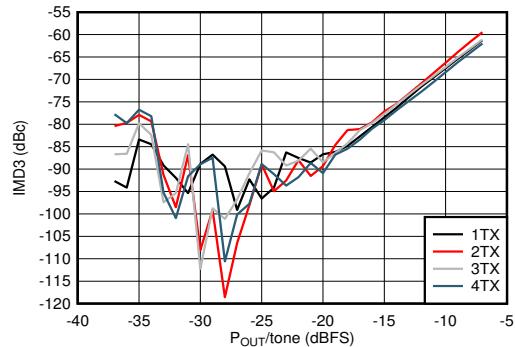
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 2.6\text{GHz}$ 、 2.6GHz で整合、各トーン -13dBFS

図 5-407. TX IMD3 と トーン間隔との関係 (各種チャネル、2.6GHz)



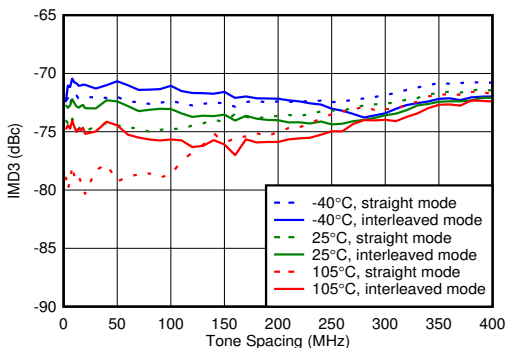
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 2.6\text{GHz}$ 、 2.6GHz で整合、各トーン -13dBFS 、ワーストチャネル

図 5-408. TX IMD3 と トーン間隔との関係 (各種温度、2.6GHz)



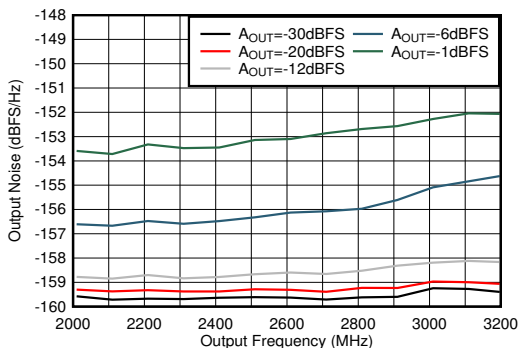
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 2.6\text{GHz}$ 、 $f_{\text{SPACING}} = 20\text{MHz}$ 、 2.6GHz で整合

図 5-409. TX IMD3 と デジタル レベルとの関係 (2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、 $f_{\text{CENTER}} = 2.6\text{GHz}$ 、 2.6GHz で整合、各トーン -13dBFS

図 5-410. TX IMD3 と トーン間隔との関係 (各種温度)

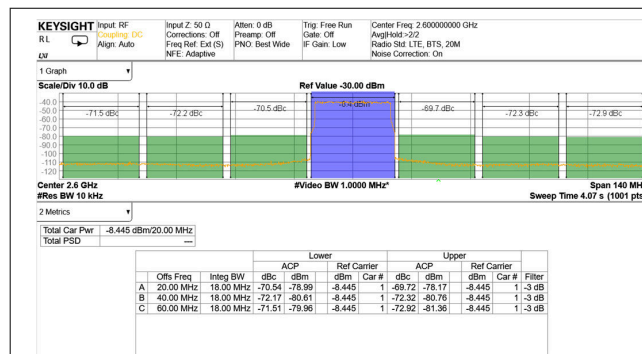


2.6GHz で整合、シングルトーン、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブモード、 40MHz オフセット

図 5-411. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、2.6GHz)

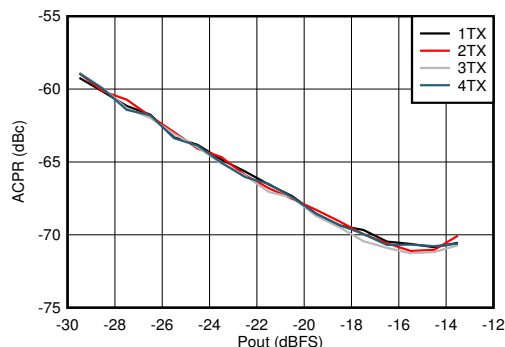
5.12.11 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ インタープルス、DSA 校正済み。



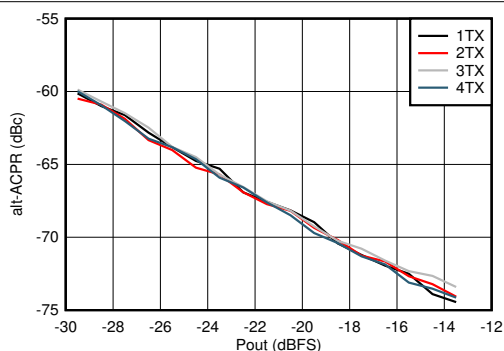
TM1.1、 $P_{\text{OUT_RMS}} = -13\text{dBFS}$

図 5-412. TX 20MHz LTE 出力スペクトル (バンド 41, 2.6GHz)



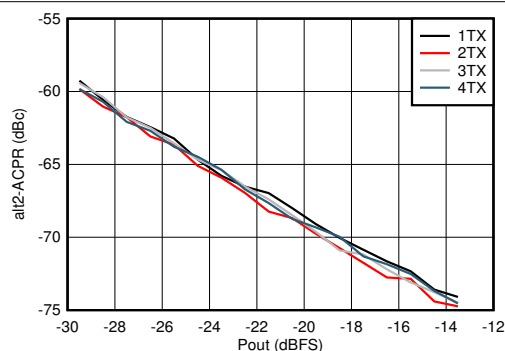
2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-413. TX 20MHz LTE ACPR とデジタル レベルとの関係 (2.6GHz)



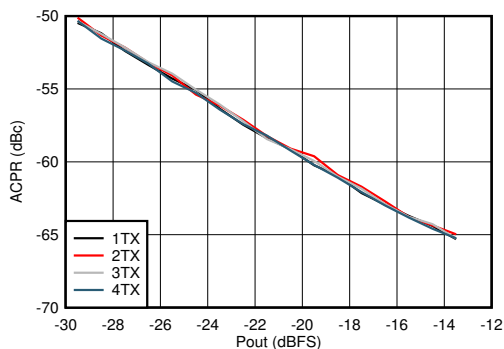
2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-414. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (2.6GHz)



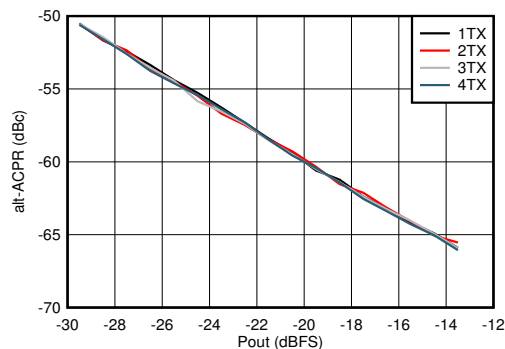
2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-415. 2.6GHz での TX 20MHz LTE alt2-ACPR とデジタル レベルとの関係



2.6GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 5-416. 2.6GHz での TX 100MHz NR ACPR とデジタル レベルとの関係

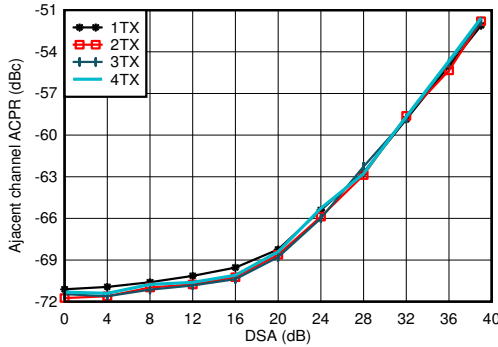


2.6GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 5-417. 2.6GHz での TX 100MHz NR alt-ACPR とデジタル レベルとの関係

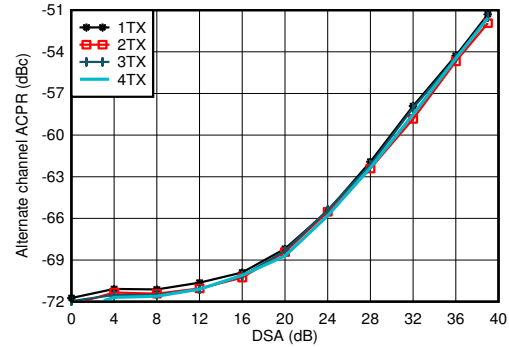
5.12.11 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、DSA = 0dB、 $\text{Sin}(x)/x$ イネーブル、DSA 校正済み。



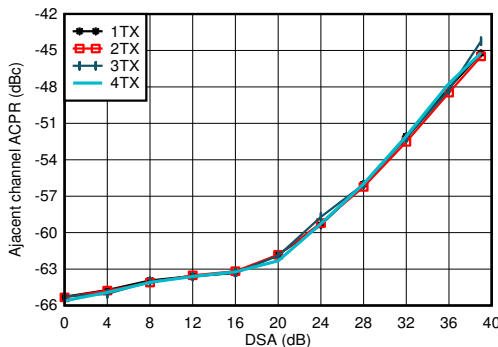
2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-418. TX 20MHz LTE ACPR と DSA 設定との関係 (2.6GHz)



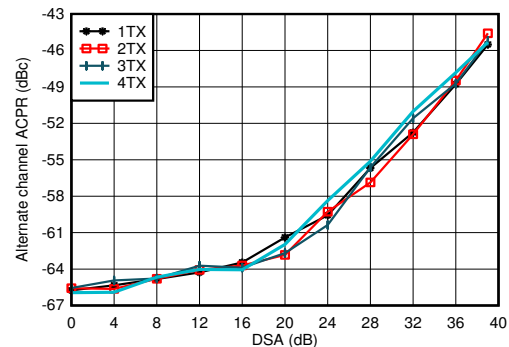
2.6GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-419. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (2.6GHz)



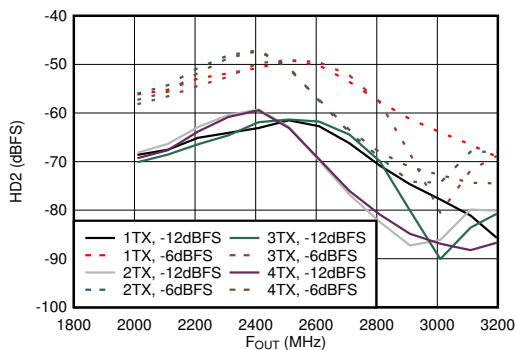
2.6GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 5-420. TX 100MHz NR ACPR と DSA 設定との関係 (2.6GHz)



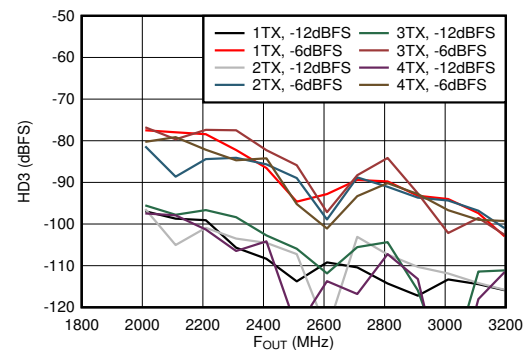
2.6GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 5-421. TX 100MHz NR alt-ACPR と DSA 設定との関係 (2.6GHz)



2.6GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブ モード、高調波周波数での出力電力で正規化

図 5-422. TX HD2 と出力周波数との関係 (各種デジタル振幅、2.6GHz)

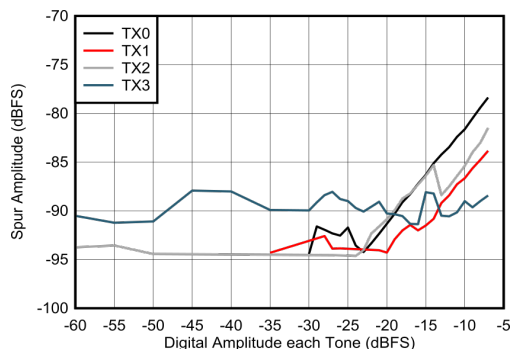


2.6GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブ モード、高調波周波数での出力電力で正規化

図 5-423. TX HD3 と出力周波数との関係 (各種デジタル振幅、2.6GHz)

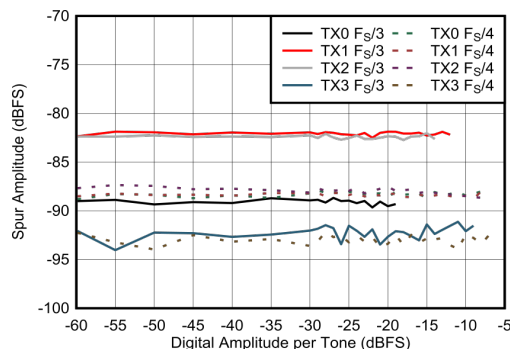
5.12.11 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



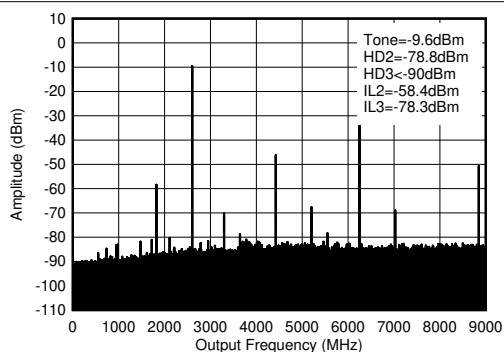
帯域内 = $2600\text{MHz} \pm 600\text{MHz}$ 、 $f_{\text{DAC}} = 12\text{GSPS}$ 、 $F_s/3$ および $F_s/4$ を含まず、外部クロックモード、非インターリーブモード

図 5-424. 2.6GHz での 2 トーン SFDR とデジタル振幅との関係



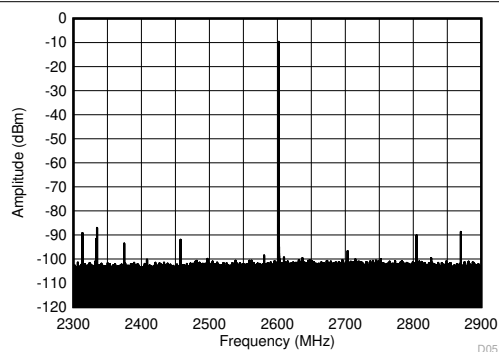
帯域内 = $2600\text{MHz} \pm 600\text{MHz}$ 、 $f_{\text{DAC}} = 12\text{GSPS}$ 、外部クロックモード、非インターリーブモード

図 5-425. 2.6GHz での 2 トーンインバンド固定スプリアスとデジタル振幅との関係



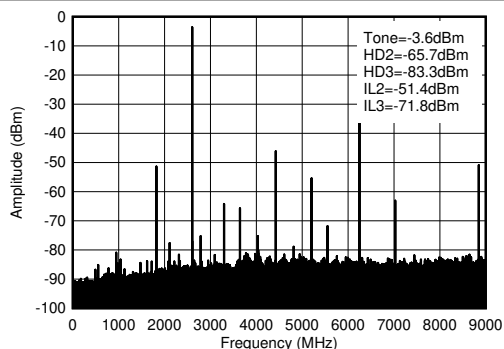
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、インターリーブモード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 5-426. TX シングル トーン (-12dBFS) 出力スペクトル (0~ f_{DAC} 、2.6GHz)



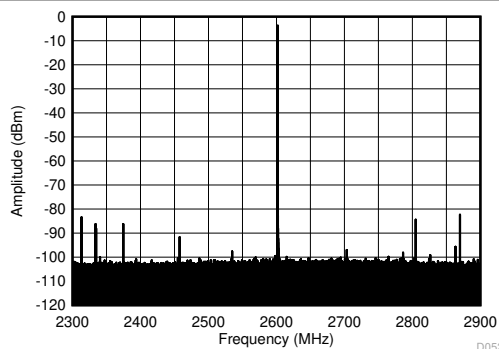
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、インターリーブモード、2.6GHz 整合あり、PCB とケーブルの損失を含む

図 5-427. 2.6GHz での TX シングル トーン (-12dBFS) 出力スペクトル ($\pm 300\text{MHz}$)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、インターリーブモード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 5-428. TX シングル トーン (-6dBFS) 出力スペクトル (0~ f_{DAC} 、2.6GHz)

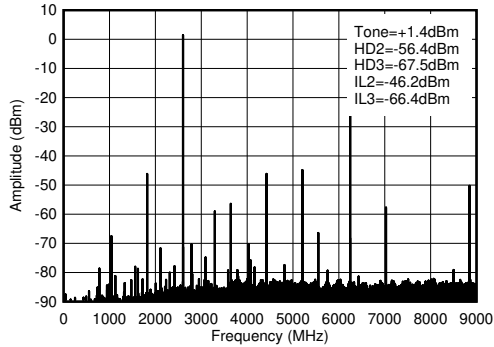


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、インターリーブモード、2.6GHz 整合あり、PCB とケーブルの損失を含む

図 5-429. 2.6GHz での TX シングル トーン (-6dBFS) 出力スペクトル ($\pm 300\text{MHz}$)

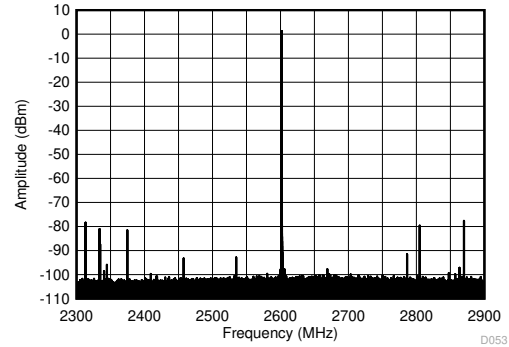
5.12.11 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



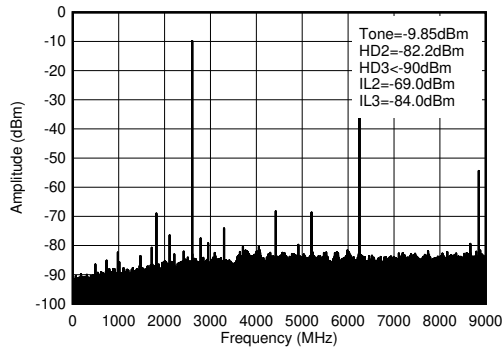
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、インターリーブモード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 5-430. TX シングル トーン (-1dBFS) 出力スペクトル (0~ f_{DAC} 、2.6GHz)



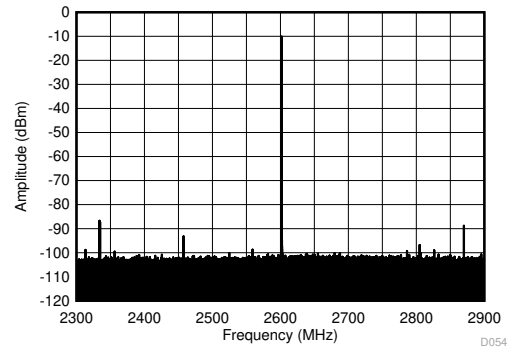
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、インターリーブモード、2.6GHz 整合あり、PCB とケーブルの損失を含む

図 5-431. 2.6GHz での TX シングル トーン (-1dBFS) 出力スペクトル ($\pm 300\text{MHz}$)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ (デジタルクロックとのミキシングに起因)。

図 5-432. TX シングル トーン (-12dBFS) 出力スペクトル (0~ f_{DAC} 、2.6GHz)

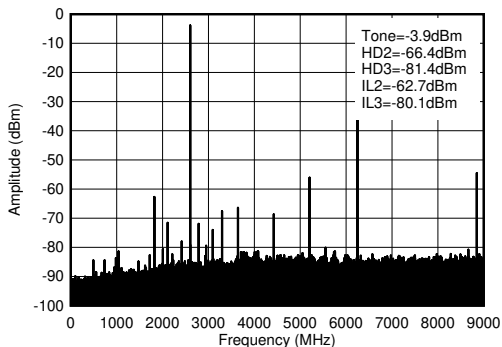


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレートモード、2.6GHz 整合あり、PCB とケーブルの損失を含む

図 5-433. 2.6GHz での TX シングル トーン (-12dBFS) 出力スペクトル ($\pm 300\text{MHz}$)

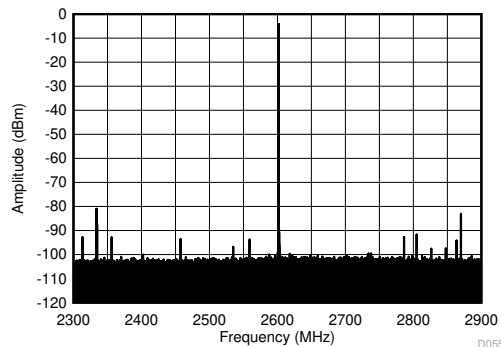
5.12.11 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



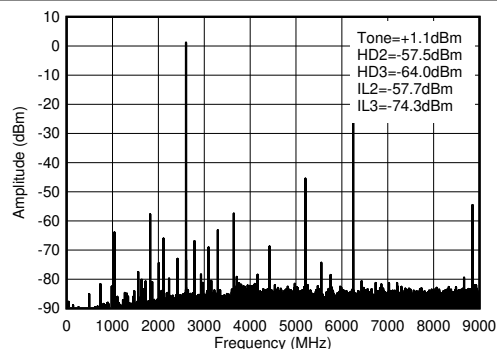
$f_{\text{DAC}} = 8847.36\text{ MSPS}$ 、ストレートモード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ (デジタルクロックとのミキシングに起因)。

図 5-434. TX シングル トーン (-6dBFS) 出力スペクトル (0~ f_{DAC} 、2.6GHz)



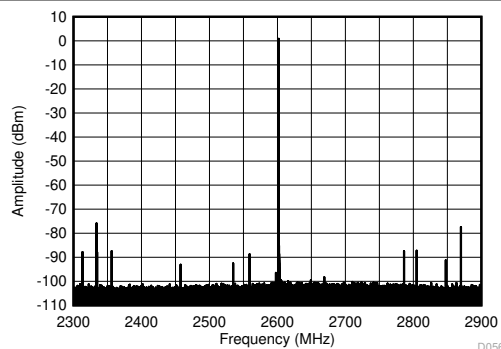
$f_{\text{DAC}} = 8847.36\text{ MSPS}$ 、ストレートモード、2.6GHz 整合あり、PCB とケーブルの損失を含む

図 5-435. 2.6GHz での TX シングル トーン (-6dBFS) 出力スペクトル ($\pm 300\text{MHz}$)



$f_{\text{DAC}} = 8847.36\text{ MSPS}$ 、ストレートモード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ (デジタルクロックとのミキシングに起因)。

図 5-436. TX シングル トーン (-1dBFS) 出力スペクトル (0~ f_{DAC} 、2.6GHz)

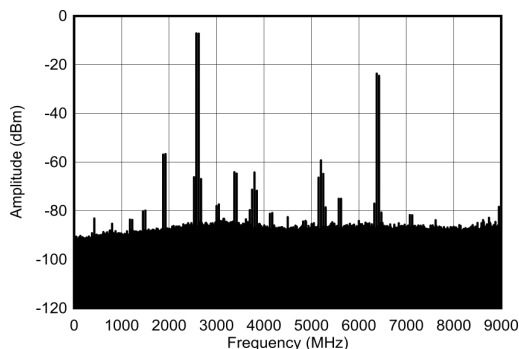


$f_{\text{DAC}} = 8847.36\text{ MSPS}$ 、ストレートモード、2.6GHz 整合あり、PCB とケーブルの損失を含む

図 5-437. 2.6GHz での TX シングル トーン (-1dBFS) 出力スペクトル ($\pm 300\text{MHz}$)

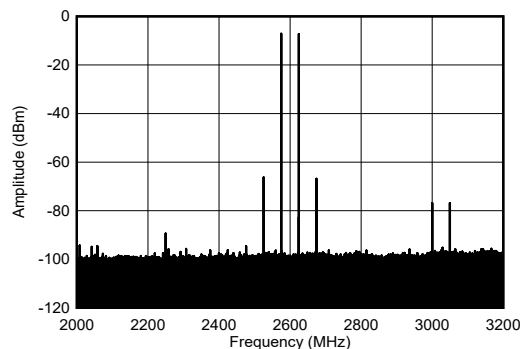
5.12.11 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



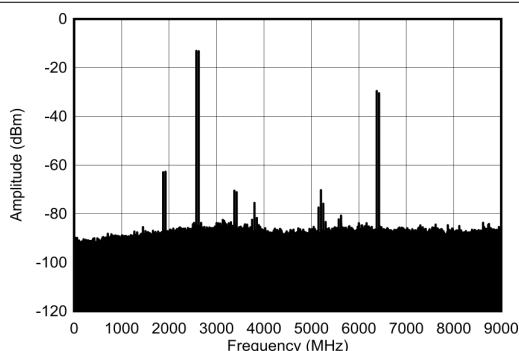
$f_{\text{DAC}} = 9000\text{MSPS}$ 、外部クロック モード、非インターリーブ モード

図 5-438. 2.6GHz での TX デュアルトーン出力スペクトル (各-7dBFS、0~ f_{DAC})



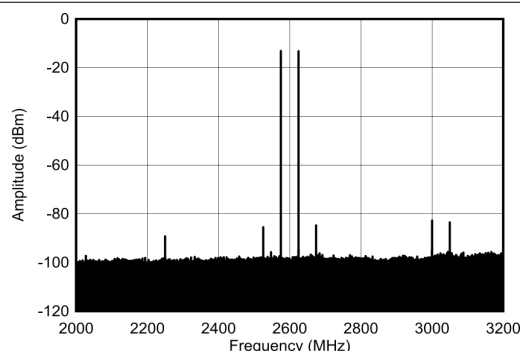
$f_{\text{DAC}} = 9000\text{MSPS}$ 、外部クロック モード、非インターリーブ モード

図 5-439. 2.6GHz での TX デュアルトーン出力スペクトル (各-7dBFS、 $\pm 600\text{MHz}$)



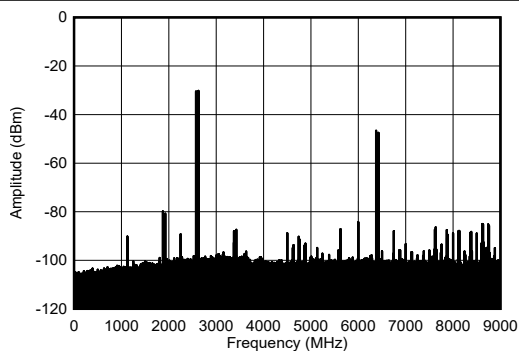
$f_{\text{DAC}} = 9000\text{MSPS}$ 、外部クロック モード、非インターリーブ モード

図 5-440. 2.6GHz での TX デュアルトーン出力スペクトル (各-13dBFS、0~ f_{DAC})



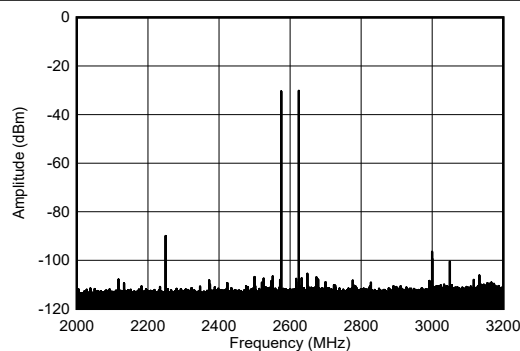
$f_{\text{DAC}} = 9000\text{MSPS}$ 、外部クロック モード、非インターリーブ モード

図 5-441. 2.6GHz での TX デュアルトーン出力スペクトル (各-13dBFS、 $\pm 600\text{MHz}$)



$f_{\text{DAC}} = 9000\text{MSPS}$ 、外部クロック モード、非インターリーブ モード

図 5-442. 2.6GHz での TX デュアルトーン出力スペクトル (各-30dBFS、0~ f_{DAC})

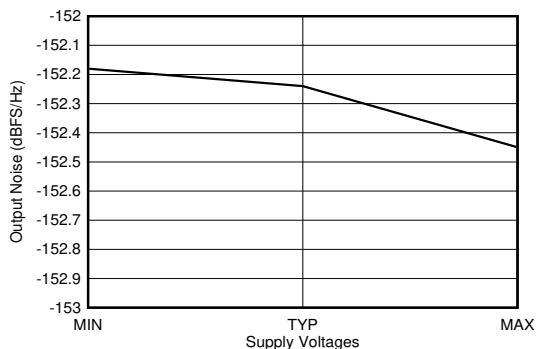


$f_{\text{DAC}} = 9000\text{MSPS}$ 、外部クロック モード、非インターリーブ モード

図 5-443. 2.6GHz での TX デュアルトーン出力スペクトル (各-30dBFS、 $\pm 600\text{MHz}$)

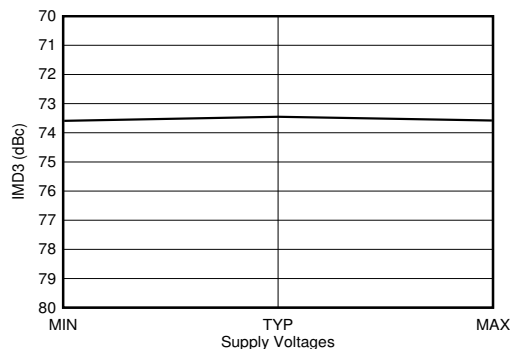
5.12.11 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



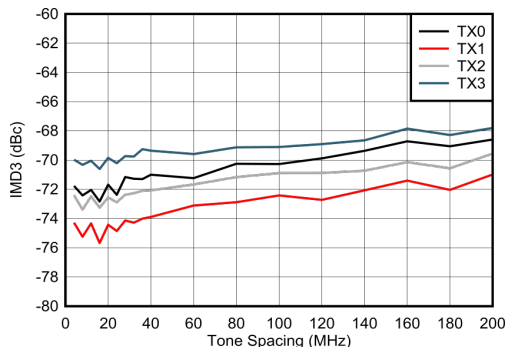
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、2.6GHz 整合あり。トーンから 40MHz オフセット。出力電力 = -1dBFS。すべての電源電圧に最小値、代表値、最大値がある。

図 5-444. 2.6GHz での TX 出力ノイズと電源電圧との関係



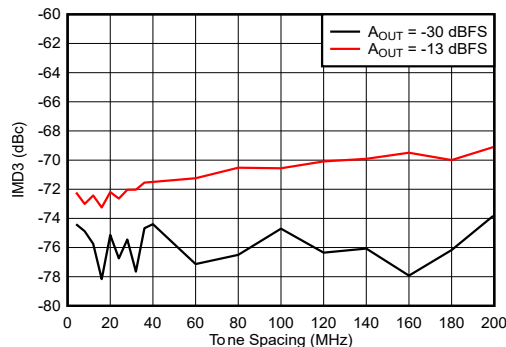
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、2.6GHz 整合あり。トーンから 40MHz オフセット。出力電力 = -13dBFS。すべての電源電圧に最小値、代表値、最大値がある。

図 5-445. TX IMD3 と電源電圧との関係 (2.6GHz)



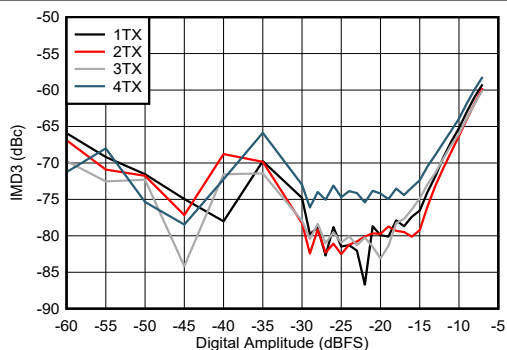
$f_{\text{DAC}} = 9000\text{MSPS}$ 、非インターリーブモード、外部クロックモード

図 5-446. 2.6GHz での IMD3 とトーン間隔との関係 (各種チャネル)



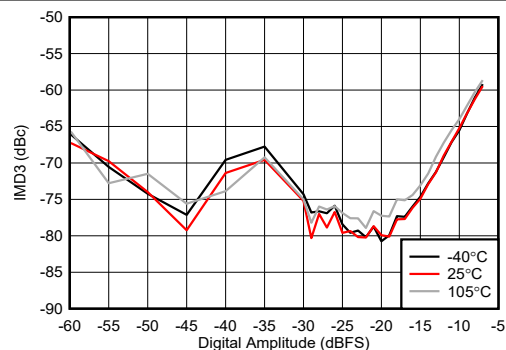
$f_{\text{DAC}} = 9000\text{MSPS}$ 、非インターリーブモード、外部クロックモード

図 5-447. 2.6GHz での IMD3 とトーン間隔との関係 (各種チャネル)



$f_{\text{DAC}} = 9000\text{MSPS}$ 、非インターリーブモード、外部クロックモード

図 5-448. 2.6GHz での IMD3 とデジタル振幅との関係 (各種チャネル)

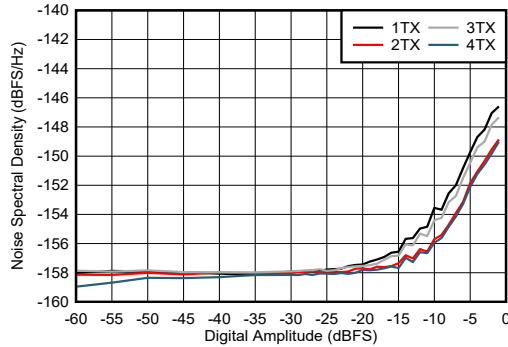


$f_{\text{DAC}} = 9000\text{MSPS}$ 、非インターリーブモード、外部クロックモード

図 5-449. 2.6GHz での IMD3 とデジタル振幅との関係 (各種チャネル)

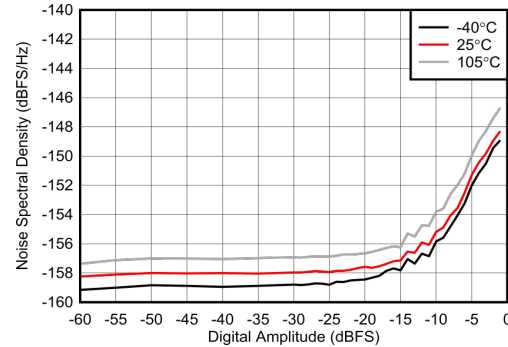
5.12.11 TX 代表的特性 : 2.6GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



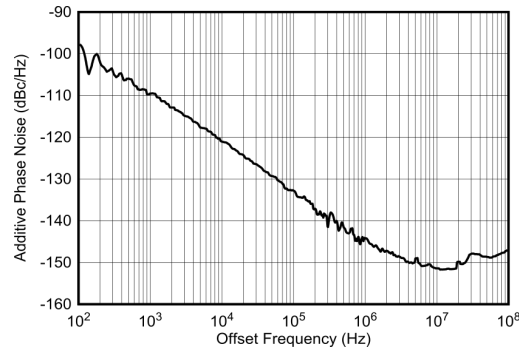
$f_{\text{DAC}} = 9000\text{MSPS}$ 、非インターリーブモード、外部クロックモード、50MHz オフセット

図 5-450. 2.6GHz での NSD とデジタル振幅との関係 (各種チャネル、)



$f_{\text{DAC}} = 9000\text{MSPS}$ 、非インターリーブモード、外部クロックモード、50MHz オフセット

図 5-451. 2.6GHz での NSD とデジタル振幅との関係 (各種チャネル)

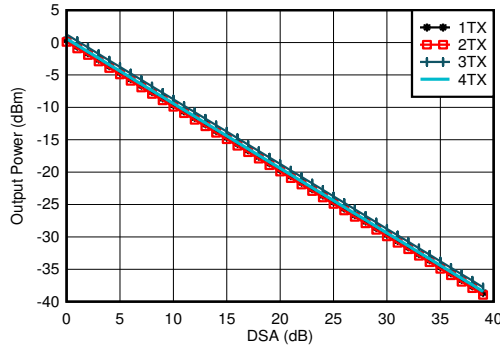


$f_{\text{DAC}} = f_{\text{CLK}} = 9000\text{MSPS}$ 、非インターリーブモード

図 5-452. 2.6GHz での外部クロック付加位相ノイズ

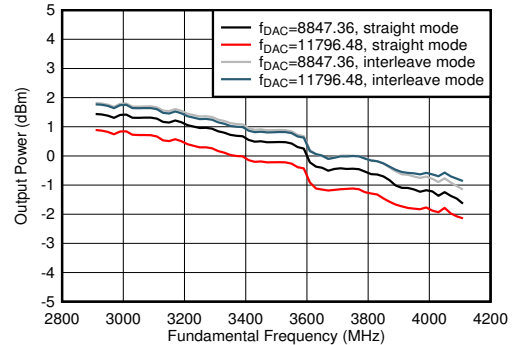
5.12.12 TX 代表的特性 : 3.5GHz

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、DSA = 0 dB、 $\sin(x)/x$ イネーブル、DSA 校正済み。



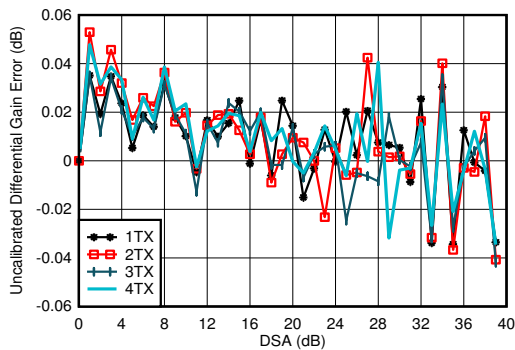
$A_{\text{out}} = -0.5\text{ dBFS}$ 、3.5GHz 整合あり、PCB とケーブルの損失を含む。

図 5-453. TX 出力電力と DSA 設定との関係 (3.5GHz)



$A_{\text{out}} = -0.5\text{ dBFS}$ 、3.5GHz 整合あり、PCB とケーブルの損失を含む。

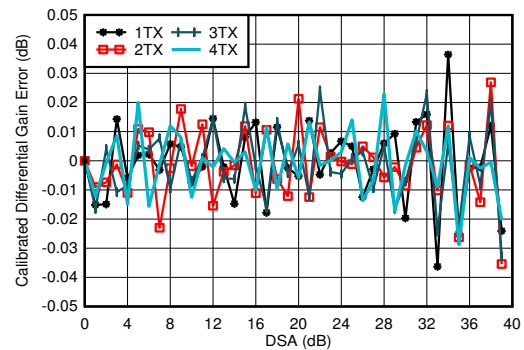
図 5-454. TX 出力電力と周波数との関係



3.5GHz 整合あり、PCB とケーブルの損失を含む。

微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-455. TX 未校正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



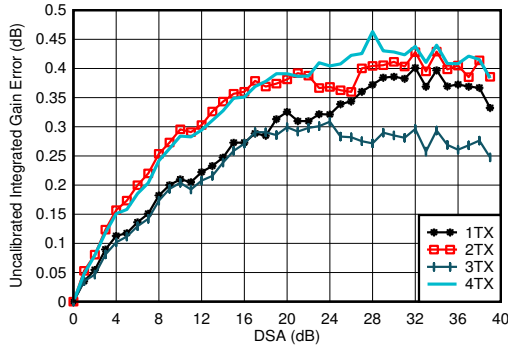
3.5GHz 整合あり、PCB とケーブルの損失を含む。

微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-456. TX 校正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)

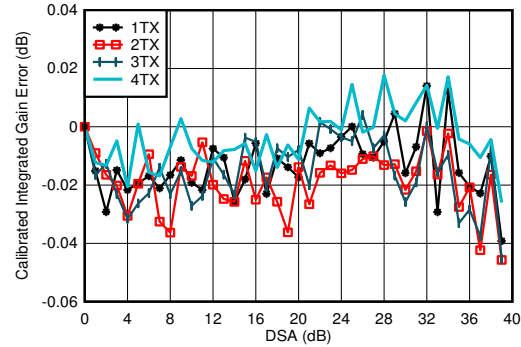
5.12.12 TX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、DSA = 0 dB、 $\text{Sin}(x)/x$ イネーブル、DSA 校正済み。



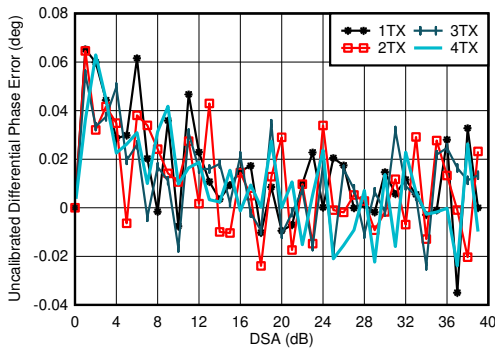
3.5GHz 整合あり、PCB とケーブルの損失を含む。
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-457. TX 未校正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



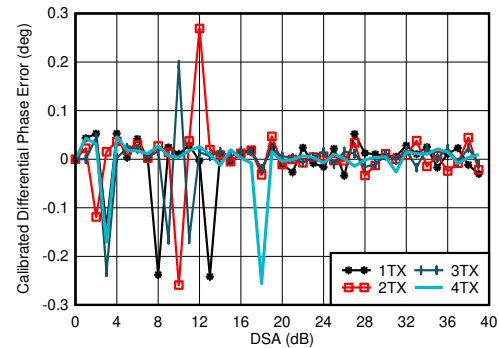
3.5GHz 整合あり、PCB とケーブルの損失を含む。
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-458. TX 校正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



3.5GHz 整合あり、PCB とケーブルの損失を含む。
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 5-459. TX 未校正微分位相誤差と DSA 設定との関係 (各種チャネル、3.5GHz)

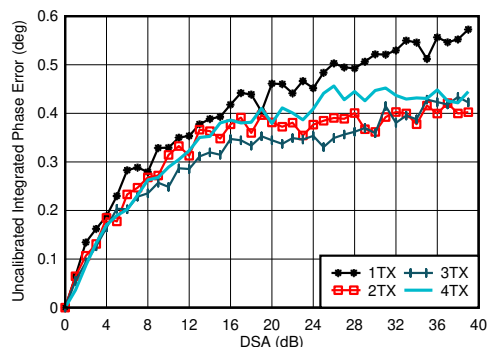


3.5GHz 整合あり、PCB とケーブルの損失を含む。
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$ 。位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 5-460. TX 校正済み微分位相誤差と DSA 設定との関係 (各種チャネル、3.5GHz)

5.12.12 TX 代表的特性 : 3.5GHz (続き)

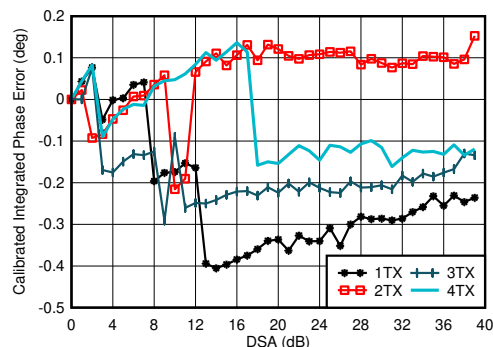
$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、DSA = 0 dB、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み。



3.5GHz 整合あり、PCB とケーブルの損失を含む。

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

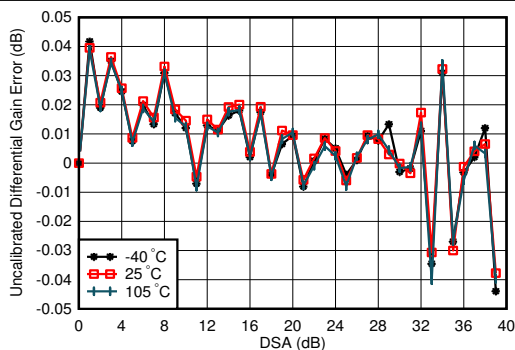
図 5-461. TX 未較正積分位相誤差と DSA 設定との関係 (チャンネル 1、3.5GHz)



3.5GHz 整合あり、PCB とケーブルの損失を含む。

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

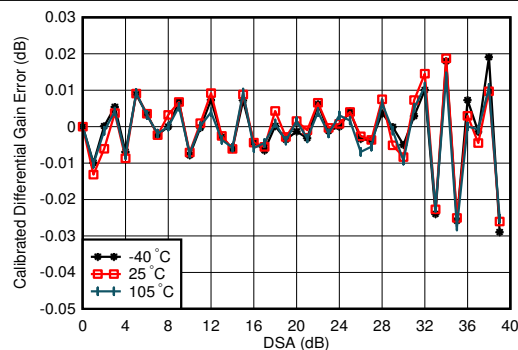
図 5-462. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャンネル、3.5GHz)



3.5GHz 整合あり、1TX

微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 5-463. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)



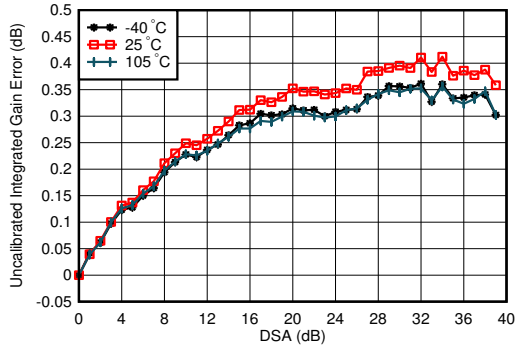
3.5GHz 整合あり、1TX、25°Cで較正済み

微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 5-464. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)

5.12.12 TX 代表的特性 : 3.5GHz (続き)

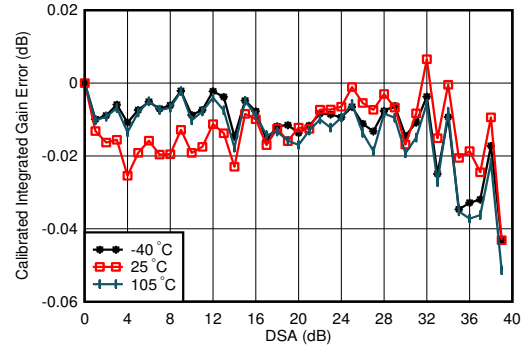
$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、DSA = 0 dB、 $\sin(x)/x$ イネーブル、DSA 較正済み。



3.5GHz 整合あり、1TX

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

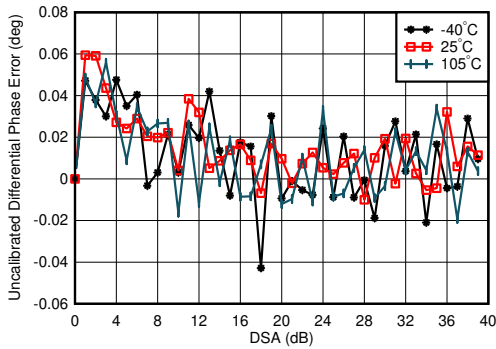
図 5-465. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)



3.5GHz 整合あり、1TX、25°Cで較正済み

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

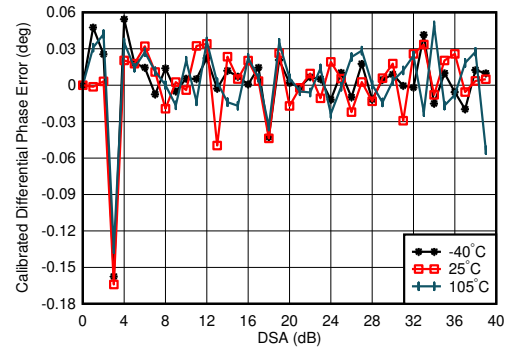
図 5-466. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)



3.5GHz 整合あり、1TX

微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 5-467. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)



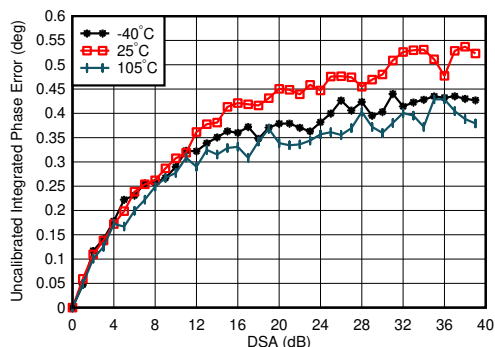
3.5GHz 整合あり、1TX、25°Cで較正済み

微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 5-468. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)

5.12.12 TX 代表的特性 : 3.5GHz (続き)

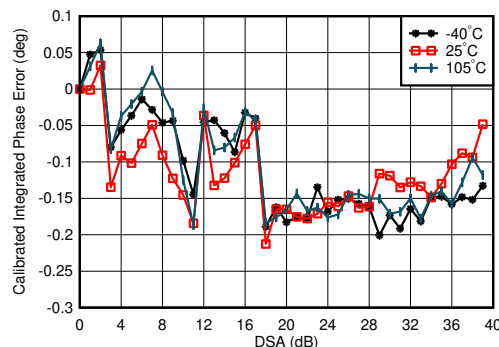
$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、DSA = 0 dB、 $\sin(x)/x$ イネーブル、DSA 校正済み。



3.5GHz 整合あり、1TX

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

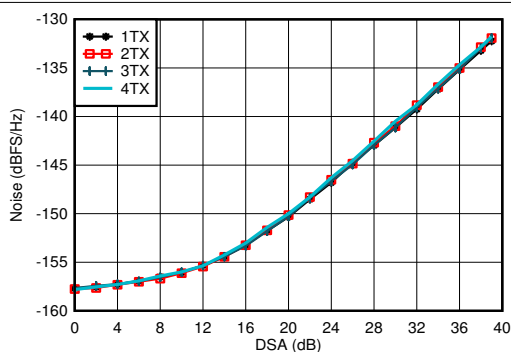
図 5-469. TX 未校正積分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)



3.5GHz 整合あり、1TX、25°Cで校正済み

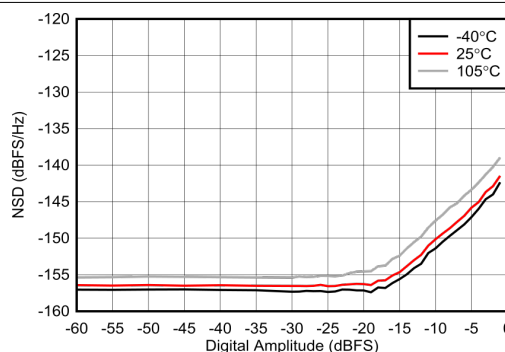
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-470. TX 校正済み積分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)



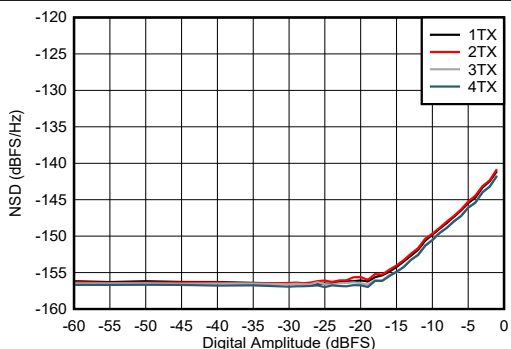
A. $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、3.5GHz で整合、 $A_{\text{out}} = -13\text{dBFS}$ 。

図 5-471. TX NSD と DSA 設定との関係 (3.5GHz)



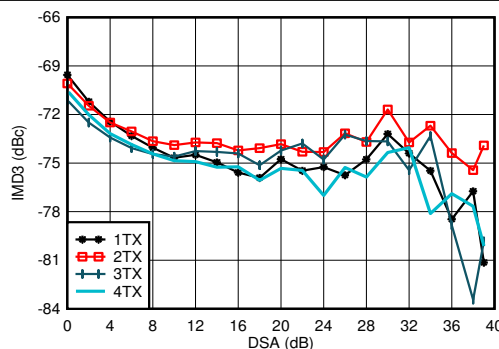
A. $f_{\text{DAC}} = 12\text{MSPS}$ 、外部クロックモード、非インターリーブモード

図 5-472. 3.75GHz での TX NSD とデジタル振幅と温度との関係



A. $f_{\text{DAC}} = 12\text{MSPS}$ 、外部クロックモード、非インターリーブモード

図 5-473. 3.75GHz での TX NSD とデジタル振幅、チャンネルとの関係

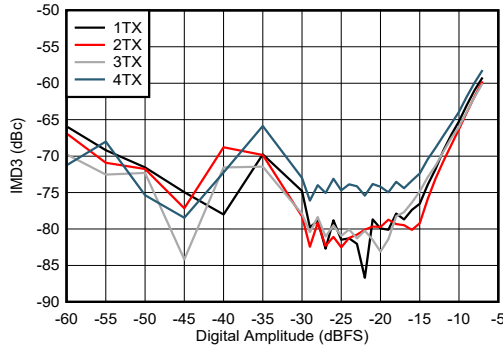


20MHz のトーン間隔、3.5GHz 整合あり、各トーン -13dBFS、PCB とケーブルの損失を含む。

図 5-474. TX IMD3 と DSA 設定との関係 (3.5GHz)

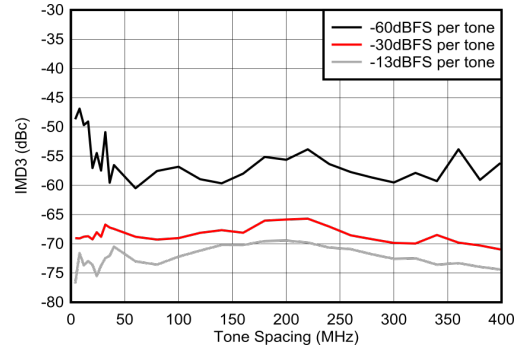
5.12.12 TX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{ dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



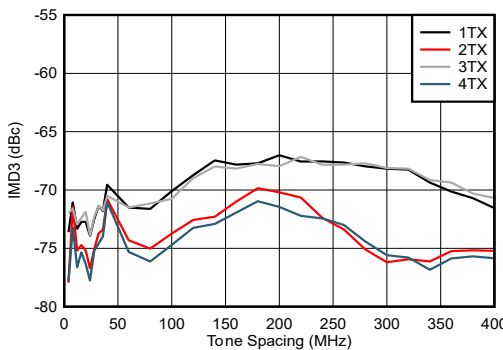
20MHz のトーン間隔、3.5GHz 整合あり

図 5-475. TX IMD3 とデジタル振幅との関係 (各種チャネル、3.5GHz)



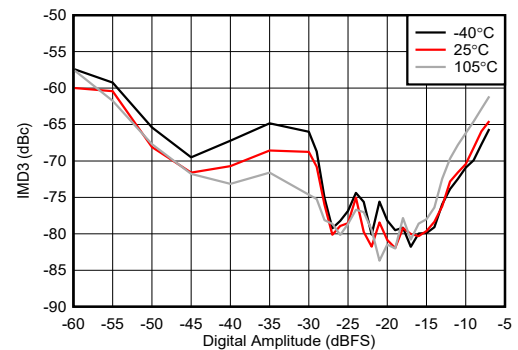
50MHz のトーン間隔、外部クロックモード、非インターリーブ・モード

図 5-476. 3.75GHz での TX IMD3 とトーン間隔との関係



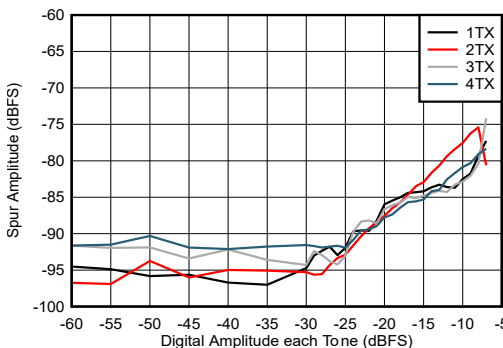
外部クロックモード、非インターリーブモード

図 5-477. TX IMD3 とトーン間隔との関係 (各種チャネル、3.75GHz)



50MHz のトーン間隔、外部クロックモード、非インターリーブ・モード

図 5-478. 3.75GHz での TX IMD3 とデジタル振幅と温度との関係



帯域内 = 3.75GHz $\pm$ 600MHz、 $f_{\text{DAC}} = 9\text{ GSPPS}$ 、外部クロックモード、非インターリーブモード。

図 5-479. 3.75GHz での 2 トーン SFDR とデジタル振幅との関係

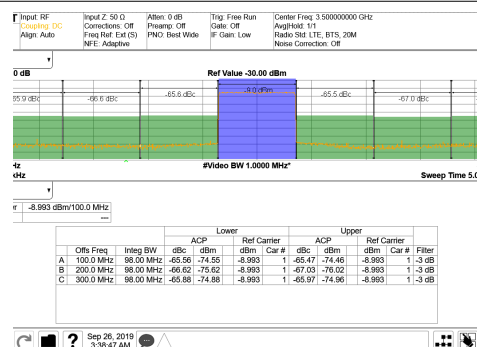


3.5GHz 整合あり、シングルキャリア 20MHz BW TM1.1 LTE

図 5-480. TX 20MHz LTE 出力スペクトル (バンド 42、3.5GHz)

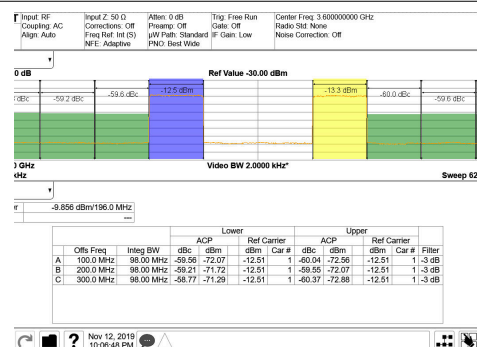
5.12.12 TX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{ dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



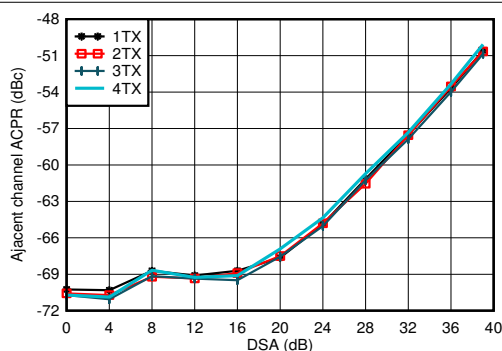
3.5GHz 整合あり、シングル キャリア 100MHz BW NR TM1.1

図 5-481. 3.5GHz での TX 100MHz NR 出力スペクトル (バンド 42)



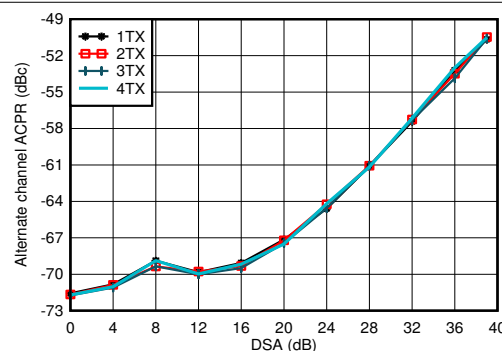
3.5GHz 整合あり、シングル キャリア 100MHz BW NR TM1.1

図 5-482. 3.45GHz および 3.75GHz での TX 2 キャリア 100MHz NR 出力スペクトラム



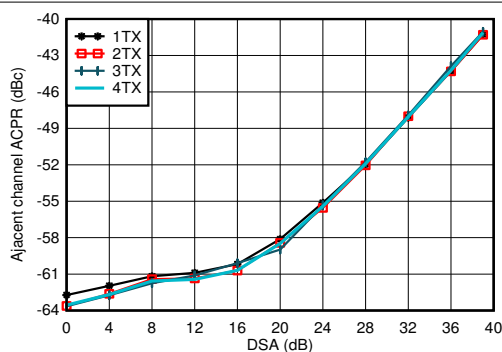
3.5GHz 整合あり、シングル キャリア 20MHz BW NR TM1.1 LTE

図 5-483. TX 20MHz LTE ACPR と DSA 設定との関係 (3.5GHz)



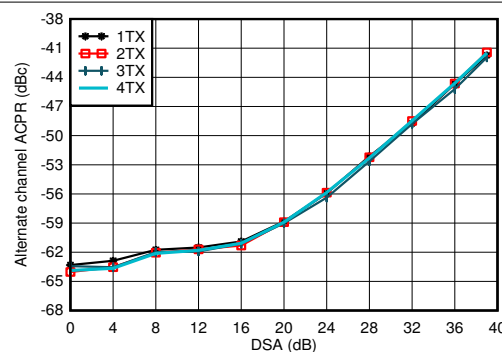
3.5GHz 整合あり、シングル キャリア 20MHz BW NR TM1.1 LTE

図 5-484. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (3.5GHz)



3.5GHz 整合あり、シングル キャリア 100MHz BW NR TM1.1

図 5-485. 3.5GHz での TX 100MHz NR ACPR と DSA 設定との関係

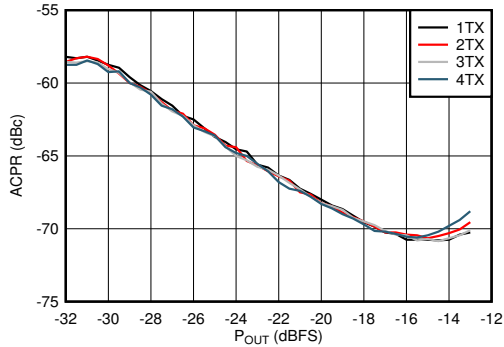


3.5GHz 整合あり、シングル キャリア 100MHz BW NR TM1.1

図 5-486. 3.5GHz での TX 100MHz NR alt-ACPR と DSA 設定との関係

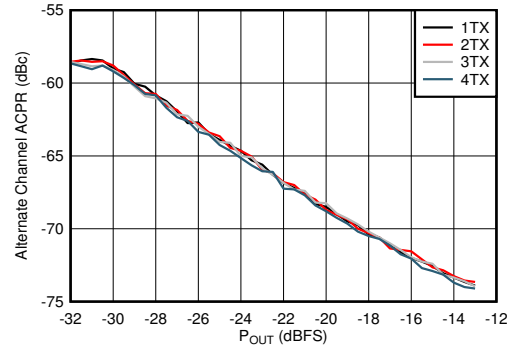
5.12.12 TX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、DSA = 0 dB、 $\text{Sin}(x)/x$ イネーブル、DSA 校正済み。



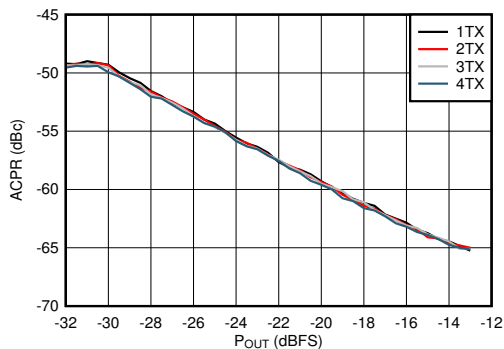
3.5GHz 整合あり、シングル キャリア 20MHz BW TM1.1 LTE

図 5-487. TX 20MHz LTE ACPR とデジタル レベルとの関係 (3.5GHz)



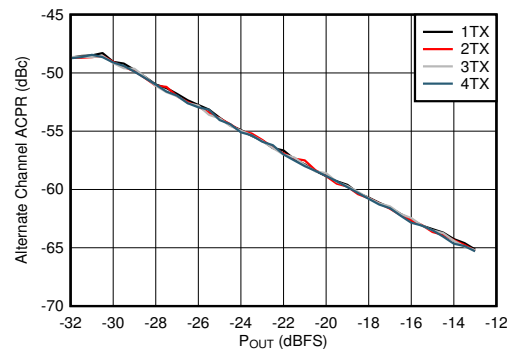
3.5GHz 整合あり、シングル キャリア 20MHz BW TM1.1 LTE

図 5-488. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (3.5GHz)



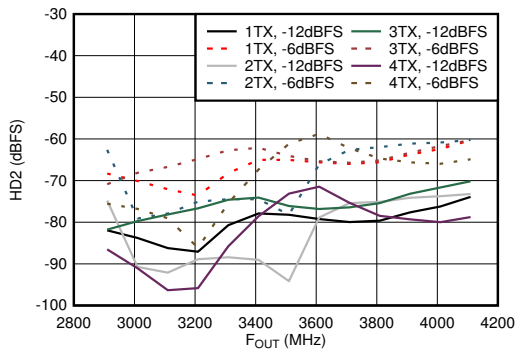
3.5GHz 整合あり、シングル キャリア 100MHz BW NR TM1.1

図 5-489. 3.5GHz での TX 100MHz NR ACPR とデジタル レベルとの関係



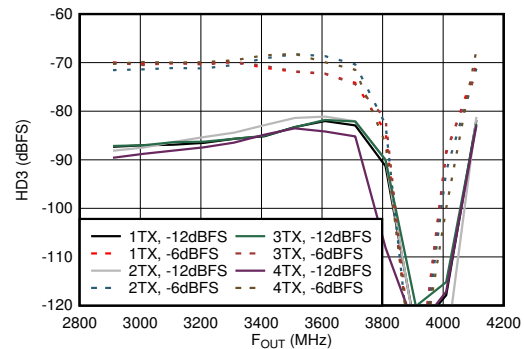
3.5GHz 整合あり、シングル キャリア 100MHz BW NR TM1.1

図 5-490. 3.5GHz での TX 100MHz NR alt-ACPR とデジタル レベルとの関係



3.5GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブ モード、高調波周波数での出力電力で正規化

図 5-491. TX シングル トーン HD2 と周波数との関係 (各種デジタル レベル、3.5GHz)

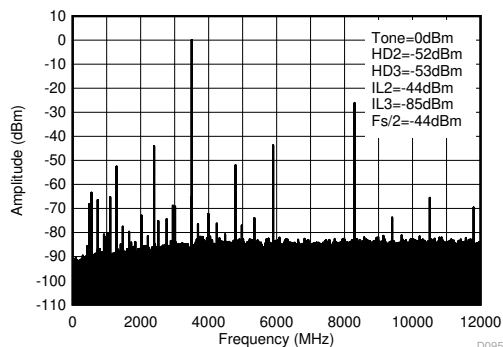


3.5GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブ モード、高調波周波数での出力電力で正規化。ディップは、DC 付近での HD3 の低下に起因するものです。

図 5-492. TX シングル トーン HD3 と周波数との関係 (各種デジタル レベル、3.5GHz)

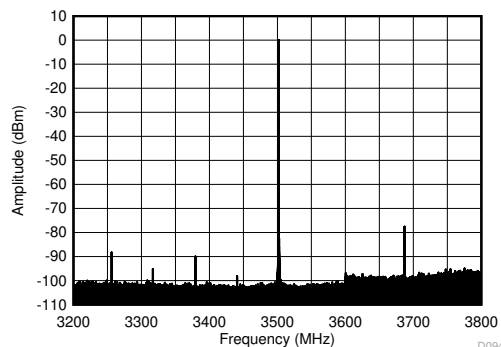
5.12.12 TX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{ dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



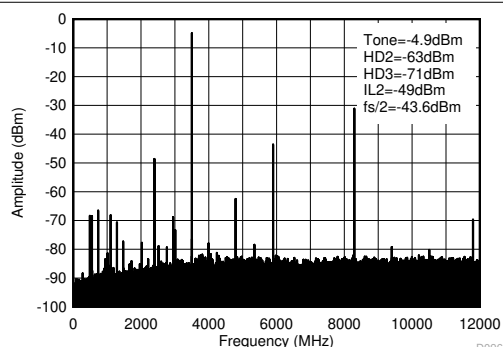
3.5GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブモード。

図 5-493. TX シングル トーン (-1dBFS) 出力スペクトル (0~ f_{DAC} 、3.5GHz)



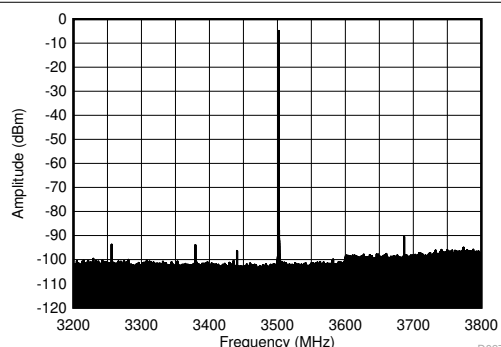
3.5GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブモード。

図 5-494. 3.5GHz での TX シングル トーン (-1dBFS) 出力スペクトル ($\pm 300\text{ MHz}$)



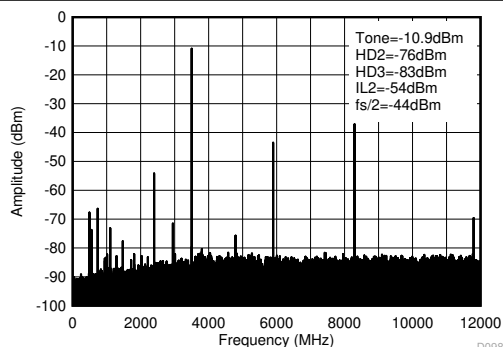
3.5GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブモード。

図 5-495. TX シングル トーン (-6dBFS) 出力スペクトル (0~ f_{DAC} 、3.5GHz)



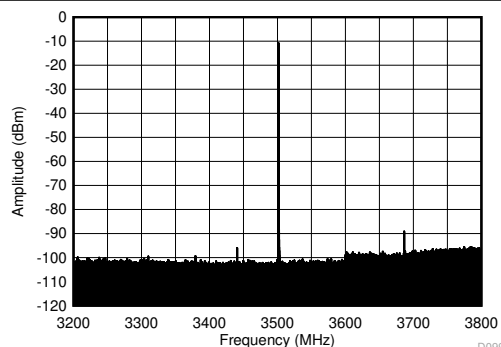
3.5GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブモード。

図 5-496. 3.5GHz での TX シングル トーン (-6dBFS) 出力スペクトル ($\pm 300\text{ MHz}$)



3.5GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブモード。

図 5-497. TX シングル トーン (-12dBFS) 出力スペクトル (0~ f_{DAC} 、3.5GHz)

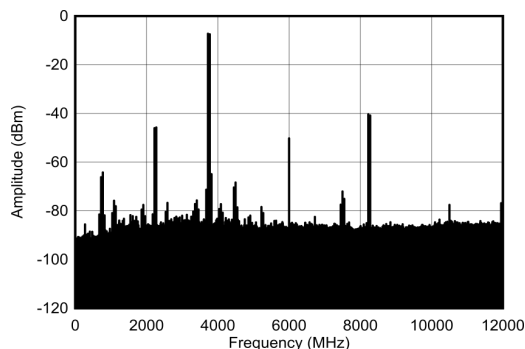


3.5GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブモード。

図 5-498. 3.5GHz での TX シングル トーン (-12dBFS) 出力スペクトル ($\pm 300\text{ MHz}$)

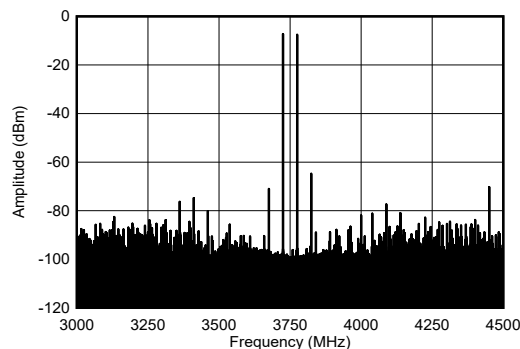
5.12.12 TX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{ dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



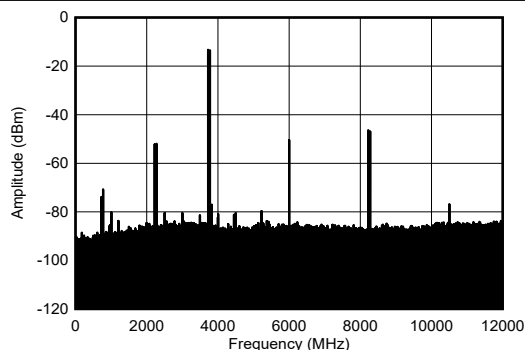
3.5GHz で整合、50MHz トーン間隔、 $f_{\text{DAC}} = 12\text{GSPS}$ 、非インターリーブモード。

図 5-499. 3.75GHz での TX デュアル トーン出力スペクトル (各-7 dBFS、 $0 \sim f_{\text{DAC}}$)



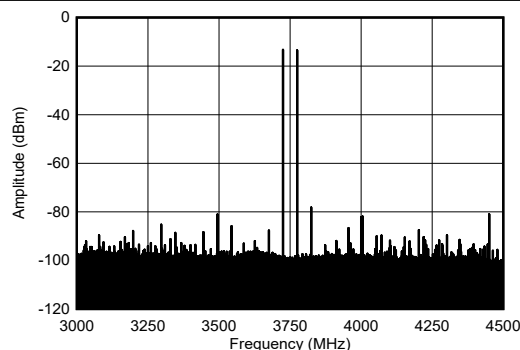
3.5GHz で整合、50MHz トーン間隔、 $f_{\text{DAC}} = 12\text{GSPS}$ 、非インターリーブモード。

図 5-500. 3.75GHz での TX デュアル トーン出力スペクトル (各-7 dBFS、 $\pm 600\text{MHz}$)



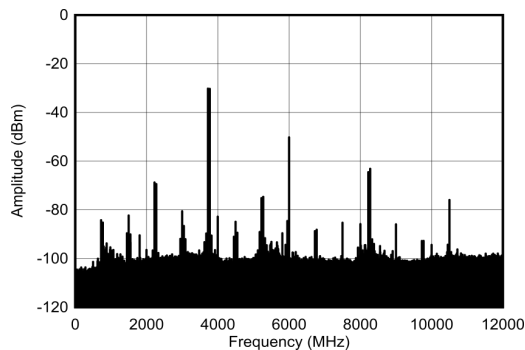
3.5GHz で整合、50MHz トーン間隔、 $f_{\text{DAC}} = 12\text{GSPS}$ 、非インターリーブモード。

図 5-501. 3.75GHz での TX デュアル トーン出力スペクトル (各-13 dBFS、 $0 \sim f_{\text{DAC}}$)



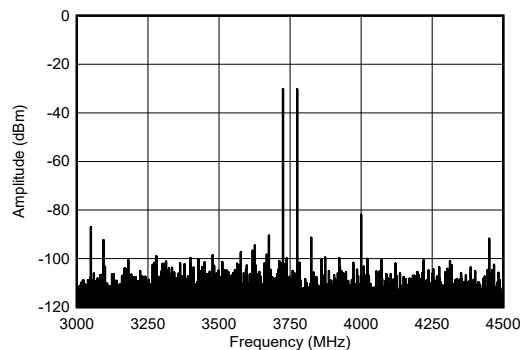
3.5GHz で整合、50MHz トーン間隔、 $f_{\text{DAC}} = 12\text{GSPS}$ 、非インターリーブモード。

図 5-502. 3.75GHz での TX デュアル トーン出力スペクトル (それぞれ-13dBFS、 $\pm 600\text{MHz}$)



3.5GHz で整合、50MHz トーン間隔、 $f_{\text{DAC}} = 12\text{GSPS}$ 、非インターリーブモード。

図 5-503. 3.75GHz での TX デュアル トーン出力スペクトル (各-30dBFS、 $0 \sim f_{\text{DAC}}$)

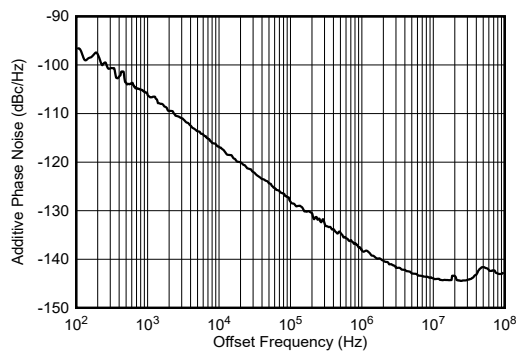


3.5GHz で整合、50MHz トーン間隔、 $f_{\text{DAC}} = 12\text{GSPS}$ 、非インターリーブモード。

図 5-504. 3.75GHz での TX デュアル トーン出力スペクトル (各-30dBFS、 $\pm 600\text{MHz}$)

5.12.12 TX 代表的特性 : 3.5GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{ dB}$ 、 $\sin(x)/x$ イネーブル、DSA 校正済み。

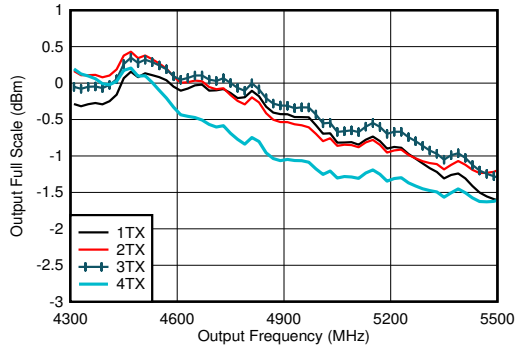


$f_{\text{DAC}} = f_{\text{CLK}} = 12\text{GSPS}$ 、非インターリーブモード。

図 5-505. 3.7GHz での外部クロック付加位相ノイズ

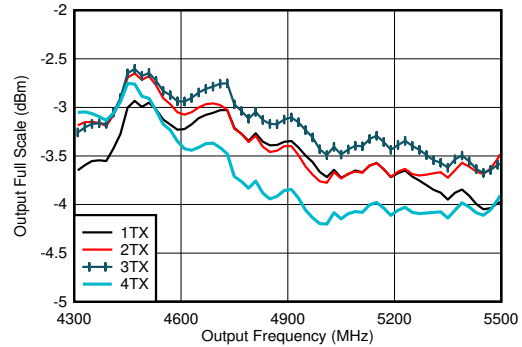
5.12.13 TX 代表的特性 : 4.9GHz

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



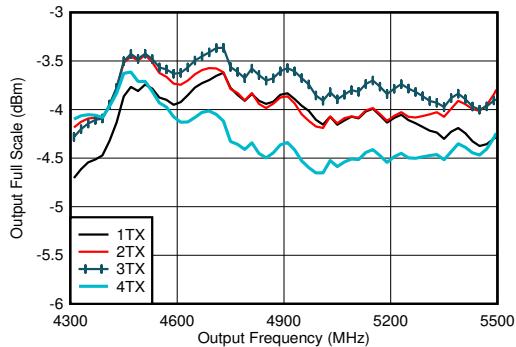
PCB とケーブルの損失を含む。 $A_{\text{out}} = -0.5\text{dBFS}$ 、 $\text{DSA} = 0$ 、4.9GHz 整合あり

図 5-506. TX フルスケールと RF 周波数との関係 (各種チャネル、11796.48MSPS)



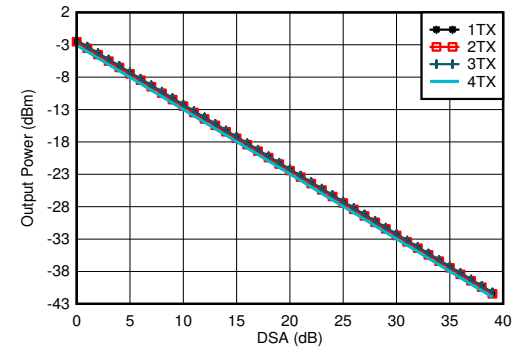
PCB とケーブルの損失を含む。 $A_{\text{out}} = -0.5\text{dBFS}$ 、 $\text{DSA} = 0$ 、4.9GHz 整合あり

図 5-507. TX フルスケールと RF 周波数とチャネルとの関係、5898.24MSPS、ミックスモード、2 次ナイキストゾーン



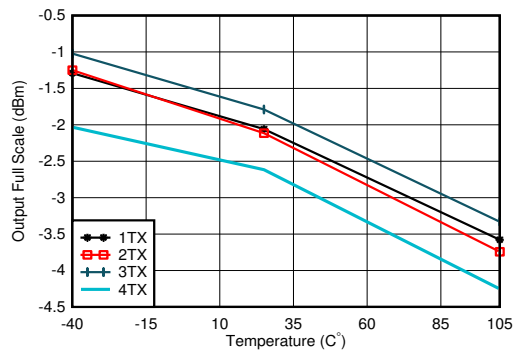
PCB とケーブルの損失を含む。 $A_{\text{out}} = -0.5\text{dBFS}$ 、 $\text{DSA} = 0$ 、4.9GHz 整合あり

図 5-508. TX フルスケールと RF 周波数とチャネルとの関係、8847.36MSPS、ミックスモード、2 次ナイキストゾーン



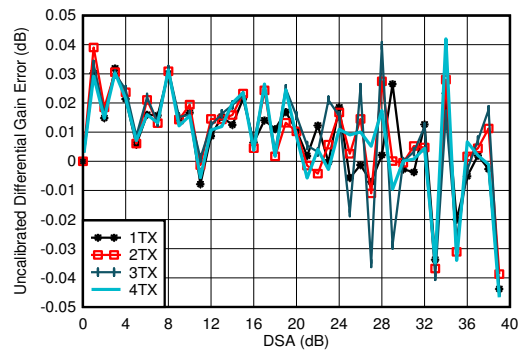
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、 $A_{\text{out}} = -0.5\text{dBFS}$ 、4.9GHz 整合あり

図 5-509. TX 出力電力と DSA 設定との関係 (各種チャネル、4.9GHz)



$A_{\text{out}} = -0.5\text{dBFS}$ 、4.9GHz 整合あり、PCB とケーブルの損失を含む。

図 5-510. 4.9GHz での TX フルスケール出力電力と温度、チャネルとの関係

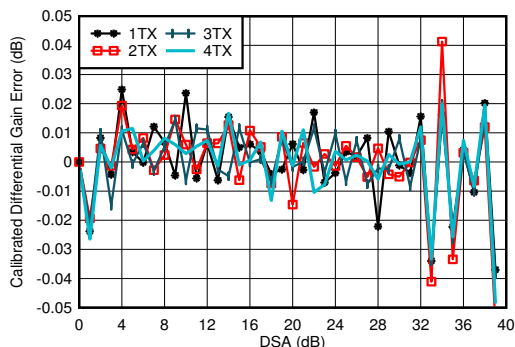


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-511. TX 未校正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、4.9GHz)

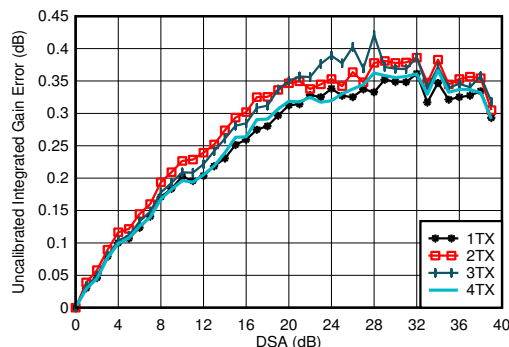
5.12.13 TX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、DSA = 0dB、Sin (x)/x イネーブル、DSA 較正済み。



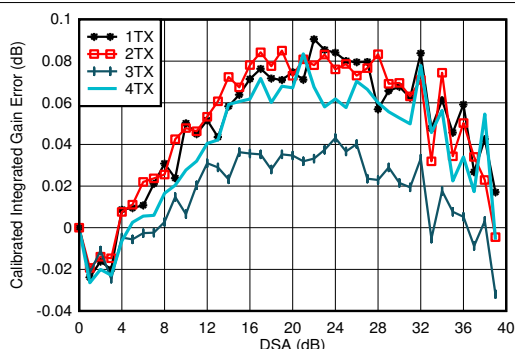
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-512. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャンネル、4.9GHz)



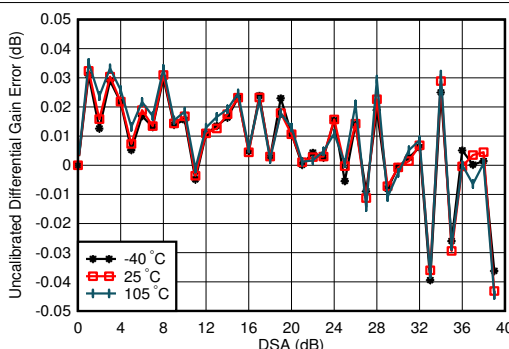
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-513. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャンネル、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-514. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャンネル、4.9GHz)

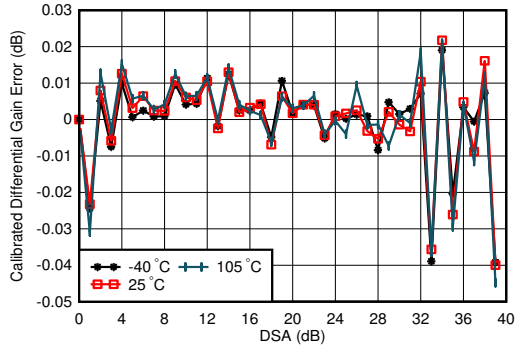


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-515. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)

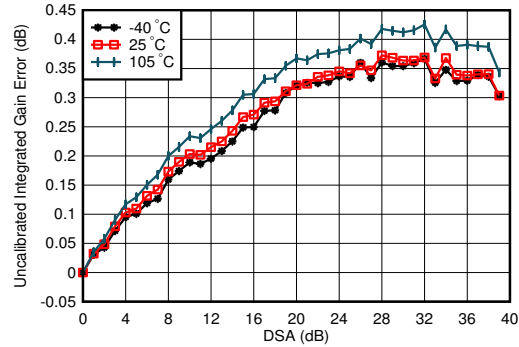
5.12.13 TX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み。



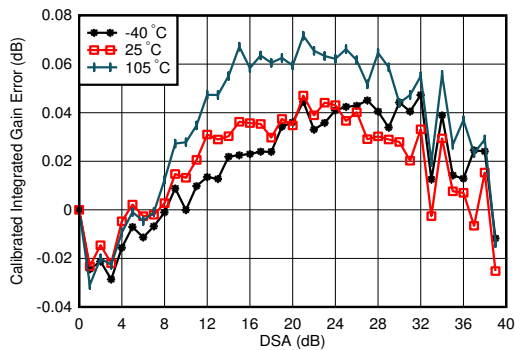
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 5-516. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)



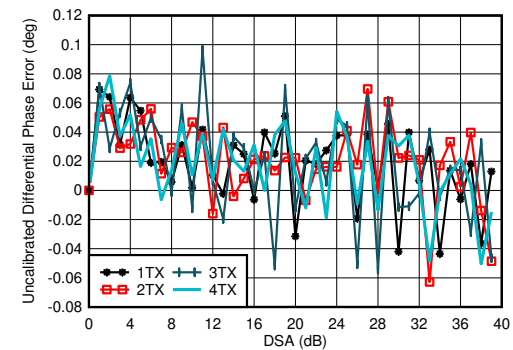
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-517. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 5-518. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)

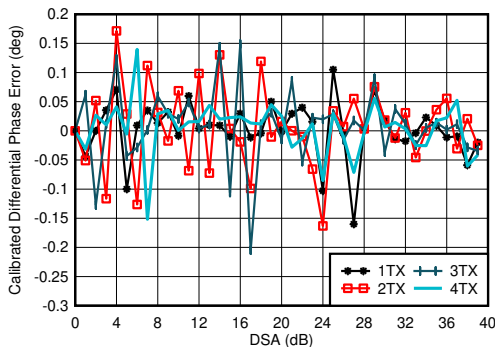


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 5-519. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、4.9GHz)

5.12.13 TX 代表的特性 : 4.9GHz (続き)

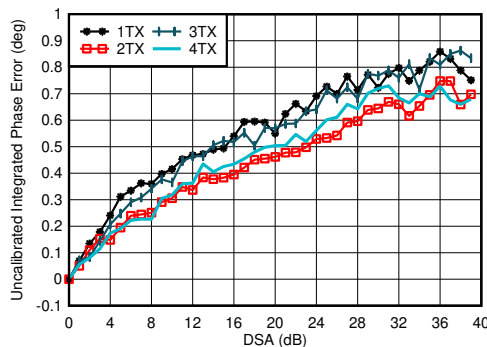
$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\sin(x)/x$ イネーブル、 DSA 校正済み。



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

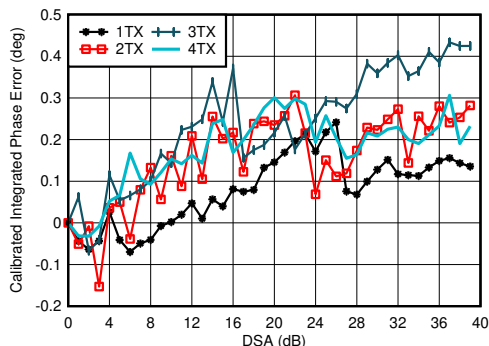
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 5-520. TX 校正済み微分位相誤差と DSA 設定との関係 (各種チャネル、4.9GHz)



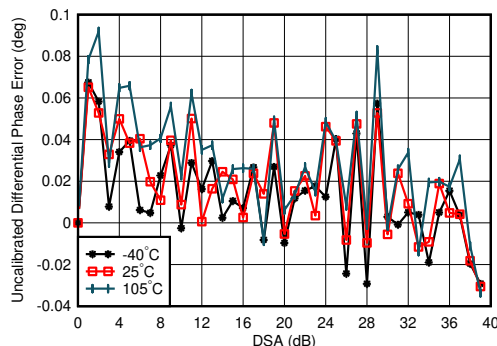
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-521. TX 未校正積分位相誤差と DSA 設定との関係 (チャネル 1、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-522. TX 校正済み積分位相誤差と DSA 設定との関係 (各種チャネル、4.9GHz)

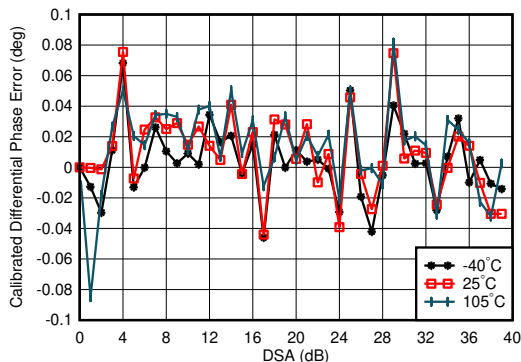


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 5-523. TX 未校正微分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)

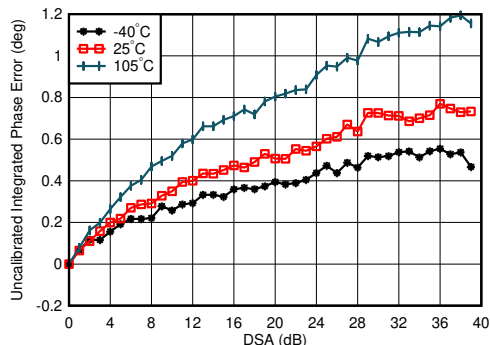
5.12.13 TX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



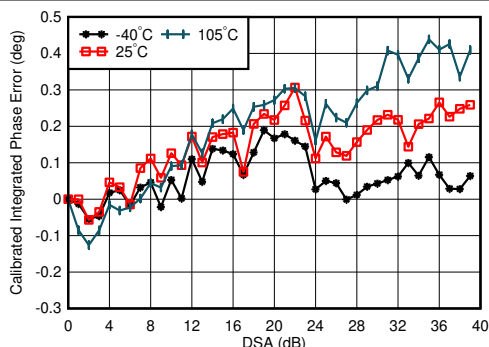
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 5-524. TX 校正済み微分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)



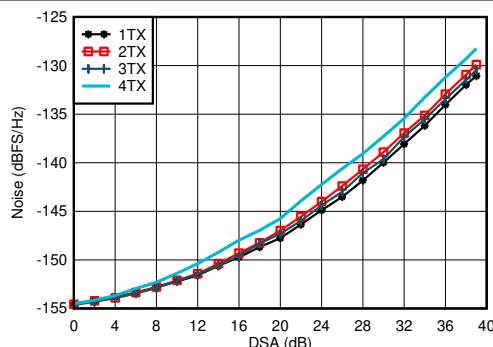
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-525. TX 未校正積分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-526. TX 校正済み積分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)

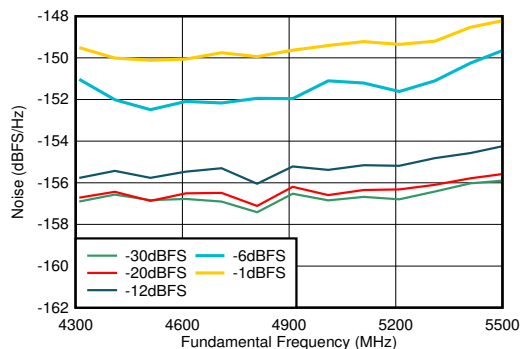


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合、 $P_{\text{OUT}} = -13\text{dBFS}$

図 5-527. TX 出力ノイズと減衰量との関係 (各種チャネル、4.9GHz)

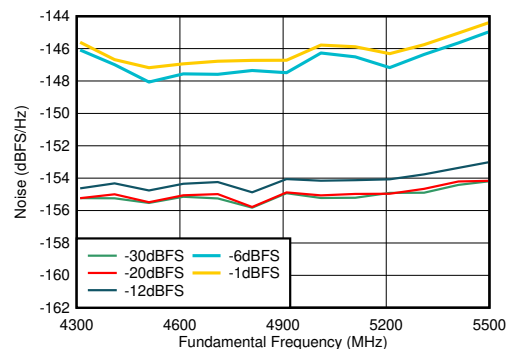
5.12.13 TX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



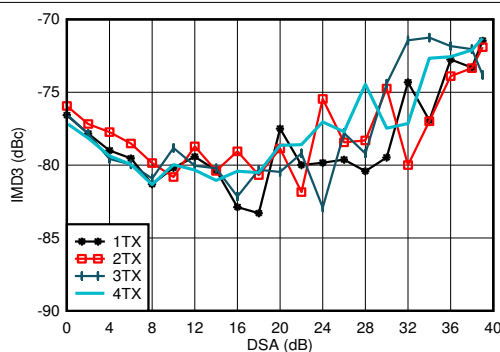
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合、 $A_{\text{out}} = -13\text{dBFS}$ 。

図 5-528. 4.9GHz での TX NSD と出力周波数と、デジタル振幅との関係 ($\text{DSA} = 0\text{dB}$)



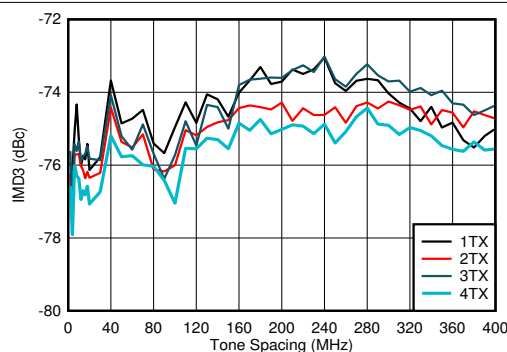
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合、 $A_{\text{OUT}} = -13\text{dBFS}$ 。

図 5-529. 4.9GHz での TX NSD と出力周波数と、デジタル振幅との関係 ($\text{DSA} = 6\text{dB}$)



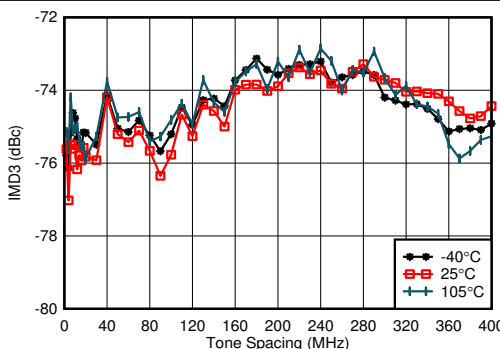
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合、 $f_{\text{CENTER}} = 4.9\text{GHz}$ 、各トーン -13dBFS

図 5-530. TX IMD3 と DSA 設定との関係 (4.9GHz)



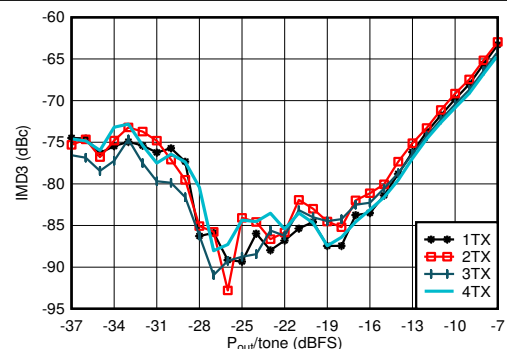
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合、 $f_{\text{CENTER}} = 4.9\text{GHz}$ 、各トーン -13dBFS

図 5-531. TX IMD3 とトーン間隔との関係 (各種チャンネル、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合、 $f_{\text{CENTER}} = 4.9\text{GHz}$ 、各トーン -13dBFS 、ワーストチャンネル

図 5-532. TX IMD3 とトーン間隔との関係 (各種温度、4.9GHz)

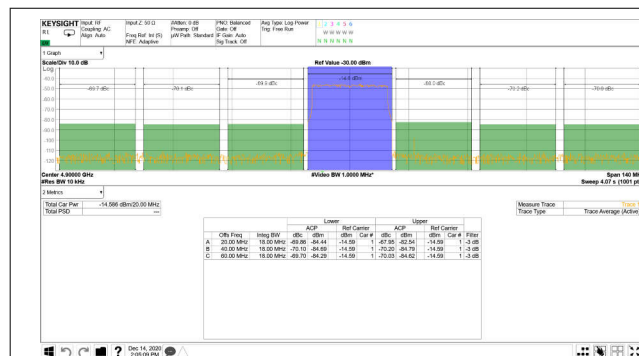


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz で整合、 $f_{\text{CENTER}} = 4.9\text{GHz}$ 、 $f_{\text{SPACING}} = 20\text{MHz}$

図 5-533. TX IMD3 とデジタルレベルとの関係 (4.9GHz)

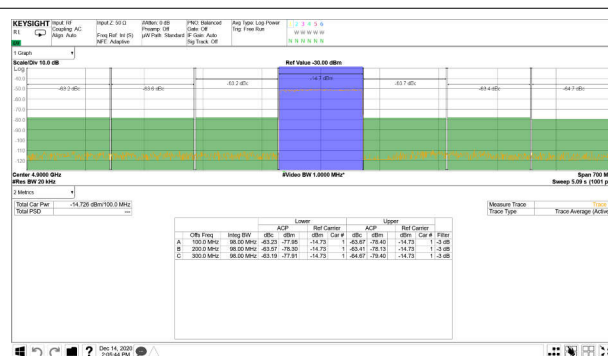
5.12.13 TX 代表的特性 : 4.9GHz (続き)

$T_A = +25^{\circ}\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



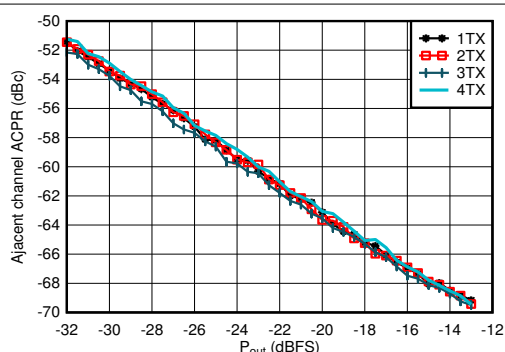
TM1.1、 $P_{\text{OUT_RMS}} = -13\text{dBFS}$

図 5-534. TX 20MHz LTE 出カスペクトル (4.9GHz)



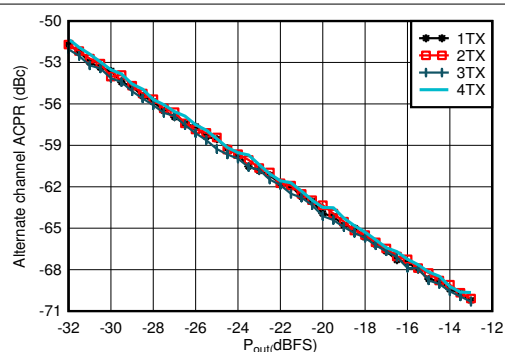
TM1.1、 $P_{\text{OUT_RMS}} = -13\text{dBFS}$

図 5-535. 4.9GHz での TX 100MHz NR 出カスペクトル



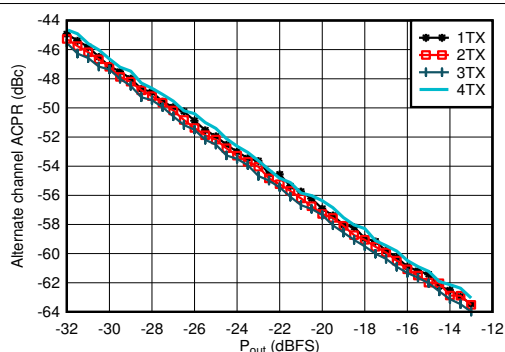
4.9GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-536. TX 20MHz LTE ACPR とデジタル レベルとの関係 (4.9GHz)



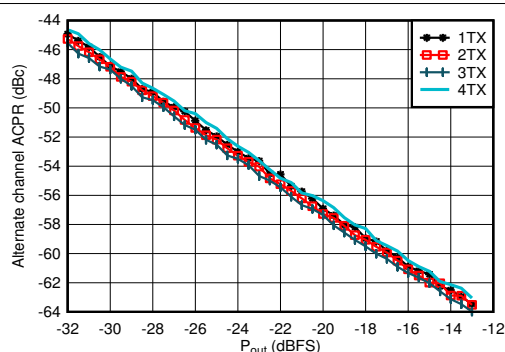
4.9GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-537. TX 20MHz LTE alt-ACPR とデジタル レベルとの関係 (4.9GHz)



4.9GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 5-538. 4.9GHz での TX 100MHz NR ACPR とデジタル レベルとの関係

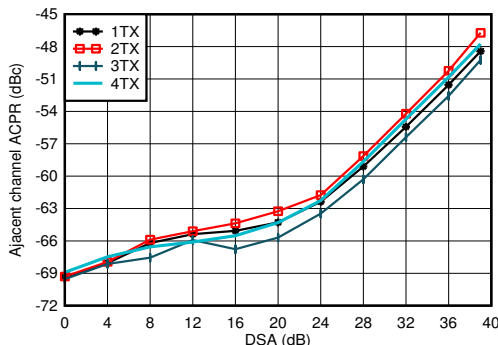


4.9GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 5-539. 4.9GHz での TX 100MHz NR alt-ACPR とデジタル レベルとの関係

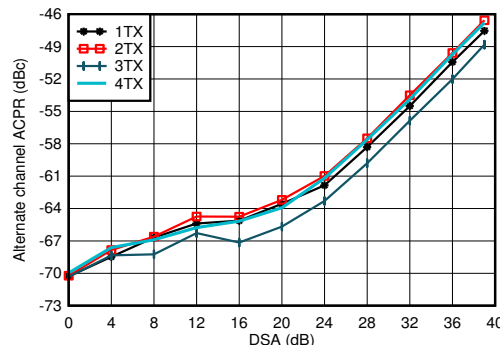
5.12.13 TX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



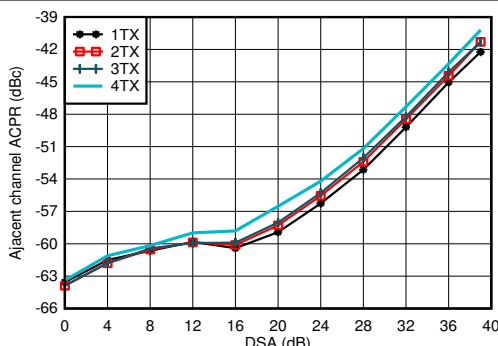
4.9GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-540. TX 20MHz LTE ACPR と DSA 設定との関係 (4.9GHz)



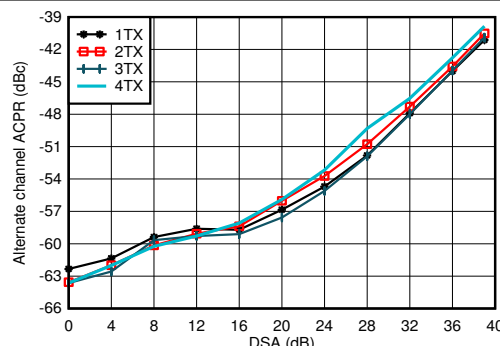
4.9GHz で整合、シングル キャリア 20MHz BW TM1.1 LTE

図 5-541. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (4.9GHz)



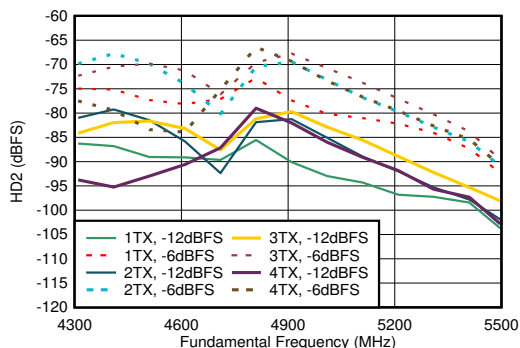
4.9GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 5-542. TX 100MHz NR ACPR と DSA 設定との関係 (4.9GHz)



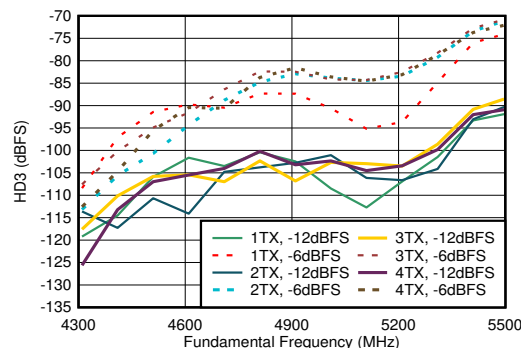
4.9GHz で整合、シングル キャリア 100MHz BW TM1.1 NR

図 5-543. TX 100MHz NR alt-ACPR と DSA 設定との関係 (4.9GHz)



4.9GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブ モード、高調波周波数での出力電力で正規化

図 5-544. TX HD2 と出力周波数との関係 (各種デジタル振幅、4.9GHz)

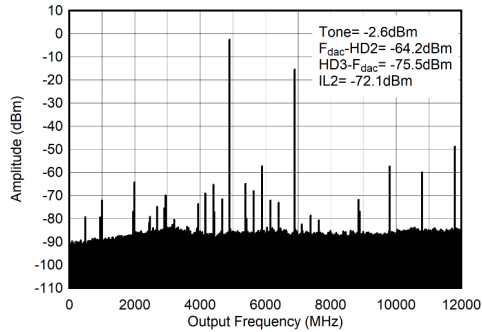


4.9GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブ モード、高調波周波数での出力電力で正規化

図 5-545. TX HD3 と出力周波数との関係 (各種デジタル振幅、4.9GHz)

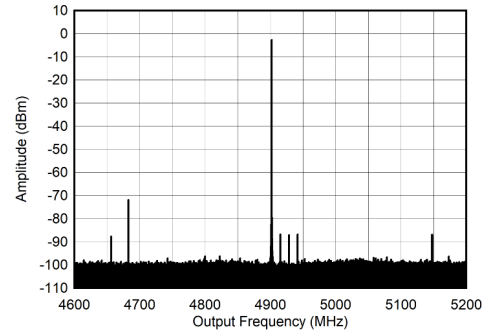
5.12.13 TX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



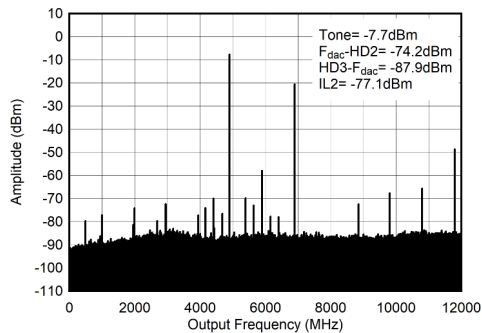
$f_{\text{DAC}} = 11796.48\text{ MSPS}$ 、インターリーブモード、4.9GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 5-546. TX シングル トーン (-1dBFS) 出力スペクトル (0~ f_{DAC} 、4.9GHz)



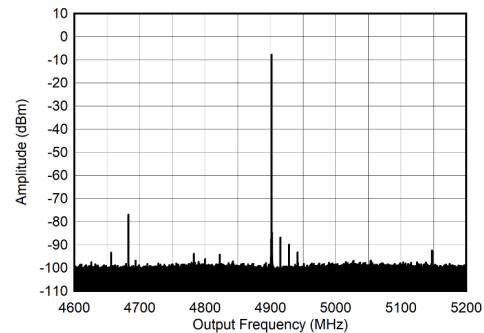
$f_{\text{DAC}} = 11796.48\text{ MSPS}$ 、インターリーブモード、4.9GHz 整合あり、PCB とケーブルの損失を含む。

図 5-547. 4.9GHz での TX シングル トーン (-1dBFS) 出力スペクトル ($\pm 300\text{MHz}$)



$f_{\text{DAC}} = 11796.48\text{ MSPS}$ 、インターリーブモード、4.9GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 5-548. TX シングル トーン (-6dBFS) 出力スペクトル (0~ f_{DAC} 、4.9GHz)

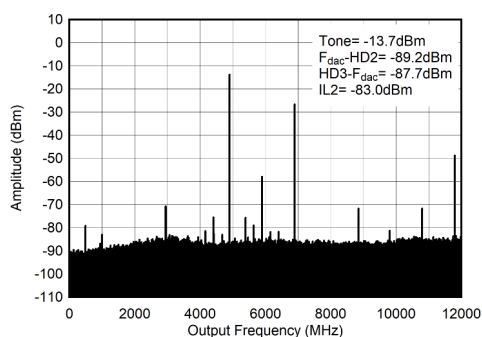


$f_{\text{DAC}} = 11796.48\text{ MSPS}$ 、インターリーブモード、4.9GHz 整合あり、PCB とケーブルの損失を含む。

図 5-549. 4.9GHz での TX シングル トーン (-6dBFS) 出力スペクトル ($\pm 300\text{MHz}$)

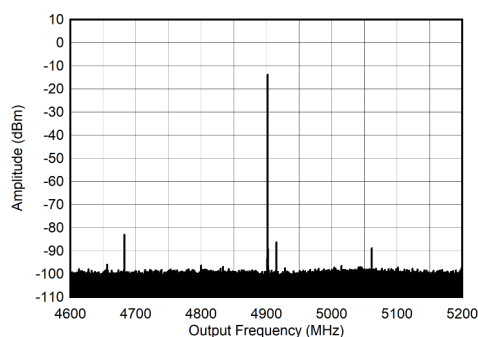
5.12.13 TX 代表的特性 : 4.9GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、1 次ナイキストゾーン出力、内部 PLL、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、24x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み。



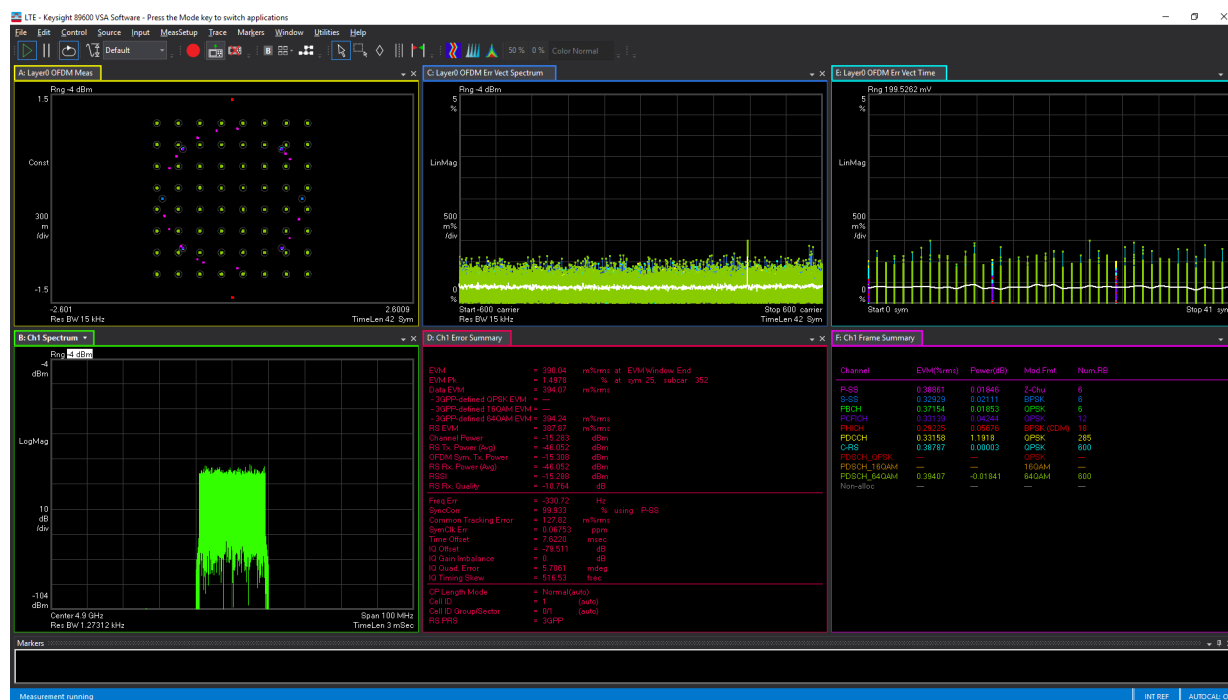
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 5-550. TX シングル トーン (-12dBFS) 出力スペクトル (0~ f_{DAC} 、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブモード、4.9GHz 整合あり、PCB とケーブルの損失を含む。

図 5-551. 4.9GHz での TX シングル トーン (-12dBFS) 出力スペクトル ($\pm 300\text{MHz}$)

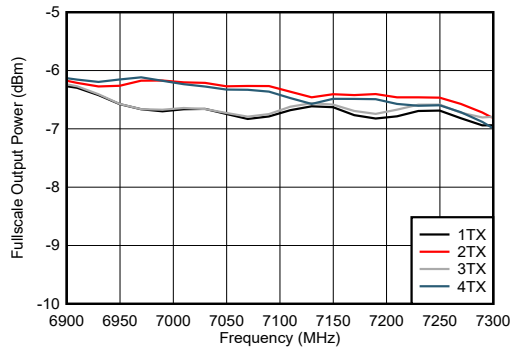


TM1.1, $P_{\text{OUT_RMS}} = -13\text{dBFS}$

図 5-552. 4.9GHz での TX 20-MHz LTE エラー スペクトル振幅

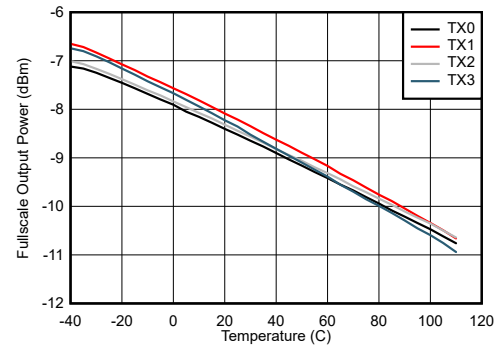
5.12.14 TX 代表的特性 : 7.1GHz

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、 $f_{\text{DAC}} = 9000\text{MSPS}$ 、非インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、2 次ナイキストゾーン出力、外部クロックモード、18x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み、7.1GHz 整合あり。



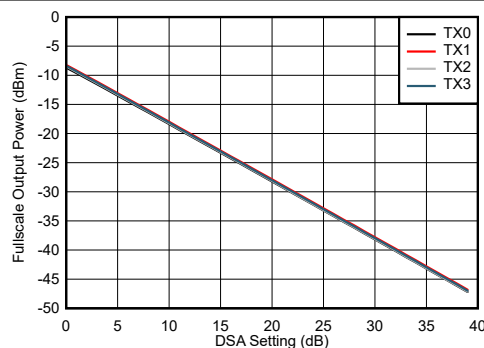
PCB とケーブルの損失を除く。

図 5-553. TX フルスケールと RF 周波数とチャネルとの関係



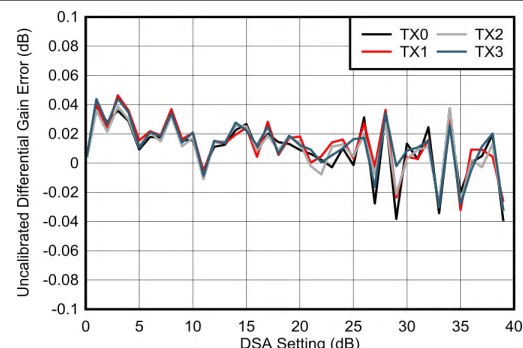
PCB とケーブルの損失を除く。

図 5-554. 7.1GHz での TX フルスケールと温度とチャネルとの関係



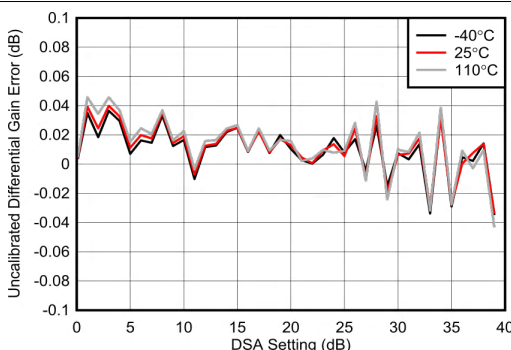
PCB とケーブルの損失を除く。

図 5-555. 7.1GHz での TX フルスケールと DSA 設定とチャネルとの関係



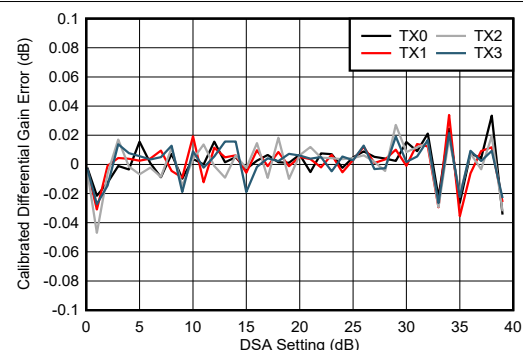
微分ゲイン誤差 = ゲイン (DSA 設定 - 1) - ゲイン (DSA 設定)

図 5-556. 7.1GHz での未較正ゲイン誤差とチャネルとの関係



微分ゲイン誤差 = ゲイン (DSA 設定 - 1) - ゲイン (DSA 設定)

図 5-557. 7.1GHz での未較正微分ゲイン誤差と温度との関係

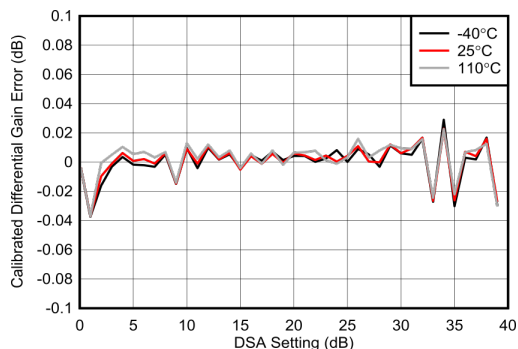


微分ゲイン誤差 = ゲイン (DSA 設定 - 1) - ゲイン (DSA 設定)

図 5-558. 7.1GHz での較正済み微分ゲイン誤差とチャネルとの関係

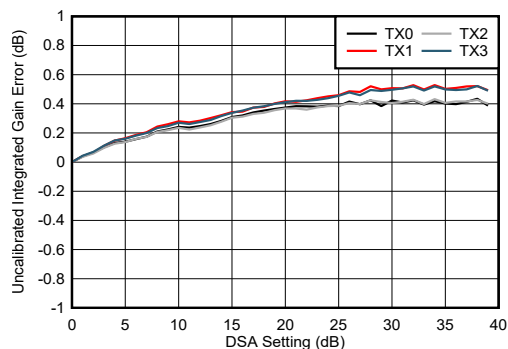
5.12.14 TX 代表的特性 : 7.1GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、 $f_{\text{DAC}} = 9000\text{MSPS}$ 、非インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、2 次ナイキストゾーン出力、外部クロックモード、18x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み、7.1GHz 整合あり。



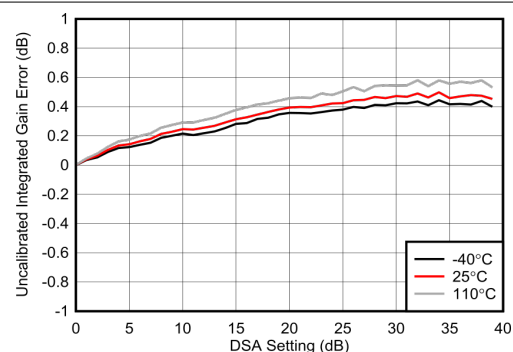
微分ゲイン誤差 = ゲイン (DSA 設定 - 1) - ゲイン (DSA 設定)

図 5-559. 7.1GHz での較正済み微分ゲイン誤差と温度との関係



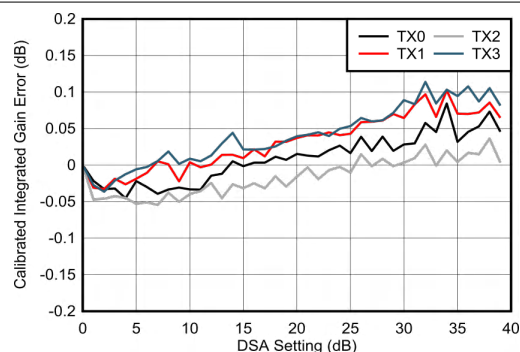
積分ゲイン誤差 = ゲイン (DSA 設定) - ゲイン (DSA 設定 = 0)

図 5-560. 7.1GHz での未較正積分ゲイン誤差とチャンネルとの関係



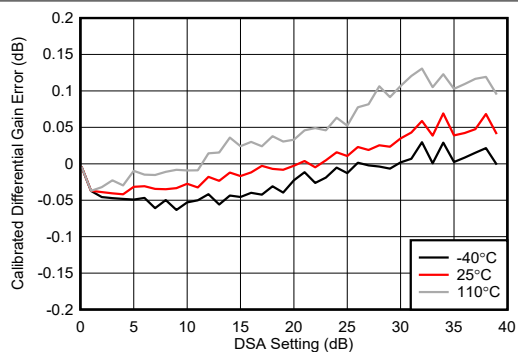
積分ゲイン誤差 = ゲイン (DSA 設定) - ゲイン (DSA 設定 = 0)

図 5-561. 7.1GHz での未較正積分ゲイン誤差と温度との関係



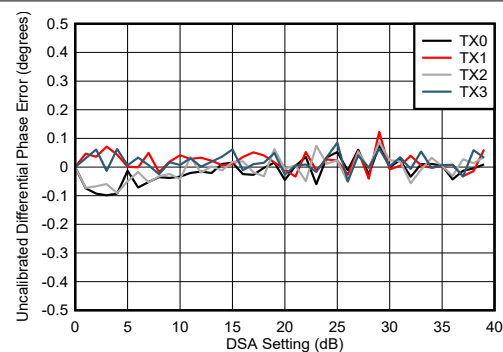
積分ゲイン誤差 = ゲイン (DSA 設定) - ゲイン (DSA 設定 = 0)

図 5-562. 7.1GHz での較正済み積分ゲイン誤差とチャンネルとの関係



積分ゲイン誤差 = ゲイン (DSA 設定) - ゲイン (DSA 設定 = 0)

図 5-563. 7.1GHz での較正済み積分ゲイン誤差と温度との関係

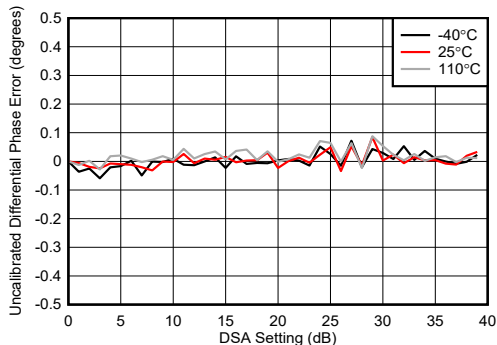


微分位相誤差 = 位相 (DSA 設定 - 1) - 位相 (DSA 設定)

図 5-564. 7.1GHz での未較正微分位相誤差とチャンネルとの関係

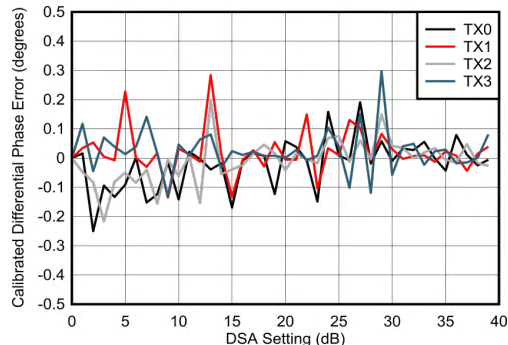
5.12.14 TX 代表的特性 : 7.1GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、 $f_{\text{DAC}} = 9000\text{MSPS}$ 、非インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、2 次ナイキストゾーン出力、外部クロックモード、18x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み、7.1GHz 整合あり。



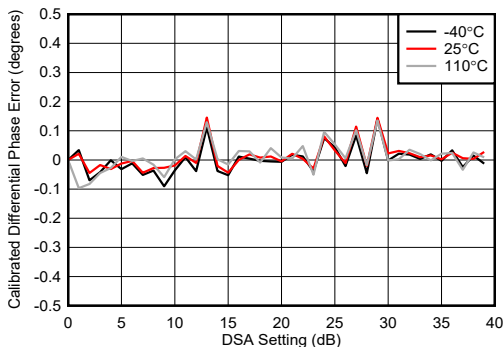
微分位相誤差 = 位相 (DSA 設定 - 1) - 位相(DSA 設定)

図 5-565. 7.1GHz での未較正微分位相誤差と温度との関係



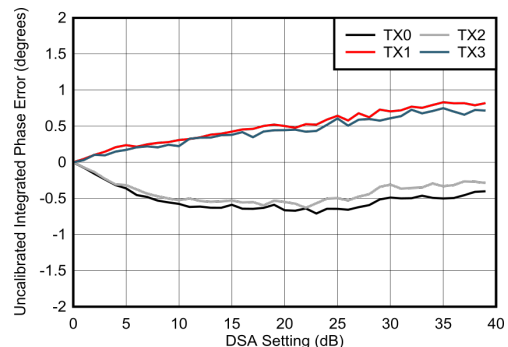
微分位相誤差 = 位相 (DSA 設定 - 1) - 位相(DSA 設定)

図 5-566. 7.1GHz での較正済み微分位相誤差とチャンネルとの関係



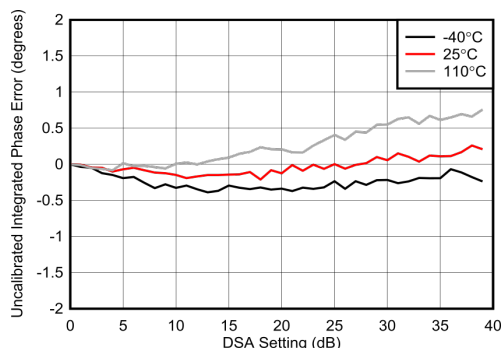
微分位相誤差 = 位相 (DSA 設定 - 1) - 位相(DSA 設定)

図 5-567. 7.1GHz での較正済み微分位相誤差と温度との関係



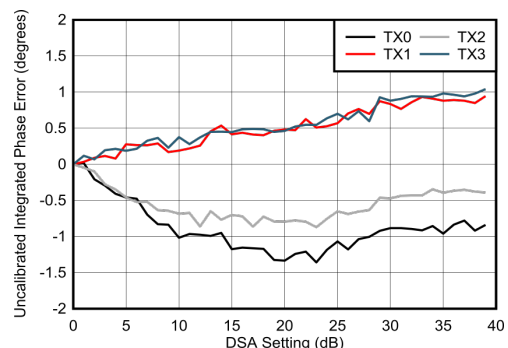
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-568. 7.1GHz での未較正積分位相誤差とチャンネルとの関係



積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-569. 7.1GHz での未較正積分位相誤差と温度との関係

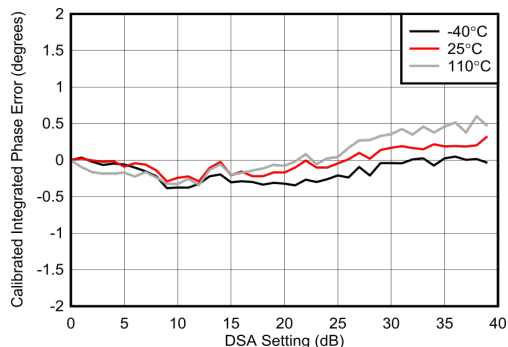


積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-570. 7.1GHz での較正済み積分位相誤差とチャンネルとの関係

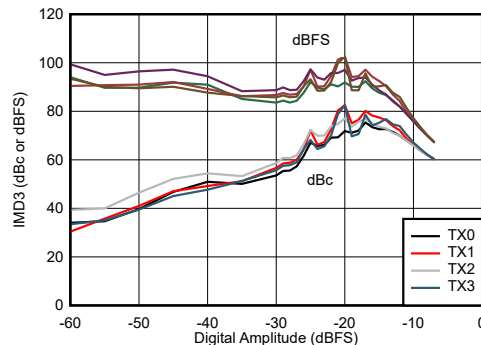
5.12.14 TX 代表的特性 : 7.1GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、 $f_{\text{DAC}} = 9000\text{MSPS}$ 、非インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、2 次ナイキストゾーン出力、外部クロックモード、18x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み、7.1GHz 整合あり。



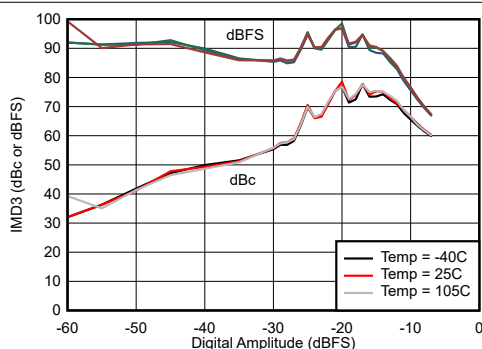
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 5-571. 7.1GHz での較正済み積分位相誤差と温度との関係



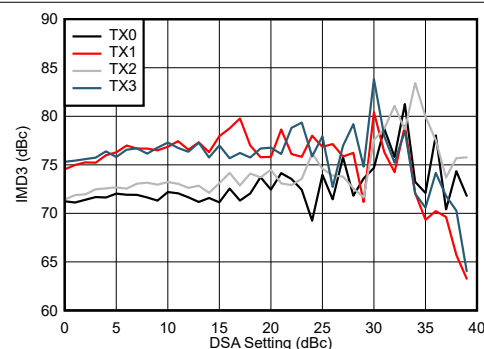
トーン間隔 = 50MHz

図 5-572. 7.1GHz での IMD3 とデジタル振幅との関係 (各種チャネル)



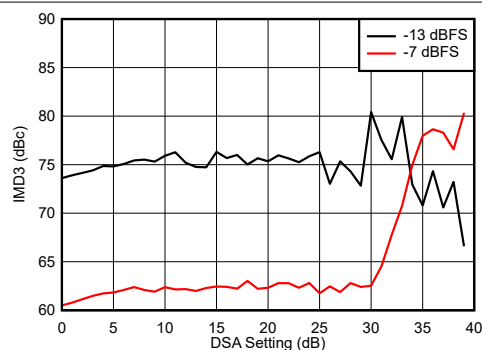
トーン間隔 = 50MHz

図 5-573. 7.1GHz での IMD3 とデジタル振幅と温度との関係



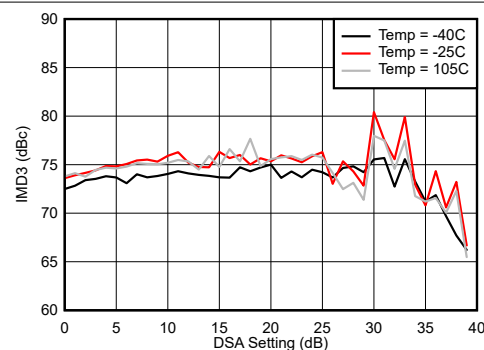
トーン間隔 = 50MHz

図 5-574. 7.1GHz での IMD3 と DSA 設定とチャネルとの関係



トーン間隔 = 50MHz

図 5-575. 7.1GHz での IMD3 と DSA 設定とデジタル振幅との関係



トーン間隔 = 50MHz

図 5-576. 7.1GHz での IMD3 と DSA 設定と温度との関係

5.12.14 TX 代表的特性 : 7.1GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、 $f_{\text{DAC}} = 9000\text{MSPS}$ 、非インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、2 次ナイキストゾーン出力、外部クロックモード、18x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み、7.1GHz 整合あり。

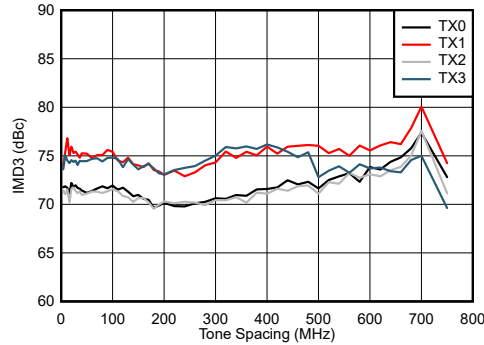


図 5-577. 7.1GHz での IMD3 とトーン間隔とチャンネルとの関係

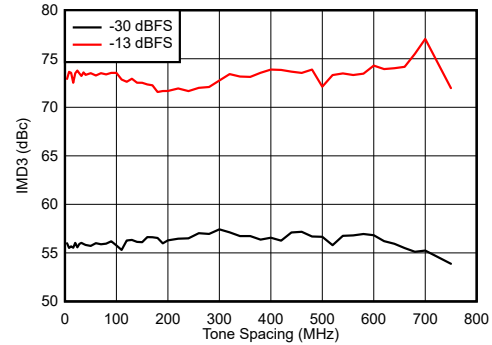


図 5-578. 7.1GHz での IMD3 とトーン間隔とデジタル振幅の関係

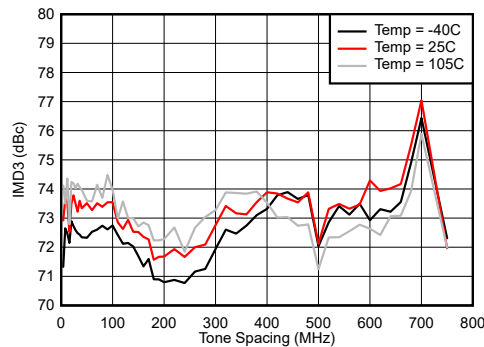
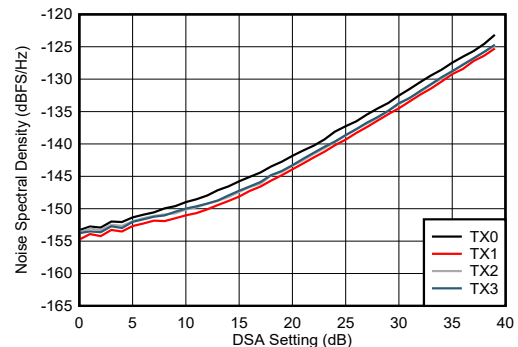
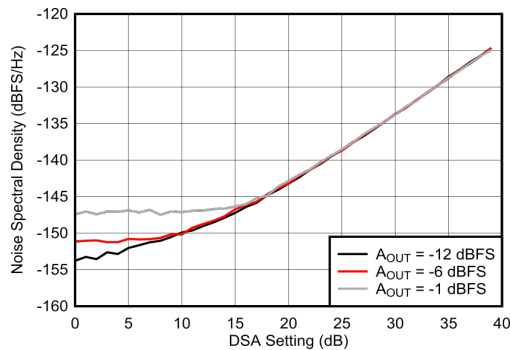


図 5-579. 7.1GHz での IMD3 とトーン間隔と温度との関係



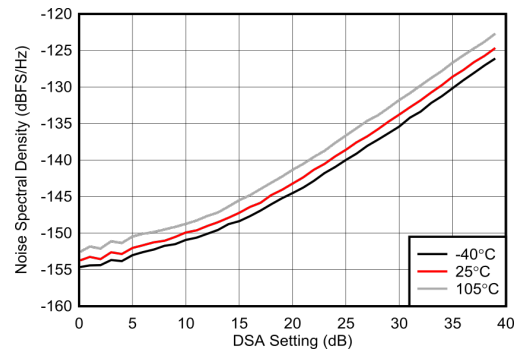
-12dBFS でのトーン、トーンからの 50MHz オフセット

図 5-580. 7.1GHz での NSD と DSA 設定とチャンネルとの関係



トーンから 50MHz オフセット

図 5-581. 7.1GHz での NSD と DSA 設定、振幅との関係

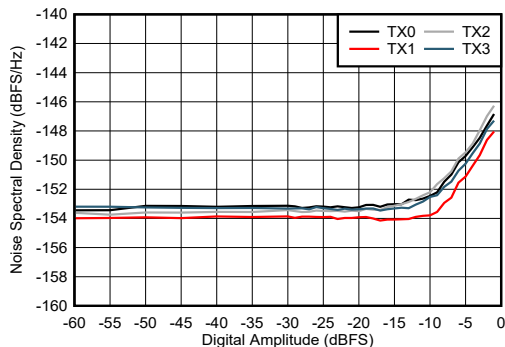


-12dBFS でのトーン、トーンからの 50MHz オフセット

図 5-582. 7.1GHz での NSD と DSA 設定と温度との関係

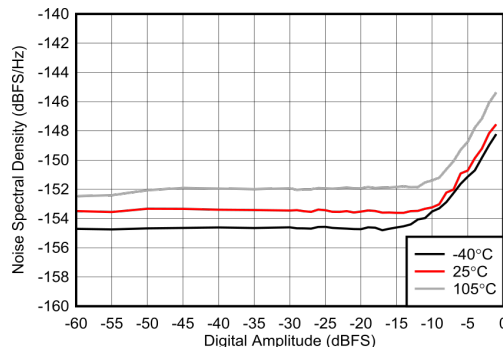
5.12.14 TX 代表的特性 : 7.1GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、 $f_{\text{DAC}} = 9000\text{MSPS}$ 、非インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、2 次ナイキストゾーン出力、外部クロックモード、18x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 校正済み、7.1GHz 整合あり。



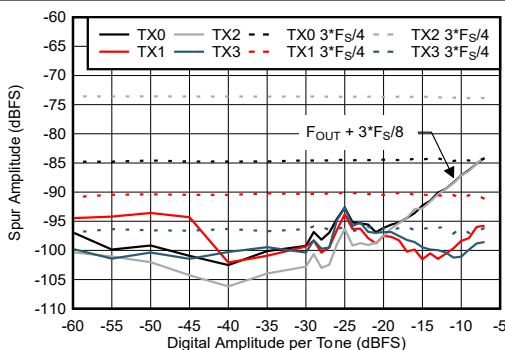
トーンから 50MHz オフセット。

図 5-583. 7.1GHz での NSD とデジタル振幅とチャンネルとの関係



トーンから 50MHz オフセット。

図 5-584. 7.1GHz での NSD とデジタル振幅と温度との関係



帯域内 = $7100\text{MHz} \pm 600\text{MHz}$ (IMD3 成分を除く)、 $3 \times F_S/4$ スプリアスは含まれておらず、個別に表示されています

図 5-585. 7.1GHz での 2 トーン SFDR とデジタル振幅との関係

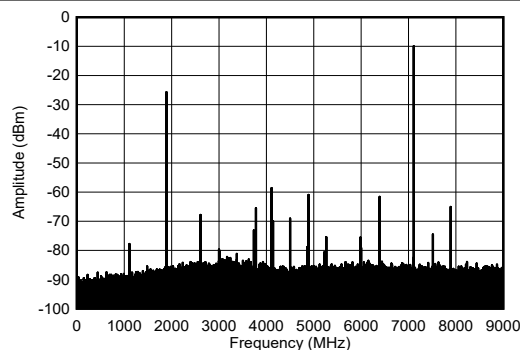


図 5-586. 7.1GHz、-1dBFS でのシングル トーン出力スペクトラム (0 - F_{DAC})

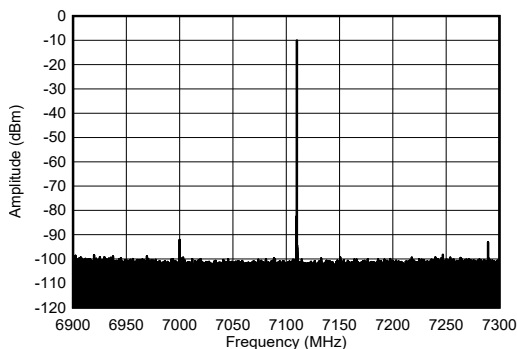


図 5-587. 7.1GHz、-1dBFS でのシングル トーン出力スペクトラム (帯域内)

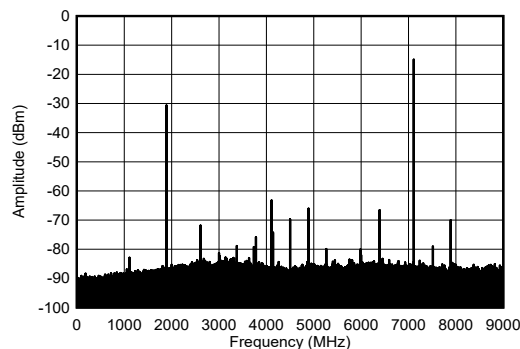


図 5-588. 7.1GHz、-6dBFS でのシングル トーン出力スペクトラム (0 - F_{DAC})

5.12.14 TX 代表的特性 : 7.1GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、 $f_{\text{DAC}} = 9000\text{MSPS}$ 、非インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、2 次ナイキストゾーン出力、外部クロックモード、18x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 校正済み、7.1GHz 整合あり。

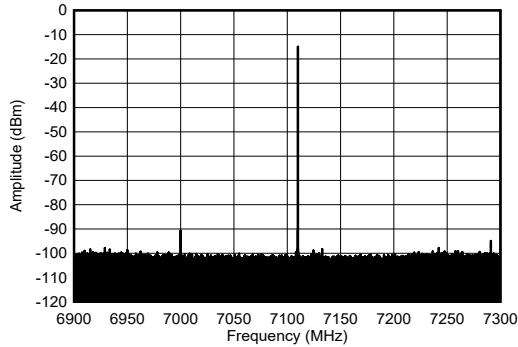


図 5-589. 7.1GHz、-6dBFS でのシングル トーン出力スペクトラム (帯域内)

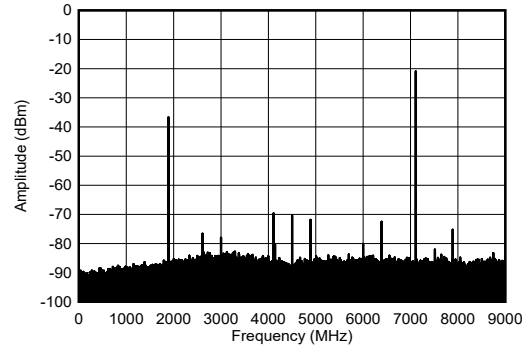


図 5-590. 7.1GHz、-12dBFS でのシングル トーン出力スペクトラム (0 - F_{DAC})

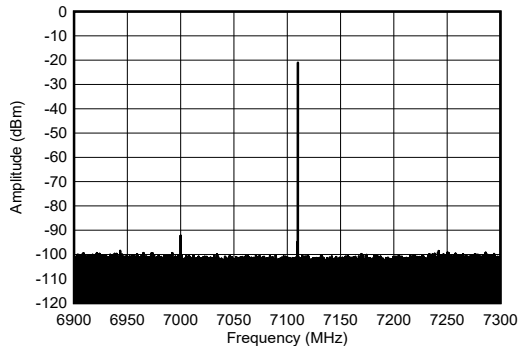
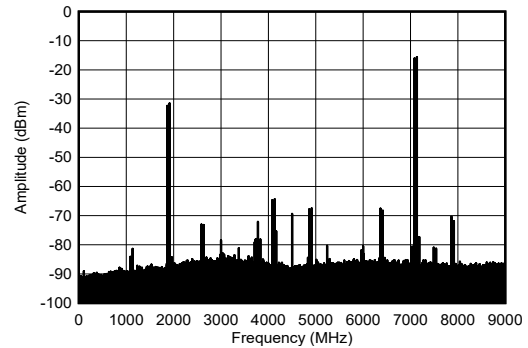
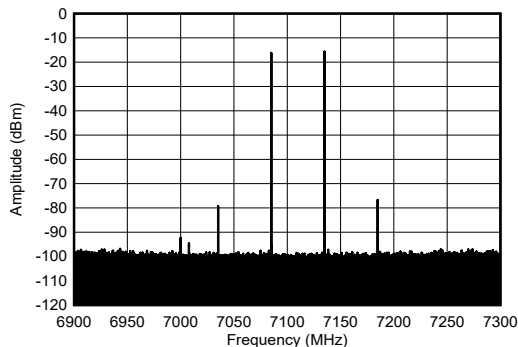


図 5-591. 7.1GHz、-12dBFS でのシングル トーン出力スペクトラム (帯域内)



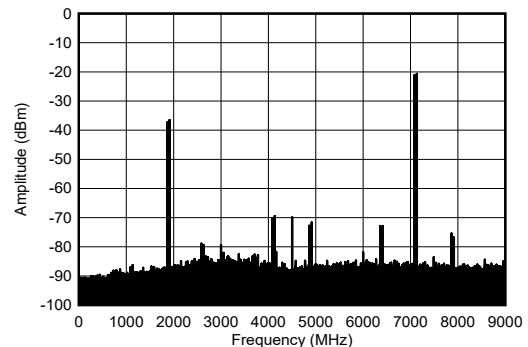
50MHz のトーン間隔

図 5-592. 7.1GHz、-7 dBFS での 2 トーン出力スペクトル (それぞれ -7 dBFS、0~ F_{DAC})



50MHz のトーン間隔

図 5-593. 7.1GHz、-7 dBFS での 2 トーン出力スペクトル (帯域内)

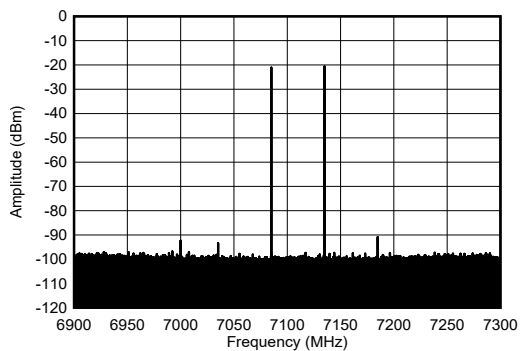


50MHz のトーン間隔

図 5-594. 7.1GHz、-12dBFS での 2 トーン出力スペクトル (0~ F_{DAC})

5.12.14 TX 代表的特性 : 7.1GHz (続き)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。特に記述のない限り、TX 入力データレート = 500MSPS、 $f_{\text{DAC}} = 9000\text{MSPS}$ 、非インターリーブモード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、2 次ナイキストゾーン出力、外部クロックモード、18x 補間、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み、7.1GHz 整合あり。



50MHz のトーン間隔

図 5-595. 7.1GHz での 2 トーン出力スペクトル (各-12dBFS、帯域内)

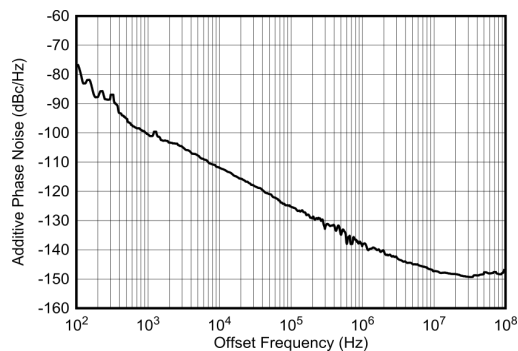
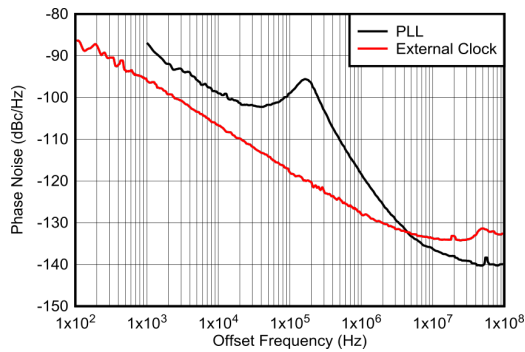


図 5-596. 7.1GHz での外部クロック追加位相ノイズ

5.12.15 PLL およびクロックの代表的特性



TX 出力で測定、20 x log10 で 12GHz に正規化 (12GHz/ f_{OUT})

図 5-597. 位相ノイズとオフセット周波数との関係 (PLL、外部クロック、12GHz)

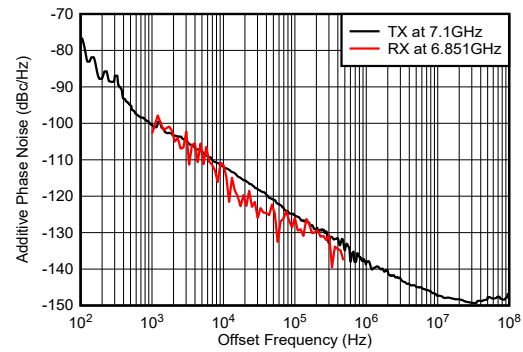
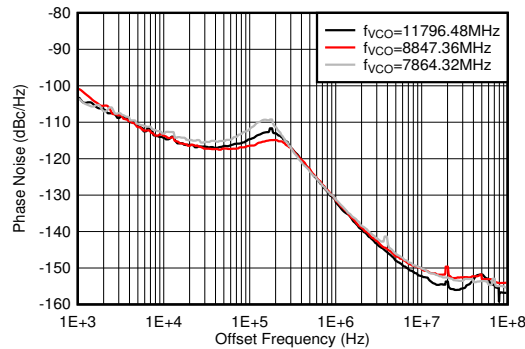
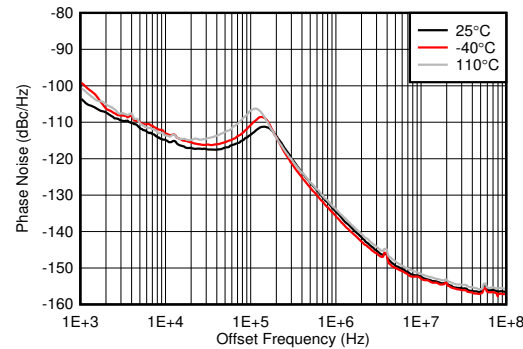


図 5-598. 7GHz での TX と RX 付加位相ノイズとの関係



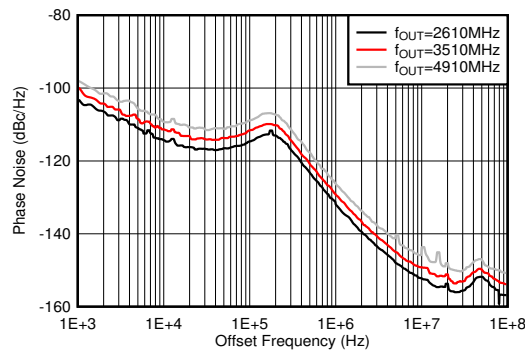
PLL イネーブル、 f_{REF} = 491.52MSPS、2TXOUT で測定

図 5-599. 位相ノイズとオフセット周波数との関係 (各種 f_{VCO} 、 f_{OUT} = 2610MHz)



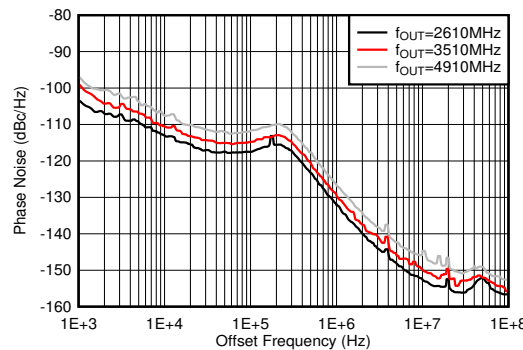
PLL イネーブル、 f_{VCO} = 11796.48MHz、 f_{REF} = 491.52MSPS、2TXOUT で測定

図 5-600. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、 f_{OUT} = 1910MHz)



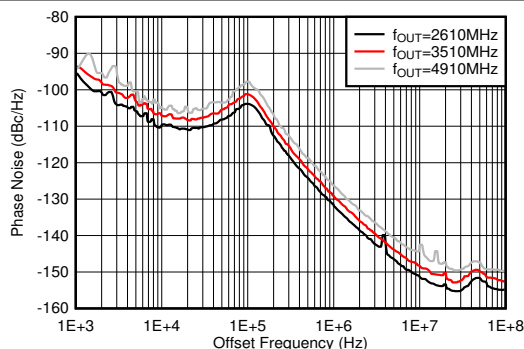
PLL イネーブル、 f_{VCO} = 11796.48MHz、 f_{REF} = 491.52MSPS、2TXOUT で測定

図 5-601. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、25°C)



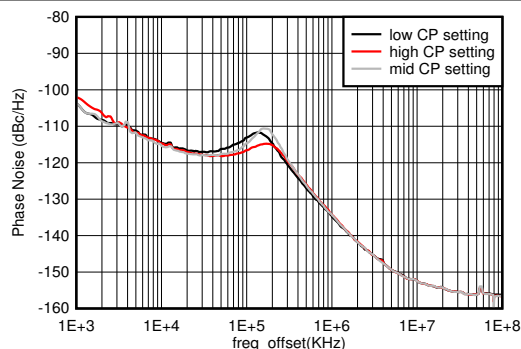
PLL イネーブル、 f_{VCO} = 11796.48MHz、 f_{REF} = 491.52MSPS、2TXOUT で測定

図 5-602. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、-40°C)



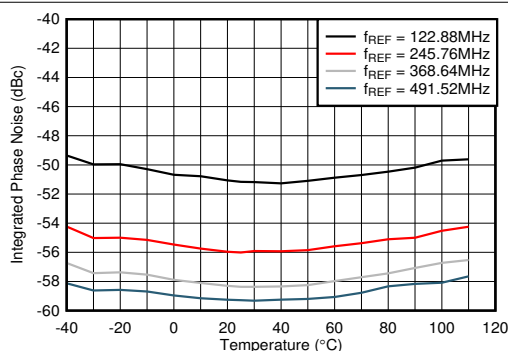
PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、2TXOUT で測定

図 5-603. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、110°C)



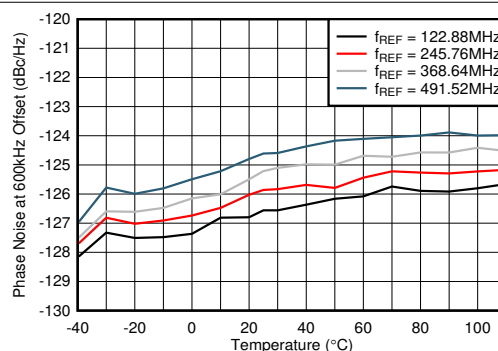
PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、2TXOUT で測定

図 5-604. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 CP 設定、 $f_{OUT} = 2.6\text{GHz}$)



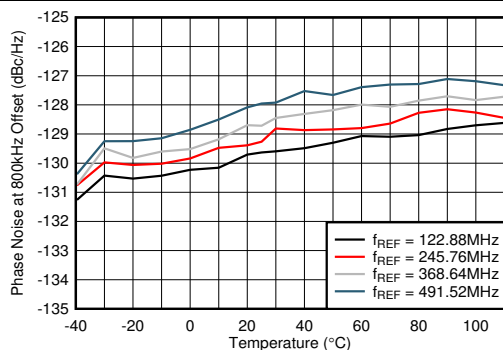
PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、1kHz ~ 100MHz、片側積分帯域幅、2TXOUT で測定

図 5-605. 12GHz VCO の積分位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$)



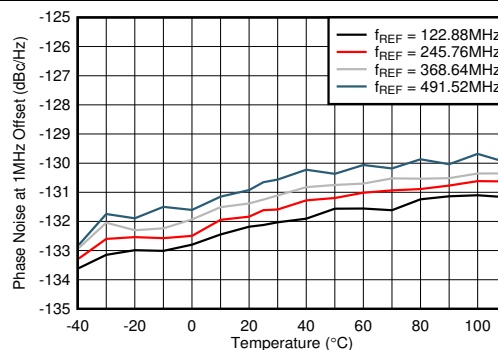
PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、2TXOUT で測定

図 5-606. 12GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、600kHz オフセット)



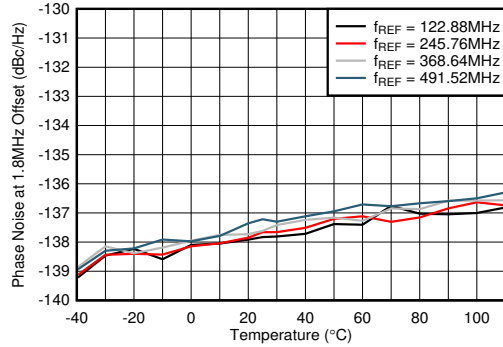
A. PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、2TXOUT で測定

図 5-607. 12GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、800kHz オフセット)



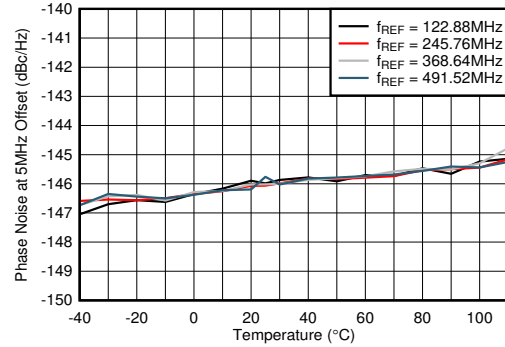
PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、2TXOUT で測定

図 5-608. 1MHz オフセット時の 12GHz VCO の位相ノイズと温度の関係 ($f_{OUT} = 2.6\text{GHz}$ のとき f_{REF})



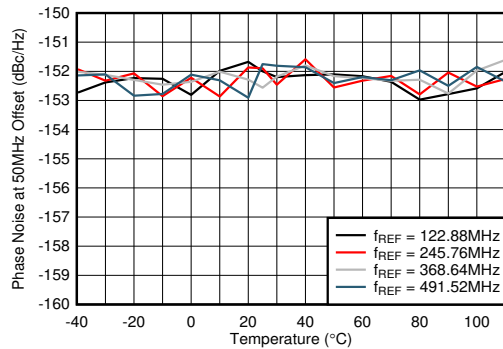
PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、2TXOUT で測定

図 5-609. 1.8MHz オフセット時の 12GHz VCO の位相ノイズと温度の関係 ($f_{OUT} = 2.6\text{GHz}$ のとき f_{REF})



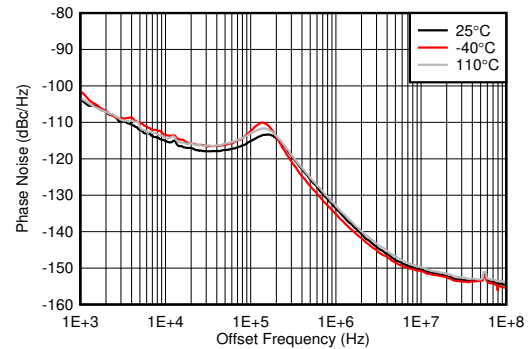
PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、2TXOUT で測定

図 5-610. 5MHz オフセット時の 12GHz VCO の位相ノイズと温度の関係 ($f_{OUT} = 2.6\text{GHz}$ のとき f_{REF})



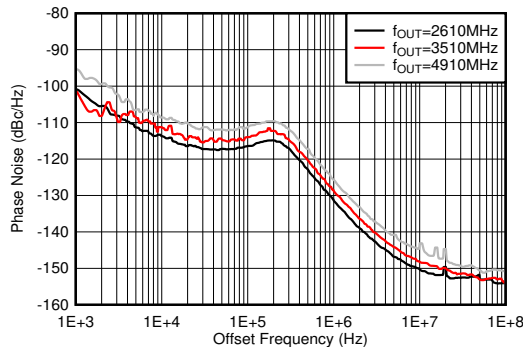
PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、2TXOUT で測定

図 5-611. 50MHz オフセット時の 12GHz VCO の位相ノイズと温度の関係 ($f_{OUT} = 2.6\text{GHz}$ のとき f_{REF})



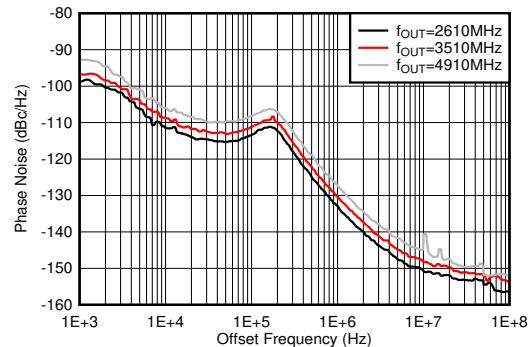
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、2TXOUT で測定

図 5-612. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、 $f_{OUT} = 1910\text{MHz}$)



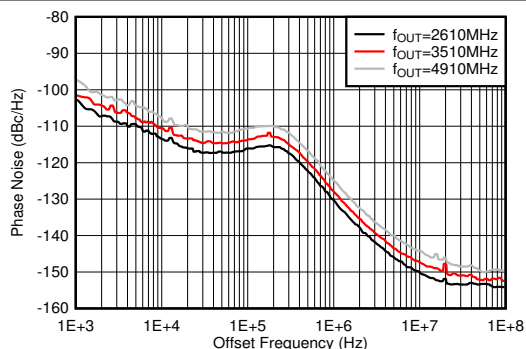
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、2TXOUT で測定

図 5-613. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、25°C)



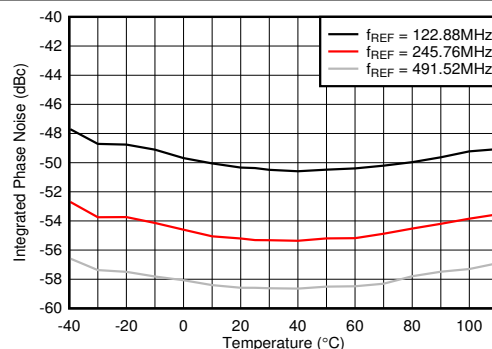
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、2TXOUT で測定

図 5-614. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、-40°C)



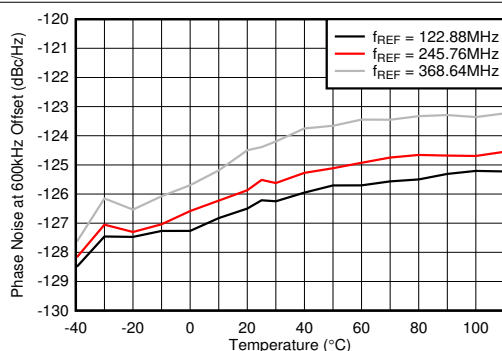
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、
2TXOUT で測定

図 5-615. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、110°C)



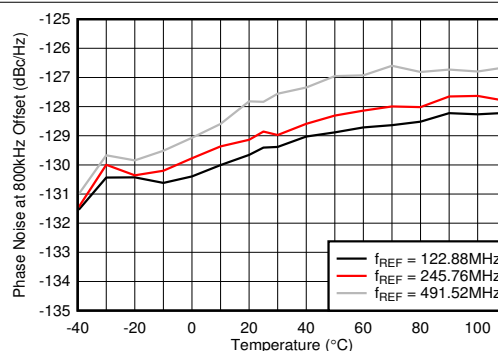
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、1kHz ~ 100MHz、片側積分帯域幅、2TXOUT で測定

図 5-616. 10GHz VCO の積分位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$)



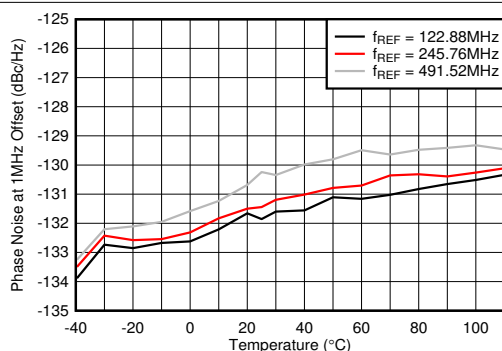
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、2TXOUT で測定

図 5-617. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、600kHz オフセット)



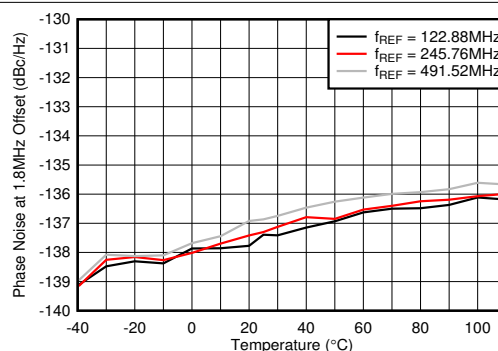
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、2TXOUT で測定

図 5-618. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、800kHz オフセット)



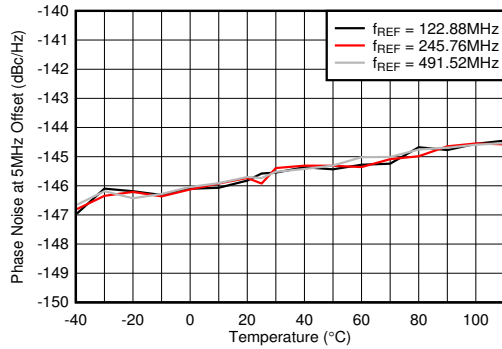
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、2TXOUT で測定

図 5-619. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、1MHz オフセット)



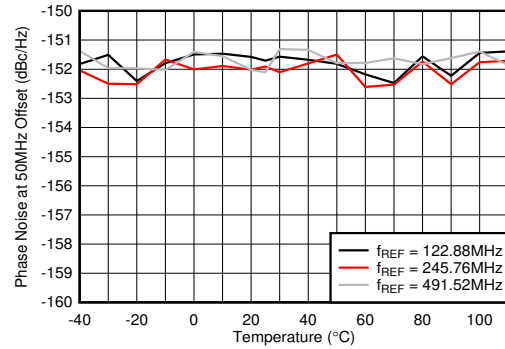
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、2TXOUT で測定

図 5-620. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、1.8MHz オフセット)



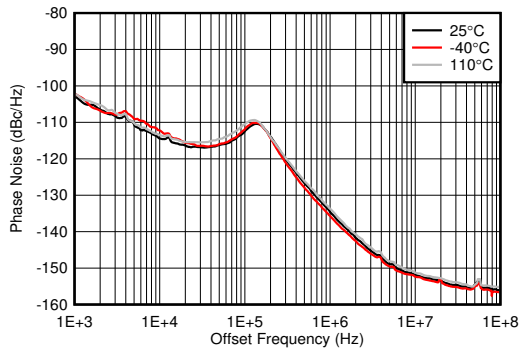
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、2TXOUT で測定

図 5-621. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、5MHz オフセット)



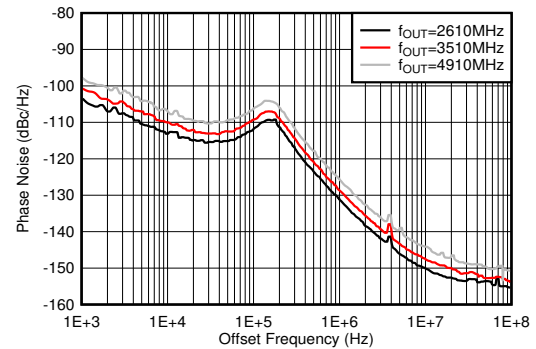
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、2TXOUT で測定

図 5-622. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、50MHz オフセット)



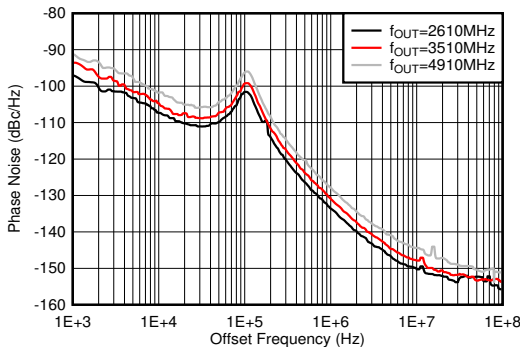
PLL イネーブル、 $f_{VCO} = 8847.36\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、2TXOUT で測定

図 5-623. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、 $f_{OUT} = 1910\text{MHz}$)



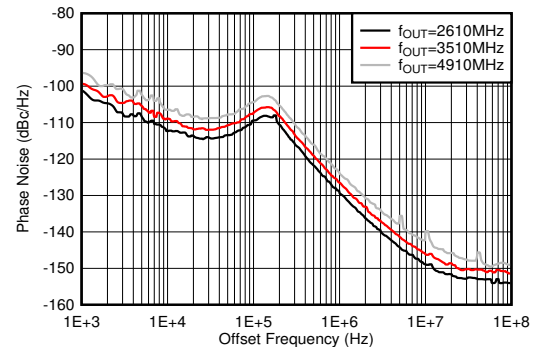
PLL イネーブル、 $f_{VCO} = 8847.36\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、2TXOUT で測定

図 5-624. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、25°C)



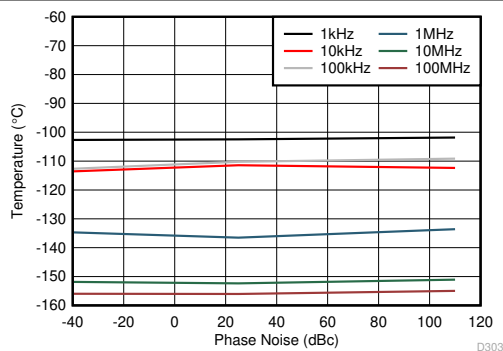
PLL イネーブル、 $f_{VCO} = 8847.36\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、2TXOUT で測定

図 5-625. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、-40°C)



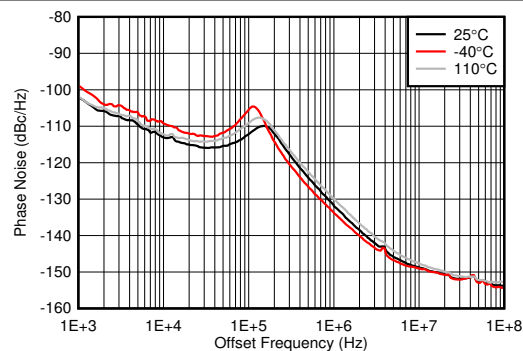
PLL イネーブル、 $f_{VCO} = 8847.36\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、2TXOUT で測定

図 5-626. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、110°C)



PLL イネーブル、 $f_{VCO} = 8847.36\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、最小 LPF BW、2TXOUT で測定

図 5-627. 9GHz VCO の位相ノイズと温度との関係 (各種オフセット周波数、 $f_{OUT} = 2.6\text{GHz}$)



PLL イネーブル、 $f_{VCO} = 7864.32\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、2TXOUT で測定

図 5-628. 8GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、 $f_{OUT} = 1910\text{MHz}$)

6 デバイスおよびドキュメントのサポート

6.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

6.2 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

6.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

6.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

6.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from JUNE 14, 2023 to MAY 1, 2025 (from Revision A (June 2023) to Revision B (May 2025))	Page
• RX 入力 of 最大電力が、RF ADC の電氣的特性から絶対最大定格へと移動.....	11

Changes from APRIL 20, 2023 to JUNE 13, 2023 (from Revision * (April 2023) to Revision A (June 2023))	Page
• 「製品情報」表に注 2 を追加	1
• TX クロックディザ イネーブルからすべての TX 代表的特性の説明を削除.....	79
• 1 次ナイキストゾーン出力を 2 次ナイキストゾーン出力に変更.....	143

8 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AFE7901IABJ	Active	Production	FCBGA (ABJ) 400	90 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 85	AFE7901I
AFE7901IABJ.B	Active	Production	FCBGA (ABJ) 400	1 JEDEC TRAY (5+1)	-	Call TI	Call TI	-40 to 85	
AFE7901IALK	Active	Production	FCBGA (ALK) 400	90 JEDEC TRAY (5+1)	No	SNPB	Level-3-220C-168 HR	-40 to 85	AFE7901 SNPB
AFE7901IALK.B	Active	Production	FCBGA (ALK) 400	90 JEDEC TRAY (5+1)	-	Call TI	Call TI	-40 to 85	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

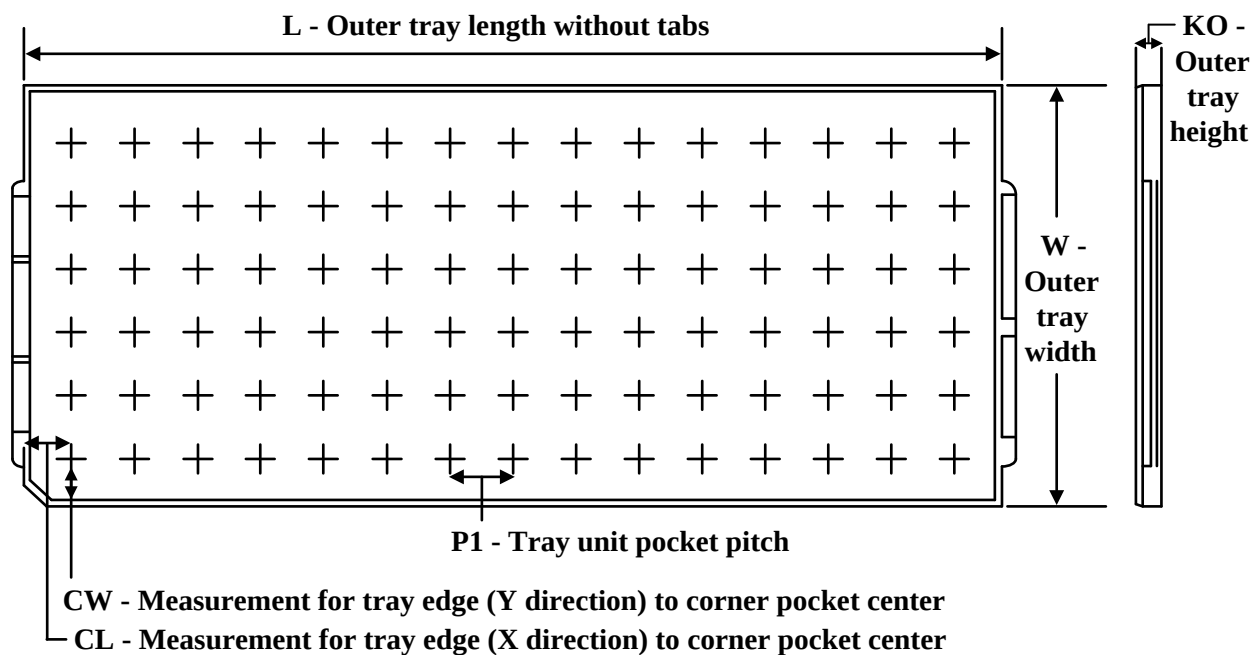
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

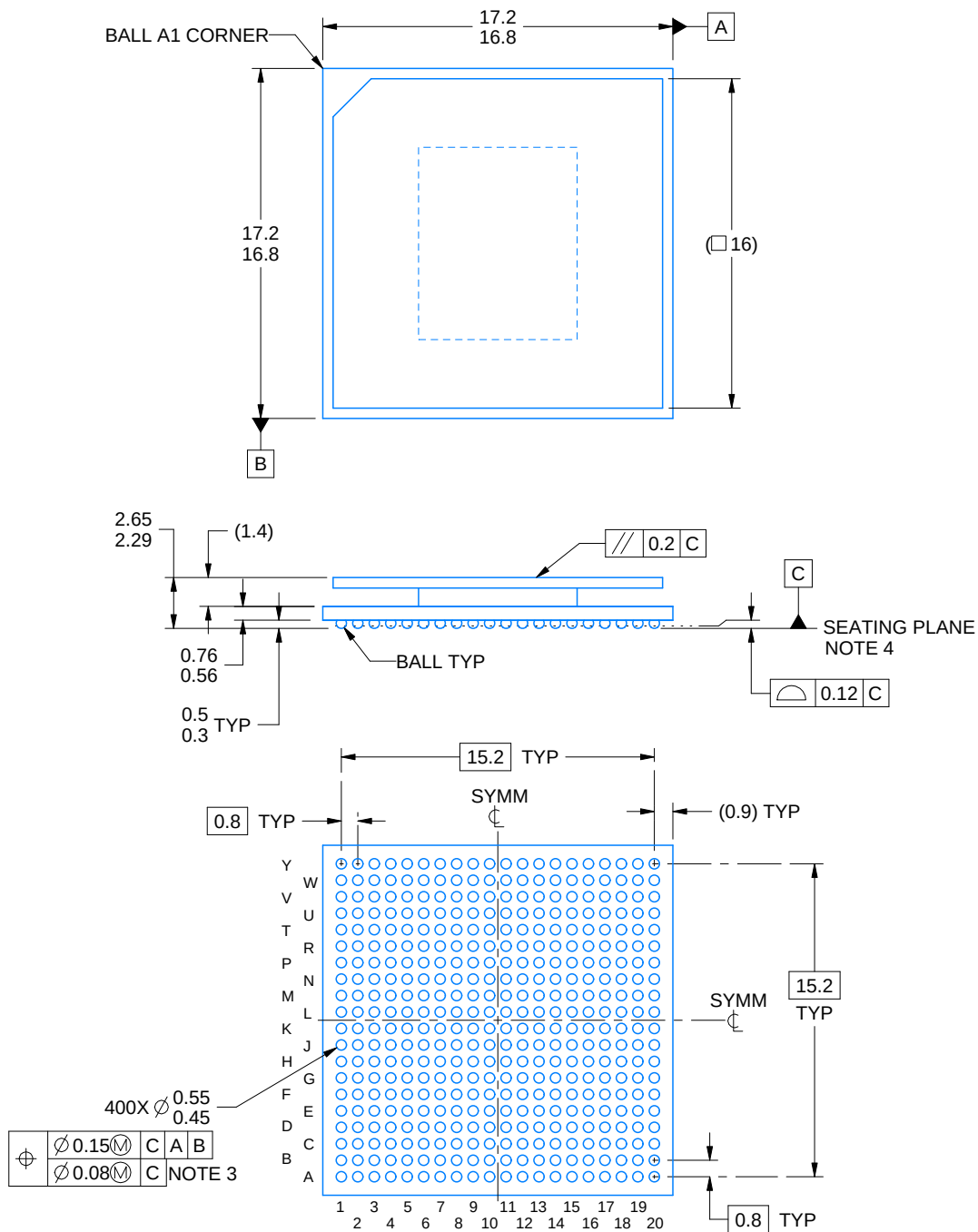
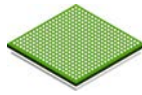
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (μm)	P1 (mm)	CL (mm)	CW (mm)
AFE7901IABJ	ABJ	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7901IABJ	ABJ	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7901IALK	ALK	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
AFE7901IALK	ALK	FCBGA	400	90	6 x 15	150	315	135.9	7620	19.5	21	19.2



4221311/D 03/2023

NOTES:

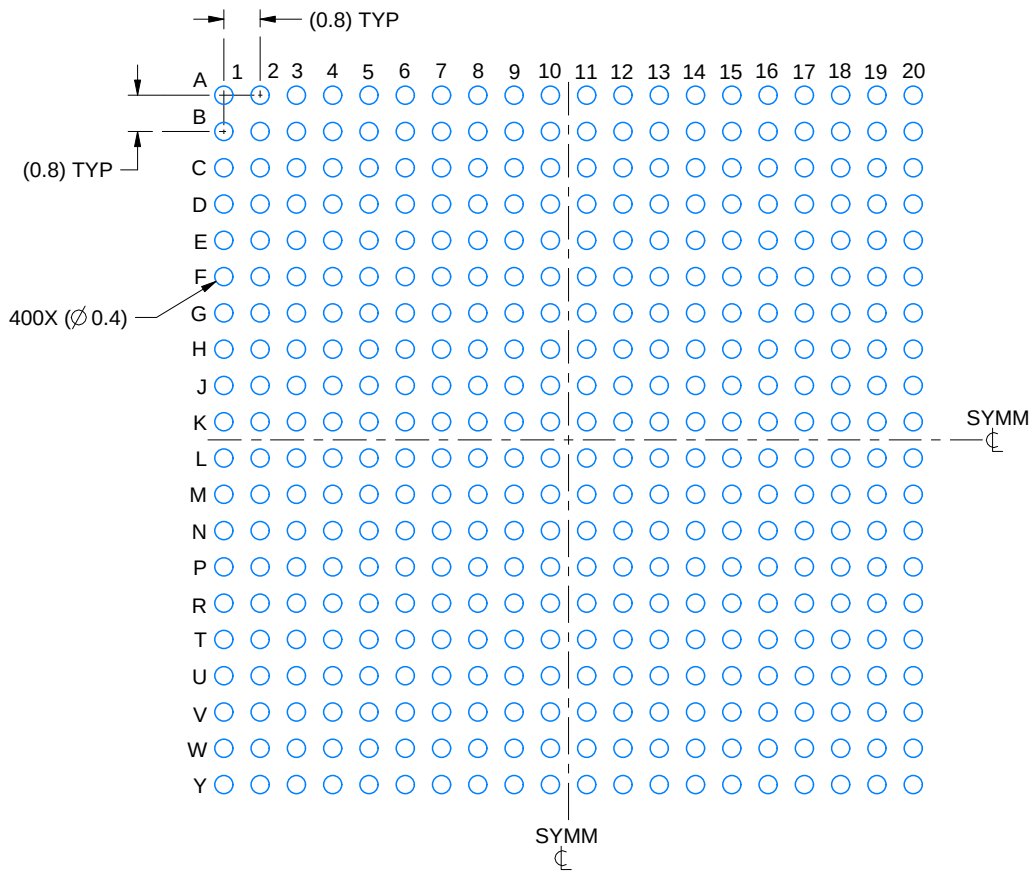
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. The lids are electrically floating (e.g. not tied to GND).

EXAMPLE BOARD LAYOUT

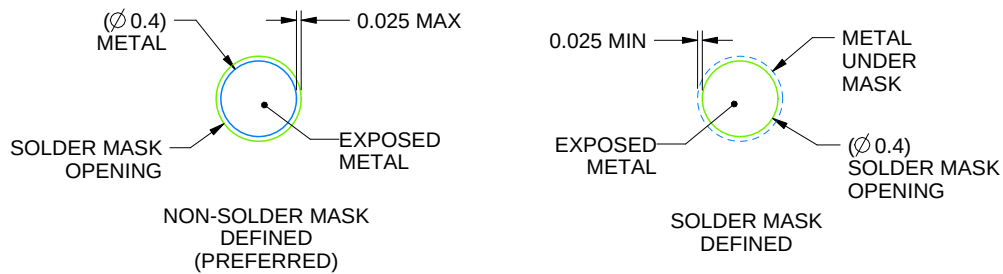
ABJ0400A

FCBGA - 2.65 mm max height

BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4221311/D 03/2023

NOTES: (continued)

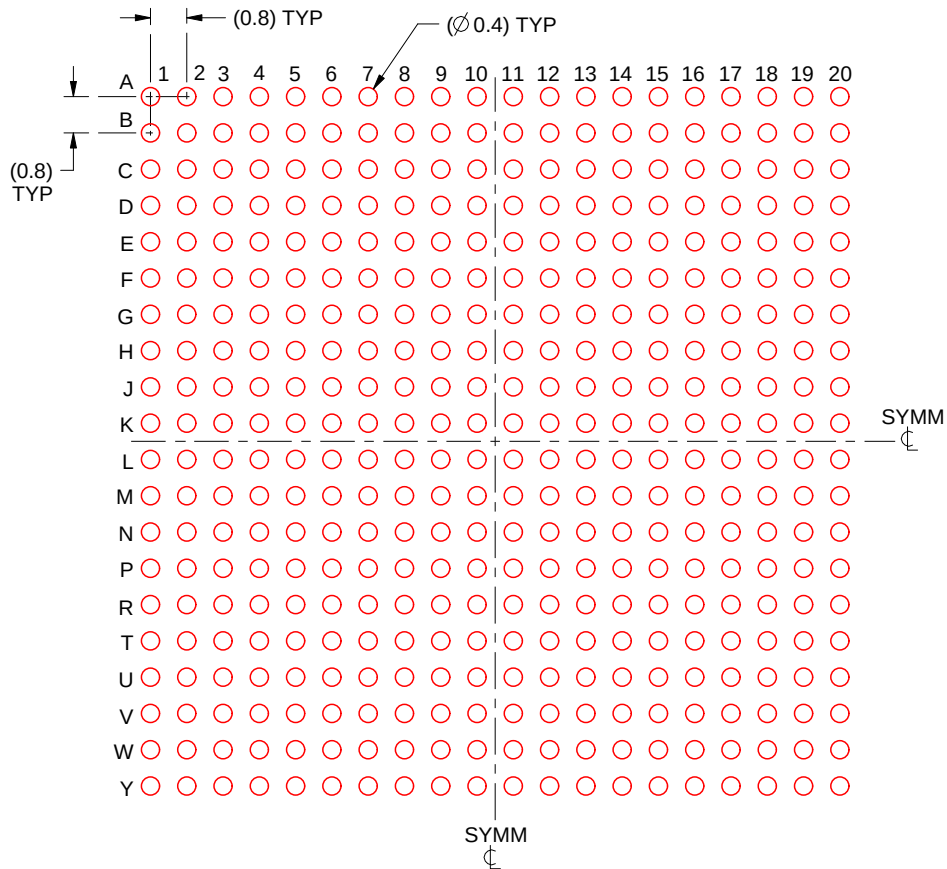
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

ABJ0400A

FCBGA - 2.65 mm max height

BALL GRID ARRAY

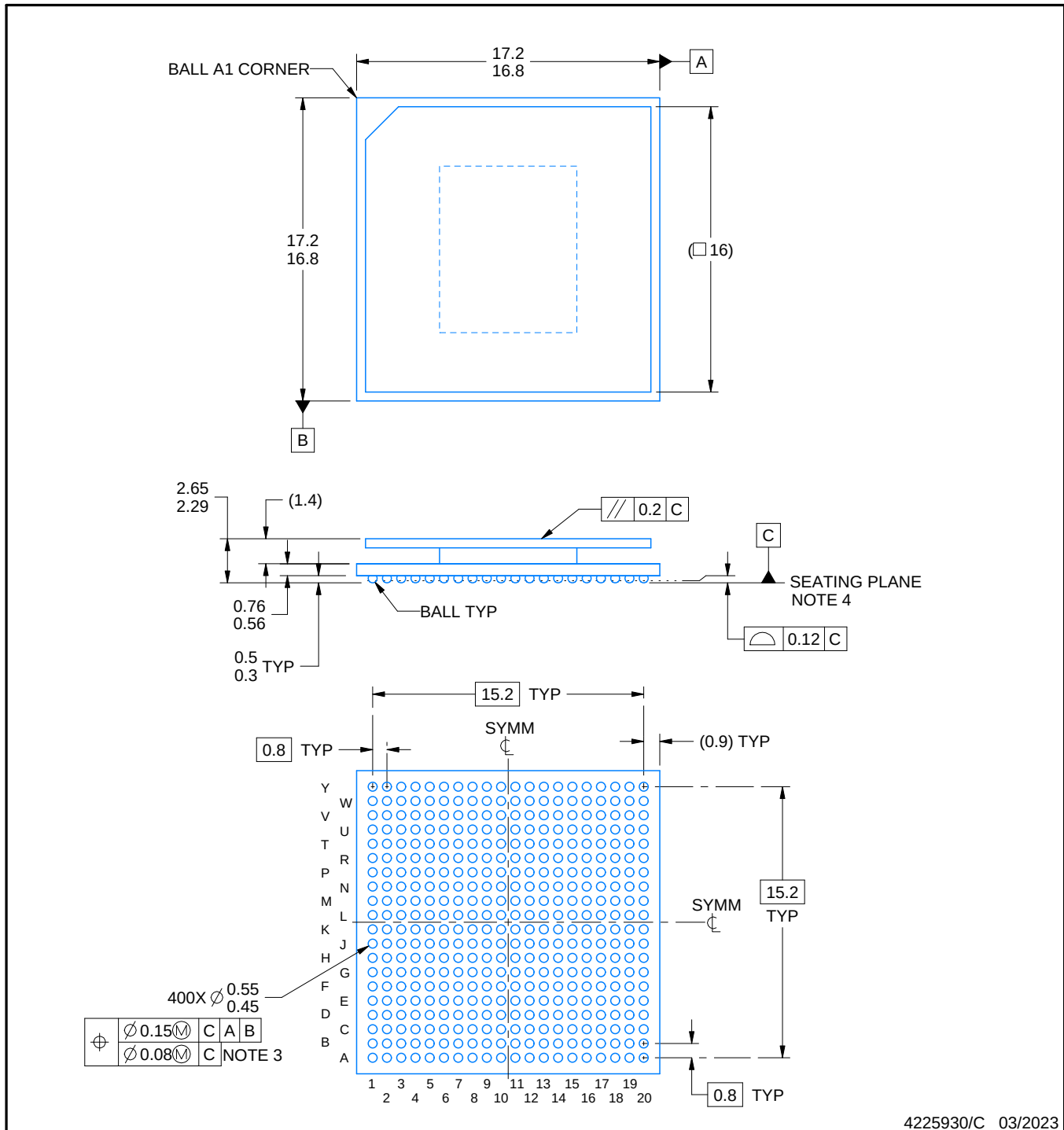
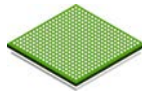


SOLDER PASTE EXAMPLE
 BASED ON 0.15 mm THICK STENCIL
 SCALE:6X

4221311/D 03/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.



4225930/C 03/2023

NOTES:

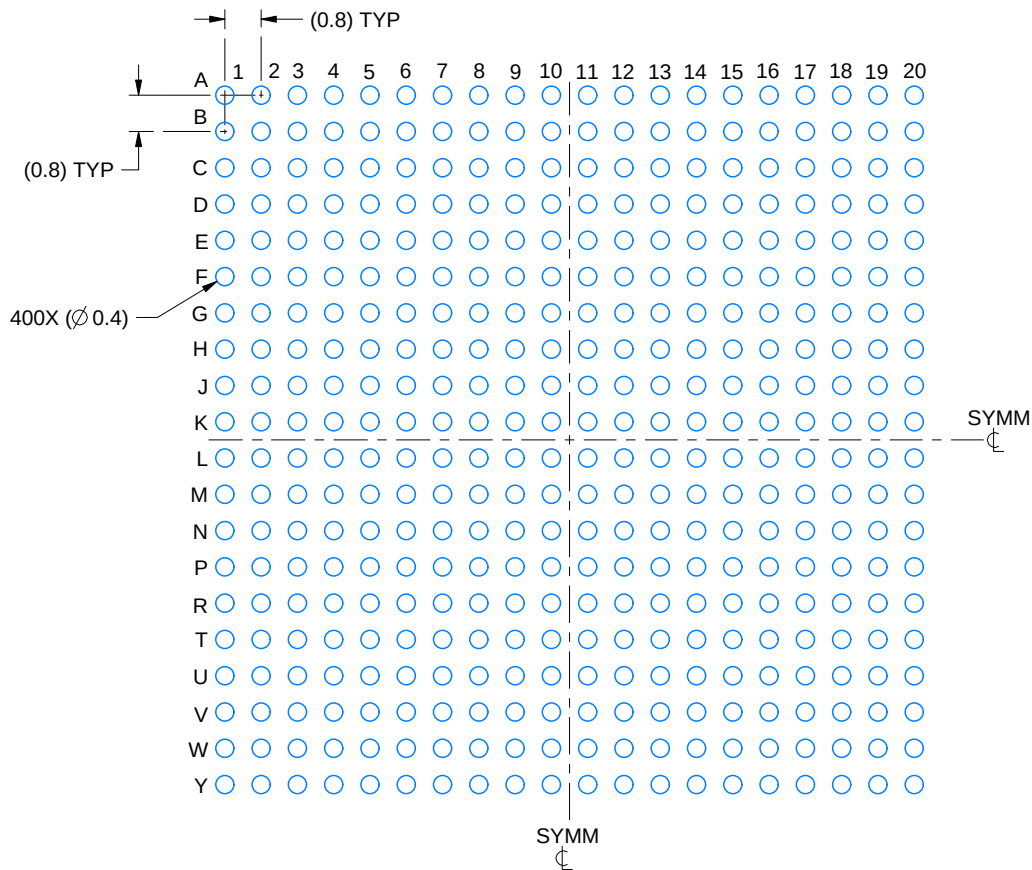
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. Pb-Free die bump and SnPb solder ball.
6. The lids are electrically floating (e.g. not tied to GND).

EXAMPLE BOARD LAYOUT

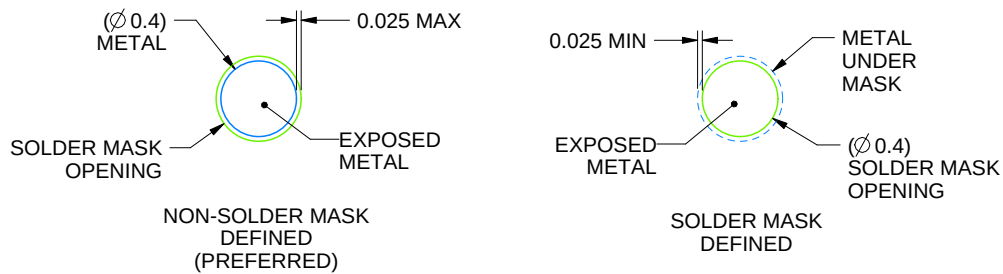
ALK0400A

FCBGA - 2.65 mm max height

BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4225930/C 03/2023

NOTES: (continued)

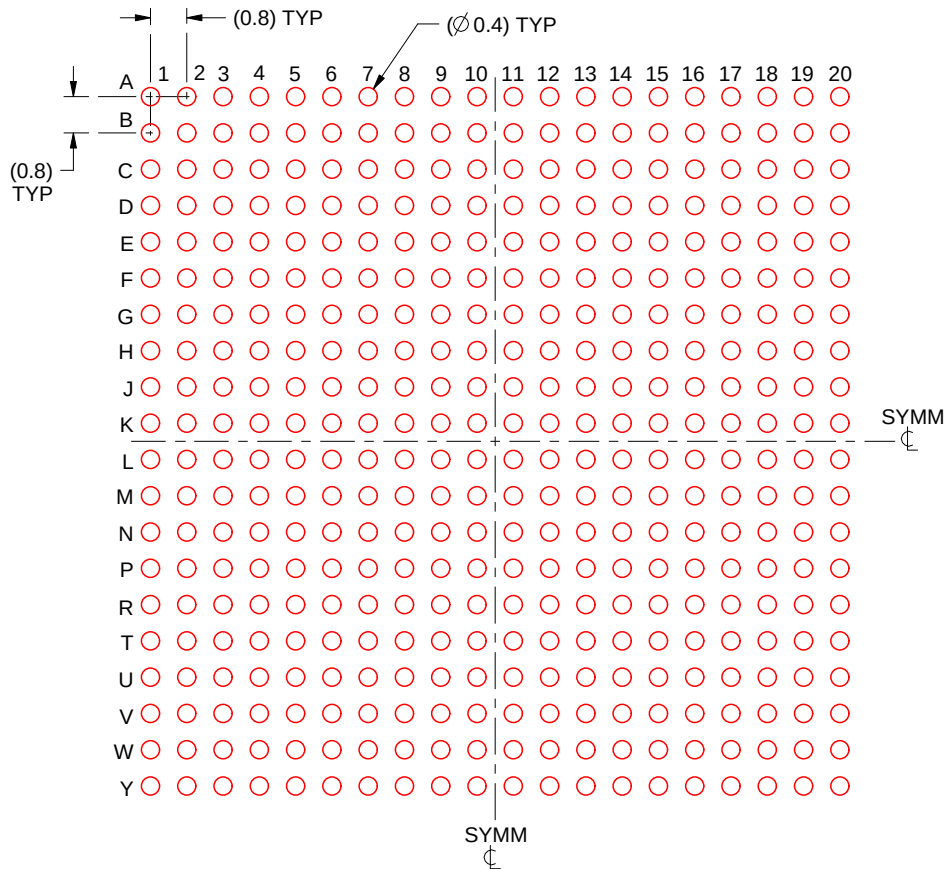
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

ALK0400A

FCBGA - 2.65 mm max height

BALL GRID ARRAY



SOLDER PASTE EXAMPLE
 BASED ON 0.15 mm THICK STENCIL
 SCALE:6X

4225930/C 03/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月