

AFE7953 12GSPS DAC および 3GSPS ADC 搭載、2T2R RF サンプリング AFE

1 特長

- データシート全体のご請求
- デュアル RF サンプリング 12GSPS 送信 DAC
- デュアル RF サンプリング 3GSPS 受信 ADC
- 最大 RF 信号帯域幅: 400MHz
- RF 周波数範囲: 600MHz~12GHz
- デジタル・ステップ・アッテネータ (DSA):
 - TX: 40dB レンジ, 0.125dB ステップ
 - RX: 25dB レンジ, 0.5dB ステップ
- シングルまたはデュアル・バンドの DUC と DDC
- TX または RX ごとに 16 個の NCO
- DAC もしくは ADC クロック用の内部 PLL もしくは VCO, または DAC もしくは ADC サンプル・レートでの外部クロックを選択可能
- SerDes データ・インターフェイス:
 - JESD204B, JESD204C 適合
 - 8 つの SerDes トランシーバ (最高 29.5Gbps)
 - サブクラス 1 のマルチデバイス同期
- パッケージ: 17mm × 17mm FCBGA, 0.8mm ピッチ

2 アプリケーション

- レーダー
- 追尾フロント・エンド
- 防衛無線
- 戦術通信網
- ワイヤレス通信テスト

3 概要

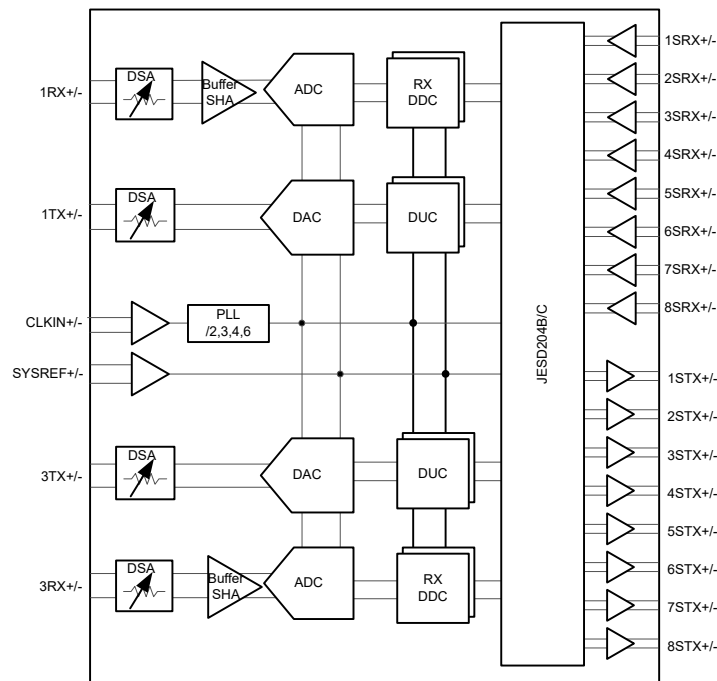
AFE7953 は、高性能で広帯域のマルチチャネル・トランシーバで、2 つの RF サンプリング・トランスミッタ・チェーンと 2 つの RF サンプリング・レシーバ・チェーンを内蔵しています。このデバイスは、最大 12GHz で動作するため、追加の周波数変換段を必要とせず、L、S、C、X バンドの周波数範囲について直接 RF サンプリングが可能で、この密度と柔軟性の向上により、多くのチャンネル数を持つマルチミッション・システムが可能になります。

TX 信号パスは、TX チャンネルあたり最大 400MHz の信号帯域幅を実現する補間およびデジタル・アップ・コンバージョン・オプションをサポートしています。DUC の出力は、2 次ナイキスト動作を拡張する混在モード出力方式で 12GSPS の DAC (D/A コンバータ) を駆動します。DAC 出力は、40dB レンジ、1dB アナログ・ステップ、0.125dB デジタル・ステップの可変ゲイン・アンプ (TX DSA) を内蔵しています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ・サイズ (2)
AFE7953	FC-BGA	17mm × 17mm

- 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
- パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



機能ブロック図



目次

1 特長.....	1	6.8 デジタルの電気的特性.....	18
2 アプリケーション.....	1	6.9 電源の電気的特性.....	20
3 概要.....	1	6.10 タイミング要件.....	25
4 概要 (続き).....	3	6.11 スイッチング特性.....	26
5 改訂履歴.....	3	6.12 代表的特性.....	27
6 仕様.....	4	7 デバイスおよびドキュメントのサポート.....	121
6.1 絶対最大定格.....	4	7.1 ドキュメントの更新通知を受け取る方法.....	121
6.2 ESD 定格.....	4	7.2 サポート・リソース.....	121
6.3 推奨動作条件.....	5	7.3 商標.....	121
6.4 熱に関する情報 AFE79xx.....	5	7.4 静電気放電に関する注意事項.....	121
6.5 トランスミッタの電気的特性.....	6	7.5 用語集.....	121
6.6 RF ADC の電気的特性.....	12	8 メカニカル、パッケージ、および注文情報.....	121
6.7 PLL / VCO / クロックの電気的特性.....	16		

4 概要 (続き)

各レシーバ・チェーンは、3GSPS の ADC (A/D コンバータ) に接続された 25dB レンジの DSA (デジタル・ステップ・アッテネータ) を備えています。各レシーバ・チャンネルは、外部または内部の自律的な AGC (自動ゲイン制御) を補助するためのアナログ・ピーク電力検出器とさまざまなデジタル電力検出器、およびデバイスの信頼性を確保するための RF 過負荷検出器を備えています。柔軟なデシメーション・オプションにより信号帯域幅を RX チャンネルごとには最高 400MHz で最適化できます。

5 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	リビジョン	注
July 2023	*	初版

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧範囲	DVDD0P9、VDDT0P9	-0.3	1.2	V
	VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2PLL、 VDD1P2PLLCLKREF、VDD1P2FB、VDD1P2FBCML、 VDD1P2RXCML	-0.3	1.4	V
	VDD1P8RX、VDD1P8RXCLK、VDD1P8TX、VDD1P8TXDAC、 VDD1P8TXENC、VDD1P8PLL、VDD1P8PLLVC0、VDD1P8FB、 VDD1P8FBCCLK、VDD1P8GPIO、VDDA1P8	-0.5	2.1	V
ピン電圧範囲	{1/2}RXIN+/-	-0.5	VDDRX1P8+0.3	V
	{1/2}TXOUT+/-	-0.5	VDDTX1P8+0.3	V
	REFCLK+/-、SYSREF+/-	-0.3	1.4	V
	{1:8}SRX+/-	-0.3	1.4	V
	{1:8}STX+/-	-0.3	1.4	V
	GPIO{B/C/D/E}x、SPICLK、SPISDIO、SPISDO、SPISEN、 $\overline{\text{RESET}}$ 、 BISTB0、BISTB1	-0.5	VDD1P8GPIO + 0.3	V
	IFORCE、VSENSE	-0.3	VDDCLK1P8 + 0.3	V
SRDAMUX1、SRDAMUX2	-0.3	VDDA1P8+0.3	V	
ピーク入力電流	任意の入力		20	mA
T _J	接合部温度		150	°C
T _{stg}	保存温度	-65	150	°C

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

6.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	1000
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン	150

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
DVDD0P9、VDDT0P9	電源電圧 0.9V	0.9	0.925	0.95	V
VDD1P2{RX/TXCLK/TXENC/FB/PLL/ PLLCLKREF/FBCML/RXCML}	電源電圧 1.2V	1.15	1.2	1.25	V
VDD1P8{RX/RXCLK/TX/TXDAC/ TXENC/PLL/PLLVCO/FB/FBCLK/ GPIO}、VDDA1P8	電源電圧 1.8V	1.75	1.8	1.85	V
T _A	周囲温度	-40		85	°C
T _J	動作時の接合部温度			110 ⁽¹⁾	°C
	最大動作接合部温度	125			°C

- (1) この接合部温度以上で長時間使用すると、デバイスの時間あたりの故障回数 (FIT) レートが上昇する可能性があります。詳細については、[SBAA403 アプリケーション・ノート](#)を参照してください

6.4 熱に関する情報 AFE79xx

熱評価基準 ⁽¹⁾		17mm x 17mm FC-BGA	単位
		400 ピン	
R _{θJA}	接合部から周囲への熱抵抗	16.2	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	0.42	°C/W
R _{θJB}	接合部から基板への熱抵抗	4.85	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.12	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	4.6	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

6.5 トランスミッタの電気的特性

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS (6GHz 未満) および 500MSPS (6GHz 超)、 $f_{DAC} = 11796.48\text{MSPS}$ 、PLL クロック・モード (出力周波数 6GHz 未満) および外部クロック・モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ・モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、TX クロック・ディザイネーブル、特に記述のない限り。

パラメータ		テスト条件	最小値	代表値	最大値	単位
DAC _{RES}	DAC 分解能			14		ビット
f _{RFout}	RF 出力周波数範囲	f _{DAC} = 12GSPS、1 次ナイキスト	600		6000	MHz
		f _{DAC} = 12GSPS、2 次ナイキスト	6000		12000	
		f _{DAC} = 9GSPS、1 次ナイキスト	600		4500	
		f _{DAC} = 9GSPS、2 次ナイキスト	4500		9000	
		f _{DAC} = 6GSPS、1 次ナイキスト	600		3000	
		f _{DAC} = 6GSPS、2 次ナイキスト	3000		6000	
P _{max_FS}	デバイス・ピンでの最大フルスケール出力電力、最大ゲインの 1 トーン	f _{OUT} = 850MHz、f _{DAC} = 5898.24MSPS、-0.5dBFS		4.2		dBm
		f _{OUT} = 1800MHz、f _{DAC} = 5898.24MSPS、-0.5dBFS		4.6		dBm
		f _{OUT} = 2600MHz、f _{DAC} = 8847.36MSPS、-0.5dBFS		4.0		dBm
		f _{OUT} = 3500MHz、-0.5dBFS		3.9		dBm
		f _{OUT} = 4900MHz、-0.5dBFS		3.1		dBm
		f _{OUT} = 3500MHz、f _{DAC} = 5898.24MSPS、-0.5dBFS、ストレート・モード		1.0		dBm
		f _{OUT} = 4900MHz、f _{DAC} = 5898.24MSPS、-0.5dBFS、ストレート・モード		0.1		dBm
		f _{OUT} = 4900MHz、f _{DAC} = 8847.36MSPS、-0.5dBFS、ストレート・モード		-0.7		dBm
		f _{OUT} = 8100MHz、-0.1dBFS、混在モード		-2.8		dBm
f _{OUT} = 9600MHz、-0.1dBFS、混在モード		-4.3		dBm		
R _{TERM}	出力の終端抵抗	デフォルト設定		50		Ω
ATT _{range}	DSA 減衰範囲			40		dB
ATT _{step}	DSA アナログ減衰ステップ			1.0		dB
	DSA 減衰ステップ精度 (DNL)	0 < 減衰 < 40dB、キャリブレーション前		±0.2		dB
	DSA 減衰ステップ精度 (DNL)	0 < 減衰 < 40dB、キャリブレーション後		±0.1		dB
ATT _{phase-err}	DSA ゲイン・ステップ位相精度、任意の 8dB レンジ	f _{OUT} = 850MHz ⁽¹⁾		±1		度
		f _{OUT} = 1800MHz ⁽¹⁾		±1		度
		f _{OUT} = 2600MHz ⁽¹⁾		±1		度
		f _{OUT} = 3500MHz ⁽¹⁾		±1		度
		f _{OUT} = 4900MHz ⁽¹⁾		±1		度
		f _{OUT} = 8100MHz ⁽¹⁾		±2		度
		f _{OUT} = 9600MHz ⁽¹⁾		±2		度
G _{flat}	ゲイン平坦性	任意の 20MHz		0.1		dB
		600MHz 帯域帯、F _{out} < 4.9G		1.2		

6.5 トランスミッタの電気的特性 (continued)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS (6GHz 未満) および 500MSPS (6GHz 超)、 $f_{DAC} = 11796.48\text{MSPS}$ 、PLL クロック・モード (出力周波数 6GHz 未満) および外部クロック・モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ・モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、TX クロック・ディザ・イネーブル、特に記述のない限り。

パラメータ	テスト条件	最小値	代表値	最大値	単位
IMD3	3 次相互変調歪み、 $f_{IF} \pm 10\text{MHz}$ で 2 トーン	$f_{OUT} = 850\text{MHz}$ 、各トーン -7dBFS	-66		dBc
		$f_{OUT} = 1800\text{MHz}$ 、各トーン -7dBFS	-63		dBc
		$f_{OUT} = 2600\text{MHz}$ 、各トーン -7dBFS	-62		dBc
		$f_{OUT} = 3500\text{MHz}$ 、各トーン -7dBFS	-61		dBc
		$f_{OUT} = 4900\text{MHz}$ 、各トーン -7dBFS	-57		dBc
		$f_{OUT} = 8100\text{MHz}$ 、各トーン -7dBFS	-55		dBc
		$f_{OUT} = 9600\text{MHz}$ 、各トーン -7dBFS	-52		dBc
		$f_{OUT} = 850\text{MHz}$ 、各トーン -13dBFS	-74.4		dBc
		$f_{OUT} = 1800\text{MHz}$ 、各トーン -13dBFS	-71.1		dBc
		$f_{OUT} = 2600\text{MHz}$ 、各トーン -13dBFS	-73		dBc
		$f_{OUT} = 3500\text{MHz}$ 、各トーン -13dBFS	-72		dBc
		$f_{OUT} = 4900\text{MHz}$ 、各トーン -13dBFS	-67.8		dBc
		$f_{OUT} = 8100\text{MHz}$ 、各トーン -13dBFS	-64		dBc
$f_{OUT} = 9600\text{MHz}$ 、各トーン -13dBFS	-68		dBc		
SFDR	スプリアス・フリー・ダイナミック・レンジ (ナイキスト・ゾーン内)	$f_{OUT} = 850\text{MHz}$	50.8		dBc
		$f_{OUT} = 1800\text{MHz}$	51.9		dBc
		$f_{OUT} = 2600\text{MHz}$	42		dBc
		$f_{OUT} = 3500\text{MHz}$	44		dBc
		$f_{OUT} = 4900\text{MHz}$	46.1		dBc
$f_s/2 - f_{OUT}$	インターリーブ・イメージ	$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブ・モード	-51.9		dBc
		$f_{DAC} = 8847.36\text{MSPS}$ 、インターリーブ・モード	-46.0		dBc
		$f_{DAC} = 11796.48\text{MSPS}$ 、インターリーブ・モード	-41		dBc
HD2	2 次高調波歪み (ナイキスト・ゾーン内)	$f_{OUT} = 850\text{MHz}$	-49		dBc
		$f_{OUT} = 1800\text{MHz}$	-53		dBc
		$f_{OUT} = 2600\text{MHz}$	-50		dBc
		$f_{OUT} = 3500\text{MHz}$	-48		dBc
		$f_{OUT} = 4900\text{MHz}$	-47		dBc
		$f_{OUT} = 8100\text{MHz}$	-50		dBc
		$f_{OUT} = 9600\text{MHz}$	-53		dBc
		$f_{OUT} = 850\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$	-60		dBc
		$f_{OUT} = 1800\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$	-64		dBc
		$f_{OUT} = 2600\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$	-45		dBc
		$f_{OUT} = 3500\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$	-57		dBc
		$f_{OUT} = 4900\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$	-58		dBc
		$f_{OUT} = 8100\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$	-60		dBc
$f_{OUT} = 9600\text{MHz}$ 、 $A_{OUT} = -12\text{dBFS}$	-62		dBc		

6.5 トランスミッタの電気的特性 (continued)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS (6GHz 未満) および 500MSPS (6GHz 超)、 $f_{DAC} = 11796.48\text{MSPS}$ 、PLL クロック・モード (出力周波数 6GHz 未満) および外部クロック・モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ・モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、TX クロック・ディザ・イネーブル、特に記述のない限り。

パラメータ	テスト条件	最小値	代表値	最大値	単位
HD3	3 次高調波歪み (ナイキスト・ゾーン内)	$f_{OUT} = 850\text{MHz}$	-62		dBc
		$f_{OUT} = 1800\text{MHz}$	-55		dBc
		$f_{OUT} = 2600\text{MHz}$	-57		dBc
		$f_{OUT} = 3500\text{MHz}$	-60		dBc
		$f_{OUT} = 4900\text{MHz}$	-54		dBc
		$f_{OUT} = 8100\text{MHz}$	-54		dBc
		$f_{OUT} = 9600\text{MHz}$	-56		dBc
		$f_{OUT} = 850\text{MHz}, A_{OUT} = -12\text{dBFS}$	-80		dBc
		$f_{OUT} = 1800\text{MHz}, A_{OUT} = -12\text{dBFS}$	-79		dBc
		$f_{OUT} = 2600\text{MHz}, A_{OUT} = -12\text{dBFS}$	-77		dBc
		$f_{OUT} = 3500\text{MHz}, A_{OUT} = -12\text{dBFS}$	-77		dBc
		$f_{OUT} = 4900\text{MHz}, A_{OUT} = -12\text{dBFS}$	-78		dBc
		$f_{OUT} = 8100\text{MHz}, A_{OUT} = -12\text{dBFS}$	-82		dBc
$f_{OUT} = 9600\text{MHz}, A_{OUT} = -12\text{dBFS}$	-80		dBc		
HDn, $n \geq 4$	高調波歪み $n \geq 4$ (ナイキスト・ゾーン内)	$f_{OUT} = 850\text{MHz}$	-81		dBc
		$f_{OUT} = 1800\text{MHz}$	-88		dBc
		$f_{OUT} = 2600\text{MHz}$	-86		dBc
		$f_{OUT} = 3500\text{MHz}$	-79		dBc
		$f_{OUT} = 4900\text{MHz}$	-86		dBc
		$f_{OUT} = 8100\text{MHz}$	-87		dBc
		$f_{OUT} = 9600\text{MHz}$	-85		dBc
		$f_{OUT} = 850\text{MHz}, A_{OUT} = -12\text{dBFS}$	-93		dBc
		$f_{OUT} = 1800\text{MHz}, A_{OUT} = -12\text{dBFS}$	-98		dBc
		$f_{OUT} = 2600\text{MHz}, A_{OUT} = -12\text{dBFS}$	-84		dBc
		$f_{OUT} = 3500\text{MHz}, A_{OUT} = -12\text{dBFS}$	-87		dBc
		$f_{OUT} = 4900\text{MHz}, A_{OUT} = -12\text{dBFS}$	-87		dBc
		$f_{OUT} = 8100\text{MHz}, A_{OUT} = -12\text{dBFS}$	-87		dBc
$f_{OUT} = 9600\text{MHz}, A_{OUT} = -12\text{dBFS}$	-87		dBc		
SFDR +/- 250MHz	+/- 250MHz 以内のスプリアス・フリー・ダイナミック・レンジ	$f_{OUT} = 850\text{MHz}$	68.5		dBc
		$f_{OUT} = 1800\text{MHz}$	79.4		dBc
		$f_{OUT} = 2600\text{MHz}$	77		dBc
		$f_{OUT} = 3500\text{MHz}$	75		dBc
		$f_{OUT} = 4900\text{MHz}$	76		dBc
		$f_{OUT} = 8100\text{MHz}$	61		dBc
		$f_{OUT} = 9600\text{MHz}$	64		dBc
$f_s/4$	固定スプリアス	$f_{DAC} = 5898.24\text{MSPS}$	-64		dBFS
		$f_{DAC} = 8847.36\text{MSPS}$	-75		dBFS
		$f_{DAC} = 11796.48\text{MSPS}$	-67		dBFS

6.5 トランスミッタの電気的特性 (continued)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS (6GHz 未満) および 500MSPS (6GHz 超)、 $f_{DAC} = 11796.48\text{MSPS}$ 、PLL クロック・モード (出力周波数 6GHz 未満) および外部クロック・モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ・モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、TX クロック・ディザ・イネーブル、特に記述のない限り。

パラメータ		テスト条件	最小値	代表値	最大値	単位
$f_s/2$	固定スプリアス	$f_{DAC} = 5898.24\text{MSPS}$		-49		dBFS
		$f_{DAC} = 8847.36\text{MSPS}$		-48		dBFS
		$f_{DAC} = 11796.48\text{MSPS}$		-48		dBFS
$3*f_s/4$	固定スプリアス	2 次ナイキスト、 $f_{DAC} = 5898.24\text{MSPS}$		-76		dBFS
		2 次ナイキスト、 $f_{DAC} = 8847.36\text{MSPS}$		-89		dBFS
		2 次ナイキスト、 $f_{DAC} = 11796.48\text{MSPS}$		-63		dBFS
ACPR _{1xcarr}	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア $f_{OUT} = 0.85\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-68.5		dBc
		減衰 = 20dB、Pout = -13dBFS		-67.2		dBc
		減衰 = 28dB、Pout = -13dBFS		-64.5		dBc
		減衰 = 39dB、Pout = -13dBFS		-53.9		dBc
ACPR _{1xcarr}	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア $f_{OUT} = 1.8425\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-70.7		dBc
		減衰 = 20dB、Pout = -13dBFS		-68.3		dBc
		減衰 = 28dB、Pout = -13dBFS		-62.9		dBc
		減衰 = 39dB、Pout = -13dBFS		-52.0		dBc
ACPR _{1xcarr}	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア $f_{OUT} = 2.6\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-71		dBc
		減衰 = 20dB、Pout = -13dBFS		-68		dBc
		減衰 = 28dB、Pout = -13dBFS		-62		dBc
		減衰 = 39dB、Pout = -13dBFS		-51.3		dBc
ACPR _{1xcarr}	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア $f_{OUT} = 3.5\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-70		dBc
		減衰 = 20dB、Pout = -13dBFS		-67		dBc
		減衰 = 28dB、Pout = -13dBFS		-60		dBc
		減衰 = 39dB、Pout = -13dBFS		-49.8		dBc
ACPR _{1xcarr}	ACPR - 1 キャリア、LTE 20MHz E-TM1.1 キャリア $f_{OUT} = 4.9\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-68.8		dBc
		減衰 = 20dB、Pout = -13dBFS		-65.9		dBc
		減衰 = 28dB、Pout = -13dBFS		-60.6		dBc
		減衰 = 39dB、Pout = -13dBFS		-49.5		dBc
ACPR _{1xcarr}	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア $f_{OUT} = 2.6\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-65		dBc
		減衰 = 20dB、Pout = -13dBFS		-62		dBc
		減衰 = 20dB、Pout = -13dBFS		-55		dBc
		減衰 = 39dB、Pout = -13dBFS		-44.3		dBc
ACPR _{1xcarr}	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア $f_{OUT} = 3.5\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-64		dBc
		減衰 = 20dB、Pout = -13dBFS		-59		dBc
		減衰 = 28dB、Pout = -13dBFS		-52		dBc
		減衰 = 39dB、Pout = -13dBFS		-41.1		dBc
ACPR _{1xcarr}	ACPR - 1 キャリア、NR 100MHz E-TM1.1 キャリア $f_{OUT} = 4.9\text{GHz}$	減衰 = 0dB、Pout = -13dBFS		-64.1		dBc
		減衰 = 20dB、Pout = -13dBFS		-60.4		dBc
		減衰 = 28dB、Pout = -13dBFS		-53.5		dBc
		減衰 = 39dB、Pout = -13dBFS		-42.5		dBc

6.5 トランスミッタの電気的特性 (continued)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS (6GHz 未満) および 500MSPS (6GHz 超)、 $f_{DAC} = 11796.48\text{MSPS}$ 、PLL クロック・モード (出力周波数 6GHz 未満) および外部クロック・モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ・モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、TX クロック・ディザイネーブル、特に記述のない限り。

パラメータ		テスト条件	最小値	代表値	最大値	単位
ACPR _{1xcarr}	ACPR - 1 キャリア, NR 100MHz E-TM1.1 キャリア $f_{OUT} = 8.1\text{GHz}$	減衰 = 0dB, Pout = -13dBFS		-58		dBc
		減衰 = 20dB, Pout = -13dBFS		-53		dBc
		減衰 = 28dB, Pout = -13dBFS		-46		dBc
		減衰 = 39dB, Pout = -13dBFS		-36		dBc
ACPR _{1xcarr}	ACPR - 1 キャリア, NR 100MHz E-TM1.1 キャリア $f_{OUT} = 9.6\text{GHz}$	減衰 = 0dB, Pout = -13dBFS		-57		dBc
		減衰 = 20dB, Pout = -13dBFS		-50		dBc
		減衰 = 28dB, Pout = -13dBFS		-42		dBc
		減衰 = 39dB, Pout = -13dBFS		-31		dBc
EVM	エラー・ベクトル振幅, 1x 20MHz E-TM3.1/3.1a, リファレンスなし, クロック・ノイズ	$F_{OUT} = 0.85\text{GHz}$, $P_{OUT} = -13\text{dBFS}$		0.2		%
		$F_{OUT} = 1.8425\text{GHz}$, $P_{OUT} = -13\text{dBFS}$		0.3		%
		$F_{OUT} = 2.6\text{GHz}$, $P_{OUT} = -13\text{dBFS}$		0.28		%
		$F_{OUT} = 3.5\text{GHz}$, $P_{OUT} = -13\text{dBFS}$		0.38		%
		$F_{OUT} = 4.9\text{GHz}$, $P_{OUT} = -13\text{dBFS}$		0.4		%
NSD _{dBFS}	ノイズ・スペクトル密度 20MHz オフセット $f_{OUT} = 0.85\text{GHz}$	減衰 = 0dB, $f_{DAC} = 5898.24\text{MSPS}$, Pout = -13dBFS		-157.6		dBFS/Hz
		減衰 = 20dB, $f_{DAC} = 5898.24\text{MSPS}$, Pout = -13dBFS		-153.3		dBFS/Hz
		減衰 = 28dB, $f_{DAC} = 5898.24\text{MSPS}$, Pout = -13dBFS		-147.9		dBFS/Hz
		減衰 = 39dB, $f_{DAC} = 5898.24\text{MSPS}$, Pout = -13dBFS		-136.9		dBFS/Hz
NSD _{dBFS}	ノイズ・スペクトル密度 20MHz オフセット $f_{OUT} = 1.8\text{GHz}$	減衰 = 0dB, $f_{DAC} = 5898.24\text{MSPS}$, Pout = -13dBFS		-158.4		dBFS/Hz
		減衰 = 20dB, $f_{DAC} = 5898.24\text{MSPS}$, Pout = -13dBFS		-152.2		dBFS/Hz
		減衰 = 28dB, $f_{DAC} = 5898.24\text{MSPS}$, Pout = -13dBFS		-145.6		dBFS/Hz
		減衰 = 39dB, $f_{DAC} = 5898.24\text{MSPS}$, Pout = -13dBFS		-134.6		dBFS/Hz
NSD _{dBFS}	ノイズ・スペクトル密度 20MHz オフセット $f_{OUT} = 2.6\text{GHz}$	減衰 = 0dB, $f_{DAC} = 8847.36\text{MSPS}$, Pout = -13dBFS		-157		dBFS/Hz
		減衰 = 20dB, $f_{DAC} = 8847.36\text{MSPS}$, Pout = -13dBFS		-151		dBFS/Hz
		減衰 = 28dB, $f_{DAC} = 8847.36\text{MSPS}$, Pout = -13dBFS		-144		dBFS/Hz
		減衰 = 39dB, $f_{DAC} = 8847.36\text{MSPS}$, Pout = -13dBFS		-133.0		dBFS/Hz
NSD _{dBFS}	ノイズ・スペクトル密度 20MHz オフセット $F_{OUT} = 3.5\text{GHz}$	減衰 = 0dB, Pout = -13dBFS		-158		dBFS/Hz
		減衰 = 20dB, Pout = -13dBFS		-150		dBFS/Hz
		減衰 = 28dB, Pout = -13dBFS		-143		dBFS/Hz
		減衰 = 39dB, Pout = -13dBFS		-131.8		dBFS/Hz

6.5 トランスミッタの電気的特性 (continued)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS (6GHz 未満) および 500MSPS (6GHz 超)、 $f_{DAC} = 11796.48\text{MSPS}$ 、PLL クロック・モード (出力周波数 6GHz 未満) および外部クロック・モード (出力周波数 6GHz 超)、1 次ナイキストではインターリーブ・モード、2 次ナイキストでは非インターリーブ混在モード、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 16.22Gbps、TX クロック・ディザ・イネーブル、特に記述のない限り。

パラメータ		テスト条件	最小値	代表値	最大値	単位
NSD _{dBFS}	ノイズ・スペクトル密度 20MHz オフセット $F_{OUT} = 4.9\text{GHz}$	減衰 = 0dB, Pout = -13dBFS		-155.5		dBFS/ Hz
		減衰 = 20dB, Pout = -13dBFS		-147.8		dBFS/ Hz
		減衰 = 28dB, Pout = -13dBFS		-140.8		dBFS/ Hz
		減衰 = 39dB, Pout = -13dBFS		-129.6		dBFS/ Hz
NSD _{dBFS}	ノイズ・スペクトル密度 50MHz オフセット $F_{OUT} = 8.1\text{GHz}$	減衰 = 0dB, Pout = -13dBFS		-153		dBFS/ Hz
		減衰 = 20dB, Pout = -13dBFS		-147		dBFS/ Hz
		減衰 = 28dB, Pout = -13dBFS		-140		dBFS/ Hz
		減衰 = 39dB, Pout = -13dBFS		-129		dBFS/ Hz
NSD _{dBFS}	ノイズ・スペクトル密度 50MHz オフセット $F_{OUT} = 9.6\text{GHz}$	減衰 = 0dB, Pout = -13dBFS		-152		dBFS/ Hz
		減衰 = 20dB, Pout = -13dBFS		-147		dBFS/ Hz
		減衰 = 28dB, Pout = -13dBFS		-140		dBFS/ Hz
		減衰 = 39dB, Pout = -13dBFS		-129		dBFS/ Hz
S22	出力リターン・ロス、< 6GHz、 $\pm fc * 10\%$	マッチングを使用		-17		dB
	出力リターン・ロス、> 8GHz、 $\pm fc * 10\%$	マッチングを使用		-10		dB
PN _{TXADD}	追加の位相ノイズの外部クロック・モード (2)	$f_{OUT} = 9.6\text{GHz}$, $f_{OFFSET} = 100\text{Hz}$		-88		dBc/Hz
		$f_{OUT} = 9.6\text{GHz}$, $f_{OFFSET} = 1\text{kHz}$		-102		dBc/Hz
		$f_{OUT} = 9.6\text{GHz}$, $f_{OFFSET} = 10\text{kHz}$		-110		dBc/Hz
		$f_{OUT} = 9.6\text{GHz}$, $f_{OFFSET} = 100\text{kHz}$		-123		dBc/Hz
		$f_{OUT} = 9.6\text{GHz}$, $f_{OFFSET} = 1\text{MHz}$		-136		dBc/Hz
		$f_{OUT} = 9.6\text{GHz}$, $f_{OFFSET} = 10\text{MHz}$		-143		dBc/Hz
		$f_{OUT} = 9.6\text{GHz}$, $f_{OFFSET} = 100\text{MHz}$		-146		dBc/Hz

- (1) DSA キャリブレーション手順の後
(2) シングル・サイド・バンド、入力クロック位相ノイズ軽減。

6.6 RF ADC の電気的特性

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 500MSPS (入力周波数 6GHz 超)、 $f_{ADC} = 2949.12\text{MSPS}$ 、PLL クロック・モードは $f_{REF} = 491.52\text{MHz}$ (入力周波数 6GHz 未満)、外部クロック・モードは $f_{CLK} = 11796.48\text{MHz}$ (入力周波数 6GHz 超)、公称電源、DSA 設定 = 4dB (6GHz 未満) および 3dB (6GHz 超)、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	代表値	最大値	単位
ADC _{RES}	ADC の分解能			14		ビット
F _{RFIn}	RF 入力周波数範囲		600		12000	MHz
P _{FS_CW,min}	デバイス・ピンでの最小フルスケール入力電力 (1)	$f_{IN} = 830\text{MHz}$, DSA = 0dB		-2.9		dBm
		$f_{IN} = 1760\text{MHz}$, DSA = 0dB		-2.8		dBm
		$f_{IN} = 2610\text{MHz}$, DSA = 0dB		-1.8		dBm
		$f_{IN} = 3610\text{MHz}$, DSA = 0dB		-0.4		dBm
		$f_{IN} = 4910\text{MHz}$, DSA = 0dB		0.1		dBm
		$f_{IN} = 8150\text{MHz}$, DSA = 0dB		2.1		dBm
		$f_{IN} = 9610\text{MHz}$, DSA = 0dB		4.3		dBm
P _{FS_CW,MAX}	デバイス・ピンでの最大フルスケール入力電力 - 信頼性は限定的	$f_{IN} = 830\text{MHz}$, DSA = 20dB		16.7		dBm
		$f_{IN} = 1760\text{MHz}$, DSA = 20dB		17.0		dBm
		$f_{IN} = 2610\text{MHz}$, DSA = 20dB		18		dBm
		$f_{IN} = 3610\text{MHz}$, DSA = 20dB		18.5		dBm
		$f_{IN} = 4910\text{MHz}$, DSA = 20dB		19.3		dBm
		$f_{IN} = 8150\text{MHz}$, DSA = 20dB		21.3		dBm
		$f_{IN} = 9610\text{MHz}$, DSA = 20dB		23.5		dBm
S11	入力のリターン・ロス	マッチング・ネットワークを使用		-12.0		dB
ATT _{range}	DSA 減衰範囲			25.0		dB
ATT _{step}	DSA 減衰ステップ			0.5		dB
	DSA 減衰ステップ精度	デルタ = $G_{att}(X) - G_{att}(X - 1)$, $F_{in} = 3610\text{MHz}$, キャリブレーション後		±0.1		dB
	DSA ゲイン・ステップ位相精度 任意の 8dB レンジ	$F_{in} = 3610\text{MHz}$, キャリブレーション後		±0.9		度
	DSA ゲイン・ステップ位相精度 任意の 8dB レンジ	$F_{in} = 4910\text{MHz}$, キャリブレーション後		±1.8		度
NSD	ノイズ密度 (小信号)	$f_{IN} = 830\text{MHz}$, DSA = 3dB (3)		-155.2		dBFS/Hz
		$f_{IN} = 1760\text{MHz}$, DSA = 3dB (3)		-155.0		dBFS/Hz
		$f_{IN} = 2610\text{MHz}$, DSA = 3dB (3)		-154.4		dBFS/Hz
		$f_{IN} = 3610\text{MHz}$, DSA = 3dB (3)		-154.1		dBFS/Hz
		$f_{IN} = 4910\text{MHz}$, DSA = 3dB (3)		-155.1		dBFS/Hz
		$f_{IN} = 8150\text{MHz}$, DSA = 3dB (3)		-150		dBFS/Hz
		$f_{IN} = 9610\text{MHz}$, DSA = 3dB (3)		-151		dBFS/Hz
		$f_{IN} = 830\text{MHz}$, 3≤減衰≤22		-156.0		dBFS/Hz
		$f_{IN} = 1760\text{MHz}$, 3≤減衰≤25		-155.8		dBFS/Hz
		$f_{IN} = 2610\text{MHz}$, 3≤減衰≤25		-155.7		dBFS/Hz
		$f_{IN} = 3610\text{MHz}$, 3≤減衰≤25		-155.4		dBFS/Hz
		$f_{IN} = 4910\text{MHz}$, 3≤減衰≤25		-155.8		dBFS/Hz
		$f_{IN} = 8150\text{MHz}$, 3≤減衰≤25		-152.5		dBFS/Hz
		$f_{IN} = 9610\text{MHz}$, 3≤減衰≤25		-152.5		dBFS/Hz

6.6 RF ADC の電気的特性 (continued)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 500MSPS (入力周波数 6GHz 超)、 $f_{ADC} = 2949.12\text{MSPS}$ 、PLL クロック・モードは $f_{REF} = 491.52\text{MHz}$ (入力周波数 6GHz 未満)、外部クロック・モードは $f_{CLK} = 11796.48\text{MHz}$ (入力周波数 6GHz 超)、公称電源、DSA 設定 = 4dB (6GHz 未満) および 3dB (6GHz 超)、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ	テスト条件	最小値	代表値	最大値	単位
NF _{min}	ノイズ指数最小値 DSA 減衰 = 0~3dB	$f_{IN} = 830\text{MHz}$	19.1		dB
		$f_{IN} = 1760\text{MHz}$	19.0		dB
		$f_{IN} = 2610\text{MHz}$	20.9		dB
		$f_{IN} = 3610\text{MHz}$	22.8		dB
		$f_{IN} = 4910\text{MHz}$	22.4		dB
		$f_{IN} = 8150\text{MHz}$	27.3		dB
		$f_{IN} = 9610\text{MHz}$	30		dB
NF	ノイズ指数 DSA 減衰 = 4dB	$f_{IN} = 830\text{MHz}$ (4)	20.0		dB
		$f_{IN} = 1760\text{MHz}$ (4)	20.6		dB
		$f_{IN} = 2610\text{MHz}$ (4)	21.9		dB
		$f_{IN} = 3610\text{MHz}$ (4)	23.5		dB
		$f_{IN} = 4910\text{MHz}$ (4)	22.3		dB
		$f_{IN} = 8150\text{MHz}$ (4)	27.9		dB
		$f_{IN} = 9610\text{MHz}$ (4)	30.7		dB
NF _{max}	ノイズ指数 DSA 減衰 = 20dB	$f_{IN} = 830\text{MHz}$	34.7		dB
		$f_{IN} = 1760\text{MHz}$	35.2		dB
		$f_{IN} = 2610\text{MHz}$	36.0		dB
		$f_{IN} = 3610\text{MHz}$	37.3		dB
		$f_{IN} = 4910\text{MHz}$	37.6		dB
		$f_{IN} = 8150\text{MHz}$	42.8		dB
		$f_{IN} = 9610\text{MHz}$	45		dB
IMD3	3 次相互変調、 $f_{IN} \pm 10\text{MHz}$ で 2 トーン 各トーン -7dBFS	$f_{IN} = 840\text{MHz}$ 、 $3 \leq \text{減衰} \leq 12$	-82.4		dBc
		$f_{IN} = 1770\text{MHz}$ 、 $3 \leq \text{減衰} \leq 12$	-84.1		dBc
		$f_{IN} = 2610\text{MHz}$ 、 $3 \leq \text{減衰} \leq 12$	-74		dBc
		$f_{IN} = 3610\text{MHz}$ 、 $3 \leq \text{減衰} \leq 12$	-77		dBc
		$f_{IN} = 4920\text{MHz}$ 、 $3 \leq \text{減衰} \leq 12$	-75.9		dBc
		$f_{IN} = 8150\text{MHz}$ 、 $3 \leq \text{減衰} \leq 12$ 、25MHz の トーン間隔	-55		dBc
		$f_{IN} = 9610\text{MHz}$ 、 $3 \leq \text{減衰} \leq 12$ 、25MHz の トーン間隔	-60		dBc
SFDR	スプリアス・フリー・ダイナミック・レンジ 出力帯域幅内、 $A_{IN} = -3\text{dBFS}$	$f_{IN} = 830\text{MHz}$	88.2		dBFS
		$f_{IN} = 1760\text{MHz}$	80.6		dBFS
		$f_{IN} = 2610\text{MHz}$	88		dBFS
		$f_{IN} = 3610\text{MHz}$	84		dBFS
		$f_{IN} = 4910\text{MHz}$	78.9		dBFS
		$f_{IN} = 8150\text{MHz}$	78		dBFS
		$f_{IN} = 9610\text{MHz}$	71		dBFS

6.6 RF ADC の電気的特性 (continued)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 500MSPS (入力周波数 6GHz 超)、 $f_{ADC} = 2949.12\text{MSPS}$ 、PLL クロック・モードは $f_{REF} = 491.52\text{MHz}$ (入力周波数 6GHz 未満)、外部クロック・モードは $f_{CLK} = 11796.48\text{MHz}$ (入力周波数 6GHz 超)、公称電源、DSA 設定 = 4dB (6GHz 未満) および 3dB (6GHz 超)、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	代表値	最大値	単位
HD2	2 次高調波歪み $A_{IN} = -3\text{dBFS}$ (2) (5)	$f_{IN} = 830\text{MHz}$		-85.5		dBFS
		$f_{IN} = 1760\text{MHz}$		-90.5		dBFS
		$f_{IN} = 2610\text{MHz}$		-88		dBFS
		$f_{IN} = 3610\text{MHz}$		-87		dBFS
		$f_{IN} = 4910\text{MHz}$		-84.2		dBFS
		$f_{IN} = 8150\text{MHz}$		-70		dBFS
		$f_{IN} = 9610\text{MHz}$		-70		dBFS
HD3	3 次高調波歪み $A_{IN} = -3\text{dBFS}$ (5)	$f_{IN} = 830\text{MHz}$		-80.2		dBFS
		$f_{IN} = 1760\text{MHz}$		-85.3		dBFS
		$f_{IN} = 2610\text{MHz}$		-86		dBFS
		$f_{IN} = 3610\text{MHz}$		-78		dBFS
		$f_{IN} = 4910\text{MHz}$		-75.4		dBFS
		$f_{IN} = 8150\text{MHz}$		-70		dBFS
		$f_{IN} = 9610\text{MHz}$		-70		dBFS
HDn, n > 3	HD2 と HD3 を除く SFDR $A_{IN} = -3\text{dBFS}$ (5)	$f_{IN} = 830\text{MHz}$		-88.2		dBFS
		$f_{IN} = 1760\text{MHz}$		-80.6		dBFS
		$f_{IN} = 2610\text{MHz}$		-88		dBFS
		$f_{IN} = 3610\text{MHz}$		-84		dBFS
		$f_{IN} = 4910\text{MHz}$		-81.7		dBFS
		$f_{IN} = 8150\text{MHz}$		-78		dBFS
		$f_{IN} = 9610\text{MHz}$		-71		dBFS
SFDR	スプリアス・フリー・ダイナミック・レンジ $A_{IN} = -13\text{dBFS}$ $0 \leq \text{減衰} \leq 16$	$f_{IN} = 830\text{MHz}$		89.2		dBFS
		$f_{IN} = 1760\text{MHz}$		88.8		dBFS
		$f_{IN} = 2610\text{MHz}$		95		dBFS
		$f_{IN} = 3610\text{MHz}$		90		dBFS
		$f_{IN} = 4910\text{MHz}$		89.8		dBFS
		$f_{IN} = 8150\text{MHz}$		83		dBFS
		$f_{IN} = 9610\text{MHz}$		80		dBFS
HD2	2 次高調波歪み $A_{IN} = -13\text{dBFS}$ $0 \leq \text{減衰} \leq 16$ (5)	$f_{IN} = 830\text{MHz}$ 、基板トリムを使用		-79.0		dBFS
		$f_{IN} = 1760\text{MHz}$ 、基板トリムを使用		-101.6		dBFS
		$f_{IN} = 2610\text{MHz}$ 、基板トリムを使用		-100		dBFS
		$f_{IN} = 3610\text{MHz}$ 、基板トリムを使用		-101		dBFS
		$f_{IN} = 4910\text{MHz}$ 、基板トリムを使用		-99.1		dBFS
		$f_{IN} = 8150\text{MHz}$ 、基板トリムを使用		-107		dBFS
		$f_{IN} = 9610\text{MHz}$ 、基板トリムを使用		-107		dBFS

6.6 RF ADC の電気的特性 (continued)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、RX 出力レート = 491.52MSPS (入力周波数 6GHz 未満) および 500MSPS (入力周波数 6GHz 超)、 $f_{ADC} = 2949.12\text{MSPS}$ 、PLL クロック・モードは $f_{REF} = 491.52\text{MHz}$ (入力周波数 6GHz 未満)、外部クロック・モードは $f_{CLK} = 11796.48\text{MHz}$ (入力周波数 6GHz 超)、公称電源、DSA 設定 = 4dB (6GHz 未満) および 3dB (6GHz 超)、SerDes レート = 24.33Gbps、特に記述のない限り。

パラメータ		テスト条件	最小値	代表値	最大値	単位
HD3	3 次高調波歪み $A_{IN} = -13\text{dBFS}$ $0 \leq \text{減衰} \leq 16$ (5)	$f_{IN} = 830\text{MHz}$		-95.4		dBFS
		$f_{IN} = 1760\text{MHz}$		-95.2		dBFS
		$f_{IN} = 2610\text{MHz}$		-98		dBFS
		$f_{IN} = 3610\text{MHz}$		-97		dBFS
		$f_{IN} = 4910\text{MHz}$		-94		dBFS
		$f_{IN} = 8150\text{MHz}$		-100		dBFS
		$f_{IN} = 9610\text{MHz}$		-102		dBFS
HDn, $n > 3$	HD2 と HD3 を除く SFDR $A_{IN} = -13\text{dBFS}$ $0 \leq \text{減衰} \leq 16$ (5)	$f_{IN} = 830\text{MHz}$		-89.2		dBFS
		$f_{IN} = 1760\text{MHz}$		-88.8		dBFS
		$f_{IN} = 2610\text{MHz}$		-95		dBFS
		$f_{IN} = 3610\text{MHz}$		-90		dBFS
		$f_{IN} = 4910\text{MHz}$		-90		dBFS
		$f_{IN} = 8150\text{MHz}$		-83		dBFS
		$f_{IN} = 9610\text{MHz}$		-80		dBFS

- (1) DSA にデジタル・ゲイン範囲を追加して DSA の有効範囲を拡張することで、最小減衰でのフルスケール入力を低減できます。デジタル・ゲイン範囲全体にわたってノイズ指数は一定に保たれます。
- (2) HD2 の NLE 補正
- (3) DSA = 3dB ~ 0dB まで、NSD は DSA 1dB あたり 1dB 上昇
- (4) DSA = 3dB 超では、NF は DSA 1dB あたり 1dB 上昇
- (5) DDC バイパス (テキサス・インスツルメンツ専用テスト・モード)

6.7 PLL / VCO / クロックの電気的特性

TA = +25°Cでの代表値、全動作温度範囲は T_{A,MIN} = -40°C ~ T_{J,MAX} = +110°C、リファレンス・クロック入力周波数 491.52MHz (特に記述のない限り)、f_{DAC} = f_{VCO}、f_{OUT} = f_{DAC}/4、f_{VCO} に正規化

パラメータ		テスト条件	最小値	代表値	最大値	単位
f _{VCO1}	VCO1 の最小周波数				7.2	GHz
	VCO1 の最大周波数		7.68			GHz
f _{VCO2}	VCO2 の最小周波数				8.8	GHz
	VCO2 の最大周波数		9.1			GHz
f _{VCO3}	VCO3 の最小周波数				9.7	GHz
	VCO3 の最大周波数		10.24			GHz
f _{VCO4}	VCO4 の最小周波数				11.6	GHz
	VCO4 の最大周波数		12.08			GHz
DIV _{DAC}	DAC サンプル・レート分周器			1、2、または 3		
DIV _{FBAD C}	DAC サンプル・レートからの ADC サンプル・レート分周器			1、2、3、 4、6、または 8		
DIV _{RXAD C}	ADC サンプル・レート分周器			1、2、3、 4、6、または 8		
PN _{VCO}	閉ループ位相ノイズ (F _{PLL} = 11.79848GHz、F _{REF} = 491.52MHz)	600kHz		-113		dBc/Hz
		800kHz		-116		dBc/Hz
		1MHz		-119		dBc/Hz
		1.8MHz		-125		dBc/Hz
		5MHz		-133		dBc/Hz
		50MHz		-141		dBc/Hz
	閉ループ位相ノイズ (F _{PLL} = 8.84736GHz、F _{REF} = 491.52MHz)	600kHz		-114		dBc/Hz
		800kHz		-118		dBc/Hz
		1MHz		-120		dBc/Hz
		1.8MHz		-127		dBc/Hz
		5MHz		-135		dBc/Hz
		50MHz		-142		dBc/Hz
	閉ループ位相ノイズ (F _{PLL} = 9.8403GHz、F _{REF} = 491.52MHz)	600kHz		-113		dBc/Hz
		800kHz		-116		dBc/Hz
		1MHz		-119		dBc/Hz
		1.8MHz		-125		dBc/Hz
		5MHz		-134		dBc/Hz
		50MHz		-140		dBc/Hz
	閉ループ位相ノイズ (F _{PLL} = 7.86432GHz、F _{REF} = 491.52MHz)	600kHz		-116		dBc/Hz
		800kHz		-119		dBc/Hz
1MHz			-122		dBc/Hz	
1.8MHz			-127		dBc/Hz	
5MHz			-136		dBc/Hz	
50MHz			-143		dBc/Hz	
F _{rms}	クロック PLL 積分位相誤差 ⁽¹⁾	f _{PLL} = 11.79848GHz、[1kHz、100MHz]		-43.4		dBc/Hz
		f _{PLL} = 8.8536GHz、[1kHz、100MHz]		-47.6		dBc/Hz
		f _{PLL} = 9.8304GHz、[1kHz、100MHz]		-46.2		dBc/Hz

6.7 PLL / VCO / クロックの電気的特性 (continued)

TA = +25°Cでの代表値、全動作温度範囲は T_{A,MIN} = -40°C ~ T_{J,MAX} = +110°C、リファレンス・クロック入力周波数 491.52MHz (特に記述のない限り)、f_{DAC} = f_{VCO}、f_{OUT} = f_{DAC}/4、f_{VCO} に正規化

パラメータ		テスト条件	最小値	代表値	最大値	単位
f _{PFD}	PFD 周波数		100		500	MHz
PN _{pll_flat}	正規化された PLL フラット・ノイズ	f _{VCO} = 11796.48MHz		-226.5		dBc/Hz
F _{REF}	入力クロック周波数		0.1		12	GHz
V _{SS}	入力クロック・レベル		0.6		1.8	Vppdiff
結合				AC 結合のみ		
	REFCLK 入力インピーダンス (2)	並列抵抗		100		Ω
		並列容量		0.5		pF

- (1) シングル・サイドバンド。リファレンス・クロックの影響は含まれません
(2) インピーダンスと周波数との関係については、テキサス・インスツルメンツが提供している S11 データを参照してください

6.8 デジタルの電気的特性

TA = +25°Cでの代表値、全動作温度範囲は T_{A,MIN} = -40°C ~ T_{J,MAX} = +110°C (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
CML SerDes 入力 [8:1]SRX+/-						
V _{SRDIFF}	SerDes レシーバ入力振幅	差動	100		1200	mVpp
V _{SRCOM}	SerDes 入力コモン・モード		0.4	0.5	0.6	V
Z _{SRdiff}	SerDes 内部差動終端 (1)			100		Ω
F _{SerDes}	SerDes ビット・レート	フル・レート・モード	19		29.5	Gbps
		ハーフ・レート・モード	9.5		16.25	Gbps
		クォーター・レート・モード	4.75		8.125	Gbps
	挿入損失許容 (2)	SerDes 電源 = 1.8V		25		dB
T _J	総ジッタ許容				0.42	UI
CML SerDes 出力 [8:1]STX+/-						
V _{STDIFF}	SerDes トランスミッタ出力振幅	差動	500		1000	mVpp
V _{STCOM}	SerDes 出力コモン・モード		0.4	0.45	0.55	V
Z _{STdiff}	SerDes 出力インピーダンス			100		Ω
TRF	出力の立ち上がりおよび立ち下がり時間	20~80%	8			ps
TEQS	イコライゼーション範囲				7	dB
TTJ	出力の総ジッタ				0.21	UI
CMOS I/O: GPIO{B/C/D/E}x, SPICLK, SPISDIO, SPISDO, SPISEN, RESETZ, BISTB0, BISTB1						
V _{IH}	High レベル入力電圧		0.6×VDD1 P8GPIO			V
V _{IL}	Low レベル入力電圧				0.4×VDD1 P8GPIO	V
I _{IH}	High レベル入力電流		-250		250	μA
I _{IL}	Low レベル入力電流		-250		250	μA
C _L	CMOS 入力容量			2		pF
V _{OH}	High レベル出力電圧		VDD1P8G PIO - 0.2			V
V _{OL}	Low レベル出力電圧				0.2	V
差動入力: SYSREF+/- モード A						
Clock _{MODE}				PLL クロ ック・モー ドのみ		
F _{SYSREFMAX}	SYSREF 入力周波数最大値			40		MHz
V _{SWINGSRMAX}	SYSREF 入力スイング最大値			1.8		Vppdiff(3)
V _{SWINGSRMIN}	SYSREF 入力スイング最小値	f _{REF} < 500MHz		0.3		Vppdiff(3)
V _{SWINGSRMIN}	SYSREF 入力スイング最小値	f _{REF} > 500MHz		0.6		Vppdiff(3)
V _{COMSRMAX}	SYSREF 入力コモン・モード電圧最大値			0.8		V
V _{COMSRMIN}	SYSREF 入力コモン・モード電圧最小値			0.6		V
Z _T	入力の終端	差動		100 (1)		Ω
C _L	入力容量	各ピンから GND		0.5		pF
LVDS 入力: 0SYNCIN+/- および 1SYNCIN+/-						
V _{ICOM}	入力コモン・モード電圧			1.2		V
V _{ID}	差動入力電圧スイング			450		Vppdiff(3)
Z _T	入力の終端	差動		100		Ω

6.8 デジタルの電気的特性 (continued)

TA = +25°Cでの代表値、全動作温度範囲は T_{A,MIN} = -40°C ~ T_{J,MAX} = +110°C (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
LVDS 出力: 0SYNCOUT+/- および 1SYNCOUT+/-						
V _{OCOM}	出力コモン・モード電圧			1.2		V
V _{OD}	差動出力電圧スイング			500		V _{ppdiff} ⁽³⁾
Z _T	内部終端			100		Ω

- (1) SYSREF 終端は 100Ω、150Ω、300Ω の間で設定可能です。
- (2) 損失許容はパンプ間の STX から SRX です。
- (3) V_{ppdiff} は最大差動電圧 (正の値) と最小差動電圧 (負の値) の差です。

6.9 電源の電気的特性

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、TX ストレート・モード、特に記述のない限り。

パラメータ		テスト条件	最小値	代表値	最大値	単位
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 1a: 2T2R - TDD、50%/50% デューティ・サイクル TX: 125MSPS 入力、24x Int、 $f_{DAC} = 3\text{GSPS}$ RX: $f_{ADC} = 1.5\text{GSPS}$ 、12x Dec、125MSPS 出力 $f_{OUT} = f_{IN} = 1\text{GHz}$ SerDes: 8b/10b、10Gbps TX/RX LMFS: 1-4-8-1	345			mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		286			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLCO		69			mA
I_{VDD1P2}	グループ 2: VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF		488			mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9		599			mA
P_{diss}	消費電力		2399			mW
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 1b: 2T2R - TX アクティブ、RX スタンバイ、 TX: 125MSPS 入力、24x Int、 $f_{DAC} = 3\text{GSPS}$ RX: $f_{ADC} = 1.5\text{GSPS}$ 、12x Dec、125MSPS 出力 $f_{OUT} = f_{IN} = 1\text{GHz}$ SerDes: 8b/10b、10Gbps TX/RX LMFS: 1-4-8-1	349			mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		270			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLCO		69			mA
I_{VDD1P2}	グループ 2: VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF		531			mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9		583			mA
P_{diss}	消費電力		2414			mW
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 1c: 2T2R - RX アクティブ、TX スタンバイ TX: 125MSPS 入力、24x Int、 $f_{DAC} = 3\text{GSPS}$ RX: $f_{ADC} = 1.5\text{GSPS}$ 、12x Dec、125MSPS 出力 $f_{OUT} = f_{IN} = 1\text{GHz}$ SerDes: 8b/10b、10Gbps TX/RX LMFS: 1-4-8-1	341			mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		302			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLCO		69			mA
I_{VDD1P2}	グループ 2: VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF		446			mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9		616			mA
P_{diss}	消費電力		2384			mW

6.9 電源の電気的特性 (continued)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、TX ストレート・モード、特に記述のない限り。

パラメータ		テスト条件	最小値	代表値	最大値	単位
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 2: 2T2R - FDD TX: 125MSPS 入力、24x Int, $f_{DAC} = 3\text{GSPS}$ RX: $f_{ADC} = 1.5\text{GSPS}$ 、12x Dec、125MSPS 出力 $f_{OUT} = 1\text{GHz}$ 、 $f_{IN} = 1\text{GHz}$ SerDes: 8B/10b、10Gbps TX/RX LMFS: 1-4-8-1	600			mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		323			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0		69			mA
I_{VDD1P2}	グループ 2: VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF		703			mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9		805			mA
P_{diss}	消費電力		3374			mW
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 3a: 2T2R - TDD、50%/50% デューティ・サイクル TX: 500MSPS 入力、24x Int, $f_{DAC} = 12\text{GSPS}$ RX: $f_{ADC} = 3\text{GSPS}$ 、6x Dec、500MSPS 出力 $f_{OUT} = f_{IN} = 3.5\text{GHz}$ SerDes: 8b/20b、10Gbps TX/RX LMFS: 2-4-4-1	361			mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		306			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0		71			mA
I_{VDD1P2}	グループ 2: VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF		875			mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9		1336			mA
P_{diss}	消費電力		3614			mW
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 3b: 2T2R - TX アクティブ、RX スタンバイ TX: 500MSPS 入力、24x Int, $f_{DAC} = 12\text{GSPS}$ RX: $f_{ADC} = 3\text{GSPS}$ 、6x Dec、500MSPS 出力 $f_{OUT} = f_{IN} = 3.5\text{GHz}$ SerDes: 8b/20b、10Gbps TX/RX LMFS: 2-4-4-1	345			mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		277			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0		72			mA
I_{VDD1P2}	グループ 2: VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF		1123			mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9		1473			mA
P_{diss}	消費電力		3958			mW

6.9 電源の電気的特性 (continued)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、TX ストレート・モード、特に記述のない限り。

パラメータ		テスト条件	最小値	代表値	最大値	単位
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 3c: 2T2R - RX アクティブ、TX スタンバイ TX: 500MSPS 入力、24x Int, $f_{DAC} = 12\text{GSPS}$ RX: $f_{ADC} = 3\text{GSPS}$ 、6x Dec、500MSPS 出力 $f_{OUT} = f_{IN} = 3.5\text{GHz}$ SerDes: 8b/20b、10Gbps TX/RX LMFS: 2-4-4-1	377			mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		336			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0		71			mA
I_{VDD1P2}	グループ 2: VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF		627			mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9		1198			mA
P_{diss}	消費電力		3270			mW
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 4: 2T2R - FDD TX: 500MSPS 入力、24x Int, $f_{DAC} = 12\text{GSPS}$ RX: $f_{ADC} = 3\text{GSPS}$ 、6x Dec、500MSPS 出力 $f_{OUT} = 3.5\text{GHz}$ 、 $f_{IN} = 3.7\text{GHz}$ SerDes: 8b/20b、10Gbps TX/RX LMFS: 2-4-4-1	635			mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		357			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0		72			mA
I_{VDD1P2}	グループ 2: VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF		1417			mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9		1952			mA
P_{diss}	消費電力		5421			mW
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 5a: 2T2R - TDD、50%/50% デューティ・サイクル TX: デュアル 125MSPS 入力、48x Int, $f_{DAC} = 6\text{GSPS}$ 、混在モード RX: デュアル $f_{ADC} = 3\text{GSPS}$ 、24x Dec、125MSPS 出力 $f_{OUT} = f_{IN} = 3.5\text{GHz}$ SerDes: 8b/20b、10Gbps TX/RX LMFS: 1-8-16-1	363			mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		302			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0		71			mA
I_{VDD1P2}	グループ 2: VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF		683			mA
	グループ 1A: DVDD0P9 + VDDT0P9		1177			mA
P_{diss}	消費電力		3234			mW

6.9 電源の電気的特性 (continued)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、TX ストレート・モード、特に記述のない限り。

パラメータ		テスト条件	最小値	代表値	最大値	単位
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 5b: 2T2R - TX アクティブ、RX スタンバイ TX: デュアル 125MSPS 入力、48x Int、 $f_{DAC} = 6\text{GSPS}$ 、混在モード RX: デュアル $f_{ADC} = 3\text{GSPS}$ 、24x Dec、125MSPS 出力 $f_{OUT} = f_{IN} = 3.5$ および 3.6GHz SerDes: 8b/20b、10Gbps TX/RX LMFS: 1-8-16-1	349			mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		273			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0		72			mA
I_{VDD1P2}	グループ 2: VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF		757			mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9		1182			mA
P_{diss}	消費電力		3252			mW
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 5c: 2T2R - RX アクティブ、TX スタンバイ TX: デュアル 125MSPS 入力、48x Int、 $f_{DAC} = 6\text{GSPS}$ 、混在モード RX: デュアル $f_{ADC} = 3\text{GSPS}$ 、24x Dec、125MSPS 出力 $f_{OUT} = f_{IN} = 3.5$ および 3.6GHz SerDes: 8b/20b、10Gbps TX/RX LMFS: 1-8-16-1	377			mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		331			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0		71			mA
I_{VDD1P2}	グループ 2: VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF		610			mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9		1172			mA
P_{diss}	消費電力		3217			mW
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 6: 2T2R FDD TX: デュアル 125MSPS 入力、48x Int、 $f_{DAC} = 6\text{GSPS}$ 、混在モード RX: デュアル $f_{ADC} = 3\text{GSPS}$ 、24x Dec、125MSPS 出力 $f_{OUT} = 3.5$ および 3.55GHz 、 $f_{IN} = 3.6$ および 3.65GHz SerDes: 8b/10b、10Gbps TX/RX LMFS: 1-8-16-1	639			mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8		351			mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0		72			mA
I_{VDD1P2}	グループ 2: VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF		1046			mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9		1734			mA
P_{diss}	消費電力		4770			mW

6.9 電源の電気的特性 (continued)

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、TX ストレート・モード、特に記述のない限り。

パラメータ		テスト条件	最小値	代表値	最大値	単位
I_{VDD1P8}	グループ 3A: VDD1P8FB + VDD1P8RX + VDD1P8TX	モード 7: モード 2 と同じ構成、スリープ・モード。 SLEEP ピンは High にする。		22		mA
	グループ 3B: VDD1P8FBCLK + VDD1P8RXCLK + VDD1P8TXDAC + VDD1P8GPIO + VDDA1P8			181		mA
	グループ 3C: VDD1P8PLL + VDD1P8PLLVC0			16		mA
I_{VDD1P2}	グループ 2: VDD1P2FB、VDD1P2RX、VDD1P2TXCLK、VDD1P2TXENC、VDD1P2FBCML、VDD1P2RXCML、VDD1P2PLLCLKREF			49		mA
I_{VDD0P9}	グループ 1A: DVDD0P9 + VDDT0P9			213		mA
P_{diss}	消費電力			649		mW

6.10 タイミング要件

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 8847.36\text{MSPS}$ 、 $f_{ADC} = 2949.12\text{MSPS}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

		最小値	公称値	最大値	単位
タイミング:SYSREF+/-					
$t_s(\text{SYSREF})$	セットアップ時間、SYSREF+/- 有効から CLK+/- の立ち上がりエッジまで		50		ps
$t_h(\text{SYSREF})$	ホールド時間、CLK+/- の立ち上がりエッジの後の SYSREF+/- 有効の期間		50		ps
タイミング:シリアル・ポート					
$t_s(\text{SENB})$	SCLK の立ち上がりエッジまでの SENB のセットアップ時間			15	ns
$t_h(\text{SENB})$	SCLK の最後の立ち上がりエッジの後の SENB のホールド時間 ⁽¹⁾			$5 + t_{\text{SCLK}}$	ns
$t_s(\text{SDIO})$	セットアップ時間、SDIO 有効から SCLK の立ち上がりエッジまで			15	ns
$t_h(\text{SDIO})$	ホールド時間、SCLK の立ち上がりエッジの後の SDIO 有効の期間			5	ns
$t_{\text{SCLK_W}}$	最小 SCLK 周期:レジスタ書き込み			25	ns
$t_{\text{SCLK_R}}$	最小 SCLK 周期:レジスタ読み取り			50	ns
$t_{\text{d}(\text{data_out})}$	SCLK の立ち下がりエッジの後の最小データ出力遅延			0	ns
	SCLK の立ち下がりエッジの後の最大データ出力遅延			15	ns
t_{RESET}	最小 RESET パルス幅		1		ms

(1) SDEN\ には、最後の SCLK エッジでさらに 1 クロック・サイクル、ホールドされる必要があります

6.11 スイッチング特性

$T_A = +25^\circ\text{C}$ での代表値、全動作温度範囲は $T_{A,MIN} = -40^\circ\text{C} \sim T_{J,MAX} = +110^\circ\text{C}$ 、TX 入力レート = 491.52MSPS、 $f_{DAC} = 8847.36\text{MSPS}$ 、 $f_{ADC} = 2949.12\text{MSPS}$ 、公称電源、-1dBFS で 1 トーン、DSA 減衰 = 0dB、SerDes レート = 24.33Gbps、特に記述のない限り。

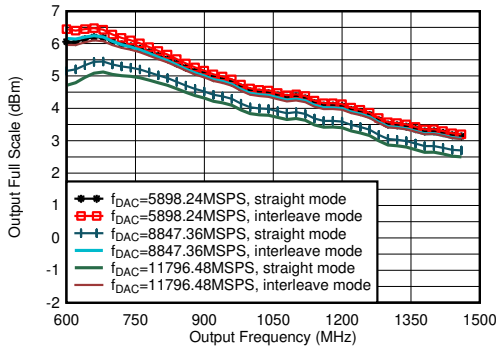
パラメータ		テスト条件	最小値	代表値	最大値	単位
TX チャンネル・レイテンシ						
	SerDes レシーバのアナログ遅延	フル・レート		2.8		ns
$t_{JESD TX}$	JESD から TX 出力までのレイテンシ	LMFSHd = 2-8-8-1、368.64MSPS の入力レート、24x 補間、SerDes レート = 16.22Gbps (JESD204C)		152		インターフェイス・クロック・サイクル (1)
		LMFSHd = 8-16-4-1、491.52MSPS 24x 補間、SerDes レート = 16.22Gbps (JESD204C)		176		
		LMFSHd = 4-16-8-1、245.76MSPS 48x 補間、SerDes レート = 16.22Gbps (JESD204C)		124		
		LMFSHd = 2-16-16-1、122.88MSPS 96x 補間、SerDes レート = 16.22Gbps (JESD204C)		97		
RX チャンネル・レイテンシ						
	SerDes トランスミッタのアナログ遅延			3.6		ns
$t_{JESD RX}$	RX 入力から JESD 出力までのレイテンシ	LMFS = 2-16-16-1、122.88MSPS、24x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		92		インターフェイス・クロック・サイクル (1)
		LMFS = 4-16-8-1、245.76MSPS、12x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		108		
		LMFS = 4-8-4-1、491.52MSPS、6x デシメーション、SerDes レート = 16.22Gbps (JESD204C)		153		
FB チャンネル・レイテンシ						
	SerDes トランスミッタのアナログ遅延			3.6		ns
$t_{JESD FB}$	FB 入力から JESD 出力までのレイテンシ	LMFS = 1-2-8-1、368.64MSPS、8x デシメーション		151		インターフェイス・クロック・サイクル (1)
		LMFS = 2-4-4-1、491.52MSPS、6x デシメーション		177		

(1) インターフェイス・クロック・サイクルは、デジタル・インターフェイスのサンプル・レートの周期です。たとえば、1GSPS = 1ns です。

6.12 代表的特性

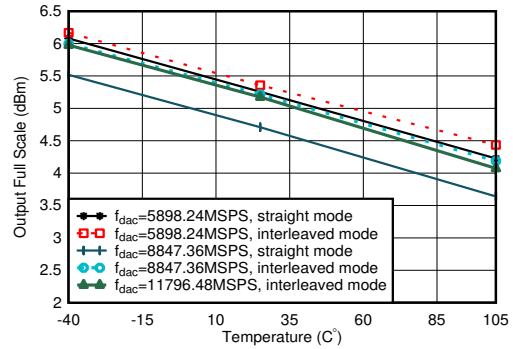
6.12.1 TX の代表的特性 (800MHz 時)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{REF} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザイネーブル



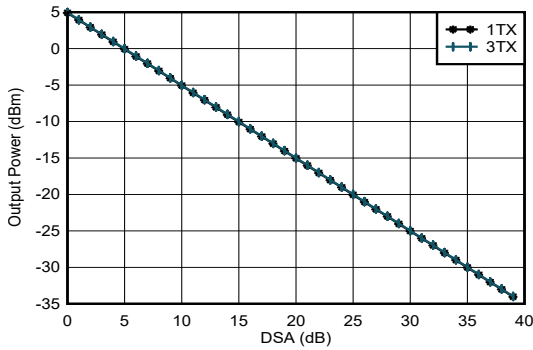
PCB とケーブルの損失を含む。 $A_{OUT} = -0.5\text{dBFS}$ 、 $DSA = 0$ 、 0.8GHz 整合あり

図 6-1. TX 出力フルスケールと出力周波数との関係



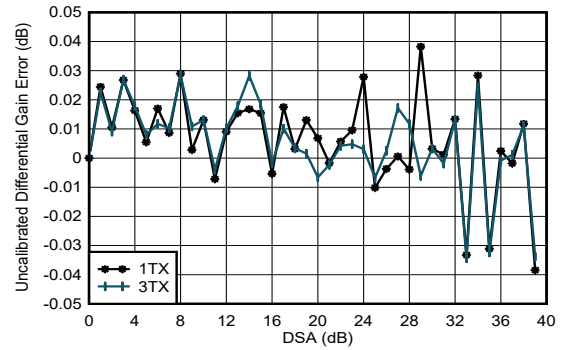
PCB とケーブルの損失を含む。 $A_{OUT} = -0.5\text{dBFS}$ 、 $DSA = 0$ 、 0.8GHz 整合あり

図 6-2. TX 出力フルスケールと温度との関係



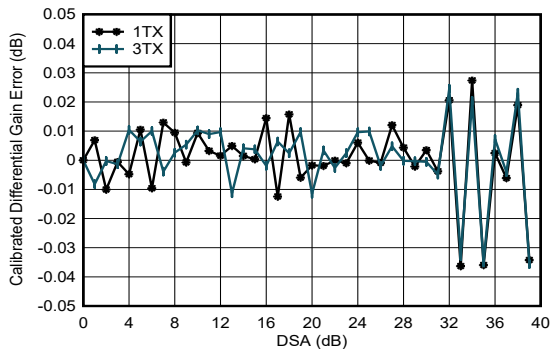
$f_{DAC} = 11796.48\text{MSPS}$ 、インターリーブ・モード、 $A_{OUT} = -0.5\text{dBFS}$ 、 0.8GHz に整合

図 6-3. TX 出力電力と DSA 設定との関係 (各種チャネル、 0.85GHz)



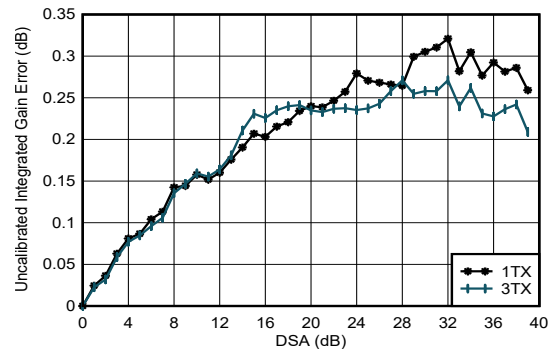
$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブ・モード、 0.8GHz で整合
微分ゲイン誤差 = $P_{OUT}(DSA \text{ 設定} - 1) - P_{OUT}(DSA \text{ 設定}) + 1$

図 6-4. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、 0.85GHz)



$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブ・モード、 0.8GHz で整合
微分ゲイン誤差 = $P_{OUT}(DSA \text{ 設定} - 1) - P_{OUT}(DSA \text{ 設定}) + 1$

図 6-5. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、 0.85GHz)

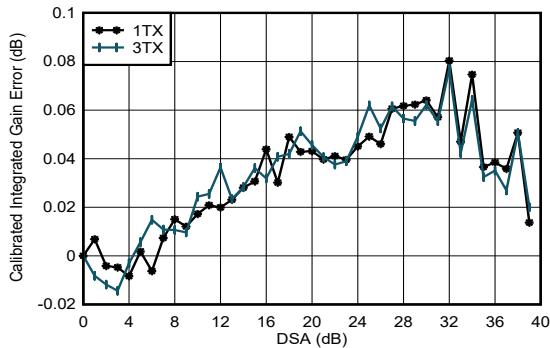


$f_{DAC} = 5898.24\text{MSPS}$ 、インターリーブ・モード、 0.8GHz で整合
積分ゲイン誤差 = $P_{OUT}(DSA \text{ 設定}) - P_{OUT}(DSA \text{ 設定} = 0) + DSA \text{ 設定}$

図 6-6. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、 0.85GHz)

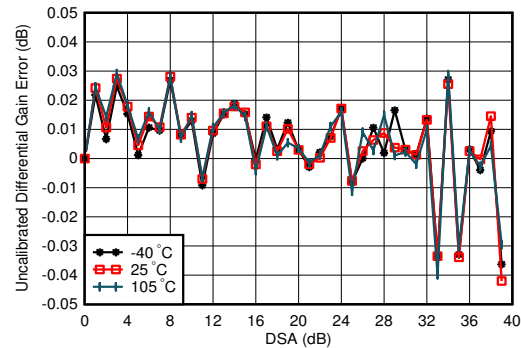
6.12.1 TX の代表的特性 (800MHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件:TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



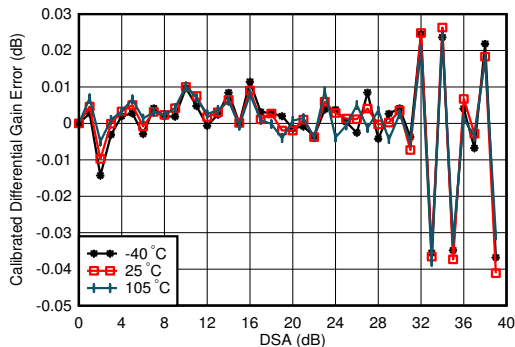
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、 0.8GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) +$
 DSA 設定

図 6-7. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、 0.85GHz)



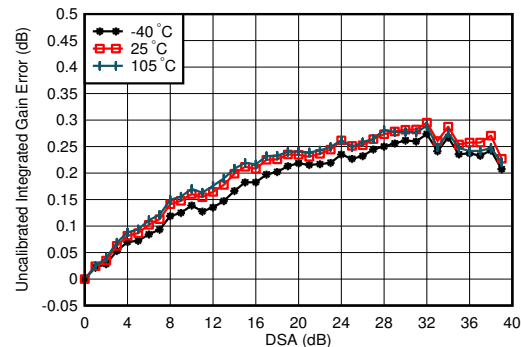
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、 0.8GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 6-8. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、 0.85GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、 0.8GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 6-9. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、 0.85GHz)

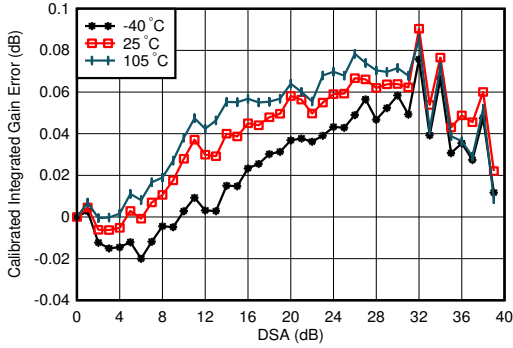


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、 0.8GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) +$
 DSA 設定

図 6-10. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、 0.85GHz)

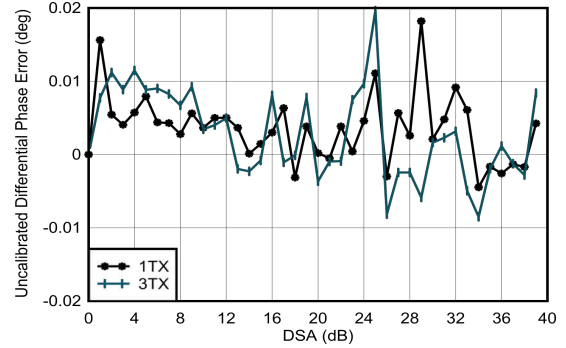
6.12.1 TX の代表的特性 (800MHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



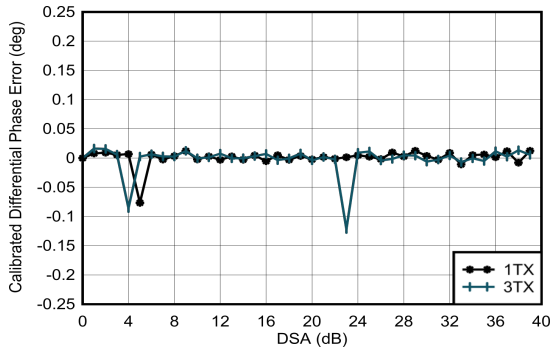
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、0.8GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + \text{DSA 設定}$

図 6-11. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、0.85GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、0.8GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

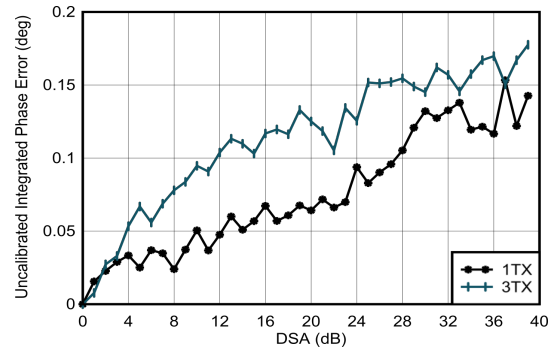
図 6-12. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、0.85GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、0.8GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 6-13. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、0.85GHz)

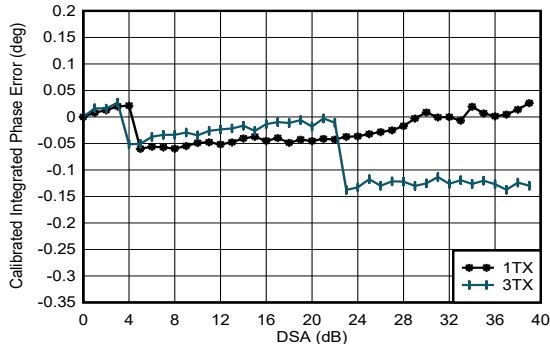


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、0.8GHz で整合
積分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定}) - \text{Phase}_{\text{OUT}}(\text{DSA 設定} = 0)$

図 6-14. TX 未較正積分位相誤差と DSA 設定との関係 (チャネル 1、0.85GHz)

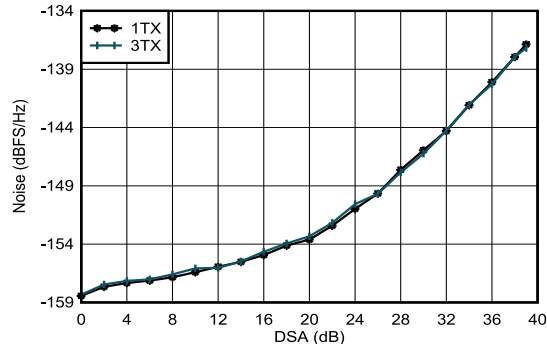
6.12.1 TX の代表的特性 (800MHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



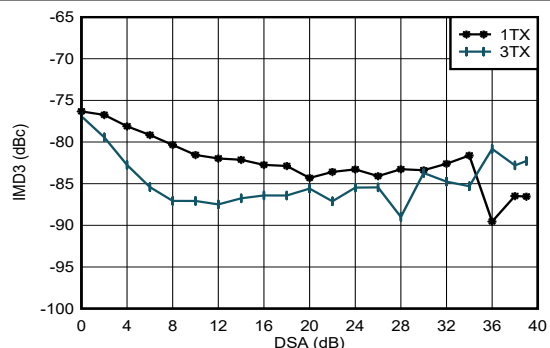
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、 0.8GHz で整合
積分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定}) - \text{Phase}_{\text{OUT}}(\text{DSA 設定} = 0)$

図 6-15. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャネル、 0.85GHz)



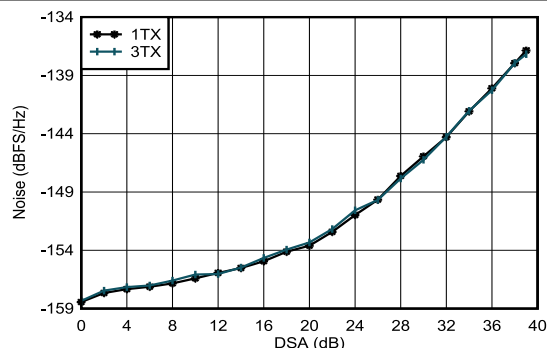
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、 0.8GHz で整合
積分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定}) - \text{Phase}_{\text{OUT}}(\text{DSA 設定} = 0)$

図 6-16. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、 0.85GHz)



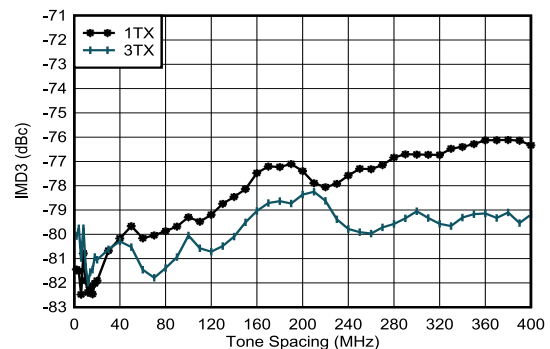
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、 0.8GHz で整合
積分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定}) - \text{Phase}_{\text{OUT}}(\text{DSA 設定} = 0)$

図 6-17. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、 0.85GHz)



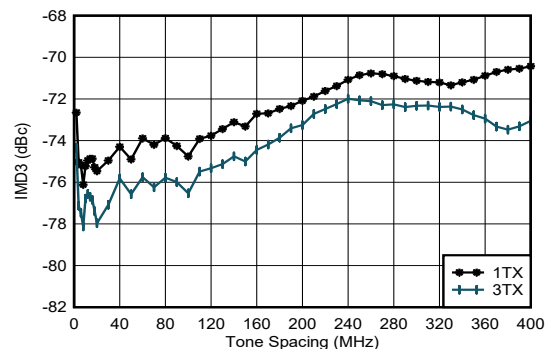
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、 0.8GHz で整合、 $P_{\text{OUT}} = -13\text{dBFS}$

図 6-18. TX 出力ノイズと減衰量との関係 (各種チャネル、 0.85GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 0.8GHz で整合、各トーン -13dBFS

図 6-19. TX IMD3 と DSA 設定との関係 (0.85GHz)

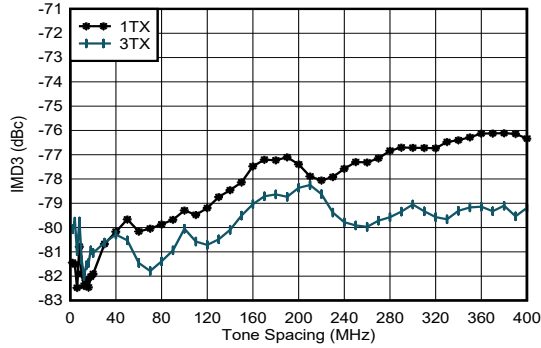


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレート・モード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 0.8GHz で整合、各トーン -13dBFS

図 6-20. TX IMD3 とトーン間隔との関係 (各種チャネル、 0.85GHz)

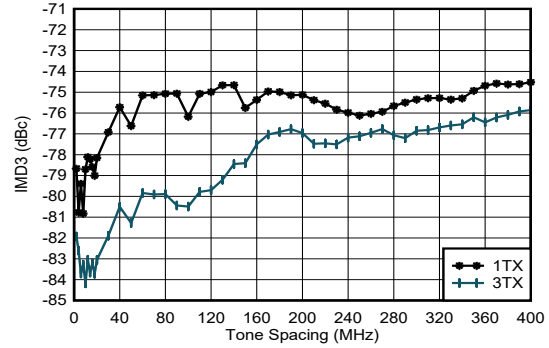
6.12.1 TX の代表的特性 (800MHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザイネーブル



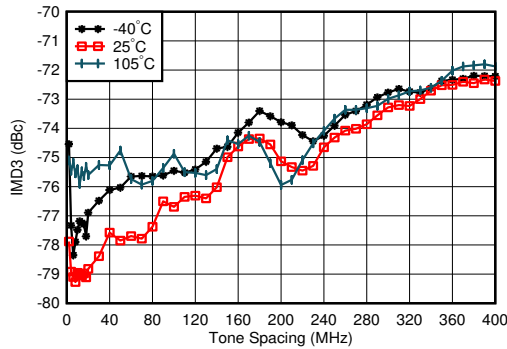
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 0.8GHz で整合、各トーン -13dBFS

図 6-21. TX IMD3 とトーン間隔との関係 (各種チャンネル、0.85GHz)



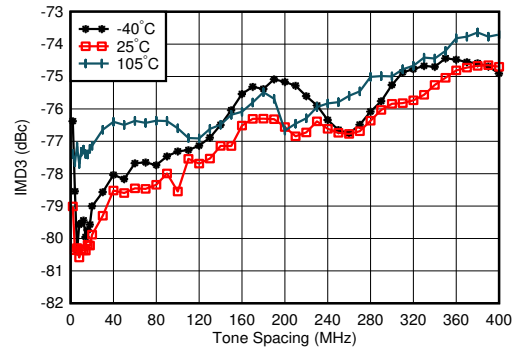
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 0.8GHz で整合、各トーン -13dBFS

図 6-22. TX IMD3 とトーン間隔との関係 (各種チャンネル、0.85GHz)



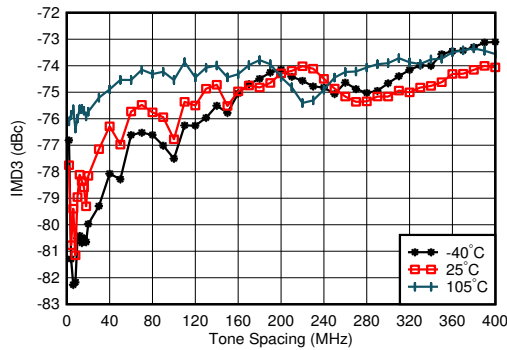
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレート・モード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 0.8GHz で整合、各トーン -13dBFS 、ワースト・チャンネル

図 6-23. TX IMD3 とトーン間隔との関係 (各種温度、0.85GHz)



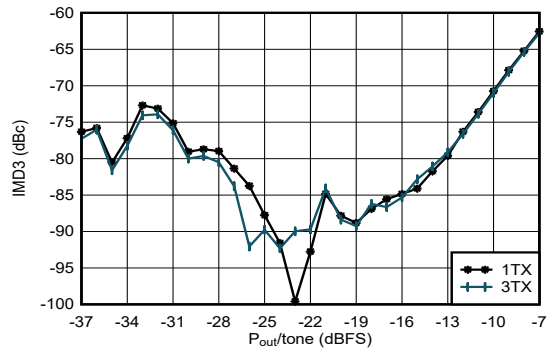
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 0.8GHz で整合、各トーン -13dBFS 、ワースト・チャンネル

図 6-24. TX IMD3 とトーン間隔との関係 (各種温度、0.85GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、ストレート・モード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 0.8GHz で整合、各トーン -13dBFS 、ワースト・チャンネル

図 6-25. TX IMD3 とトーン間隔との関係 (各種温度、0.85GHz)

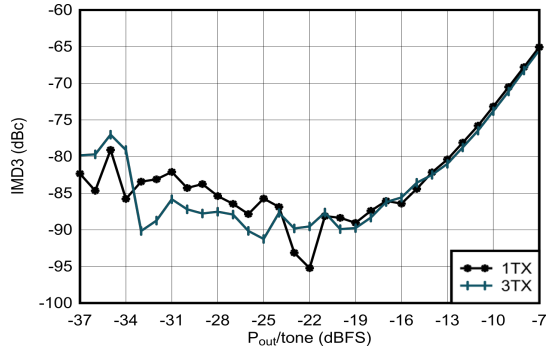


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレート・モード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 $f_{\text{SPACING}} = 20\text{MHz}$ 、 0.8GHz で整合

図 6-26. TX IMD3 とデジタル・レベルとの関係 (0.85GHz)

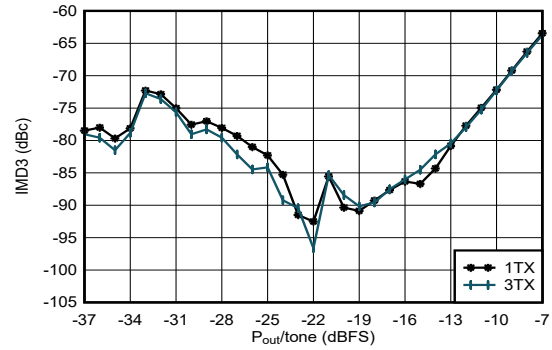
6.12.1 TX の代表的特性 (800MHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



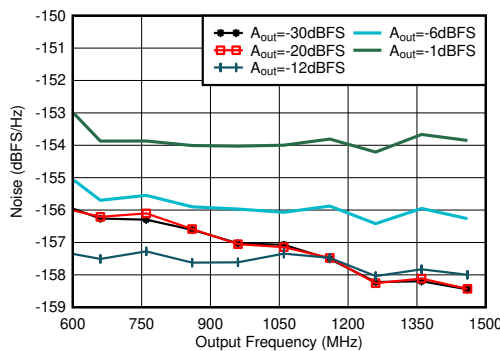
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 $f_{\text{SPACING}} = 20\text{MHz}$ 、 0.8GHz で整合

図 6-27. TX IMD3 とデジタル・レベルとの関係 (0.85GHz)



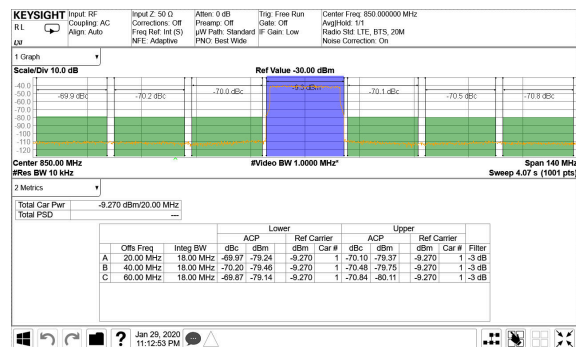
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、 $f_{\text{CENTER}} = 0.85\text{GHz}$ 、 $f_{\text{SPACING}} = 20\text{MHz}$ 、 0.8GHz で整合

図 6-28. TX IMD3 とデジタル・レベルとの関係 (0.85GHz)



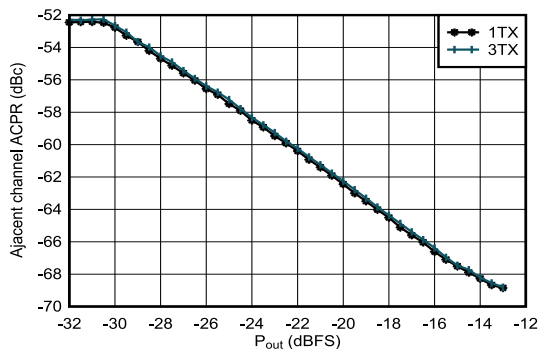
2.6GHz で整合、シングル・トーン、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブ・モード、 40MHz オフセット、 $\text{DSA} = 0\text{dB}$

図 6-29. TX シングル・トーン出力ノイズと周波数との関係 (各種振幅、0.85GHz)



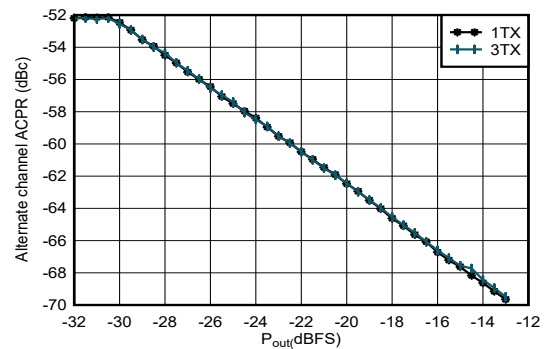
TM1.1、 $P_{\text{OUT_RMS}} = -13\text{dBFS}$

図 6-30. TX 20MHz LTE 出力スペクトル (0.85GHz)



0.8GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-31. TX 20MHz LTE ACPR とデジタル・レベルとの関係 (0.85GHz)

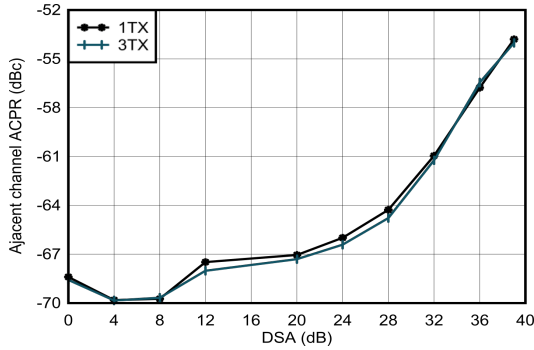


0.8GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-32. TX 20MHz LTE alt-ACPR とデジタル・レベルとの関係 (0.85GHz)

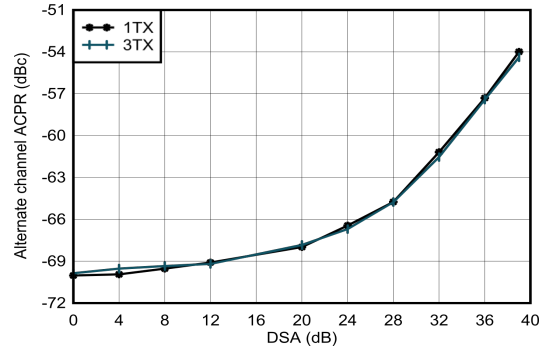
6.12.1 TX の代表的特性 (800MHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



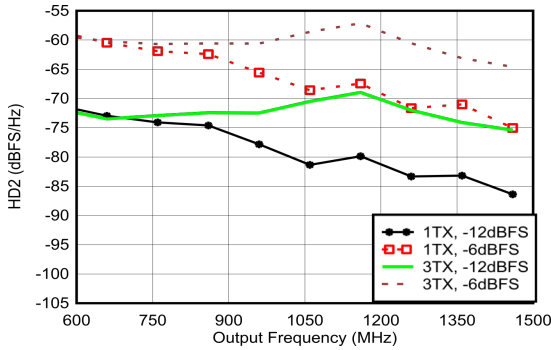
0.8GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-33. TX 20MHz LTE ACPR と DSA 設定との関係 (0.85GHz)



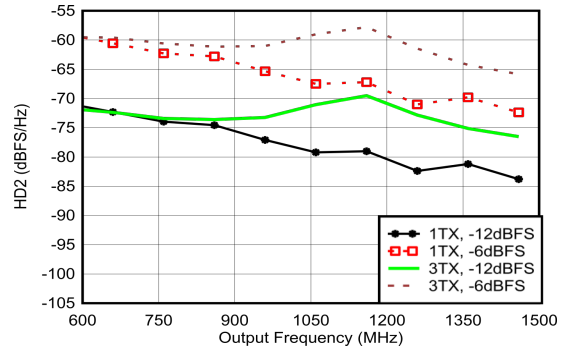
0.8GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-34. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (0.85GHz)



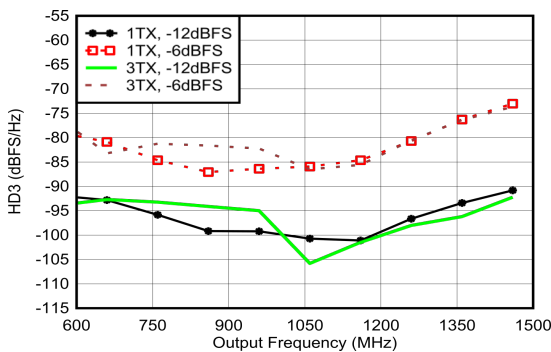
0.8GHz で整合、 $f_{\text{DAC}} = 5898.24\text{GSPS}$ 、ストレート・モード。

図 6-35. TX HD2 と出力周波数との関係 (各種デジタル振幅、0.85GHz)



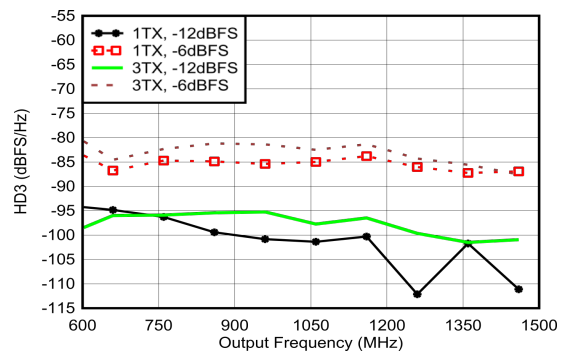
0.8GHz で整合、 $f_{\text{DAC}} = 8847.36\text{GSPS}$ 、ストレート・モード。

図 6-36. TX HD2 と出力周波数との関係 (各種デジタル振幅、0.85GHz)



0.8GHz で整合、 $f_{\text{DAC}} = 5898.24\text{MSPS}$ 、ストレート・モード、高調波周波数での出力電力で正規化。

図 6-37. TX HD3 と出力周波数との関係 (各種デジタル振幅、0.85GHz)

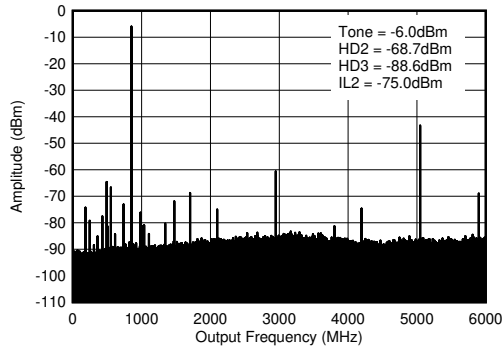


0.8GHz で整合、 $f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、高調波周波数での出力電力で正規化。

図 6-38. TX HD3 と出力周波数との関係 (各種デジタル振幅、0.85GHz)

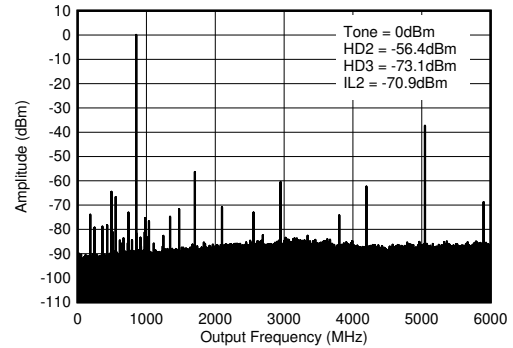
6.12.1 TX の代表的特性 (800MHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



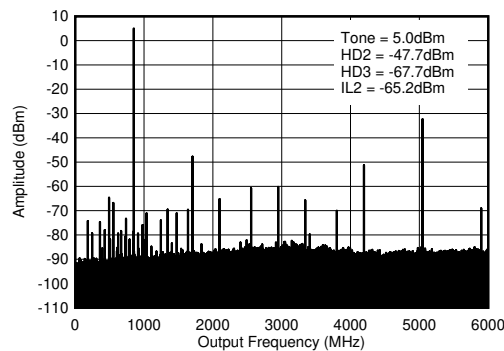
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 6-39. TX シングル・トーン (-12dBFS) 出カスペクトル (0~ f_{DAC} 、0.85GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 6-40. TX シングル・トーン (-6dBFS) 出カスペクトル (0~ f_{DAC} 、0.85GHz)

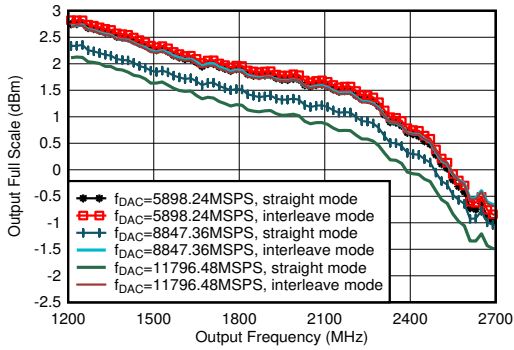


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、0.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 6-41. TX シングル・トーン (-1dBFS) 出カスペクトル (0~ f_{DAC} 、0.85GHz)

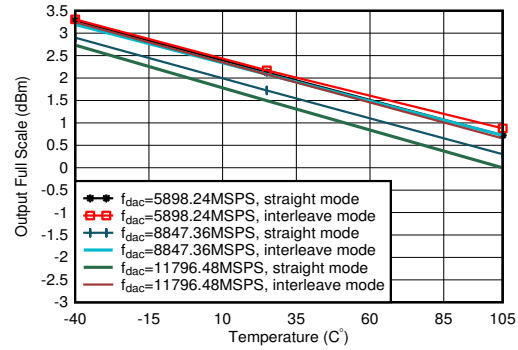
6.12.2 TX の代表的特性 (1.8GHz 時)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザイネーブル



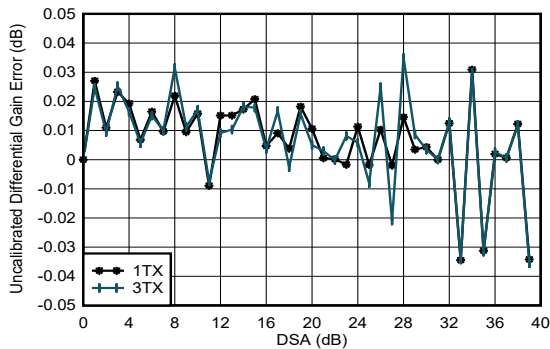
PCB とケーブルの損失を含む。 $A_{\text{OUT}} = -0.5\text{dBFS}$ 、 $\text{DSA} = 0$ 、1.8GHz 整合あり

図 6-42. TX 出力フルスケールと出力周波数との関係



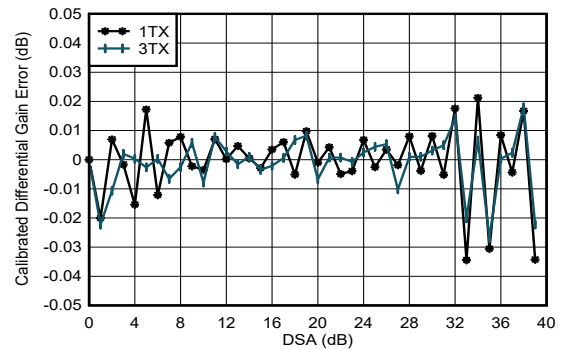
$A_{\text{OUT}} = -0.5\text{dBFS}$ 、1.8GHz に整合

図 6-43. TX 出力電力と温度との関係 (1.8GHz)



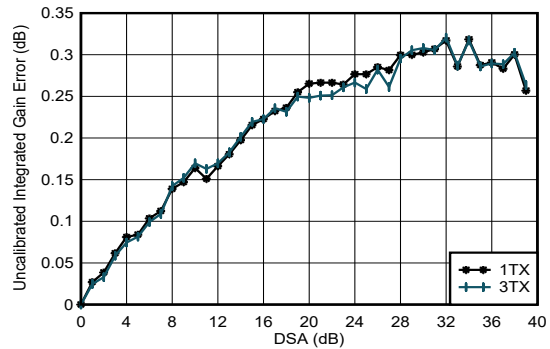
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 6-44. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、1.8GHz)



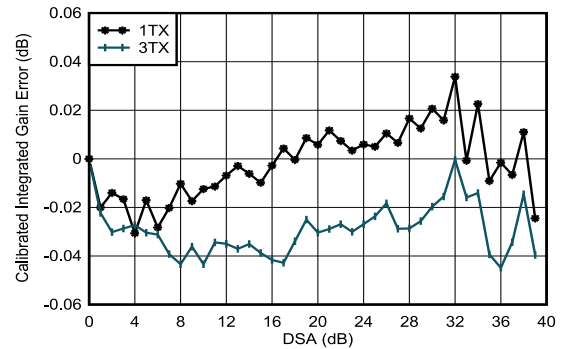
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 6-45. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、1.8GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-46. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、1.8GHz)

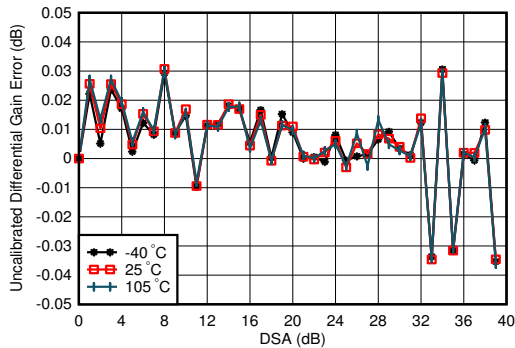


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-47. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、1.8GHz)

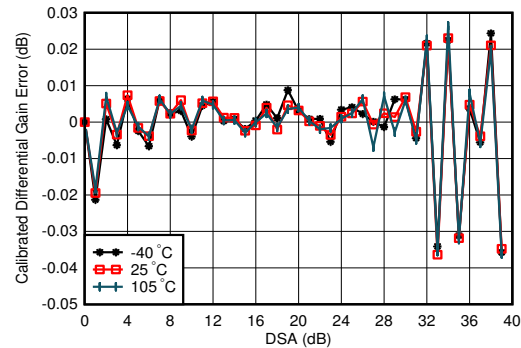
6.12.2 TX の代表的特性 (1.8GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み、TX クロック・ディザ・イネーブル



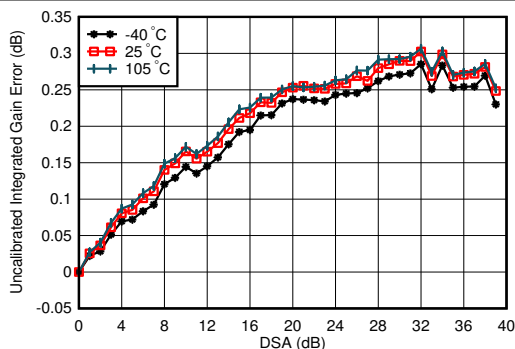
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 6-48. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、1.8GHz)



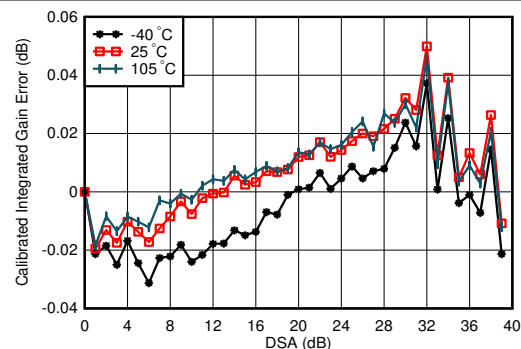
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 6-49. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、1.8GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-50. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、1.8GHz)

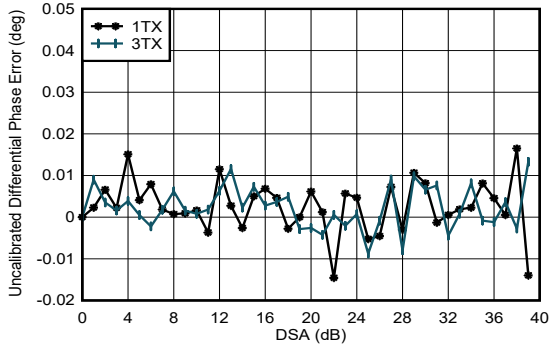


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-51. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、1.8GHz)

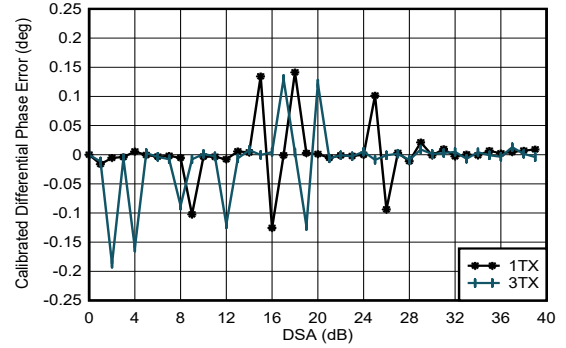
6.12.2 TX の代表的特性 (1.8GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み、TX クロック・ディザ・イネーブル



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

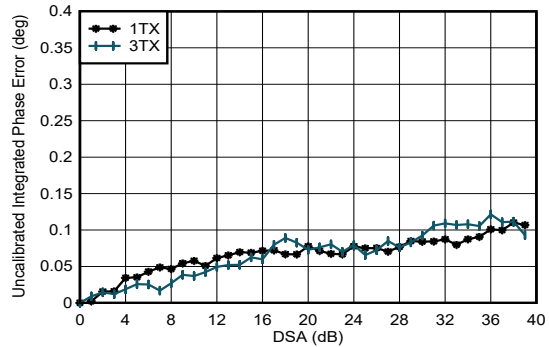
図 6-52. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、1.8GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

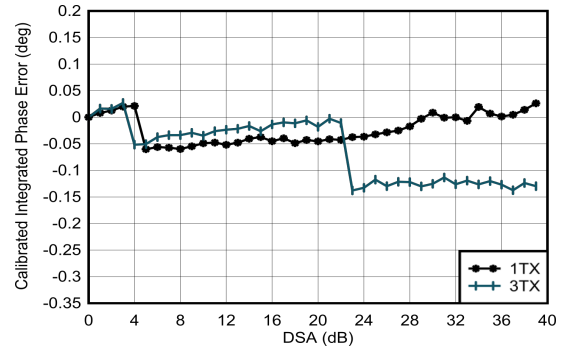
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 6-53. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、1.8GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-54. TX 未較正積分位相誤差と DSA 設定との関係 (チャネル 1、1.8GHz)

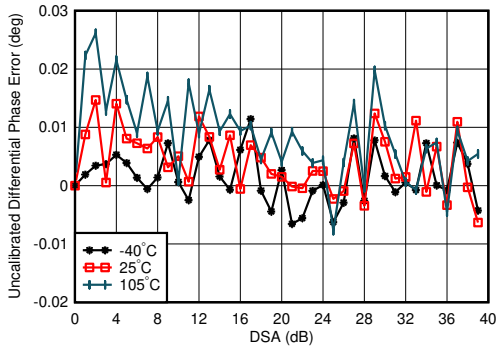


$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-55. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャネル、1.8GHz)

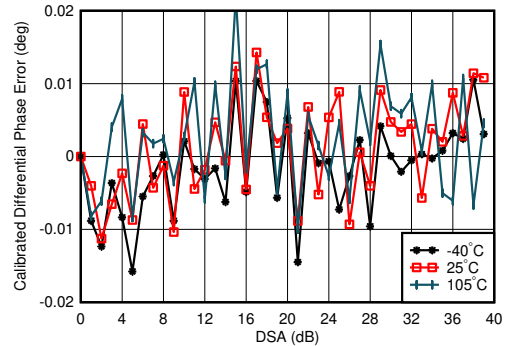
6.12.2 TX の代表的特性 (1.8GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ イネーブル



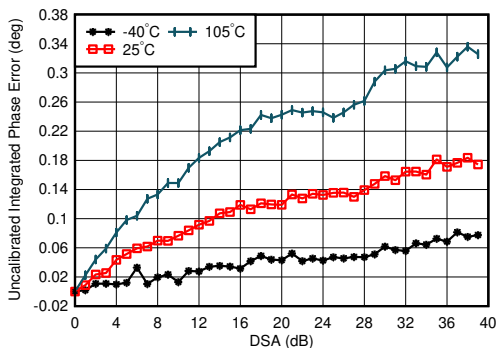
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 6-56. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、1.8GHz)



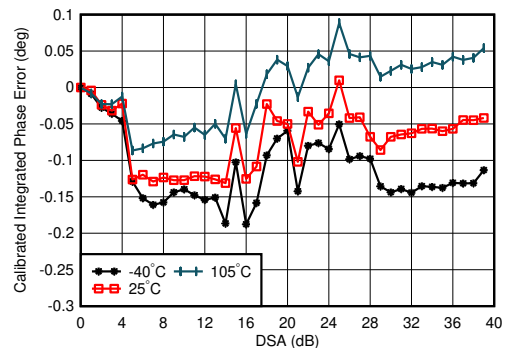
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合、
全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 6-57. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、1.8GHz)



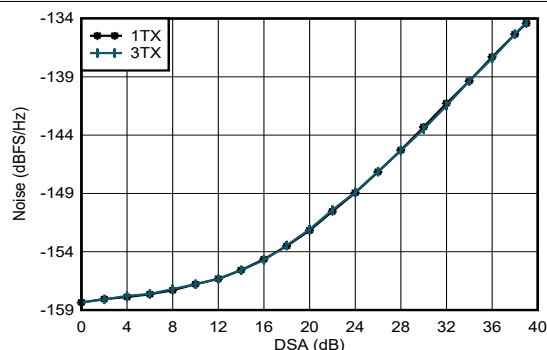
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合、
全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-58. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、1.8GHz)



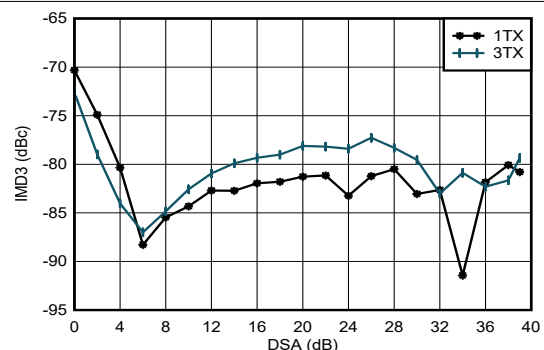
$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合、
全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-59. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、1.8GHz)



$f_{\text{DAC}} = 5898.24\text{MSPS}$ 、インターリーブ・モード、1.8GHz で整合、
 $P_{\text{OUT}} = -13\text{dBFS}$

図 6-60. TX 出力ノイズと減衰量との関係 (各種チャンネル、1.8GHz)

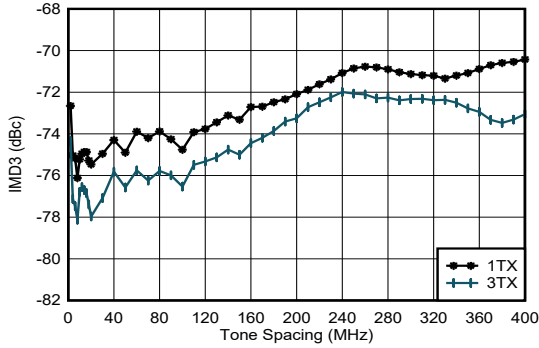


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、 $f_{\text{CENTER}} = 1.8\text{GHz}$ 、1.8GHz で整合、各トーン -13dBFS

図 6-61. TX IMD3 と DSA 設定との関係 (1.8GHz)

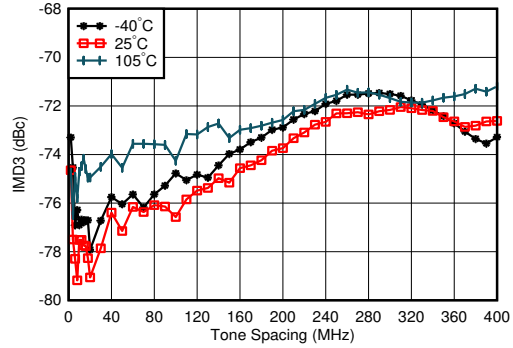
6.12.2 TX の代表的特性 (1.8GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件:TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



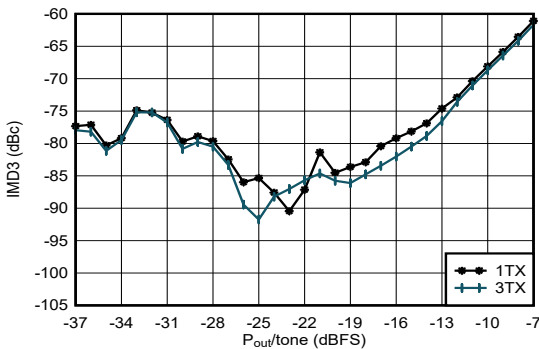
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、 $f_{\text{CENTER}} = 1.8\text{GHz}$ 、 1.8GHz で整合、各トーン -13dBFS

図 6-62. TX IMD3 とトーン間隔との関係 (各種チャンネル、1.8GHz)



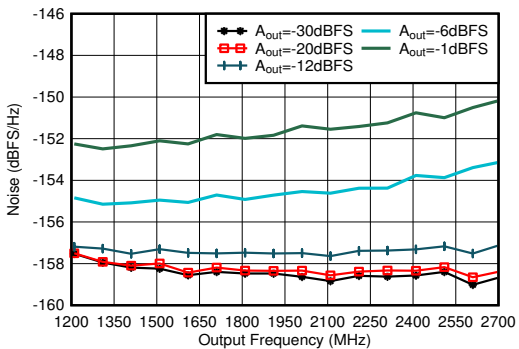
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、 $f_{\text{CENTER}} = 1.8\text{GHz}$ 、 1.8GHz で整合、各トーン -13dBFS 、ワースト・チャンネル

図 6-63. TX IMD3 とトーン間隔との関係 (各種温度、1.8GHz)



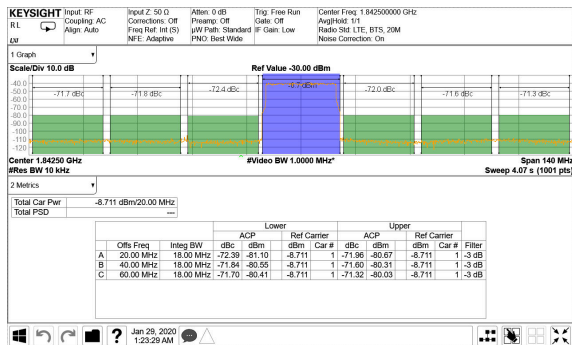
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、 $f_{\text{CENTER}} = 1.8\text{GHz}$ 、 $f_{\text{SPACING}} = 20\text{MHz}$ 、 1.8GHz で整合

図 6-64. TX IMD3 とデジタル・レベルとの関係 (1.8GHz)



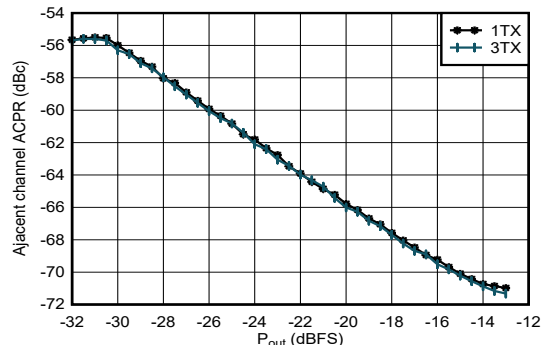
2.6GHz で整合、シングル・トーン、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブ・モード、 40MHz オフセット

図 6-65. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、1.8GHz)



TM1.1、 $P_{\text{OUT_RMS}} = -13\text{dBFS}$

図 6-66. TX 20MHz LTE 出力スペクトル (1.8425GHz)

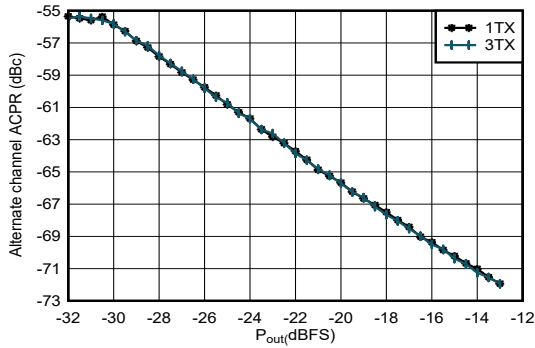


1.8GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-67. TX 20MHz LTE ACPR とデジタル・レベルとの関係 (1.8425GHz)

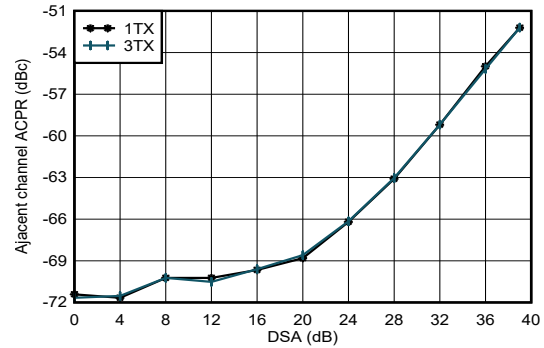
6.12.2 TX の代表的特性 (1.8GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザイネーブル



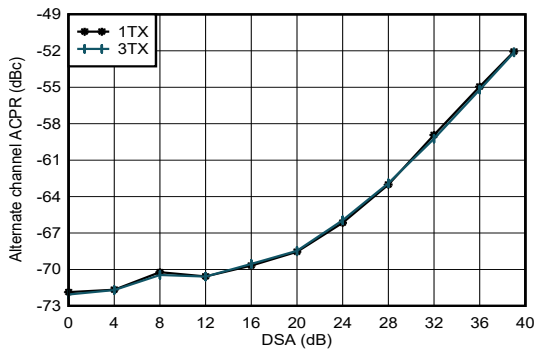
1.8GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-68. TX 20MHz LTE alt-ACPR とデジタル・レベルとの関係 (1.8425GHz)



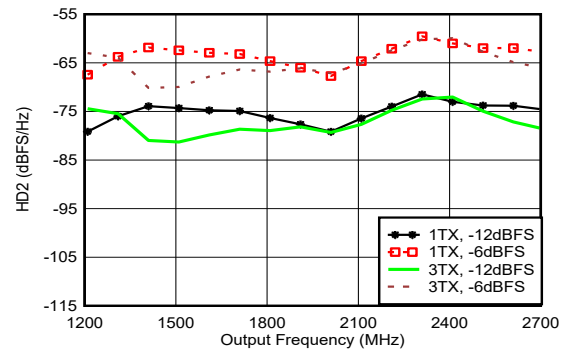
1.8GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-69. TX 20MHz LTE ACPR と DSA 設定との関係 (1.8GHz)



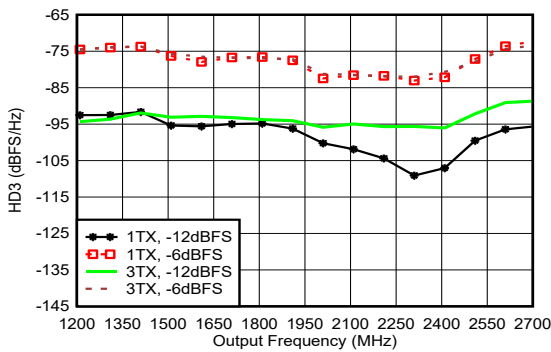
1.8GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-70. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (1.8GHz)



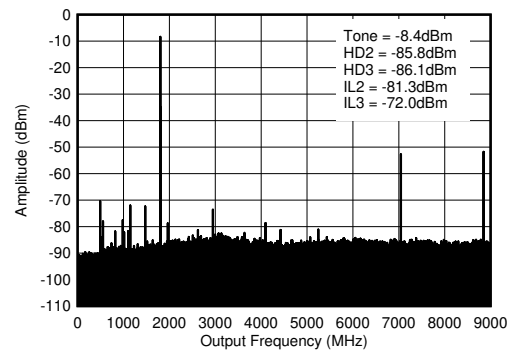
1.8GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPPS}$ 、インターリーブ・モード、高調波周波数での出力電力で正規化

図 6-71. TX HD2 と出力周波数との関係 (各種デジタル振幅、1.8GHz)



1.8GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPPS}$ 、インターリーブ・モード、高調波周波数での出力電力で正規化

図 6-72. TX HD3 と出力周波数との関係 (各種デジタル振幅、1.8GHz)

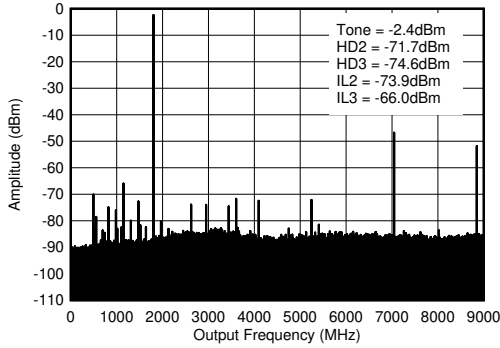


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ (デジタル・クロックとのミキシングに起因)。

図 6-73. TX シングル・トーン (-12dBFS) 出力スペクトル (0~ f_{DAC} 、1.8GHz)

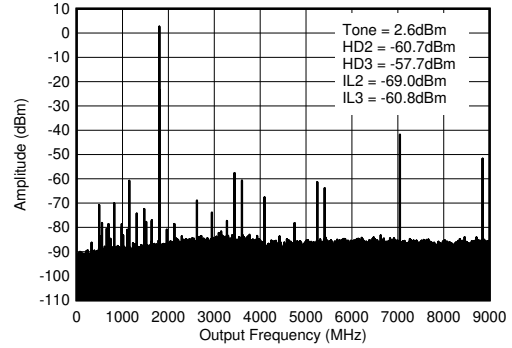
6.12.2 TX の代表的特性 (1.8GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ (デジタル・クロックとのミキシングに起因)。

図 6-74. TX シングル・トーン (-6dBFS) 出力スペクトル (0~ f_{DAC} 、1.8GHz)

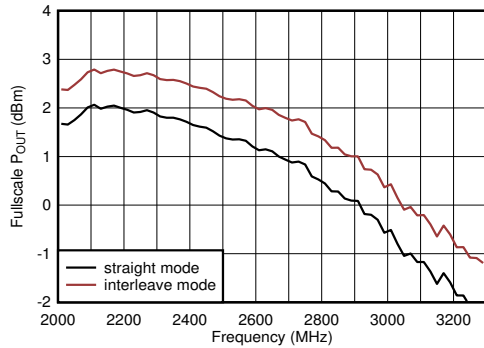


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、1.8GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ (デジタル・クロックとのミキシングに起因)。

図 6-75. TX シングル・トーン (-1dBFS) 出力スペクトル (0~ f_{DAC} 、1.8GHz)

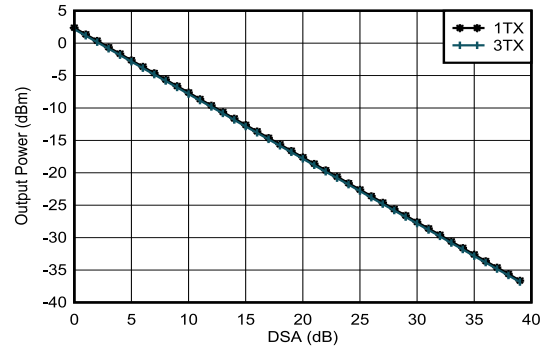
6.12.3 TX の代表的特性 (2.6GHz 時)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザイネーブル



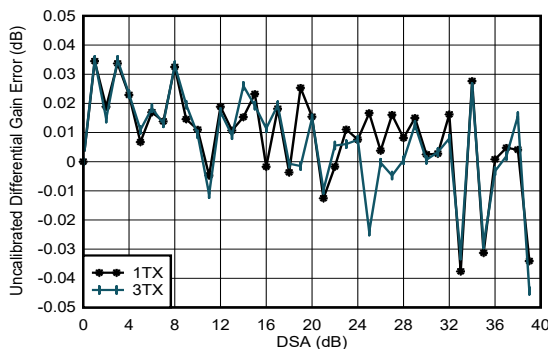
PCB とケーブルの損失を含む。 $A_{\text{OUT}} = -0.5\text{dBFS}$ 、 $\text{DSA} = 0$ 、2.6GHz 整合あり

図 6-76. TX フルスケールと RF 周波数との関係 (11796.48MSPS)



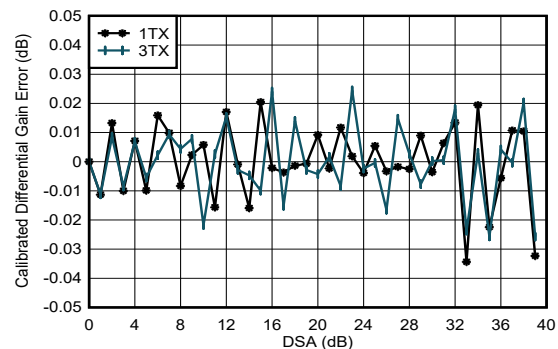
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、 $A_{\text{OUT}} = -0.5\text{dBFS}$ 、2.6GHz に整合

図 6-77. TX 出力電力と DSA 設定との関係 (各種チャンネル、2.6GHz)



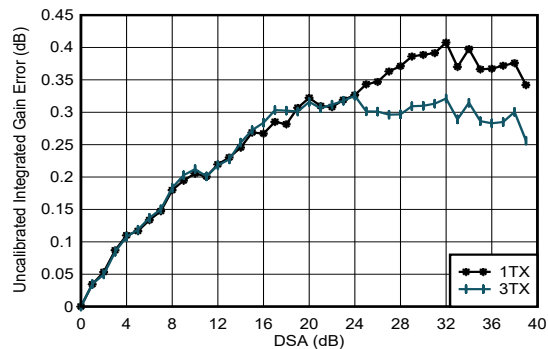
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 6-78. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャンネル、2.6GHz)



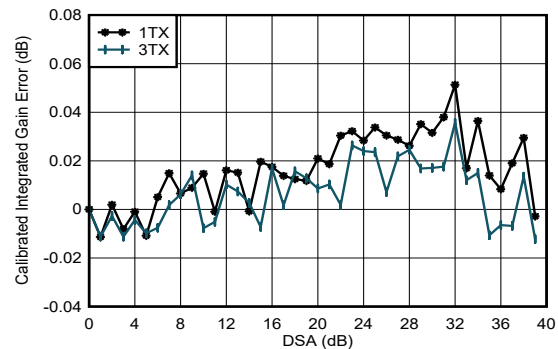
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 6-79. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャンネル、2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-80. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャンネル、2.6GHz)

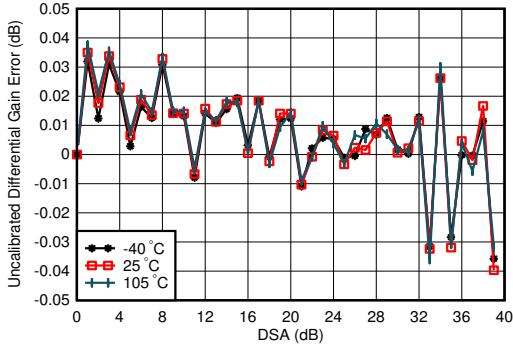


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-81. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャンネル、2.6GHz)

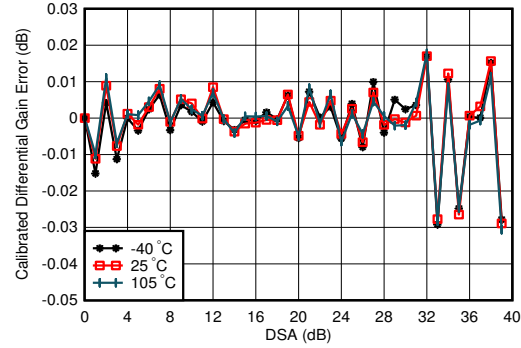
6.12.3 TX の代表的特性 (2.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ イネーブル



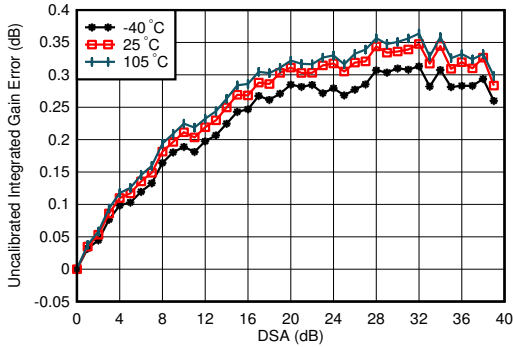
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合、全 DSA 設定にわたって 25°C での誤差が中央値であるチャンネル微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 6-82. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)



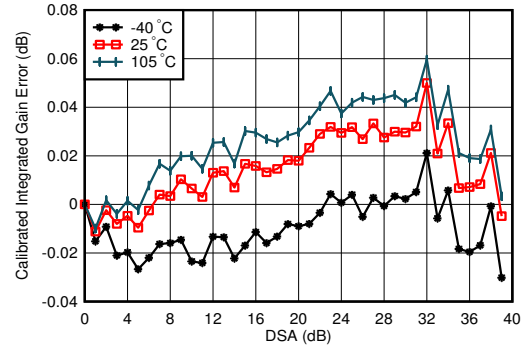
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合、全 DSA 設定にわたって 25°C での誤差が中央値であるチャンネル微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 6-83. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合、全 DSA 設定にわたって 25°C での誤差が中央値であるチャンネル積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-84. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)

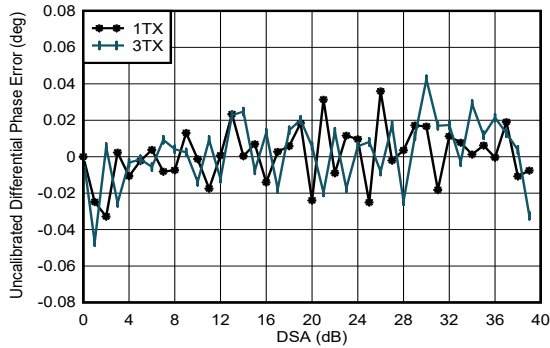


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合、全 DSA 設定にわたって 25°C での誤差が中央値であるチャンネル積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-85. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、2.6GHz)

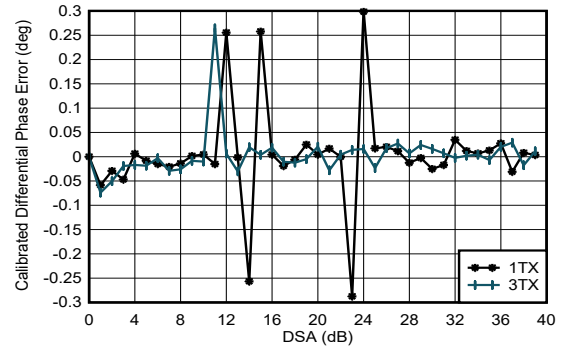
6.12.3 TX の代表的特性 (2.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み、TX クロック・ディザ・イネーブル



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

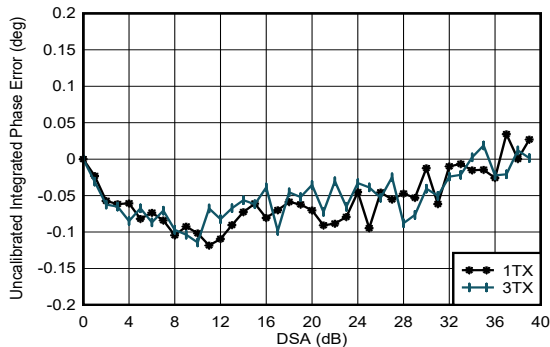
図 6-86. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

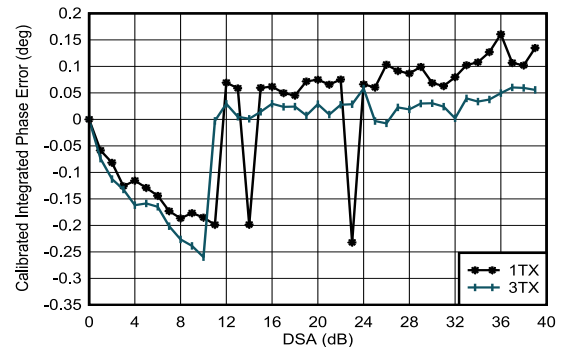
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 6-87. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-88. TX 未較正積分位相誤差と DSA 設定との関係 (チャネル 1、2.6GHz)

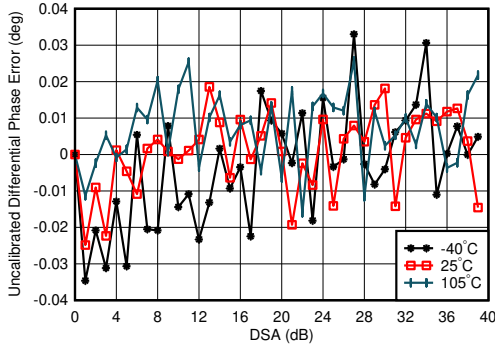


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-89. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャネル、2.6GHz)

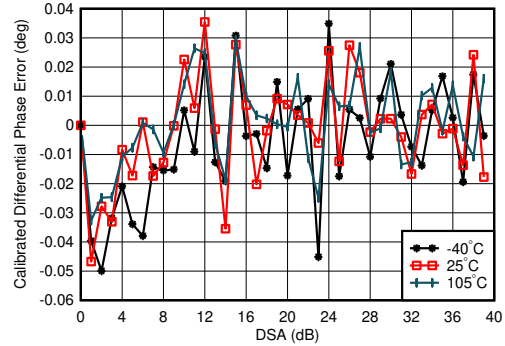
6.12.3 TX の代表的特性 (2.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザイネーブル



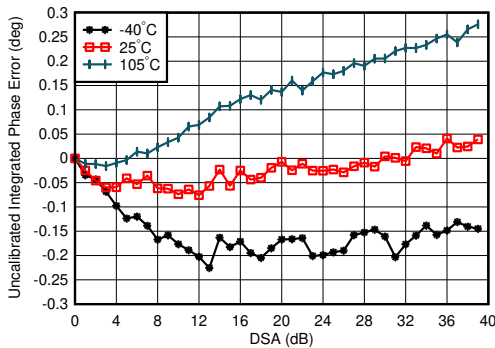
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 6-90. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)



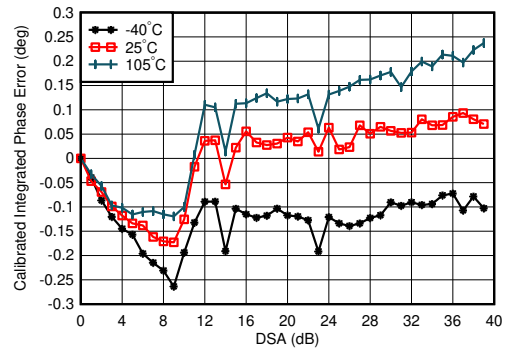
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 6-91. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)



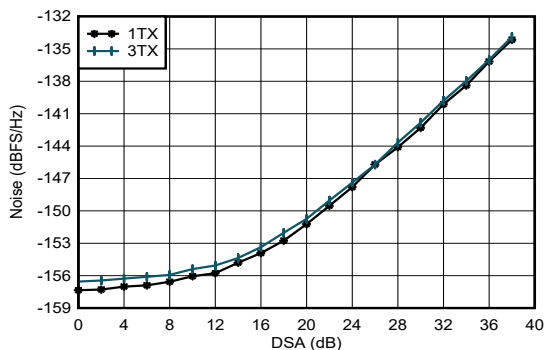
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合、全 DSA 設定にわたって 25°Cでの誤差が中位の大きさのチャンネル積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-92. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)



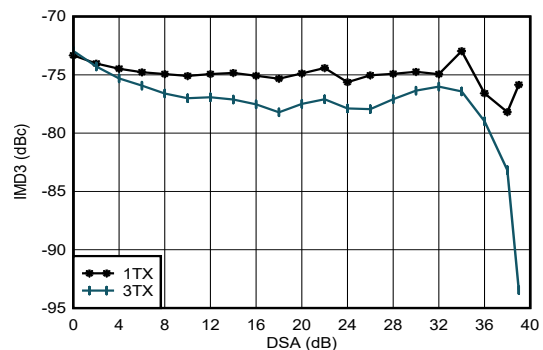
$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合、全 DSA 設定にわたって 25°Cでの誤差が中央値であるチャンネル積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-93. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz で整合、 $P_{\text{OUT}} = -13\text{dBFS}$

図 6-94. TX 出力ノイズと減衰量との関係 (各種チャンネル、2.6GHz)

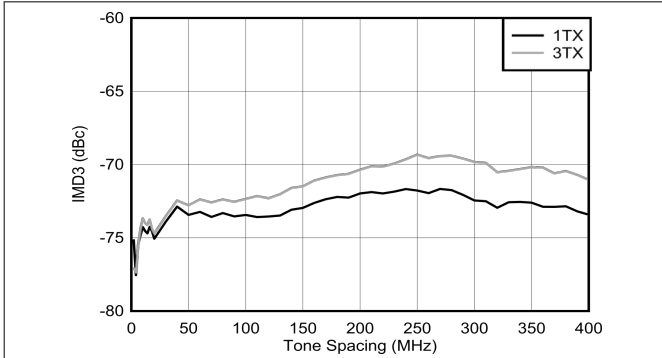


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、 $f_{\text{CENTER}} = 2.6\text{GHz}$ 、2.6GHz で整合、各トーン -13dBFS

図 6-95. TX IMD3 と DSA 設定との関係 (2.6GHz)

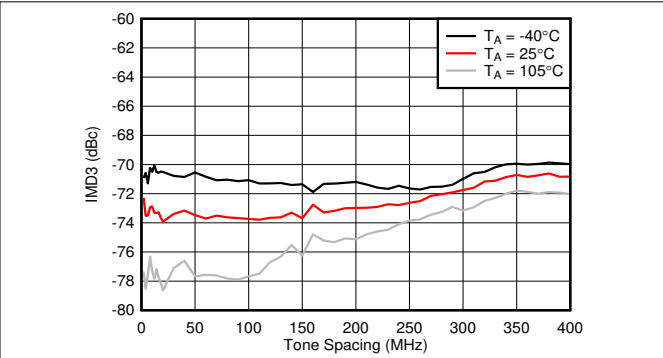
6.12.3 TX の代表的特性 (2.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件:TX 入力データ・レート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{REF} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{OUT} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



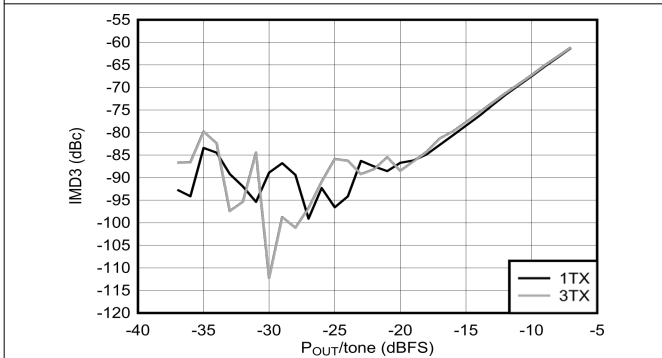
$f_{DAC} = 8847.36\text{MSPS}$ 、ストレート・モード、 $f_{CENTER} = 2.6\text{GHz}$ 、 2.6GHz で整合、各トーン -13dBFS

図 6-96. TX IMD3 とトーン間隔との関係 (各種チャンネル、2.6GHz)



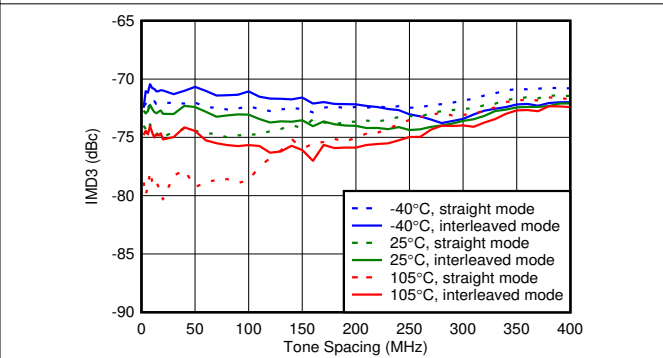
$f_{DAC} = 8847.36\text{MSPS}$ 、ストレート・モード、 $f_{CENTER} = 2.6\text{GHz}$ 、 2.6GHz で整合、各トーン -13dBFS 、ワースト・チャネル

図 6-97. TX IMD3 とトーン間隔との関係 (各種温度、2.6GHz)



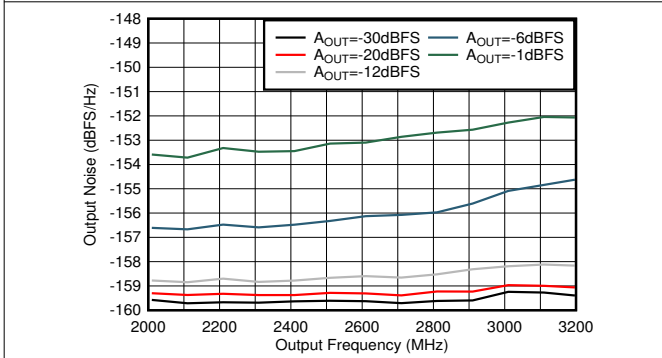
$f_{DAC} = 8847.36\text{MSPS}$ 、ストレート・モード、 $f_{CENTER} = 2.6\text{GHz}$ 、 $f_{SPACING} = 20\text{MHz}$ 、 2.6GHz で整合

図 6-98. TX IMD3 とデジタル・レベルとの関係 (2.6GHz)



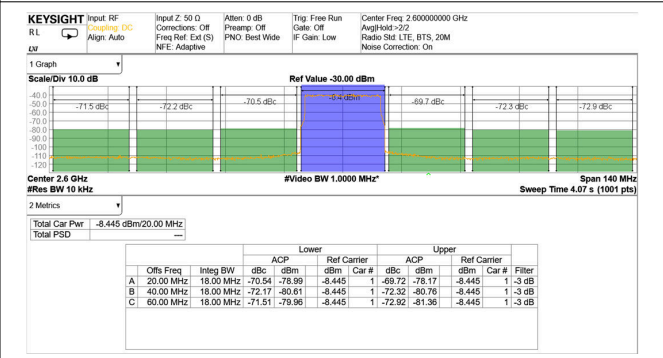
$f_{DAC} = 8847.36\text{MSPS}$ 、ストレート・モード、 $f_{CENTER} = 2.6\text{GHz}$ 、 2.6GHz で整合、各トーン -13dBFS

図 6-99. TX IMD3 とトーン間隔との関係 (各種温度)



2.6GHz で整合、シングル・トーン、 $f_{DAC} = 11.79648\text{GSPPS}$ 、インターリーブ・モード、 40MHz オフセット

図 6-100. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、2.6GHz)

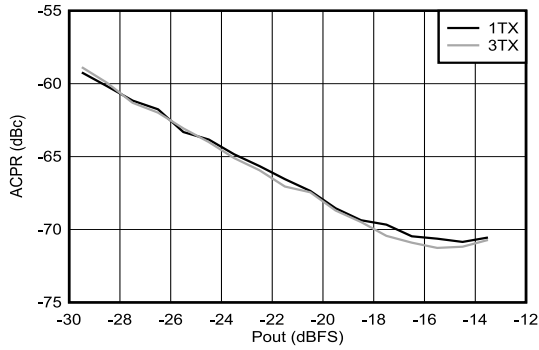


TM1.1、 $P_{OUT_RMS} = -13\text{dBFS}$

図 6-101. TX 20MHz LTE 出カスペクトル (バンド 41、2.6GHz)

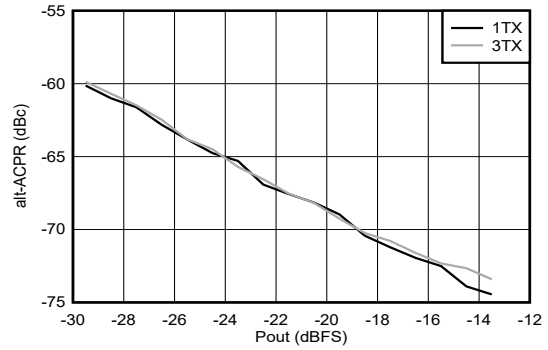
6.12.3 TX の代表的特性 (2.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



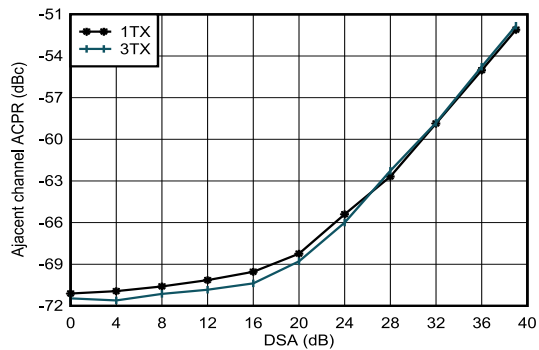
2.6GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-102. TX 20MHz LTE ACPR とデジタル・レベルとの関係 (2.6GHz)



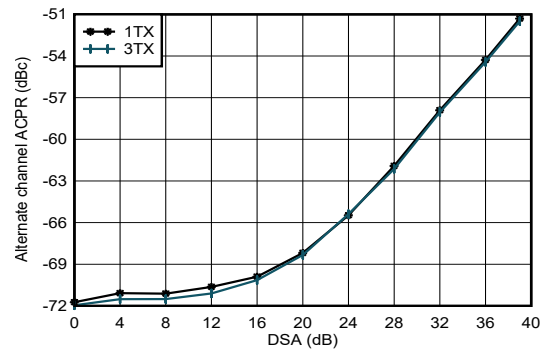
2.6GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-103. TX 20MHz LTE alt-ACPR とデジタル・レベルとの関係 (2.6GHz)



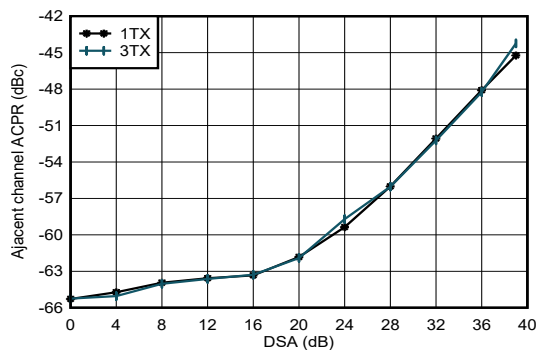
2.6GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-104. TX 20MHz LTE ACPR と DSA 設定との関係 (2.6GHz)



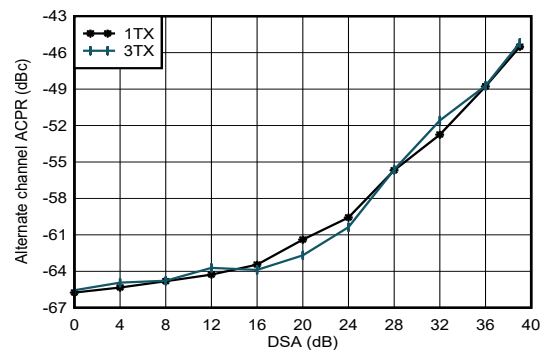
2.6GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-105. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (2.6GHz)



2.6GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-106. TX 20MHz LTE ACPR と DSA 設定との関係 (2.6GHz)

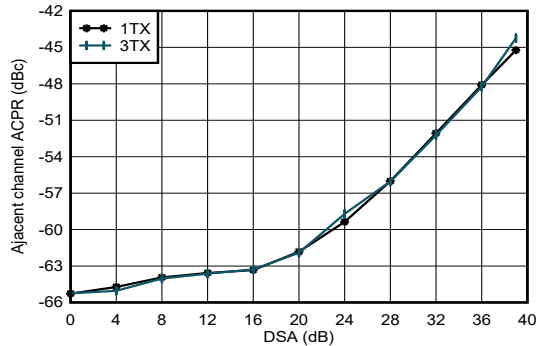


2.6GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-107. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (2.6GHz)

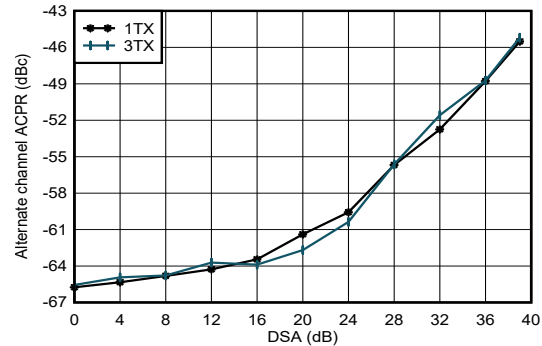
6.12.3 TX の代表的特性 (2.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザイネーブル



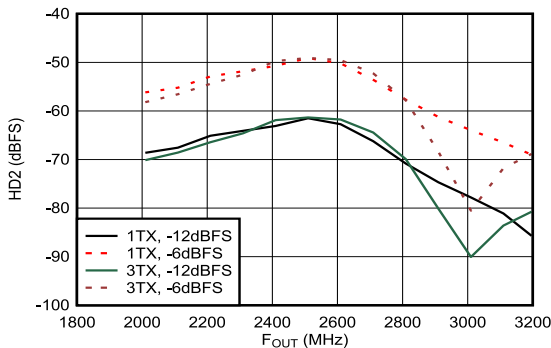
2.6GHz で整合、シングル・キャリア 100MHz BW TM1.1 NR

図 6-108. TX 100MHz NR ACPR と DSA 設定との関係 (2.6GHz)



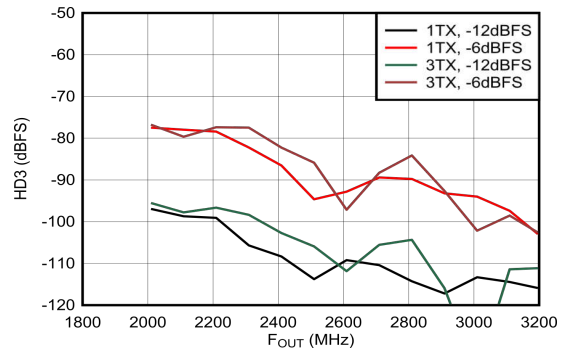
2.6GHz で整合、シングル・キャリア 100MHz BW TM1.1 NR

図 6-109. TX 100MHz NR alt-ACPR と DSA 設定との関係 (2.6GHz)



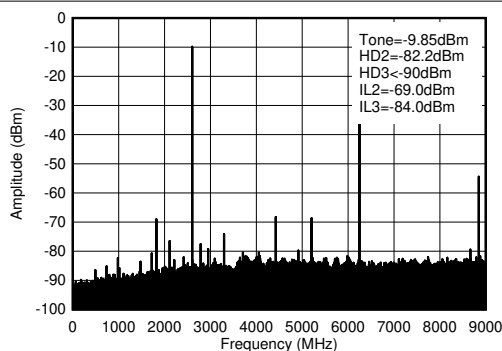
2.6GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブ・モード、高調波周波数での出力電力で正規化

図 6-110. TX HD2 と出力周波数との関係 (各種デジタル振幅、2.6GHz)



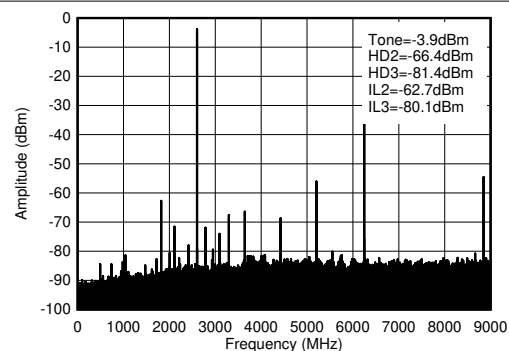
2.6GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブ・モード、高調波周波数での出力電力で正規化

図 6-111. TX HD3 と出力周波数との関係 (各種デジタル振幅、2.6GHz)



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ (デジタル・クロックとのミキシングに起因)。

図 6-112. TX シングル・トーン (-12dBFS) 出カスペクトル (0~ f_{DAC} 、2.6GHz)

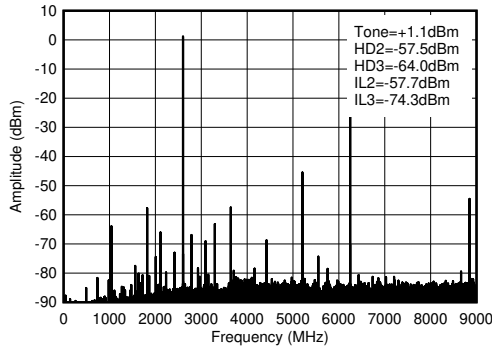


$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ (デジタル・クロックとのミキシングに起因)。

図 6-113. TX シングル・トーン (-6dBFS) 出カスペクトル (0~ f_{DAC} 、2.6GHz)

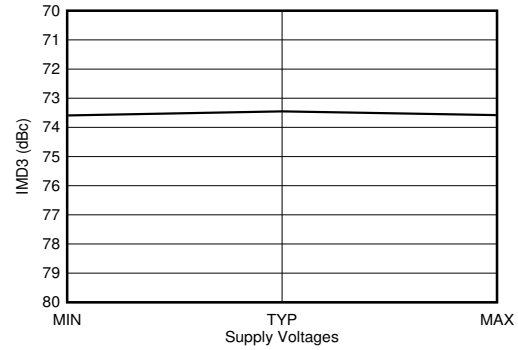
6.12.3 TX の代表的特性 (2.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



$f_{\text{DAC}} = 8847.36\text{MSPS}$ 、ストレート・モード、2.6GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ (デジタル・クロックとのミキシングに起因)。

図 6-114. TX シングル・トーン (-1dBFS) 出力スペクトル (0~ f_{DAC} 、2.6GHz)

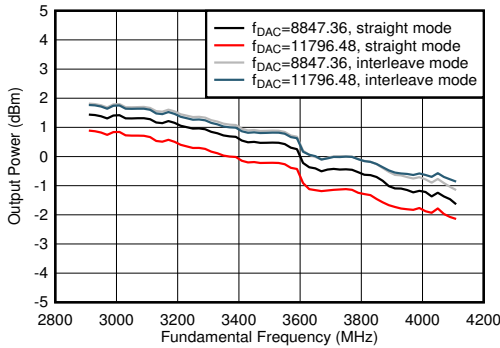


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、2.6GHz 整合あり。トーンから 40MHz オフセット。出力電力 = -13dBFS。すべての電源電圧に最小値、代表値、最大値がある。

図 6-115. TX IMD3 と電源電圧との関係 (2.6GHz)

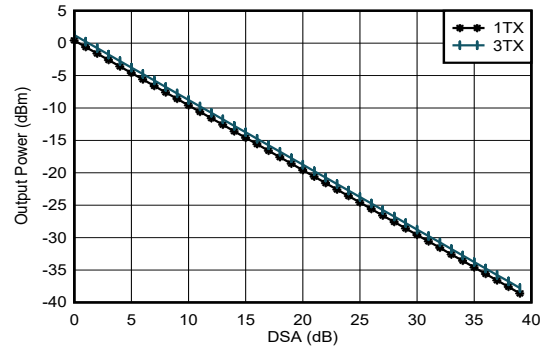
6.12.4 TX の代表的特性 (3.5GHz 時)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



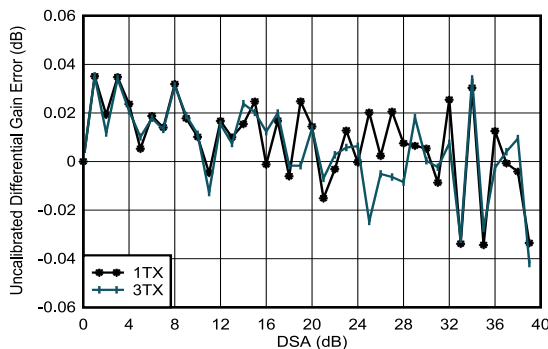
$A_{\text{out}} = -0.5\text{dBFS}$ 、3.5GHz 整合あり、PCB とケーブルの損失を含む。

図 6-116. TX 出力電力と周波数との関係



$A_{\text{out}} = -0.5\text{dBFS}$ 、3.5GHz 整合あり、PCB とケーブルの損失を含む。

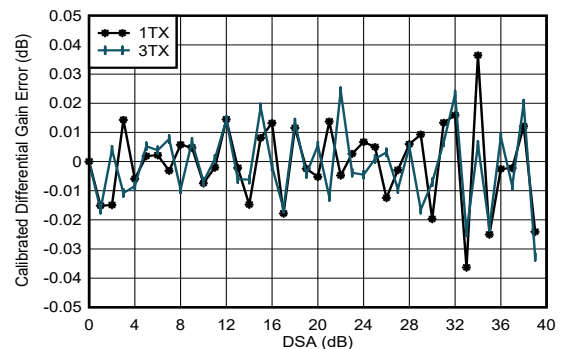
図 6-117. TX 出力電力と DSA 設定との関係 (3.5GHz)



3.5GHz 整合あり、PCB とケーブルの損失を含む。

$$\text{微分ゲイン誤差} = P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$$

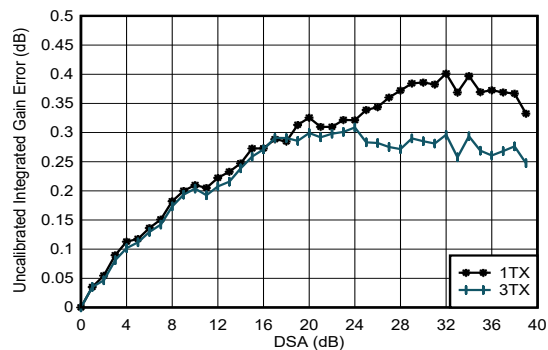
図 6-118. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



3.5GHz 整合あり、PCB とケーブルの損失を含む。

$$\text{微分ゲイン誤差} = P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$$

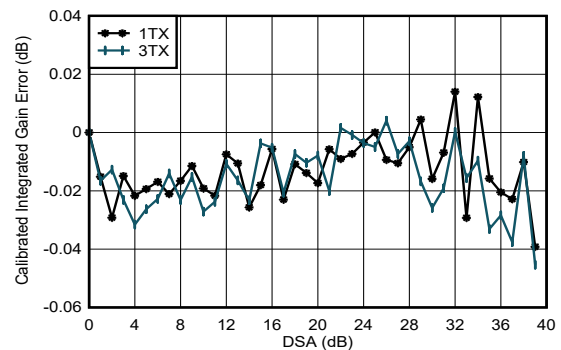
図 6-119. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



3.5GHz 整合あり、PCB とケーブルの損失を含む。

$$\text{積分ゲイン誤差} = P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$$

図 6-120. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



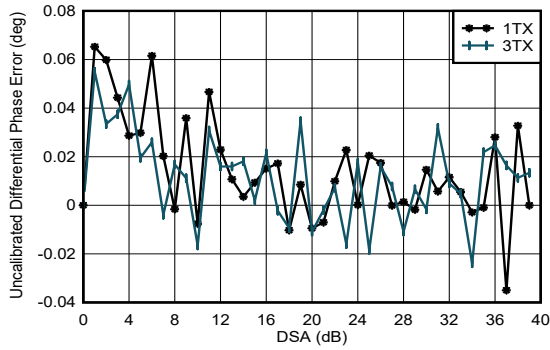
3.5GHz 整合あり、PCB とケーブルの損失を含む。

$$\text{積分ゲイン誤差} = P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$$

図 6-121. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル、3.5GHz)

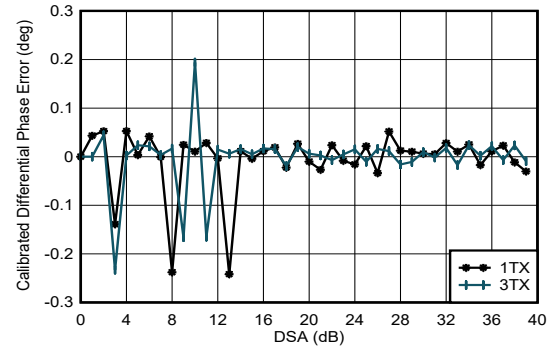
6.12.4 TX の代表的特性 (3.5GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み、TX クロック・ディザ・イネーブル



3.5GHz 整合あり、PCB とケーブルの損失を含む。

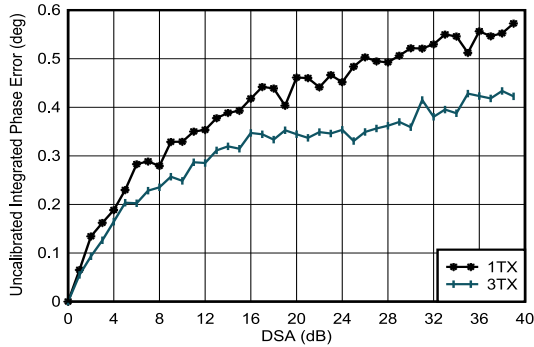
図 6-122. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



3.5GHz 整合あり、PCB とケーブルの損失を含む。

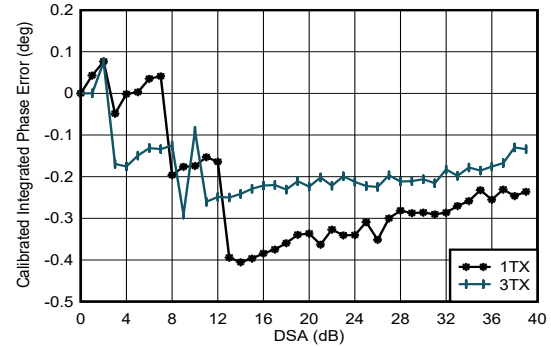
位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 6-123. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



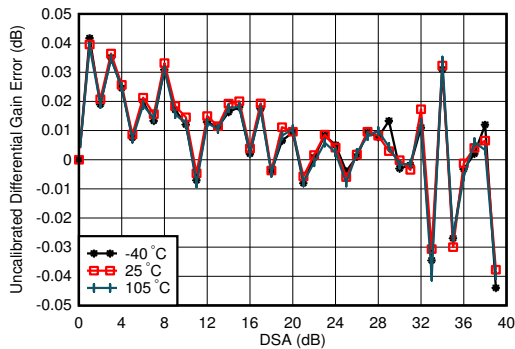
3.5GHz 整合あり、PCB とケーブルの損失を含む。

図 6-124. TX 未較正積分位相誤差と DSA 設定との関係 (チャネル 1、3.5GHz)



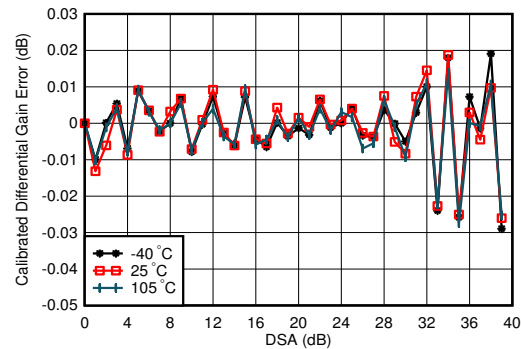
3.5GHz 整合あり、PCB とケーブルの損失を含む。

図 6-125. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャネル、3.5GHz)



3.5GHz 整合あり、1TX

図 6-126. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)

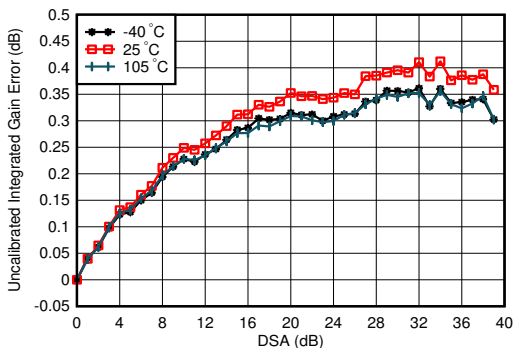


3.5GHz 整合あり、1TX、25°Cで較正済み

図 6-127. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)

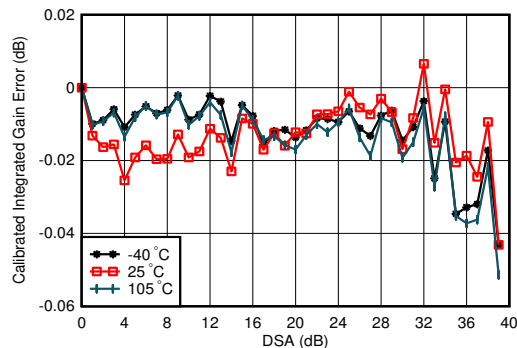
6.12.4 TX の代表的特性 (3.5GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み、TX クロック・ディザ・イネーブル



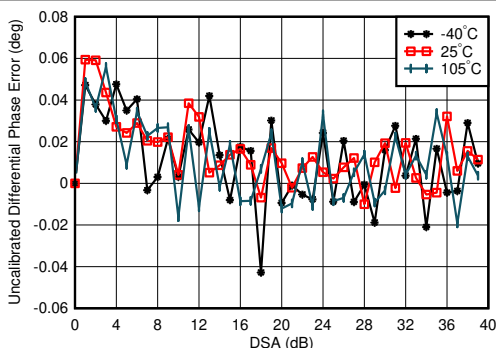
3.5GHz 整合あり、1TX

図 6-128. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)



3.5GHz 整合あり、1TX、25°Cで較正済み

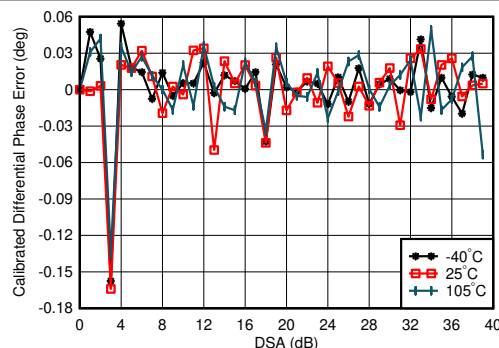
図 6-129. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、3.5GHz)



3.5GHz 整合あり、1TX

微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

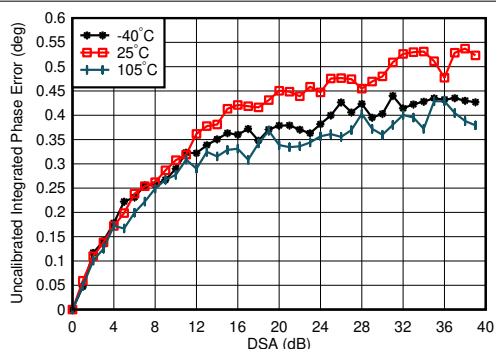
図 6-130. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)



3.5GHz 整合あり、1TX、25°Cで較正済み

微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

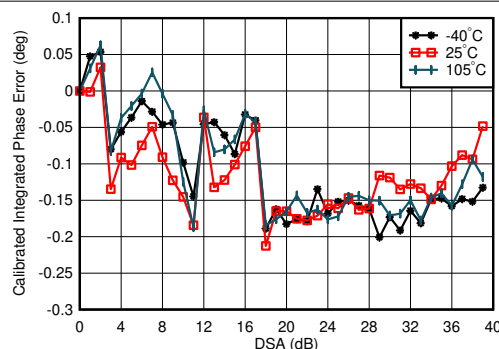
図 6-131. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)



3.5GHz 整合あり、1TX

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-132. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)



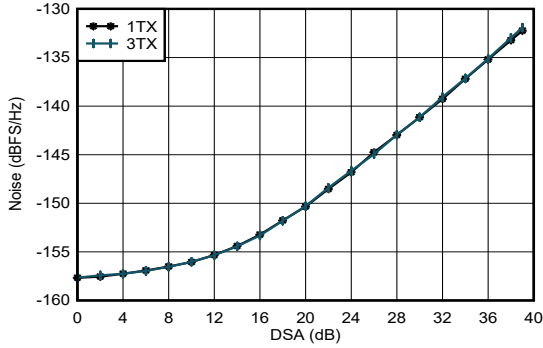
3.5GHz 整合あり、1TX、25°Cで較正済み

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-133. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、3.5GHz)

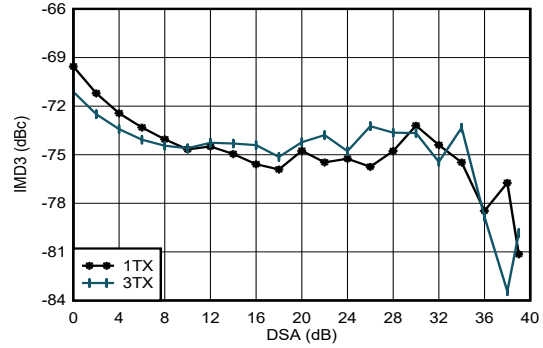
6.12.4 TX の代表的特性 (3.5GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



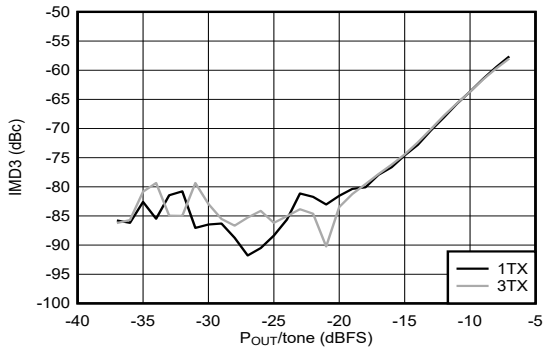
A. $f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、3.5GHz で整合、 $A_{\text{OUT}} = -13\text{dBFS}$ 。

図 6-134. TX NSD と DSA 設定との関係 (3.5GHz)



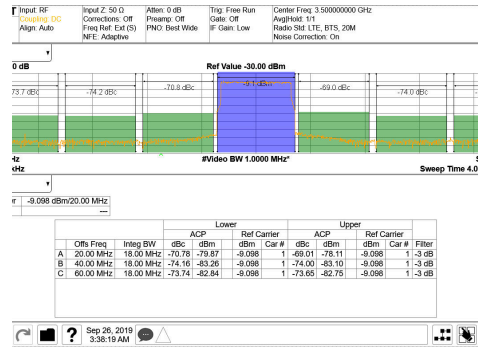
20MHz のトーン間隔、3.5GHz 整合あり、各トーン -13dBFS 、PCB とケーブルの損失を含む。

図 6-135. TX IMD3 と DSA 設定との関係 (3.5GHz)



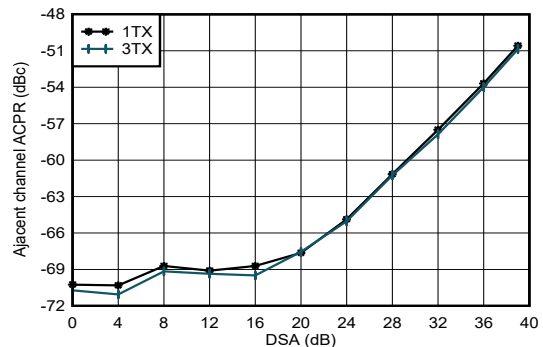
20MHz のトーン間隔、3.5GHz 整合あり

図 6-136. TX IMD3 とデジタル振幅との関係 (各種チャネル、3.5GHz)



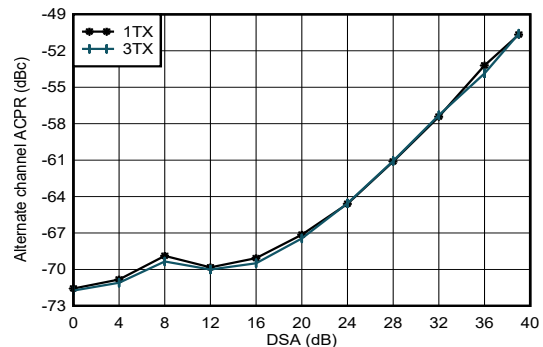
3.5GHz 整合あり、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-137. TX 20MHz LTE 出カスペクトル (バンド 42、3.5GHz)



3.5GHz 整合あり、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-138. TX 20MHz LTE ACPR と DSA 設定との関係 (3.5GHz)

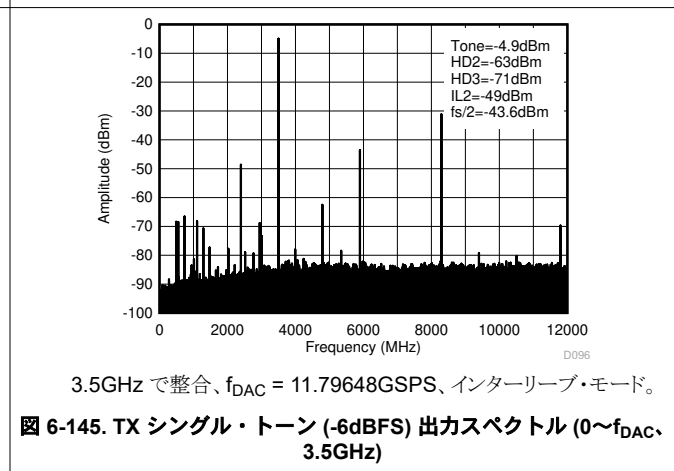
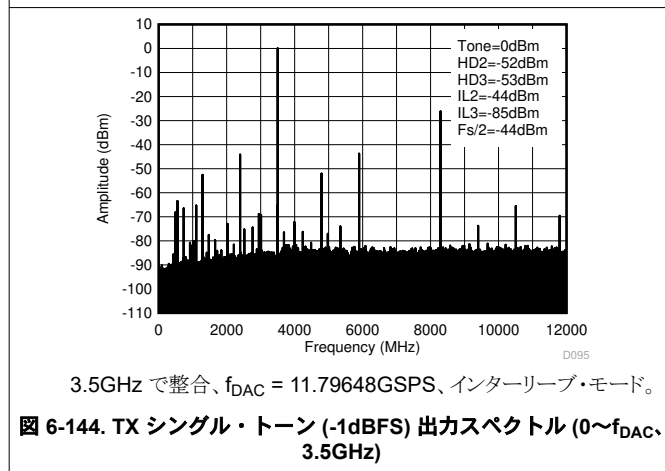
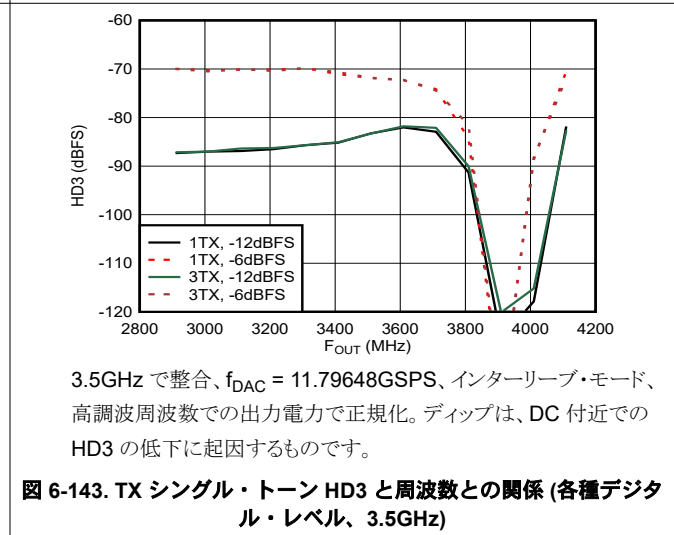
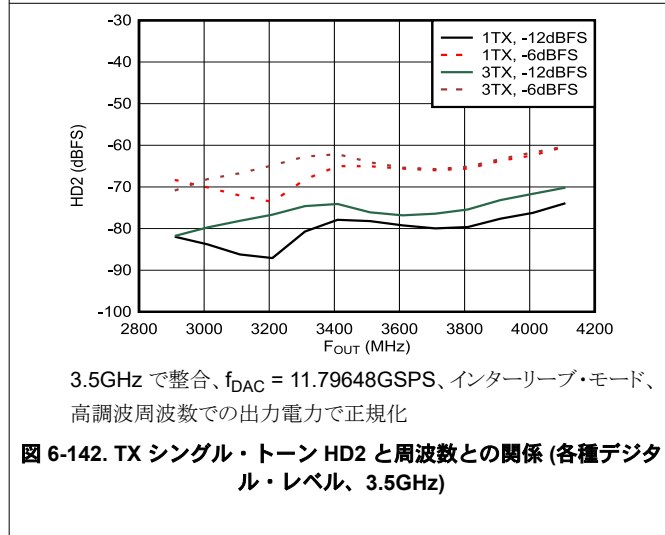
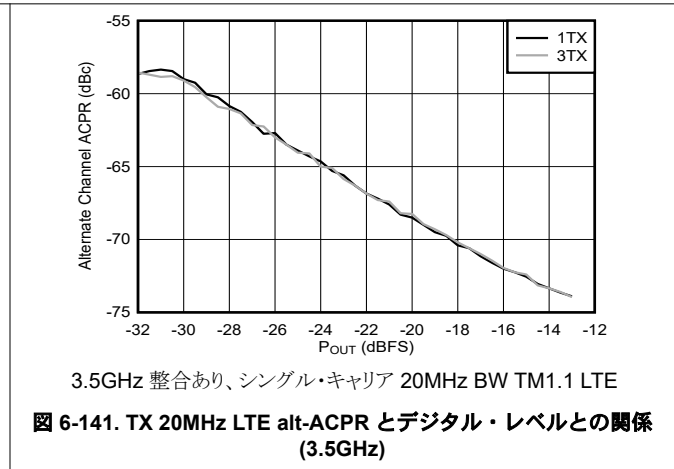
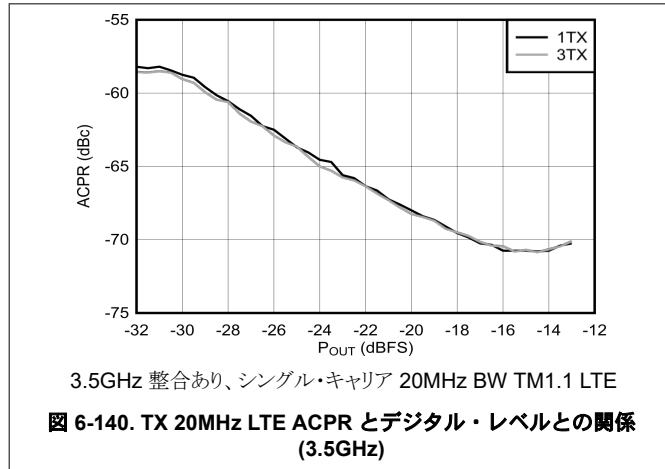


3.5GHz 整合あり、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-139. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (3.5GHz)

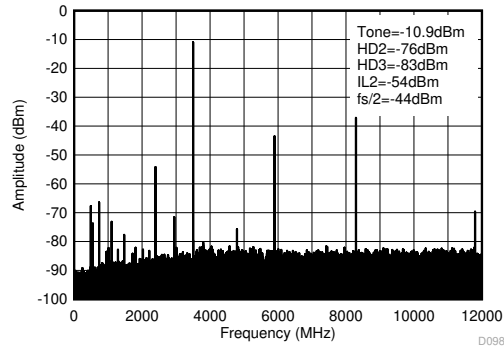
6.12.4 TX の代表的特性 (3.5GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



6.12.4 TX の代表的特性 (3.5GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル

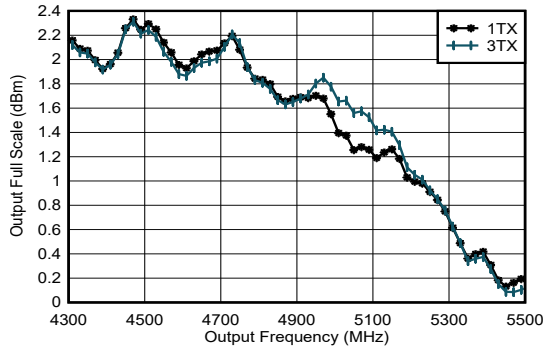


3.5GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブ・モード。

図 6-146. TX シングル・トーン (-12dBFS) 出力スペクトル (0~ f_{DAC} 、3.5GHz)

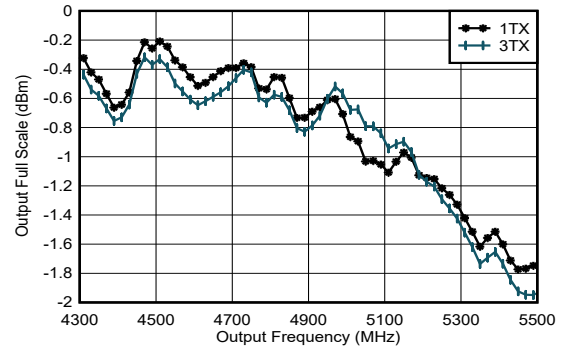
6.12.5 TX の代表的特性 (4.9GHz 時)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



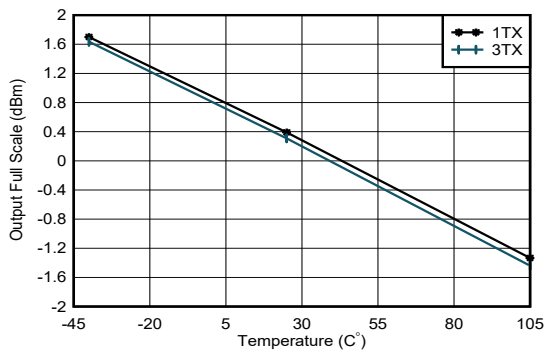
PCB とケーブルの損失を除く。 $A_{\text{OUT}} = -0.5\text{dBFS}$ 、 $\text{DSA} = 0$ 、4.9GHz 整合あり。

図 6-147. TX フルスケールと RF 周波数との関係 (各種チャネル、11796.48MSPS)



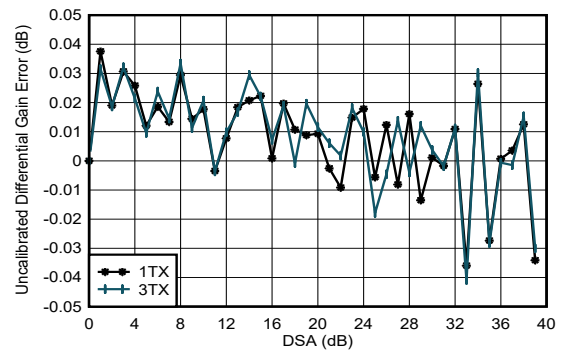
PCB とケーブルの損失を除く。 $A_{\text{OUT}} = -0.5\text{dBFS}$ 、 $\text{DSA} = 0$ 、4.9GHz 整合あり。

図 6-148. TX フルスケールと RF 周波数との関係 (各種チャネル、5898.24MSPS、ストレート・モード、2 次ナイキスト・ゾーン)



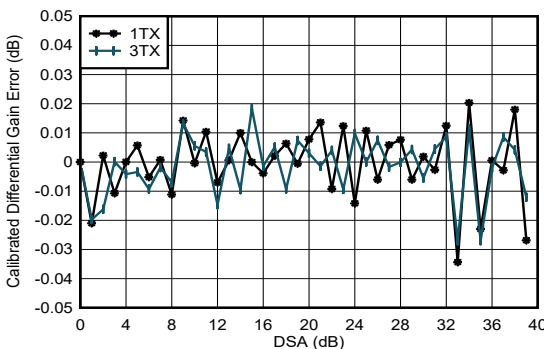
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、 $A_{\text{OUT}} = -0.5\text{dBFS}$ 、4.9GHz に整合

図 6-149. TX 出力電力と DSA 設定との関係 (各種チャネル、4.9GHz)



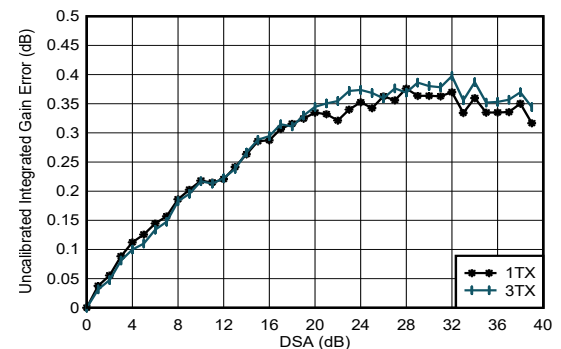
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 6-150. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種チャネル、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合
微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 6-151. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種チャネル、4.9GHz)

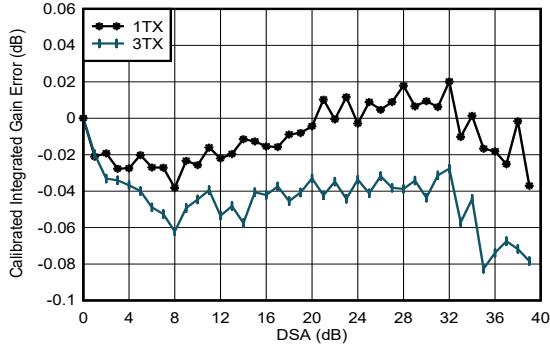


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合
積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-152. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種チャネル、4.9GHz)

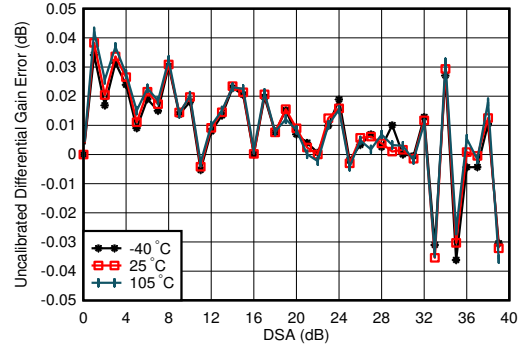
6.12.5 TX の代表的特性 (4.9GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



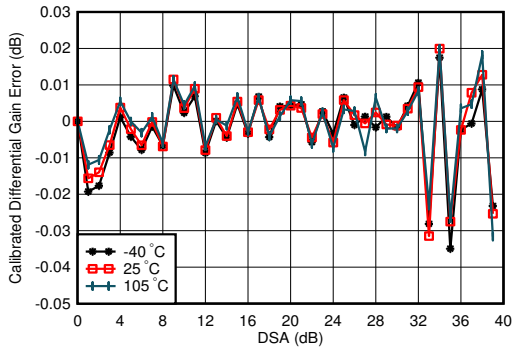
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-153. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種チャネル, 4.9GHz)



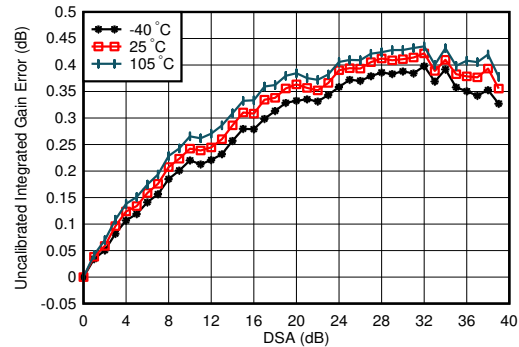
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 6-154. TX 未較正微分ゲイン誤差と DSA 設定との関係 (各種温度, 4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合微分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定} - 1) - P_{\text{OUT}}(\text{DSA 設定}) + 1$

図 6-155. TX 較正済み微分ゲイン誤差と DSA 設定との関係 (各種温度, 4.9GHz)

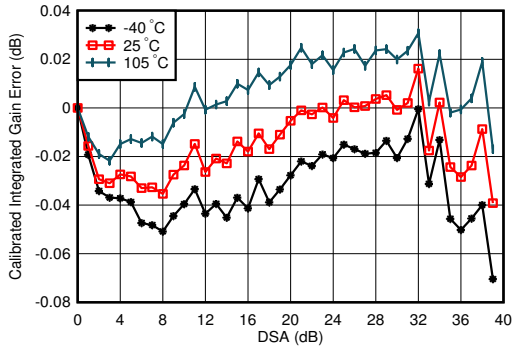


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-156. TX 未較正積分ゲイン誤差と DSA 設定との関係 (各種温度, 4.9GHz)

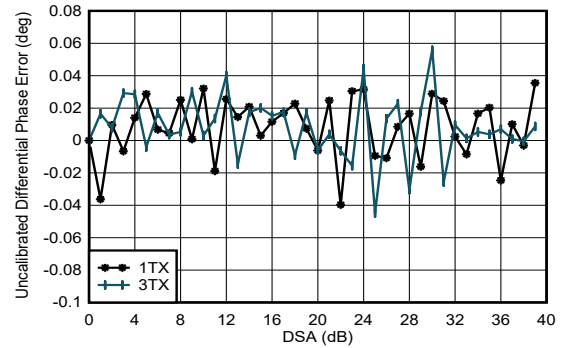
6.12.5 TX の代表的特性 (4.9GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



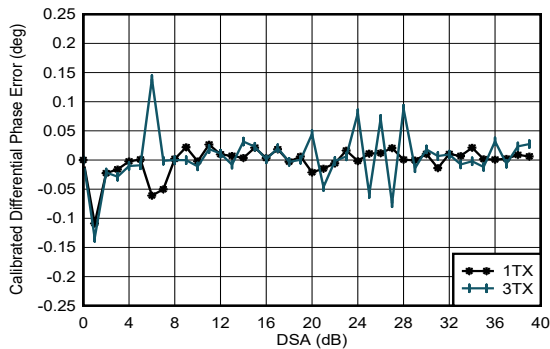
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合積分ゲイン誤差 = $P_{\text{OUT}}(\text{DSA 設定}) - P_{\text{OUT}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-157. TX 較正済み積分ゲイン誤差と DSA 設定との関係 (各種温度、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

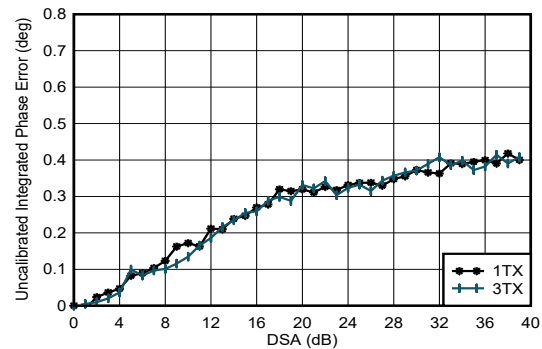
図 6-158. TX 未較正微分位相誤差と DSA 設定との関係 (各種チャネル、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

位相 DNL スパイクは、すべての DSA 設定で発生する可能性があります。

図 6-159. TX 較正済み微分位相誤差と DSA 設定との関係 (各種チャネル、4.9GHz)

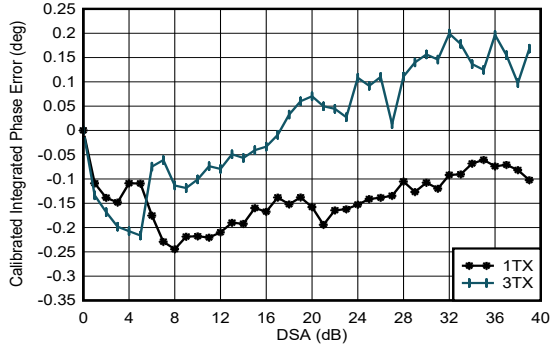


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-160. TX 未較正積分位相誤差と DSA 設定との関係 (チャネル 1、4.9GHz)

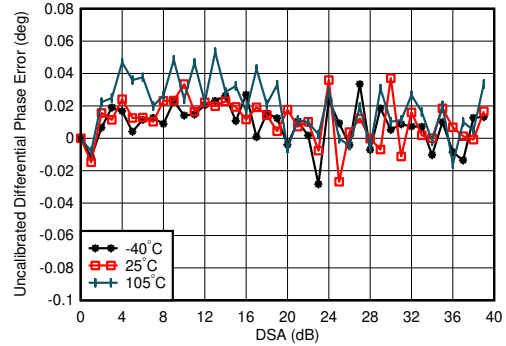
6.12.5 TX の代表的特性 (4.9GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



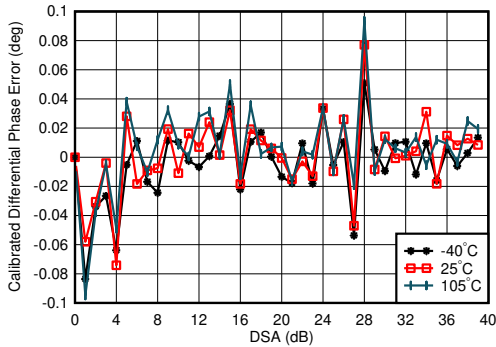
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-161. TX 較正済み積分位相誤差と DSA 設定との関係 (各種チャネル、4.9GHz)



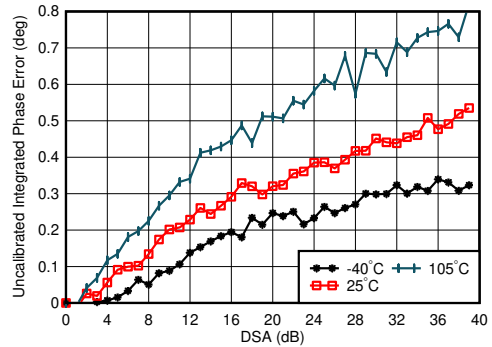
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 6-162. TX 未較正微分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合
微分位相誤差 = $\text{Phase}_{\text{OUT}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{OUT}}(\text{DSA 設定})$

図 6-163. TX 較正済み微分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)

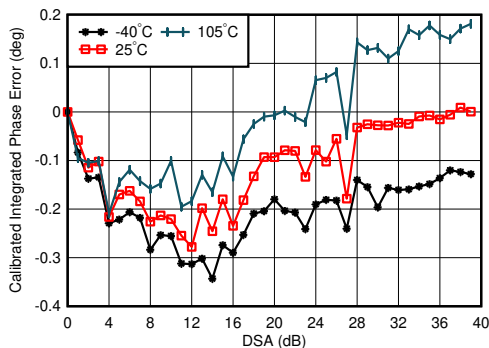


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-164. TX 未較正積分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)

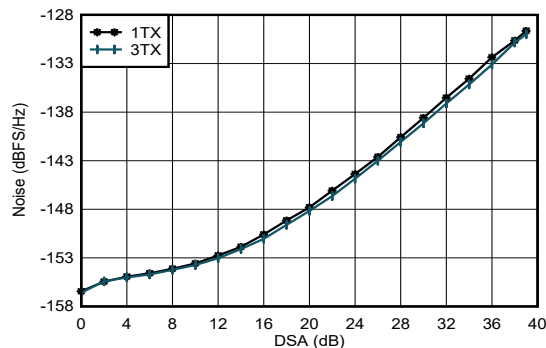
6.12.5 TX の代表的特性 (4.9GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザイネーブル



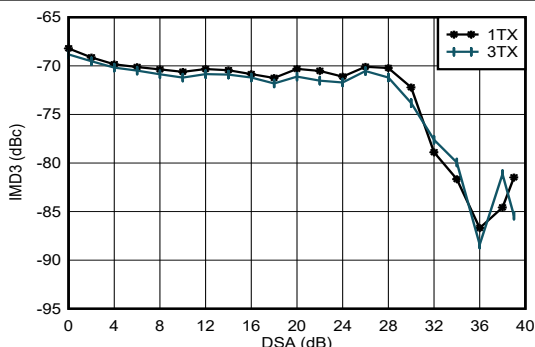
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合、全 DSA 設定にわたって 25°C での誤差が中央値であるチャンネル
 積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-165. TX 較正済み積分位相誤差と DSA 設定との関係 (各種温度、4.9GHz)



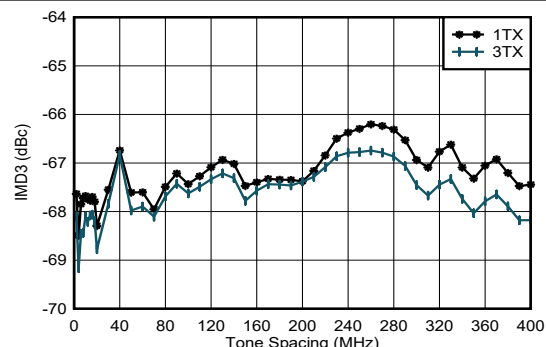
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合、 $P_{\text{OUT}} = -13\text{dBFS}$

図 6-166. TX 出力ノイズと減衰量との関係 (各種チャンネル、2.6GHz)



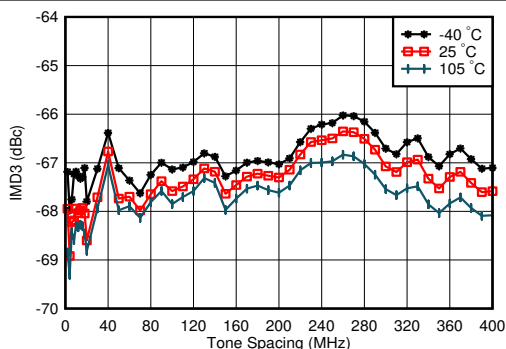
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合、 $f_{\text{CENTER}} = 4.9\text{GHz}$ 、各トーン -13dBFS

図 6-167. TX IMD3 と DSA 設定との関係 (4.9GHz)



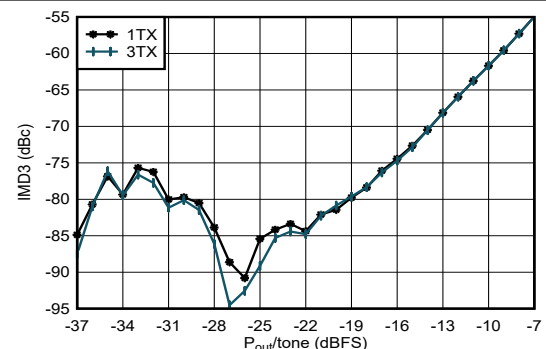
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合、 $f_{\text{CENTER}} = 4.9\text{GHz}$ 、各トーン -13dBFS

図 6-168. TX IMD3 とトーン間隔との関係 (各種チャンネル、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合、 $f_{\text{CENTER}} = 4.9\text{GHz}$ 、各トーン -13dBFS 、ワースト・チャンネル

図 6-169. TX IMD3 とトーン間隔との関係 (各種温度、4.9GHz)

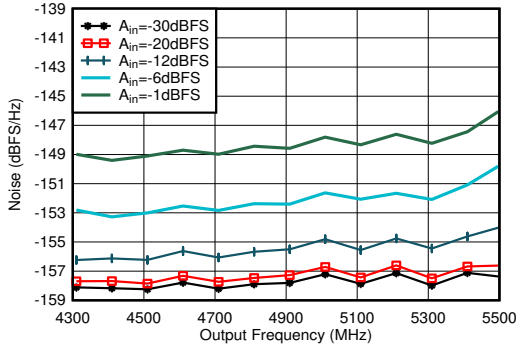


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz で整合、 $f_{\text{CENTER}} = 4.9\text{GHz}$ 、 $f_{\text{SPACING}} = 20\text{MHz}$

図 6-170. TX IMD3 とデジタル・レベルとの関係 (4.9GHz)

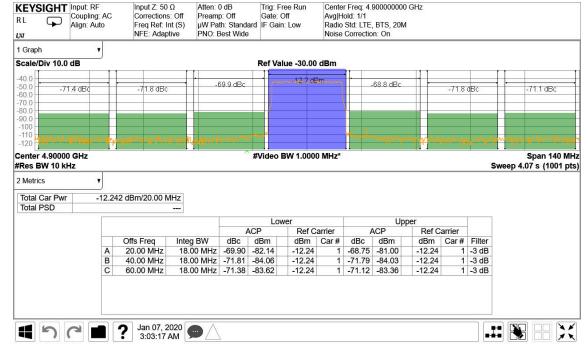
6.12.5 TX の代表的特性 (4.9GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



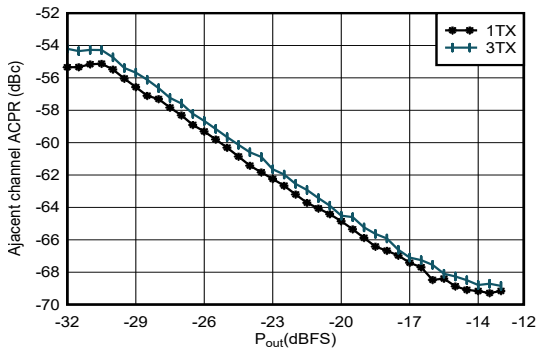
4.9GHz で整合、シングル・トーン、 $f_{\text{DAC}} = 11.79648\text{GSPPS}$ 、インターリーブ・モード、40MHz オフセット、 $\text{DSA} = 0\text{dB}$

図 6-171. TX シングルトーン出力ノイズと周波数との関係 (各種振幅、4.9GHz)



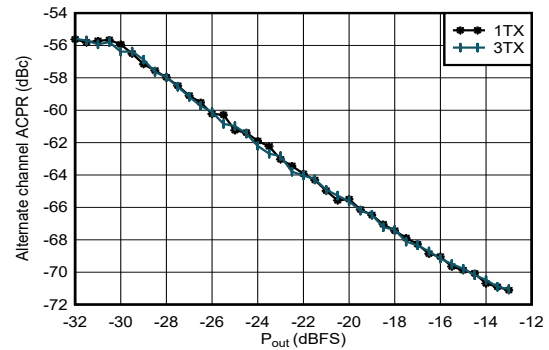
TM1.1、 $P_{\text{OUT_RMS}} = -13\text{dBFS}$

図 6-172. TX 20MHz LTE 出力スペクトル (4.9GHz)



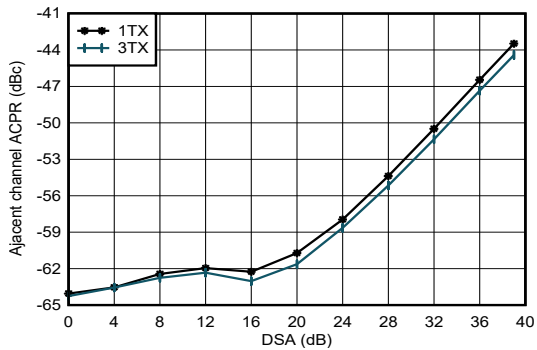
4.9GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-173. TX 20MHz LTE ACPR とデジタル・レベルとの関係 (4.9GHz)



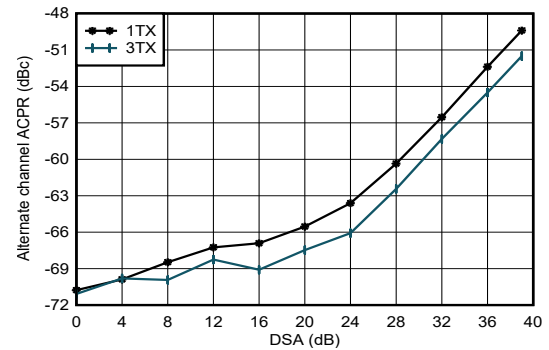
4.9GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-174. TX 20MHz LTE alt-ACPR とデジタル・レベルとの関係 (4.9GHz)



4.9GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-175. TX 20MHz LTE ACPR と DSA 設定との関係 (4.9GHz)

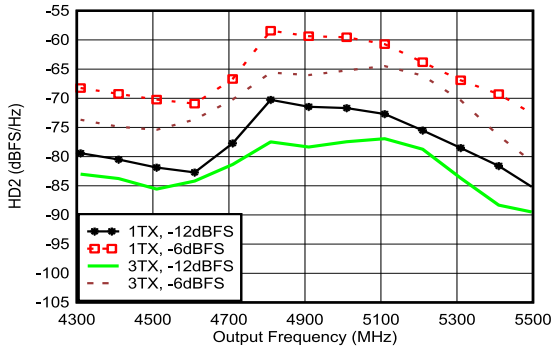


4.9GHz で整合、シングル・キャリア 20MHz BW TM1.1 LTE

図 6-176. TX 20MHz LTE alt-ACPR と DSA 設定との関係 (4.9GHz)

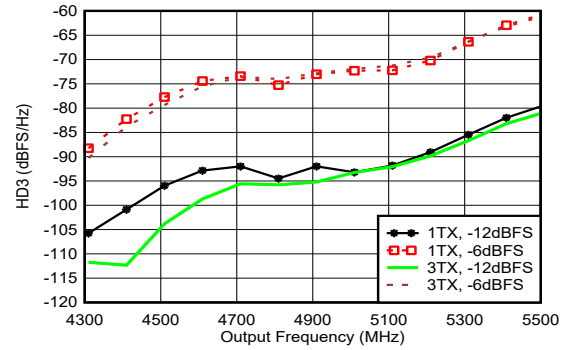
6.12.5 TX の代表的特性 (4.9GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件:TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、インターリーブ・モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ による PLL クロック・モード、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル



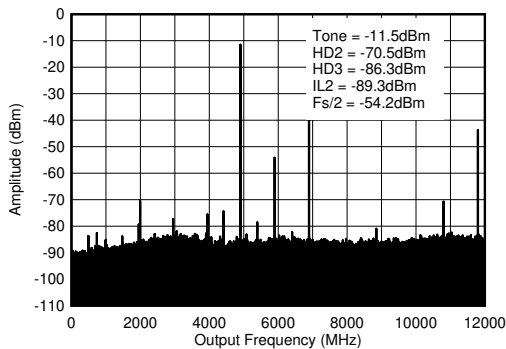
4.9GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブ・モード、高調波周波数での出力電力で正規化

図 6-177. TX HD2 と出力周波数との関係 (各種デジタル振幅、4.9GHz)



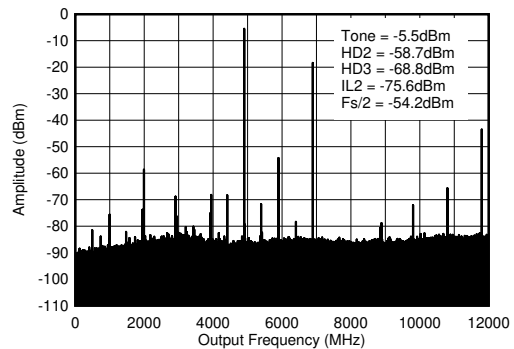
4.9GHz で整合、 $f_{\text{DAC}} = 11.79648\text{GSPS}$ 、インターリーブ・モード、高調波周波数での出力電力で正規化

図 6-178. TX HD3 と出力周波数との関係 (各種デジタル振幅、4.9GHz)



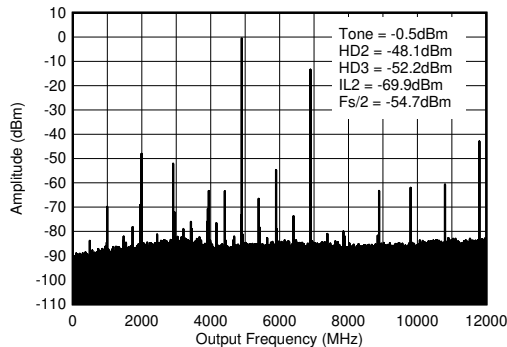
$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 6-179. TX シングル・トーン (-12dBFS) 出力スペクトル ($0 \sim f_{\text{DAC}}$ 、4.9GHz)



$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 6-180. TX シングル・トーン (-6dBFS) 出力スペクトル ($0 \sim f_{\text{DAC}}$ 、4.9GHz)

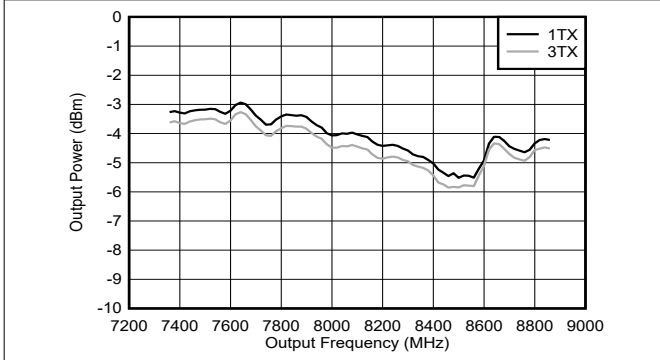


$f_{\text{DAC}} = 11796.48\text{MSPS}$ 、インターリーブ・モード、4.9GHz 整合あり、PCB とケーブルの損失を含む。ILn = $f_s/n \pm f_{\text{OUT}}$ 。

図 6-181. TX シングル・トーン (-1dBFS) 出力スペクトル ($0 \sim f_{\text{DAC}}$ 、4.9GHz)

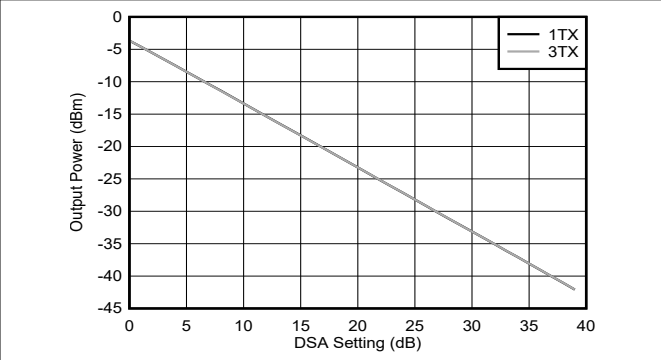
6.12.6 TX の代表的特性 (8.1GHz 時)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ 、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み、TX クロック・ディザ・イネーブル、8.1GHz 整合あり。



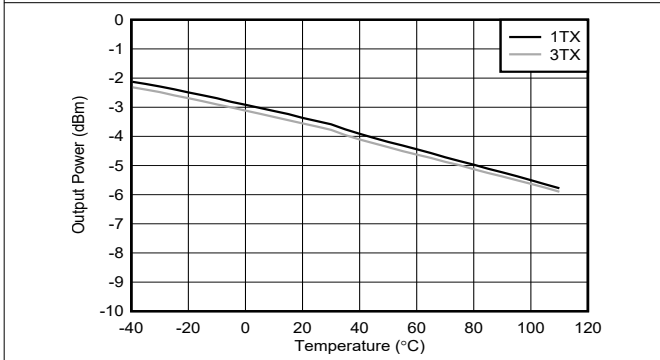
PCB とケーブルの損失を含む。

図 6-182. TX 出力電力と周波数との関係 (8.11GHz)



PCB とケーブルの損失を含む。

図 6-183. TX 出力電力と DSA 設定との関係 (8.11GHz)



PCB とケーブルの損失を含む。

図 6-184. TX 出力電力と温度との関係 (8.11GHz)

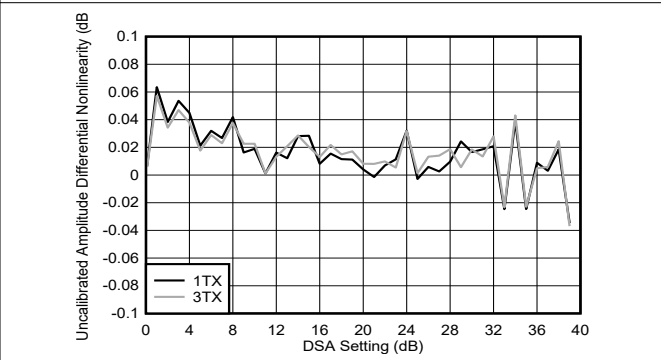


図 6-185. TX DSA 未較正振幅の微分非直線性 (8.11GHz)

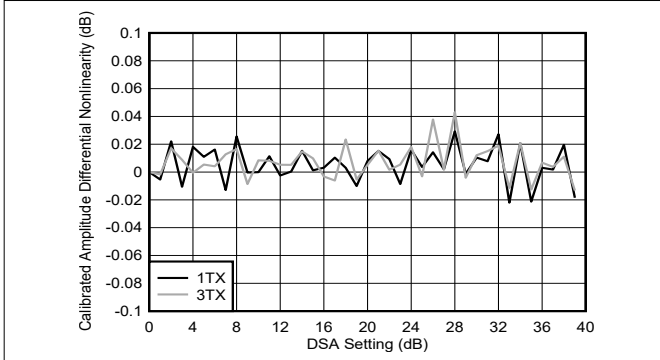


図 6-186. TX DSA 較正済み振幅の微分非直線性 (8.11GHz)

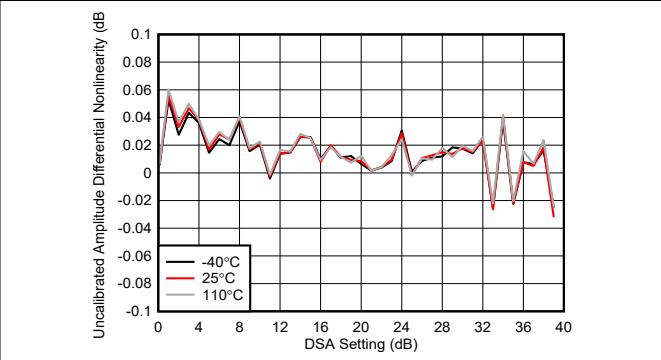


図 6-187. TX DSA 未較正振幅の微分非直線性 (8.11GHz)

6.12.6 TX の代表的特性 (8.1GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ 、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザイ・イネーブル、8.1GHz 整合あり。

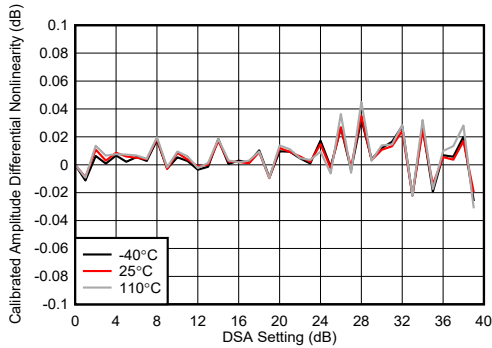


図 6-188. TX DSA 較正済み振幅の微分非直線性 (8.11GHz)

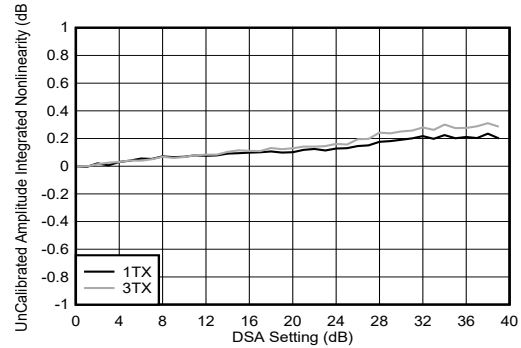


図 6-189. TX DSA 未較正振幅の積分非直線性 (8.11GHz)

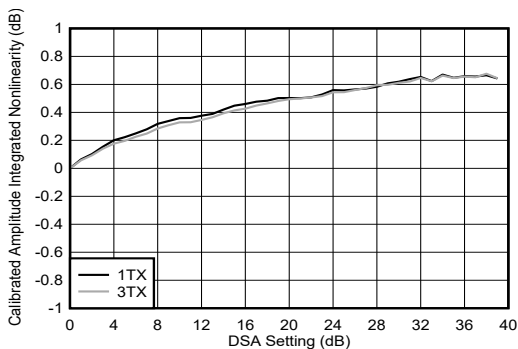


図 6-190. TX DSA 較正済み振幅の積分非直線性 (8.11GHz)

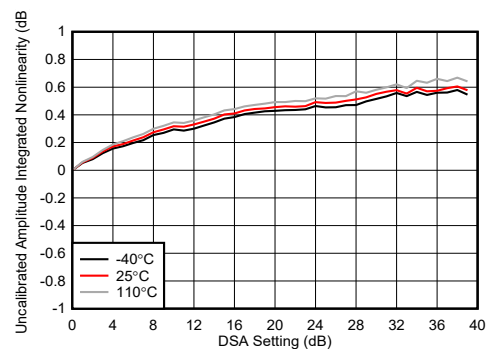


図 6-191. TX DSA 未較正振幅の積分非直線性 (8.11GHz)

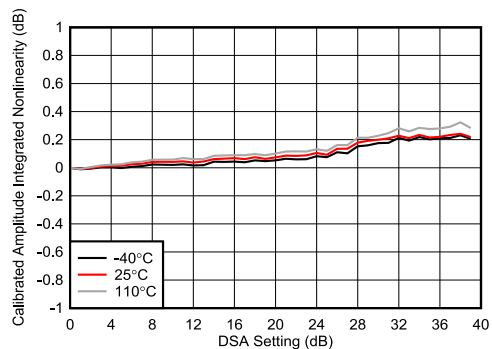


図 6-192. TX DSA 較正済み振幅の積分非直線性 (8.11GHz)

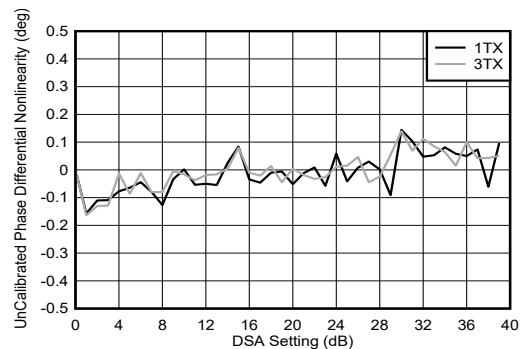


図 6-193. TX DSA 未較正位相の微分非直線性 (8.11GHz)

6.12.6 TX の代表的特性 (8.1GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ 、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル、8.1GHz 整合あり。

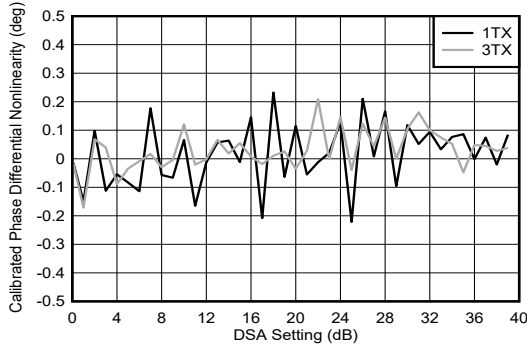


図 6-194. TX DSA 較正済み位相の微分非直線性 (8.11GHz)

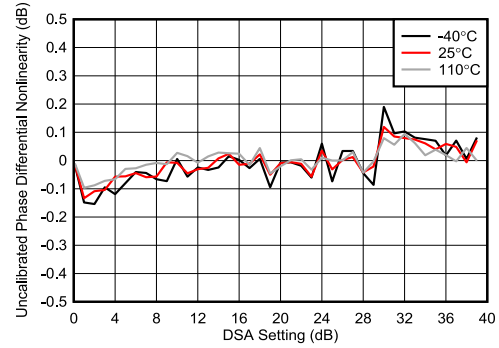


図 6-195. TX DSA 未較正位相の微分非直線性 (8.11GHz)

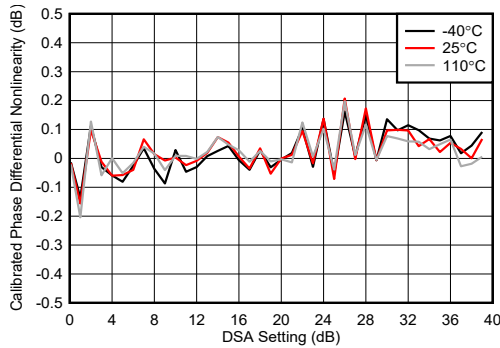


図 6-196. TX DSA 較正済み位相の微分非直線性 (8.11GHz)

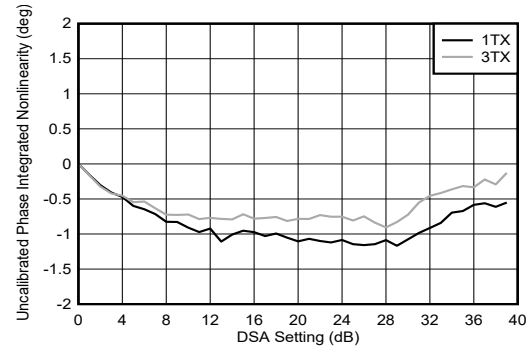


図 6-197. TX DSA 未較正位相の積分非直線性 (8.11GHz)

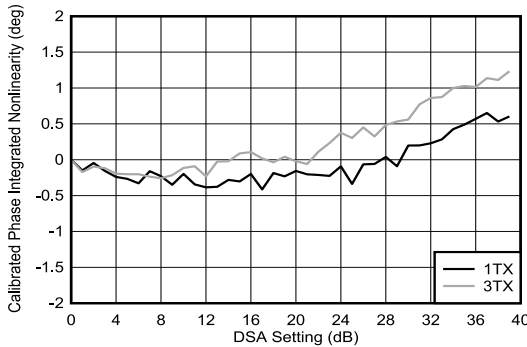


図 6-198. TX DSA 較正済み位相の積分非直線性 (8.11GHz)

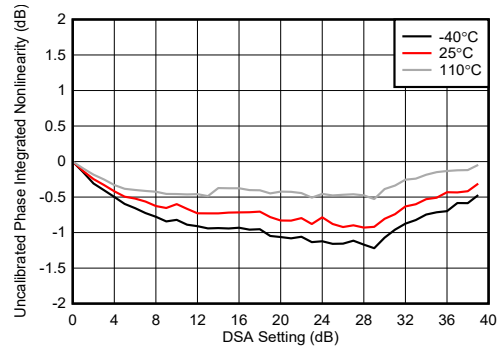


図 6-199. TX DSA 未較正位相の積分非直線性 (8.11GHz)

6.12.6 TX の代表的特性 (8.1GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ 、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル、8.1GHz 整合あり。

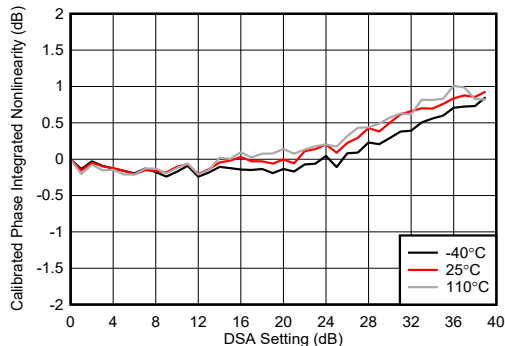
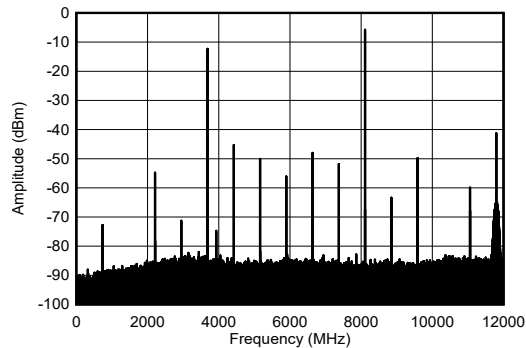
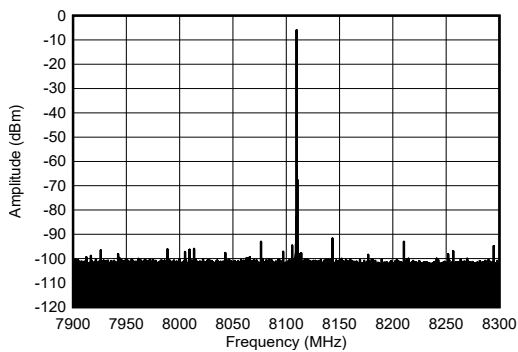


図 6-200. TX DSA 較正済み位相の積分非直線性 (8.11GHz)



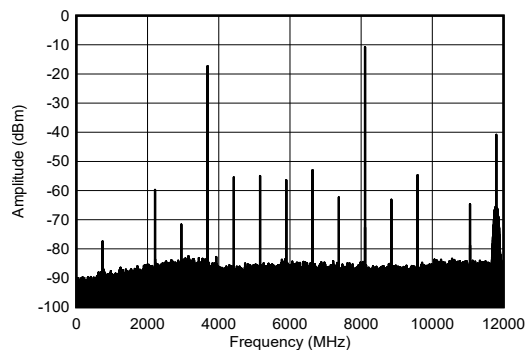
-1dBFS

図 6-201. TX シングル・トーン出カスペクトル (8.11GHz)



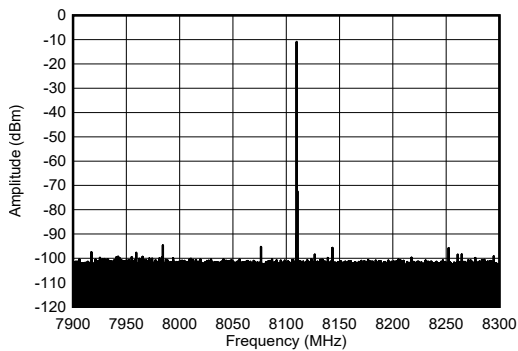
-1dBFS

図 6-202. TX シングル・トーン出カスペクトル (8.11GHz)



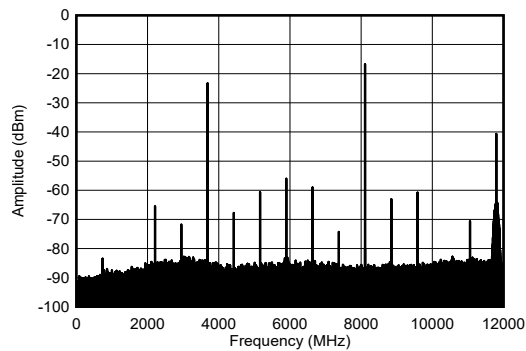
-6dBFS

図 6-203. TX シングル・トーン出カスペクトル (8.11GHz)



-6dBFS

図 6-204. TX シングル・トーン出カスペクトル (8.11GHz)

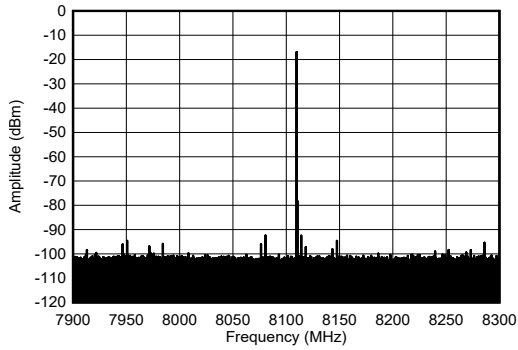


-12dBFS

図 6-205. TX シングル・トーン出カスペクトル (8.11GHz)

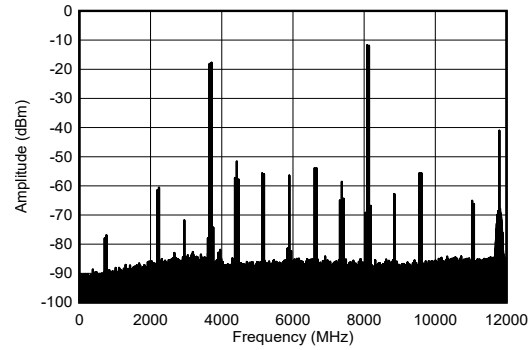
6.12.6 TX の代表的特性 (8.1GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ 、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル、8.1GHz 整合あり。



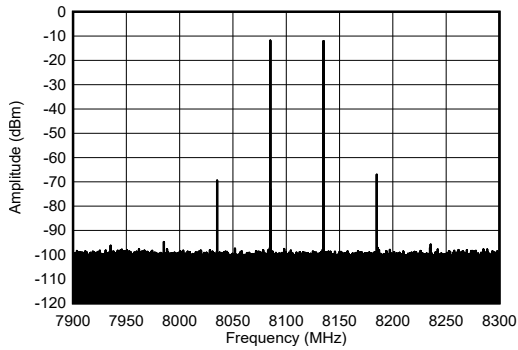
-12dBFS

図 6-206. TX シングル・トーン出力スペクトル (8.11GHz)



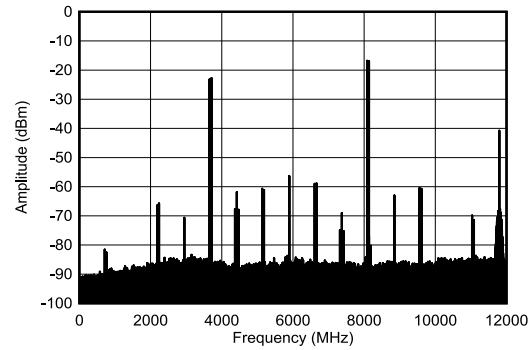
50MHz のトーン間隔、各トーン -7dBFS

図 6-207. TX デュアル・トーン出力スペクトル (8.11GHz)



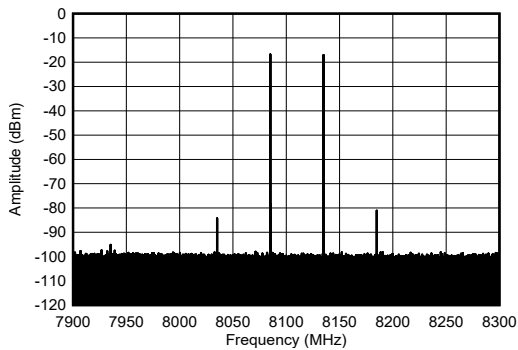
50MHz のトーン間隔、各トーン -7dBFS

図 6-208. TX デュアル・トーン出力スペクトル (8.11GHz)



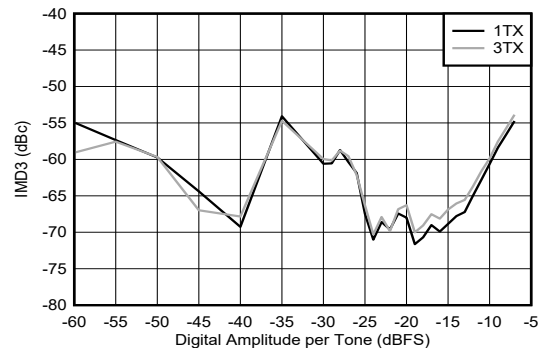
50MHz のトーン間隔、各トーン -12dBFS

図 6-209. TX デュアル・トーン出力スペクトル (8.11GHz)



50MHz のトーン間隔、各トーン -12dBFS

図 6-210. TX デュアル・トーン出力スペクトル (8.11GHz)

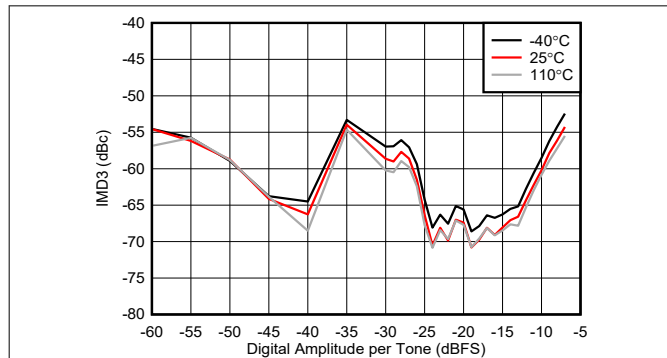


各トーン -7dBFS、50MHz のトーン間隔

図 6-211. TX IMD3 とデジタル振幅との関係 (8.11GHz)

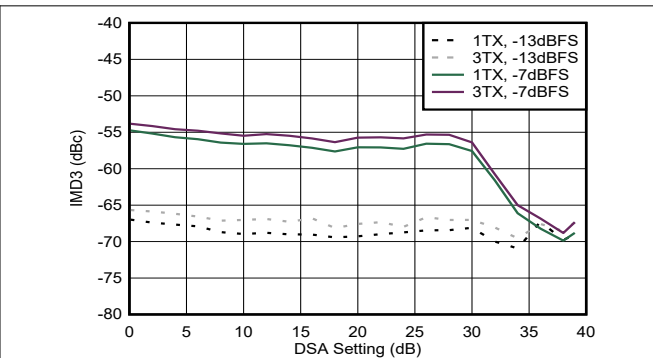
6.12.6 TX の代表的特性 (8.1GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ 、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザイ・イネーブル、8.1GHz 整合あり。



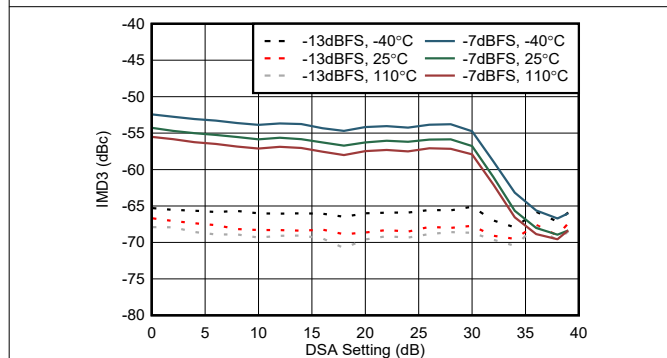
各トーン -7dBFS、50MHz のトーン間隔

図 6-212. TX IMD3 とデジタル振幅との関係 (8.11GHz)



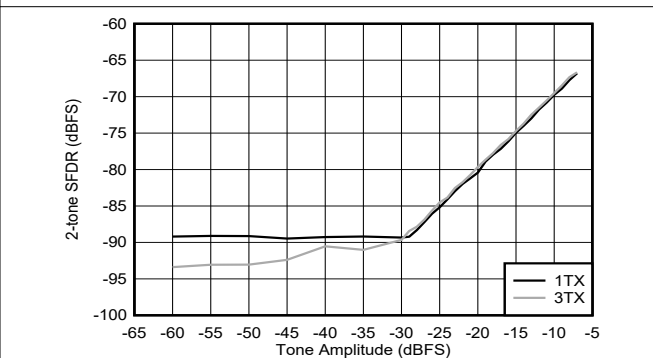
50MHz のトーン間隔

図 6-213. TX IMD3 と DSA 設定との関係 (8.11GHz)



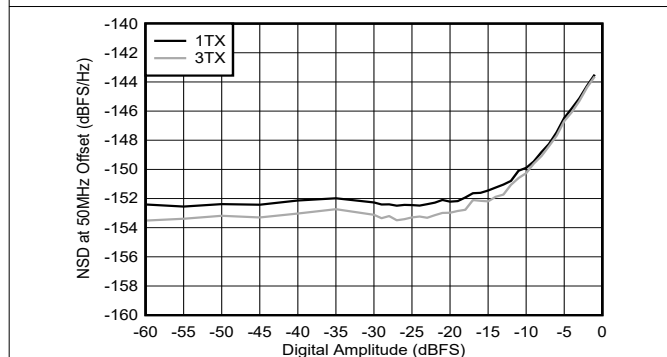
50MHz のトーン間隔

図 6-214. TX IMD3 と DSA 設定との関係 (8.11GHz)



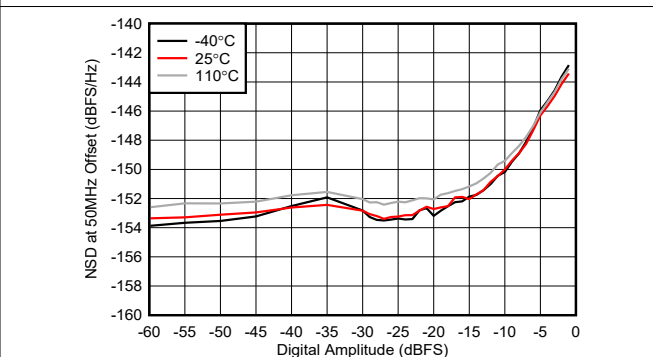
50MHz のトーン間隔

図 6-215. TX 2 トーン SFDR とデジタル振幅との関係 (8.11GHz)



50MHz オフセット

図 6-216. TX NSD とデジタル振幅との関係 (8.11GHz)

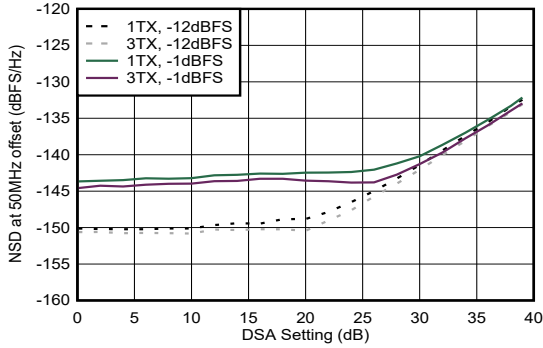


50MHz オフセット

図 6-217. TX NSD とデジタル振幅との関係 (8.11GHz)

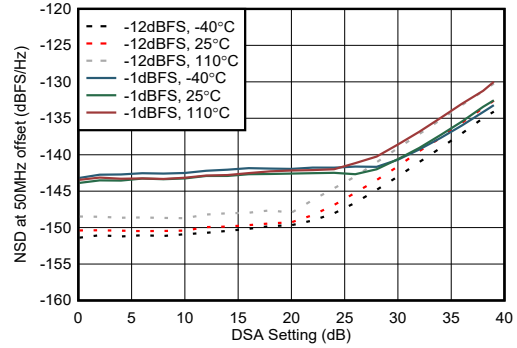
6.12.6 TX の代表的特性 (8.1GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ 、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル、8.1GHz 整合あり。



50MHz オフセット

図 6-218. TX NSD と DSA 設定との関係 (8.11GHz)



50MHz オフセット

図 6-219. TX NSD と DSA 設定との関係 (8.11GHz)

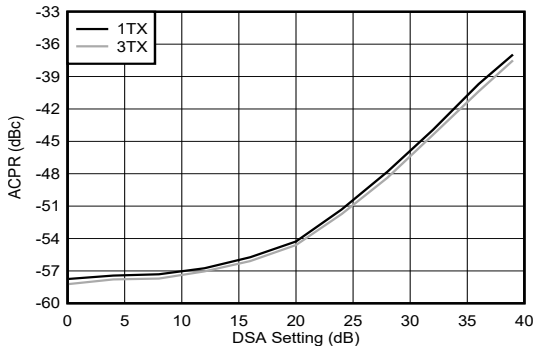


図 6-220. TX NR100MHz ACPR と DSA 設定との関係 (8.11GHz)

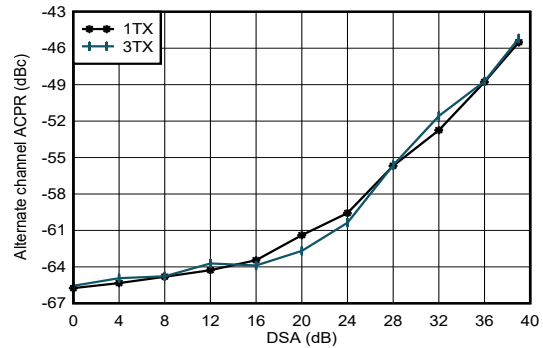


図 6-221. TX NR100MHz alt-ACPR と DSA 設定との関係 (8.11GHz)

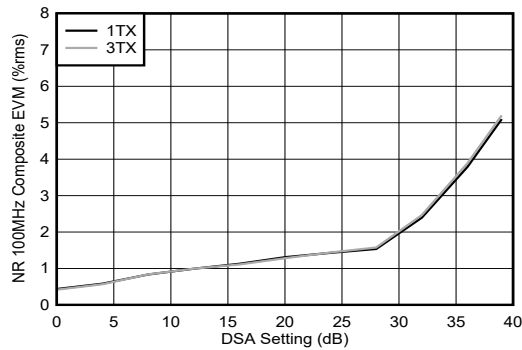


図 6-222. TX NR100MHz EVM と DSA 設定との関係 (8.11GHz)

6.12.6 TX の代表的特性 (8.1GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$ (24x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{REF} = 491.52\text{MHz}$ 、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル、8.1GHz 整合あり。

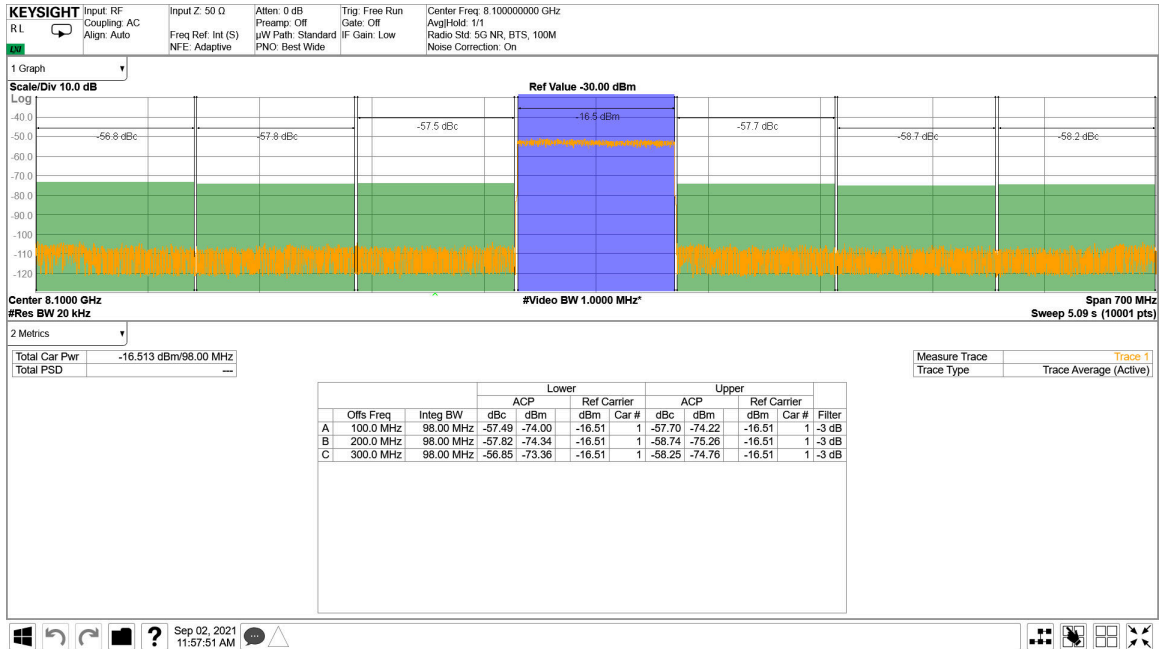


図 6-223. TX 100MHz NR 出カスペクトル (8.11GHz)

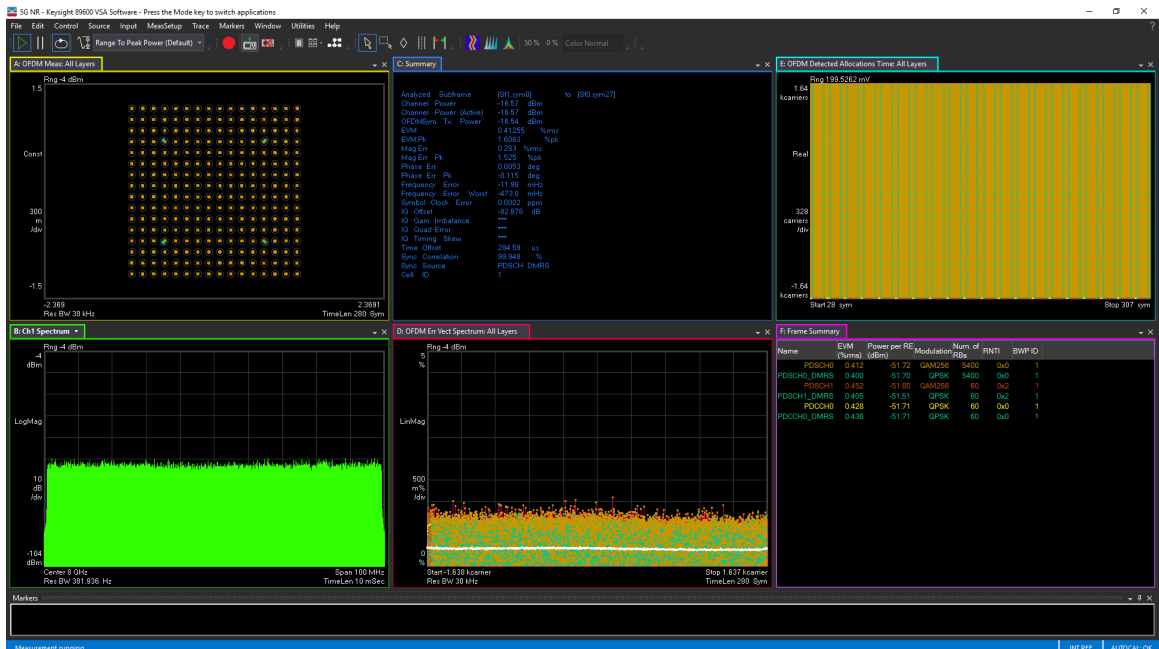


図 6-224. TX 100MHz NR EVM (8.11GHz)

6.12.6 TX の代表的特性 (8.1GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (24x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ 、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル、8.1GHz 整合あり。

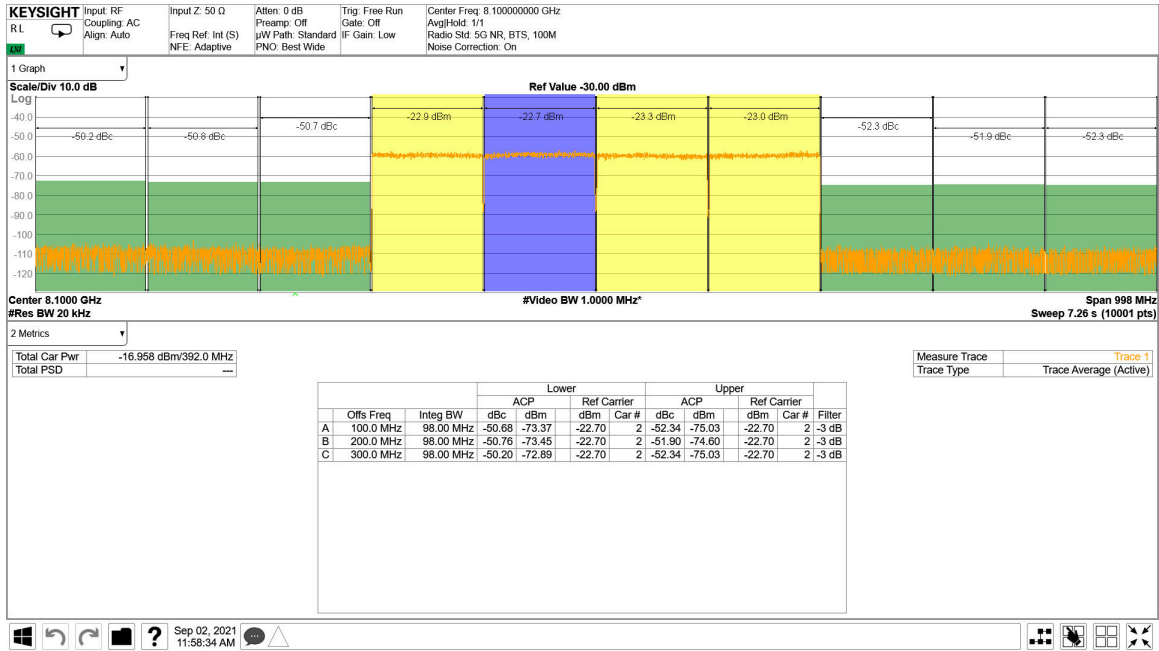


図 6-225. TX 4x100MHz NR 出力スペクトル (8.11GHz)

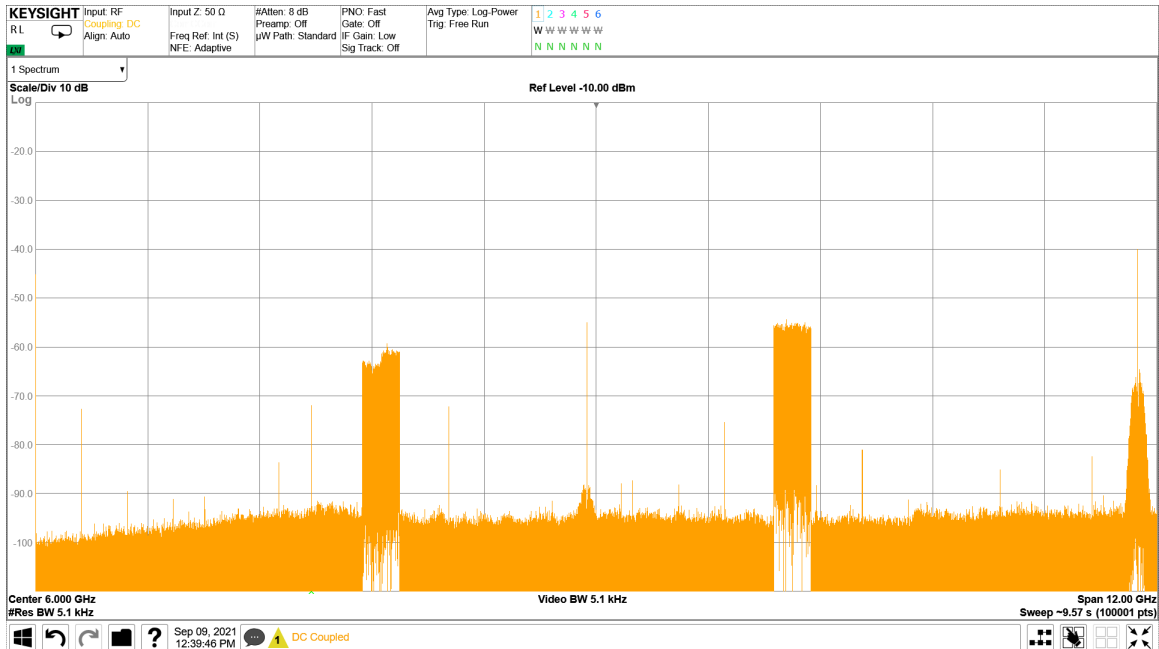
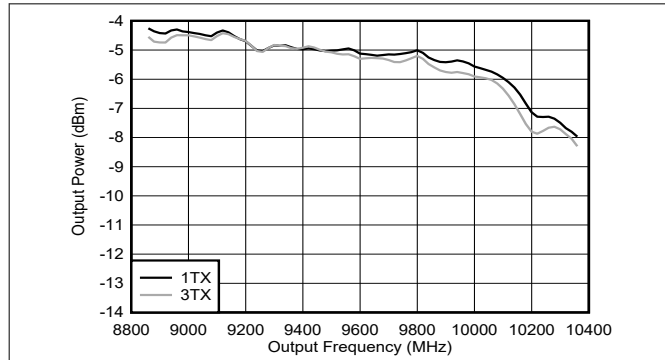


図 6-226. TX 4x100MHz NR 出力スペクトル (8.11GHz)

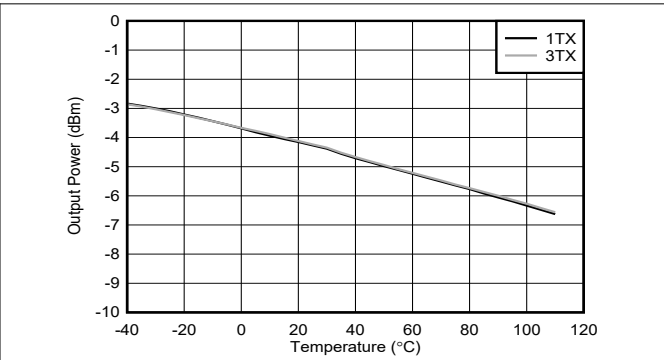
6.12.7 TX の代表的特性 (9.6GHz 時)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (8x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ 、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み、TX クロック・ディザ・イネーブル、9.6GHz 整合あり。



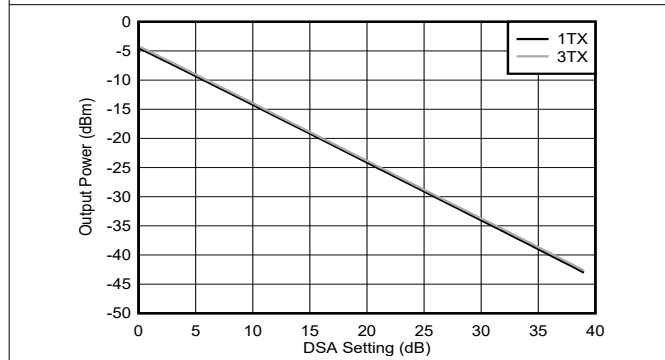
PCB とケーブルの損失を含む。

図 6-227. TX 出力電力と周波数との関係 (9.61GHz)



PCB とケーブルの損失を含む。

図 6-228. TX 出力電力と周波数との関係 (9.61GHz)



PCB とケーブルの損失を含む。

図 6-229. TX 出力電力と DSA 設定との関係 (9.61GHz)

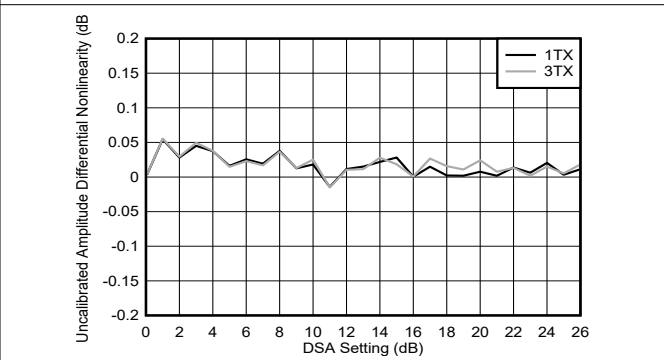


図 6-230. TX DSA 未較正振幅の微分非直線性

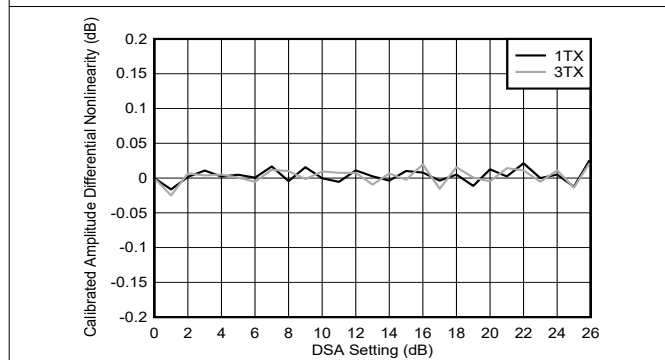


図 6-231. TX DSA 較正済み振幅の微分非直線性

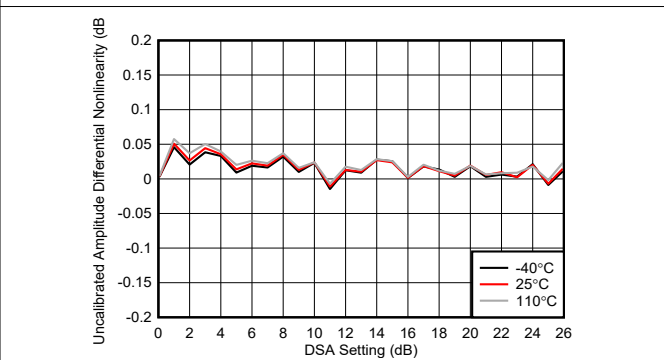


図 6-232. TX DSA 未較正振幅の微分非直線性

6.12.7 TX の代表的特性 (9.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (8x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ 、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、DSA 較正済み、TX クロック・ディザ・イネーブル、9.6GHz 整合あり。

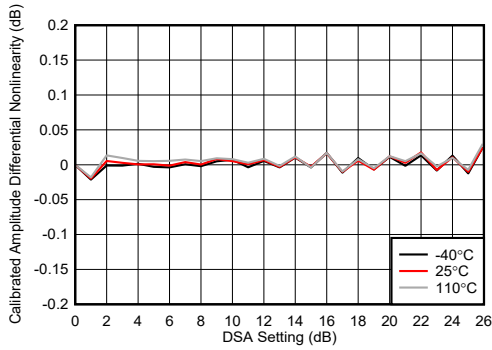


図 6-233. TX DSA 較正済み振幅の微分非直線性

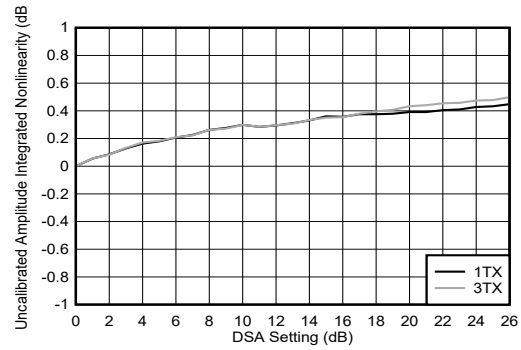


図 6-234. TX DSA 未較正振幅の積分非直線性

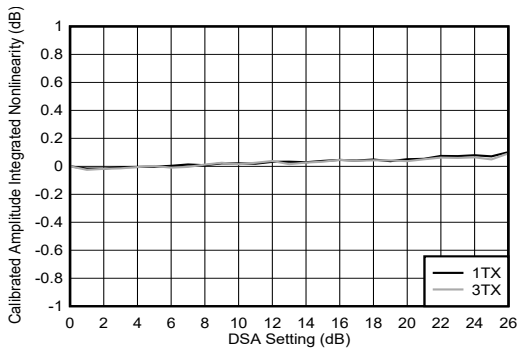


図 6-235. TX DSA 較正済み振幅の積分非直線性

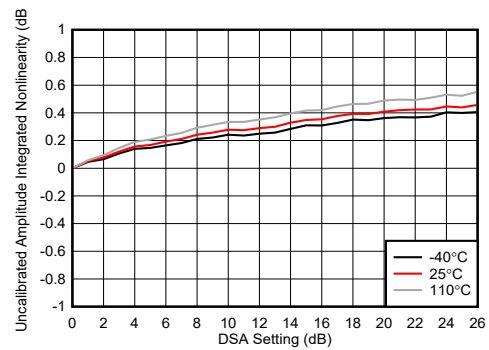


図 6-236. TX DSA 未較正振幅の積分非直線性

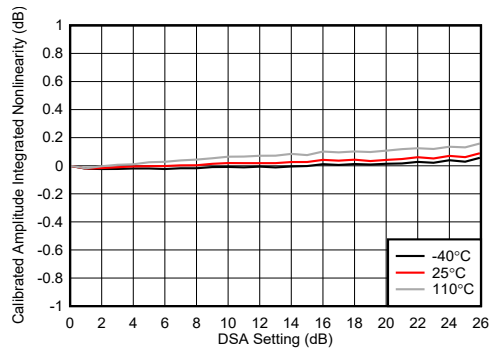


図 6-237. TX DSA 較正済み振幅の積分非直線性

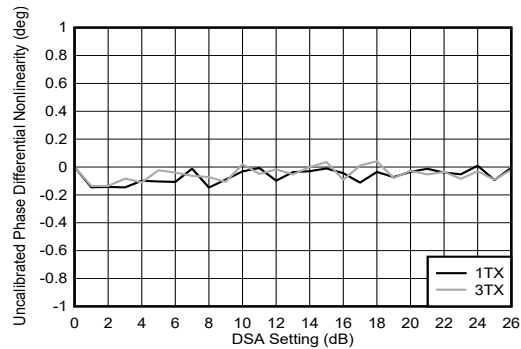


図 6-238. TX DSA 未較正位相の微分非直線性

6.12.7 TX の代表的特性 (9.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (8x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ 、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザイ・イネーブル、9.6GHz 整合あり。

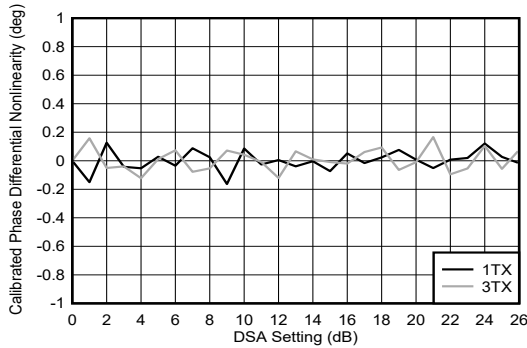


図 6-239. TX DSA 較正済み位相の微分非直線性

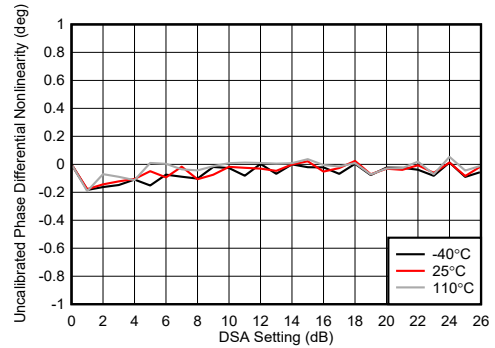


図 6-240. TX DSA 未較正位相の微分非直線性

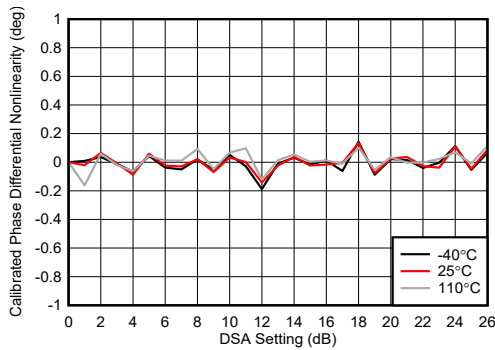


図 6-241. TX DSA 較正済み位相の微分非直線性

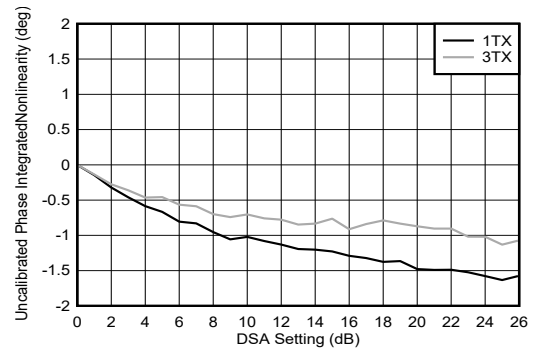


図 6-242. TX DSA 未較正位相の積分非直線性

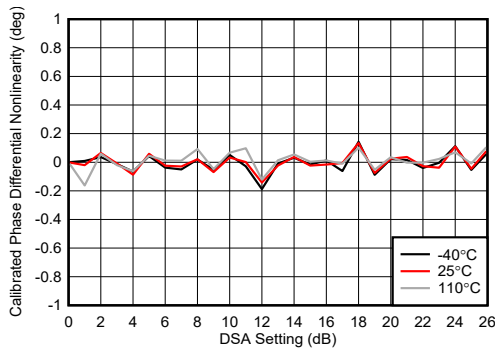


図 6-243. TX DSA 較正済み位相の積分非直線性

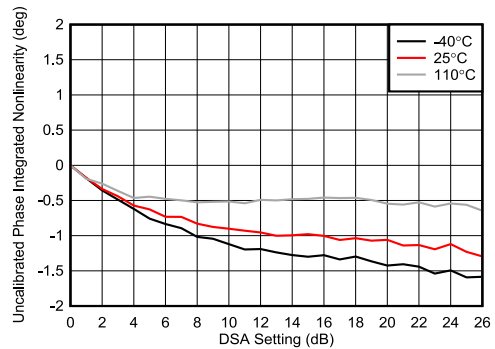


図 6-244. TX DSA 未較正位相の積分非直線性

6.12.7 TX の代表的特性 (9.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (8x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ 、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル、9.6GHz 整合あり。

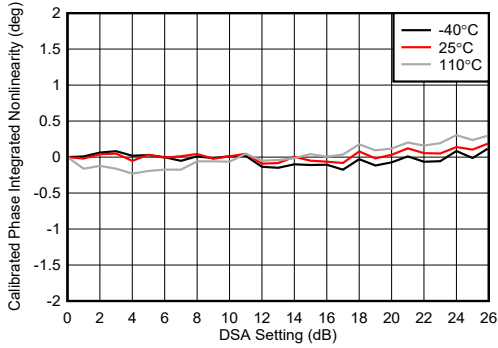
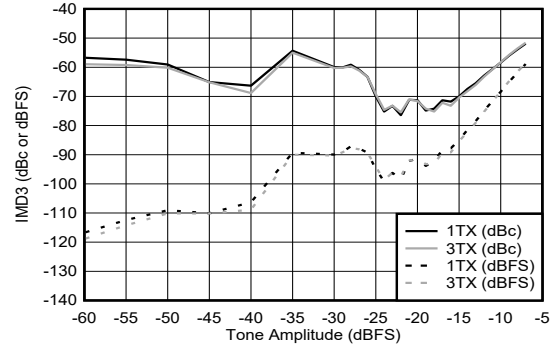
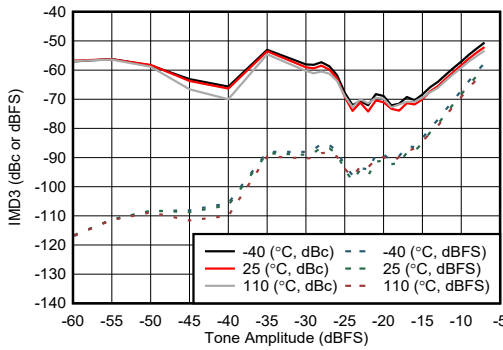


図 6-245. TX DSA 較正済み振幅の積分非直線性



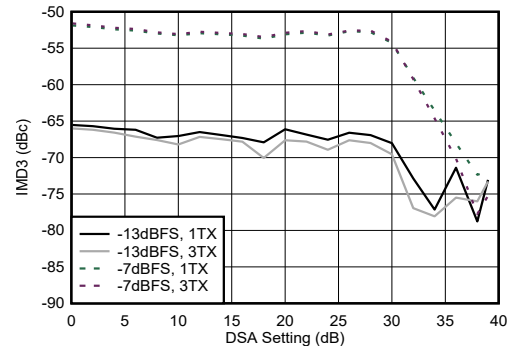
50MHz のトーン間隔

図 6-246. TX IMD3 とデジタル振幅との関係 (9.61GHz)



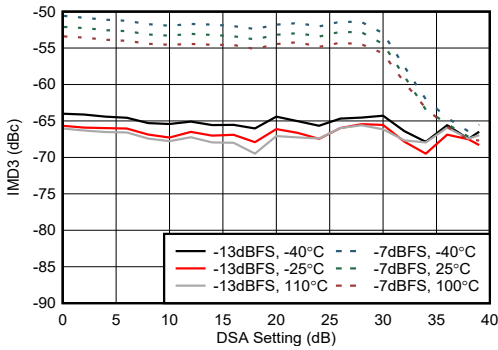
50MHz のトーン間隔

図 6-247. TX IMD3 とデジタル振幅との関係 (9.61GHz)



50MHz のトーン間隔

図 6-248. TX IMD3 と DSA 設定との関係 (9.61GHz)



50MHz のトーン間隔

図 6-249. TX IMD3 と DSA 設定との関係 (9.61GHz)

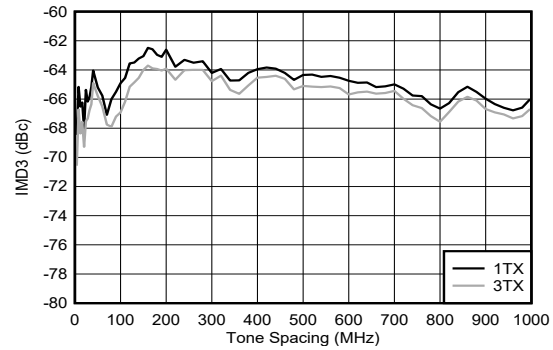


図 6-250. TX IMD3 と トーン間隔との関係 (9.61GHz)

6.12.7 TX の代表的特性 (9.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (8x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ 、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル、9.6GHz 整合あり。

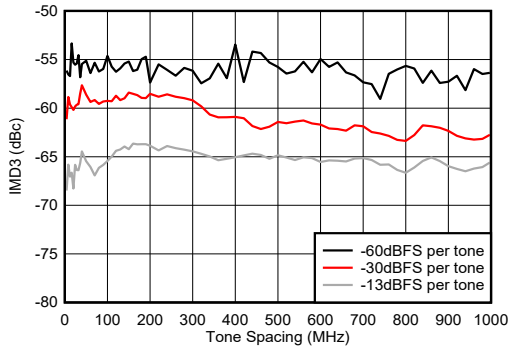


図 6-251. TX IMD3 とトーン間隔との関係 (9.61GHz)

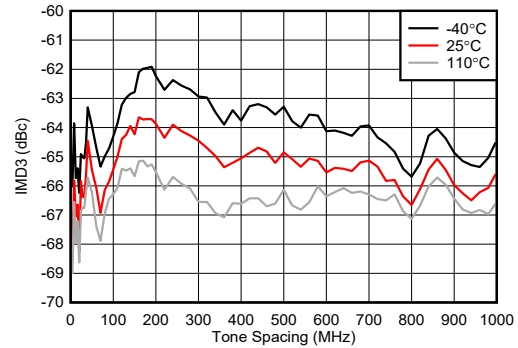


図 6-252. TX IMD3 とトーン間隔との関係 (9.61GHz)

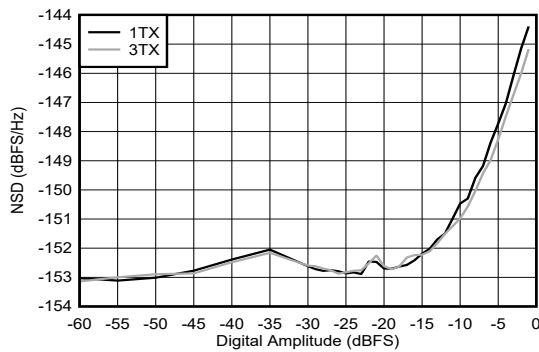


図 6-253. TX NSD とデジタル振幅との関係 (9.61GHz)

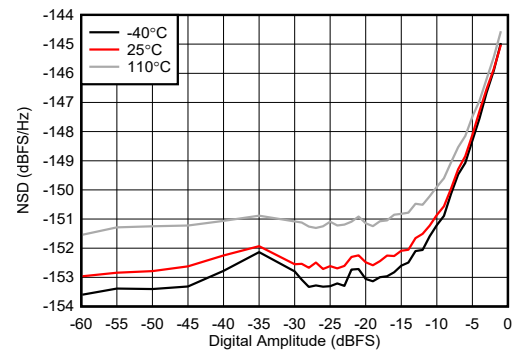


図 6-254. TX NSD とデジタル振幅との関係 (9.61GHz)

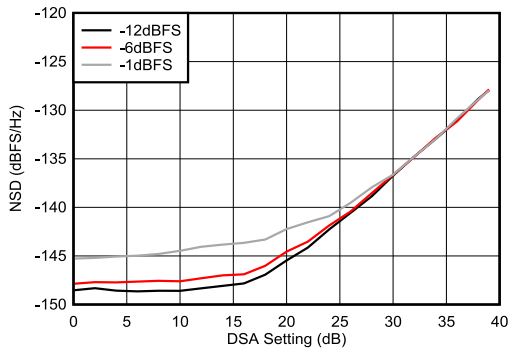


図 6-255. TX NSD と DSA 設定との関係 (9.61GHz)

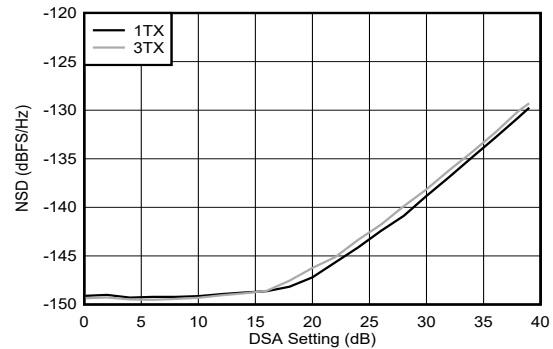


図 6-256. TX NSD と DSA 設定との関係 (9.61GHz)

6.12.7 TX の代表的特性 (9.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (8x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ 、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル、9.6GHz 整合あり。

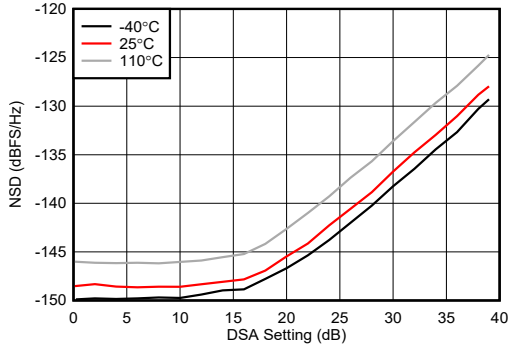
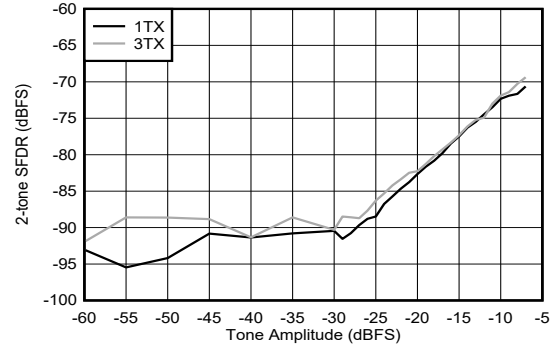
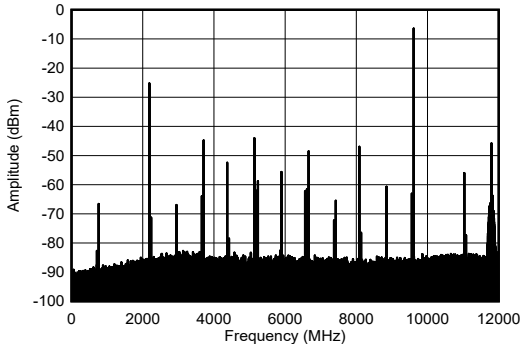


図 6-257. TX NSD と DSA 設定との関係 (9.61GHz)



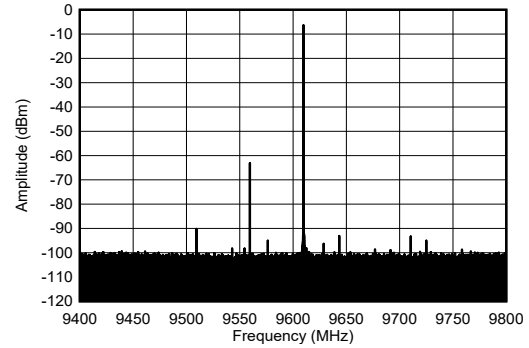
50MHz のトーン間隔

図 6-258. TX 2 トーン SFDR とデジタル振幅との関係 (9.61GHz)



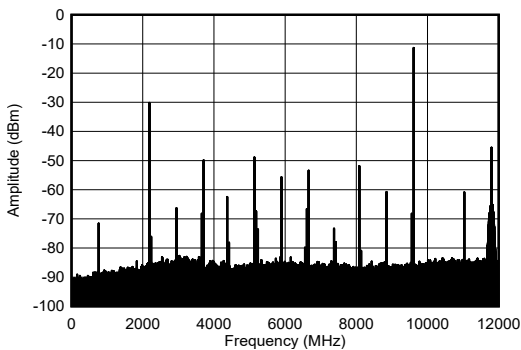
PCB とケーブルの損失を含む。

図 6-259. TX シングル・トーン・スペクトル (9.61GHz、-1dBFS、広帯域)



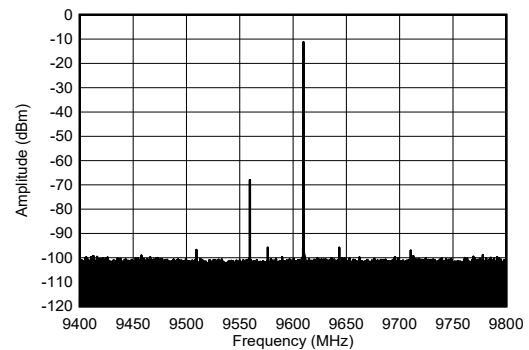
PCB とケーブルの損失を含む。

図 6-260. TX シングル・トーン・スペクトル (9.61GHz、-1dBFS、1.2GHz BW)



PCB とケーブルの損失を含む。

図 6-261. TX シングル・トーン・スペクトル (9.61GHz、-6dBFS、広帯域)

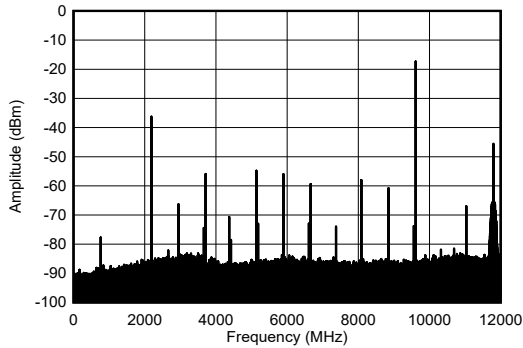


PCB とケーブルの損失を含む。

図 6-262. TX シングル・トーン・スペクトル (9.61GHz、-6dBFS、1.2GHz BW)

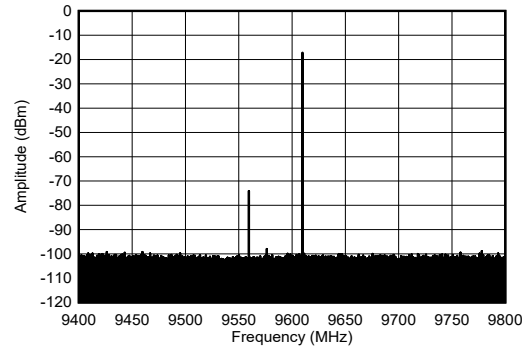
6.12.7 TX の代表的特性 (9.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{\text{DAC}} = 11796.48\text{MSPS}$ (8x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{\text{REF}} = 491.52\text{MHz}$ 、 $A_{\text{OUT}} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル、9.6GHz 整合あり。



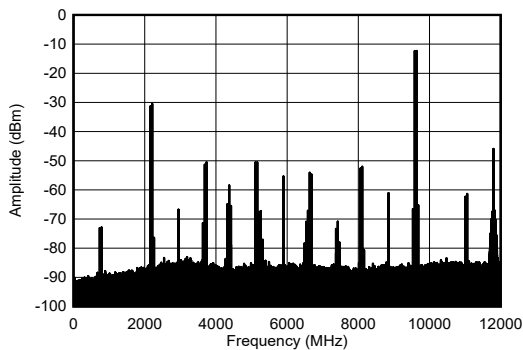
PCB とケーブルの損失を含む。

図 6-263. TX シングル・トーン・スペクトル (9.61GHz、-12dBFS、広帯域)



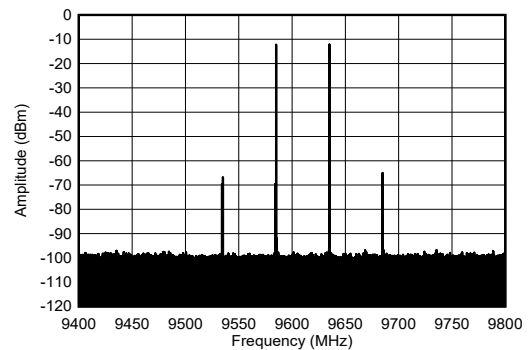
PCB とケーブルの損失を含む。

図 6-264. TX シングル・トーン・スペクトル (9.61GHz、-12dBFS、1.2GHz BW)



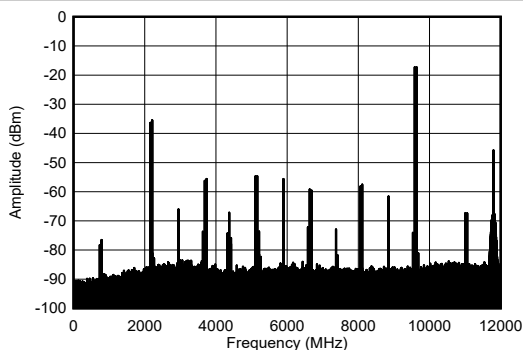
PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 6-265. TX 2 トーン・スペクトル (9.61GHz、-7dBFS、広帯域)



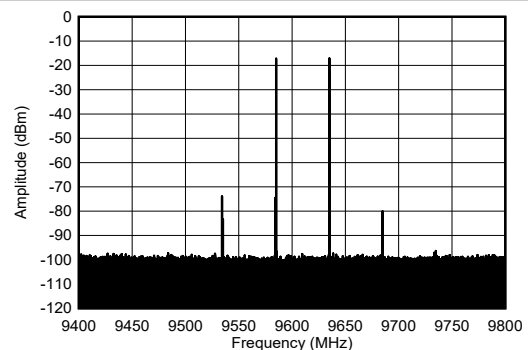
PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 6-266. TX 2 トーン・スペクトル (9.61GHz、-7dBFS、1.2GHz BW)



PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 6-267. TX 2 トーン・スペクトル (9.61GHz、-12dBFS、広帯域)

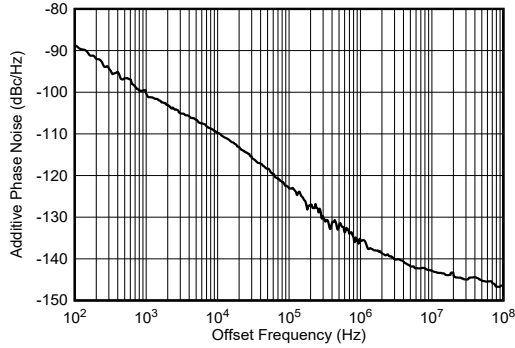


PCB とケーブルの損失を含む。50MHz のトーン間隔。

図 6-268. TX 2 トーン・スペクトル (9.61GHz、-12dBFS、1.2GHz BW)

6.12.7 TX の代表的特性 (9.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$ (8x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{REF} = 491.52\text{MHz}$ 、 $A_{OUT} = -1\text{dBFS}$ 、 $\text{DSA} = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル、9.6GHz 整合あり。



シングル・サイドバンド、外部クロック・モード、入力クロックの位相ノイズを除外済み。

図 6-269. TX 付加位相ノイズとオフセット周波数との関係 (9.61GHz)

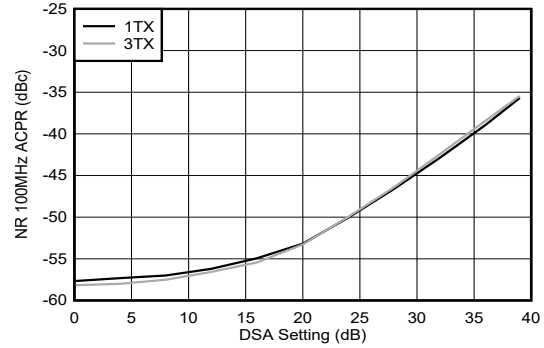


図 6-270. TX NR100MHz ACPR と DSA 設定との関係 (9.61GHz)

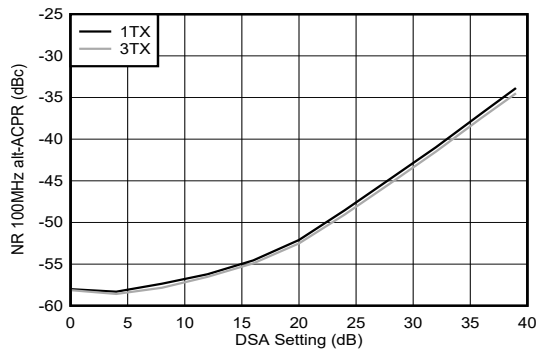


図 6-271. TX NR100MHz alt-ACPR と DSA 設定との関係 (9.61GHz)

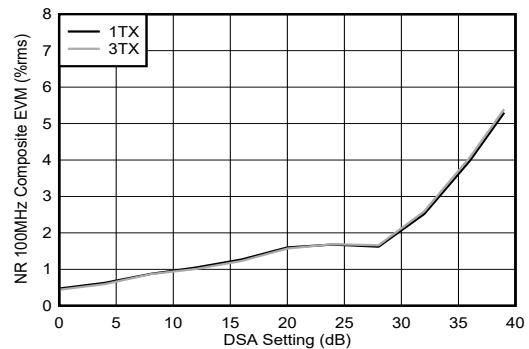
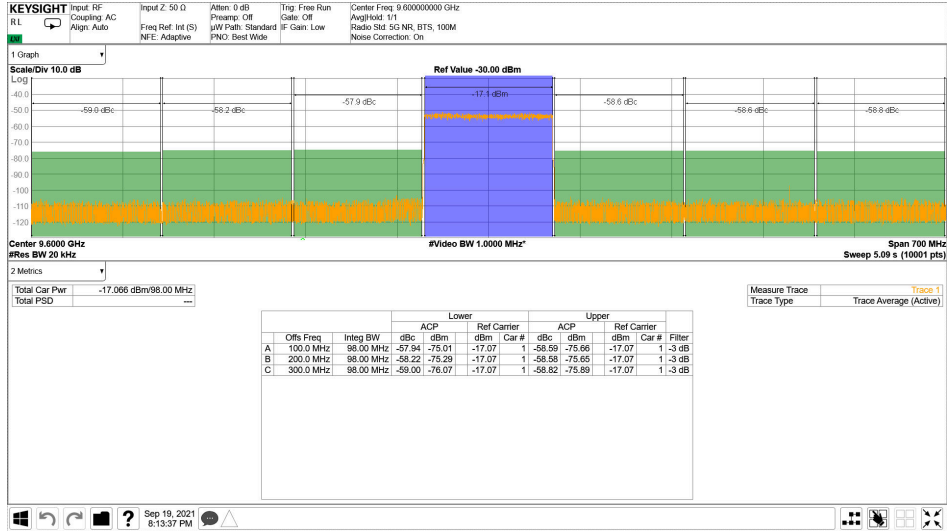


図 6-272. TX NR100MHz EVM と DSA 設定との関係 (9.61GHz)

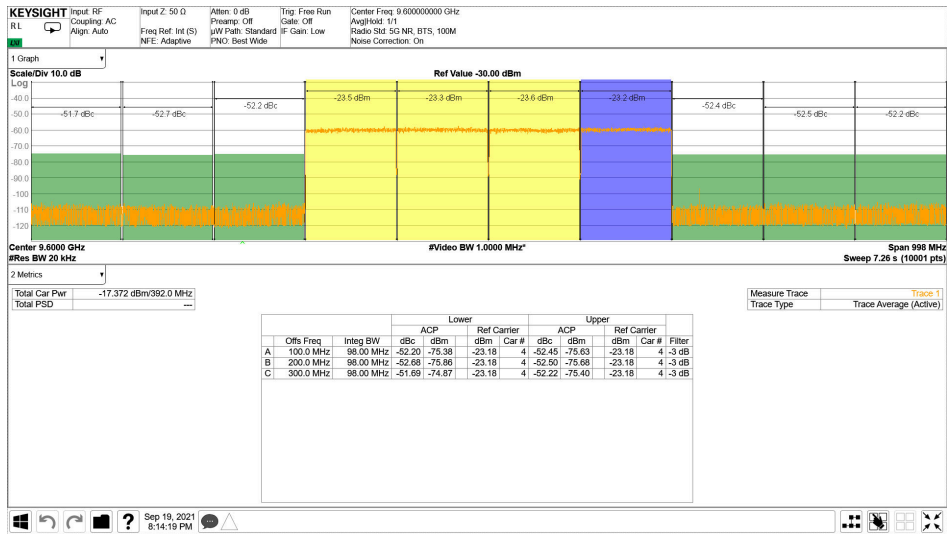
6.12.7 TX の代表的特性 (9.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ での代表値、公称電源。デフォルト条件: TX 入力データ・レート = 491.52MSPS、 $f_{DAC} = 11796.48\text{MSPS}$ (8x 補間)、混在モード、1 次ナイキスト・ゾーン出力、 $f_{REF} = 491.52\text{MHz}$ 、 $A_{OUT} = -1\text{dBFS}$ 、 $DSA = 0\text{dB}$ 、 $\text{Sin}(x)/x$ イネーブル、 DSA 較正済み、TX クロック・ディザ・イネーブル、9.6GHz 整合あり。



PCB とケーブルの損失を含む。

図 6-273. TX NR100MHz 出カスペクトル (9.61GHz)

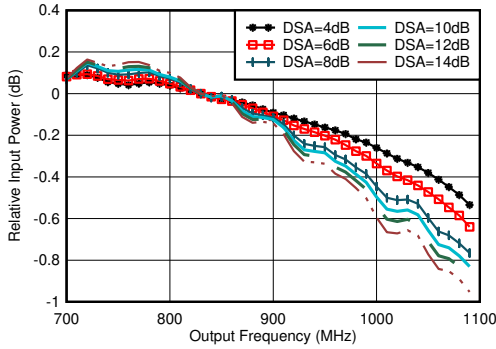


PCB とケーブルの損失を含む。

図 6-274. TX 4xNR100MHz 出カスペクトル (9.61GHz)

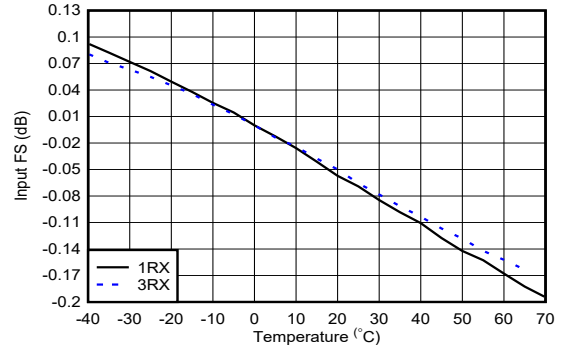
6.12.8 RX の代表的特性 (800MHz 時)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



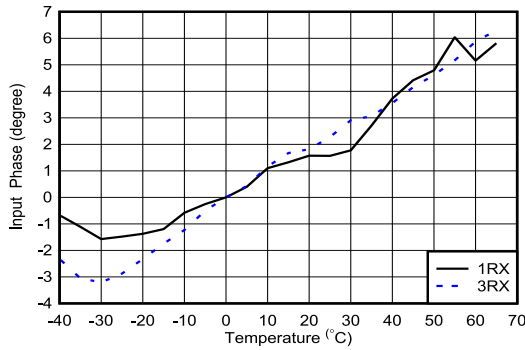
0.8GHz 整合あり、830MHz で正規化

図 6-275. RX 帯域内ゲイン平坦性 (チャンネル 1RX、 $f_{\text{IN}} = 830\text{MHz}$)



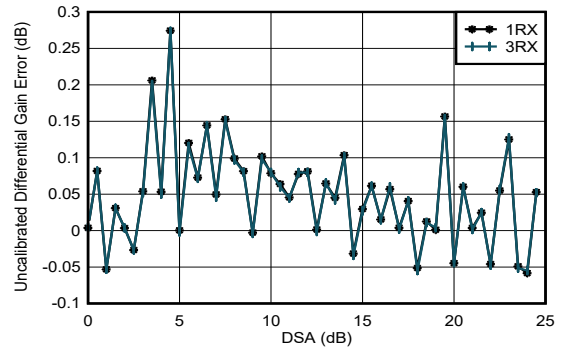
0.8GHz 整合あり、各チャンネルについて 25°C のフルスケールで正規化

図 6-276. RX 入力フルスケールと温度との関係 (各種チャンネル、800MHz)



0.8GHz 整合あり、25°C の位相で正規化

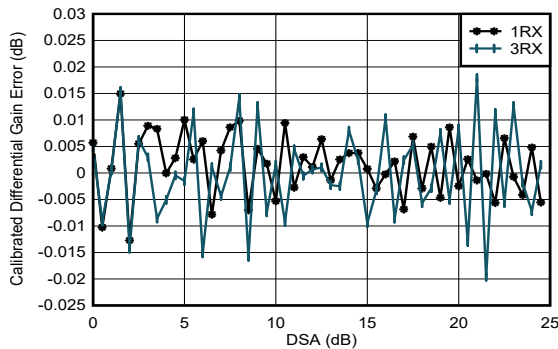
図 6-277. RX 入力位相と温度との関係 (各種 DSA、 $f_{\text{OUT}} = 0.8\text{GHz}$)



0.8GHz 整合あり

$$\text{微分振幅誤差} = P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$$

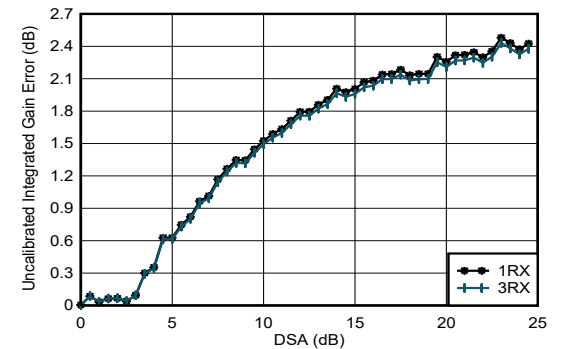
図 6-278. RX 未校正微分振幅誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり

$$\text{微分振幅誤差} = P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$$

図 6-279. RX 校正済み微分振幅誤差と DSA 設定との関係 (0.8GHz)



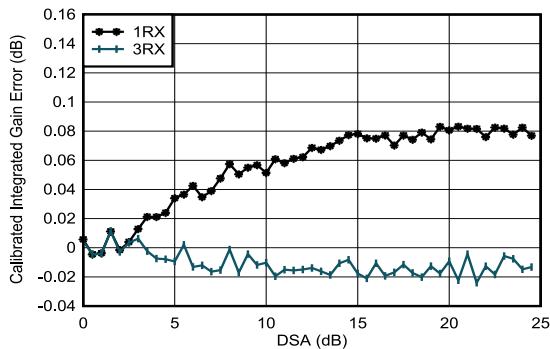
0.8GHz 整合あり

$$\text{積分振幅誤差} = P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$$

図 6-280. RX 未校正積分振幅誤差と DSA 設定との関係 (0.8GHz)

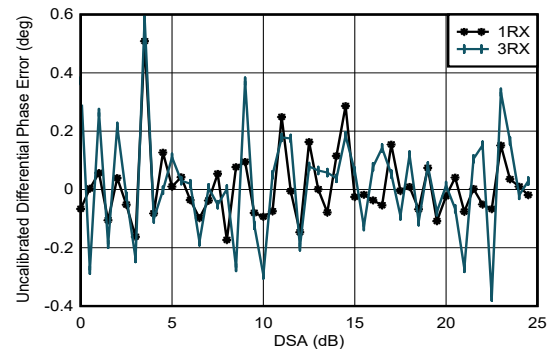
6.12.8 RX の代表的特性 (800MHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB



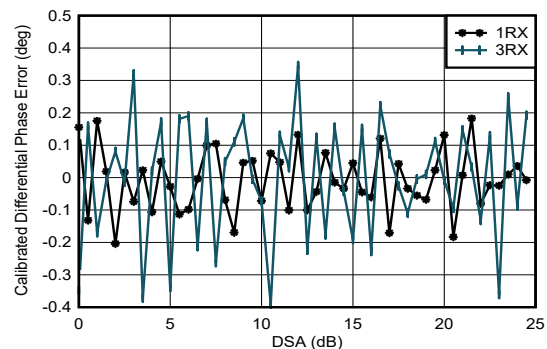
0.8GHz 整合あり
 積分振幅誤差 = $P_{IN}(\text{DSA 設定}) - P_{IN}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-281. RX 較正済み積分振幅誤差と DSA 設定との関係 (2.6GHz)



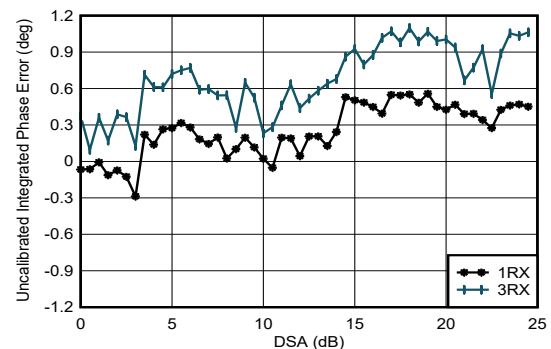
0.8GHz 整合あり
 微分位相誤差 = $\text{Phase}_{IN}(\text{DSA 設定} - 1) - \text{Phase}_{IN}(\text{DSA 設定})$

図 6-282. RX 未較正微分位相誤差と DSA 設定との関係 (0.8GHz)



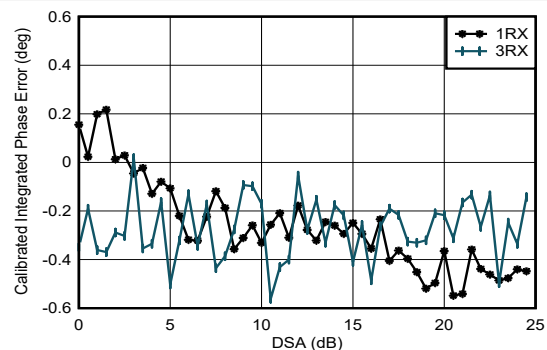
0.8GHz 整合あり
 微分位相誤差 = $\text{Phase}_{IN}(\text{DSA 設定} - 1) - \text{Phase}_{IN}(\text{DSA 設定})$

図 6-283. RX 較正済み微分位相誤差と DSA 設定との関係 (0.8GHz)



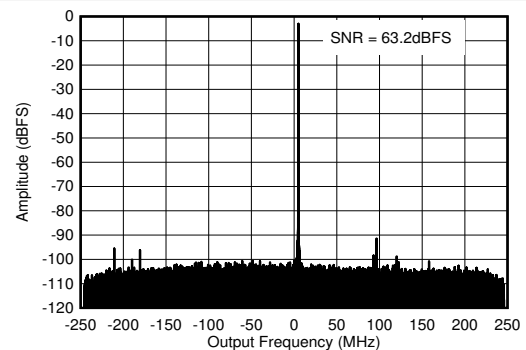
0.8GHz 整合あり
 積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-284. RX 未較正積分位相誤差と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり
 積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-285. RX 較正済み積分位相誤差と DSA 設定との関係 (0.8GHz)

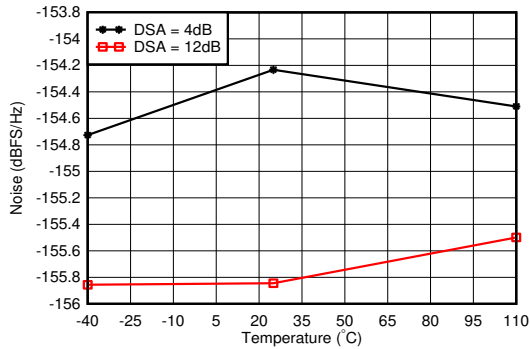


0.8GHz 整合あり、 $f_{IN} = 840\text{MHz}$ 、 $A_{IN} = -3\text{dBFS}$

図 6-286. RX 出力 FFT (0.8GHz)

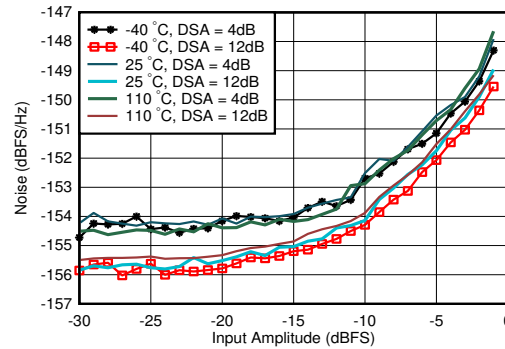
6.12.8 RX の代表的特性 (800MHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



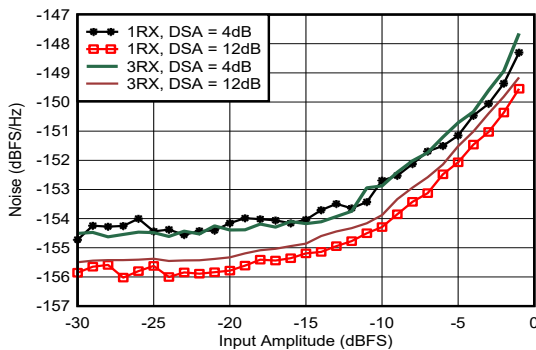
0.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 6-287. RX ノイズ・スペクトル密度と温度との関係 (0.8GHz)



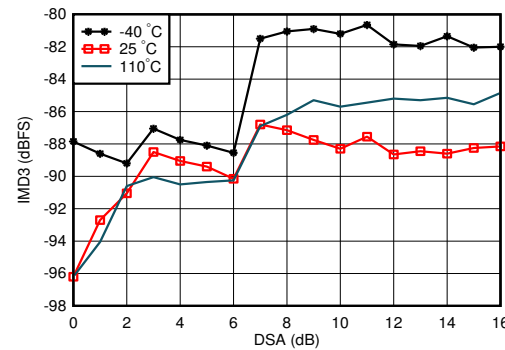
0.8GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 6-288. RX ノイズ・スペクトル密度と入力振幅との関係 (各種温度、0.8GHz)



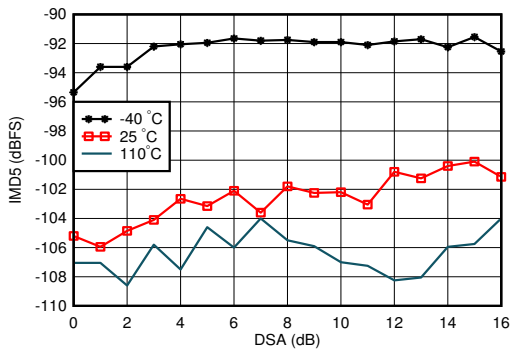
0.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 6-289. RX ノイズ・スペクトル密度と入力振幅との関係 (各種チャネル、0.8GHz)



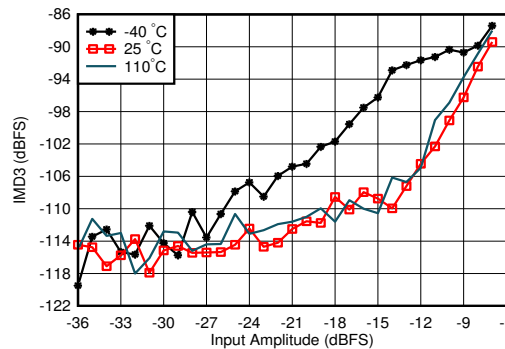
A. 0.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 6-290. RX IMD3 と DSA 設定との関係 (各種温度、0.8GHz)



0.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 6-291. RX IMD5 と DSA 設定との関係 (各種温度、0.8GHz)

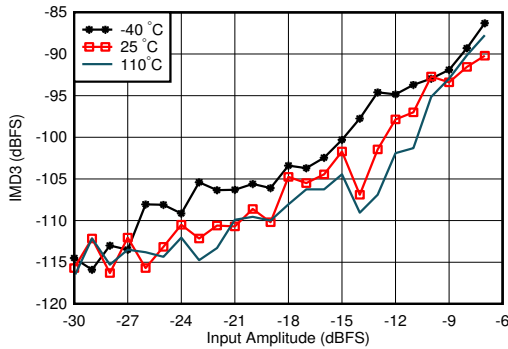


0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 6-292. RX IMD3 と入力レベルとの関係 (各種温度、0.8GHz)

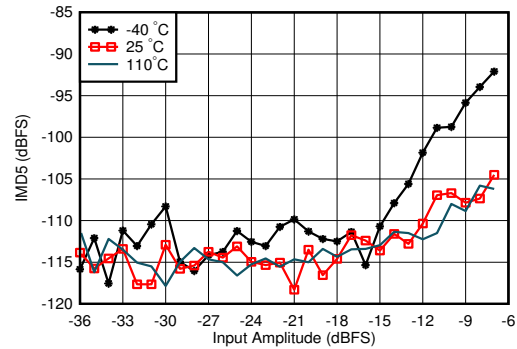
6.12.8 RX の代表的特性 (800MHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB



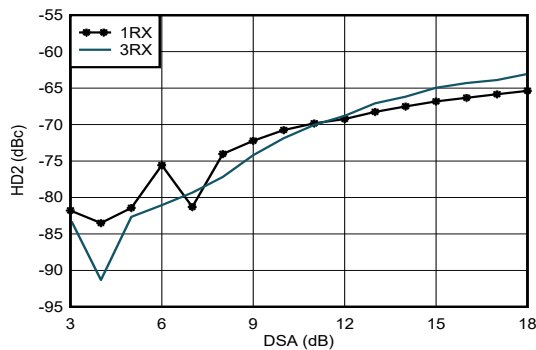
0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 6-293. RX IMD3 と入力レベルとの関係 (各種温度、0.8GHz)



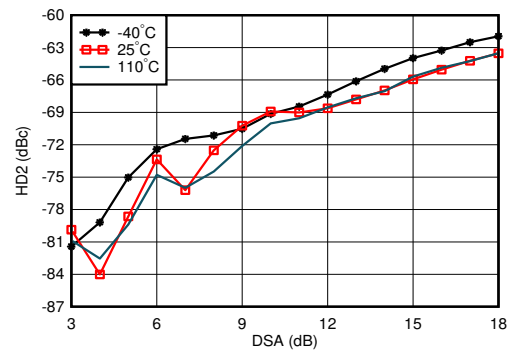
0.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 6-294. RX IMD5 と入力レベルとの関係 (各種温度、0.8GHz)



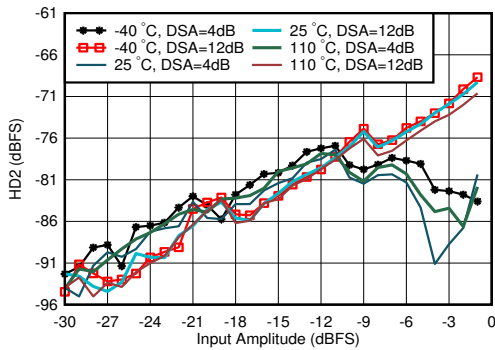
0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-295. RX HD2 と DSA 設定との関係 (各種チャネル、0.8GHz)



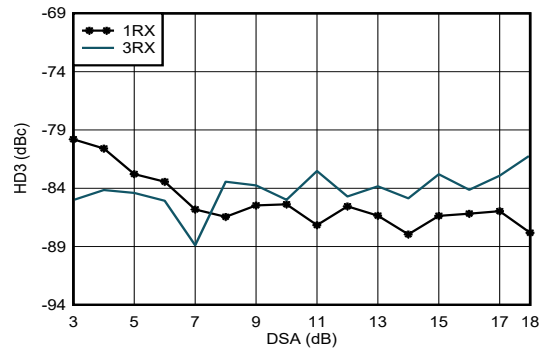
0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-296. RX HD2 と DSA 設定との関係 (各種温度、0.8GHz)



0.8GHz 整合あり、HD2 調整後に測定、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-297. RX HD2 と入力レベルとの関係 (各種温度、0.8GHz)

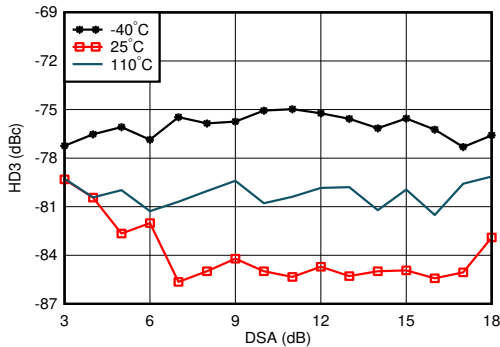


0.8GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-298. RX HD3 と DSA 設定との関係 (各種チャネル、0.8GHz)

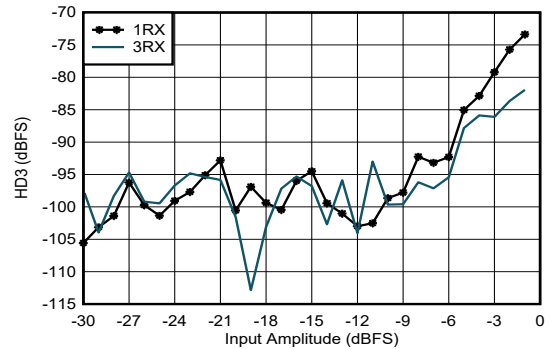
6.12.8 RX の代表的特性 (800MHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



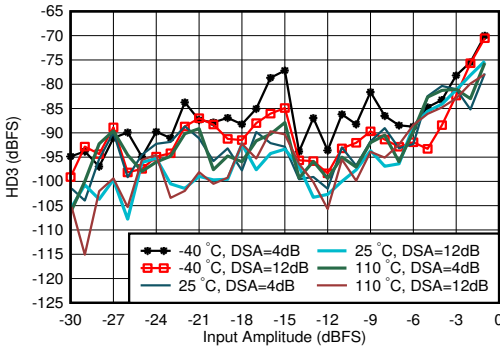
0.8GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-299. RX HD3 と DSA 設定との関係 (各種温度、0.8GHz)



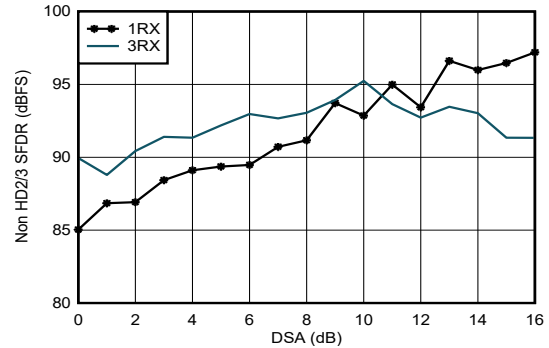
0.8GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-300. RX HD3 と入力レベルとの関係 (各種チャネル、0.8GHz)



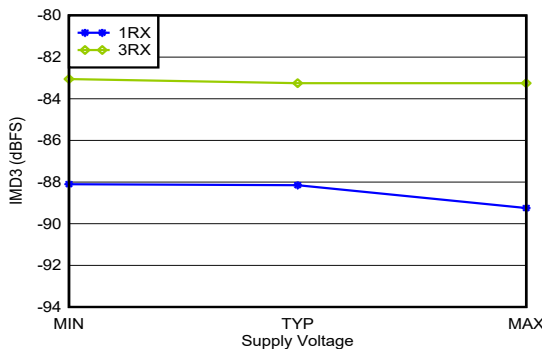
0.8GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-301. RX HD3 と入力レベルとの関係 (各種温度、0.8GHz)



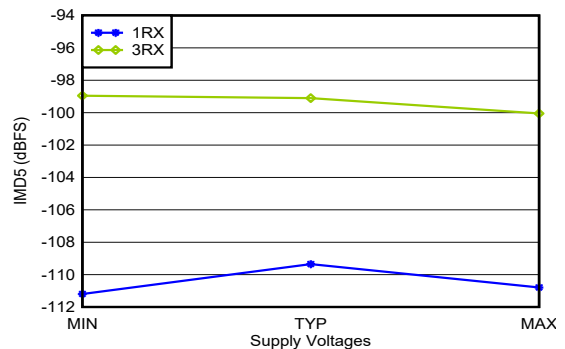
0.8GHz 整合あり

図 6-302. RX (HD2/3 を除く) と DSA 設定との関係 (0.8GHz)



0.8GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 6-303. RX IMD3 と電源電圧との関係 (各種チャネル、0.8GHz)

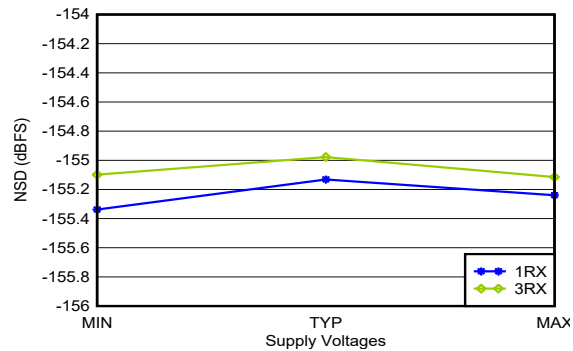


0.8GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 6-304. RX IMD5 と電源電圧との関係 (各種チャネル、0.8GHz)

6.12.8 RX の代表的特性 (800MHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB

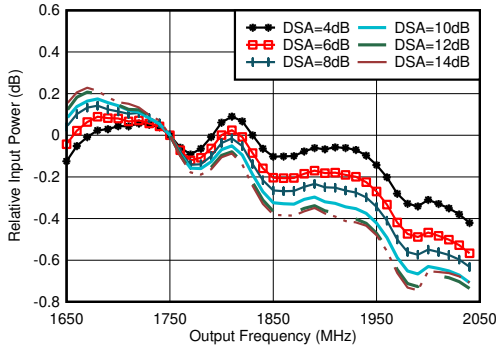


0.8GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 6-305. RX ノイズ・スペクトル密度と電源電圧との関係 (各種チャネル、0.8GHz)

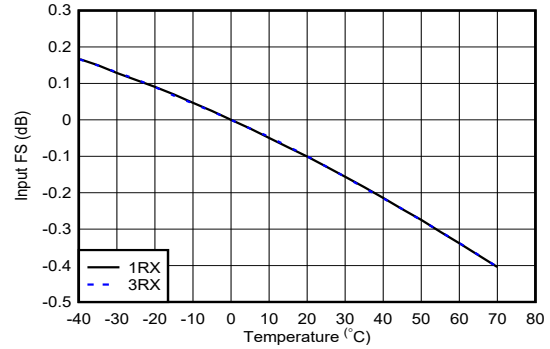
6.12.9 RX の代表的特性 (1.75~1.9GHz 時)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



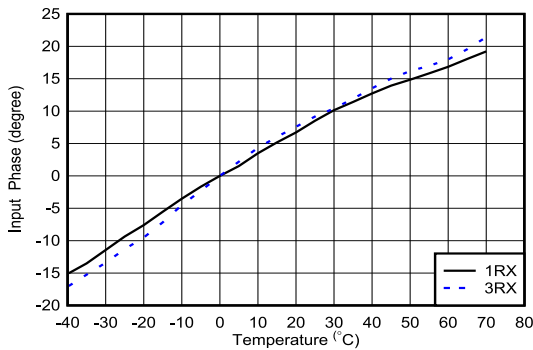
1.8GHz 整合あり、1.75GHz で正規化

図 6-306. RX 帯域内ゲイン平坦性 ($f_{\text{IN}} = 1750\text{MHz}$)



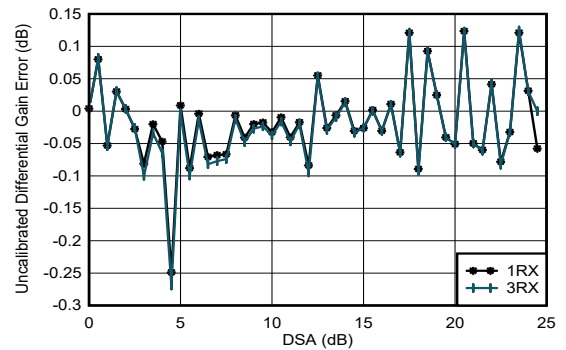
1.8GHz 整合あり、各チャンネルについて 25°C のフルスケールで正規化

図 6-307. RX 入力フルスケールと温度との関係 (各種チャンネル、1.75GHz)



2.6GHz 整合あり、25°C の位相で正規化

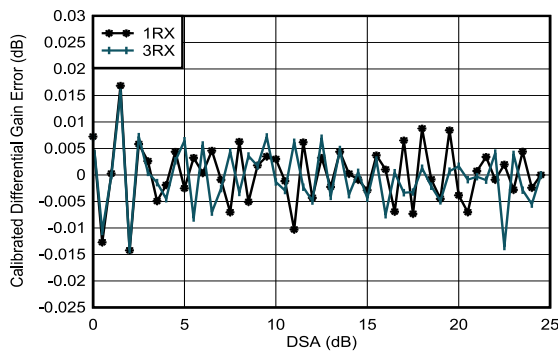
図 6-308. RX 入力位相と温度との関係 (各種 DSA、 $f_{\text{IN}} = 1.75\text{GHz}$)



1.8GHz 整合あり

微分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

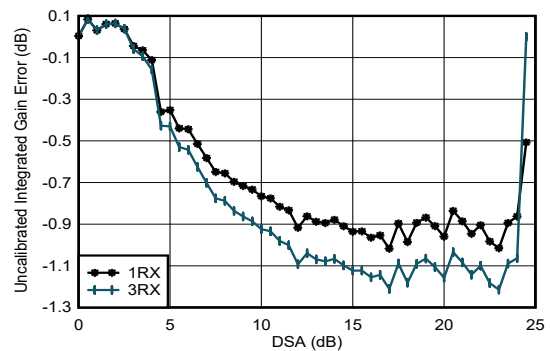
図 6-309. RX 未校正微分振幅誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり

微分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

図 6-310. RX 校正済み微分振幅誤差と DSA 設定との関係 (1.75GHz)



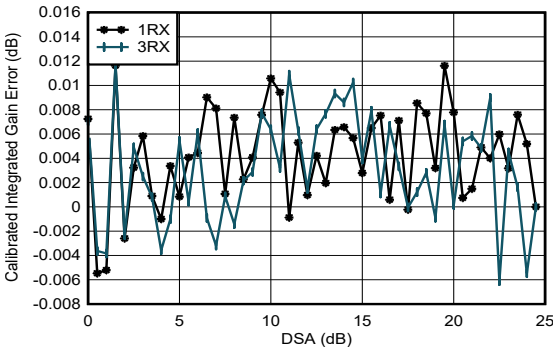
1.8GHz 整合あり

積分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-311. RX 未校正積分振幅誤差と DSA 設定との関係 (1.75GHz)

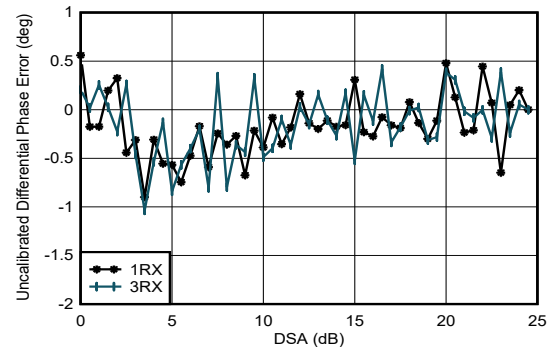
6.12.9 RX の代表的特性 (1.75~1.9GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB



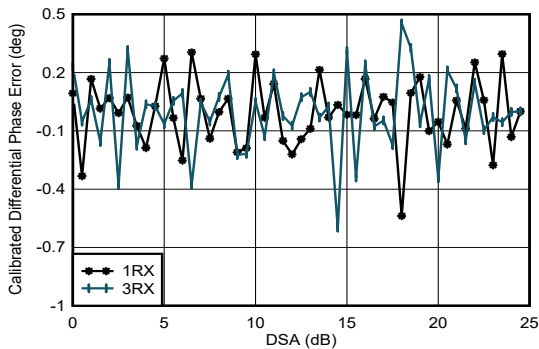
1.8GHz 整合あり
積分振幅誤差 = $P_{IN}(\text{DSA 設定}) - P_{IN}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-312. RX 較正済み積分振幅誤差と DSA 設定との関係 (1.75GHz)



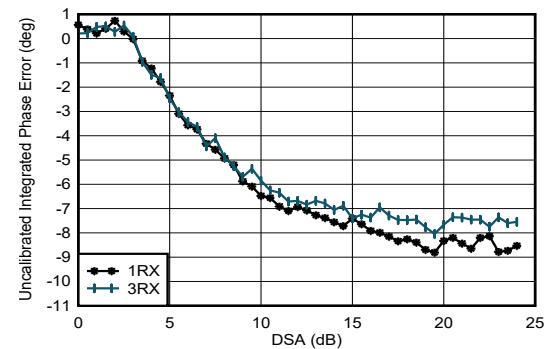
1.8GHz 整合あり
微分位相誤差 = $\text{Phase}_{IN}(\text{DSA 設定} - 1) - \text{Phase}_{IN}(\text{DSA 設定})$

図 6-313. RX 未較正微分位相誤差と DSA 設定との関係 (1.75GHz)



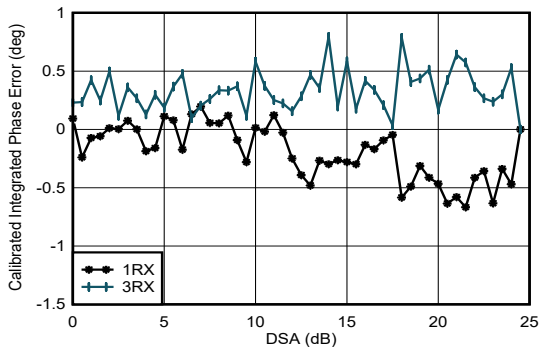
1.8GHz 整合あり
微分位相誤差 = $\text{Phase}_{IN}(\text{DSA 設定} - 1) - \text{Phase}_{IN}(\text{DSA 設定})$

図 6-314. RX 較正済み微分位相誤差と DSA 設定との関係 (1.75GHz)



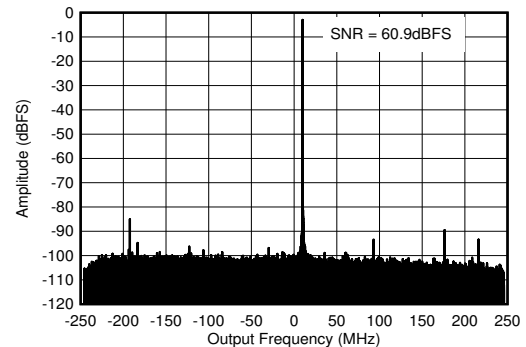
1.8GHz 整合あり
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-315. RX 未較正積分位相誤差と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-316. RX 較正済み積分位相誤差と DSA 設定との関係 (1.75GHz)

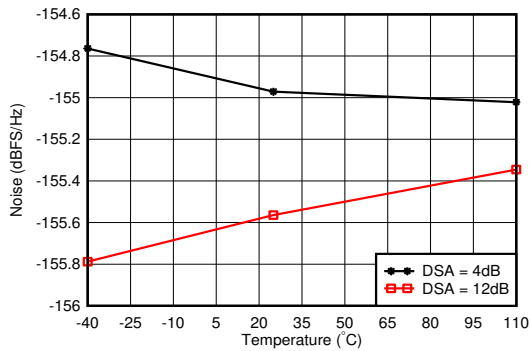


1.8GHz 整合あり、 $f_{IN} = 2610\text{MHz}$ 、 $A_{IN} = -3\text{dBFS}$

図 6-317. RX 出力 FFT (1.75GHz)

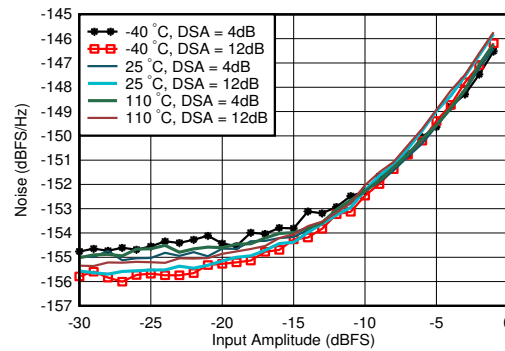
6.12.9 RX の代表的特性 (1.75~1.9GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



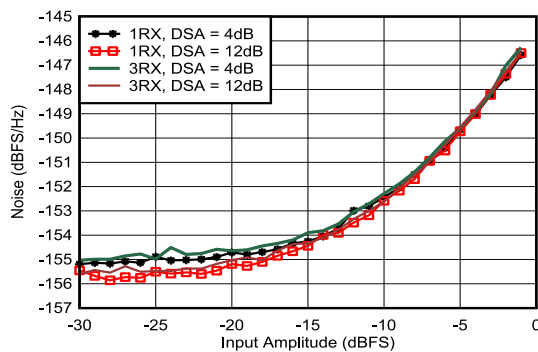
1.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 6-318. RX ノイズ・スペクトル密度と温度との関係 (1.75GHz)



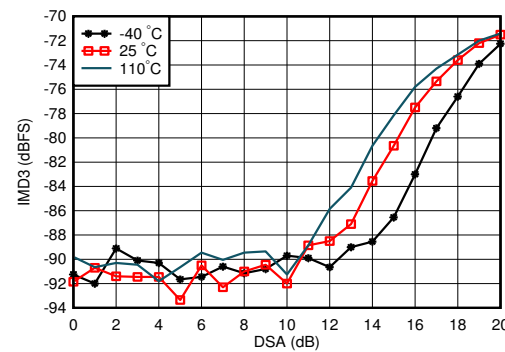
1.8GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 6-319. RX ノイズ・スペクトル密度と入力振幅との関係 (各種温度、1.75GHz)



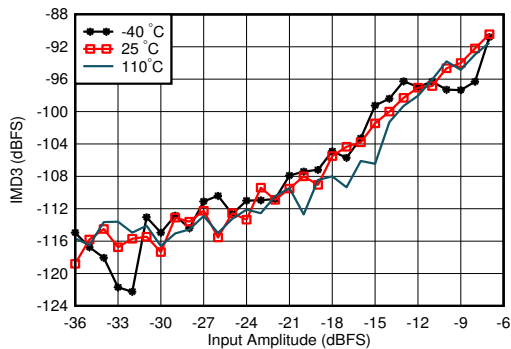
1.8GHz 整合あり、トーンからのオフセット 12.5MHz

図 6-320. RX ノイズ・スペクトル密度と入力振幅との関係 (各種チャネル、1.75GHz)



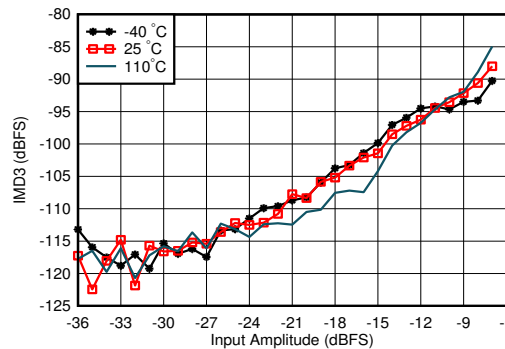
1.8GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 6-321. RX IMD3 と DSA 設定との関係 (各種温度、1.75GHz)



1.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 6-322. RX IMD3 と入力レベルとの関係 (各種温度、1.75GHz)

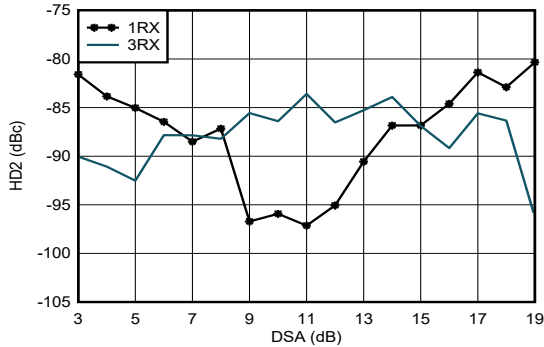


1.8GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 6-323. RX IMD3 と入力レベルとの関係 (各種温度、1.75GHz)

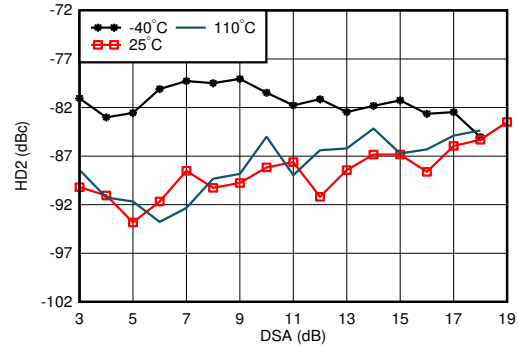
6.12.9 RX の代表的特性 (1.75~1.9GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



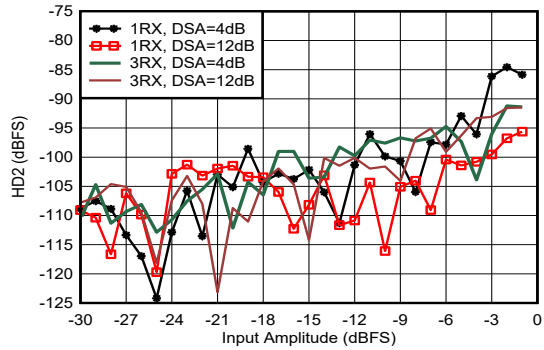
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、HD2 調整後に測定、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-324. RX HD2 と DSA 設定との関係 (各種チャネル、1.9GHz)



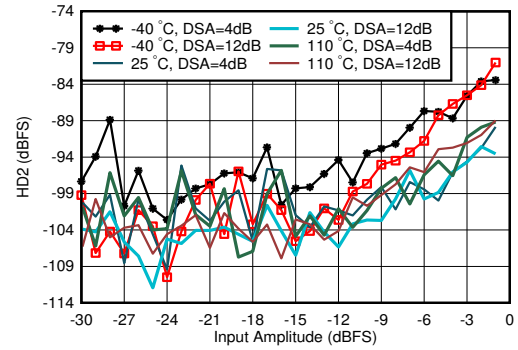
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、HD2 調整後に測定、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-325. RX HD2 と DSA 設定との関係 (各種温度、1.9GHz)



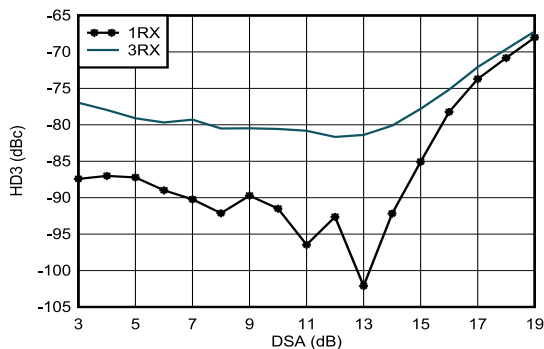
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、HD2 調整後に測定、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-326. RX HD2 と入力振幅との関係 (各種チャネル、1.9GHz)



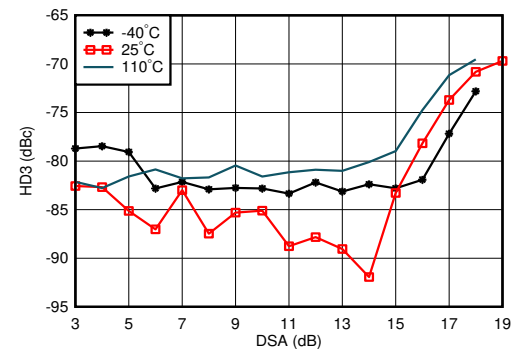
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、HD2 調整後に測定、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-327. RX HD2 と入力振幅との関係 (各種温度、1.9GHz)



1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-328. RX HD3 と DSA 設定との関係 (各種チャネル、1.9GHz)

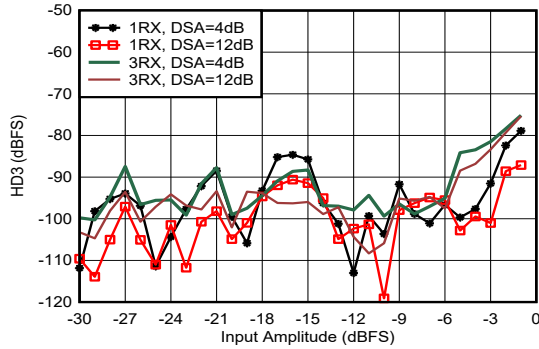


1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-329. RX HD3 と DSA 設定との関係 (各種温度、1.9GHz)

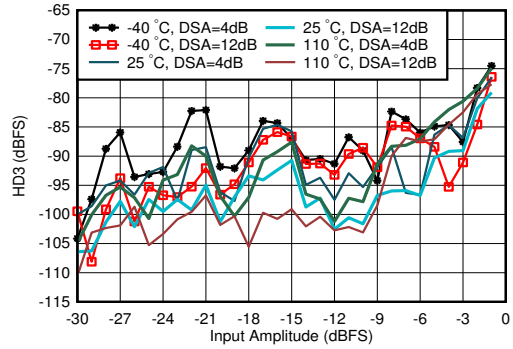
6.12.9 RX の代表的特性 (1.75~1.9GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



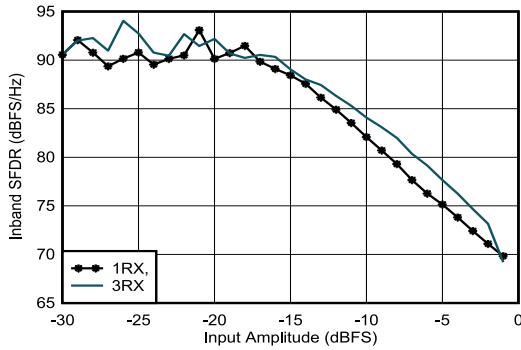
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-330. RX HD3 と入力レベルとの関係 (各種チャンネル、1.9GHz)



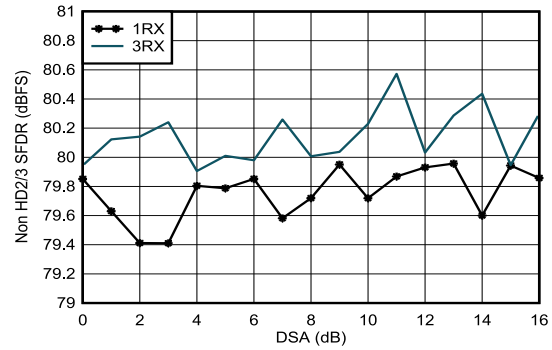
1.8GHz 整合あり、 $f_{\text{in}} = 1900\text{MHz}$ 、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-331. RX HD3 と入力レベルとの関係 (各種温度、1.9GHz)



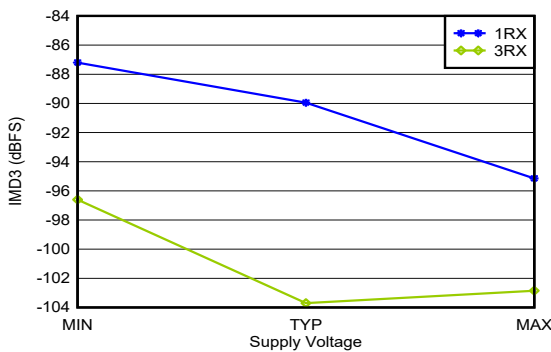
1.8GHz 整合あり、1/3 にデシメーション

図 6-332. RX 帯域内 SFDR ($\pm 400\text{MHz}$) と入力振幅との関係 (1.75GHz)



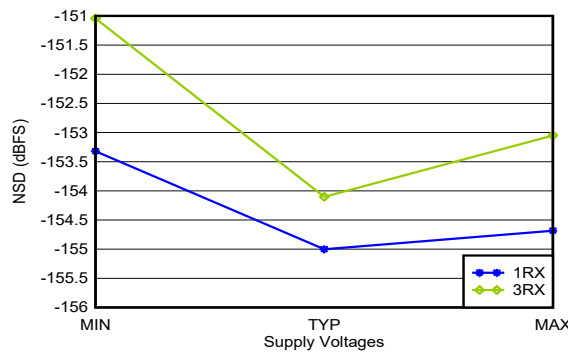
1.8GHz 整合あり

図 6-333. RX (HD2/3 を除く) と DSA 設定との関係 (1.75GHz)



1.8GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 6-334. RX IMD3 と電源電圧との関係 (各種チャンネル、1.75GHz)

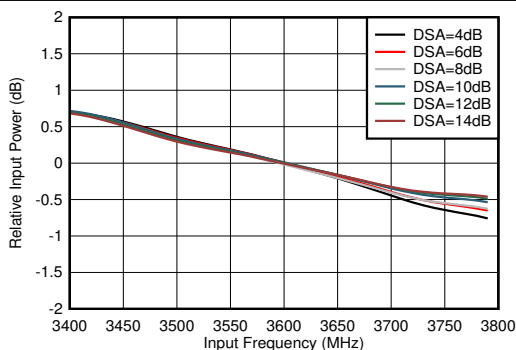


1.8GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 6-335. RX ノイズ・スペクトル密度と電源電圧との関係 (各種チャンネル、1.75GHz)

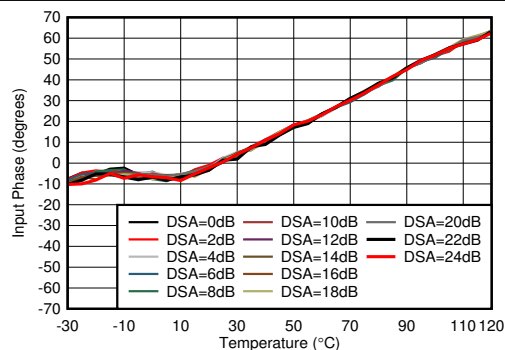
6.12.10 RX の代表的特性 (3.5GHz 時)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



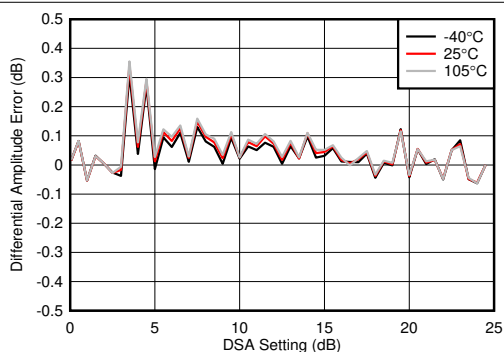
3.6GHz 整合あり、3.6GHz で正規化

図 6-336. RX 帯域内ゲイン平坦性 ($f_{\text{IN}} = 3600\text{MHz}$)



3.6GHz 整合あり、25°Cの位相で正規化

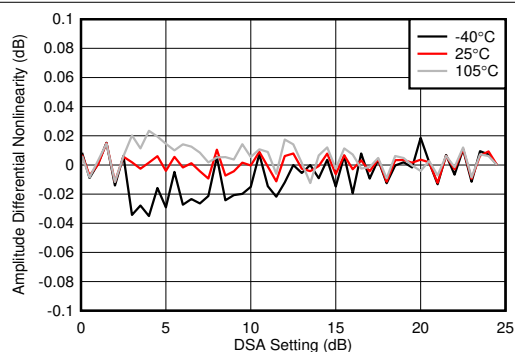
図 6-337. RX 入力位相と温度との関係 (3.6GHz)



3.6GHz 整合あり

微分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

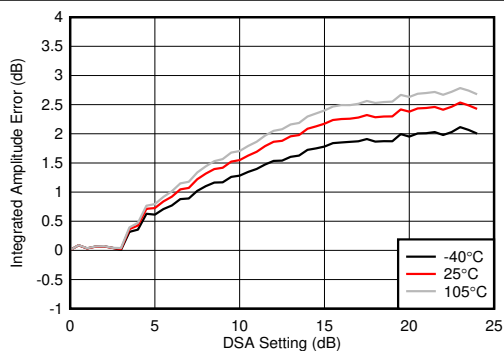
図 6-338. RX 未較正微分振幅誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

微分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$

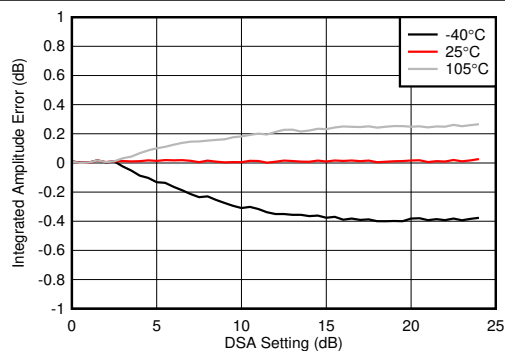
図 6-339. RX 較正済み微分振幅誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

積分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-340. RX 未較正積分振幅誤差と DSA 設定との関係 (3.6GHz)



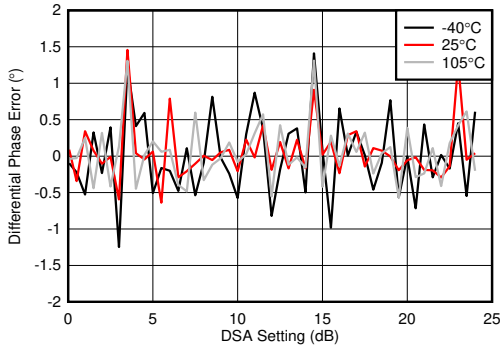
3.6GHz 整合あり

積分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

図 6-341. RX 較正済み積分振幅誤差と DSA 設定との関係 (3.6GHz)

6.12.10 RX の代表的特性 (3.5GHz 時) (continued)

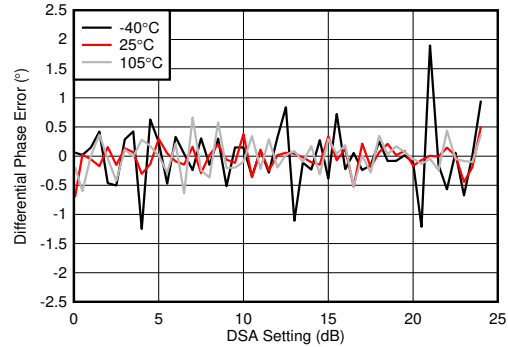
$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



3.6GHz 整合あり

微分位相誤差 = $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

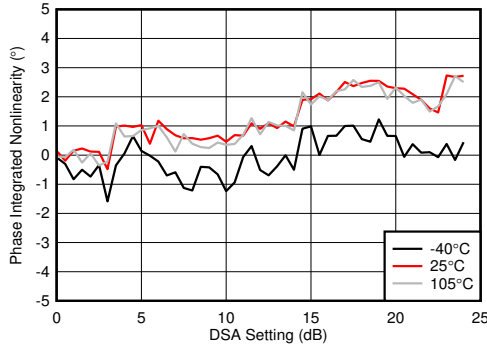
図 6-342. RX 未校正位相誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

微分位相誤差 = $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

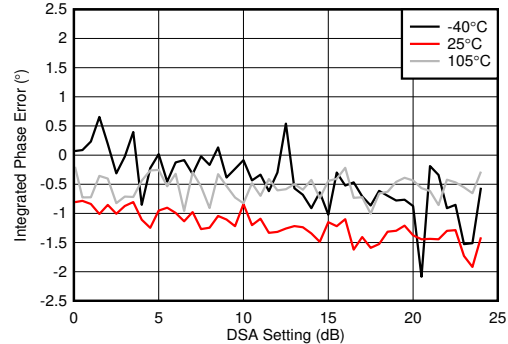
図 6-343. RX 校正済み微分位相誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

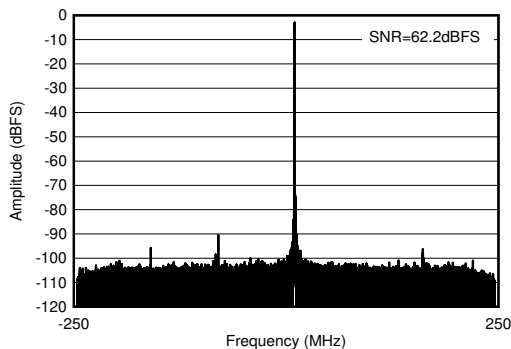
図 6-344. RX 未校正積分位相誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり

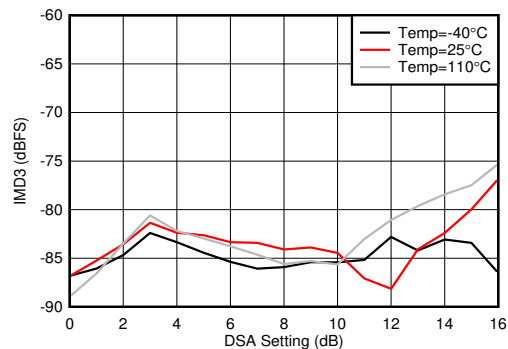
積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-345. RX 校正済み積分位相誤差と DSA 設定との関係 (3.6GHz)



3.6GHz 整合あり、 $f_{\text{IN}} = 3610\text{MHz}$ 、 $A_{\text{IN}} = -3\text{dBFS}$

図 6-346. RX 出力 FFT (3.6GHz)

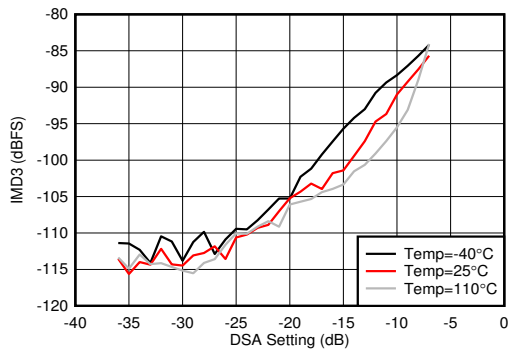


3.5GHz 整合あり、各トーンは -7dBFS、20MHz のトーン間隔

図 6-347. RX IMD3 と DSA 設定との関係 (各種温度、3.6GHz)

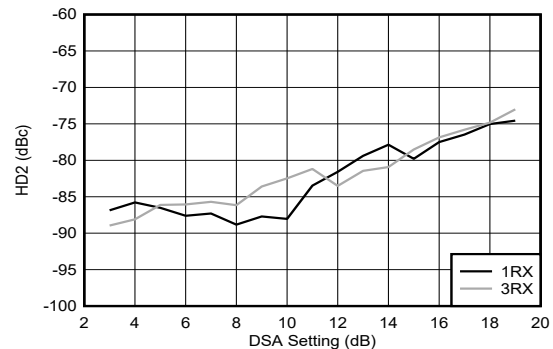
6.12.10 RX の代表的特性 (3.5GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB



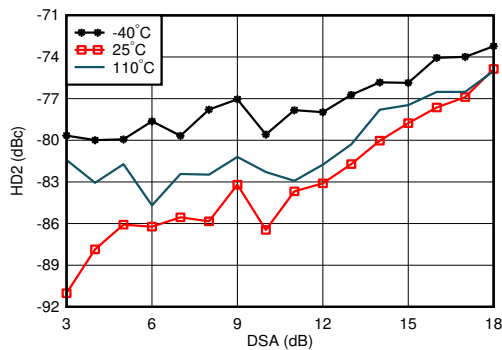
3.5GHz 整合あり、20MHz のトーン間隔

図 6-348. RX IMD3 と入力レベルとの関係 (各種温度、3.6GHz)



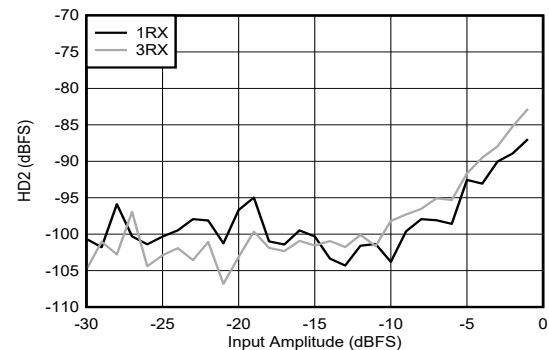
3.5GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-349. RX HD2 と DSA 設定との関係 (各種チャンネル、3.6GHz)



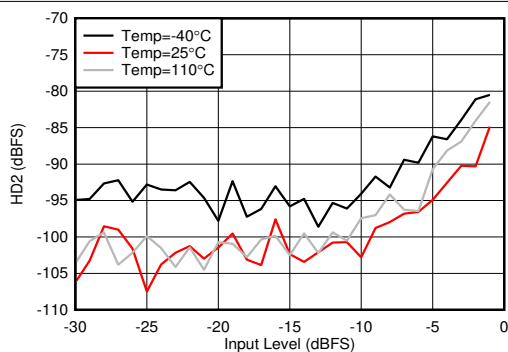
3.5GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-350. RX HD2 と DSA 設定との関係 (各種温度、3.6GHz)



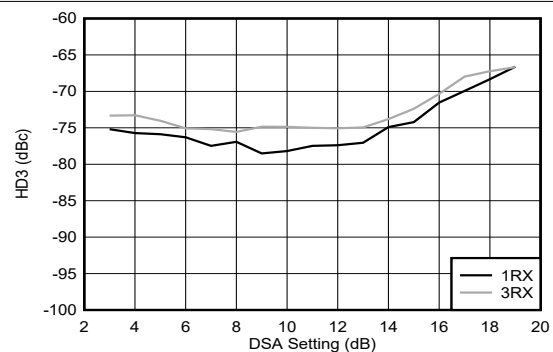
3.5GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-351. RX HD2 と入力レベルとの関係 (各種チャンネル、3.6GHz)



3.5GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-352. RX HD2 と入力レベルとの関係 (各種温度、3.6GHz)

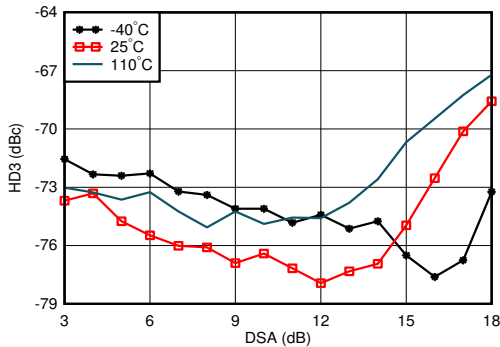


3.5GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-353. RX HD3 と DSA 設定との関係 (各種チャンネル、3.6GHz)

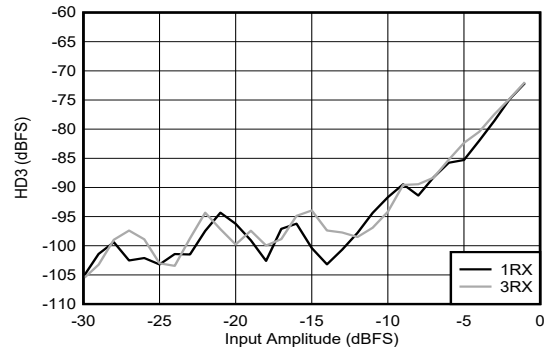
6.12.10 RX の代表的特性 (3.5GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



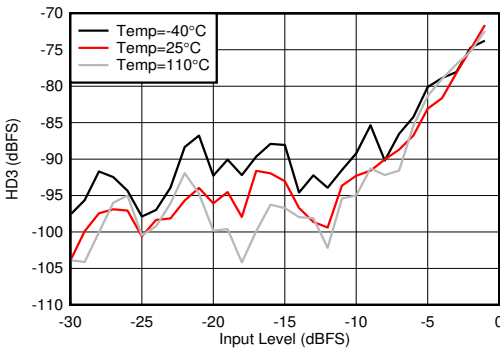
3.5GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-354. RX HD3 と DSA 設定との関係 (各種温度、3.6GHz)



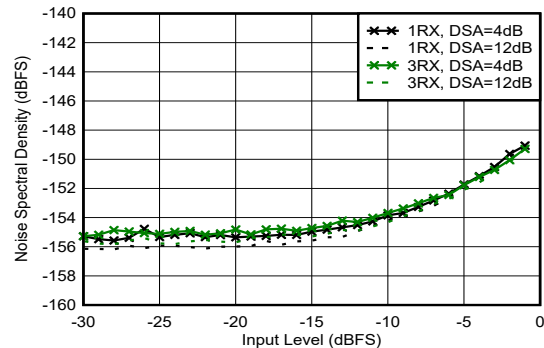
3.5GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-355. RX HD3 と入力レベルとの関係 (各種チャネル、3.6GHz)



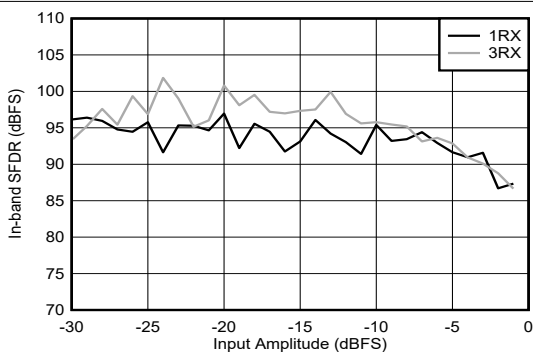
3.5GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-356. RX HD3 と入力レベルとの関係 (各種温度、3.6GHz)



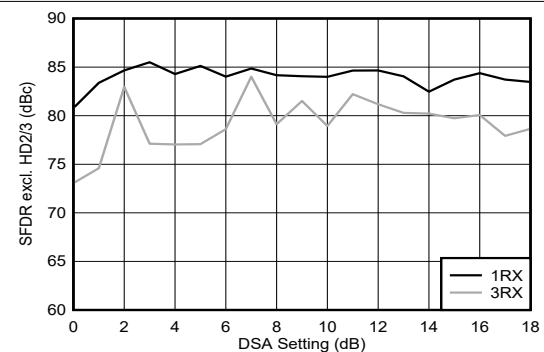
3.5GHz 整合あり、トーンからのオフセット 12.5MHz

図 6-357. RX ノイズ・スペクトル密度と入力レベルとの関係 (各種 DSA 設定、3.6GHz)



3.5GHz 整合あり

図 6-358. RX 帯域内 SFDR ($\pm 200\text{MHz}$) と入力レベルとの関係 (各種チャネル、3.6GHz)

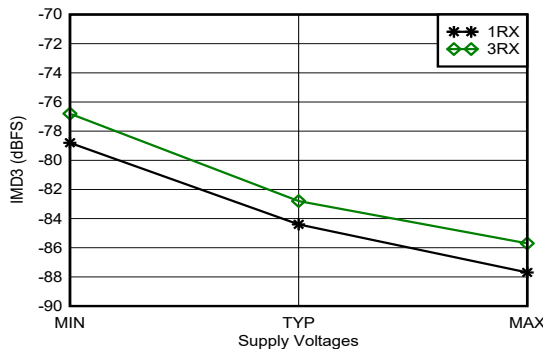


3.5GHz 整合あり

図 6-359. RX SFDR (HD2/3 を除く) と DSA 設定との関係 (各種チャネル、3.6GHz)

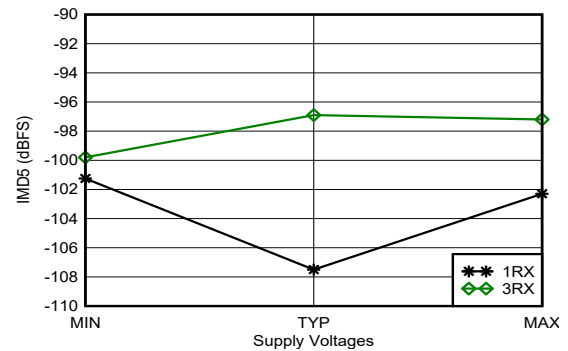
6.12.10 RX の代表的特性 (3.5GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB



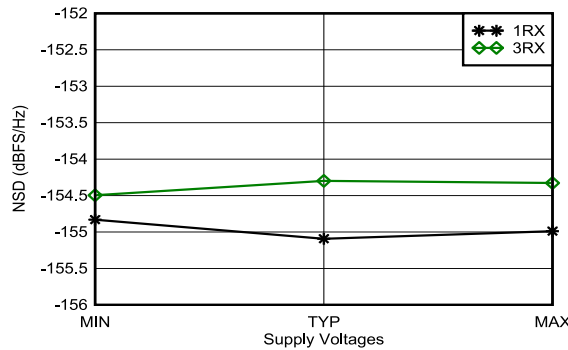
3.6GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 6-360. RX IMD3 と電源電圧との関係 (各種チャネル、3.6GHz)



3.6GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 6-361. RX IMD5 と電源電圧との関係 (各種チャネル、3.6GHz)

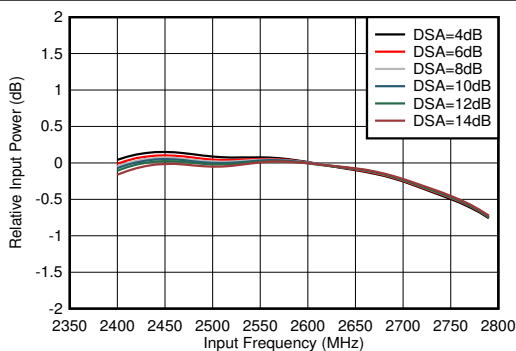


3.6GHz 整合あり、-20dBFS のトーン、12.5MHz のオフセット周波数、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 6-362. RX ノイズ・スペクトル密度と電源電圧との関係 (各種チャネル、3.6GHz)

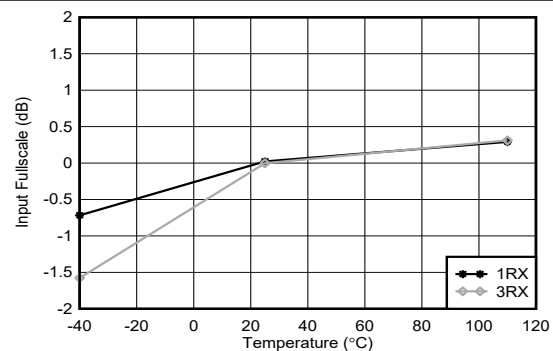
6.12.11 RX の代表的特性 (2.6GHz 時)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB



整合あり、各 DSA 設定について 2.6GHz の電力で正規化

図 6-363. RX 帯域内ゲイン平坦性 ($f_{IN} = 2600\text{MHz}$)

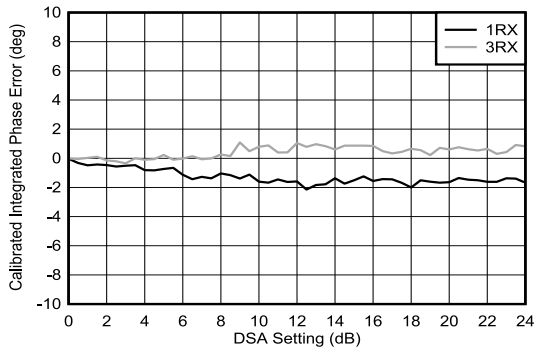


2.6GHz 整合あり、各チャネルについて 25°C のフルスケールで正規化

図 6-364. RX 入力フルスケールと温度との関係 (各種チャネル、2.6GHz)

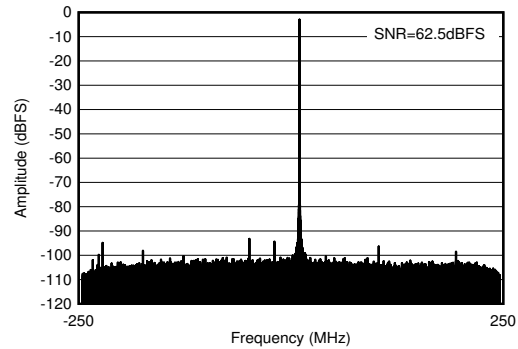
6.12.11 RX の代表的特性 (2.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



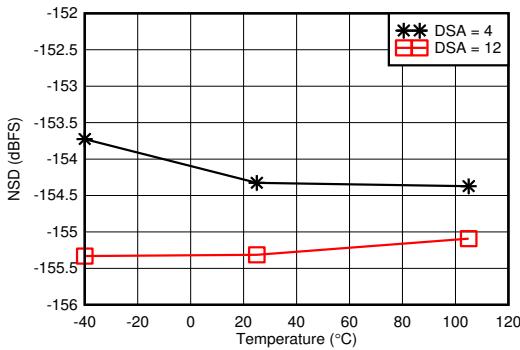
2.6GHz 整合あり
積分位相誤差 = Phase(DSA 設定) - Phase(DSA 設定 = 0)

図 6-365. RX 較正済み積分位相誤差と DSA 設定との関係 (2.6GHz)



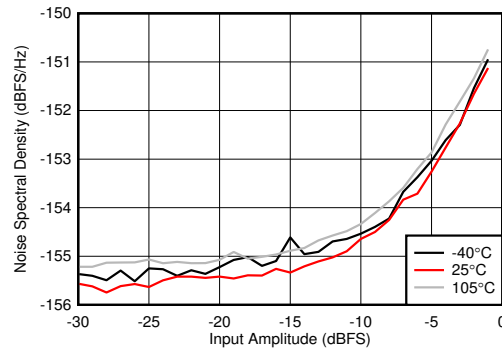
2.6GHz 整合あり、 $f_{\text{IN}} = 2610\text{MHz}$ 、 $A_{\text{IN}} = -3\text{dBFS}$

図 6-366. RX 出力 FFT (2.6GHz)



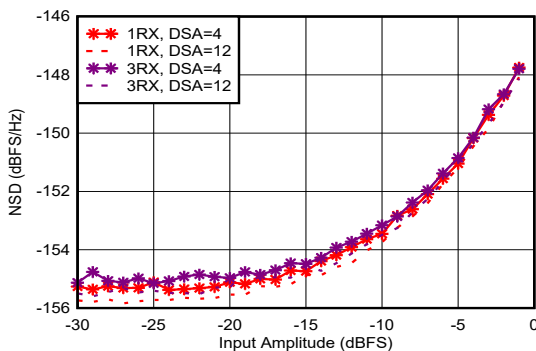
2.6GHz 整合あり、トーンから 12.5MHz オフセット

図 6-367. RX ノイズ・スペクトル密度と温度との関係 (2.6GHz)



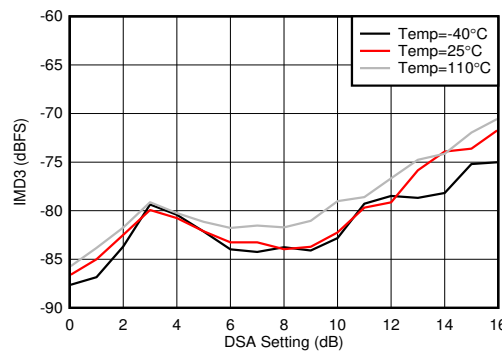
2.6GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 6-368. RX ノイズ・スペクトル密度と入力振幅との関係 (各種温度、2.6GHz)



2.6GHz 整合あり、トーンからのオフセット 12.5MHz

図 6-369. RX ノイズ・スペクトル密度と入力振幅との関係 (各種チャネル、2.6GHz)

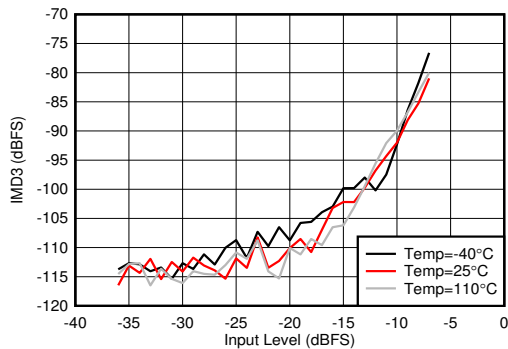


2.6GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 6-370. RX IMD3 と DSA 設定との関係 (各種温度、2.6GHz)

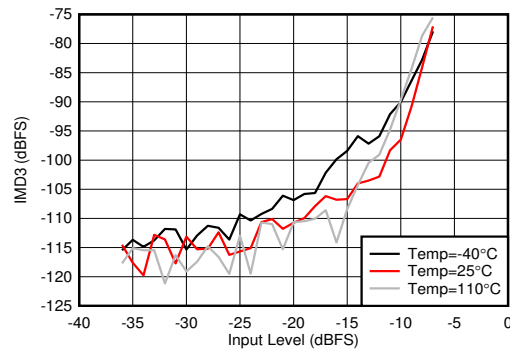
6.12.11 RX の代表的特性 (2.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



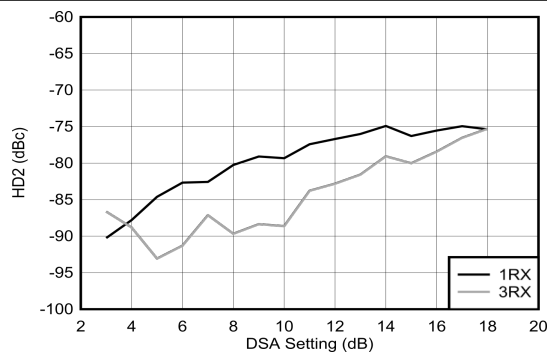
2.6GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 6-371. RX IMD3 と入力レベルとの関係 (各種温度、2.6GHz)



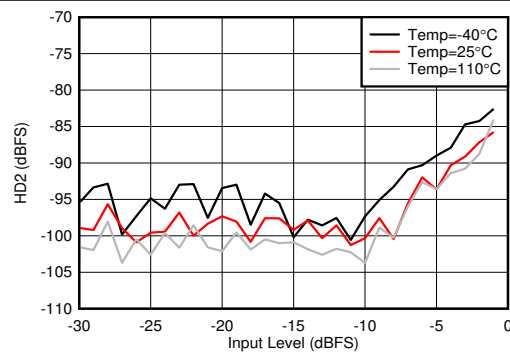
2.6GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 6-372. RX IMD3 と入力レベルとの関係 (各種温度、2.6GHz)



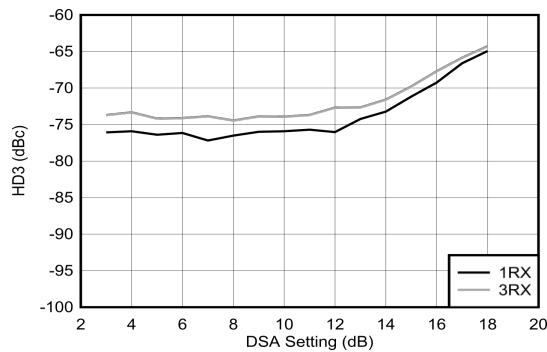
2.6GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-373. RX HD2 と DSA 設定との関係 (各種チャネル、2.6GHz)



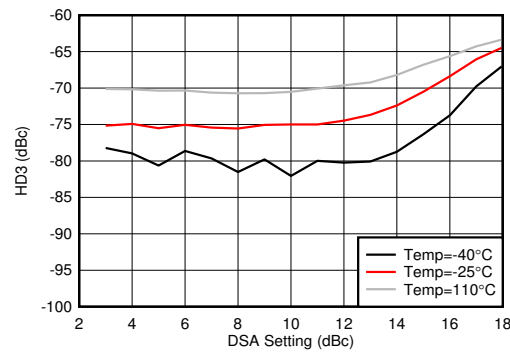
2.6GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-374. RX HD2 と入力レベルとの関係 (各種温度、2.6GHz)



2.6GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-375. RX HD3 と DSA 設定との関係 (各種チャネル、2.6GHz)

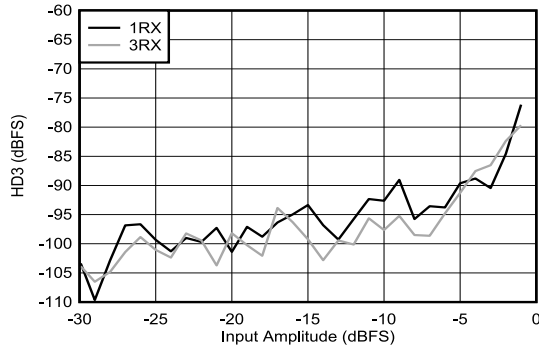


2.6GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-376. RX HD3 と DSA 設定との関係 (各種温度、2.6GHz)

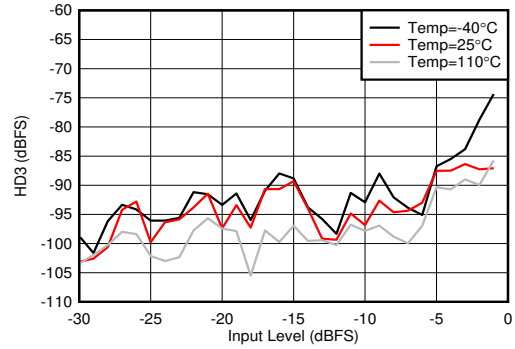
6.12.11 RX の代表的特性 (2.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



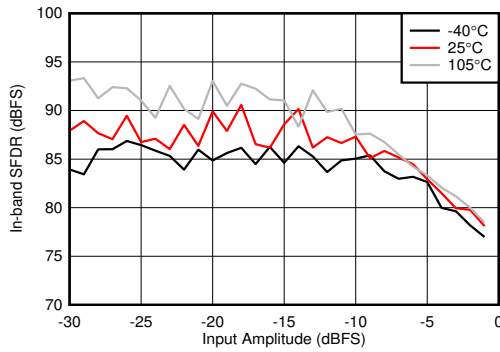
2.6GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-377. RX HD3 と入力レベルとの関係 (各種チャンネル、2.6GHz)



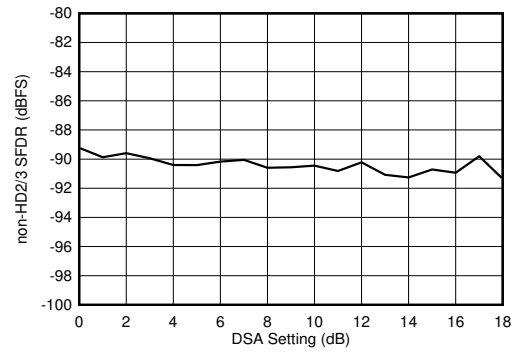
2.6GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-378. RX HD3 と入力レベルとの関係 (各種温度、2.6GHz)



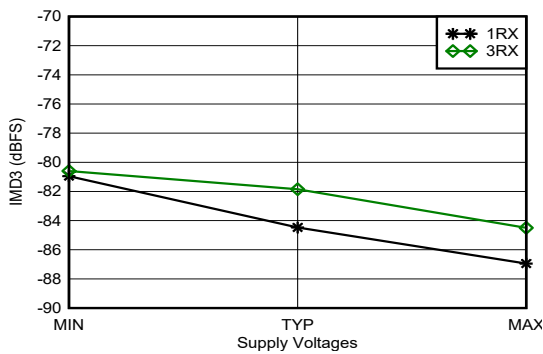
2.6GHz 整合あり、1/4 にデシメーション

図 6-379. RX 帯域内 SFDR ($\pm 300\text{MHz}$) と入力振幅との関係 (各種温度、2.6GHz)



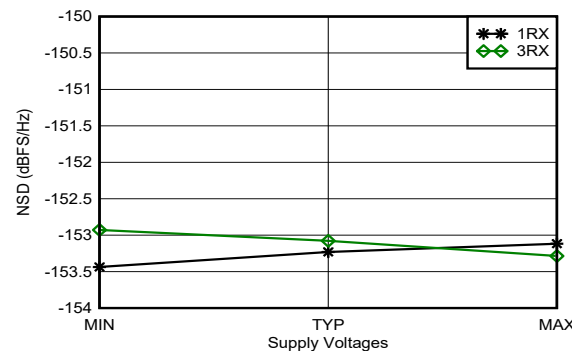
2.6GHz 整合あり

図 6-380. RX (HD2/3 を除く) と DSA 設定との関係 (2.6GHz)



2.6GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 6-381. RX IMD3 と電源電圧との関係 (各種チャンネル、2.6GHz)

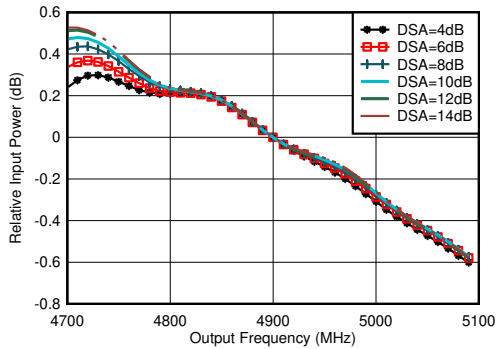


2.6GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 6-382. RX ノイズ・スペクトル密度と電源電圧との関係 (各種チャンネル、2.6GHz)

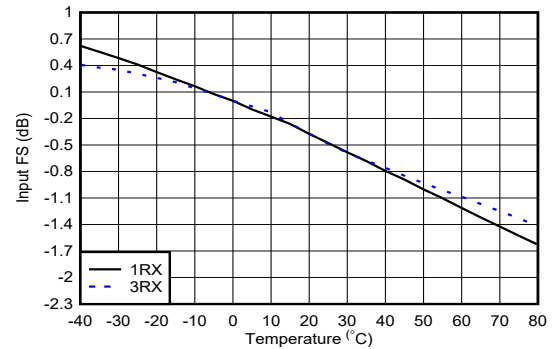
6.12.12 RX の代表的特性 (4.9GHz 時)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



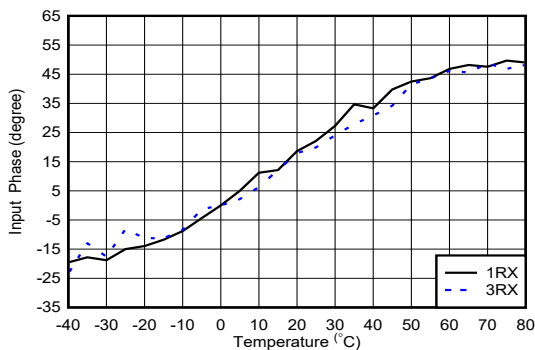
整合あり、各 DSA 設定について 4.9GHz の電力で正規化

図 6-383. RX 帯域内ゲイン平坦性 ($f_{\text{IN}} = 4900\text{MHz}$)



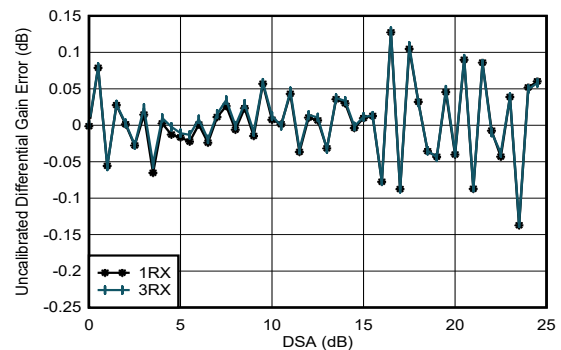
4.9GHz 整合あり、各チャネルについて 25°C のフルスケールで正規化

図 6-384. RX 入力フルスケールと温度との関係 (各種チャネル、4.9GHz)



4.9GHz 整合あり、25°C の位相で正規化

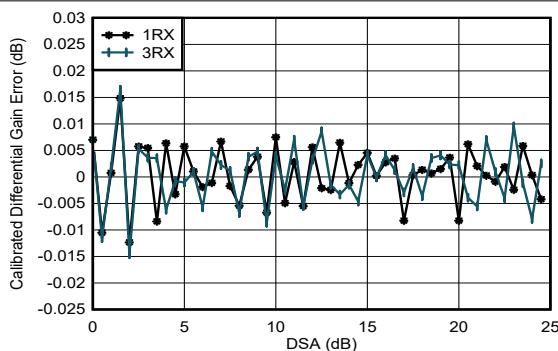
図 6-385. RX 入力位相と温度との関係 (各種 DSA、 $f_{\text{OUT}} = 4.9\text{GHz}$)



4.9GHz 整合あり

$$\text{微分振幅誤差} = P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$$

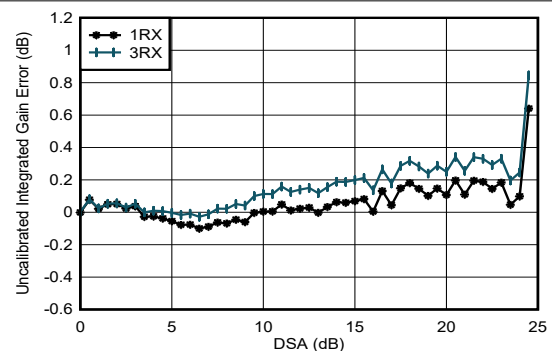
図 6-386. RX 未校正微分振幅誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

$$\text{微分振幅誤差} = P_{\text{IN}}(\text{DSA 設定} - 1) - P_{\text{IN}}(\text{DSA 設定}) + 1$$

図 6-387. RX 校正済み微分振幅誤差と DSA 設定との関係 (4.9GHz)



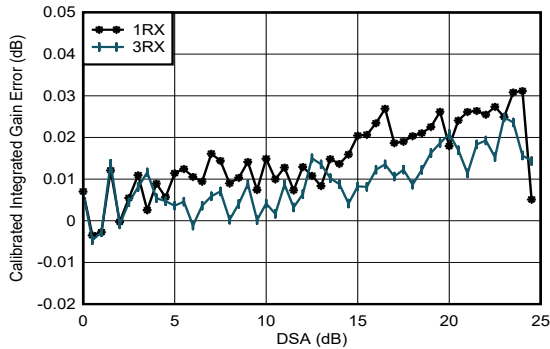
4.9GHz 整合あり

$$\text{積分振幅誤差} = P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$$

図 6-388. RX 未校正積分振幅誤差と DSA 設定との関係 (4.9GHz)

6.12.12 RX の代表的特性 (4.9GHz 時) (continued)

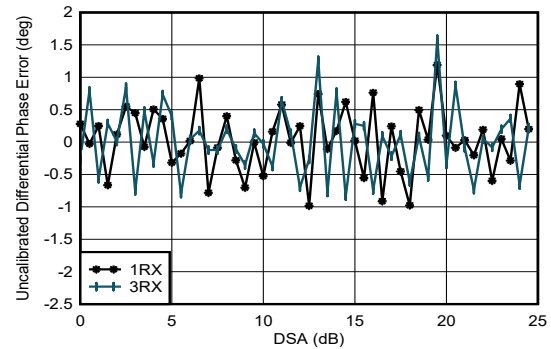
$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



4.9GHz 整合あり

積分振幅誤差 = $P_{\text{IN}}(\text{DSA 設定}) - P_{\text{IN}}(\text{DSA 設定} = 0) + (\text{DSA 設定})$

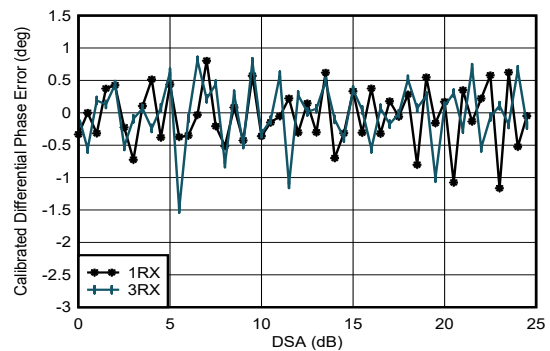
図 6-389. RX 較正済み積分振幅誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分位相誤差 = $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

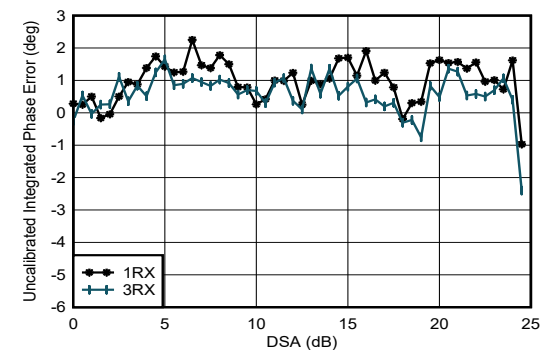
図 6-390. RX 未較正微分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

微分位相誤差 = $\text{Phase}_{\text{IN}}(\text{DSA 設定} - 1) - \text{Phase}_{\text{IN}}(\text{DSA 設定})$

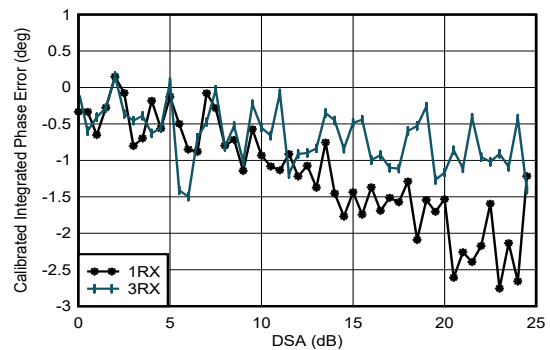
図 6-391. RX 較正済み微分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

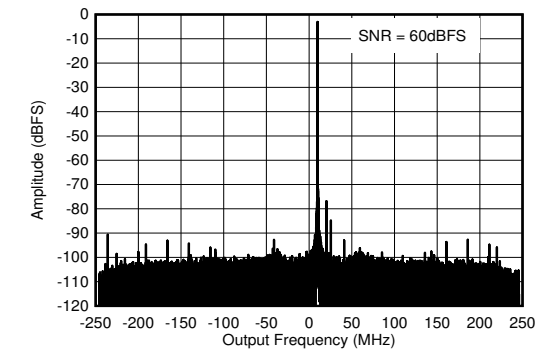
図 6-392. RX 未較正積分位相誤差と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり

積分位相誤差 = $\text{Phase}(\text{DSA 設定}) - \text{Phase}(\text{DSA 設定} = 0)$

図 6-393. RX 較正済み積分位相誤差と DSA 設定との関係 (4.9GHz)

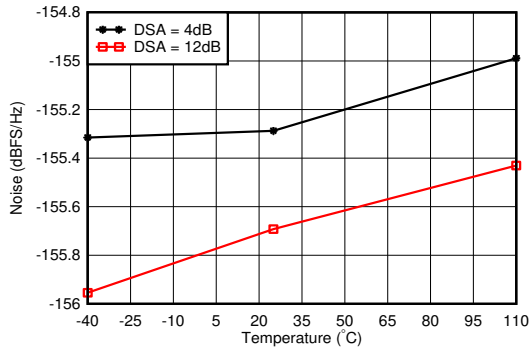


4.9GHz 整合あり、 $f_{\text{IN}} = 4910\text{MHz}$ 、 $A_{\text{IN}} = -3\text{dBFS}$

図 6-394. RX 出力 FFT (4.9GHz)

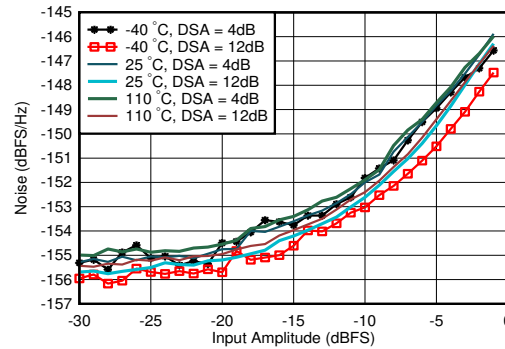
6.12.12 RX の代表的特性 (4.9GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



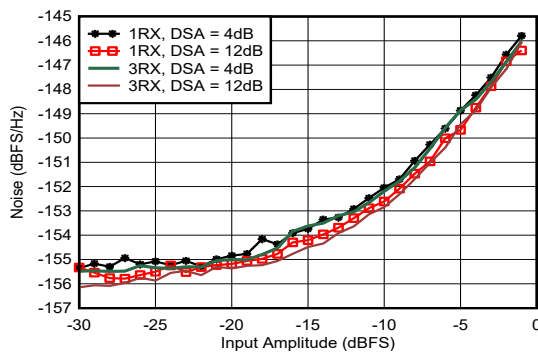
4.9GHz 整合あり、トーンからのオフセット 12.5MHz

図 6-395. RX ノイズ・スペクトル密度と温度との関係 (4.9GHz)



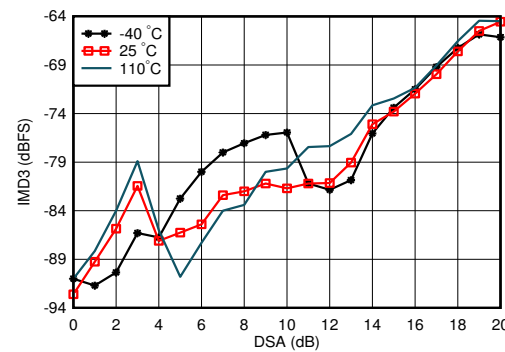
4.9GHz 整合あり、DSA 設定 = 12dB、トーンから 12.5MHz オフセット

図 6-396. RX ノイズ・スペクトル密度と入力振幅との関係 (各種温度、4.9GHz)



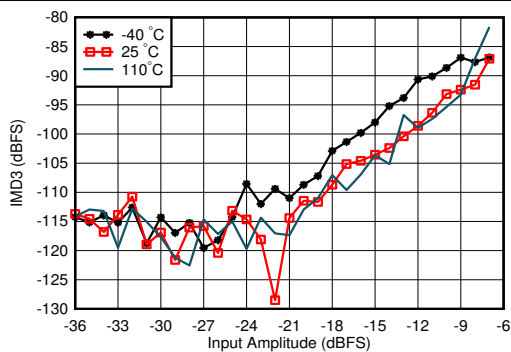
4.9GHz 整合あり、トーンからのオフセット 12.5MHz

図 6-397. RX ノイズ・スペクトル密度と入力振幅との関係 (各種チャネル、4.9GHz)



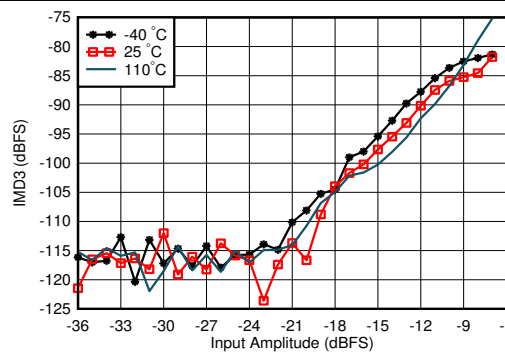
4.9GHz 整合あり、各トーンは -7dBFS、トーン間隔 = 20MHz

図 6-398. RX IMD3 と DSA 設定との関係 (各種温度、4.9GHz)



4.9GHz 整合あり、トーン間隔 = 20MHz、DSA = 4dB

図 6-399. RX IMD3 と入力レベルとの関係 (各種温度、4.9GHz)

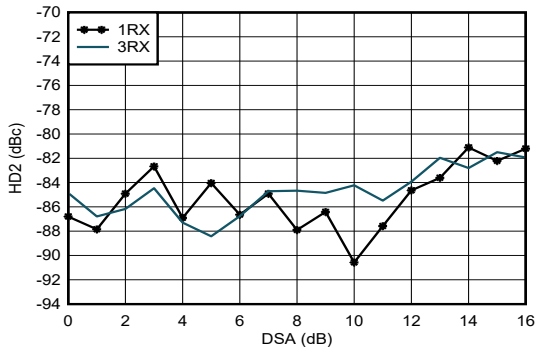


4.9GHz 整合あり、トーン間隔 = 20MHz、DSA = 12dB

図 6-400. RX IMD3 と入力レベルとの関係 (各種温度、4.9GHz)

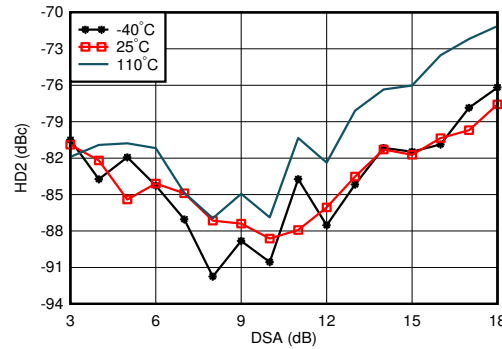
6.12.12 RX の代表的特性 (4.9GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{REF}} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 4dB



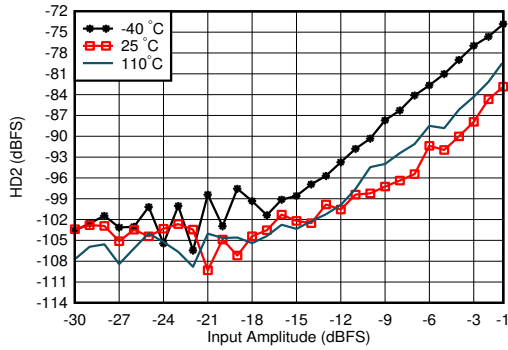
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-401. RX HD2 と DSA 設定との関係 (各種チャネル、4.9GHz)



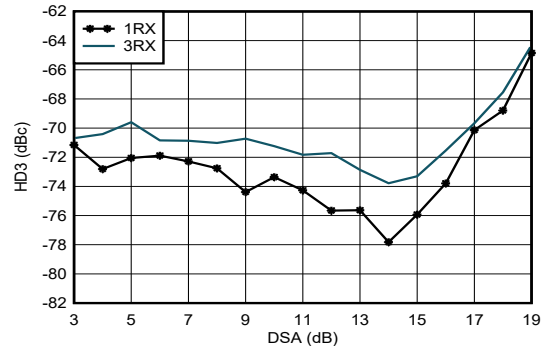
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-402. RX HD2 と DSA 設定との関係 (各種温度、4.9GHz)



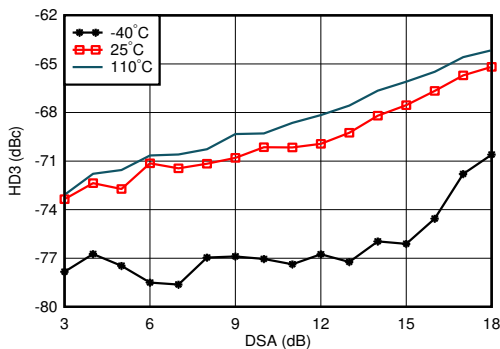
4.9GHz 整合あり、HD2 調整後に測定、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-403. RX HD2 と入力レベルとの関係 (各種温度、4.9GHz)



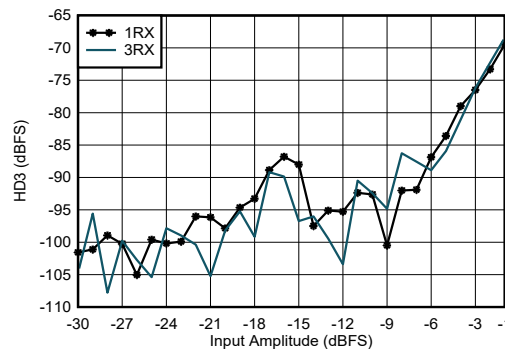
4.9GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-404. RX HD3 と DSA 設定との関係 (各種チャネル、4.9GHz)



4.9GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-405. RX HD3 と DSA 設定との関係 (各種温度、4.9GHz)

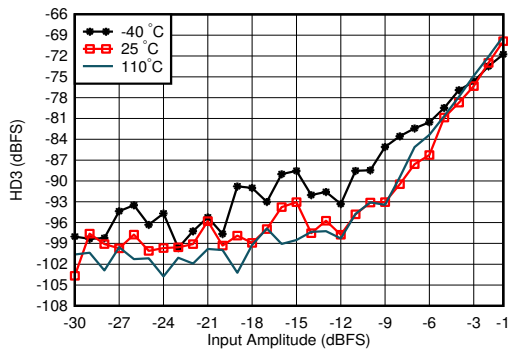


4.9GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-406. RX HD3 と入力レベルとの関係 (各種チャネル、4.9GHz)

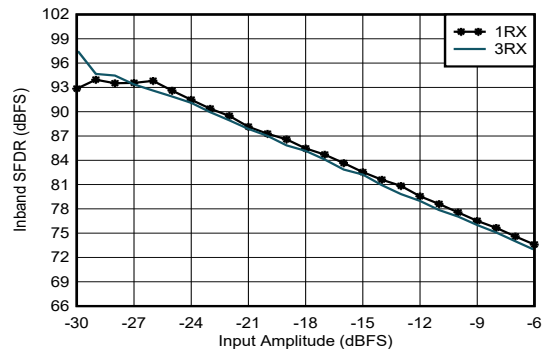
6.12.12 RX の代表的特性 (4.9GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{REF} = 491.52\text{MHz}$ の PLL クロック・モード、 $A_{IN} = -3\text{dBFS}$ 、DSA 設定 = 4dB



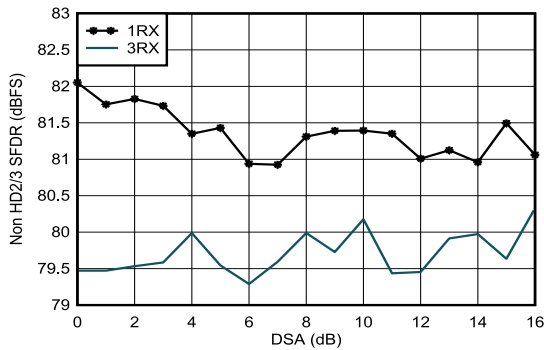
4.9GHz 整合あり、DDC バイパス・モード (特性評価用テキサス・インスツルメンツ専用モード)

図 6-407. RX HD3 と入力レベルとの関係 (各種温度、4.9GHz)



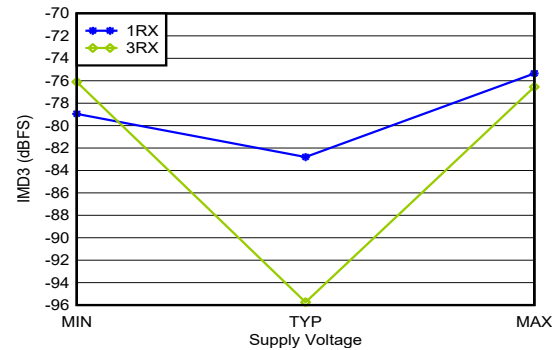
4.9GHz 整合あり、1/3 にデシメーション

図 6-408. RX 帯域内 SFDR ($\pm 400\text{MHz}$) と入力振幅との関係 (各種チャネル、4.9GHz)



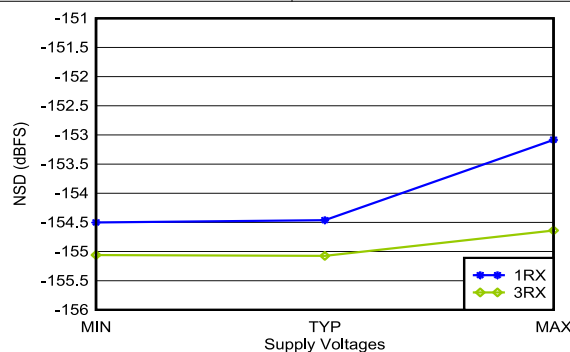
4.9GHz 整合あり

図 6-409. RX (HD2/3 を除く) と DSA 設定との関係 (4.9GHz)



4.9GHz 整合あり、各トーン -7dBFS、20MHz のトーン間隔、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 6-410. RX IMD3 と電源電圧との関係 (各種チャネル、4.9GHz)

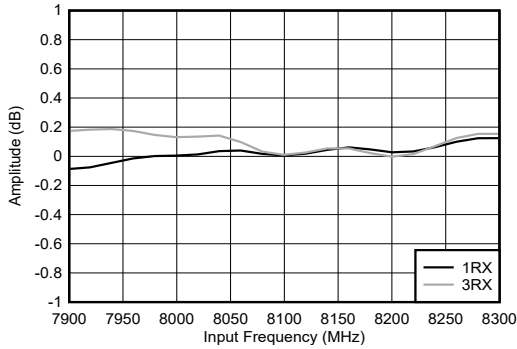


4.9GHz 整合あり、12.5MHz オフセット、すべての電源電圧は推奨動作条件の最小値、代表値、最大値

図 6-411. RX ノイズ・スペクトル密度と電源電圧との関係 (各種チャネル、4.9GHz)

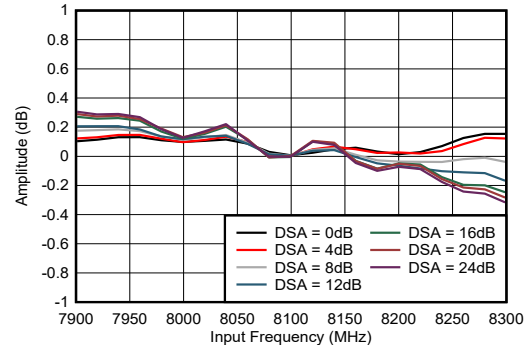
6.12.13 RX の代表的特性 (8.1GHz 時)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$ による外部クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、8.1GHz 整合あり。



8.1GHz で正規化

図 6-412. RX 振幅と周波数との関係 (各種チャンネル)



1RX および 3RX、8.1GHz で正規化

図 6-413. RX 振幅と周波数との関係 (各種 DSA 設定)

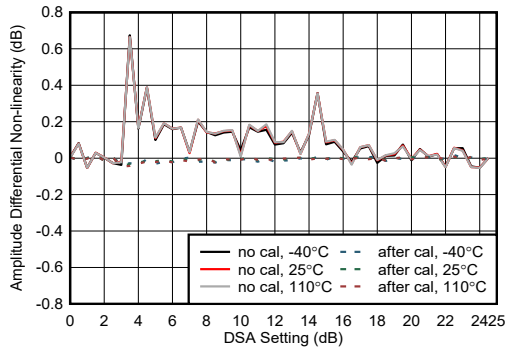


図 6-414. RX 振幅の微分非直線性 (8.1GHz)

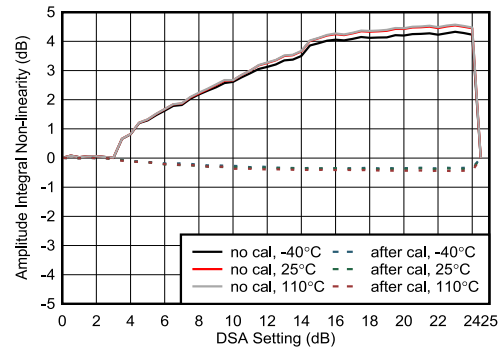


図 6-415. RX 振幅の積分非直線性 (8.1GHz)

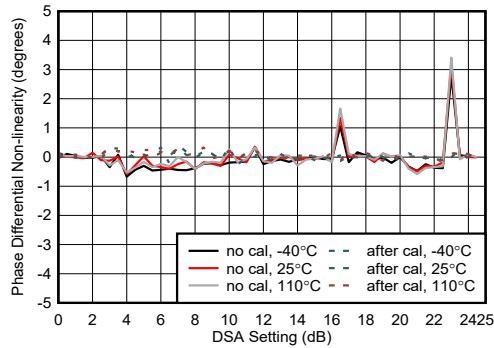


図 6-416. RX 位相の微分非直線性 (8.1GHz)

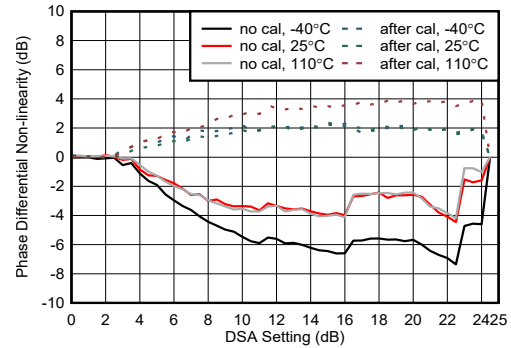


図 6-417. RX 位相の微分非直線性 (8.1GHz)

6.12.13 RX の代表的特性 (8.1GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$ による外部クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、8.1GHz 整合あり。

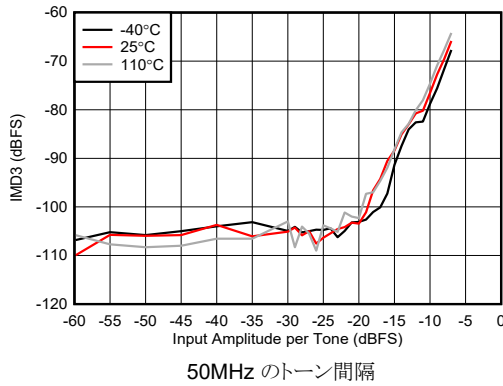


図 6-418. RX IMD3 と入力振幅との関係 (8.11GHz)

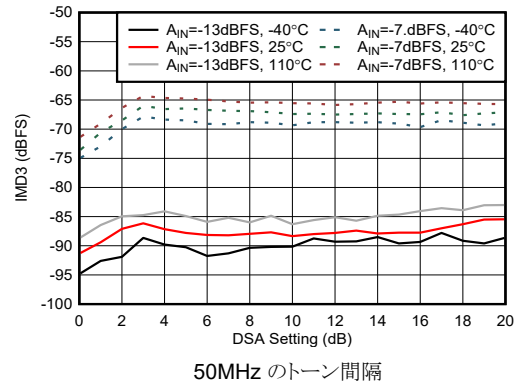


図 6-419. RX IMD3 と DSA 設定との関係 (8.11GHz)

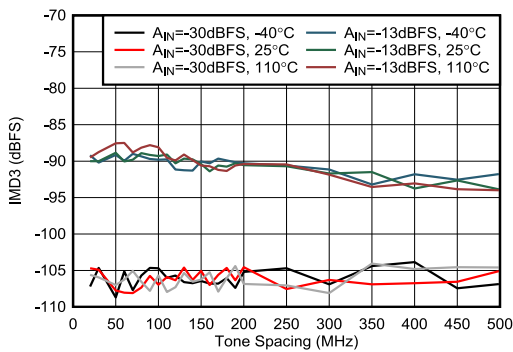


図 6-420. RX IMD3 とトーン間隔との関係 (8.11GHz)

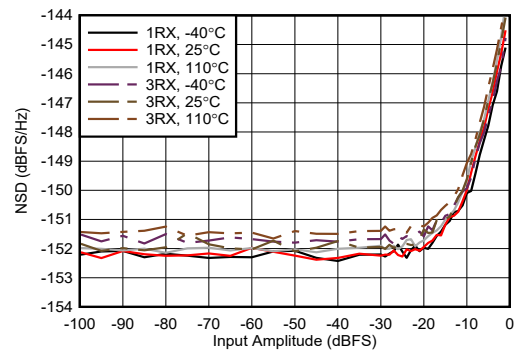


図 6-421. RX NSD とデジタル振幅との関係 (8.11GHz)

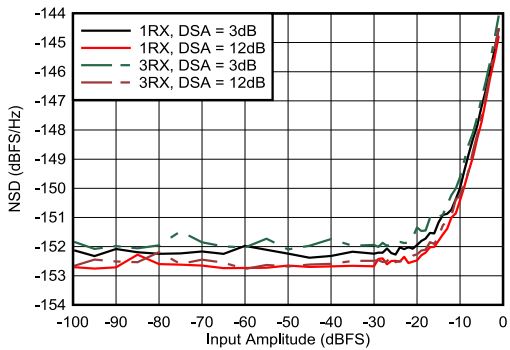


図 6-422. RX NSD とデジタル振幅との関係 (8.11GHz)

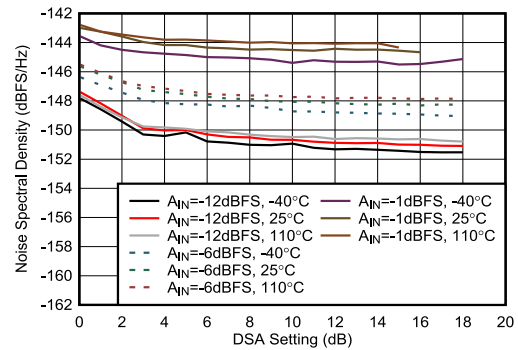


図 6-423. RX NSD と DSA 設定との関係 (8.11GHz)

6.12.13 RX の代表的特性 (8.1GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$ による外部クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、8.1GHz 整合あり。

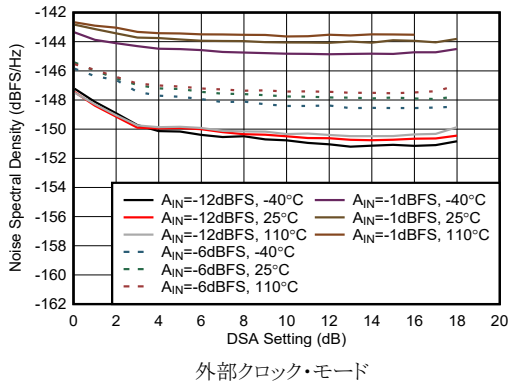


図 6-424. RX NSD と DSA 設定との関係 (8.11GHz)

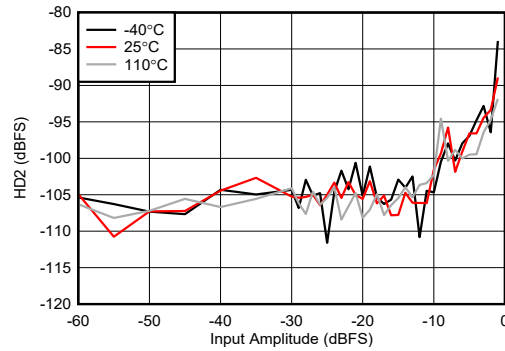


図 6-425. RX HD2 とデジタル振幅との関係 (8.11GHz)

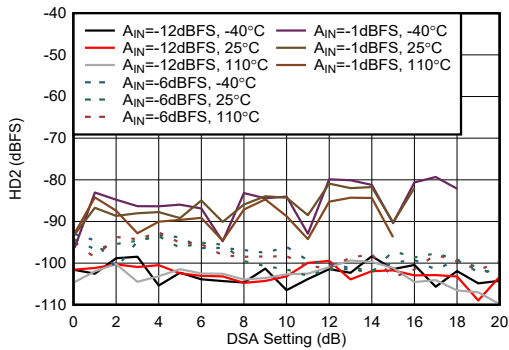


図 6-426. RX HD2 と DSA 設定との関係 (8.11GHz)

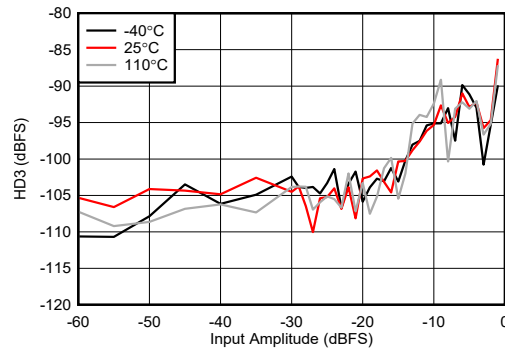


図 6-427. RX HD3 とデジタル振幅との関係 (8.11GHz)

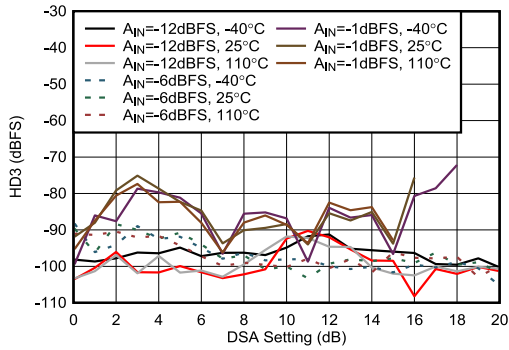


図 6-428. RX HD3 と DSA 設定との関係 (8.11GHz)

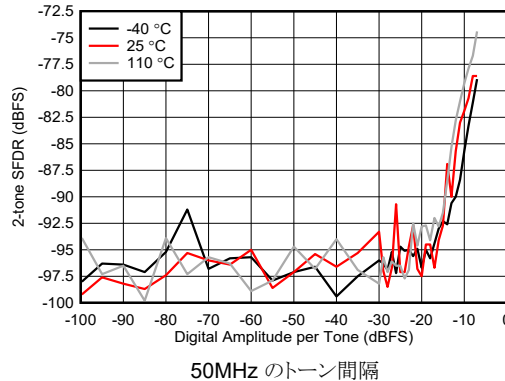
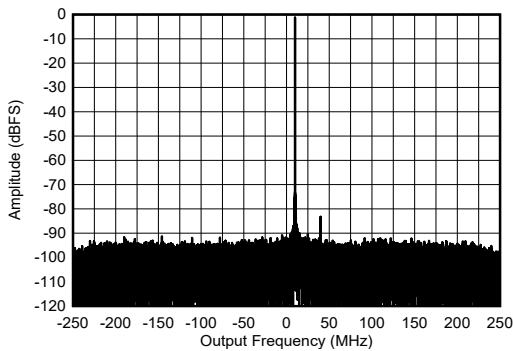


図 6-429. RX 2 トーン SFDR とデジタル振幅との関係 (8.11GHz)

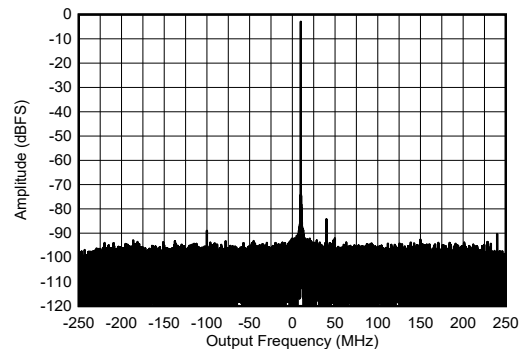
6.12.13 RX の代表的特性 (8.1GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$ による外部クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、8.1GHz 整合あり。



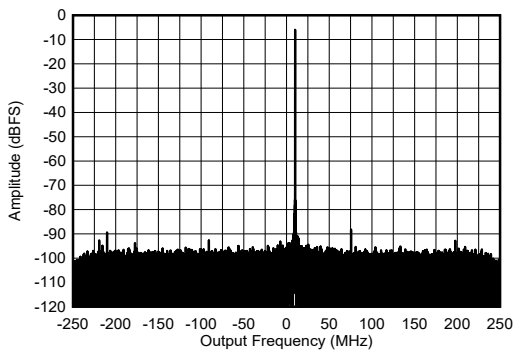
外部クロック・モード

図 6-430. RX シングル・トーン出力 FFT (8.11GHz、-1dBFS)



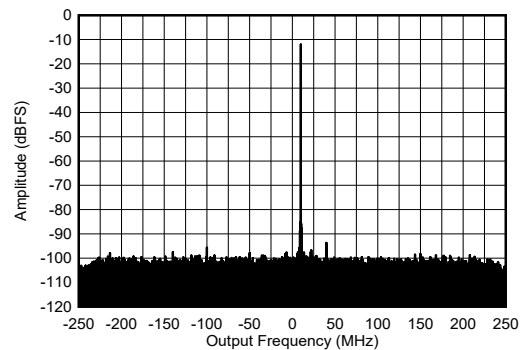
外部クロック・モード

図 6-431. RX シングル・トーン出力 FFT (8.11GHz、-3dBFS)



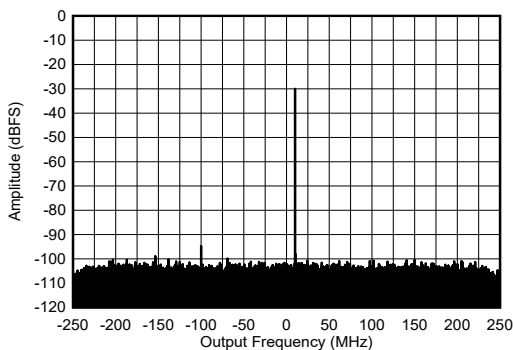
外部クロック・モード

図 6-432. RX シングル・トーン出力 FFT (8.11GHz、-6dBFS)



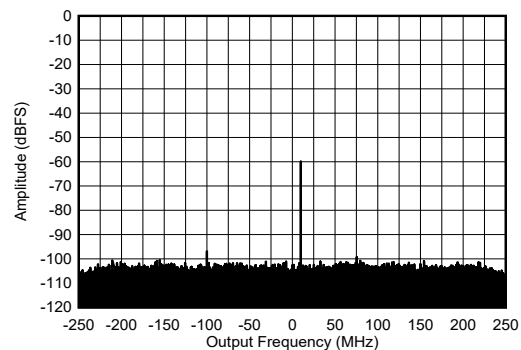
外部クロック・モード

図 6-433. RX シングル・トーン出力 FFT (8.11GHz、-12dBFS)



外部クロック・モード

図 6-434. RX シングル・トーン出力 FFT (8.11GHz、-30dBFS)

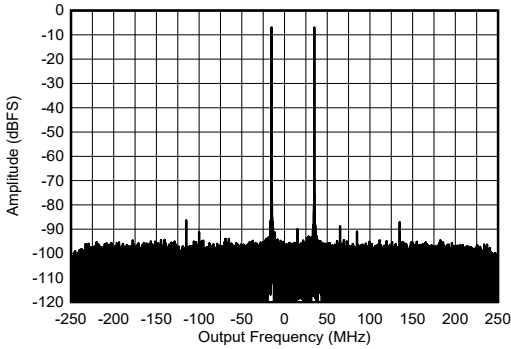


外部クロック・モード

図 6-435. RX シングル・トーン出力 FFT (8.11GHz、-60dBFS)

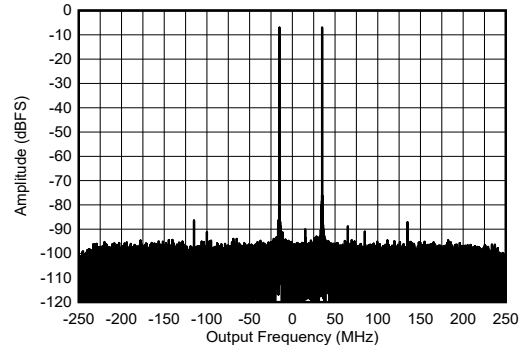
6.12.13 RX の代表的特性 (8.1GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 491.52MSPS (1/6 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$ による外部クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、8.1GHz 整合あり。



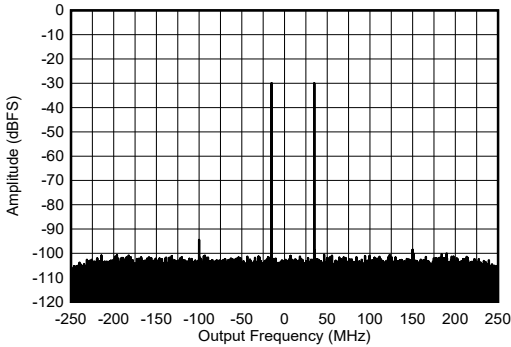
外部クロック・モード、各トーン -7dBFS

図 6-436. RX デュアル・トーン出力 FFT (8.1GHz)



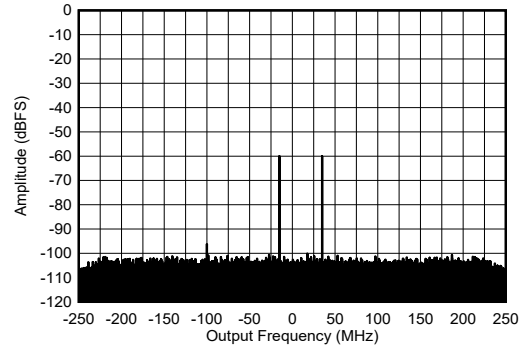
外部クロック・モード、各トーン -12dBFS

図 6-437. RX デュアル・トーン出力 FFT (8.1GHz)



外部クロック・モード、各トーン -30dBFS

図 6-438. RX デュアル・トーン出力 FFT (8.1GHz)

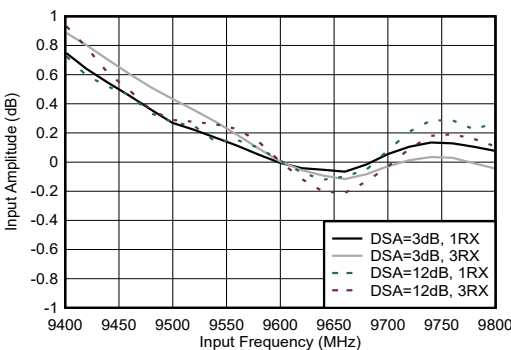


外部クロック・モード、各トーン -60dBFS

図 6-439. RX デュアル・トーン出力 FFT (8.1GHz)

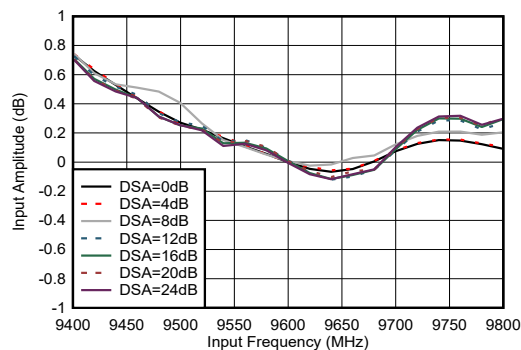
6.12.14 RX の代表的特性 (9.6GHz 時)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 1474.56MSPS (1/2 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$ による外部クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、9.6GHz 整合あり。



9.6GHz で正規化

図 6-440. RX 入力振幅と周波数との関係



9.6GHz で正規化

図 6-441. RX 入力振幅と周波数との関係 (9.6GHz)

6.12.14 RX の代表的特性 (9.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12GHz での代表値。デフォルト条件: 出力サンプル・レート = 1474.56MSPS (1/2 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$ による外部クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、9.6GHz 整合あり。

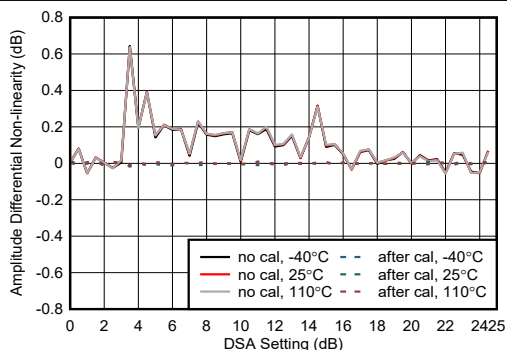


図 6-442. RX 振幅の微分非直線性 (9.6GHz)

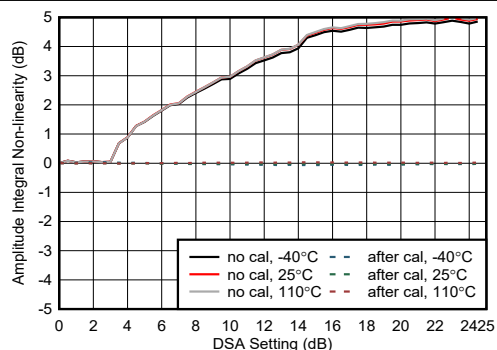


図 6-443. RX 振幅の積分非線形性 (9.6GHz)

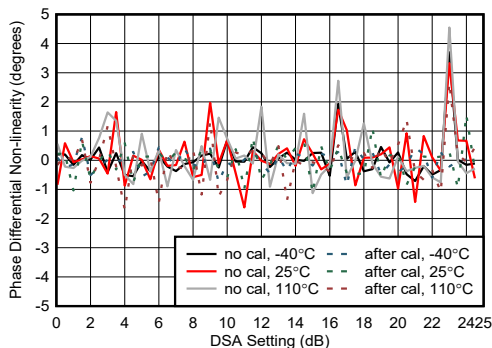


図 6-444. RX 位相の微分非直線性 (9.6GHz)

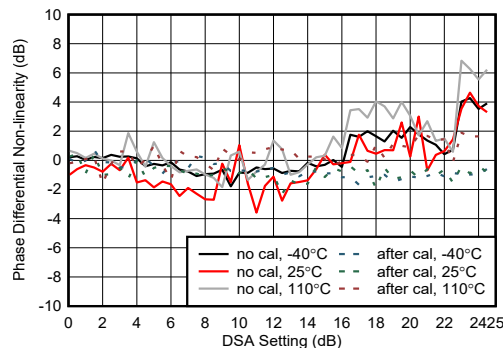


図 6-445. RX 位相の積分非線形性 (9.6GHz)

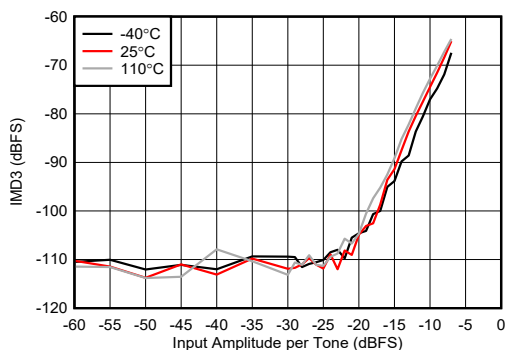


図 6-446. RX IMD3 とデジタル振幅との関係 (9.6GHz)

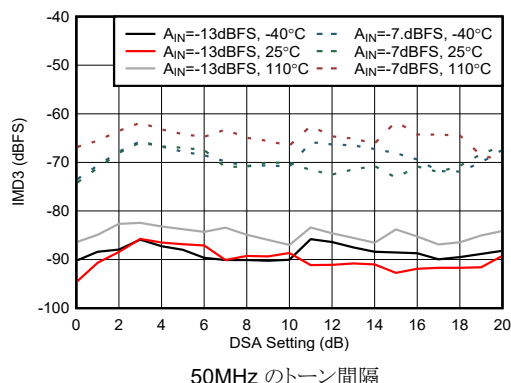


図 6-447. RX IMD3 と DSA 設定との関係 (9.6GHz)

6.12.14 RX の代表的特性 (9.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12GHz での代表値。デフォルト条件: 出力サンプル・レート = 1474.56MSPS (1/2 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$ による外部クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、9.6GHz 整合あり。

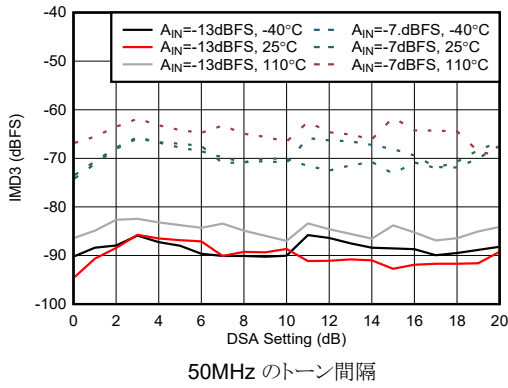


図 6-448. RX IMD3 と DSA 設定との関係 (9.6GHz)

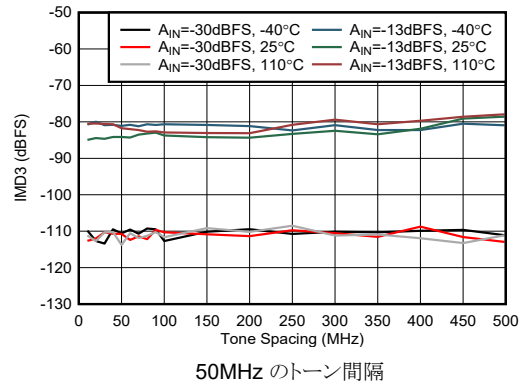


図 6-449. RX IMD3 と トーン間隔との関係 (9.6GHz)

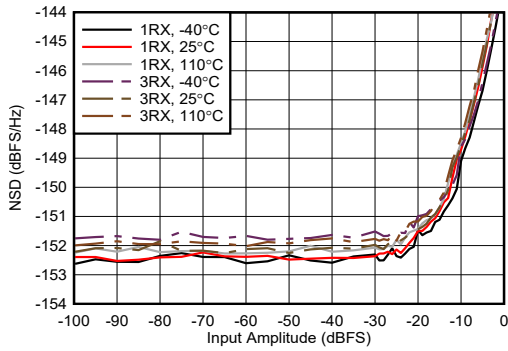


図 6-450. RX NSD とデジタル振幅との関係 (9.6GHz)

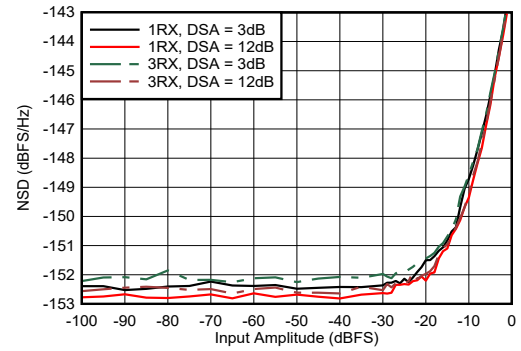


図 6-451. RX NSD とデジタル振幅との関係 (9.6GHz)

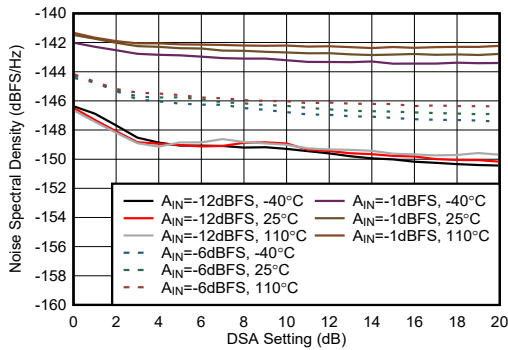


図 6-452. RX NSD と DSA 設定との関係 (9.6GHz)

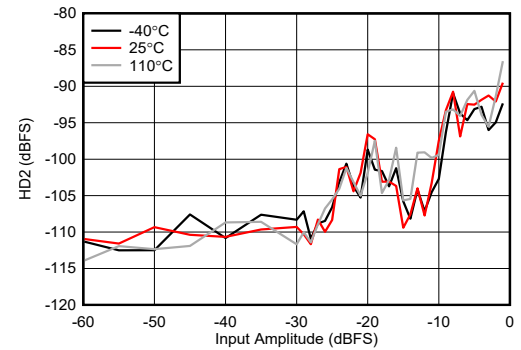


図 6-453. RX HD2 とデジタル・レベルとの関係 (9.6GHz)

6.12.14 RX の代表的特性 (9.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 1474.56MSPS (1/2 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$ による外部クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、9.6GHz 整合あり。

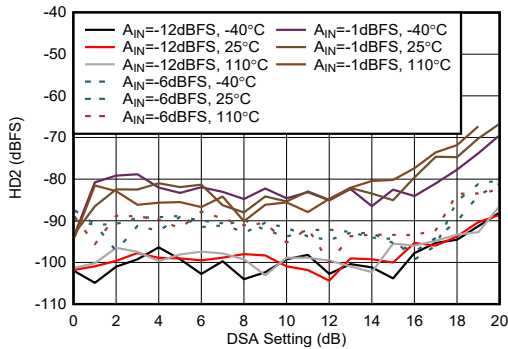


図 6-454. RX HD2 と DSA 設定との関係 (9.6GHz)

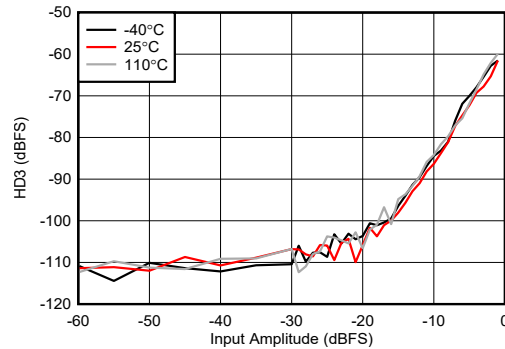


図 6-455. RX HD3 とデジタル・レベルとの関係 (9.6GHz)

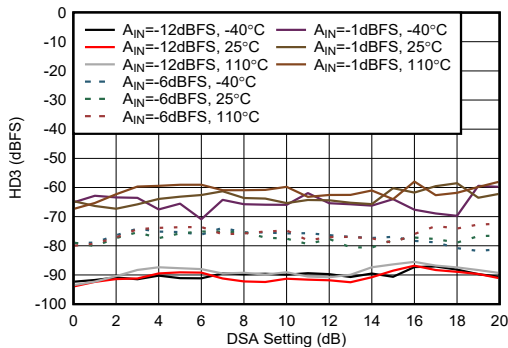
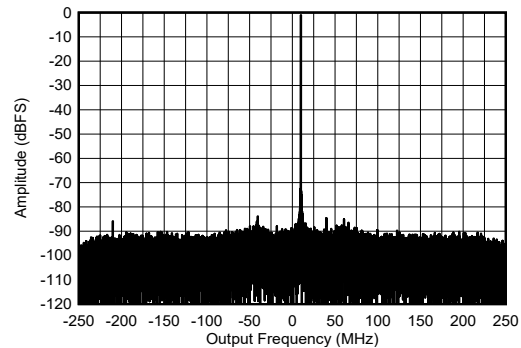
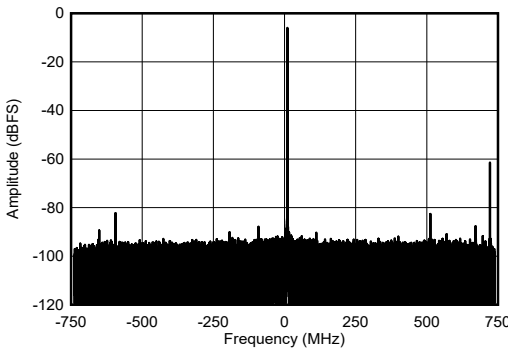


図 6-456. RX HD3 と DSA 設定との関係 (9.6GHz)



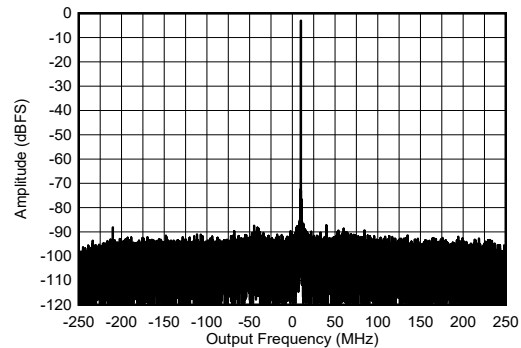
-1dBFS

図 6-457. RX シングル・トーン出力 FFT (9.6GHz)



-6dBFS

図 6-458. RX シングル・トーン出力 FFT (9.6GHz)

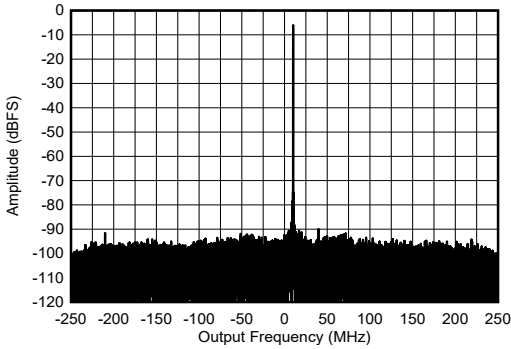


-3dBFS

図 6-459. RX シングル・トーン出力 FFT (9.6GHz)

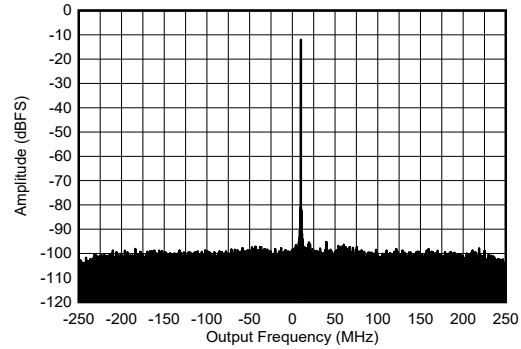
6.12.14 RX の代表的特性 (9.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12MHz での代表値。デフォルト条件: 出力サンプル・レート = 1474.56MSPS (1/2 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$ による外部クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、9.6GHz 整合あり。



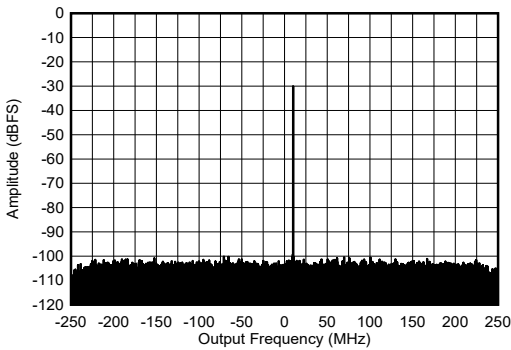
-6dBFS

図 6-460. RX シングル・トーン出力 FFT (9.61GHz)



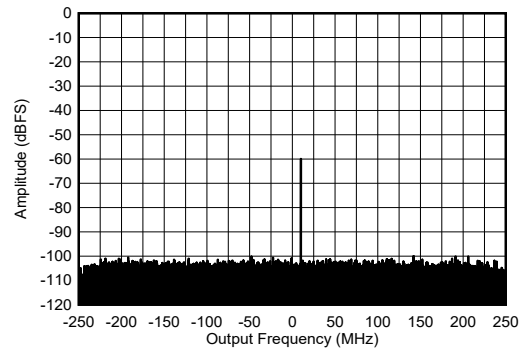
-12dBFS

図 6-461. RX シングル・トーン出力 FFT (9.61GHz)



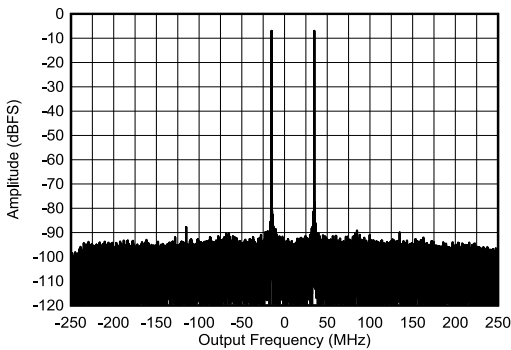
-30dBFS

図 6-462. RX シングル・トーン出力 FFT (9.61GHz)



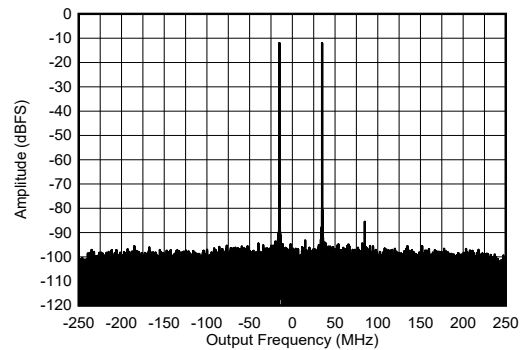
-60dBFS

図 6-463. RX シングル・トーン出力 FFT (9.61GHz)



9.585 および 9.635GHz、各トーン -7dBFS

図 6-464. RX ツー・トーン出力 FFT (9.61GHz)

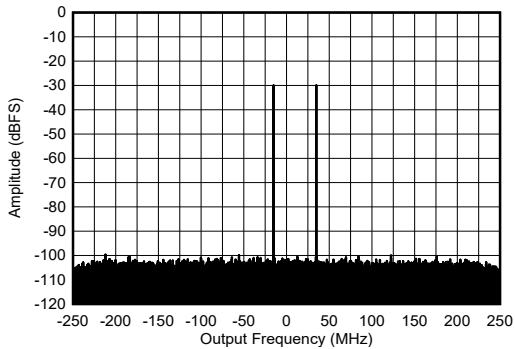


9.585 および 9.635GHz、各トーン -12dBFS

図 6-465. RX ツー・トーン出力 FFT (9.61GHz)

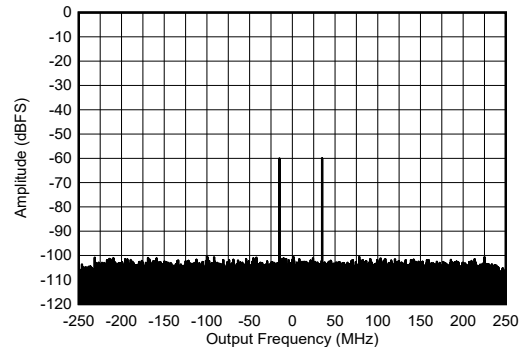
6.12.14 RX の代表的特性 (9.6GHz 時) (continued)

$T_A = +25^\circ\text{C}$ 、ADC サンプルング・レート = 2949.12GHz での代表値。デフォルト条件: 出力サンプル・レート = 1474.56MSPS (1/2 にデシメーション)、 $f_{\text{CLK}} = 11796.48\text{MHz}$ による外部クロック・モード、 $A_{\text{IN}} = -3\text{dBFS}$ 、DSA 設定 = 3dB、9.6GHz 整合あり。



9.585 および 9.635GHz、各トーン -30dBFS

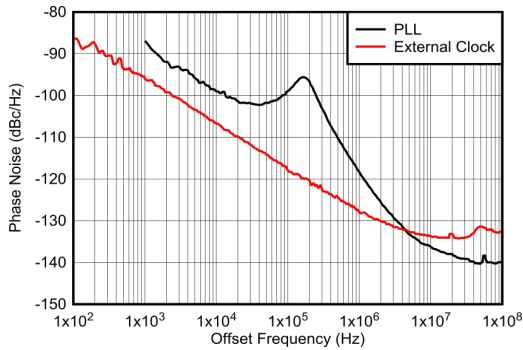
図 6-466. RX ツー・トーン出力 FFT (9.61GHz)



9.585 および 9.635GHz、各トーン -60dBFS

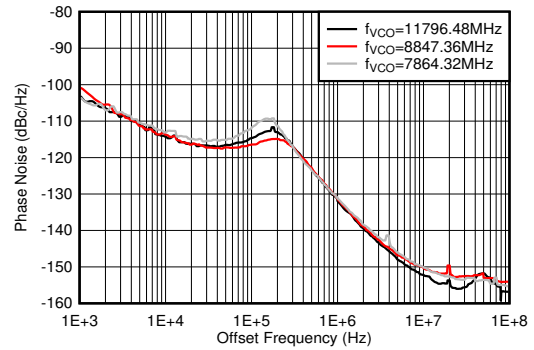
図 6-467. RX ツー・トーン出力 FFT (9.61GHz)

6.12.15 PLL およびクロックの代表的特性



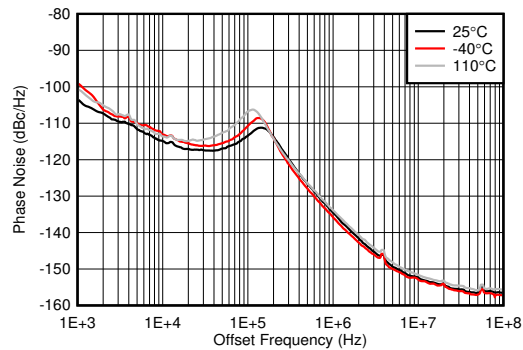
TX 出力で測定、 $20 \times \log_{10}$ で 12GHz に正規化 ($12\text{GHz}/f_{\text{OUT}}$)

図 6-468. 位相ノイズとオフセット周波数との関係 (PLL、外部クロック、12GHz)



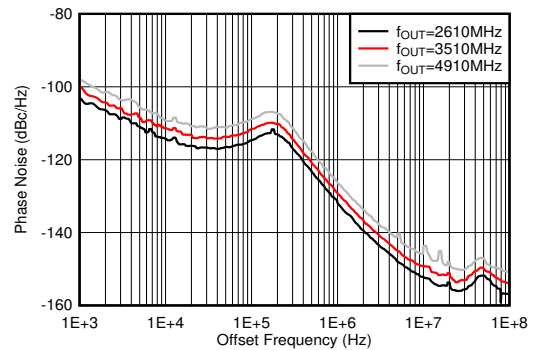
PLL イネーブル、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、TX 出力で測定

図 6-469. 位相ノイズとオフセット周波数との関係 (各種 f_{VCO} 、 $f_{\text{OUT}} = 2610\text{MHz}$)



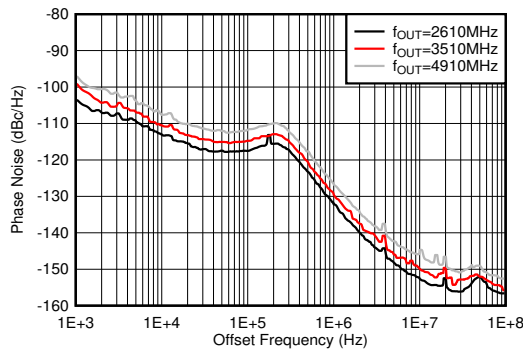
PLL イネーブル、 $f_{\text{VCO}} = 11796.48\text{MHz}$ 、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、TX 出力で測定

図 6-470. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、 $f_{\text{OUT}} = 1910\text{MHz}$)



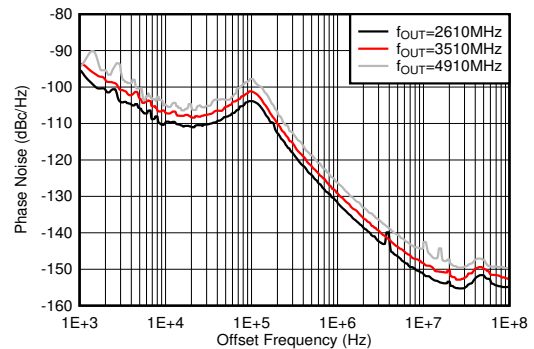
PLL イネーブル、 $f_{\text{VCO}} = 11796.48\text{MHz}$ 、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、TX 出力で測定

図 6-471. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、 25°C)



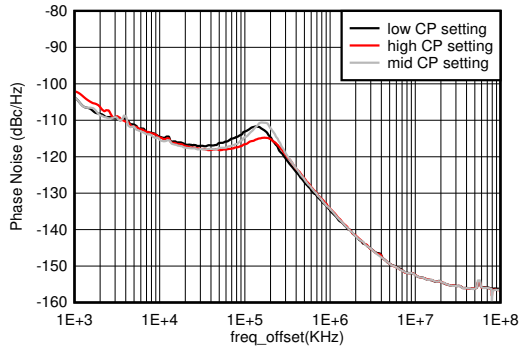
PLL イネーブル、 $f_{\text{VCO}} = 11796.48\text{MHz}$ 、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、TX 出力で測定

図 6-472. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、 -40°C)



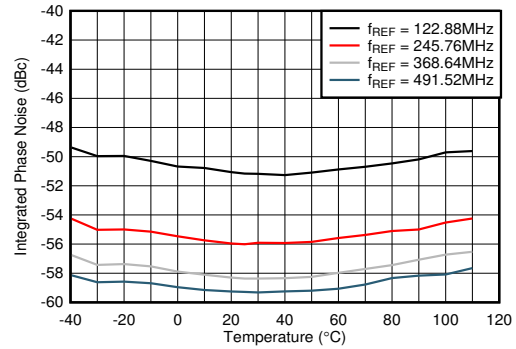
PLL イネーブル、 $f_{\text{VCO}} = 11796.48\text{MHz}$ 、 $f_{\text{REF}} = 491.52\text{MSPS}$ 、TX 出力で測定

図 6-473. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、 110°C)



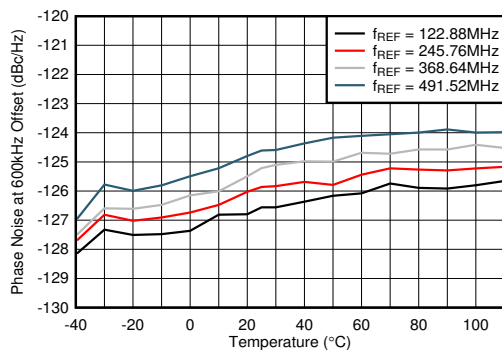
PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、TX 出力で測定

図 6-474. 12GHz VCO の位相ノイズとオフセット周波数との関係 (各種 CP 設定、 $f_{OUT} = 2.6\text{GHz}$)



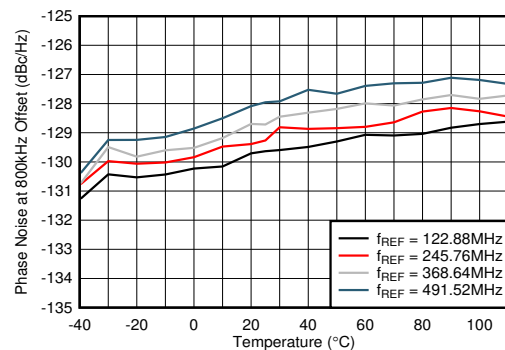
PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、1kHz~100MHz、片側積分帯域幅、TX 出力で測定

図 6-475. 12GHz VCO の積分位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$)



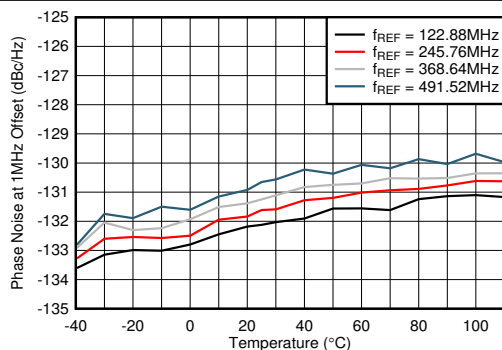
PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、TX 出力で測定

図 6-476. 12GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、600kHz オフセット)



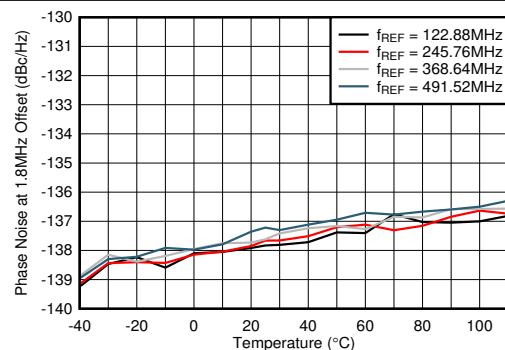
A. PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、TX 出力で測定

図 6-477. 12GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、800kHz オフセット)



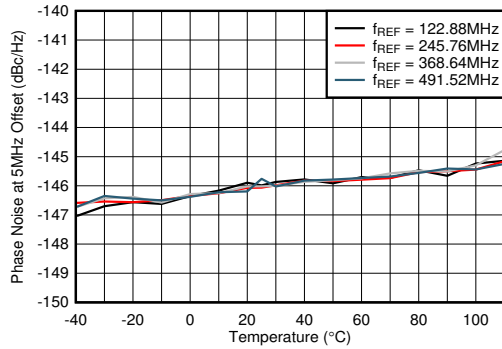
PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、TX 出力で測定

図 6-478. 12GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、1MHz オフセット)



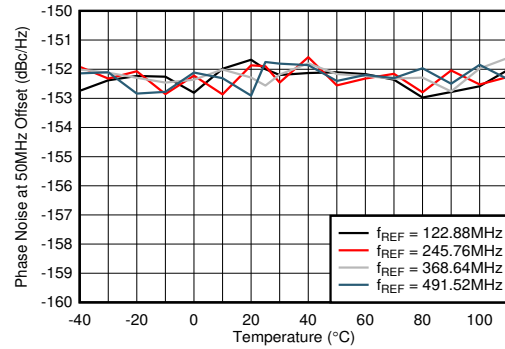
PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、TX 出力で測定

図 6-479. 12GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、1.8MHz オフセット)



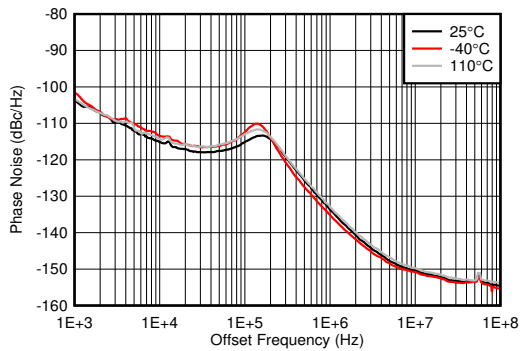
PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、TX 出力で測定

図 6-480. 12GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、5MHz オフセット)



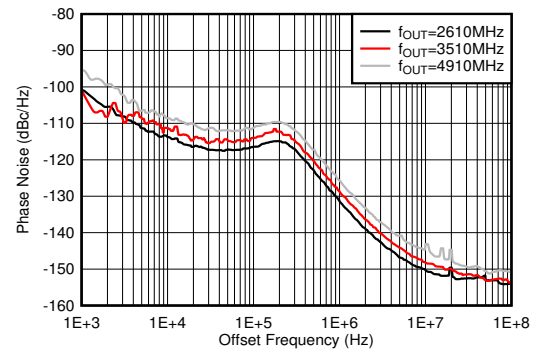
PLL イネーブル、 $f_{VCO} = 11796.48\text{MHz}$ 、TX 出力で測定

図 6-481. 12GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、50MHz オフセット)



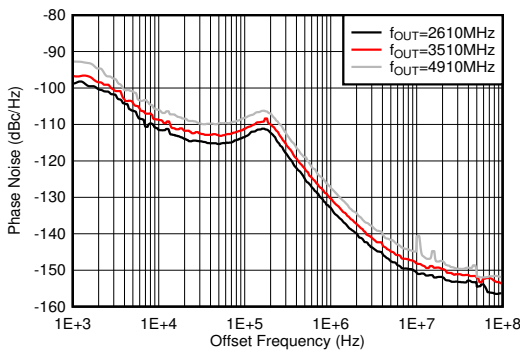
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、TX 出力で測定

図 6-482. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、 $f_{OUT} = 1910\text{MHz}$)



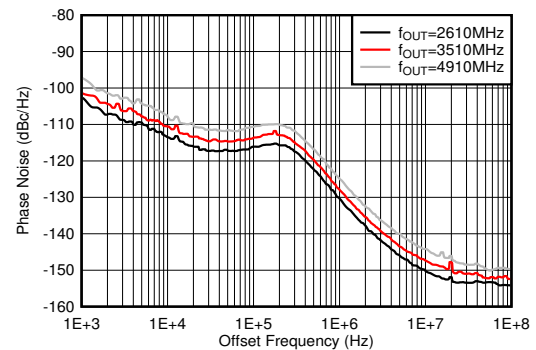
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、TX 出力で測定

図 6-483. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、25°C)



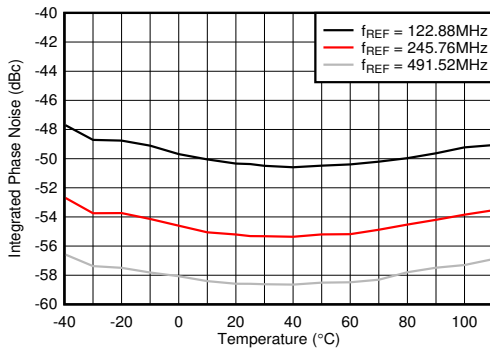
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、TX 出力で測定

図 6-484. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、-40°C)



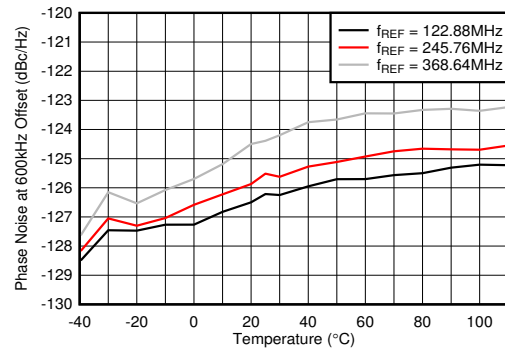
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、TX 出力で測定

図 6-485. 10GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、110°C)



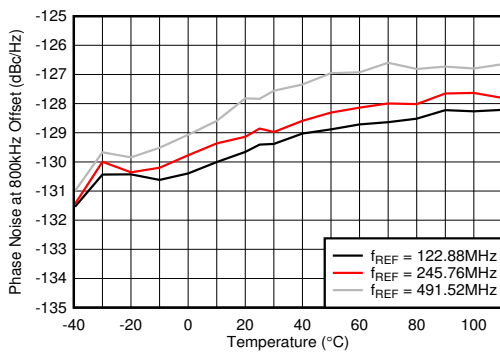
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、1kHz~100MHz、片側積分帯域幅、TX 出力で測定

図 6-486. 10GHz VCO の積分位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$)



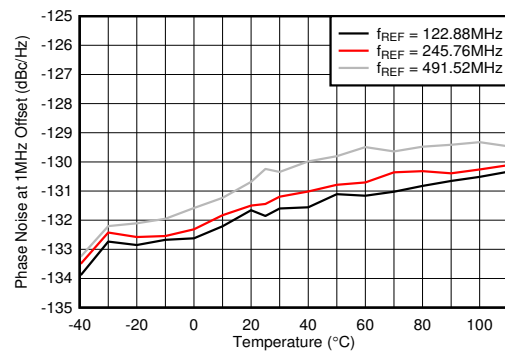
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、TX 出力で測定

図 6-487. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、600kHz オフセット)



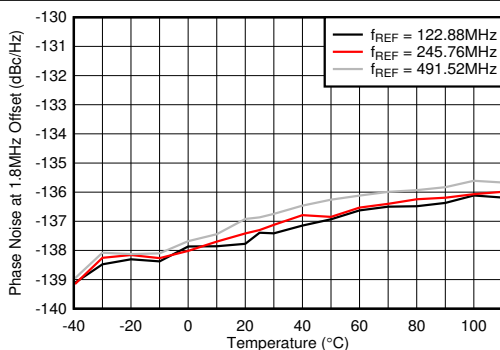
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、TX 出力で測定

図 6-488. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、800kHz オフセット)



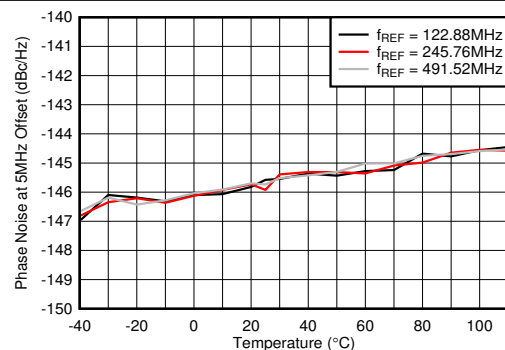
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、TX 出力で測定

図 6-489. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、1MHz オフセット)



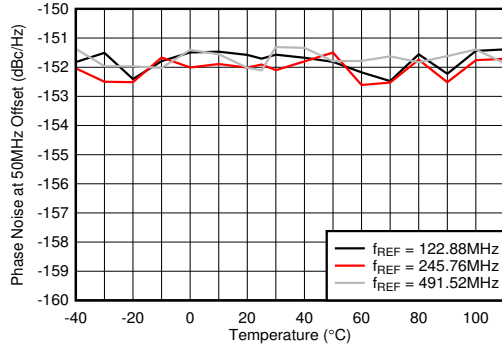
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、TX 出力で測定

図 6-490. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、1.8MHz オフセット)



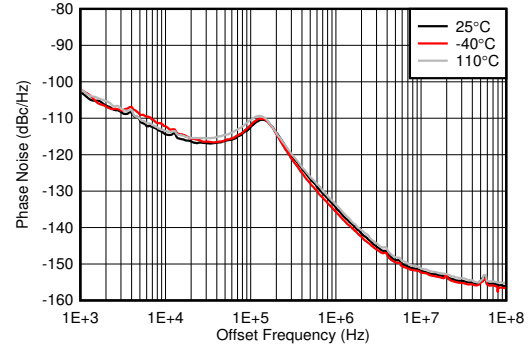
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、TX 出力で測定

図 6-491. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、5MHz オフセット)



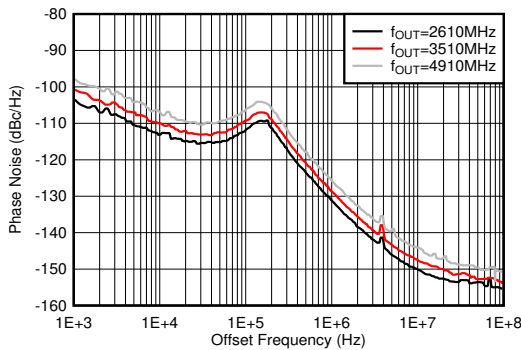
PLL イネーブル、 $f_{VCO} = 9830.4\text{MHz}$ 、TX 出力で測定

図 6-492. 10GHz VCO の位相ノイズと温度との関係 (各種 f_{REF} 、 $f_{OUT} = 2.6\text{GHz}$ 、50MHz オフセット)



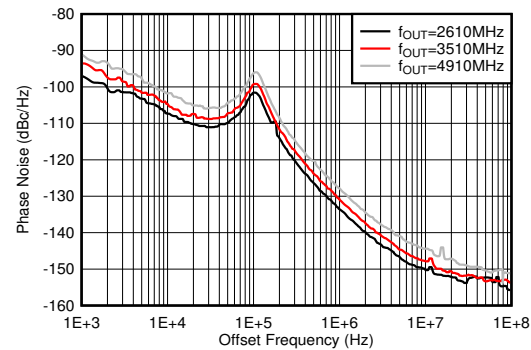
PLL イネーブル、 $f_{VCO} = 8847.36\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、TX 出力で測定

図 6-493. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、 $f_{OUT} = 1910\text{MHz}$)



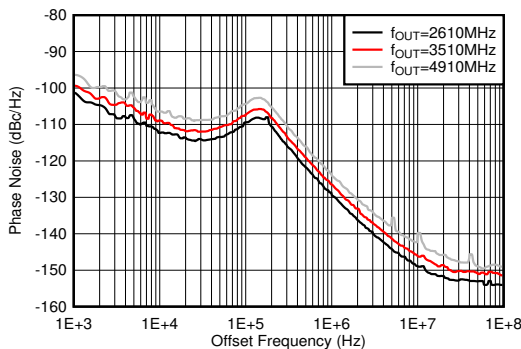
PLL イネーブル、 $f_{VCO} = 8847.36\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、TX 出力で測定

図 6-494. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、25°C)



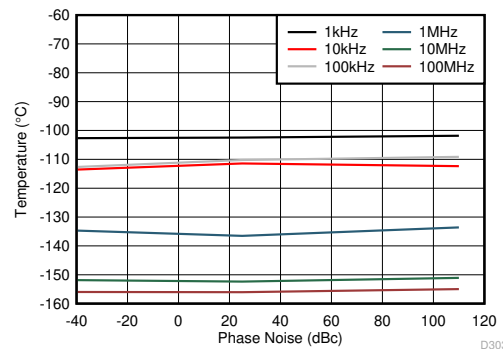
PLL イネーブル、 $f_{VCO} = 8847.36\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、TX 出力で測定

図 6-495. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、-40°C)



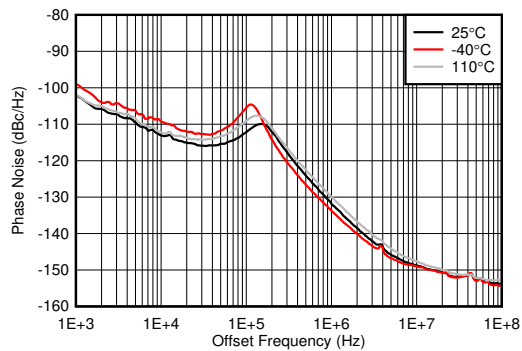
PLL イネーブル、 $f_{VCO} = 8847.36\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、TX 出力で測定

図 6-496. 9GHz VCO の位相ノイズとオフセット周波数との関係 (各種 f_{OUT} 、110°C)



PLL イネーブル、 $f_{VCO} = 8847.36\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、最小 LPF BW、TX 出力で測定

図 6-497. 9GHz VCO の位相ノイズと温度との関係 (各種オフセット周波数、 $f_{OUT} = 2.6\text{GHz}$)



PLL イネーブル、 $f_{VCO} = 7864.32\text{MHz}$ 、 $f_{REF} = 491.52\text{MSPS}$ 、TX 出力で測定

図 6-498. 8GHz VCO の位相ノイズとオフセット周波数との関係 (各種温度、 $f_{OUT} = 1910\text{MHz}$)

7 デバイスおよびドキュメントのサポート

7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

7.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

7.3 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

8 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、本ドキュメントは改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
AFE7953IABJ	ACTIVE	FCBGA	ABJ	400	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	AFE7953I	Samples
AFE7953IALK	ACTIVE	FCBGA	ALK	400	90	Non-RoHS & Green	Call TI	Level-3-220C-168 HR	-40 to 85	AFE7953 SNPB	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

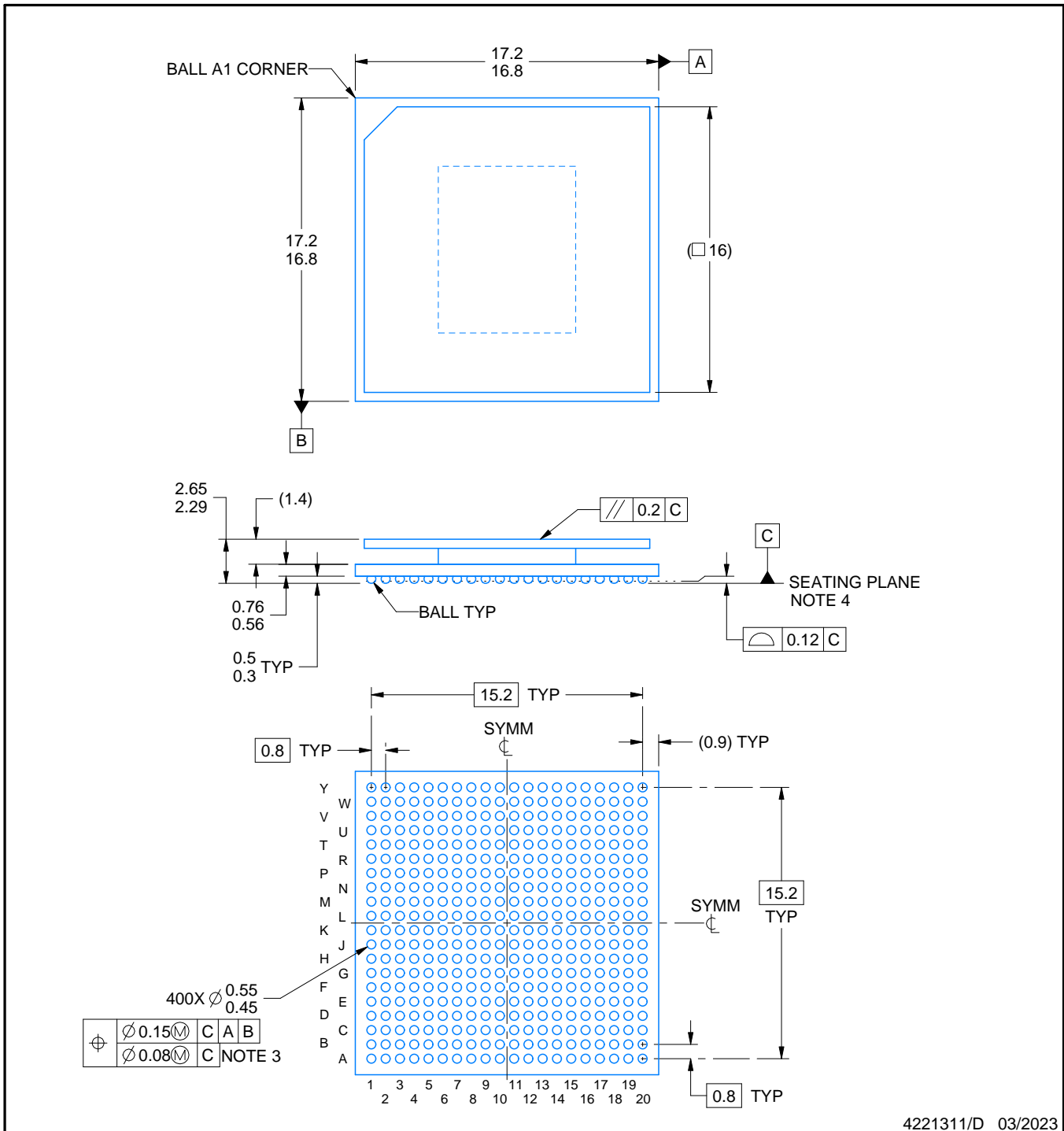
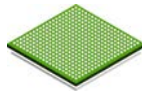
(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



NOTES:

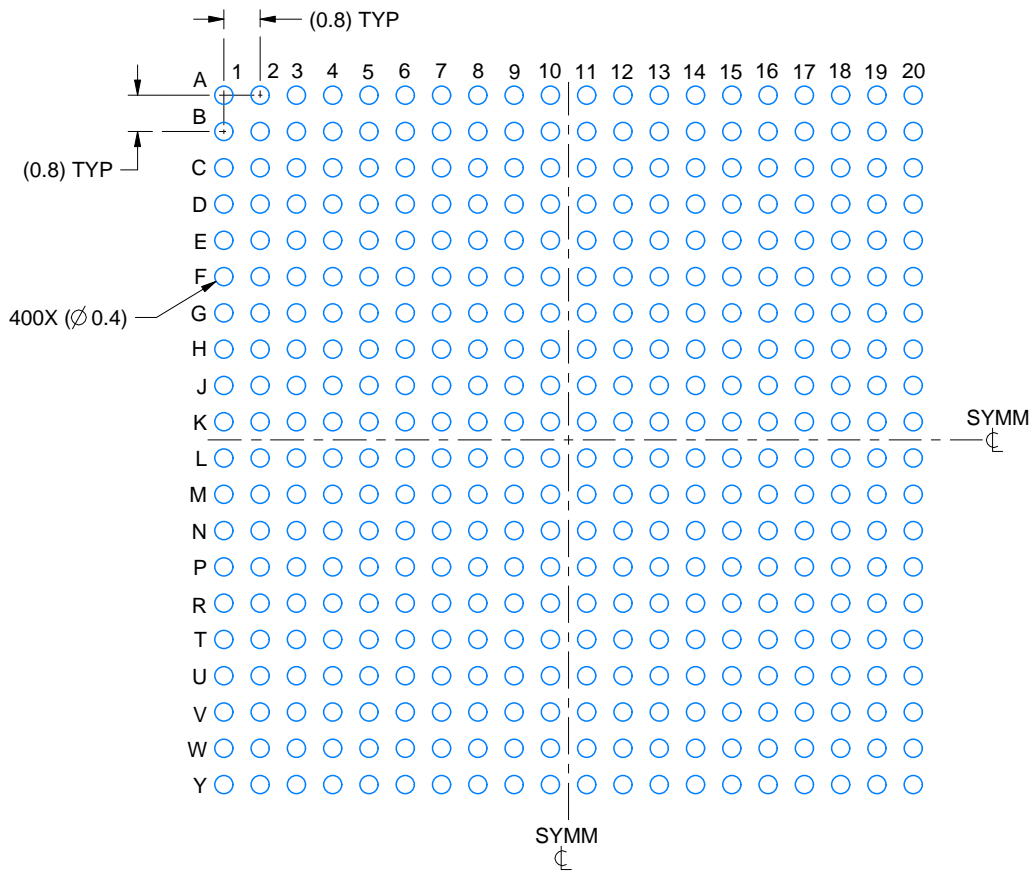
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. The lids are electrically floating (e.g. not tied to GND).

EXAMPLE BOARD LAYOUT

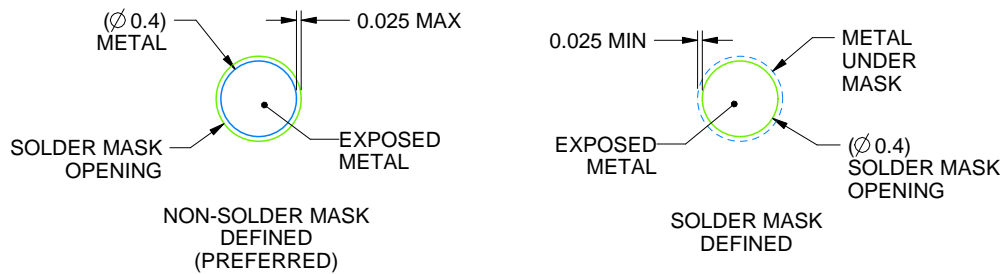
ABJ0400A

FCBGA - 2.65 mm max height

BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4221311/D 03/2023

NOTES: (continued)

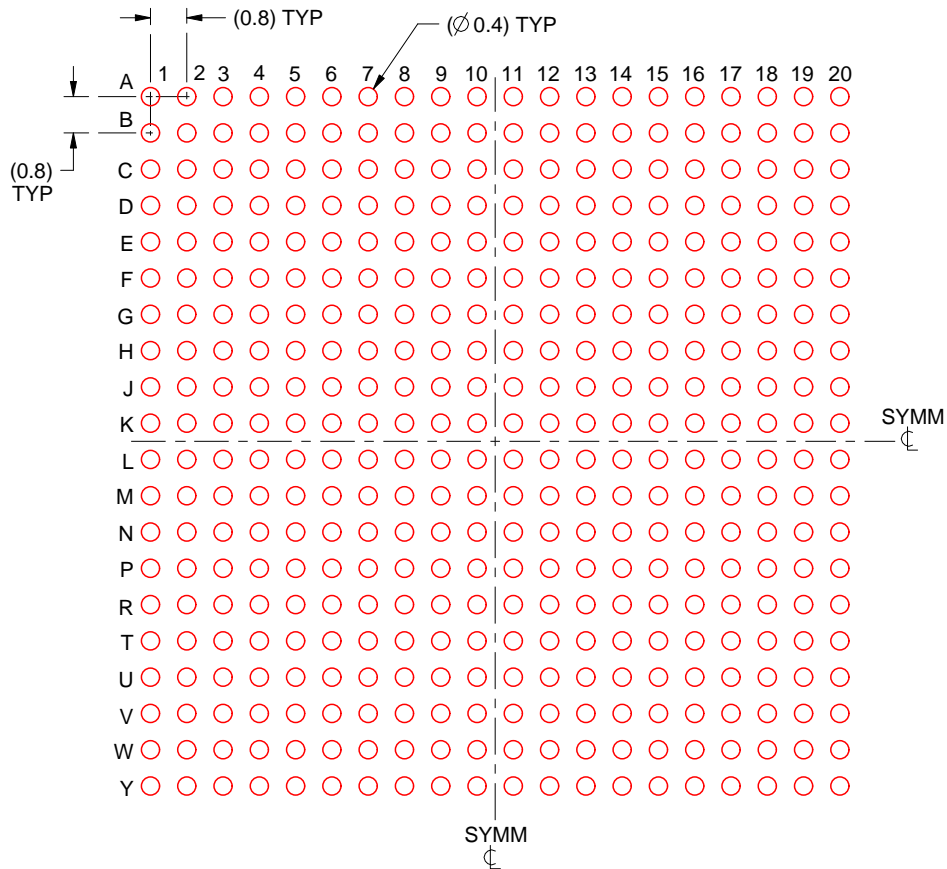
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

ABJ0400A

FCBGA - 2.65 mm max height

BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:6X

4221311/D 03/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

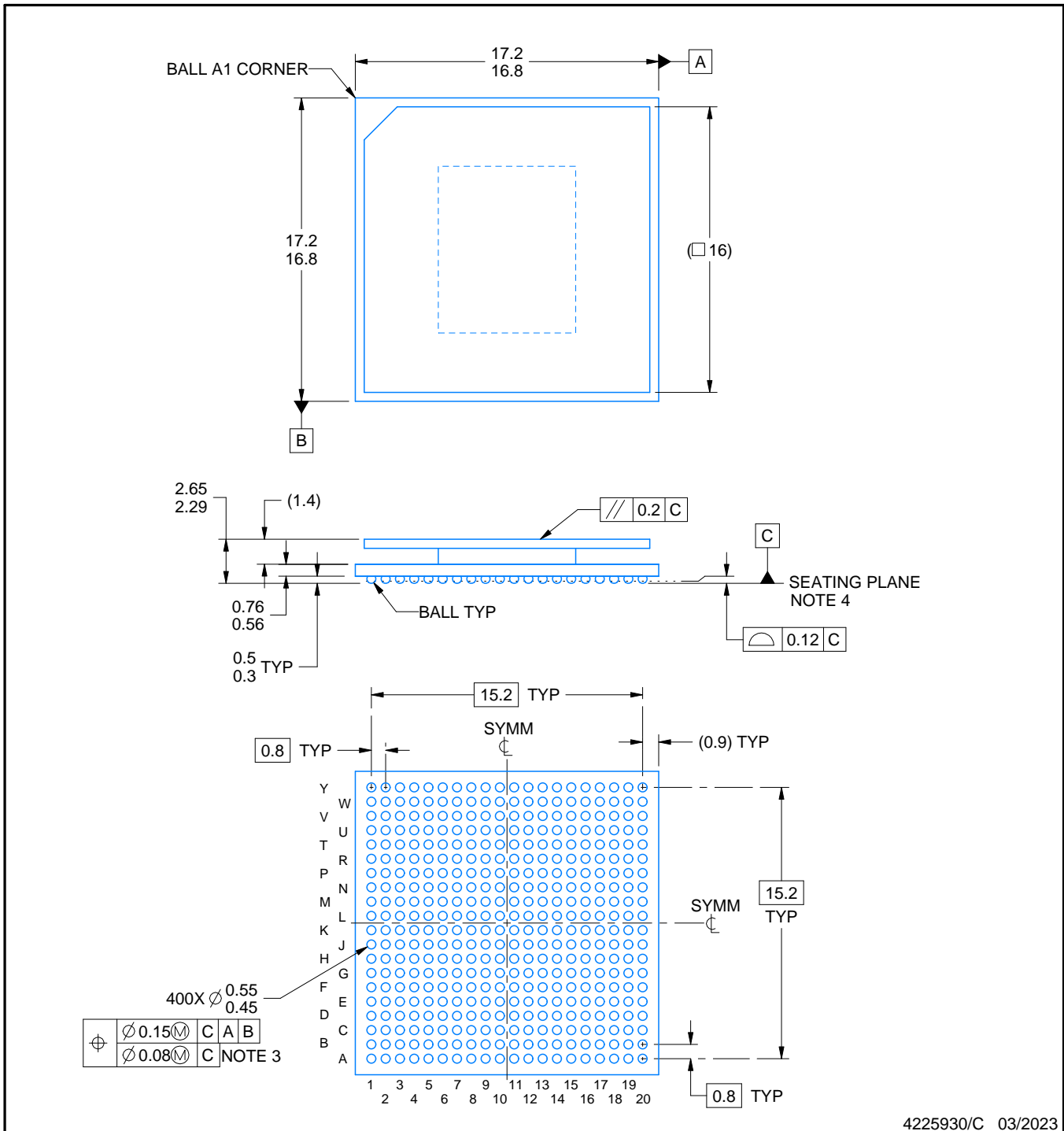
ALK0400A



PACKAGE OUTLINE

FCBGA - 2.65 mm max height

BALL GRID ARRAY



NOTES:

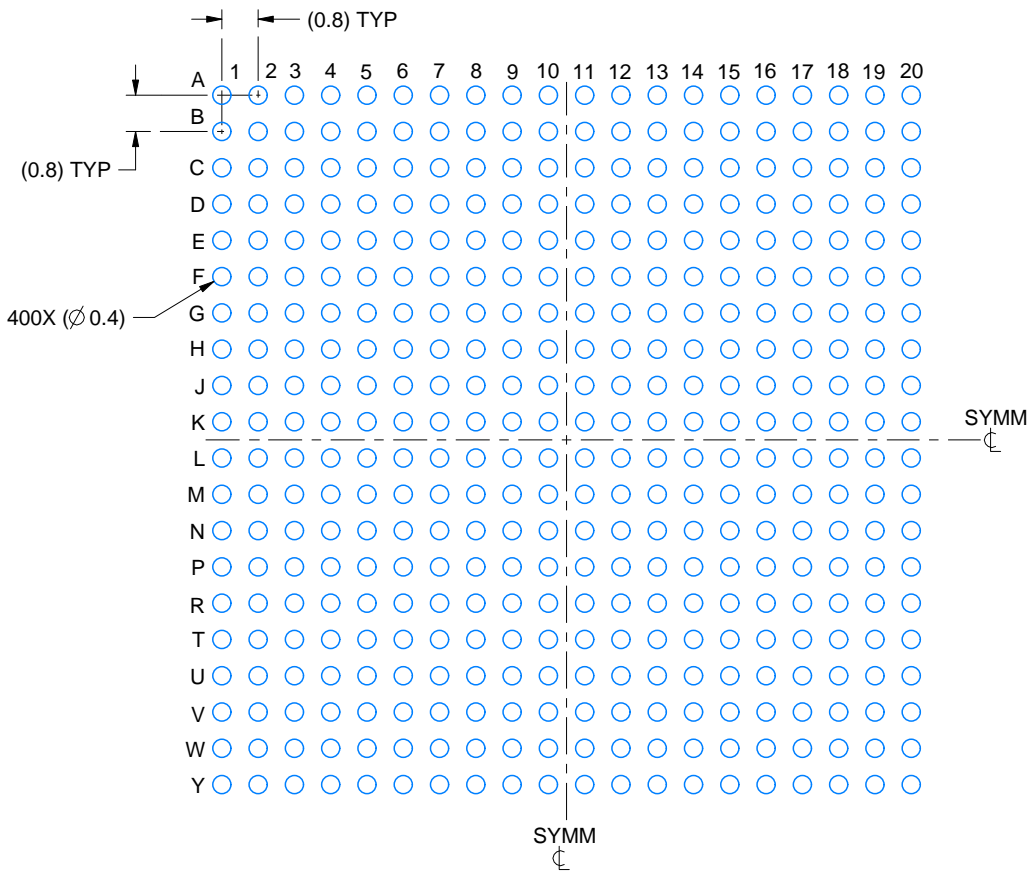
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
5. Pb-Free die bump and SnPb solder ball.
6. The lids are electrically floating (e.g. not tied to GND).

EXAMPLE BOARD LAYOUT

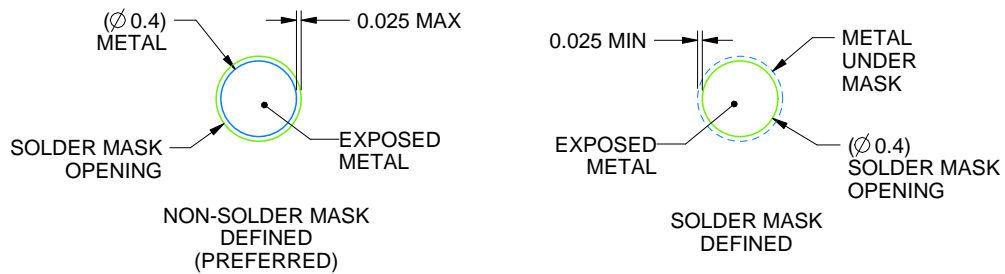
ALK0400A

FCBGA - 2.65 mm max height

BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4225930/C 03/2023

NOTES: (continued)

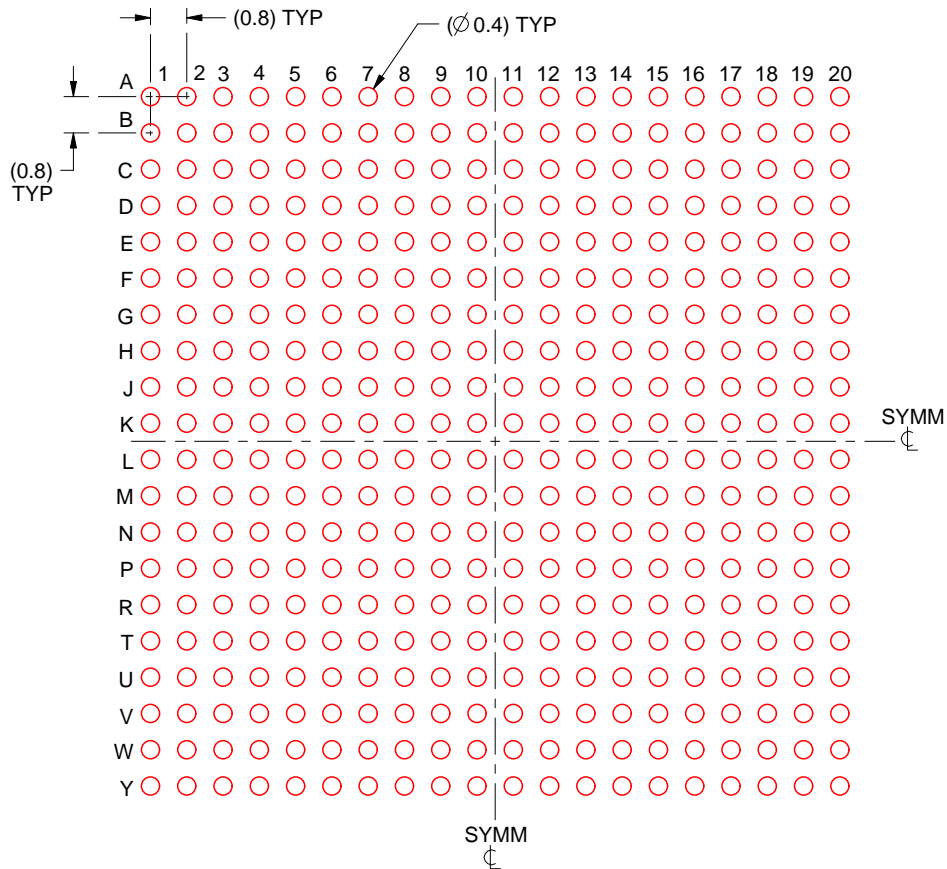
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

ALK0400A

FCBGA - 2.65 mm max height

BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:6X

4225930/C 03/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated