

## AM62Px Sitara™ プロセッサ

### 1 特長

#### プロセッサ コア:

- 最大 1.4GHz、クワッド 64 ビットまでの Arm® Cortex®-A53 マイクロプロセッサ サブシステム
  - SECEDED ECC 付き 512KB L2 共有キャッシュを搭載したクワッド コア Cortex-A53 クラスタ
  - 各 A53 コアには、SECEDED ECC を備えた 32KB L1 D キャッシュおよびパリティ保護を備えた 32KB L1 I キャッシュを搭載
- MCU チャンネルの一部として統合され、最大 800MHz で動作するシングル コア Arm® Cortex®-R5F、FFI 付き
  - 32KB の I キャッシュと 32KB の L1 D キャッシュ、64KB TCM (全メモリに SECEDED ECC 付き)
  - 512KB の SRAM (SECEDED ECC 付き)
- デバイス管理をサポートするために集積化された、最大 800MHz、シングル コア Arm® Cortex®-R5F
  - 32KB の I キャッシュと 32KB の L1 D キャッシュ、64KB TCM (全メモリに SECEDED ECC 付き)

#### マルチメディア:

- ディスプレイ サブシステム
  - OLDI (LVDS) (1x OLDI-DL、1x または 2x OLDI-SL)、DSI または DPI 経由でトリプル ディスプレイをサポート
    - OLDI-SL (シングルリンク): 60fps で最大 1920 × 1080 (165MHz ピクセル クロック)
    - OLDI-DL (デュアルリンク): 60fps で最大 3840 × 1080 (150MHz ピクセル クロック)
    - MIPI® DSI: 4 レーン MIPI® D-PHY は 60fps で最大 3840 × 1080 (300MHz ピクセル クロック) をサポート
    - DPI (24 ビット RGB パラレル インターフェイス): 60fps で最大 1920 × 1080 (165MHz ピクセル クロック)
  - ハードウェア オーバーレイを搭載した 4 つのディスプレイ パイプライン サポート。ディスプレイごとに最大 2 つのディスプレイ パイプラインを使用できます。
  - 凍結フレーム検出やデータ修正チェックなどの安全機能をサポート
- 3D グラフィックス処理ユニット
  - IMG BXS-4-64、256KB キャッシュ付き
  - 最大 50GFLOPS
  - シングル シェーダー コア
  - OpenGL ES3.2 および Vulkan 1.2 API サポート

- 1 つのカメラ シリアル インターフェイス (CSI-2) レシーバ、4 レーン搭載、D-PHY
  - MIPI® CSI-2 v1.3 準拠 + MIPI D-PHY 1.2
  - 最大 2.5Gbps の 1、2、3、4 データレーン モードをサポート
  - CRC チェック + RAM 上の ECC による ECC 検証 / 訂正
  - 仮想チャンネルのサポート (最大 16)
  - DMA 経由で DDR にストリーム データを直接書き込む機能
- ビデオ エンコーダ / デコーダ
  - HEVC (H.265) メイン プロファイルをレベル 5.1 上位層でサポート
  - H.264 ベースライン / メイン / ハイ プロファイルをレベル 5.2 でサポート
  - 最大 4K の UHD 解像度をサポート (3840 × 2160)
    - 最大 300M ピクセル / 秒の動作、パフォーマンス ニーズの低い低消費電力アプリケーション向けに低クロック オプションが利用可能

#### メモリ サブシステム:

- 最大 1.09MB のオンチップ RAM
  - SECEDED ECC 付き 64KB オンチップ RAM (OCRAM) は、最大 2 つの独立したメモリ バンクについて、32KB 単位でより小さなバンクに分割可能
  - SMS サブシステムに SECEDED ECC を搭載した 256KB のオンチップ RAM
  - テキサス・インスツルメンツのセキュリティファームウェア用の SMS サブシステムに SECEDED ECC を搭載した 176KB のオンチップ RAM
  - Cortex-R5F MCU サブシステムに SECEDED ECC を搭載した 512KB のオンチップ RAM
  - デバイス マネージャ サブシステムの SECEDED ECC を搭載した 64KB のオンチップ RAM
- DDR サブシステム (DDRSS)
  - LPDDR4 メモリ タイプをサポート
  - インライン ECC 付きの 32 ビット データ バス
  - 最大 3733MT/s の速度をサポート
  - 最大サイズ: 8GB



**機能安全:**

- **機能安全規格準拠**を対象とする [産業用]
  - 機能安全アプリケーション向けに開発
  - IEC 61508 機能安全システム設計を支援するドキュメントを準備中
  - SIL 3 までの決定論的対応能力を対象とする
  - SIL 2 までを対象とするハードウェア インテグリティ
  - 安全関連の認証
    - TÜV SÜD による IEC 61508 認定を計画中
- **機能安全規格準拠**を対象とする [車載用]
  - 機能安全アプリケーション向けに開発
  - ISO 26262 機能安全システム設計を支援するドキュメントを準備中
  - ASIL D までの決定論的対応能力を対象とする
  - ASIL B までを対象とするハードウェア インテグリティ
  - 安全関連の認証
    - TÜV SÜD による ISO 26262 認定を計画中
- AEC - Q100 認定済み [車載用]

**セキュリティ:**

- セキュア ブート対応
  - ハードウェアで強化された RoT (Root-of-Trust: 信頼の基点)
  - バックアップ キーによる RoT の切り替えをサポート
  - テイクオーバー保護、IP 保護、ロールバック禁止保護のサポート
- 信頼できる実行環境 (TEE) に対応
  - Arm TrustZone® をベースとする TEE
  - 分離用の広範なファイアウォール サポート
  - セキュアなウォッチドッグ / タイマ / IPC
  - セキュアなストレージのサポート
  - リプレイ保護メモリ ブロック (RPMB) のサポート
- ユーザー プログラマブルな HSM コアと専用セキュリティ DMA および IPC サブシステムの搭載により絶縁処理を実現した専用セキュリティ コントローラ
- 暗号化アクセラレーションに対応
  - 受信データ ストリームに基づいてキーマテリアルを自動的に切り替えできるセッション認識暗号化エンジン
    - 暗号化コアをサポート
  - AES - 128/192/256 ビットのキー サイズ
  - SHA2 - 224/256/384/512 ビットのキー サイズ
  - DRBG と真性乱数発生器
  - セキュア ブート対応のため PKA (公開鍵アクセラレータ) により RSA/ECC 処理を支援
- デバッグのセキュリティ
  - ソフトウェア制御によるセキュアなデバッグ アクセス
  - セキュリティ対応のデバッグ

**高速インターフェイス:**

- 次の機能をサポートするイーサネット スイッチを内蔵 (合計 2 つの外部ポート)
  - RMII (10/100) または RGMII (10/100/1000)
  - IEEE1588 (Annex D、Annex E、Annex F と 802.1AS PTP)
  - Clause 45 MDIO PHY 管理
  - ALE エンジン (512 の分類子) に基づくパケット分類器
  - プライオリティ ベースのフロー制御
  - タイム センシティブ ネットワーキング (TSN) のサポート
  - 4 個の CPU ハードウェア割り込みペーシング
  - ハードウェアの IP/UDP/TCP チェックサム オフロード
- 2 つの USB2.0 ポート
  - USB ホスト、USB ペリフェラル、USB デュアルロール デバイス (DRD モード) として構成可能なポート
  - USB VBUS 検出機能を内蔵

**一般的な接続機能:**

- 9 個のユニバーサル非同期レシーバトランスミッタ (UART)
- 5 個のシリアル ペリフェラル インターフェイス (SPI) コントローラ
- 6 個の内部集積回路 (I<sup>2</sup>C) ポート
- 3 個のマルチチャネル オーディオ シリアル ポート (McASP)
  - 最高 50MHz の送信および受信クロック
  - 3 個の McASP で最大 4/6/16 本のシリアル データピンを使用でき、TX と RX の各クロックは独立しています
  - 時分割多重化 (TDM)、IC 間サウンド (I2S)、および類似のフォーマットをサポート
  - デジタル オーディオ インターフェイス送信 (SPDIF、IEC60958-1、AES-3 フォーマット) をサポート
  - 送受信 FIFO バッファ (256 バイト)
  - オーディオ リファレンス出力クロックのサポート
- 3 つの拡張 PWM モジュール (ePWM)
- 3 個の拡張直交エンコーダ パルス モジュール (EQEP)
- 3 個の拡張キャプチャ モジュール (ECAP)
- 汎用 I/O (GPIO) では、すべての LVCMOS I/O を GPIO として構成可能
- 4 個のコントローラ エリア ネットワーク (CAN) モジュール、CAN-FD をサポート
  - CAN プロトコル 2.0A、B、ISO 11898-1 に準拠
  - 完全な CAN FD のサポート (最大 64 データ バイト)

- メッセージ RAM のパリティ / ECC チェック
- 最大速度: 8Mbps

#### メディアおよびデータ ストレージ:

- 3 つのマルチメディア カード / セキュア デジタル® (MMC/SD®/SDIO) インターフェイス
  - 1 個の 8 ビット eMMC インターフェイス、最大速度:
    - Q1 以外のデバイスの場合 HS200
    - Q1 デバイスの場合 HS400
  - 2 個の 4 ビット SD/SDIO インターフェイス、最大 UHS-I
  - eMMC 5.1、SD 3.0、SDIO バージョン 3.0 に準拠
- 最大 133MHz の 1 つの汎用メモリ コントローラ (GPMC)
  - 柔軟な 8 および 16 ビットの非同期メモリ インターフェイスと、最大 4 つのチップ (22 ビット アドレス) セレクト (NAND、NOR、Muxed-NOR、SRAM)
  - BCH コードを使用して 4、8、または 16 ビット ECC をサポート
  - ハミング コードを使用して 1 ビット ECC をサポート
  - エラー特定モジュール (ELM)
    - GPMC と組み合わせて使用して、BCH アルゴリズムにより生成されたシンドローム多項式からデータ エラーのアドレスを特定
    - BCH アルゴリズムに基づいて、512 バイトのブロックごとに 4、8、16 ビットのエラーを特定可能
- DDR/SDR をサポートする OSPI/QSPI
  - シリアル NAND およびシリアル NOR フラッシュ デバイスをサポート
  - 4GBytes のメモリ アドレスをサポート
  - オプションのオンザフライ暗号化を備えた XIP モード

#### パワー マネージメント:

- デバイス マネージャでサポートされている低消費電力モード:
  - CAN/GPIO/UART ウェイクアップに対する部分的 IO サポート
  - RAM へサスペンドするためセルフリフレッシュで I/O のみ + DDR
  - ディープスリープ
  - MCU のみ
  - スタンバイ
  - ダイナミック周波数スケールリング

#### 最適なパワー マネージメント ソリューション:

- 推奨されるテキサス・インスツルメンツ パワー マネージメント IC (PMIC)
  - AEC – Q100 認定済みの AM62P-Q1 デバイスへの電力供給時に、車載用の ASIL-B までの機能安全に対応
  - AM62P デバイスへの電力供給時に、SIL-2 までの機能安全産業用アプリケーションに対応
  - コンパニオン PMIC は電源要件を満たすように特別に設計
  - さまざまな使用事例をサポートするためのフレキシブルなマッピングと工場出荷時にプログラムされた構成

#### ブート オプション:

- UART
- I<sup>2</sup>C EEPROM
- OSPI/QSPI フラッシュ
- GPMC NOR/NAND フラッシュ
- SD カード
- eMMC
- USB (ホスト) マス ストレージ
- 外部ホストからの USB (デバイス) ブート (DFU モード)
- イーサネット

#### テクノロジー / パッケージ:

- 16nm FinFET テクノロジー
- 17mm × 17mm、0.65/0.8mm ピッチ、VCA 付き、466 ピン FCBGA

## 2 アプリケーション

- 産業用ヒューマン マシン インターフェイス (HMI)
- 家電製品向けユーザー インターフェイスとコネクティビティ
- 医療用機器
- 車載用計器盤
- 車載用ディスプレイ
- 拡張現実 (AR) HUD (ヘッド アップ ディスプレイ)

## 3 概要

AM62Px (P = Plus) は、高性能の組み込み 3D ディスプレイ アプリケーション向けに構築された、既存の Sitara™ AM62x 低コスト アプリケーション プロセッサ ファミリーを拡張した製品です。スケーラブルな Arm® Cortex® -A53 の性能と組み込み機能 (マルチスクリーンの高解像度ディスプレイのサポート、3D グラフィックス アクセラレーション、4K ビデオ アクセラレーション、広範なペリフェラル) により、AM62Px は車載用デジタル計測機器、車載用ディスプレイ、産業用 HMI など、幅広い車載用および産業用アプリケーションに適しています。

### 主な機能と特長:

- Linux® および Android™ SDK と、リアルタイムの機能安全およびセキュリティ SDK の組み合わせにより、革新と迅速な開発に注力できます。
- 新世代の 3D GPU と 4K ビデオ アクセラレーションにより、HMI の次世代設計に対応します。
- 次のような車載と高速の各 IO で構成された包括的なセットを活用して、設計のコネクティビティを強化しましょう。TSN サポート、および 2 個の USB2.0 ポートを搭載した 4 個の CAN-FD、3 ポートのギガビットイーサネットスイッチ (2 個の外部ポート)。
- 内蔵のハードウェア セキュリティ モジュール (HSM) により、最新のサイバーセキュリティ要件をサポートします。
- 複数の Arm® Cortex®-A53 CPU と、オープンソースの AI ソフトウェアやツールを活用して、顔認識や非接触式 HMI などのインテリジェント機能を提供します。

AM62Px プロセッサは AEC-Q100 車載規格に準拠しており、産業用グレードをサポートしています。ASIL-B および SIL-2 の機能安全要件は、内蔵された Arm Cortex-R5F コアと専用ペリフェラルを使用して満たすことができます。これらはすべて、プロセッサの残り部分から分離できます。

### AM62Px プロセッサ ファミリーの製品:

**AM62P-Q1** – スケーラブルな Arm Cortex-A53 の性能、マルチ HD ディスプレイのサポート、3D GPU および 4K ビデオ アクセラレーションを搭載した車載用デジタル計測 SoC。

### 主な設計リソース:

- ハードウェア評価基板 (EVM) - SK-AM62P-LP
- ソフトウェア開発キット (SDK) – PROCESSOR-SDK-AM62P
- Linux Academy

### パッケージ情報

| 部品番号                  | パッケージ <sup>(1)</sup>                   | パッケージサイズ <sup>(2)</sup> |
|-----------------------|--|-------------------------|
| AM62P54<br>AM62P54-Q1 | AMH (FCBGA, 466)<br>0.65/0.8mm, VCA 付き | 17mm × 17mm             |
| AM62P52<br>AM62P52-Q1 | AMH (FCBGA, 466)<br>0.65/0.8mm, VCA 付き | 17mm × 17mm             |
| AM62P34<br>AM62P34-Q1 | AMH (FCBGA, 466)<br>0.65/0.8mm, VCA 付き | 17mm × 17mm             |
| AM62P32<br>AM62P32-Q1 | AMH (FCBGA, 466)<br>0.65/0.8mm, VCA 付き | 17mm × 17mm             |

(1) 詳細については、「[メカニカル](#)、[パッケージ](#)、および[注文情報](#)」を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値で、該当する場合はピンも含まれます。

### 3.1 機能ブロック図

図 3-1 は、このデバイスの機能ブロック図です。

**注**

テキサス・インスツルメンツのソフトウェア開発キット (SDK) で現在サポートされているデバイス機能を理解するには、Processor-SDK-AM62P の「ダウンロード」タブ オプションにある「AM62P ソフトウェア ビルド シート」を検索してください。

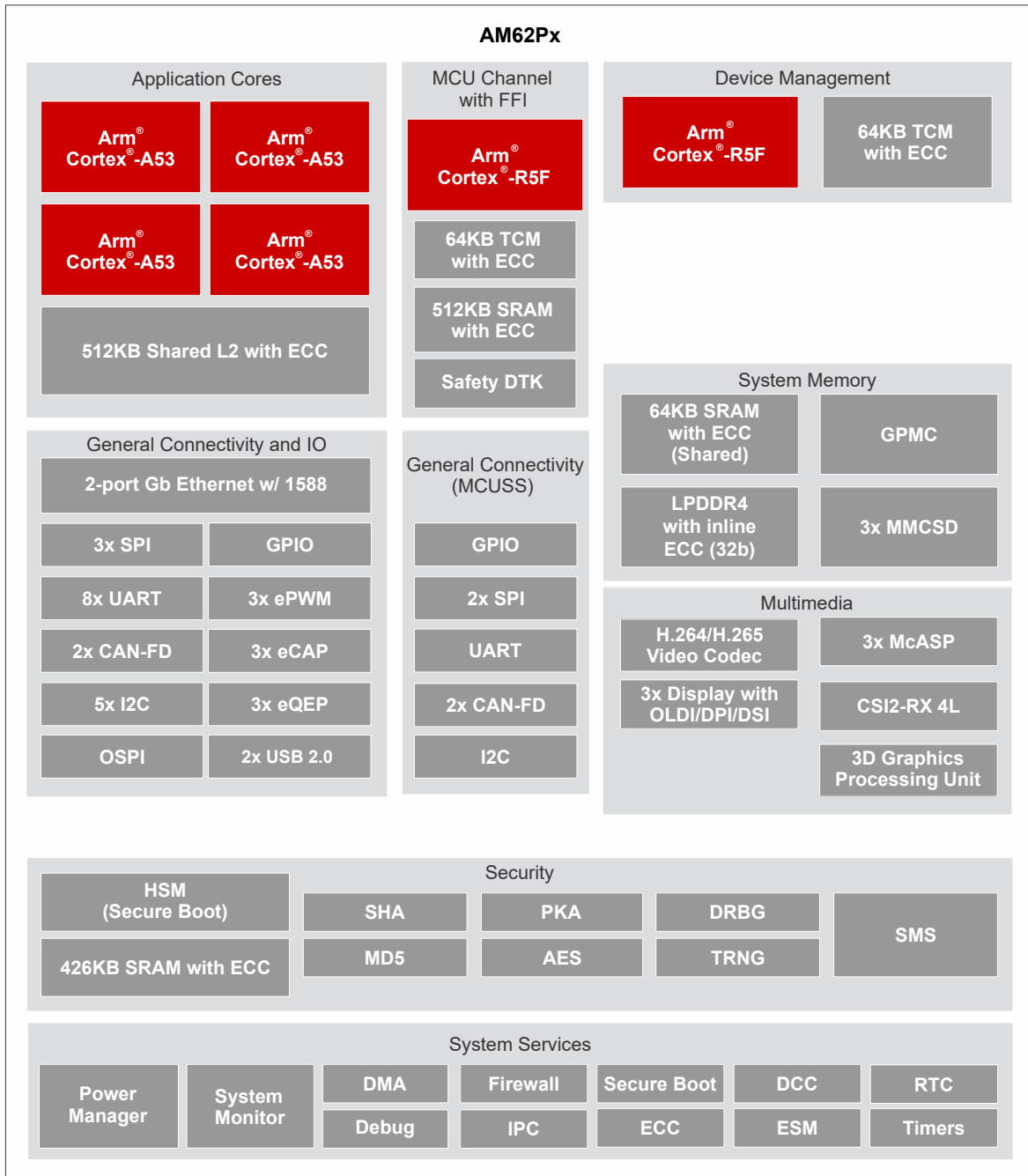


図 3-1. 機能ブロック図

## 目次

|  |    |                                     |     |
|--|----|-------------------------------------|-----|
| <b>1 特長</b> .....                      | 1  | 6.11 温度センサの特性.....                  | 95  |
| <b>2 アプリケーション</b> .....                | 4  | 6.12 タイミングおよびスイッチング特性.....          | 96  |
| <b>3 概要</b> .....                      | 4  | <b>7 詳細説明</b> .....                 | 213 |
| 3.1 機能ブロック図                            | 5  | 7.1 概要                              | 213 |
| <b>4 デバイスの比較</b> .....                 | 7  | 7.2 プロセッサ サブシステム                    | 214 |
| 4.1 関連製品                               | 8  | 7.3 アクセラレータとコプロセッサ                  | 215 |
| <b>5 端子構成および機能</b> .....               | 10 | 7.4 その他のサブシステム                      | 216 |
| 5.1 ピン配置図                              | 10 | 7.5 ペリフェラル                          | 218 |
| 5.2 ピン属性                               | 11 | <b>8 アプリケーション、実装、およびレイアウト</b> ..... | 223 |
| 5.3 信号の説明                              | 47 | 8.1 デバイスの接続およびレイアウトの基礎              | 223 |
| 5.4 ピン接続要件                             | 76 | 8.2 ペリフェラルおよびインターフェイス固有の設計情報        | 224 |
| <b>6 仕様</b> .....                      | 81 | 8.3 クロック配線のガイドライン                   | 231 |
| 6.1 絶対最大定格                             | 81 | <b>9 デバイスおよびドキュメントのサポート</b> .....   | 232 |
| 6.2 AEC-Q100 未認定デバイスの ESD 定格           | 83 | 9.1 デバイスの命名規則                       | 232 |
| 6.3 AEC-Q100 認定デバイスの ESD レーティング        | 83 | 9.2 ツールとソフトウェア                      | 235 |
| 6.4 電源投入時間 (POH)                       | 83 | 9.3 ドキュメントのサポート                     | 235 |
| 6.5 推奨動作条件                             | 84 | 9.4 サポート・リソース                       | 235 |
| 6.6 動作性能ポイント                           | 86 | 9.5 商標                              | 236 |
| 6.7 消費電力の概略                            | 86 | 9.6 静電気放電に関する注意事項                   | 236 |
| 6.8 電気的特性                              | 87 | 9.7 用語集                             | 236 |
| 6.9 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様 | 93 | <b>10 改訂履歴</b> .....                | 237 |
| 6.10 熱抵抗特性                             | 94 | <b>11 メカニカル、パッケージ、および注文情報</b> ..... | 239 |
|  |    | 11.1 パッケージ情報                        | 239 |

## 4 デバイスの比較

表 4-1 に、デバイス間の比較を相違点を強調して示します。

### 注

多くの機能に関連付けられている IO 信号は限られた数のピンに多重化されるため、この表に記載されている機能が利用できるかどうかは、共有 IO ピンの使用状況によります。信号機能をピンに割り当てるには、SysConfig ツールを使用する必要があります。これにより、ピン多重化に関連する制限をよりよく理解できます。

### 注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) で現在サポートされているデバイス機能を理解するには、Processor-SDK-AM62P の「ダウンロード」タブ オプションにある「AM62P ソフトウェア ビルド シート」を検索してください。

表 4-1. デバイスの比較

| 特長  | 参照名        | AM62P, AM62P-Q1                      |         |         |         |
|---|------------|--------------------------------------|---------|---------|---------|
|   |            | AM62P54                              | AM62P52 | AM62P34 | AM62P32 |
| <b>WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:13] <sup>(1)</sup></b><br>デバイスの「特長」コードごとのレジスタビット値 (デバイスの特長の詳細については、「項目表記の説明」表を参照) |            |                                      |         |         |         |
|   | G:         | –                                    | 0x352A7 | –       | 0x351A7 |
|   | M:         | 0x352ED                              | 0x352AD | 0x351ED | 0x351AD |
| <b>プロセッサおよびアクセラレータ</b>  |            |                                      |         |         |         |
| 速度グレード  |            | 「デバイス速度グレード」表を参照                     |         |         |         |
| Arm Cortex-A53<br>マイクロプロセッサ サブシステム  | Arm A53    | クワッド コア                              | デュアル コア | クワッド コア | デュアル コア |
| MCU ドメインの ARM Cortex-R5F  | MCU_R5F    | シングル コア<br>機能安全はオプション <sup>(3)</sup> |         |         |         |
| グラフィックス処理ユニット   | GPU        | あり                                   | あり      | なし      | なし      |
| ビデオ エンコーダ / デコーダ  | VENC/VDEC  | あり                                   |         |         |         |
| デバイス管理サブシステム  | WKUP_R5F   | シングル コア                              |         |         |         |
| ハードウェア セキュリティ モジュール   | HSM        | あり                                   |         |         |         |
| 暗号化アクセラレータ  | セキュリティ     | あり                                   |         |         |         |
| <b>プログラムおよびデータ ストレージ</b>  |            |                                      |         |         |         |
| MAIN ドメインのオンチップ共有メモリ (RAM)  | OCSRAM     | 64KB                                 |         |         |         |
| MCU ドメインのオンチップ共有メモリ (RAM)   | MCU_MSRRAM | 512KB                                |         |         |         |
| LPDDR4 DDR サブシステム   | DDRSS      | インライン ECC 付きで最高 8GB の 32 ビット データ     |         |         |         |
| 汎用メモリコントローラ   | GPMC       | 最大 128MB、ECC 付き                      |         |         |         |
| <b>ペリフェラル</b>   |            |                                      |         |         |         |
| ディスプレイ サブシステム   | DSS        | 1x DPI                               |         |         |         |
|   |            | 1 個の OLDI (LVDS)                     |         |         |         |
|   |            | 1x DSI                               |         |         |         |
| モジュラー コントローラ エリア ネットワーク インターフェイス  | MCAN       | 4                                    |         |         |         |
| CAN-FD をフルサポート  | CAN-FD     | あり                                   |         |         |         |
| 汎用 I/O  | GPIO       | 最大 158                               |         |         |         |
| 集積回路間インターフェイス   | I2C        | 6                                    |         |         |         |
| マルチチャネル オーディオ シリアル ポート  | MCASP      | 3                                    |         |         |         |
| マルチチャネル シリアル ペリフェラル インターフェイス  | MCSPi      | 5                                    |         |         |         |

表 4-1. デバイスの比較 (続き)

| 特長                                | 参照名         | AM62P, AM62P-Q1   |         |         |         |
|-----------------------------------|-------------|---|---------|---------|---------|
|                                   |             | AM62P54   | AM62P52 | AM62P34 | AM62P32 |
| マルチメディア カード / セキュア デジタル インターフェイス  | MMC/SD      | 1x eMMC (8 ビット) 最大:<br>非 Q1 デバイスの場合は HS200<br>Q1 デバイスの場合は HS400 |         |         |         |
|                                   |             | 2 個の SD/SDIO (4 ビット)  |         |         |         |
| フラッシュ サブシステム (FSS) <sup>(2)</sup> | OSPI0/QSPI0 | あり <sup>(2)</sup>   |         |         |         |
| ギガビット イーサネット インターフェイス             | CPSW3G      | あり  |         |         |         |
| 汎用タイマー                            | TIMER       | 14 個 (MCU に 4 個、WKUP に 2 個)                                     |         |         |         |
| グローバル タイマカウンタ                     | GTC         | 1   |         |         |         |
| 拡張パルス幅変調器モジュール                    | EPWM        | 3   |         |         |         |
| 拡張キャプチャ モジュール                     | ECAP        | 3   |         |         |         |
| 拡張直交エンコーダ パルス モジュール               | EQEP        | 3   |         |         |         |
| 汎用非同期レシーバ / トランスミッタ               | UART        | 9   |         |         |         |
| CSI2-RX コントローラ (DPHY 付き)          | CSI-RX      | 1   |         |         |         |
| USB2.0 コントローラ (PHY 付き)            | USB 2.0     | 2   |         |         |         |

- (1) WKUP\_CTRL\_MMR\_CFG0\_JTAG\_USER\_ID レジスタおよび DEVICE\_ID ビット フィールドの詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。
- (2) 1 つのフラッシュ インターフェイスを OSPI0 または QSPI0 として構成。
- (3) 機能安全は、機能安全コード S から Z を含む注文型番を選択した場合に使用できます。機能コードの定義については、「[デバイスの命名規則](#)」を参照してください。

## 4.1 関連製品

**Sitara™ プロセッサ**は、Arm® Cortex®-A コアをベースとするスケーラブルなプロセッサの広範なファミリで、柔軟なアクセラレータ、ペリフェラル、接続性を搭載しており、ソフトウェアのサポートが統一されているため、センサからサーバーまでのあらゆる用途に理想的です。Sitara プロセッサには、産業用や車載用でのアプリケーションに必要な信頼性と機能安全のサポートがあります。

**Sitara™ マイコン**は、クラス最高の Arm® ベース 32 ビット マイコン (MCU) で、高性能で電力効率の高いデバイスで構成されたスケーラブルな製品ラインアップを提供し、システムのニーズを満たすのに役立ちます。開発中の設計で、機能安全、電力効率、リアルタイム制御、高度なネットワーク、アナリティクス、セキュリティなどの機能を実現できます。

**AM64x Sitara™ プロセッサ**は、ファクトリオートメーション / 制御 (FAC) やモーター制御などの産業用アプリケーションをターゲットとし、Linux アプリケーション プロセッシング コア (Cortex®-A53)、リアルタイム プロセッシング コア (Cortex®-R5F)、産業用通信サブシステム (PRU\_ICSSG) を使用して、EtherCAT、Profinet、EtherNet/IP などのプロトコルをサポートします。AM64x は、1 つの CPSW3G と 2 つの PRU\_ICSSG を実装しており、最大 5 つのギガビット イーサネットポートをサポートします。また、シングル レーンの PCIe Gen2 または USB SuperSpeed Gen1、機能安全オプション、セキュア ブート、ランタイム セキュリティなど包括的なペリフェラル セットもサポートしています。

**AM623 Sitara™ プロセッサ**は、Arm® Cortex®-A53 ベースの物体認識機能とジェスチャ認識機能を搭載した、IoT (モノのインターネット) とゲートウェイ向け SoC です。低コストの AM623 Sitara™ MPU アプリケーション プロセッサ ファミリは、Linux® アプリケーション開発向けに構築されています。スケーラブルな Arm® Cortex®-A53 の性能と、デュアル ディスプレイ サポートなどの組込み機能に加えて、広範なペリフェラル セットを搭載する AM623 デバイスは広範な産業用および車載用アプリケーションに最適です。

**AM625 Sitara™ プロセッサ**は、Arm® Cortex®-A53 とフル HD デュアル ディスプレイを搭載した、人間と機械の対話型操作向け SoC です。低コストの AM625 Sitara™ MPU アプリケーション プロセッサ ファミリは、Linux® アプリケーション開発向けに構築されています。スケーラブルな Arm® Cortex®-A53 の性能と、デュアル ディスプレイ サポートや 3D グラフィックス アクセラレーションなどの組込み機能に加えて、広範なペリフェラル セットを搭載する AM625 デバイスは広範な産業用および車載用アプリケーションに最適です。

**AM62A3 Sitara™** および **AM62A7 Sitara™** プロセッサは、1~4 個の Cortex A-53 Arm コアと、1 または 2 TOPS のアナリティクス ハードウェア アクセラレータを活用する組み込みビジョン SoC です。このスケラブルで高性能な AM62Ax Sitara MPU アプリケーション プロセッサ ファミリは、Linux アプリケーション開発向けに構築されています。AM62Ax は h.264/h.265 エンコード / デコード、セキュアブート、画像信号処理、ディープ ラーニング アクセラレータなどの組み込み機能を搭載し、産業用と車載用の幅広いアプリケーションに最適です。

**設計を完成させるための製品:**

- [イーサネット PHY](#)
- [電源ソリューション](#)
- [パワー・マネージメント](#)
- [クロック / タイミング](#)
- [パワー スイッチ](#)
- [CAN トランシーバ](#)
- [ESD 保護](#)

これらのデバイスをシステム設計で実装する方法の詳細と、推奨される特定の部品番号の部品表 (BOM) については、AM62Px EVM の回路図を参照してください。

## 5 端子構成および機能

### 5.1 ピン配置図

#### 注

「ボール」、「ピン」、「端子」という用語は、ドキュメント全体で同じ意味で使用されています。物理的なパッケージに言及する場合にのみ「ボール」が使用されています。

図 5-1 に、466 ボール フリップ チップ ボール グリッド アレイ (FCBGA) パッケージのボールの位置を示します。ここで、HTML バージョンでは、ボールの上にカーソルを置くと追加情報が表示されます。この図は、[セクション 5.2.1](#)～[表 5-74](#) (「ピン属性」表、「信号説明」表、「ピン接続要件」表) とともに使用します。

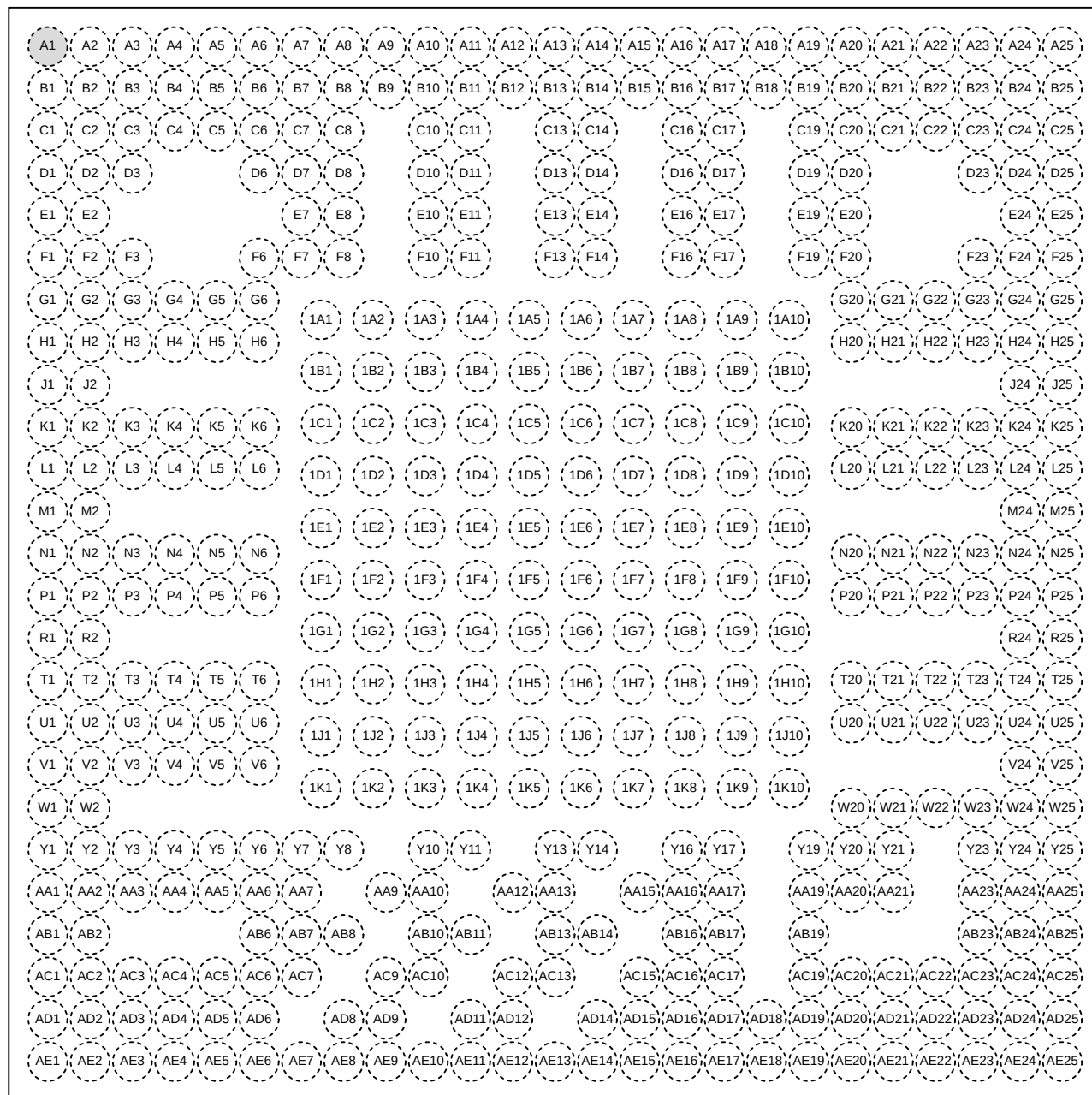


図 5-1. AMH FCBGA-N のピン配置図 (上面図)

## 5.2 ピン属性

次のリストに、表 5-1 「ピン属性 (AMH パッケージ)」の各列の内容を示します。

1. **ボール番号:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール番号。
2. **ボール名:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール名 (通常はプライマリ MUXMODE 0 信号機能からつけた名前)。
3. **信号名:**ボールに関連付けられているすべての専用およびピン多重化信号機能の信号名。

---

### 注

多くのデバイス ピンは複数の信号機能をサポートしています。一部の信号機能は、ピンに関連付けられた単一層のマルチプレクサで選択されます。他の信号機能は 2 層以上のマルチプレクサで選択され、ある層はピンに関連付けられ、他の層はペリフェラル ロジック機能に関連付けられます。

表 5-1 「ピン属性 (AMH パッケージ)」では、ピンでの信号多重化のみが定義されています。ピンでの信号多重化の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章にある「パッド構成 レジスタ」セクションを参照してください。ペリフェラル信号の多重化に関する情報については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

4. **多重化モード:**各ピンの多重化信号機能に関連付けられた MUXMODE 値:
  - a. MUXMODE 0 は、プライマリ ピンの多重化信号機能です。ただし、プライマリ ピンの多重化信号機能は、必ずしもデフォルトのピン多重化信号機能とは限りません。

---

### 注

「リセット後の MUX モード」列の値は、MCU\_PORz がアサート解除されたときに選択されるデフォルトのピン多重化信号機能を定義します。

- a. ピン多重化信号機能には、MUXMODE の値 1~15 を使用できます。ただし、すべての MUXMODE 値が実装されているわけではありません。有効な MUXMODE 値は、「ピン属性」表でピン多重化信号機能として定義された値のみです。MUXMODE の有効な値のみを使用する必要があります。
- b. ブートストラップは SOC 構成ピンを定義します。各ピンに適用されるロジック状態は、PORz\_OUT の立ち上がりエッジでラッチされます。これらの入力信号機能はそれぞれのピンに固定で、MUXMODE を使用してプログラムすることはできません。
- c. 空欄は該当しないことを意味します。

---

### 注

デバイスを適切に動作させるには、以下の MUXMODE の構成を避ける必要があります。

- 複数のピンを同じピン多重化信号機能への入力として動作するように構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。
- ピンを未定義のピン多重化モードに設定すると、ピンの動作が未定義になります。

5. **タイプ:**信号の種類と方向:
- I = 入力
  - O = 出力
  - OD = 出力、オープンドレイン出力機能付き
  - IO = 入力、出力、または同時に入力と出力
  - IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
  - IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
  - OZ = 出力、3 ステート出力機能付き
  - A = アナログ
  - PWR = 電源
  - GND = グランド
  - CAP = LDO コンデンサ。
6. **DSIS:** 選択解除入力状態 (DSIS) は、MUXMODE によってピン多重化信号機能が選択されていないとき、サブシステム入力 (ロジック「0」、ロジック「1」、または「パッド」レベル) に駆動される状態を示します。
- 0: ロジック 0 がサブシステム入力に駆動されます。
  - 1: ロジック 1 がサブシステム入力に駆動されます。
  - パッド: パッドのロジック状態がサブシステム入力に駆動されます。
  - 空欄は該当しないことを意味します。
7. **リセット時のボールの状態 (RX/TX/PULL):** MCU\_PORz がアサートされているときの端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
- RX (入力バッファ)
    - オフ: 入力バッファは無効です。
    - オン: 入力バッファは有効です。
  - TX (出力バッファ)
    - オフ: 出力バッファは無効です。
    - Low: 出力バッファは有効であり、 $V_{OL}$  を駆動します。
    - High: 出力バッファは有効であり、 $V_{OH}$  を駆動します。
  - PULL (内部プル抵抗)
    - オフ: 内部プル抵抗はターンオフされています。
    - アップ: 内部プルアップ抵抗はターンオンされています。
    - ダウン: 内部プルダウン抵抗はターンオンされています。
    - NA: 該当なし。
  - 空欄は該当しないことを意味します。
8. **リセット後のボールの状態 (RX/TX/PULL):** MCU\_PORz がアサート解除された後の端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
- RX (入力バッファ)
    - オフ: 入力バッファは無効です。
    - オン: 入力バッファは有効です。
  - TX (出力バッファ)
    - オフ: 出力バッファは無効です。
    - SS: MUXMODE で選択されたサブシステムによって、出力バッファの状態が決まります。
  - PULL (内部プル抵抗)
    - オフ: 内部プル抵抗はターンオフされています。
    - アップ: 内部プルアップ抵抗はターンオンされています。
    - ダウン: 内部プルダウン抵抗はターンオンされています。
    - NA: 該当なし。
  - 空欄は該当しないことを意味します。

9. **リセット後の多重化モード:**この列の値は、MCU\_PORz がデアサートされた後のデフォルトのピン多重化信号機能を定義します。  
空欄は該当しないことを意味します。
10. **I/O 動作電圧:**この列は、それぞれの電源の I/O 動作電圧オプションについて説明します (該当する場合)。  
空欄は該当しないことを意味します。  
詳細については、[セクション 6.5](#)「推奨動作条件」で各電源に定義されている有効な動作電圧範囲を参照してください。
11. **電源:**関連付けられている I/O の電源 (該当する場合)。  
空欄は該当しないことを意味します。
12. **HYS:**この I/O に関連付けられている入力バッファにヒステリシスがあるかどうかを示します。
  - あり:ヒステリシス付き
  - なし:ヒステリシスなし
  - 空欄は該当しないことを意味します。詳細については、[セクション 6.8](#)「電気的特性」のヒステリシスの値を参照してください。
13. **バッファのタイプ:**この列は、端末に関連付けられたバッファのタイプを定義します。この情報を使用して、適用可能な電気的特性の表を決定できます。  
空欄は該当しないことを意味します。  
電気的特性については、[セクション 6.8](#)「電気的特性」の適切なバッファタイプの表を参照してください。
14. **プルアップ / ダウン タイプ:**内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。
  - PU: 内部プルアップ
  - PD: 内部プルダウン
  - PU/PD: 内部プルアップおよびプルダウン
  - 空欄は内部プル抵抗がないことを意味します。
15. **PADCONFIG レジスタ:**ボールに関連付けられた IO パッド構成レジスタの名前。
16. **PADCONFIG アドレス:**ボールに関連付けられた IO パッド構成レジスタの物理アドレス。

表 5-1. ピン属性 (AMH パッケージ)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]           | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O動作電圧 [10] | 電源 [11]                   | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|-----------|--|-------------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|--------------|---------------------------|----------|--------------|-------------------|
| 1A8       | CAP_VDDSD0   | CAP_VDDSD0        |            | CAP     |          |                               |                               |                  |              |                           |          |              |                   |
| 1C10      | CAP_VDDSD1   | CAP_VDDSD1        |            | CAP     |          |                               |                               |                  |              |                           |          |              |                   |
| 1B6       | CAP_VDDSD2   | CAP_VDDSD2        |            | CAP     |          |                               |                               |                  |              |                           |          |              |                   |
| 1F10      | CAP_VDDSD3   | CAP_VDDSD3        |            | CAP     |          |                               |                               |                  |              |                           |          |              |                   |
| 1B9       | CAP_VDDSD5   | CAP_VDDSD5        |            | CAP     |          |                               |                               |                  |              |                           |          |              |                   |
| 1C9       | CAP_VDDSD6   | CAP_VDDSD6        |            | CAP     |          |                               |                               |                  |              |                           |          |              |                   |
| 1B2       | CAP_VDDSD_CANUART                                      | CAP_VDDSD_CANUART |            | CAP     |          |                               |                               |                  |              |                           |          |              |                   |
| 1B4       | CAP_VDDSD_MCU  | CAP_VDDSD_MCU     |            | CAP     |          |                               |                               |                  |              |                           |          |              |                   |
| AE12      | CSIO_RXCLKN  | CSIO_RXCLKN       |            | I       |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AE11      | CSIO_RXCLKP  | CSIO_RXCLKP       |            | I       |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AA15      | CSIO_RXRCALIB  | CSIO_RXRCALIB     |            | A       |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AB11      | CSIO_RXN0  | CSIO_RXN0         |            | I       |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AC10      | CSIO_RXN1  | CSIO_RXN1         |            | I       |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AA10      | CSIO_RXN2  | CSIO_RXN2         |            | I       |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AD9       | CSIO_RXN3  | CSIO_RXN3         |            | I       |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AB10      | CSIO_RXP0  | CSIO_RXP0         |            | I       |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AC9       | CSIO_RXP1  | CSIO_RXP1         |            | I       |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AA9       | CSIO_RXP2  | CSIO_RXP2         |            | I       |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AD8       | CSIO_RXP3  | CSIO_RXP3         |            | I       |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| T6        | DDR0_ACT_n   | DDR0_ACT_n        |            | O       |          |                               |                               |                  | 1.1V         | VDDSD_DDR、<br>VDDSD_DDR_C |          | DDR          |                   |
| K3        | DDR0_ALERT_n   | DDR0_ALERT_n      |            | IO      |          |                               |                               |                  | 1.1V         | VDDSD_DDR、<br>VDDSD_DDR_C |          | DDR          |                   |
| T5        | DDR0_CAS_n   | DDR0_CAS_n        |            | O       |          |                               |                               |                  | 1.1V         | VDDSD_DDR、<br>VDDSD_DDR_C |          | DDR          |                   |
| T1        | DDR0_PAR   | DDR0_PAR          |            | O       |          |                               |                               |                  | 1.1V         | VDDSD_DDR、<br>VDDSD_DDR_C |          | DDR          |                   |
| P6        | DDR0_RAS_n   | DDR0_RAS_n        |            | O       |          |                               |                               |                  | 1.1V         | VDDSD_DDR、<br>VDDSD_DDR_C |          | DDR          |                   |
| T4        | DDR0_WE_n  | DDR0_WE_n         |            | O       |          |                               |                               |                  | 1.1V         | VDDSD_DDR、<br>VDDSD_DDR_C |          | DDR          |                   |
| K5        | DDR0_A0  | DDR0_A0           |            | O       |          |                               |                               |                  | 1.1V         | VDDSD_DDR、<br>VDDSD_DDR_C |          | DDR          |                   |
| L2        | DDR0_A1  | DDR0_A1           |            | O       |          |                               |                               |                  | 1.1V         | VDDSD_DDR、<br>VDDSD_DDR_C |          | DDR          |                   |
| L3        | DDR0_A2  | DDR0_A2           |            | O       |          |                               |                               |                  | 1.1V         | VDDSD_DDR、<br>VDDSD_DDR_C |          | DDR          |                   |
| M2        | DDR0_A3  | DDR0_A3           |            | O       |          |                               |                               |                  | 1.1V         | VDDSD_DDR、<br>VDDSD_DDR_C |          | DDR          |                   |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]    | 多重化<br>モード [4] | タイプ<br>[5] | DSIS<br>[6] | リセット<br>時の<br>ボール<br>の状態<br>(RX/TX/PULL) [7] | リセット<br>後の<br>ボール<br>の状態<br>(RX/TX/PULL) [8] | リセット<br>後の<br>多重化<br>モード [9] | I/O<br>動作<br>電圧 [10] | 電源 [11]                 | HYS<br>[12] | バッファ<br>タイプ [13] | プル<br>アップ/ダウ<br>ン<br>タイプ [14] |
|-----------|--|------------|----------------|------------|-------------|--|--|------------------------------|----------------------|-------------------------|-------------|------------------|-------------------------------|
| N2        | DDR0_A4  | DDR0_A4    |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| K2        | DDR0_A5  | DDR0_A5    |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| N3        | DDR0_A6  | DDR0_A6    |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| L1        | DDR0_A7  | DDR0_A7    |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| M1        | DDR0_A8  | DDR0_A8    |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| T2        | DDR0_A9  | DDR0_A9    |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| R2        | DDR0_A10   | DDR0_A10   |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| N5        | DDR0_A11   | DDR0_A11   |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| P3        | DDR0_A12   | DDR0_A12   |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| P2        | DDR0_A13   | DDR0_A13   |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| N6        | DDR0_BA0   | DDR0_BA0   |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| K4        | DDR0_BA1   | DDR0_BA1   |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| Y6        | DDR0_BG0   | DDR0_BG0   |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| U6        | DDR0_BG1   | DDR0_BG1   |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| Y5        | DDR0_CAL0  | DDR0_CAL0  |                | A          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| R1        | DDR0_CK0   | DDR0_CK0   |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| P1        | DDR0_CK0_n   | DDR0_CK0_n |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| N4        | DDR0_CKE0  | DDR0_CKE0  |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| P5        | DDR0_CKE1  | DDR0_CKE1  |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| L6        | DDR0_CS0_n   | DDR0_CS0_n |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| T3        | DDR0_CS1_n   | DDR0_CS1_n |                | O          |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]   | 多重化<br>モード [4] | タイプ<br>[5] | DSIS<br>[6] | リセット<br>時の<br>ボール<br>の状態<br>(RX/TX/PULL) [7] | リセット<br>後の<br>ボール<br>の状態<br>(RX/TX/PULL) [8] | リセット<br>後の<br>多重化<br>モード [9] | I/O<br>動作<br>電圧 [10] | 電源 [11]                 | HYS<br>[12] | パッファ<br>タイプ [13] | ブル<br>アップ/ダウ<br>ン<br>タイプ [14] |
|-----------|--|-----------|----------------|------------|-------------|--|--|------------------------------|----------------------|-------------------------|-------------|------------------|-------------------------------|
| C3        | DDR0_DM0   | DDR0_DM0  |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| H3        | DDR0_DM1   | DDR0_DM1  |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| V4        | DDR0_DM2   | DDR0_DM2  |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| AD1       | DDR0_DM3   | DDR0_DM3  |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| B2        | DDR0_DQ0   | DDR0_DQ0  |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| A3        | DDR0_DQ1   | DDR0_DQ1  |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| A4        | DDR0_DQ2   | DDR0_DQ2  |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| A5        | DDR0_DQ3   | DDR0_DQ3  |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| A2        | DDR0_DQ4   | DDR0_DQ4  |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| B4        | DDR0_DQ5   | DDR0_DQ5  |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| D2        | DDR0_DQ6   | DDR0_DQ6  |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| C4        | DDR0_DQ7   | DDR0_DQ7  |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| E2        | DDR0_DQ8   | DDR0_DQ8  |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| F1        | DDR0_DQ9   | DDR0_DQ9  |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| G5        | DDR0_DQ10  | DDR0_DQ10 |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| F2        | DDR0_DQ11  | DDR0_DQ11 |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| G3        | DDR0_DQ12  | DDR0_DQ12 |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| H4        | DDR0_DQ13  | DDR0_DQ13 |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| J2        | DDR0_DQ14  | DDR0_DQ14 |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| G2        | DDR0_DQ15  | DDR0_DQ15 |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |
| U2        | DDR0_DQ16  | DDR0_DQ16 |                | IO         |             |  |  |                              | 1.1V                 | VDDS_DDR,<br>VDDS_DDR_C |             | DDR              |                               |

**表 5-1. ピン属性 (AMH パッケージ) (続き)**

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]     | 多重化<br>モード [4] | タイプ<br>[5] | DSIS<br>[6] | リセット<br>時の<br>ボール<br>の状態<br>(RX/TX/PULL) [7] | リセット<br>後の<br>ボール<br>の状態<br>(RX/TX/PULL) [8] | リセット<br>後の<br>多重化<br>モード [9] | I/O<br>動作<br>電圧 [10] | 電源 [11]               | HYS<br>[12] | バッファ<br>タイプ [13] | プル<br>アップ/ダウ<br>ン<br>タイプ [14] |
|-----------|--|-------------|----------------|------------|-------------|--|--|------------------------------|----------------------|-----------------------|-------------|------------------|-------------------------------|
| U3        | DDR0_DQ17  | DDR0_DQ17   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| U5        | DDR0_DQ18  | DDR0_DQ18   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| V5        | DDR0_DQ19  | DDR0_DQ19   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| V2        | DDR0_DQ20  | DDR0_DQ20   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| Y2        | DDR0_DQ21  | DDR0_DQ21   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| Y3        | DDR0_DQ22  | DDR0_DQ22   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| AA4       | DDR0_DQ23  | DDR0_DQ23   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| AC2       | DDR0_DQ24  | DDR0_DQ24   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| AA2       | DDR0_DQ25  | DDR0_DQ25   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| AC4       | DDR0_DQ26  | DDR0_DQ26   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| AD2       | DDR0_DQ27  | DDR0_DQ27   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| AD3       | DDR0_DQ28  | DDR0_DQ28   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| AC3       | DDR0_DQ29  | DDR0_DQ29   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| AE4       | DDR0_DQ30  | DDR0_DQ30   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| AE3       | DDR0_DQ31  | DDR0_DQ31   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| D1        | DDR0_DQS0  | DDR0_DQS0   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| C1        | DDR0_DQS0_n  | DDR0_DQS0_n |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| J1        | DDR0_DQS1  | DDR0_DQS1   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| H1        | DDR0_DQS1_n  | DDR0_DQS1_n |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| W1        | DDR0_DQS2  | DDR0_DQS2   |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |
| V1        | DDR0_DQS2_n  | DDR0_DQS2_n |                | IO         |             |  |  |                              | 1.1V                 | VDDSDDR,<br>VDDSDDR_C |             | DDR              |                               |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]       | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O動作電圧 [10] | 電源 [11]                   | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|-----------|--|---------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|--------------|---------------------------|----------|--------------|-------------------|
| AA1       | DDR0_DQS3  | DDR0_DQS3     |            | IO      |          |                               |                               |                  | 1.1V         | VDDSD_DDR、<br>VDDSD_DDR_C |          | DDR          |                   |
| AB1       | DDR0_DQS3_n  | DDR0_DQS3_n   |            | IO      |          |                               |                               |                  | 1.1V         | VDDSD_DDR、<br>VDDSD_DDR_C |          | DDR          |                   |
| L5        | DDR0_ODT0  | DDR0_ODT0     |            | O       |          |                               |                               |                  | 1.1V         | VDDSD_DDR、<br>VDDSD_DDR_C |          | DDR          |                   |
| V6        | DDR0_ODT1  | DDR0_ODT1     |            | O       |          |                               |                               |                  | 1.1V         | VDDSD_DDR、<br>VDDSD_DDR_C |          | DDR          |                   |
| AA5       | DDR0_RESET0_n  | DDR0_RESET0_n |            | O       |          |                               |                               |                  | 1.1V         | VDDSD_DDR、<br>VDDSD_DDR_C |          | DDR          |                   |
| AA12      | DSIO_TXCLKN  | DSIO_TXCLKN   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AA13      | DSIO_TXCLKP  | DSIO_TXCLKP   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| Y16       | DSIO_TXRCALIB  | DSIO_TXRCALIB |            | A       |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AD11      | DSIO_TXN0  | DSIO_TXN0     |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AB13      | DSIO_TXN1  | DSIO_TXN1     |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AC12      | DSIO_TXN2  | DSIO_TXN2     |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AE14      | DSIO_TXN3  | DSIO_TXN3     |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AD12      | DSIO_TXP0  | DSIO_TXP0     |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AB14      | DSIO_TXP1  | DSIO_TXP1     |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AC13      | DSIO_TXP2  | DSIO_TXP2     |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| AE15      | DSIO_TXP3  | DSIO_TXP3     |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_CSI_DSI          |          | D-PHY        |                   |
| B12       | EMU0<br>PADCONFIG:<br>MCU_PADCONFIG30<br>0x04084078    | EMU0          | 0          | IO      | 0        | オン/オフ/アップ                     | オン/オフ/アップ                     | 0                | 1.8V/3.3V    | VDDSHV_MCU                | あり       | LVC MOS      | PU/PD             |
| D13       | EMU1<br>PADCONFIG:<br>MCU_PADCONFIG31<br>0x0408407C    | EMU1          | 0          | IO      | 0        | オン/オフ/アップ                     | オン/オフ/アップ                     | 0                | 1.8V/3.3V    | VDDSHV_MCU                | あり       | LVC MOS      | PU/PD             |
| C23       | EXTINTn<br>PADCONFIG:<br>PADCONFIG125<br>0x000F41F4    | EXTINTn       | 0          | I       | 1        |                               |                               |                  |              |                           |          |              |                   |
|           |  | GPIO1_31      | 7          | IOD     | パッド      | オフ/オフ/NA                      | オフ/オフ/NA                      | 7                | 1.8V/3.3V    | VDDSHV0                   | あり       | I2C OD FS    |                   |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1]         | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16]    | 信号名 [3]                | 多重化<br>モード [4] | タイプ<br>[5] | DSIS<br>[6] | リセット<br>時の<br>ボール<br>の状態<br>(RX/TX/PULL) [7] | リセット<br>後の<br>ボール<br>の状態<br>(RX/TX/PULL) [8] | リセット<br>後の<br>多重化<br>モード [9] | I/O<br>動作<br>電圧 [10] | 電源 [11] | HYS<br>[12] | バッファ<br>タイプ [13] | プル<br>アップ/ダウ<br>ン<br>タイプ [14] |
|-------------------|---|------------------------|----------------|------------|-------------|--|--|------------------------------|----------------------|---------|-------------|------------------|-------------------------------|
| C25               | EXT_REFCLK1<br>PADCONFIG:<br>PADCONFIG124<br>0x000F41F0   | EXT_REFCLK1            | 0              | I          | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV0 | あり          | LVCMOS           | PU/PD                         |
|                   |   | SYNC1_OUT              | 1              | O          |             |  |  |                              |                      |         |             |                  |                               |
|                   |   | SPI2_CS3               | 2              | IO         | 1           |  |  |                              |                      |         |             |                  |                               |
|                   |   | SYSCLKOUT0             | 3              | O          |             |  |  |                              |                      |         |             |                  |                               |
|                   |   | TIMER_IO4              | 4              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|                   |   | CLKOUT0                | 5              | O          |             |  |  |                              |                      |         |             |                  |                               |
|                   |   | CP_GEMAC_CPTS0_RFT_CLK | 6              | I          | 0           |  |  |                              |                      |         |             |                  |                               |
|                   |   | GPIO1_30               | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
| ECAP0_IN_APWM_OUT | 8   | IO                     | 0              |            |             |  |  |                              |                      |         |             |                  |                               |
| R25               | GPMC0_ADVn_ALE<br>PADCONFIG:<br>PADCONFIG33<br>0x000F4084 | GPMC0_ADVn_ALE         | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV3 | あり          | LVCMOS           | PU/PD                         |
|                   |   | MCASP1_AXR2            | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|                   |   | TRC_DATA7              | 6              | O          |             |  |  |                              |                      |         |             |                  |                               |
|                   |   | GPIO0_32               | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
| Y25               | GPMC0_CLK<br>PADCONFIG:<br>PADCONFIG31<br>0x000F407C      | GPMC0_CLK              | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV3 | あり          | LVCMOS           | PU/PD                         |
|                   |   | MCASP1_AXR3            | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|                   |   | GPMC0_FCLK_MUX         | 3              | O          |             |  |  |                              |                      |         |             |                  |                               |
|                   |   | TRC_DATA6              | 6              | O          |             |  |  |                              |                      |         |             |                  |                               |
|                   |   | GPIO0_31               | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
| P25               | GPMC0_DIR<br>PADCONFIG:<br>PADCONFIG41<br>0x000F40A4      | GPMC0_DIR              | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV3 | あり          | LVCMOS           | PU/PD                         |
|                   |   | MCASP2_AXR13           | 3              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|                   |   | MAIN_ERRORn            | 5              | IO         | 1           |  |  |                              |                      |         |             |                  |                               |
|                   |   | TRC_DATA14             | 6              | O          |             |  |  |                              |                      |         |             |                  |                               |
|                   |   | GPIO0_40               | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
|                   |   | EQEP2_S                | 8              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
| R24               | GPMC0_OEn_REn<br>PADCONFIG:<br>PADCONFIG34<br>0x000F4088  | GPMC0_OEn_REn          | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV3 | あり          | LVCMOS           | PU/PD                         |
|                   |   | MCASP1_AXR1            | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|                   |   | TRC_DATA8              | 6              | O          |             |  |  |                              |                      |         |             |                  |                               |
|                   |   | GPIO0_33               | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
|                   |   |                        |                |            |             |  |  |                              |                      |         |             |                  |                               |
| T25               | GPMC0_WEn<br>PADCONFIG:<br>PADCONFIG35<br>0x000F408C      | GPMC0_WEn              | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV3 | あり          | LVCMOS           | PU/PD                         |
|                   |   | MCASP1_AXR0            | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|                   |   | TRC_DATA9              | 6              | O          |             |  |  |                              |                      |         |             |                  |                               |
|                   |   | GPIO0_34               | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]           | 多重化モード [4] | タイプ [5]  | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O 動作電圧 [10] | 電源 [11] | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|-----------|--|-------------------|------------|----------|----------|-------------------------------|-------------------------------|------------------|---------------|---------|----------|--------------|-------------------|
| P24       | GPMC0_WPn<br>PADCONFIG:<br>PADCONFIG40<br>0x000F40A0   | GPMC0_WPn         | 0          | O        |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |  | AUDIO_EXT_REFCLK1 | 1          | IO       | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | GPMC0_A22         | 2          | OZ       |          |                               |                               |                  |               |         |          |              |                   |
|           |  | UART6_TXD         | 3          | O        |          |                               |                               |                  |               |         |          |              |                   |
|           |  | TRC_DATA13        | 6          | O        |          |                               |                               |                  |               |         |          |              |                   |
| GPIO0_39  | 7  | IO                | バンド        |          |          |                               |                               |                  |               |         |          |              |                   |
| U22       | GPMC0_AD0<br>PADCONFIG:<br>PADCONFIG15<br>0x000F403C   | GPMC0_AD0         | 0          | IO       | 0        | オン/オフ/オフ                      | オン/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |  | MCASP2_AXR4       | 3          | IO       | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | TRC_CLK           | 6          | O        |          |                               |                               |                  |               |         |          |              |                   |
|           |  | GPIO0_15          | 7          | IO       | バンド      |                               |                               |                  |               |         |          |              |                   |
|           |  | BOOTMODE00        |            | ブートストラップ | I        |                               |                               |                  |               |         |          |              |                   |
| U21       | GPMC0_AD1<br>PADCONFIG:<br>PADCONFIG16<br>0x000F4040   | GPMC0_AD1         | 0          | IO       | 0        | オン/オフ/オフ                      | オン/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |  | MCASP2_AXR5       | 3          | IO       | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | TRC_CTL           | 6          | O        |          |                               |                               |                  |               |         |          |              |                   |
|           |  | GPIO0_16          | 7          | IO       | バンド      |                               |                               |                  |               |         |          |              |                   |
|           |  | BOOTMODE01        |            | ブートストラップ | I        |                               |                               |                  |               |         |          |              |                   |
| U20       | GPMC0_AD2<br>PADCONFIG:<br>PADCONFIG17<br>0x000F4044   | GPMC0_AD2         | 0          | IO       | 0        | オン/オフ/オフ                      | オン/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |  | MCASP2_AXR6       | 3          | IO       | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | TRC_DATA0         | 6          | O        |          |                               |                               |                  |               |         |          |              |                   |
|           |  | GPIO0_17          | 7          | IO       | バンド      |                               |                               |                  |               |         |          |              |                   |
|           |  | BOOTMODE02        |            | ブートストラップ | I        |                               |                               |                  |               |         |          |              |                   |
| V25       | GPMC0_AD3<br>PADCONFIG:<br>PADCONFIG18<br>0x000F4048   | GPMC0_AD3         | 0          | IO       | 0        | オン/オフ/オフ                      | オン/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |  | MCASP2_AXR7       | 3          | IO       | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | TRC_DATA1         | 6          | O        |          |                               |                               |                  |               |         |          |              |                   |
|           |  | GPIO0_18          | 7          | IO       | バンド      |                               |                               |                  |               |         |          |              |                   |
|           |  | BOOTMODE03        |            | ブートストラップ | I        |                               |                               |                  |               |         |          |              |                   |
| T20       | GPMC0_AD4<br>PADCONFIG:<br>PADCONFIG19<br>0x000F404C   | GPMC0_AD4         | 0          | IO       | 0        | オン/オフ/オフ                      | オン/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |  | MCASP2_AXR8       | 3          | IO       | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | TRC_DATA2         | 6          | O        |          |                               |                               |                  |               |         |          |              |                   |
|           |  | GPIO0_19          | 7          | IO       | バンド      |                               |                               |                  |               |         |          |              |                   |
|           |  | BOOTMODE04        |            | ブートストラップ | I        |                               |                               |                  |               |         |          |              |                   |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]      | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O動作電圧 [10] | 電源 [11] | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|-----------|--|--------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|--------------|---------|----------|--------------|-------------------|
| T21       | GPMC0_AD5<br>PADCONFIG: PADCONFIG20<br>0x000F4050      | GPMC0_AD5    | 0          | IO      | 0        | オン / オフ / オフ                  | オン / オフ / オフ                  | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |  | MCASP2_AXR9  | 3          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | TRC_DATA3    | 6          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO0_20     | 7          | IO      | パッド      |                               |                               |                  |              |         |          |              |                   |
|           |  | BOOTMODE05   | ブートストラップ   | I       |          |                               |                               |                  |              |         |          |              |                   |
| V24       | GPMC0_AD6<br>PADCONFIG: PADCONFIG21<br>0x000F4054      | GPMC0_AD6    | 0          | IO      | 0        | オン / オフ / オフ                  | オン / オフ / オフ                  | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |  | MCASP2_AXR10 | 3          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | TRC_DATA4    | 6          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO0_21     | 7          | IO      | パッド      |                               |                               |                  |              |         |          |              |                   |
|           |  | BOOTMODE06   | ブートストラップ   | I       |          |                               |                               |                  |              |         |          |              |                   |
| W25       | GPMC0_AD7<br>PADCONFIG: PADCONFIG22<br>0x000F4058      | GPMC0_AD7    | 0          | IO      | 0        | オン / オフ / オフ                  | オン / オフ / オフ                  | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |  | MCASP2_AXR11 | 3          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | TRC_DATA5    | 6          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO0_22     | 7          | IO      | パッド      |                               |                               |                  |              |         |          |              |                   |
|           |  | BOOTMODE07   | ブートストラップ   | I       |          |                               |                               |                  |              |         |          |              |                   |
| AC25      | GPMC0_AD8<br>PADCONFIG: PADCONFIG23<br>0x000F405C      | GPMC0_AD8    | 0          | IO      | 0        | オン / オフ / オフ                  | オン / オフ / オフ                  | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |  | VOUT0_DATA16 | 1          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | UART2_RXD    | 2          | I       | 1        |                               |                               |                  |              |         |          |              |                   |
|           |  | MCASP2_AXR0  | 3          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO0_23     | 7          | IO      | パッド      |                               |                               |                  |              |         |          |              |                   |
|           |  | BOOTMODE08   | ブートストラップ   | I       |          |                               |                               |                  |              |         |          |              |                   |
| AB25      | GPMC0_AD9<br>PADCONFIG: PADCONFIG24<br>0x000F4060      | GPMC0_AD9    | 0          | IO      | 0        | オン / オフ / オフ                  | オン / オフ / オフ                  | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |  | VOUT0_DATA17 | 1          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | UART2_TXD    | 2          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | MCASP2_AXR1  | 3          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO0_24     | 7          | IO      | パッド      |                               |                               |                  |              |         |          |              |                   |
|           |  | BOOTMODE09   | ブートストラップ   | I       |          |                               |                               |                  |              |         |          |              |                   |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]      | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O動作電圧 [10] | 電源 [11] | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|-----------|--|--------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|--------------|---------|----------|--------------|-------------------|
| AA25      | GPMC0_AD10<br>PADCONFIG:<br>PADCONFIG25<br>0x000F4064  | GPMC0_AD10   | 0          | IO      | 0        | オン / オフ / オフ                  | オン / オフ / オフ                  | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |  | VOUT0_DATA18 | 1          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | UART3_RXD    | 2          | I       | 1        |                               |                               |                  |              |         |          |              |                   |
|           |  | MCASP2_AXR2  | 3          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO0_25     | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
|           |  | OBSCLK0      | 8          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | BOOTMODE10   | ブートストラップ   | I       |          |                               |                               |                  |              |         |          |              |                   |
| W24       | GPMC0_AD11<br>PADCONFIG:<br>PADCONFIG26<br>0x000F4068  | GPMC0_AD11   | 0          | IO      | 0        | オン / オフ / オフ                  | オン / オフ / オフ                  | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |  | VOUT0_DATA19 | 1          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | UART3_TXD    | 2          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | MCASP2_AXR3  | 3          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | TRC_DATA23   | 6          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO0_26     | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
|           |  | BOOTMODE11   | ブートストラップ   | I       |          |                               |                               |                  |              |         |          |              |                   |
| Y24       | GPMC0_AD12<br>PADCONFIG:<br>PADCONFIG27<br>0x000F406C  | GPMC0_AD12   | 0          | IO      | 0        | オン / オフ / オフ                  | オン / オフ / オフ                  | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |  | VOUT0_DATA20 | 1          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | UART4_RXD    | 2          | I       | 1        |                               |                               |                  |              |         |          |              |                   |
|           |  | MCASP2_AFSX  | 3          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | TRC_DATA22   | 6          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO0_27     | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
|           |  | BOOTMODE12   | ブートストラップ   | I       |          |                               |                               |                  |              |         |          |              |                   |
| AD25      | GPMC0_AD13<br>PADCONFIG:<br>PADCONFIG28<br>0x000F4070  | GPMC0_AD13   | 0          | IO      | 0        | オン / オフ / オフ                  | オン / オフ / オフ                  | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |  | VOUT0_DATA21 | 1          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | UART4_TXD    | 2          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | MCASP2_ACLKX | 3          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | TRC_DATA21   | 6          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO0_28     | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
|           |  | BOOTMODE13   | ブートストラップ   | I       |          |                               |                               |                  |              |         |          |              |                   |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1]  | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16]    | 信号名 [3]        | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O動作電圧 [10] | 電源 [11] | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|------------|---|----------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|--------------|---------|----------|--------------|-------------------|
| AB24       | GPMC0_AD14<br>PADCONFIG:<br>PADCONFIG29<br>0x000F4074     | GPMC0_AD14     | 0          | IO      | 0        | オン / オフ / オフ                  | オン / オフ / オフ                  | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|            |   | VOUT0_DATA22   | 1          | O       |          |                               |                               |                  |              |         |          |              |                   |
|            |   | UART5_RXD      | 2          | I       | 1        |                               |                               |                  |              |         |          |              |                   |
|            |   | MCASP2_AFSR    | 3          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|            |   | MCASP2_AXR4    | 4          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|            |   | TRC_DATA20     | 6          | O       |          |                               |                               |                  |              |         |          |              |                   |
|            |   | GPIO0_29       | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
|            |   | UART2_CTSn     | 8          | I       | 1        |                               |                               |                  |              |         |          |              |                   |
| BOOTMODE14 | ブートストラップ  | I              |            |         |          |                               |                               |                  |              |         |          |              |                   |
| AC24       | GPMC0_AD15<br>PADCONFIG:<br>PADCONFIG30<br>0x000F4078     | GPMC0_AD15     | 0          | IO      | 0        | オン / オフ / オフ                  | オン / オフ / オフ                  | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|            |   | VOUT0_DATA23   | 1          | O       |          |                               |                               |                  |              |         |          |              |                   |
|            |   | UART5_TXD      | 2          | O       |          |                               |                               |                  |              |         |          |              |                   |
|            |   | MCASP2_ACLKR   | 3          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|            |   | MCASP2_AXR5    | 4          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|            |   | TRC_DATA19     | 6          | O       |          |                               |                               |                  |              |         |          |              |                   |
|            |   | GPIO0_30       | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
|            |   | UART2_RTSn     | 8          | O       |          |                               |                               |                  |              |         |          |              |                   |
| BOOTMODE15 | ブートストラップ  | I              |            |         |          |                               |                               |                  |              |         |          |              |                   |
| U24        | GPMC0_BE0n_CLE<br>PADCONFIG:<br>PADCONFIG36<br>0x000F4090 | GPMC0_BE0n_CLE | 0          | O       |          | オフ / オフ / オフ                  | オフ / オフ / オフ                  | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|            |   | MCASP1_ACLKX   | 2          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|            |   | TRC_DATA10     | 6          | O       |          |                               |                               |                  |              |         |          |              |                   |
|            |   | GPIO0_35       | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
| T24        | GPMC0_BE1n<br>PADCONFIG:<br>PADCONFIG37<br>0x000F4094     | GPMC0_BE1n     | 0          | O       |          | オフ / オフ / オフ                  | オフ / オフ / オフ                  | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|            |   | MCASP2_AXR12   | 3          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|            |   | TRC_DATA11     | 6          | O       |          |                               |                               |                  |              |         |          |              |                   |
|            |   | GPIO0_36       | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
| T23        | GPMC0_CSn0<br>PADCONFIG:<br>PADCONFIG42<br>0x000F40A8     | GPMC0_CSn0     | 0          | O       |          | オフ / オフ / オフ                  | オフ / オフ / オフ                  | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|            |   | MCASP2_AXR14   | 3          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|            |   | TRC_DATA15     | 6          | O       |          |                               |                               |                  |              |         |          |              |                   |
|            |   | GPIO0_41       | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
| U23        | GPMC0_CSn1<br>PADCONFIG:<br>PADCONFIG43<br>0x000F40AC     | GPMC0_CSn1     | 0          | O       |          | オフ / オフ / オフ                  | オフ / オフ / オフ                  | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|            |   | MCASP2_AXR15   | 3          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|            |   | TRC_DATA16     | 6          | O       |          |                               |                               |                  |              |         |          |              |                   |
|            |   | GPIO0_42       | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1]         | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]         | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O 動作電圧 [10] | 電源 [11] | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|-------------------|--|-----------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|---------------|---------|----------|--------------|-------------------|
| T22               | GPMC0_CSn2<br>PADCONFIG:<br>PADCONFIG44<br>0x000F40B0  | GPMC0_CSn2      | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|                   |  | I2C2_SCL        | 1          | IOD     | 1        |                               |                               |                  |               |         |          |              |                   |
|                   |  | MCASP1_AXR4     | 2          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |
|                   |  | UART4_RXD       | 3          | I       | 1        |                               |                               |                  |               |         |          |              |                   |
|                   |  | MCAN1_TX        | 5          | O       |          |                               |                               |                  |               |         |          |              |                   |
|                   |  | TRC_DATA17      | 6          | O       |          |                               |                               |                  |               |         |          |              |                   |
|                   |  | GPIO0_43        | 7          | IO      | バンド      |                               |                               |                  |               |         |          |              |                   |
| MCASP1_AFSR       | 8  | IO              | 0          |         |          |                               |                               |                  |               |         |          |              |                   |
| U25               | GPMC0_CSn3<br>PADCONFIG:<br>PADCONFIG45<br>0x000F40B4  | GPMC0_CSn3      | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|                   |  | I2C2_SDA        | 1          | IOD     | 1        |                               |                               |                  |               |         |          |              |                   |
|                   |  | GPMC0_A20       | 2          | OZ      |          |                               |                               |                  |               |         |          |              |                   |
|                   |  | UART4_TXD       | 3          | O       |          |                               |                               |                  |               |         |          |              |                   |
|                   |  | MCASP1_AXR5     | 4          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |
|                   |  | MCAN1_RX        | 5          | I       | 1        |                               |                               |                  |               |         |          |              |                   |
|                   |  | TRC_DATA18      | 6          | O       |          |                               |                               |                  |               |         |          |              |                   |
| GPIO0_44          | 7  | IO              | バンド        |         |          |                               |                               |                  |               |         |          |              |                   |
| MCASP1_ACLKR      | 8  | IO              | 0          |         |          |                               |                               |                  |               |         |          |              |                   |
| AA24              | GPMC0_WAIT0<br>PADCONFIG:<br>PADCONFIG38<br>0x000F4098 | GPMC0_WAIT0     | 0          | I       | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|                   |  | MCASP1_AFSX     | 2          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |
|                   |  | TRC_DATA12      | 6          | O       |          |                               |                               |                  |               |         |          |              |                   |
|                   |  | GPIO0_37        | 7          | IO      | バンド      |                               |                               |                  |               |         |          |              |                   |
| AD24              | GPMC0_WAIT1<br>PADCONFIG:<br>PADCONFIG39<br>0x000F409C | GPMC0_WAIT1     | 0          | I       | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|                   |  | VOUT0_EXTPCLKIN | 1          | I       | 0        |                               |                               |                  |               |         |          |              |                   |
|                   |  | GPMC0_A21       | 2          | OZ      |          |                               |                               |                  |               |         |          |              |                   |
|                   |  | UART6_RXD       | 3          | I       | 1        |                               |                               |                  |               |         |          |              |                   |
|                   |  | GPIO0_38        | 7          | IO      | バンド      |                               |                               |                  |               |         |          |              |                   |
| EQEP2_I           | 8  | IO              | 0          |         |          |                               |                               |                  |               |         |          |              |                   |
| B25               | I2C0_SCL<br>PADCONFIG:<br>PADCONFIG120<br>0x000F41E0   | I2C0_SCL        | 0          | IOD     | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV0 | あり       | LVCMOS       | PU/PD             |
|                   |  | SYNC0_OUT       | 2          | O       |          |                               |                               |                  |               |         |          |              |                   |
|                   |  | OBCLK1          | 3          | O       |          |                               |                               |                  |               |         |          |              |                   |
|                   |  | UART1_DCDn      | 4          | I       | 1        |                               |                               |                  |               |         |          |              |                   |
|                   |  | EQEP2_A         | 5          | I       | 0        |                               |                               |                  |               |         |          |              |                   |
|                   |  | EHRPWM_SOCA     | 6          | O       |          |                               |                               |                  |               |         |          |              |                   |
|                   |  | GPIO1_26        | 7          | IO      | バンド      |                               |                               |                  |               |         |          |              |                   |
| ECAP1_IN_APWM_OUT | 8  | IO              | 0          |         |          |                               |                               |                  |               |         |          |              |                   |
| SPI2_CS0          | 9  | IO              | 1          |         |          |                               |                               |                  |               |         |          |              |                   |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1]      | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]           | 多重化<br>モード [4] | タイプ<br>[5] | DSIS<br>[6] | リセット<br>時の<br>ボール<br>の状態<br>(RX/TX/PULL) [7] | リセット<br>後の<br>ボール<br>の状態<br>(RX/TX/PULL) [8] | リセット<br>後の<br>多重化<br>モード [9] | I/O<br>動作<br>電圧 [10] | 電源 [11] | HYS<br>[12] | バッファ<br>タイプ [13] | プル<br>アップ/ダウ<br>ン<br>タイプ [14] |
|----------------|--|-------------------|----------------|------------|-------------|--|--|------------------------------|----------------------|---------|-------------|------------------|-------------------------------|
| A24            | I2C0_SDA<br>PADCONFIG:<br>PADCONFIG121<br>0x000F41E4   | I2C0_SDA          | 0              | IOD        | 1           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV0 | あり          | LVCMOS           | PU/PD                         |
|                |  | SPI2_CS2          | 2              | IO         | 1           |  |  |                              |                      |         |             |                  |                               |
|                |  | TIMER_IO5         | 3              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|                |  | UART1_DSRn        | 4              | I          | 1           |  |  |                              |                      |         |             |                  |                               |
|                |  | EQEP2_B           | 5              | I          | 0           |  |  |                              |                      |         |             |                  |                               |
|                |  | EHRPWM_SOCB       | 6              | O          |             |  |  |                              |                      |         |             |                  |                               |
|                |  | GPIO1_27          | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
|                |  | ECAP2_IN_APWM_OUT | 8              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
| C24            | I2C1_SCL<br>PADCONFIG:<br>PADCONFIG122<br>0x000F41E8   | I2C1_SCL          | 0              | IOD        | 1           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV0 | あり          | LVCMOS           | PU/PD                         |
|                |  | UART1_RXD         | 1              | I          | 1           |  |  |                              |                      |         |             |                  |                               |
|                |  | TIMER_IO0         | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|                |  | SPI2_CS1          | 3              | IO         | 1           |  |  |                              |                      |         |             |                  |                               |
|                |  | EHRPWM0_SYNCI     | 4              | I          | 0           |  |  |                              |                      |         |             |                  |                               |
|                |  | GPIO1_28          | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
|                |  | EHRPWM2_A         | 8              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|                |  | MMC2_SDCD         | 9              | I          | 0           |  |  |                              |                      |         |             |                  |                               |
| B24            | I2C1_SDA<br>PADCONFIG:<br>PADCONFIG123<br>0x000F41EC   | I2C1_SDA          | 0              | IOD        | 1           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV0 | あり          | LVCMOS           | PU/PD                         |
|                |  | UART1_TXD         | 1              | O          |             |  |  |                              |                      |         |             |                  |                               |
|                |  | TIMER_IO1         | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|                |  | SPI2_CLK          | 3              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|                |  | EHRPWM0_SYNCO     | 4              | O          |             |  |  |                              |                      |         |             |                  |                               |
|                |  | GPIO1_29          | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
|                |  | EHRPWM2_B         | 8              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|                |  | MMC2_SDWP         | 9              | I          | 0           |  |  |                              |                      |         |             |                  |                               |
| F20            | MCAN0_RX<br>PADCONFIG:<br>PADCONFIG119<br>0x000F41DC   | MCAN0_RX          | 0              | I          | 1           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV0 | あり          | LVCMOS           | PU/PD                         |
|                |  | UART5_TXD         | 1              | O          |             |  |  |                              |                      |         |             |                  |                               |
|                |  | TIMER_IO3         | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|                |  | SYNC3_OUT         | 3              | O          |             |  |  |                              |                      |         |             |                  |                               |
|                |  | UART1_RIn         | 4              | I          | 1           |  |  |                              |                      |         |             |                  |                               |
|                |  | EQEP2_S           | 5              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|                |  | GPIO1_25          | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
|                |  | MCASP2_AXR1       | 8              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
| EHRPWM_TZn_IN4 | 9  | I                 | 0              |            |             |  |  |                              |                      |         |             |                  |                               |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16]   | 信号名 [3]           | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O動作電圧 [10] | 電源 [11] | HYS [12] | パッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|-----------|--|-------------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|--------------|---------|----------|--------------|-------------------|
| B23       | MCAN0_TX<br>PADCONFIG:<br>PADCONFIG118<br>0x000F41D8     | MCAN0_TX          | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV0 | あり       | LVCMOS       | PU/PD             |
|           |  | UART5_RXD         | 1          | I       | 1        |                               |                               |                  |              |         |          |              |                   |
|           |  | TIMER_I02         | 2          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | SYNC2_OUT         | 3          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | UART1_DTRn        | 4          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | EQEP2_I           | 5          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO1_24          | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
|           |  | MCASP2_AXR0       | 8          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
| G20       | MCASP0_ACLKR<br>PADCONFIG:<br>PADCONFIG108<br>0x000F41B0 | MCASP0_ACLKR      | 0          | IO      | 0        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV0 | あり       | LVCMOS       | PU/PD             |
|           |  | SPI2_CLK          | 1          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | UART1_TXD         | 2          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | EHRPWM0_B         | 6          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO1_14          | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
| F24       | MCASP0_ACLKX<br>PADCONFIG:<br>PADCONFIG105<br>0x000F41A4 | MCASP0_ACLKX      | 0          | IO      | 0        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV0 | あり       | LVCMOS       | PU/PD             |
|           |  | SPI2_CS1          | 1          | IO      | 1        |                               |                               |                  |              |         |          |              |                   |
|           |  | ECAP2_IN_APWM_OUT | 2          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO1_11          | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
| G23       | MCASP0_AFSR<br>PADCONFIG:<br>PADCONFIG107<br>0x000F41AC  | MCASP0_AFSR       | 0          | IO      | 0        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV0 | あり       | LVCMOS       | PU/PD             |
|           |  | SPI2_CS0          | 1          | IO      | 1        |                               |                               |                  |              |         |          |              |                   |
|           |  | UART1_RXD         | 2          | I       | 1        |                               |                               |                  |              |         |          |              |                   |
|           |  | EHRPWM0_A         | 6          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO1_13          | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
| F25       | MCASP0_AFSX<br>PADCONFIG:<br>PADCONFIG106<br>0x000F41A8  | MCASP0_AFSX       | 0          | IO      | 0        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV0 | あり       | LVCMOS       | PU/PD             |
|           |  | SPI2_CS3          | 1          | IO      | 1        |                               |                               |                  |              |         |          |              |                   |
|           |  | AUDIO_EXT_REFCLK1 | 2          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO1_12          | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
| F23       | MCASP0_AXR0<br>PADCONFIG:<br>PADCONFIG104<br>0x000F41A0  | MCASP0_AXR0       | 0          | IO      | 0        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV0 | あり       | LVCMOS       | PU/PD             |
|           |  | AUDIO_EXT_REFCLK0 | 2          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | EHRPWM1_B         | 6          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO1_10          | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
|           |  | EQEP0_I           | 8          | IO      | 0        |                               |                               |                  |              |         |          |              |                   |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16]      | 信号名 [3]           | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O 動作電圧 [10] | 電源 [11]        | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|-----------|---|-------------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|---------------|----------------|----------|--------------|-------------------|
| E24       | MCASP0_AXR1<br>PADCONFIG:<br>PADCONFIG103<br>0x000F419C     | MCASP0_AXR1       | 0          | IO      | 0        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV0        | あり       | LVCMOS       | PU/PD             |
|           |   | SPI2_CS2          | 1          | IO      | 1        |                               |                               |                  |               |                |          |              |                   |
|           |   | ECAP1_IN_APWM_OUT | 2          | IO      | 0        |                               |                               |                  |               |                |          |              |                   |
|           |   | MAIN_ERRORn       | 5          | IO      | 1        |                               |                               |                  |               |                |          |              |                   |
|           |   | EHRPWM1_A         | 6          | IO      | 0        |                               |                               |                  |               |                |          |              |                   |
|           |   | GPIO1_9           | 7          | IO      | バンド      |                               |                               |                  |               |                |          |              |                   |
| EQEP0_S   | 8   | IO                | 0          |         |          |                               |                               |                  |               |                |          |              |                   |
| E25       | MCASP0_AXR2<br>PADCONFIG:<br>PADCONFIG102<br>0x000F4198     | MCASP0_AXR2       | 0          | IO      | 0        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV0        | あり       | LVCMOS       | PU/PD             |
|           |   | SPI2_D1           | 1          | IO      | 0        |                               |                               |                  |               |                |          |              |                   |
|           |   | UART1_RTSn        | 2          | O       |          |                               |                               |                  |               |                |          |              |                   |
|           |   | UART6_TXD         | 3          | O       |          |                               |                               |                  |               |                |          |              |                   |
|           |   | ECAP2_IN_APWM_OUT | 5          | IO      | 0        |                               |                               |                  |               |                |          |              |                   |
|           |   | GPIO1_8           | 7          | IO      | バンド      |                               |                               |                  |               |                |          |              |                   |
| EQEP0_B   | 8   | I                 | 0          |         |          |                               |                               |                  |               |                |          |              |                   |
| D25       | MCASP0_AXR3<br>PADCONFIG:<br>PADCONFIG101<br>0x000F4194     | MCASP0_AXR3       | 0          | IO      | 0        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV0        | あり       | LVCMOS       | PU/PD             |
|           |   | SPI2_D0           | 1          | IO      | 0        |                               |                               |                  |               |                |          |              |                   |
|           |   | UART1_CTSn        | 2          | I       | 1        |                               |                               |                  |               |                |          |              |                   |
|           |   | UART6_RXD         | 3          | I       | 1        |                               |                               |                  |               |                |          |              |                   |
|           |   | ECAP1_IN_APWM_OUT | 5          | IO      | 0        |                               |                               |                  |               |                |          |              |                   |
|           |   | GPIO1_7           | 7          | IO      | バンド      |                               |                               |                  |               |                |          |              |                   |
| EQEP0_A   | 8   | I                 | 0          |         |          |                               |                               |                  |               |                |          |              |                   |
| G6        | MCU_ERRORn<br>PADCONFIG:<br>MCU_PADCONFIG24<br>0x04084060   | MCU_ERRORn        | 0          | IO      |          | オフ/オフ/ダウン                     | オン/SS/ダウン                     | 0                | 1.8V          | VDDS_OSC0      | あり       | LVCMOS       | PU/PD             |
| E11       | MCU_I2C0_SCL<br>PADCONFIG:<br>MCU_PADCONFIG17<br>0x04084044 | MCU_I2C0_SCL      | 0          | IOD     | 1        | オフ/オフ/NA                      | オン/SS/NA                      | 7                | 1.8V/3.3V     | VDDSHV_MCU     | あり       | I2C OD FS    |                   |
|           |   | MCU_GPIO0_17      | 7          | IOD     | バンド      |                               |                               |                  |               |                |          |              |                   |
| D11       | MCU_I2C0_SDA<br>PADCONFIG:<br>MCU_PADCONFIG18<br>0x04084048 | MCU_I2C0_SDA      | 0          | IOD     | 1        | オフ/オフ/NA                      | オン/SS/NA                      | 7                | 1.8V/3.3V     | VDDSHV_MCU     | あり       | I2C OD FS    |                   |
|           |   | MCU_GPIO0_18      | 7          | IOD     | バンド      |                               |                               |                  |               |                |          |              |                   |
| D6        | MCU_MCAN0_RX<br>PADCONFIG:<br>MCU_PADCONFIG14<br>0x04084038 | MCU_MCAN0_RX      | 0          | I       | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV_CANUART | あり       | LVCMOS       | PU/PD             |
|           |   | MCU_TIMER_IO0     | 1          | IO      | 0        |                               |                               |                  |               |                |          |              |                   |
|           |   | MCU_SPI1_CS3      | 2          | IO      | 1        |                               |                               |                  |               |                |          |              |                   |
|           |   | MCU_GPIO0_14      | 7          | IO      | バンド      |                               |                               |                  |               |                |          |              |                   |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1]    | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16]        | 信号名 [3]         | 多重化<br>モード [4] | タイプ<br>[5] | DSIS<br>[6] | リセット<br>時の<br>ボール<br>の状態<br>(RX/TX/PULL) [7] | リセット<br>後の<br>ボール<br>の状態<br>(RX/TX/PULL) [8] | リセット<br>後の<br>多重化<br>モード [9] | I/O<br>動作<br>電圧 [10] | 電源 [11]        | HYS<br>[12] | バッファ<br>タイプ [13] | プル<br>アップ/ダウ<br>ン<br>タイプ [14] |
|--------------|---|-----------------|----------------|------------|-------------|--|--|------------------------------|----------------------|----------------|-------------|------------------|-------------------------------|
| E8           | MCU_MCAN0_TX<br>PADCONFIG:<br>MCU_PADCONFIG13<br>0x04084034   | MCU_MCAN0_TX    | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV_CANUART | あり          | LVCMOS           | PU/PD                         |
|              |   | WKUP_TIMER_IO0  | 1              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|              |   | MCU_SPI0_CS3    | 2              | IO         | 1           |  |  |                              |                      |                |             |                  |                               |
|              |   | MCU_GPIO0_13    | 7              | IO         | バンド         |  |  |                              |                      |                |             |                  |                               |
| E7           | MCU_MCAN1_RX<br>PADCONFIG:<br>MCU_PADCONFIG16<br>0x04084040   | MCU_MCAN1_RX    | 0              | I          | 1           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV_CANUART | あり          | LVCMOS           | PU/PD                         |
|              |   | MCU_TIMER_IO3   | 1              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|              |   | MCU_SPI0_CS2    | 2              | IO         | 1           |  |  |                              |                      |                |             |                  |                               |
|              |   | MCU_SPI1_CS2    | 3              | IO         | 1           |  |  |                              |                      |                |             |                  |                               |
|              |   | MCU_SPI1_CLK    | 4              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
| MCU_GPIO0_16 | 7   | IO              | バンド            |            |             |  |  |                              |                      |                |             |                  |                               |
| F8           | MCU_MCAN1_TX<br>PADCONFIG:<br>MCU_PADCONFIG15<br>0x0408403C   | MCU_MCAN1_TX    | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV_CANUART | あり          | LVCMOS           | PU/PD                         |
|              |   | MCU_TIMER_IO2   | 1              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|              |   | MCU_SPI1_CS1    | 3              | IO         | 1           |  |  |                              |                      |                |             |                  |                               |
|              |   | MCU_EXT_REFCLK0 | 4              | I          | 0           |  |  |                              |                      |                |             |                  |                               |
|              |   | MCU_GPIO0_15    | 7              | IO         | バンド         |  |  |                              |                      |                |             |                  |                               |
| A10          | MCU_OSC0_XI   | MCU_OSC0_XI     |                | I          |             |  |  |                              | 1.8V                 | VDDS_OSC0      |             | HFOSC            |                               |
| A11          | MCU_OSC0_XO   | MCU_OSC0_XO     |                | O          |             |  |  |                              | 1.8V                 | VDDS_OSC0      |             | HFOSC            |                               |
| H6           | MCU_PORz<br>PADCONFIG:<br>MCU_PADCONFIG22<br>0x04084058       | MCU_PORz        | 0              | I          |             |  |  | 0                            | 1.8V                 | VDDS_OSC0      | あり          | FS RESET         |                               |
| F14          | MCU_RESETSTATz<br>PADCONFIG:<br>MCU_PADCONFIG23<br>0x0408405C | MCU_RESETSTATz  | 0              | O          |             | オフ/Low/オフ                                    | オフ/SS/オフ                                     | 0                            | 1.8V/3.3V            | VDDSHV_MCU     | あり          | LVCMOS           | PU/PD                         |
|              |   | MCU_GPIO0_21    | 7              | IO         | バンド         |  |  |                              |                      |                |             |                  |                               |
| F11          | MCU_RESETz<br>PADCONFIG:<br>MCU_PADCONFIG21<br>0x04084054     | MCU_RESETz      | 0              | I          |             | オン/オフ/アップ                                    | オン/オフ/アップ                                    | 0                            | 1.8V/3.3V            | VDDSHV_MCU     | あり          | LVCMOS           | PU/PD                         |
| C10          | MCU_SPI0_CLK<br>PADCONFIG:<br>MCU_PADCONFIG2<br>0x04084008    | MCU_SPI0_CLK    | 0              | IO         | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV_MCU     | あり          | LVCMOS           | PU/PD                         |
|              |   | MCU_GPIO0_2     | 7              | IO         | バンド         |  |  |                              |                      |                |             |                  |                               |
| B10          | MCU_SPI0_CS0<br>PADCONFIG:<br>MCU_PADCONFIG0<br>0x04084000    | MCU_SPI0_CS0    | 0              | IO         | 1           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV_MCU     | あり          | LVCMOS           | PU/PD                         |
|              |   | WKUP_TIMER_IO1  | 4              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|              |   | MCU_GPIO0_0     | 7              | IO         | バンド         |  |  |                              |                      |                |             |                  |                               |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール<br>番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16]       | 信号名 [3]         | 多重化<br>モード [4] | タイプ<br>[5] | DSIS<br>[6] | リセット<br>時の<br>ボール<br>の状態<br>(RX/TX/PULL) [7] | リセット<br>後の<br>ボール<br>の状態<br>(RX/TX/PULL) [8] | リセット<br>後の<br>多重化<br>モード [9] | I/O<br>動作<br>電圧 [10] | 電源 [11]        | HYS<br>[12] | パッファ<br>タイプ [13] | プル<br>アップ/ダウ<br>ン<br>タイプ [14] |
|---------------|--|-----------------|----------------|------------|-------------|--|--|------------------------------|----------------------|----------------|-------------|------------------|-------------------------------|
| E10           | MCU_SPI0_CS1<br>PADCONFIG:<br>MCU_PADCONFIG1<br>0x04084004   | MCU_SPI0_CS1    | 0              | IO         | 1           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV_MCU     | あり          | LVCMOS           | PU/PD                         |
|               |  | MCU_OBSCLK0     | 1              | O          |             |  |  |                              |                      |                |             |                  |                               |
|               |  | MCU_SYSCLKOUT0  | 2              | O          |             |  |  |                              |                      |                |             |                  |                               |
|               |  | MCU_EXT_REFCLK0 | 3              | I          | 0           |  |  |                              |                      |                |             |                  |                               |
|               |  | MCU_TIMER_IO1   | 4              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
| MCU_GPI00_1   | 7  | IO              | バンド            |            |             |  |  |                              |                      |                |             |                  |                               |
| B11           | MCU_SPI0_D0<br>PADCONFIG:<br>MCU_PADCONFIG3<br>0x0408400C    | MCU_SPI0_D0     | 0              | IO         | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV_MCU     | あり          | LVCMOS           | PU/PD                         |
|               |  | MCU_GPI00_3     | 7              | IO         | バンド         |  |  |                              |                      |                |             |                  |                               |
| D10           | MCU_SPI0_D1<br>PADCONFIG:<br>MCU_PADCONFIG4<br>0x04084010    | MCU_SPI0_D1     | 0              | IO         | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV_MCU     | あり          | LVCMOS           | PU/PD                         |
|               |  | MCU_GPI00_4     | 7              | IO         | バンド         |  |  |                              |                      |                |             |                  |                               |
| B8            | MCU_UART0_CTSn<br>PADCONFIG:<br>MCU_PADCONFIG7<br>0x0408401C | MCU_UART0_CTSn  | 0              | I          | 1           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV_CANUART | あり          | LVCMOS           | PU/PD                         |
|               |  | MCU_TIMER_IO0   | 1              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|               |  | MCU_SPI1_D0     | 3              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|               |  | MCU_GPI00_7     | 7              | IO         | バンド         |  |  |                              |                      |                |             |                  |                               |
| B7            | MCU_UART0_RTSn<br>PADCONFIG:<br>MCU_PADCONFIG8<br>0x04084020 | MCU_UART0_RTSn  | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV_CANUART | あり          | LVCMOS           | PU/PD                         |
|               |  | MCU_TIMER_IO1   | 1              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|               |  | MCU_SPI1_D1     | 3              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|               |  | MCU_GPI00_8     | 7              | IO         | バンド         |  |  |                              |                      |                |             |                  |                               |
| B6            | MCU_UART0_RXD<br>PADCONFIG:<br>MCU_PADCONFIG5<br>0x04084014  | MCU_UART0_RXD   | 0              | I          | 1           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV_CANUART | あり          | LVCMOS           | PU/PD                         |
|               |  | MCU_GPI00_5     | 7              | IO         | バンド         |  |  |                              |                      |                |             |                  |                               |
| C8            | MCU_UART0_TXD<br>PADCONFIG:<br>MCU_PADCONFIG6<br>0x04084018  | MCU_UART0_TXD   | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV_CANUART | あり          | LVCMOS           | PU/PD                         |
|               |  | MCU_GPI00_6     | 7              | IO         | バンド         |  |  |                              |                      |                |             |                  |                               |
| F17           | MDIO0_MDC<br>PADCONFIG:<br>PADCONFIG88<br>0x000F4160         | MDIO0_MDC       | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2        | あり          | LVCMOS           | PU/PD                         |
|               |  | GPIO0_86        | 7              | IO         | バンド         |  |  |                              |                      |                |             |                  |                               |
| F16           | MDIO0_MDIO<br>PADCONFIG:<br>PADCONFIG87<br>0x000F415C        | MDIO0_MDIO      | 0              | IO         | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2        | あり          | LVCMOS           | PU/PD                         |
|               |  | GPIO0_85        | 7              | IO         | バンド         |  |  |                              |                      |                |             |                  |                               |
| AC5           | MMC0_CALPAD  | MMC0_CALPAD     |                | A          |             |  |  |                              | 1.8V                 | VDD5_MMC0      | なし          | eMMC PHY         |                               |
| AA6           | MMC0_CLK   | MMC0_CLK        |                | O          |             | オン/Low/オフ                                    | オン/SS/オフ                                     |                              | 1.8V                 | VDD5_MMC0      | なし          | eMMC PHY         | PU/PD                         |
| AB8           | MMC0_CMD   | MMC0_CMD        |                | IO         |             | オン/ハイ/アップ                                    | オン/SS/アップ                                    |                              | 1.8V                 | VDD5_MMC0      | なし          | eMMC PHY         | PU/PD                         |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1]     | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]    | 多重化<br>モード [4]                                      | タイプ<br>[5] | DSIS<br>[6] | リセット<br>時の<br>ボール<br>の状態<br>(RX/TX/PULL) [7] | リセット<br>後の<br>ボール<br>の状態<br>(RX/TX/PULL) [8] | リセット<br>後の<br>多重化<br>モード [9] | I/O<br>動作<br>電圧 [10] | 電源 [11]   | HYS<br>[12] | バッファ<br>タイプ [13] | プル<br>アップ/ダウ<br>ン<br>タイプ [14] |
|---------------|--|------------|---|------------|-------------|--|--|------------------------------|----------------------|-----------|-------------|------------------|-------------------------------|
| AD5           | MMC0_DS  | MMC0_DS    |   | I          |             | オン / オフ / ダウン                                | オン / オフ / ダウン                                |                              | 1.8V                 | VDD5_MMC0 | なし          | eMMCPHY          | PU/PD                         |
| J24           | MMC1_CLK<br>PADCONFIG:<br>PADCONFIG141<br>0x000F4234   | MMC1_CLK   | 0   | O          | 0           | オフ / オフ / オフ                                 | オフ / オフ / オフ                                 | 7                            | 1.8V/3.3V            | VDDSHV5   | あり          | SDIO             | PU/PD                         |
|               |  | TIMER_IO4  | 2   | IO         | 0           |  |  |                              |                      |           |             |                  |                               |
|               |  | UART3_RXD  | 3   | I          | 1           |  |  |                              |                      |           |             |                  |                               |
|               |  | SPI1_CS0   | 5   | IO         | 1           |  |  |                              |                      |           |             |                  |                               |
|               |  | SPI2_CS2   | 6   | IO         | 1           |  |  |                              |                      |           |             |                  |                               |
| GPIO1_46      | 7  | IO         | バンド   |            |             |  |  |                              |                      |           |             |                  |                               |
| H20           | MMC1_CMD<br>PADCONFIG:<br>PADCONFIG143<br>0x000F423C   | MMC1_CMD   | 0   | IO         | 1           | オフ / オフ / オフ                                 | オフ / オフ / オフ                                 | 7                            | 1.8V/3.3V            | VDDSHV5   | あり          | SDIO             | PU/PD                         |
|               |  | TIMER_IO5  | 2   | IO         | 0           |  |  |                              |                      |           |             |                  |                               |
|               |  | UART3_TXD  | 3   | O          |             |  |  |                              |                      |           |             |                  |                               |
|               |  | SPI1_CLK   | 5   | IO         | 0           |  |  |                              |                      |           |             |                  |                               |
|               |  | SPI2_CS0   | 6   | IO         | 1           |  |  |                              |                      |           |             |                  |                               |
|               |  | GPIO1_47   | 7   | IO         | バンド         |  |  |                              |                      |           |             |                  |                               |
| D23           | MMC1_SDCD<br>PADCONFIG:<br>PADCONFIG144<br>0x000F4240  | MMC1_SDCD  | 0   | I          | 0           | オフ / オフ / オフ                                 | オフ / オフ / オフ                                 | 7                            | 1.8V/3.3V            | VDDSHV0   | あり          | LVCMOS           | PU/PD                         |
|               |  | UART6_RXD  | 1   | I          | 1           |  |  |                              |                      |           |             |                  |                               |
|               |  | TIMER_IO6  | 2   | IO         | 0           |  |  |                              |                      |           |             |                  |                               |
|               |  | UART3_RTSn | 3   | O          |             |  |  |                              |                      |           |             |                  |                               |
|               |  | MCAN1_TX   | 4   | O          |             |  |  |                              |                      |           |             |                  |                               |
|               |  | SPI1_CS3   | 5   | IO         | 1           |  |  |                              |                      |           |             |                  |                               |
|               |  | SPI2_CLK   | 6   | IO         | 0           |  |  |                              |                      |           |             |                  |                               |
|               |  | GPIO1_48   | 7   | IO         | バンド         |  |  |                              |                      |           |             |                  |                               |
| D24           | MMC1_SDWP<br>PADCONFIG:<br>PADCONFIG145<br>0x000F4244  | MMC1_SDWP  | 0   | I          | 0           | オフ / オフ / オフ                                 | オフ / オフ / オフ                                 | 7                            | 1.8V/3.3V            | VDDSHV0   | あり          | LVCMOS           | PU/PD                         |
|               |  | UART6_TXD  | 1   | O          |             |  |  |                              |                      |           |             |                  |                               |
|               |  | TIMER_IO7  | 2   | IO         | 0           |  |  |                              |                      |           |             |                  |                               |
|               |  | UART3_CTSn | 3   | I          | 1           |  |  |                              |                      |           |             |                  |                               |
|               |  | MCAN1_RX   | 4   | I          | 1           |  |  |                              |                      |           |             |                  |                               |
|               |  | SPI1_CS1   | 5   | IO         | 1           |  |  |                              |                      |           |             |                  |                               |
|               |  | GPIO1_49   | 7   | IO         | バンド         |  |  |                              |                      |           |             |                  |                               |
|               |  | K21        | MMC2_CLK<br>PADCONFIG:<br>PADCONFIG70<br>0x000F4118 | MMC2_CLK   | 0           |  |  |                              |                      |           |             |                  |                               |
| MCASP1_ACLKR  | 1  |            |   | IO         | 0           |  |  |                              |                      |           |             |                  |                               |
| MCASP1_AXR5   | 2  |            |   | IO         | 0           |  |  |                              |                      |           |             |                  |                               |
| UART6_RXD     | 3  |            |   | I          | 1           |  |  |                              |                      |           |             |                  |                               |
| EHRPWM0_SYNCI | 4  |            |   | I          | 0           |  |  |                              |                      |           |             |                  |                               |
| I2C3_SCL      | 6  |            |   | IOD        | 1           |  |  |                              |                      |           |             |                  |                               |
| GPIO0_69      | 7  |            |   | IO         | バンド         |  |  |                              |                      |           |             |                  |                               |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]                  | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O動作電圧 [10] | 電源 [11]  | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|-----------|--|--------------------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|--------------|----------|----------|--------------|-------------------|
| K24       | MMC2_CMD<br>PADCONFIG:<br>PADCONFIG72<br>0x000F4120    | MMC2_CMD                 | 0          | IO      | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV6  | あり       | SDIO         | PU/PD             |
|           |  | MCASP1_AFSR              | 1          | IO      | 0        |                               |                               |                  |              |          |          |              |                   |
|           |  | MCASP1_AXR4              | 2          | IO      | 0        |                               |                               |                  |              |          |          |              |                   |
|           |  | UART6_TXD                | 3          | O       |          |                               |                               |                  |              |          |          |              |                   |
|           |  | EHRPWM0_SYNCO            | 4          | O       |          |                               |                               |                  |              |          |          |              |                   |
|           |  | EHRPWM_TZn_IN0           | 5          | I       | 0        |                               |                               |                  |              |          |          |              |                   |
|           |  | I2C3_SDA                 | 6          | IOD     | 1        |                               |                               |                  |              |          |          |              |                   |
| GPIO0_70  | 7  | IO                       | バンド        |         |          |                               |                               |                  |              |          |          |              |                   |
| J25       | MMC2_SDCD<br>PADCONFIG:<br>PADCONFIG73<br>0x000F4124   | MMC2_SDCD                | 0          | I       | 0        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV6  | あり       | LVCMOS       | PU/PD             |
|           |  | MCASP1_ACLKX             | 1          | IO      | 0        |                               |                               |                  |              |          |          |              |                   |
|           |  | UART4_RXD                | 3          | I       | 1        |                               |                               |                  |              |          |          |              |                   |
|           |  | EHRPWM2_A                | 4          | IO      | 0        |                               |                               |                  |              |          |          |              |                   |
|           |  | EHRPWM_TZn_IN1           | 5          | I       | 0        |                               |                               |                  |              |          |          |              |                   |
| GPIO0_71  | 7  | IO                       | バンド        |         |          |                               |                               |                  |              |          |          |              |                   |
| K25       | MMC2_SDWP<br>PADCONFIG:<br>PADCONFIG74<br>0x000F4128   | MMC2_SDWP                | 0          | I       | 0        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV6  | あり       | LVCMOS       | PU/PD             |
|           |  | MCASP1_AFSX              | 1          | IO      | 0        |                               |                               |                  |              |          |          |              |                   |
|           |  | UART4_TXD                | 3          | O       |          |                               |                               |                  |              |          |          |              |                   |
|           |  | EHRPWM2_B                | 4          | IO      | 0        |                               |                               |                  |              |          |          |              |                   |
|           |  | EHRPWM_TZn_IN2           | 5          | I       | 0        |                               |                               |                  |              |          |          |              |                   |
| GPIO0_72  | 7  | IO                       | バンド        |         |          |                               |                               |                  |              |          |          |              |                   |
| AC7       | MMC0_DAT0  | MMC0_DAT0                |            | IO      |          | オン/オフ/アップ                     | オン/SS/アップ                     |                  | 1.8V         | VDD_MMC0 | なし       | eMMCPHY      | PU/PD             |
| AB7       | MMC0_DAT1  | MMC0_DAT1                |            | IO      |          | オン/オフ/アップ                     | オン/SS/アップ                     |                  | 1.8V         | VDD_MMC0 | なし       | eMMCPHY      | PU/PD             |
| AD6       | MMC0_DAT2  | MMC0_DAT2                |            | IO      |          | オン/オフ/アップ                     | オン/SS/アップ                     |                  | 1.8V         | VDD_MMC0 | なし       | eMMCPHY      | PU/PD             |
| AE5       | MMC0_DAT3  | MMC0_DAT3                |            | IO      |          | オン/オフ/アップ                     | オン/SS/アップ                     |                  | 1.8V         | VDD_MMC0 | なし       | eMMCPHY      | PU/PD             |
| AE6       | MMC0_DAT4  | MMC0_DAT4                |            | IO      |          | オン/オフ/アップ                     | オン/SS/アップ                     |                  | 1.8V         | VDD_MMC0 | なし       | eMMCPHY      | PU/PD             |
| AC6       | MMC0_DAT5  | MMC0_DAT5                |            | IO      |          | オン/オフ/アップ                     | オン/SS/アップ                     |                  | 1.8V         | VDD_MMC0 | なし       | eMMCPHY      | PU/PD             |
| AA7       | MMC0_DAT6  | MMC0_DAT6                |            | IO      |          | オン/オフ/アップ                     | オン/SS/アップ                     |                  | 1.8V         | VDD_MMC0 | なし       | eMMCPHY      | PU/PD             |
| AB6       | MMC0_DAT7  | MMC0_DAT7                |            | IO      |          | オン/オフ/アップ                     | オン/SS/アップ                     |                  | 1.8V         | VDD_MMC0 | なし       | eMMCPHY      | PU/PD             |
| H21       | MMC1_DAT0<br>PADCONFIG:<br>PADCONFIG140<br>0x000F4230  | MMC1_DAT0                | 0          | IO      | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV5  | あり       | SDIO         | PU/PD             |
|           |  | CP_GEMAC_CPTS0_HW2TSPUSH | 1          | I       | 0        |                               |                               |                  |              |          |          |              |                   |
|           |  | TIMER_IO3                | 2          | IO      | 0        |                               |                               |                  |              |          |          |              |                   |
|           |  | UART2_CTSn               | 3          | I       | 1        |                               |                               |                  |              |          |          |              |                   |
|           |  | ECAP2_IN_APWM_OUT        | 4          | IO      | 0        |                               |                               |                  |              |          |          |              |                   |
|           |  | SPI2_D1                  | 6          | IO      | 0        |                               |                               |                  |              |          |          |              |                   |
| GPIO1_45  | 7  | IO                       | バンド        |         |          |                               |                               |                  |              |          |          |              |                   |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]                  | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O 動作電圧 [10] | 電源 [11] | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|-----------|--|--------------------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|---------------|---------|----------|--------------|-------------------|
| H23       | MMC1_DAT1<br>PADCONFIG:<br>PADCONFIG139<br>0x000F422C  | MMC1_DAT1                | 0          | IO      | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV5 | あり       | SDIO         | PU/PD             |
|           |  | CP_GEMAC_CPTS0_HW1TSPUSH | 1          | I       | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | TIMER_IO2                | 2          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | UART2_RTSn               | 3          | O       |          |                               |                               |                  |               |         |          |              |                   |
|           |  | ECAP1_IN_APWM_OUT        | 4          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | SPI1_CS2                 | 5          | IO      | 1        |                               |                               |                  |               |         |          |              |                   |
|           |  | SPI2_D0                  | 6          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |
| GPIO1_44  | 7  | IO                       | バンド        |         |          |                               |                               |                  |               |         |          |              |                   |
| H22       | MMC1_DAT2<br>PADCONFIG:<br>PADCONFIG138<br>0x000F4228  | MMC1_DAT2                | 0          | IO      | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV5 | あり       | SDIO         | PU/PD             |
|           |  | CP_GEMAC_CPTS0_TS_SYNC   | 1          | O       |          |                               |                               |                  |               |         |          |              |                   |
|           |  | TIMER_IO1                | 2          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | UART2_TXD                | 3          | O       |          |                               |                               |                  |               |         |          |              |                   |
|           |  | MCAN1_RX                 | 4          | I       | 1        |                               |                               |                  |               |         |          |              |                   |
|           |  | SPI1_D1                  | 5          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | SPI2_CS3                 | 6          | IO      | 1        |                               |                               |                  |               |         |          |              |                   |
| GPIO1_43  | 7  | IO                       | バンド        |         |          |                               |                               |                  |               |         |          |              |                   |
| H25       | MMC1_DAT3<br>PADCONFIG:<br>PADCONFIG137<br>0x000F4224  | MMC1_DAT3                | 0          | IO      | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV5 | あり       | SDIO         | PU/PD             |
|           |  | CP_GEMAC_CPTS0_TS_COMP   | 1          | O       |          |                               |                               |                  |               |         |          |              |                   |
|           |  | TIMER_IO0                | 2          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | UART2_RXD                | 3          | I       | 1        |                               |                               |                  |               |         |          |              |                   |
|           |  | MCAN1_TX                 | 4          | O       |          |                               |                               |                  |               |         |          |              |                   |
|           |  | SPI1_D0                  | 5          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | SPI2_CS1                 | 6          | IO      | 1        |                               |                               |                  |               |         |          |              |                   |
| GPIO1_42  | 7  | IO                       | バンド        |         |          |                               |                               |                  |               |         |          |              |                   |
| K23       | MMC2_DAT0<br>PADCONFIG:<br>PADCONFIG69<br>0x000F4114   | MMC2_DAT0                | 0          | IO      | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV6 | あり       | SDIO         | PU/PD             |
|           |  | MCASP1_AXR0              | 1          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | EHRPWM1_B                | 4          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | I2C2_SCL                 | 5          | IOD     | 1        |                               |                               |                  |               |         |          |              |                   |
|           |  | GPIO0_68                 | 7          | IO      | バンド      |                               |                               |                  |               |         |          |              |                   |
| K22       | MMC2_DAT1<br>PADCONFIG:<br>PADCONFIG68<br>0x000F4110   | MMC2_DAT1                | 0          | IO      | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV6 | あり       | SDIO         | PU/PD             |
|           |  | MCASP1_AXR1              | 1          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | EHRPWM1_A                | 4          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |
|           |  | I2C2_SDA                 | 5          | IOD     | 1        |                               |                               |                  |               |         |          |              |                   |
|           |  | GPIO0_67                 | 7          | IO      | バンド      |                               |                               |                  |               |         |          |              |                   |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]     | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O動作電圧 [10] | 電源 [11]       | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|-----------|--|-------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|--------------|---------------|----------|--------------|-------------------|
| L20       | MMC2_DAT2<br>PADCONFIG: PADCONFIG67<br>0x000F410C      | MMC2_DAT2   | 0          | IO      | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV6       | あり       | SDIO         | PU/PD             |
|           |  | MCASP1_AXR2 | 1          | IO      | 0        |                               |                               |                  |              |               |          |              |                   |
|           |  | UART5_TXD   | 3          | O       |          |                               |                               |                  |              |               |          |              |                   |
|           |  | EHRPWM0_B   | 4          | IO      | 0        |                               |                               |                  |              |               |          |              |                   |
|           |  | I2C2_SDA    | 5          | IOD     | 1        |                               |                               |                  |              |               |          |              |                   |
| GPIO0_66  | 7  | IO          | バンド        |         |          |                               |                               |                  |              |               |          |              |                   |
| L21       | MMC2_DAT3<br>PADCONFIG: PADCONFIG66<br>0x000F4108      | MMC2_DAT3   | 0          | IO      | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV6       | あり       | SDIO         | PU/PD             |
|           |  | MCASP1_AXR3 | 1          | IO      | 0        |                               |                               |                  |              |               |          |              |                   |
|           |  | UART5_RXD   | 3          | I       | 1        |                               |                               |                  |              |               |          |              |                   |
|           |  | EHRPWM0_A   | 4          | IO      | 0        |                               |                               |                  |              |               |          |              |                   |
|           |  | GPIO0_65    | 7          | IO      | バンド      |                               |                               |                  |              |               |          |              |                   |
| AE20      | OLDI0_A0N  | OLDI0_A0N   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AD20      | OLDI0_A0P  | OLDI0_A0P   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AC19      | OLDI0_A1N  | OLDI0_A1N   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AD19      | OLDI0_A1P  | OLDI0_A1P   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AA19      | OLDI0_A2N  | OLDI0_A2N   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AB19      | OLDI0_A2P  | OLDI0_A2P   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AD18      | OLDI0_A3N  | OLDI0_A3N   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AE19      | OLDI0_A3P  | OLDI0_A3P   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AD17      | OLDI0_A4N  | OLDI0_A4N   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AD16      | OLDI0_A4P  | OLDI0_A4P   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AB17      | OLDI0_A5N  | OLDI0_A5N   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AC17      | OLDI0_A5P  | OLDI0_A5P   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AC16      | OLDI0_A6N  | OLDI0_A6N   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AC15      | OLDI0_A6P  | OLDI0_A6P   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AB16      | OLDI0_A7N  | OLDI0_A7N   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AA16      | OLDI0_A7P  | OLDI0_A7P   |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AE18      | OLDI0_CLK0N  | OLDI0_CLK0N |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AE17      | OLDI0_CLK0P  | OLDI0_CLK0P |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AD15      | OLDI0_CLK1N  | OLDI0_CLK1N |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| AD14      | OLDI0_CLK1P  | OLDI0_CLK1P |            | IO      |          |                               |                               |                  | 1.8V         | VDDA_1P8_OLDI |          | OLDI         |                   |
| P23       | OSPI0_CLK<br>PADCONFIG: PADCONFIG0<br>0x000F4000       | OSPI0_CLK   | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV1       | あり       | LVCMOS       | PU/PD             |
|           |  | GPIO0_0     | 7          | IO      | バンド      |                               |                               |                  |              |               |          |              |                   |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]          | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O 動作電圧 [10] | 電源 [11] | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |  |
|-----------|--|------------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|---------------|---------|----------|--------------|-------------------|--|
| P22       | OSPI0_DQS<br>PADCONFIG: PADCONFIG2<br>0x000F4008       | OSPI0_DQS        | 0          | I       | 0        |                               |                               |                  |               |         |          |              |                   |  |
|           |  | UART5_CTSn       | 5          | I       | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV1 | あり       | LVC MOS      | PU/PD             |  |
|           |  | GPIO0_2          | 7          | IO      | バンド      |                               |                               |                  |               |         |          |              |                   |  |
| N23       | OSPI0_LBCLKO<br>PADCONFIG: PADCONFIG1<br>0x000F4004    | OSPI0_LBCLKO     | 0          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |  |
|           |  | UART5_RTSn       | 5          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV1 | あり       | LVC MOS      | PU/PD             |  |
|           |  | GPIO0_1          | 7          | IO      | バンド      |                               |                               |                  |               |         |          |              |                   |  |
| M25       | OSPI0_CSn0<br>PADCONFIG: PADCONFIG11<br>0x000F402C     | OSPI0_CSn0       | 0          | O       |          |                               |                               |                  |               |         |          |              |                   |  |
|           |  | GPIO0_11         | 7          | IO      | バンド      | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV1 | あり       | LVC MOS      | PU/PD             |  |
| L24       | OSPI0_CSn1<br>PADCONFIG: PADCONFIG12<br>0x000F4030     | OSPI0_CSn1       | 0          | O       |          |                               |                               |                  |               |         |          |              |                   |  |
|           |  | GPIO0_12         | 7          | IO      | バンド      | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV1 | あり       | LVC MOS      | PU/PD             |  |
| L22       | OSPI0_CSn2<br>PADCONFIG: PADCONFIG13<br>0x000F4034     | OSPI0_CSn2       | 0          | O       |          |                               |                               |                  |               |         |          |              |                   |  |
|           |  | SPI1_CS1         | 1          | IO      | 1        |                               |                               |                  |               |         |          |              |                   |  |
|           |  | OSPI0_RESET_OUT1 | 2          | O       |          |                               |                               |                  |               |         |          |              |                   |  |
|           |  | MCASP1_AFSR      | 3          | IO      | 0        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV1 | あり       | LVC MOS      | PU/PD             |  |
|           |  | MCASP1_AXR2      | 4          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |  |
|           |  | UART5_RXD        | 5          | I       | 1        |                               |                               |                  |               |         |          |              |                   |  |
| L23       | OSPI0_CSn3<br>PADCONFIG: PADCONFIG14<br>0x000F4038     | GPIO0_13         | 7          | IO      | バンド      |                               |                               |                  |               |         |          |              |                   |  |
|           |  | OSPI0_CSn3       | 0          | O       |          |                               |                               |                  |               |         |          |              |                   |  |
|           |  | OSPI0_RESET_OUT0 | 1          | O       |          |                               |                               |                  |               |         |          |              |                   |  |
|           |  | OSPI0_ECC_FAIL   | 2          | I       | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV1 | あり       | LVC MOS      | PU/PD             |  |
|           |  | MCASP1_ACLKR     | 3          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |  |
|           |  | MCASP1_AXR3      | 4          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |  |
| L25       | OSPI0_D0<br>PADCONFIG: PADCONFIG3<br>0x000F400C        | UART5_TXD        | 5          | O       |          |                               |                               |                  |               |         |          |              |                   |  |
|           |  | GPIO0_14         | 7          | IO      | バンド      |                               |                               |                  |               |         |          |              |                   |  |
| L25       | OSPI0_D0<br>PADCONFIG: PADCONFIG3<br>0x000F400C        | OSPI0_D0         | 0          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |  |
|           |  | GPIO0_3          | 7          | IO      | バンド      | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV1 | あり       | LVC MOS      | PU/PD             |  |
| N24       | OSPI0_D1<br>PADCONFIG: PADCONFIG4<br>0x000F4010        | OSPI0_D1         | 0          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |  |
|           |  | GPIO0_4          | 7          | IO      | バンド      | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV1 | あり       | LVC MOS      | PU/PD             |  |
| N25       | OSPI0_D2<br>PADCONFIG: PADCONFIG5<br>0x000F4014        | OSPI0_D2         | 0          | IO      | 0        |                               |                               |                  |               |         |          |              |                   |  |
|           |  | GPIO0_5          | 7          | IO      | バンド      | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV1 | あり       | LVC MOS      | PU/PD             |  |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16]      | 信号名 [3]      | 多重化<br>モード [4] | タイプ<br>[5] | DSIS<br>[6] | リセット<br>時の<br>ボール<br>の状態<br>(RX/TX/PULL) [7] | リセット<br>後の<br>ボール<br>の状態<br>(RX/TX/PULL) [8] | リセット<br>後の<br>多重化<br>モード [9] | I/O<br>動作<br>電圧 [10] | 電源 [11]        | HYS<br>[12] | パッファ<br>タイプ [13] | プル<br>アップ/ダウ<br>ン<br>タイプ [14] |
|-----------|---|--------------|----------------|------------|-------------|--|--|------------------------------|----------------------|----------------|-------------|------------------|-------------------------------|
| M24       | OSPI0_D3<br>PADCONFIG:<br>PADCONFIG6<br>0x000F4018          | OSPI0_D3     | 0              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|           |   | GPIO0_6      | 7              | IO         | パッド         | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV1        | あり          | LVC MOS          | PU/PD                         |
| N21       | OSPI0_D4<br>PADCONFIG:<br>PADCONFIG7<br>0x000F401C          | OSPI0_D4     | 0              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|           |   | SPI1_CS0     | 1              | IO         | 1           |  |  |                              |                      |                |             |                  |                               |
|           |   | MCASP1_AXR1  | 2              | IO         | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV1        | あり          | LVC MOS          | PU/PD                         |
|           |   | UART6_RXD    | 3              | I          | 1           |  |  |                              |                      |                |             |                  |                               |
| N22       | OSPI0_D5<br>PADCONFIG:<br>PADCONFIG8<br>0x000F4020          | GPIO0_7      | 7              | IO         | パッド         |  |  |                              |                      |                |             |                  |                               |
|           |   | OSPI0_D5     | 0              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|           |   | SPI1_CLK     | 1              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|           |   | MCASP1_AXR0  | 2              | IO         | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV1        | あり          | LVC MOS          | PU/PD                         |
|           |   | UART6_TXD    | 3              | O          |             |  |  |                              |                      |                |             |                  |                               |
| P21       | OSPI0_D6<br>PADCONFIG:<br>PADCONFIG9<br>0x000F4024          | GPIO0_8      | 7              | IO         | パッド         |  |  |                              |                      |                |             |                  |                               |
|           |   | OSPI0_D6     | 0              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|           |   | SPI1_D0      | 1              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|           |   | MCASP1_ACLKX | 2              | IO         | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV1        | あり          | LVC MOS          | PU/PD                         |
|           |   | UART6_RTSn   | 3              | O          |             |  |  |                              |                      |                |             |                  |                               |
| N20       | OSPI0_D7<br>PADCONFIG:<br>PADCONFIG10<br>0x000F4028         | GPIO0_9      | 7              | IO         | パッド         |  |  |                              |                      |                |             |                  |                               |
|           |   | OSPI0_D7     | 0              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|           |   | SPI1_D1      | 1              | IO         | 0           |  |  |                              |                      |                |             |                  |                               |
|           |   | MCASP1_AFSX  | 2              | IO         | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV1        | あり          | LVC MOS          | PU/PD                         |
|           |   | UART6_CTSn   | 3              | I          | 1           |  |  |                              |                      |                |             |                  |                               |
| B9        | PMIC_LPM_EN0<br>PADCONFIG:<br>MCU_PADCONFIG32<br>0x04084080 | PMIC_LPM_EN0 | 0              | O          |             |  |  |                              |                      |                |             |                  |                               |
|           |   | MCU_GPIO0_22 | 7              | IO         | パッド         | オフ/オフ/オフ                                     | オフ/SS/オフ                                     | 0                            | 1.8V/3.3V            | VDDSHV_CANUART | あり          | LVC MOS          | PU/PD                         |
| H24       | PORz_OUT<br>PADCONFIG:<br>PADCONFIG148<br>0x000F4250        | PORz_OUT     | 0              | O          |             | オフ/Low/オフ                                    | オフ/SS/オフ                                     | 0                            | 1.8V/3.3V            | VDDSHV0        | あり          | LVC MOS          | PU/PD                         |
| G25       | RESETSTATz<br>PADCONFIG:<br>PADCONFIG147<br>0x000F424C      | RESETSTATz   | 0              | O          |             | オフ/Low/オフ                                    | オフ/SS/オフ                                     | 0                            | 1.8V/3.3V            | VDDSHV0        | あり          | LVC MOS          | PU/PD                         |
| G24       | RESET_REQz<br>PADCONFIG:<br>PADCONFIG146<br>0x000F4248      | RESET_REQz   | 0              | I          |             | オン/オフ/アップ                                    | オン/オフ/アップ                                    | 0                            | 1.8V/3.3V            | VDDSHV0        | あり          | LVC MOS          | PU/PD                         |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16]   | 信号名 [3]       | 多重化<br>モード [4] | タイプ<br>[5] | DSIS<br>[6] | リセット<br>時の<br>ボール<br>の状態<br>(RX/TX/PULL) [7] | リセット<br>後の<br>ボール<br>の状態<br>(RX/TX/PULL) [8] | リセット<br>後の<br>多重化<br>モード [9] | I/O<br>動作<br>電圧 [10] | 電源 [11] | HYS<br>[12] | バッファ<br>タイプ [13] | プル<br>アップ/ダウ<br>ン<br>タイプ [14] |
|-----------|--|---------------|----------------|------------|-------------|--|--|------------------------------|----------------------|---------|-------------|------------------|-------------------------------|
| A16       | RGMII1_RXC<br>PADCONFIG:<br>PADCONFIG82<br>0x000F4148    | RGMII1_RXC    | 0              | I          | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | RMII1_REF_CLK | 1              | I          | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2 | あり          | LVC MOS          | PU/PD                         |
|           |  | GPIO0_80      | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
| A15       | RGMII1_RX_CTL<br>PADCONFIG:<br>PADCONFIG81<br>0x000F4144 | RGMII1_RX_CTL | 0              | I          | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | RMII1_RX_ER   | 1              | I          | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2 | あり          | LVC MOS          | PU/PD                         |
|           |  | GPIO0_79      | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
| B17       | RGMII1_TXC<br>PADCONFIG:<br>PADCONFIG76<br>0x000F4130    | RGMII1_TXC    | 0              | O          |             |  |  |                              |                      |         |             |                  |                               |
|           |  | RMII1_CRS_DV  | 1              | I          | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2 | あり          | LVC MOS          | PU/PD                         |
|           |  | GPIO0_74      | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
| B18       | RGMII1_TX_CTL<br>PADCONFIG:<br>PADCONFIG75<br>0x000F412C | RGMII1_TX_CTL | 0              | O          |             |  |  |                              |                      |         |             |                  |                               |
|           |  | RMII1_TX_EN   | 1              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2 | あり          | LVC MOS          | PU/PD                         |
|           |  | GPIO0_73      | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
| D19       | RGMII2_RXC<br>PADCONFIG:<br>PADCONFIG96<br>0x000F4180    | RGMII2_RXC    | 0              | I          | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | RMII2_REF_CLK | 1              | I          | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2 | あり          | LVC MOS          | PU/PD                         |
|           |  | MCASP2_AXR1   | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | GPIO1_2       | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
| F19       | RGMII2_RX_CTL<br>PADCONFIG:<br>PADCONFIG95<br>0x000F417C | RGMII2_RX_CTL | 0              | I          | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | RMII2_RX_ER   | 1              | I          | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2 | あり          | LVC MOS          | PU/PD                         |
|           |  | MCASP2_AXR3   | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | GPIO1_1       | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
| D16       | RGMII2_TXC<br>PADCONFIG:<br>PADCONFIG90<br>0x000F4168    | RGMII2_TXC    | 0              | O          |             |  |  |                              |                      |         |             |                  |                               |
|           |  | RMII2_CRS_DV  | 1              | I          | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2 | あり          | LVC MOS          | PU/PD                         |
|           |  | MCASP2_AXR5   | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | GPIO0_88      | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
| A20       | RGMII2_TX_CTL<br>PADCONFIG:<br>PADCONFIG89<br>0x000F4164 | RGMII2_TX_CTL | 0              | O          |             |  |  |                              |                      |         |             |                  |                               |
|           |  | RMII2_TX_EN   | 1              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2 | あり          | LVC MOS          | PU/PD                         |
|           |  | MCASP2_AXR4   | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | GPIO0_87      | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
| B15       | RGMII1_RD0<br>PADCONFIG:<br>PADCONFIG83<br>0x000F414C    | RGMII1_RD0    | 0              | I          | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | RMII1_RXD0    | 1              | I          | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2 | あり          | LVC MOS          | PU/PD                         |
|           |  | GPIO0_81      | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
| B16       | RGMII1_RD1<br>PADCONFIG:<br>PADCONFIG84<br>0x000F4150    | RGMII1_RD1    | 0              | I          | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | RMII1_RXD1    | 1              | I          | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2 | あり          | LVC MOS          | PU/PD                         |
|           |  | GPIO0_82      | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]    | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O動作電圧 [10] | 電源 [11] | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|-----------|--|------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|--------------|---------|----------|--------------|-------------------|
| A14       | RGMII1_RD2<br>PADCONFIG: PADCONFIG85<br>0x000F4154     | RGMII1_RD2 | 0          | I       | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO0_83   | 7          | IO      | バンド      | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV2 | あり       | LVC MOS      | PU/PD             |
| B14       | RGMII1_RD3<br>PADCONFIG: PADCONFIG86<br>0x000F4158     | RGMII1_RD3 | 0          | I       | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO0_84   | 7          | IO      | バンド      | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV2 | あり       | LVC MOS      | PU/PD             |
| A18       | RGMII1_TD0<br>PADCONFIG: PADCONFIG77<br>0x000F4134     | RGMII1_TD0 | 0          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO0_75   | 7          | IO      | バンド      | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV2 | あり       | LVC MOS      | PU/PD             |
| C17       | RGMII1_TD1<br>PADCONFIG: PADCONFIG78<br>0x000F4138     | RGMII1_TD1 | 0          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO0_76   | 7          | IO      | バンド      | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV2 | あり       | LVC MOS      | PU/PD             |
| A17       | RGMII1_TD2<br>PADCONFIG: PADCONFIG79<br>0x000F413C     | RGMII1_TD2 | 0          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO0_77   | 7          | IO      | バンド      | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV2 | あり       | LVC MOS      | PU/PD             |
| C16       | RGMII1_TD3<br>PADCONFIG: PADCONFIG80<br>0x000F4140     | RGMII1_TD3 | 0          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO0_78   | 7          | IO      | バンド      | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV2 | あり       | LVC MOS      | PU/PD             |
| E19       | RGMII2_RD0<br>PADCONFIG: PADCONFIG97<br>0x000F4184     | RGMII2_RD0 | 0          | I       | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO1_3    | 7          | IO      | バンド      | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV2 | あり       | LVC MOS      | PU/PD             |
| E16       | RGMII2_RD1<br>PADCONFIG: PADCONFIG98<br>0x000F4188     | RGMII2_RD1 | 0          | I       | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO1_4    | 7          | IO      | バンド      | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV2 | あり       | LVC MOS      | PU/PD             |
| E17       | RGMII2_RD2<br>PADCONFIG: PADCONFIG99<br>0x000F418C     | RGMII2_RD2 | 0          | I       | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO1_5    | 7          | IO      | バンド      | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV2 | あり       | LVC MOS      | PU/PD             |
| C19       | RGMII2_RD3<br>PADCONFIG: PADCONFIG100<br>0x000F4190    | RGMII2_RD3 | 0          | I       | 0        |                               |                               |                  |              |         |          |              |                   |
|           |  | GPIO1_6    | 7          | IO      | バンド      | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV2 | あり       | LVC MOS      | PU/PD             |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]                | 多重化<br>モード [4] | タイプ<br>[5] | DSIS<br>[6] | リセット<br>時の<br>ボール<br>の状態<br>(RX/TX/PULL) [7] | リセット<br>後の<br>ボール<br>の状態<br>(RX/TX/PULL) [8] | リセット<br>後の<br>多重化<br>モード [9] | I/O<br>動作<br>電圧 [10] | 電源 [11] | HYS<br>[12] | パッファ<br>タイプ [13] | プル<br>アップ/ダウ<br>ン<br>タイプ [14] |
|-----------|--|------------------------|----------------|------------|-------------|--|--|------------------------------|----------------------|---------|-------------|------------------|-------------------------------|
| B19       | RGMII2_TD0<br>PADCONFIG:<br>PADCONFIG91<br>0x000F416C  | RGMII2_TD0             | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2 | あり          | LVCMOS           | PU/PD                         |
|           |  | RMII2_TXD0             | 1              | O          |             |  |  |                              |                      |         |             |                  |                               |
|           |  | MCASP2_AXR6            | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | GPIO0_89               | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
| A21       | RGMII2_TD1<br>PADCONFIG:<br>PADCONFIG92<br>0x000F4170  | RGMII2_TD1             | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2 | あり          | LVCMOS           | PU/PD                         |
|           |  | RMII2_TXD1             | 1              | O          |             |  |  |                              |                      |         |             |                  |                               |
|           |  | MCASP2_ACLKR           | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | MCASP2_AXR8            | 5              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
| D17       | RGMII2_TD2<br>PADCONFIG:<br>PADCONFIG93<br>0x000F4174  | RGMII2_TD2             | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2 | あり          | LVCMOS           | PU/PD                         |
|           |  | MCASP2_AFSX            | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | GPIO0_91               | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
|           |  | EQEP2_I                | 8              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
| A19       | RGMII2_TD3<br>PADCONFIG:<br>PADCONFIG94<br>0x000F4178  | RGMII2_TD3             | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV2 | あり          | LVCMOS           | PU/PD                         |
|           |  | CLKOUT0                | 1              | O          |             |  |  |                              |                      |         |             |                  |                               |
|           |  | MCASP2_ACLKX           | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | GPIO1_0                | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
|           |  | EQEP2_S                | 8              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
| Y13       | RSVD0  | RSVD0                  |                | 該当なし       |             |  |  |                              |                      |         |             |                  |                               |
| Y14       | RSVD1  | RSVD1                  |                | 該当なし       |             |  |  |                              |                      |         |             |                  |                               |
| Y17       | RSVD2  | RSVD2                  |                | 該当なし       |             |  |  |                              |                      |         |             |                  |                               |
| Y19       | RSVD3  | RSVD3                  |                | 該当なし       |             |  |  |                              |                      |         |             |                  |                               |
| AA17      | RSVD4  | RSVD4                  |                | 該当なし       |             |  |  |                              |                      |         |             |                  |                               |
| B5        | RSVD5  | RSVD5                  |                | 該当なし       |             |  |  |                              |                      |         |             |                  |                               |
| C5        | RSVD6  | RSVD6                  |                | 該当なし       |             |  |  |                              |                      |         |             |                  |                               |
| F6        | RSVD7  | RSVD7                  |                | 該当なし       |             |  |  |                              |                      |         |             |                  |                               |
| F10       | RSVD8  | RSVD8                  |                | 該当なし       |             |  |  |                              |                      |         |             |                  |                               |
| H5        | RSVD9  | RSVD9                  |                | 該当なし       |             |  |  |                              |                      |         |             |                  |                               |
| K6        | RSVD10   | RSVD10                 |                | 該当なし       |             |  |  |                              |                      |         |             |                  |                               |
| B21       | SPI0_CLK<br>PADCONFIG:<br>PADCONFIG111<br>0x000F41BC   | SPI0_CLK               | 0              | IO         | 0           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV0 | あり          | LVCMOS           | PU/PD                         |
|           |  | CP_GEMAC_CPTS0_TS_SYNC | 1              | O          |             |  |  |                              |                      |         |             |                  |                               |
|           |  | EHRPWM1_A              | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | GPIO1_17               | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |
| D20       | SPI0_CS0<br>PADCONFIG:<br>PADCONFIG109<br>0x000F41B4   | SPI0_CS0               | 0              | IO         | 1           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV0 | あり          | LVCMOS           | PU/PD                         |
|           |  | EHRPWM0_A              | 2              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
|           |  | GPIO1_15               | 7              | IO         | バンド         |  |  |                              |                      |         |             |                  |                               |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]                  | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O動作電圧 [10] | 電源 [11]    | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|-----------|--|--------------------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|--------------|------------|----------|--------------|-------------------|
| E20       | SPI0_CS1<br>PADCONFIG:<br>PADCONFIG110<br>0x000F41B8   | SPI0_CS1                 | 0          | IO      | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV0    | あり       | LVCMOS       | PU/PD             |
|           |  | CP_GEMAC_CPTS0_TS_COMP   | 1          | O       | 0        |                               |                               |                  |              |            |          |              |                   |
|           |  | EHRPWM0_B                | 2          | IO      | 0        |                               |                               |                  |              |            |          |              |                   |
|           |  | ECAP0_IN_APWM_OUT        | 3          | IO      | 0        |                               |                               |                  |              |            |          |              |                   |
|           |  | MAIN_ERRORn              | 5          | IO      | 1        |                               |                               |                  |              |            |          |              |                   |
|           |  | GPIO1_16                 | 7          | IO      | パッド      |                               |                               |                  |              |            |          |              |                   |
| B20       | SPI0_D0<br>PADCONFIG:<br>PADCONFIG112<br>0x000F41C0    | SPI0_D0                  | 0          | IO      | 0        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV0    | あり       | LVCMOS       | PU/PD             |
|           |  | CP_GEMAC_CPTS0_HW1TSPUSH | 1          | I       | 0        |                               |                               |                  |              |            |          |              |                   |
|           |  | EHRPWM1_B                | 2          | IO      | 0        |                               |                               |                  |              |            |          |              |                   |
|           |  | GPIO1_18                 | 7          | IO      | パッド      |                               |                               |                  |              |            |          |              |                   |
| C21       | SPI0_D1<br>PADCONFIG:<br>PADCONFIG113<br>0x000F41C4    | SPI0_D1                  | 0          | IO      | 0        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV0    | あり       | LVCMOS       | PU/PD             |
|           |  | CP_GEMAC_CPTS0_HW2TSPUSH | 1          | I       | 0        |                               |                               |                  |              |            |          |              |                   |
|           |  | EHRPWM_TZn_IN0           | 2          | I       | 0        |                               |                               |                  |              |            |          |              |                   |
|           |  | GPIO1_19                 | 7          | IO      | パッド      |                               |                               |                  |              |            |          |              |                   |
| C13       | TCK<br>PADCONFIG:<br>MCU_PADCONFIG25<br>0x04084064     | TCK                      | 0          | I       |          | オン/オフ/アップ                     | オン/オフ/アップ                     | 0                | 1.8V/3.3V    | VDDSHV_MCU | あり       | LVCMOS       | PU/PD             |
| E13       | TDI<br>PADCONFIG:<br>MCU_PADCONFIG27<br>0x0408406C     | TDI                      | 0          | I       |          | オン/オフ/アップ                     | オン/オフ/アップ                     | 0                | 1.8V/3.3V    | VDDSHV_MCU | あり       | LVCMOS       | PU/PD             |
| C14       | TDO<br>PADCONFIG:<br>MCU_PADCONFIG28<br>0x04084070     | TDO                      | 0          | OZ      |          | オフ/オフ/アップ                     | オフ/SS/アップ                     | 0                | 1.8V/3.3V    | VDDSHV_MCU | あり       | LVCMOS       | PU/PD             |
| E14       | TMS<br>PADCONFIG:<br>MCU_PADCONFIG29<br>0x04084074     | TMS                      | 0          | I       |          | オン/オフ/アップ                     | オン/オフ/アップ                     | 0                | 1.8V/3.3V    | VDDSHV_MCU | あり       | LVCMOS       | PU/PD             |
| B13       | TRSTn<br>PADCONFIG:<br>MCU_PADCONFIG26<br>0x04084068   | TRSTn                    | 0          | I       |          | オン/オフ/ダウン                     | オン/オフ/ダウン                     | 0                | 1.8V/3.3V    | VDDSHV_MCU | あり       | LVCMOS       | PU/PD             |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16]   | 信号名 [3]           | 多重化<br>モード [4] | タイプ<br>[5] | DSIS<br>[6] | リセット<br>時の<br>ボール<br>の状態<br>(RX/TX/PULL) [7] | リセット<br>後の<br>ボール<br>の状態<br>(RX/TX/PULL) [8] | リセット<br>後の<br>多重化<br>モード [9] | I/O<br>動作<br>電圧 [10] | 電源 [11]                       | HYS<br>[12] | バッファ<br>タイプ [13] | プル<br>アップ/ダウ<br>ン<br>タイプ [14] |
|-----------|--|-------------------|----------------|------------|-------------|--|--|------------------------------|----------------------|-------------------------------|-------------|------------------|-------------------------------|
| A23       | UART0_CTSn<br>PADCONFIG:<br>PADCONFIG116<br>0x000F41D0   | UART0_CTSn        | 0              | I          | 1           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV0                       | あり          | LVCMOS           | PU/PD                         |
|           |  | SPI0_CS2          | 1              | IO         | 1           |  |  |                              |                      |                               |             |                  |                               |
|           |  | I2C3_SCL          | 2              | IOD        | 1           |  |  |                              |                      |                               |             |                  |                               |
|           |  | UART2_RXD         | 3              | I          | 1           |  |  |                              |                      |                               |             |                  |                               |
|           |  | TIMER_IO6         | 4              | IO         | 0           |  |  |                              |                      |                               |             |                  |                               |
|           |  | AUDIO_EXT_REFCLK0 | 5              | IO         | 0           |  |  |                              |                      |                               |             |                  |                               |
|           |  | GPIO1_22          | 7              | IO         | バンド         |  |  |                              |                      |                               |             |                  |                               |
|           |  | MCASP2_AFSX       | 8              | IO         | 0           |  |  |                              |                      |                               |             |                  |                               |
|           |  | MMC2_SDCD         | 9              | I          | 0           |  |  |                              |                      |                               |             |                  |                               |
| C22       | UART0_RTSn<br>PADCONFIG:<br>PADCONFIG117<br>0x000F41D4   | UART0_RTSn        | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV0                       | あり          | LVCMOS           | PU/PD                         |
|           |  | SPI0_CS3          | 1              | IO         | 1           |  |  |                              |                      |                               |             |                  |                               |
|           |  | I2C3_SDA          | 2              | IOD        | 1           |  |  |                              |                      |                               |             |                  |                               |
|           |  | UART2_TXD         | 3              | O          |             |  |  |                              |                      |                               |             |                  |                               |
|           |  | TIMER_IO7         | 4              | IO         | 0           |  |  |                              |                      |                               |             |                  |                               |
|           |  | AUDIO_EXT_REFCLK1 | 5              | IO         | 0           |  |  |                              |                      |                               |             |                  |                               |
|           |  | GPIO1_23          | 7              | IO         | バンド         |  |  |                              |                      |                               |             |                  |                               |
|           |  | MCASP2_ACLKX      | 8              | IO         | 0           |  |  |                              |                      |                               |             |                  |                               |
|           |  | MMC2_SDWP         | 9              | I          | 0           |  |  |                              |                      |                               |             |                  |                               |
| A22       | UART0_RXD<br>PADCONFIG:<br>PADCONFIG114<br>0x000F41C8    | UART0_RXD         | 0              | I          | 1           | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV0                       | あり          | LVCMOS           | PU/PD                         |
|           |  | ECAP1_IN_APWM_OUT | 1              | IO         | 0           |  |  |                              |                      |                               |             |                  |                               |
|           |  | SPI2_D0           | 2              | IO         | 0           |  |  |                              |                      |                               |             |                  |                               |
|           |  | EHRPWM2_A         | 3              | IO         | 0           |  |  |                              |                      |                               |             |                  |                               |
|           |  | GPIO1_20          | 7              | IO         | バンド         |  |  |                              |                      |                               |             |                  |                               |
| B22       | UART0_TXD<br>PADCONFIG:<br>PADCONFIG115<br>0x000F41CC    | UART0_TXD         | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV0                       | あり          | LVCMOS           | PU/PD                         |
|           |  | ECAP2_IN_APWM_OUT | 1              | IO         | 0           |  |  |                              |                      |                               |             |                  |                               |
|           |  | SPI2_D1           | 2              | IO         | 0           |  |  |                              |                      |                               |             |                  |                               |
|           |  | EHRPWM2_B         | 3              | IO         | 0           |  |  |                              |                      |                               |             |                  |                               |
|           |  | GPIO1_21          | 7              | IO         | バンド         |  |  |                              |                      |                               |             |                  |                               |
| AE8       | USB0_DM  | USB0_DM           |                | IO         |             |  |  |                              | 1.8V/3.3V            | VDDA_1P8_USB,<br>VDDA_3P3_USB |             | USB2PHY          |                               |
| AE7       | USB0_DP  | USB0_DP           |                | IO         |             |  |  |                              | 1.8V/3.3V            | VDDA_1P8_USB,<br>VDDA_3P3_USB |             | USB2PHY          |                               |
| G22       | USB0_DRVVBUS<br>PADCONFIG:<br>PADCONFIG149<br>0x000F4254 | USB0_DRVVBUS      | 0              | O          |             | オフ/オフ/ダウン                                    | オフ/オフ/ダウン                                    | 7                            | 1.8V/3.3V            | VDDSHV0                       | あり          | LVCMOS           | PU/PD                         |
|           |  | GPIO1_50          | 7              | IO         | バンド         |  |  |                              |                      |                               |             |                  |                               |
| Y8        | USB0_RCALIB  | USB0_RCALIB       |                | A          |             |  |  |                              | 1.8V/3.3V            | VDDA_1P8_USB,<br>VDDA_3P3_USB |             | USB2PHY          |                               |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1]                   | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16]   | 信号名 [3]           | 多重化<br>モード [4] | タイプ<br>[5] | DSIS<br>[6] | リセット<br>時の<br>ボール<br>の状態<br>(RX/TX/PULL) [7] | リセット<br>後の<br>ボール<br>の状態<br>(RX/TX/PULL) [8] | リセット<br>後の<br>多重化<br>モード [9] | I/O<br>動作<br>電圧 [10] | 電源 [11]                       | HYS<br>[12] | パッファ<br>タイプ [13] | プル<br>アップ/ダウ<br>ン<br>タイプ [14] |
|-----------------------------|--|-------------------|----------------|------------|-------------|--|--|------------------------------|----------------------|-------------------------------|-------------|------------------|-------------------------------|
| Y7                          | USB0_VBUS  | USB0_VBUS         |                | A          |             |  |  |                              | 1.8V/3.3V            | VDDA_1P8_USB,<br>VDDA_3P3_USB |             | USB2PHY          |                               |
| AE10                        | USB1_DM  | USB1_DM           |                | IO         |             |  |  |                              | 1.8V/3.3V            | VDDA_1P8_USB,<br>VDDA_3P3_USB |             | USB2PHY          |                               |
| AE9                         | USB1_DP  | USB1_DP           |                | IO         |             |  |  |                              | 1.8V/3.3V            | VDDA_1P8_USB,<br>VDDA_3P3_USB |             | USB2PHY          |                               |
| G21                         | USB1_DRVVBUS<br>PADCONFIG:<br>PADCONFIG150<br>0x000F4258 | USB1_DRVVBUS      | 0              | O          |             |  |  |                              | 1.8V/3.3V            | VDDSHV0                       | あり          | LVC MOS          | PU/PD                         |
|                             |  | GPIO1_51          | 7              | IO         | パッド         | オフ/オフ/ダウン                                    | オフ/オフ/ダウン                                    | 7                            | 1.8V/3.3V            |                               |             |                  |                               |
| 1K4                         | USB1_RCALIB  | USB1_RCALIB       |                | A          |             |  |  |                              | 1.8V/3.3V            | VDDA_1P8_USB,<br>VDDA_3P3_USB |             | USB2PHY          |                               |
| Y10                         | USB1_VBUS  | USB1_VBUS         |                | A          |             |  |  |                              | 1.8V/3.3V            | VDDA_1P8_USB,<br>VDDA_3P3_USB |             | USB2PHY          |                               |
| 1K7                         | VDDA_1P8_CSI_DSI   | VDDA_1P8_CSI_DSI  |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1K5                         | VDDA_1P8_USB   | VDDA_1P8_USB      |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1K10                        | VDDA_1P8_OLDIO   | VDDA_1P8_OLDIO    |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| Y11                         | VDDA_3P3_USB   | VDDA_3P3_USB      |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1K6                         | VDDA_CORE_CSI_DSI  | VDDA_CORE_CSI_DSI |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1K8                         | VDDA_CORE_DSI_CLK  | VDDA_CORE_DSI_CLK |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1J4                         | VDDA_CORE_USB  | VDDA_CORE_USB     |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1F2                         | VDDA_DDR_PLL0  | VDDA_DDR_PLL0     |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1C3                         | VDDA_MCU   | VDDA_MCU          |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1D4                         | VDDA_PLL0  | VDDA_PLL0         |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1H7                         | VDDA_PLL1  | VDDA_PLL1         |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1F6                         | VDDA_PLL2  | VDDA_PLL2         |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1F4                         | VDDA_PLL3  | VDDA_PLL3         |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1D7                         | VDDA_PLL4  | VDDA_PLL4         |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1F5                         | VDDA_TEMP0   | VDDA_TEMP0        |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| K20                         | VDDA_TEMP1   | VDDA_TEMP1        |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1D3                         | VDDA_TEMP2   | VDDA_TEMP2        |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1C8、1E5、<br>1H3、1J1、<br>1K3 | VDDR_CORE  | VDDR_CORE         |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1B7                         | VDDSHV0  | VDDSHV0           |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1D10                        | VDDSHV1  | VDDSHV1           |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1B5                         | VDDSHV2  | VDDSHV2           |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1E10、1G10                   | VDDSHV3  | VDDSHV3           |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |
| 1A9                         | VDDSHV5  | VDDSHV5           |                | PWR        |             |  |  |                              |                      |                               |             |                  |                               |

**表 5-1. ピン属性 (AMH パッケージ) (続き)**

| ボール番号 [1]  | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]        | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O 動作電圧 [10] | 電源 [11] | HYS [12] | パッファタイプ [13] | プルアップ/ダウンタイプ [14] |  |
|--|--|----------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|---------------|---------|----------|--------------|-------------------|--|
| 1B10   | VDDSHV6  | VDDSHV6        |            | PWR     |          |                               |                               |                  |               |         |          |              |                   |  |
| 1A2  | VDDSHV_CANUART   | VDDSHV_CANUART |            | PWR     |          |                               |                               |                  |               |         |          |              |                   |  |
| 1B3  | VDDSHV_MCU   | VDDSHV_MCU     |            | PWR     |          |                               |                               |                  |               |         |          |              |                   |  |
| 1C1、1D2、1E1、1F1、1G2、1H1、AE2、B1   | VDDS_DDR   | VDDS_DDR       |            | PWR     |          |                               |                               |                  |               |         |          |              |                   |  |
| 1E2  | VDDS_DDR_C   | VDDS_DDR_C     |            | PWR     |          |                               |                               |                  |               |         |          |              |                   |  |
| 1K2  | VDDS_MMC0  | VDDS_MMC0      |            | PWR     |          |                               |                               |                  |               |         |          |              |                   |  |
| 1C2  | VDDS_OSC0  | VDDS_OSC0      |            | PWR     |          |                               |                               |                  |               |         |          |              |                   |  |
| 1A1  | VDD_CANUART  | VDD_CANUART    |            | PWR     |          |                               |                               |                  |               |         |          |              |                   |  |
| 1C5、1C7、1D6、1D8、1E3、1E7、1E9、1F8、1G3、1G5、1G7、1G9、1H10、1H4、1H6、1H8、1J2、1J5、1J7、1J9 | VDD_CORE   | VDD_CORE       |            | PWR     |          |                               |                               |                  |               |         |          |              |                   |  |
| 1A10   | VMON_1P8_SOC   | VMON_1P8_SOC   |            | A       |          |                               |                               |                  |               |         |          |              |                   |  |
| 1A4  | VMON_3P3_SOC   | VMON_3P3_SOC   |            | A       |          |                               |                               |                  |               |         |          |              |                   |  |
| 1A6  | VMON_VSYS  | VMON_VSYS      |            | A       |          |                               |                               |                  |               |         |          |              |                   |  |
| W21  | VOUT0_DE<br>PADCONFIG:<br>PADCONFIG63<br>0x000F40FC    | VOUT0_DE       | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV3 | あり       | LVCMOS       | PU/PD             |  |
|  |  | GPMC0_A17      | 1          | OZ      |          |                               |                               |                  |               |         |          |              |                   |  |
|  |  | UART3_CTSn     | 4          | I       | 1        |                               |                               |                  |               |         |          |              |                   |  |
|  |  | GPIO0_62       | 7          | IO      | バンド      |                               |                               |                  |               |         |          |              |                   |  |
| AC20   | VOUT0_HSYNC<br>PADCONFIG:<br>PADCONFIG62<br>0x000F40F8 | VOUT0_HSYNC    | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV3 | あり       | LVCMOS       | PU/PD             |  |
|  |  | GPMC0_A16      | 1          | OZ      |          |                               |                               |                  |               |         |          |              |                   |  |
|  |  | UART3_RTSn     | 4          | O       |          |                               |                               |                  |               |         |          |              |                   |  |
|  |  | GPIO0_61       | 7          | IO      | バンド      |                               |                               |                  |               |         |          |              |                   |  |
| Y21  | VOUT0_PCLK<br>PADCONFIG:<br>PADCONFIG65<br>0x000F4104  | VOUT0_PCLK     | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV3 | あり       | LVCMOS       | PU/PD             |  |
|  |  | GPMC0_A19      | 1          | OZ      |          |                               |                               |                  |               |         |          |              |                   |  |
|  |  | UART2_CTSn     | 4          | I       | 1        |                               |                               |                  |               |         |          |              |                   |  |
|  |  | GPIO0_64       | 7          | IO      | バンド      |                               |                               |                  |               |         |          |              |                   |  |
| W20  | VOUT0_VSYNC<br>PADCONFIG:<br>PADCONFIG64<br>0x000F4100 | VOUT0_VSYNC    | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V     | VDDSHV3 | あり       | LVCMOS       | PU/PD             |  |
|  |  | GPMC0_A18      | 1          | OZ      |          |                               |                               |                  |               |         |          |              |                   |  |
|  |  | UART2_RTSn     | 4          | O       |          |                               |                               |                  |               |         |          |              |                   |  |
|  |  | GPIO0_63       | 7          | IO      | バンド      |                               |                               |                  |               |         |          |              |                   |  |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール<br>番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16] | 信号名 [3]           | 多重化<br>モード [4] | タイプ<br>[5] | DSIS<br>[6] | リセット<br>時の<br>ボール<br>の状態<br>(RX/TX/PULL) [7] | リセット<br>後の<br>ボール<br>の状態<br>(RX/TX/PULL) [8] | リセット<br>後の<br>多重化<br>モード [9] | I/O<br>動作<br>電圧 [10] | 電源 [11] | HYS<br>[12] | バッファ<br>タイプ [13] | プル<br>アップ/ダウ<br>ン<br>タイプ [14] |
|---------------|--|-------------------|----------------|------------|-------------|--|--|------------------------------|----------------------|---------|-------------|------------------|-------------------------------|
| AE24          | VOUT0_DATA0<br>PADCONFIG:<br>PADCONFIG46<br>0x000F40B8 | VOUT0_DATA0       | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV3 | あり          | LVCMOS           | PU/PD                         |
|               |  | GPMC0_A0          | 1              | OZ         |             |  |  |                              |                      |         |             |                  |                               |
|               |  | UART2_RXD         | 4              | I          | 1           |  |  |                              |                      |         |             |                  |                               |
|               |  | GPIO0_45          | 7              | IO         | パッド         |  |  |                              |                      |         |             |                  |                               |
| W23           | VOUT0_DATA1<br>PADCONFIG:<br>PADCONFIG47<br>0x000F40BC | VOUT0_DATA1       | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV3 | あり          | LVCMOS           | PU/PD                         |
|               |  | GPMC0_A1          | 1              | OZ         |             |  |  |                              |                      |         |             |                  |                               |
|               |  | UART2_TXD         | 4              | O          |             |  |  |                              |                      |         |             |                  |                               |
|               |  | GPIO0_46          | 7              | IO         | パッド         |  |  |                              |                      |         |             |                  |                               |
| AA23          | VOUT0_DATA2<br>PADCONFIG:<br>PADCONFIG48<br>0x000F40C0 | VOUT0_DATA2       | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV3 | あり          | LVCMOS           | PU/PD                         |
|               |  | GPMC0_A2          | 1              | OZ         |             |  |  |                              |                      |         |             |                  |                               |
|               |  | UART3_RXD         | 4              | I          | 1           |  |  |                              |                      |         |             |                  |                               |
|               |  | GPIO0_47          | 7              | IO         | パッド         |  |  |                              |                      |         |             |                  |                               |
| Y23           | VOUT0_DATA3<br>PADCONFIG:<br>PADCONFIG49<br>0x000F40C4 | VOUT0_DATA3       | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV3 | あり          | LVCMOS           | PU/PD                         |
|               |  | GPMC0_A3          | 1              | OZ         |             |  |  |                              |                      |         |             |                  |                               |
|               |  | UART3_TXD         | 4              | O          |             |  |  |                              |                      |         |             |                  |                               |
|               |  | AUDIO_EXT_REFCLK0 | 5              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
| AB23          | VOUT0_DATA4<br>PADCONFIG:<br>PADCONFIG50<br>0x000F40C8 | VOUT0_DATA4       | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV3 | あり          | LVCMOS           | PU/PD                         |
|               |  | GPMC0_A4          | 1              | OZ         |             |  |  |                              |                      |         |             |                  |                               |
|               |  | UART4_RXD         | 4              | I          | 1           |  |  |                              |                      |         |             |                  |                               |
|               |  | EQEP2_I           | 5              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
| AD23          | VOUT0_DATA5<br>PADCONFIG:<br>PADCONFIG51<br>0x000F40CC | VOUT0_DATA5       | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV3 | あり          | LVCMOS           | PU/PD                         |
|               |  | GPMC0_A5          | 1              | OZ         |             |  |  |                              |                      |         |             |                  |                               |
|               |  | UART4_TXD         | 4              | O          |             |  |  |                              |                      |         |             |                  |                               |
|               |  | EQEP2_S           | 5              | IO         | 0           |  |  |                              |                      |         |             |                  |                               |
| AC23          | VOUT0_DATA6<br>PADCONFIG:<br>PADCONFIG52<br>0x000F40D0 | VOUT0_DATA6       | 0              | O          |             | オフ/オフ/オフ                                     | オフ/オフ/オフ                                     | 7                            | 1.8V/3.3V            | VDDSHV3 | あり          | LVCMOS           | PU/PD                         |
|               |  | GPMC0_A6          | 1              | OZ         |             |  |  |                              |                      |         |             |                  |                               |
|               |  | UART5_RXD         | 4              | I          | 1           |  |  |                              |                      |         |             |                  |                               |
|               |  | EQEP2_A           | 5              | I          | 0           |  |  |                              |                      |         |             |                  |                               |
|               |  | GPIO0_51          | 7              | IO         | パッド         |  |  |                              |                      |         |             |                  |                               |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16]  | 信号名 [3]      | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O動作電圧 [10] | 電源 [11] | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|-----------|---|--------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|--------------|---------|----------|--------------|-------------------|
| AE23      | VOUT0_DATA7<br>PADCONFIG:<br>PADCONFIG53<br>0x000F40D4  | VOUT0_DATA7  | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |   | GPMC0_A7     | 1          | OZ      |          |                               |                               |                  |              |         |          |              |                   |
|           |   | UART5_TXD    | 4          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |   | EQEP2_B      | 5          | I       | 0        |                               |                               |                  |              |         |          |              |                   |
| AE22      | VOUT0_DATA8<br>PADCONFIG:<br>PADCONFIG54<br>0x000F40D8  | VOUT0_DATA8  | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |   | GPMC0_A8     | 1          | OZ      |          |                               |                               |                  |              |         |          |              |                   |
|           |   | UART6_RXD    | 4          | I       | 1        |                               |                               |                  |              |         |          |              |                   |
|           |   | GPIO0_53     | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
| AC22      | VOUT0_DATA9<br>PADCONFIG:<br>PADCONFIG55<br>0x000F40DC  | VOUT0_DATA9  | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |   | GPMC0_A9     | 1          | OZ      |          |                               |                               |                  |              |         |          |              |                   |
|           |   | UART6_TXD    | 4          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |   | GPIO0_54     | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
| W22       | VOUT0_DATA10<br>PADCONFIG:<br>PADCONFIG56<br>0x000F40E0 | VOUT0_DATA10 | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |   | GPMC0_A10    | 1          | OZ      |          |                               |                               |                  |              |         |          |              |                   |
|           |   | UART6_RTSn   | 4          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |   | GPIO0_55     | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
| AE21      | VOUT0_DATA11<br>PADCONFIG:<br>PADCONFIG57<br>0x000F40E4 | VOUT0_DATA11 | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |   | GPMC0_A11    | 1          | OZ      |          |                               |                               |                  |              |         |          |              |                   |
|           |   | UART6_CTSn   | 4          | I       | 1        |                               |                               |                  |              |         |          |              |                   |
|           |   | GPIO0_56     | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
| AD21      | VOUT0_DATA12<br>PADCONFIG:<br>PADCONFIG58<br>0x000F40E8 | VOUT0_DATA12 | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |   | GPMC0_A12    | 1          | OZ      |          |                               |                               |                  |              |         |          |              |                   |
|           |   | UART5_RTSn   | 4          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |   | GPIO0_57     | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
| AC21      | VOUT0_DATA13<br>PADCONFIG:<br>PADCONFIG59<br>0x000F40EC | VOUT0_DATA13 | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |   | GPMC0_A13    | 1          | OZ      |          |                               |                               |                  |              |         |          |              |                   |
|           |   | UART5_CTSn   | 4          | I       | 1        |                               |                               |                  |              |         |          |              |                   |
|           |   | GPIO0_58     | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |
| AA20      | VOUT0_DATA14<br>PADCONFIG:<br>PADCONFIG60<br>0x000F40F0 | VOUT0_DATA14 | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV3 | あり       | LVCMOS       | PU/PD             |
|           |   | GPMC0_A14    | 1          | OZ      |          |                               |                               |                  |              |         |          |              |                   |
|           |   | UART4_RTSn   | 4          | O       |          |                               |                               |                  |              |         |          |              |                   |
|           |   | GPIO0_59     | 7          | IO      | バンド      |                               |                               |                  |              |         |          |              |                   |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1]   | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16]       | 信号名 [3]        | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O 動作電圧 [10] | 電源 [11]    | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|---|--|----------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|---------------|------------|----------|--------------|-------------------|
| Y20   | VOUT0_DATA15<br>PADCONFIG:<br>PADCONFIG61<br>0x000F40F4      | VOUT0_DATA15   | 0          | O       |          | オフ / オフ / オフ                  | オフ / オフ / オフ                  | 7                | 1.8V/3.3V     | VDDSHV3    | あり       | LVCMOS       | PU/PD             |
|   |  | GPMC0_A15      | 1          | OZ      |          |                               |                               |                  |               |            |          |              |                   |
|   |  | UART4_CTSn     | 4          | I       | 1        |                               |                               |                  |               |            |          |              |                   |
|   |  | GPIO0_60       | 7          | IO      | バンド      |                               |                               |                  |               |            |          |              |                   |
| F7  | VPP  | VPP            |            | PWR     |          |                               |                               |                  |               |            |          |              |                   |
| 1A3, 1A5,<br>1A7, 1B1,<br>1B8, 1C4,<br>1C6, 1D1,<br>1D5, 1D9,<br>1E4, 1E6,<br>1E8, 1F3,<br>1F7, 1F9,<br>1G1, 1G4,<br>1G6, 1G8,<br>1H2, 1H5,<br>1H9, 1J10,<br>1J3, 1J6,<br>1J8, 1K1,<br>1K9, A1,<br>A12, A25,<br>A6, A9,<br>AA21, AA3,<br>AB2, AC1,<br>AD22, AD4,<br>AE1, AE13,<br>AE16, AE25,<br>B3, C2,<br>C20, D14,<br>D3, E1, F3,<br>G1, G4, H2,<br>K1, L4, N1,<br>P20, P4,<br>U1, U4, V3,<br>W2, Y1, Y4 | VSS  | VSS            |            | PWR     |          |                               |                               |                  |               |            |          |              |                   |
| F13   | WKUP_CLKOUT0<br>PADCONFIG:<br>MCU_PADCONFIG33<br>0x04084084  | WKUP_CLKOUT0   | 0          | O       |          | オフ / オフ / オフ                  | オフ / SS / オフ                  | 0                | 1.8V/3.3V     | VDDSHV_MCU | あり       | LVCMOS       | PU/PD             |
|   |  | MCU_GPIO0_23   | 7          | IO      | バンド      |                               |                               |                  |               |            |          |              |                   |
| A13   | WKUP_I2C0_SCL<br>PADCONFIG:<br>MCU_PADCONFIG19<br>0x0408404C | WKUP_I2C0_SCL  | 0          | IOD     | 1        | オフ / オフ / NA                  | オン / SS / NA                  | 7                | 1.8V/3.3V     | VDDSHV_MCU | あり       | I2C OD FS    |                   |
|   |  | MCU_GPIO0_19   | 7          | IOD     | バンド      |                               |                               |                  |               |            |          |              |                   |
| C11   | WKUP_I2C0_SDA<br>PADCONFIG:<br>MCU_PADCONFIG20<br>0x04084050 | WKUP_I2C0_SDA  | 0          | IOD     | 1        | オフ / オフ / NA                  | オン / SS / NA                  | 7                | 1.8V/3.3V     | VDDSHV_MCU | あり       | I2C OD FS    |                   |
|   |  | MCU_GPIO0_20   | 7          | IOD     | バンド      |                               |                               |                  |               |            |          |              |                   |
| A7  | WKUP_LFOSC0_XI   | WKUP_LFOSC0_XI |            | I       |          |                               |                               |                  | 1.8V          | VDDS_OSC0  |          | LFXOSC       |                   |

表 5-1. ピン属性 (AMH パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]<br>PADCONFIG レジスタ [15]<br>PADCONFIG アドレス [16]         | 信号名 [3]         | 多重化モード [4] | タイプ [5] | DSIS [6] | リセット時のボールの状態 (RX/TX/PULL) [7] | リセット後のボールの状態 (RX/TX/PULL) [8] | リセット後の多重化モード [9] | I/O動作電圧 [10] | 電源 [11]        | HYS [12] | バッファタイプ [13] | プルアップ/ダウンタイプ [14] |
|-----------|--|-----------------|------------|---------|----------|-------------------------------|-------------------------------|------------------|--------------|----------------|----------|--------------|-------------------|
| A8        | WKUP_LFOSC0_XO   | WKUP_LFOSC0_XO  |            | O       |          |                               |                               |                  | 1.8V         | VDDS_OSC0      |          | LFXOSC       |                   |
| C7        | WKUP_UART0_CTSn<br>PADCONFIG:<br>MCU_PADCONFIG11<br>0x0408402C | WKUP_UART0_CTSn | 0          | I       | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV_CANUART | あり       | LVCMOS       | PU/PD             |
|           |  | WKUP_TIMER_IO0  | 1          | IO      | 0        |                               |                               |                  |              |                |          |              |                   |
|           |  | MCU_SPI1_CS0    | 3          | IO      | 1        |                               |                               |                  |              |                |          |              |                   |
| C6        | WKUP_UART0_RTSn<br>PADCONFIG:<br>MCU_PADCONFIG12<br>0x04084030 | WKUP_UART0_RTSn | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV_CANUART | あり       | LVCMOS       | PU/PD             |
|           |  | WKUP_TIMER_IO1  | 1          | IO      | 0        |                               |                               |                  |              |                |          |              |                   |
|           |  | MCU_SPI1_CLK    | 3          | IO      | 0        |                               |                               |                  |              |                |          |              |                   |
|           |  | MCU_GPIO0_12    | 7          | IO      | バンド      |                               |                               |                  |              |                |          |              |                   |
| D8        | WKUP_UART0_RXD<br>PADCONFIG:<br>MCU_PADCONFIG9<br>0x04084024   | WKUP_UART0_RXD  | 0          | I       | 1        | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV_CANUART | あり       | LVCMOS       | PU/PD             |
|           |  | MCU_SPI0_CS2    | 2          | IO      | 1        |                               |                               |                  |              |                |          |              |                   |
|           |  | MCU_GPIO0_9     | 7          | IO      | バンド      |                               |                               |                  |              |                |          |              |                   |
| D7        | WKUP_UART0_TXD<br>PADCONFIG:<br>MCU_PADCONFIG10<br>0x04084028  | WKUP_UART0_TXD  | 0          | O       |          | オフ/オフ/オフ                      | オフ/オフ/オフ                      | 7                | 1.8V/3.3V    | VDDSHV_CANUART | あり       | LVCMOS       | PU/PD             |
|           |  | MCU_SPI1_CS2    | 2          | IO      | 1        |                               |                               |                  |              |                |          |              |                   |
|           |  | MCU_GPIO0_10    | 7          | IO      | バンド      |                               |                               |                  |              |                |          |              |                   |

## 5.3 信号の説明

ピン多重化オプションのソフトウェア構成に応じて、複数のピンで多くの信号が利用可能です。

次に列ヘッダーについて説明します。

### 1. 信号名: ピンを通過する信号の名前。

#### 注

各「信号の説明」表に記載されている信号名と説明は、ピンに実装され、PADCONFIG レジスタで選択されるピン多重化信号機能を表しています。デバイス サブシステムで信号機能の 2 次多重化が可能な場合がありますが、それらについてはこの表には記載されていません。2 次多重化信号機能の詳細については、デバイスのテクニカルリファレンス マニュアルで該当するペリフェラルの章を参照してください。

### 2. ピンの種類: 信号の方向と種類:

- I = 入力
- O = 出力
- OD = 出力、オープンドレイン出力機能付き
- IO = 入力、出力、または同時に入力と出力
- IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
- IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
- OZ = 出力、3 ステート出力機能付き
- A = アナログ
- PWR = 電源
- GND = グランド
- CAP = LDO コンデンサ

### 3. 説明: 信号の説明

### 4. ボール: 信号に関連付けられているボール番号

IO セル構成の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。

## 5.3.1 CPSW3G

### 5.3.1.1 メインドメイン

表 5-2. CPSW3G0 RGMII1 信号の説明

| 信号名 [1]       | ピンの種類 [2] | 説明 [3]        | AMH ピン [4] |
|---------------|-----------|---------------|------------|
| RGMII1_RXC    | I         | RGMII 受信クロック  | A16        |
| RGMII1_RX_CTL | I         | RGMII 受信制御    | A15        |
| RGMII1_TXC    | O         | RGMII 送信クロック  | B17        |
| RGMII1_TX_CTL | O         | RGMII 送信制御    | B18        |
| RGMII1_RD0    | I         | RGMII 受信データ 0 | B15        |
| RGMII1_RD1    | I         | RGMII 受信データ 1 | B16        |
| RGMII1_RD2    | I         | RGMII 受信データ 2 | A14        |
| RGMII1_RD3    | I         | RGMII 受信データ 3 | B14        |
| RGMII1_TD0    | O         | RGMII 送信データ 0 | A18        |
| RGMII1_TD1    | O         | RGMII 送信データ 1 | C17        |
| RGMII1_TD2    | O         | RGMII 送信データ 2 | A17        |
| RGMII1_TD3    | O         | RGMII 送信データ 3 | C16        |

表 5-3. CPSW3G0 RGMII2 信号の説明

| 信号名 [1]       | ピンの種類 [2] | 説明 [3]        | AMH ピン [4] |
|---------------|-----------|---------------|------------|
| RGMII2_RXC    | I         | RGMII 受信クロック  | D19        |
| RGMII2_RX_CTL | I         | RGMII 受信制御    | F19        |
| RGMII2_TXC    | O         | RGMII 送信クロック  | D16        |
| RGMII2_TX_CTL | O         | RGMII 送信制御    | A20        |
| RGMII2_RD0    | I         | RGMII 受信データ 0 | E19        |
| RGMII2_RD1    | I         | RGMII 受信データ 1 | E16        |
| RGMII2_RD2    | I         | RGMII 受信データ 2 | E17        |
| RGMII2_RD3    | I         | RGMII 受信データ 3 | C19        |
| RGMII2_TD0    | O         | RGMII 送信データ 0 | B19        |
| RGMII2_TD1    | O         | RGMII 送信データ 1 | A21        |
| RGMII2_TD2    | O         | RGMII 送信データ 2 | D17        |
| RGMII2_TD3    | O         | RGMII 送信データ 3 | A19        |

表 5-4. CPSW3G0 RMII1 信号の説明

| 信号名 [1]       | ピンの種類 [2] | 説明 [3]                | AMH ピン [4] |
|---------------|-----------|-----------------------|------------|
| RMII1_CRSDV   | I         | RMII キャリア センス / データ有効 | B17        |
| RMII1_REF_CLK | I         | RMII 基準クロック           | A16        |
| RMII1_RX_ER   | I         | RMII 受信データ エラー        | A15        |
| RMII1_TX_EN   | O         | RMII 送信イネーブル          | B18        |
| RMII1_RXD0    | I         | RMII 受信データ 0          | B15        |
| RMII1_RXD1    | I         | RMII 受信データ 1          | B16        |
| RMII1_TXD0    | O         | RMII 送信データ 0          | A18        |
| RMII1_TXD1    | O         | RMII 送信データ 1          | C17        |

表 5-5. CPSW3G0 RMII2 信号の説明

| 信号名 [1]       | ピンの種類 [2] | 説明 [3]                | AMH ピン [4] |
|---------------|-----------|-----------------------|------------|
| RMII2_CRSDV   | I         | RMII キャリア センス / データ有効 | D16        |
| RMII2_REF_CLK | I         | RMII 基準クロック           | D19        |
| RMII2_RX_ER   | I         | RMII 受信データ エラー        | F19        |
| RMII2_TX_EN   | O         | RMII 送信イネーブル          | A20        |
| RMII2_RXD0    | I         | RMII 受信データ 0          | E19        |
| RMII2_RXD1    | I         | RMII 受信データ 1          | E16        |
| RMII2_TXD0    | O         | RMII 送信データ 0          | B19        |
| RMII2_TXD1    | O         | RMII 送信データ 1          | A21        |

### 5.3.2 CPTS

#### 注

一部の CPTS 信号は、デバイス内の CPTS モジュールに直接接続されています。その他の CPTS 信号は時間同期ルータに接続され、ルータにリンクされているペリフェラルにファンアウトされます。入力信号はペリフェラルに送信され、出力信号はペリフェラルから供給されます。詳細については、デバイスのテクニカル リファレンス マニュアルで「時間同期」の章にある「時間同期および比較イベント」セクションを参照してください。

### 5.3.2.1 メイン ドメイン

表 5-6. CPTS 信号の説明

| 信号名 [1]                  | ピンの種類 [2] | 説明 [3]                                 | AMH ピン [4] |
|--------------------------|-----------|--|------------|
| CP_GEMAC_CPTS0_RFT_CLK   | I         | CPTS 基準クロック入力                          | C25        |
| CP_GEMAC_CPTS0_TS_COMP   | O         | CPSW3G0 CPTS からの CPTS タイムスタンプカウンタ比較出力  | E20、H25    |
| CP_GEMAC_CPTS0_TS_SYNC   | O         | CPSW3G0 CPTS からの CPTS タイムスタンプカウンタビット出力 | B21、H22    |
| CP_GEMAC_CPTS0_HW1TSPUSH | I         | 時間同期ルータへの CPTS ハードウェア タイムスタンププッシュ入力    | B20、H23    |
| CP_GEMAC_CPTS0_HW2TSPUSH | I         | 時間同期ルータへの CPTS ハードウェア タイムスタンププッシュ入力    | C21、H21    |
| SYNC0_OUT                | O         | 時間同期ルータからの CPTS タイムスタンプジェネレータビット 0 出力  | B25        |
| SYNC1_OUT                | O         | 時間同期ルータからの CPTS タイムスタンプジェネレータビット 1 出力  | C25        |
| SYNC2_OUT                | O         | 時間同期ルータからの CPTS タイムスタンプジェネレータビット 2 出力  | B23        |
| SYNC3_OUT                | O         | 時間同期ルータからの CPTS タイムスタンプジェネレータビット 3 出力  | F20        |

### 5.3.3 CSI-2

#### 5.3.3.1 メイン ドメイン

表 5-7. CSIRX0 信号の説明

| 信号名 [1]           | ピンの種類 [2] | 説明 [3]                      | AMH ピン [4] |
|-------------------|-----------|-----------------------------|------------|
| CSI0_RXCLKN       | I         | CSI 差動受信クロック入力 (負)          | AE12       |
| CSI0_RXCLKP       | I         | CSI 差動受信クロック入力 (正)          | AE11       |
| CSI0_RXRCALIB (1) | A         | オンチップ抵抗較正用に外部抵抗に接続する CSI ピン | AA15       |
| CSI0_RXN0         | I         | CSI 差動受信入力 (負)              | AB11       |
| CSI0_RXN1         | I         | CSI 差動受信入力 (負)              | AC10       |
| CSI0_RXN2         | I         | CSI 差動受信入力 (負)              | AA10       |
| CSI0_RXN3         | I         | CSI 差動受信入力 (負)              | AD9        |
| CSI0_RXP0         | I         | CSI 差動受信入力 (正)              | AB10       |
| CSI0_RXP1         | I         | CSI 差動受信入力 (正)              | AC9        |
| CSI0_RXP2         | I         | CSI 差動受信入力 (正)              | AA9        |
| CSI0_RXP3         | I         | CSI 差動受信入力 (正)              | AD8        |

(1) このピンと VSS の間に  $499\Omega \pm 1\%$  の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。

### 5.3.4 DDRSS

#### 5.3.4.1 メイン ドメイン

表 5-8. DDRSS0 信号の説明

| 信号名 [1]        | ピンの種類 [2] | 説明 [3]                                  | AMH ピン [4] |
|----------------|-----------|---|------------|
| DDR0_ACT_n     | O         | DDRSS アクティブ化コマンド                        | T6         |
| DDR0_ALERT_n   | IO        | DDRSS アラート                              | K3         |
| DDR0_CAS_n (1) | O         | DDR4 コラム アドレス ストロープ / LPDDR4 チップセレクト 1B | T5         |

表 5-8. DDRSS0 信号の説明 (続き)

| 信号名 [1]                   | ピンの種類 [2] | 説明 [3]                                 | AMH ピン [4] |
|---------------------------|-----------|--|------------|
| DDR0_PAR                  | O         | DDRSS コマンドおよびアドレス パリティ                 | T1         |
| DDR0_RAS_n <sup>(1)</sup> | O         | DDR4 ロー アドレス ストローブ / LPDDR4 チップセレクト 0B | P6         |
| DDR0_WE_n                 | O         | DDRSS 書き込みイネーブル                        | T4         |
| DDR0_A0                   | O         | DDRSS アドレス バス                          | K5         |
| DDR0_A1                   | O         | DDRSS アドレス バス                          | L2         |
| DDR0_A2                   | O         | DDRSS アドレス バス                          | L3         |
| DDR0_A3                   | O         | DDRSS アドレス バス                          | M2         |
| DDR0_A4                   | O         | DDRSS アドレス バス                          | N2         |
| DDR0_A5                   | O         | DDRSS アドレス バス                          | K2         |
| DDR0_A6                   | O         | DDRSS アドレス バス                          | N3         |
| DDR0_A7                   | O         | DDRSS アドレス バス                          | L1         |
| DDR0_A8                   | O         | DDRSS アドレス バス                          | M1         |
| DDR0_A9                   | O         | DDRSS アドレス バス                          | T2         |
| DDR0_A10                  | O         | DDRSS アドレス バス                          | R2         |
| DDR0_A11                  | O         | DDRSS アドレス バス                          | N5         |
| DDR0_A12                  | O         | DDRSS アドレス バス                          | P3         |
| DDR0_A13                  | O         | DDRSS アドレス バス                          | P2         |
| DDR0_BA0                  | O         | DDRSS バンク アドレス                         | N6         |
| DDR0_BA1                  | O         | DDRSS バンク アドレス                         | K4         |
| DDR0_BG0                  | O         | DDRSS バンク グループ                         | Y6         |
| DDR0_BG1                  | O         | DDRSS バンク グループ                         | U6         |
| DDR0_CAL0 <sup>(2)</sup>  | A         | IO パッド較正抵抗                             | Y5         |
| DDR0_CK0                  | O         | DDRSS クロック                             | R1         |
| DDR0_CK0_n                | O         | DDRSS 負のクロック                           | P1         |
| DDR0_CKE0                 | O         | DDRSS クロック イネーブル                       | N4         |
| DDR0_CKE1                 | O         | DDRSS クロック イネーブル                       | P5         |
| DDR0_CS0_n <sup>(1)</sup> | O         | DDR4 チップセレクト 0/LPDDR4 チップセレクト 0A       | L6         |
| DDR0_CS1_n <sup>(1)</sup> | O         | DDR4 チップセレクト 1/LPDDR4 チップセレクト 1A       | T3         |
| DDR0_DM0                  | IO        | DDRSS データ マスク                          | C3         |
| DDR0_DM1                  | IO        | DDRSS データ マスク                          | H3         |
| DDR0_DM2                  | IO        | DDRSS データ マスク                          | V4         |
| DDR0_DM3                  | IO        | DDRSS データ マスク                          | AD1        |
| DDR0_DQ0                  | IO        | DDRSS データ                              | B2         |
| DDR0_DQ1                  | IO        | DDRSS データ                              | A3         |
| DDR0_DQ2                  | IO        | DDRSS データ                              | A4         |
| DDR0_DQ3                  | IO        | DDRSS データ                              | A5         |
| DDR0_DQ4                  | IO        | DDRSS データ                              | A2         |
| DDR0_DQ5                  | IO        | DDRSS データ                              | B4         |
| DDR0_DQ6                  | IO        | DDRSS データ                              | D2         |
| DDR0_DQ7                  | IO        | DDRSS データ                              | C4         |
| DDR0_DQ8                  | IO        | DDRSS データ                              | E2         |
| DDR0_DQ9                  | IO        | DDRSS データ                              | F1         |

**表 5-8. DDRSS0 信号の説明 (続き)**

| 信号名 [1]       | ピンの種類 [2] | 説明 [3]                    | AMH ピン [4] |
|---------------|-----------|---------------------------|------------|
| DDR0_DQ10     | IO        | DDRSS データ                 | G5         |
| DDR0_DQ11     | IO        | DDRSS データ                 | F2         |
| DDR0_DQ12     | IO        | DDRSS データ                 | G3         |
| DDR0_DQ13     | IO        | DDRSS データ                 | H4         |
| DDR0_DQ14     | IO        | DDRSS データ                 | J2         |
| DDR0_DQ15     | IO        | DDRSS データ                 | G2         |
| DDR0_DQ16     | IO        | DDRSS データ                 | U2         |
| DDR0_DQ17     | IO        | DDRSS データ                 | U3         |
| DDR0_DQ18     | IO        | DDRSS データ                 | U5         |
| DDR0_DQ19     | IO        | DDRSS データ                 | V5         |
| DDR0_DQ20     | IO        | DDRSS データ                 | V2         |
| DDR0_DQ21     | IO        | DDRSS データ                 | Y2         |
| DDR0_DQ22     | IO        | DDRSS データ                 | Y3         |
| DDR0_DQ23     | IO        | DDRSS データ                 | AA4        |
| DDR0_DQ24     | IO        | DDRSS データ                 | AC2        |
| DDR0_DQ25     | IO        | DDRSS データ                 | AA2        |
| DDR0_DQ26     | IO        | DDRSS データ                 | AC4        |
| DDR0_DQ27     | IO        | DDRSS データ                 | AD2        |
| DDR0_DQ28     | IO        | DDRSS データ                 | AD3        |
| DDR0_DQ29     | IO        | DDRSS データ                 | AC3        |
| DDR0_DQ30     | IO        | DDRSS データ                 | AE4        |
| DDR0_DQ31     | IO        | DDRSS データ                 | AE3        |
| DDR0_QS0      | IO        | DDRSS データ ストローブ           | D1         |
| DDR0_QS0_n    | IO        | DDRSS 相補データ ストローブ         | C1         |
| DDR0_QS1      | IO        | DDRSS データ ストローブ           | J1         |
| DDR0_QS1_n    | IO        | DDRSS 相補データ ストローブ         | H1         |
| DDR0_QS2      | IO        | DDRSS データ ストローブ           | W1         |
| DDR0_QS2_n    | IO        | DDRSS 相補データ ストローブ         | V1         |
| DDR0_QS3      | IO        | DDRSS データ ストローブ           | AA1        |
| DDR0_QS3_n    | IO        | DDRSS 相補データ ストローブ         | AB1        |
| DDR0_ODT0     | O         | DDRSS チップ セレクト 0 のオン ダイ終端 | L5         |
| DDR0_ODT1     | O         | DDRSS チップ セレクト 1 のオン ダイ終端 | V6         |
| DDR0_RESET0_n | O         | DDRSS のリセット               | AA5        |

- (1) DDRSS は、DDR4 メモリ デバイスで動作するように構成されている場合には、コラム アドレス ストローブ、ロー アドレス ストローブ、チップ セレクト 0、チップ セレクト 1 に異なる信号機能を実装します。DDRSS が LPDDR4 メモリデバイスで動作するように構成されている場合、これらの信号はそれぞれチップセレクト 1B、チップセレクト 0B、チップセレクト 0A、チップセレクト 1A として機能します。詳細については [セクション 8.2.1](#)、『DDR 基板の設計およびレイアウトのガイドライン』を参照してください。
- (2) このピンと VSS の間に  $240\Omega \pm 1\%$  の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

### 5.3.5 DSI

#### 5.3.5.1 メイン ドメイン

表 5-9. DSITX0 信号の説明

| 信号名 [1]                      | ピンの種類 [2] | 説明 [3]                      | AMH ピン [4] |
|------------------------------|-----------|-----------------------------|------------|
| DSI0_TXCLKN                  | IO        | DSI 差動送信クロック出力 (負)          | AA12       |
| DSI0_TXCLKP                  | IO        | DSI 差動送信クロック出力 (正)          | AA13       |
| DSI0_TXRCALIB <sup>(1)</sup> | A         | オンチップ抵抗較正用に外部抵抗に接続する DSI ピン | Y16        |
| DSI0_TXN0                    | IO        | DSI 差動送信出力 (負)              | AD11       |
| DSI0_TXN1                    | IO        | DSI 差動送信出力 (負)              | AB13       |
| DSI0_TXN2                    | IO        | DSI 差動送信出力 (負)              | AC12       |
| DSI0_TXN3                    | IO        | DSI 差動送信出力 (負)              | AE14       |
| DSI0_TXP0                    | IO        | DSI 差動送信出力 (正)              | AD12       |
| DSI0_TXP1                    | IO        | DSI 差動送信出力 (正)              | AB14       |
| DSI0_TXP2                    | IO        | DSI 差動送信出力 (正)              | AC13       |
| DSI0_TXP3                    | IO        | DSI 差動送信出力 (正)              | AE15       |

(1) このピンと VSS の間に  $499\Omega \pm 1\%$  の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。

### 5.3.6 DSS

#### 5.3.6.1 メイン ドメイン

表 5-10. DSS0 信号の説明

| 信号名 [1]         | ピンの種類 [2] | 説明 [3]              | AMH ピン [4] |
|-----------------|-----------|---------------------|------------|
| VOUT0_DE        | O         | ビデオ出力データ イネーブル      | W21        |
| VOUT0_EXTPCLKIN | I         | ビデオ出力の外部ピクセル クロック入力 | AD24       |
| VOUT0_HSYNC     | O         | ビデオ出力の水平同期          | AC20       |
| VOUT0_PCLK      | O         | ビデオ出力のピクセル クロック出力   | Y21        |
| VOUT0_VSYNC     | O         | ビデオ出力の垂直同期          | W20        |
| VOUT0_DATA0     | O         | ビデオ出力データ 0          | AE24       |
| VOUT0_DATA1     | O         | ビデオ出力データ 1          | W23        |
| VOUT0_DATA2     | O         | ビデオ出力データ 2          | AA23       |
| VOUT0_DATA3     | O         | ビデオ出力データ 3          | Y23        |
| VOUT0_DATA4     | O         | ビデオ出力データ 4          | AB23       |
| VOUT0_DATA5     | O         | ビデオ出力データ 5          | AD23       |
| VOUT0_DATA6     | O         | ビデオ出力データ 6          | AC23       |
| VOUT0_DATA7     | O         | ビデオ出力データ 7          | AE23       |
| VOUT0_DATA8     | O         | ビデオ出力データ 8          | AE22       |
| VOUT0_DATA9     | O         | ビデオ出力データ 9          | AC22       |
| VOUT0_DATA10    | O         | ビデオ出力データ 10         | W22        |
| VOUT0_DATA11    | O         | ビデオ出力データ 11         | AE21       |
| VOUT0_DATA12    | O         | ビデオ出力データ 12         | AD21       |
| VOUT0_DATA13    | O         | ビデオ出力データ 13         | AC21       |
| VOUT0_DATA14    | O         | ビデオ出力データ 14         | AA20       |
| VOUT0_DATA15    | O         | ビデオ出力データ 15         | Y20        |
| VOUT0_DATA16    | O         | ビデオ出力データ 16         | AC25       |

**表 5-10. DSS0 信号の説明 (続き)**

| 信号名 [1]      | ピンの種類 [2] | 説明 [3]      | AMH ピン [4] |
|--------------|-----------|-------------|------------|
| VOUT0_DATA17 | O         | ビデオ出力データ 17 | AB25       |
| VOUT0_DATA18 | O         | ビデオ出力データ 18 | AA25       |
| VOUT0_DATA19 | O         | ビデオ出力データ 19 | W24        |
| VOUT0_DATA20 | O         | ビデオ出力データ 20 | Y24        |
| VOUT0_DATA21 | O         | ビデオ出力データ 21 | AD25       |
| VOUT0_DATA22 | O         | ビデオ出力データ 22 | AB24       |
| VOUT0_DATA23 | O         | ビデオ出力データ 23 | AC24       |

### 5.3.7 ECAP

#### 5.3.7.1 メイン ドメイン

**表 5-11. ECAP0 信号の説明**

| 信号名 [1]           | ピンの種類 [2] | 説明 [3]                               | AMH ピン [4] |
|-------------------|-----------|--------------------------------------|------------|
| ECAP0_IN_APWM_OUT | IO        | 拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力 | C25、E20    |

**表 5-12. ECAP1 信号の説明**

| 信号名 [1]           | ピンの種類 [2] | 説明 [3]                               | AMH ピン [4]          |
|-------------------|-----------|--------------------------------------|---------------------|
| ECAP1_IN_APWM_OUT | IO        | 拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力 | A22、B25、D25、E24、H23 |

**表 5-13. ECAP2 信号の説明**

| 信号名 [1]           | ピンの種類 [2] | 説明 [3]                               | AMH ピン [4]          |
|-------------------|-----------|--------------------------------------|---------------------|
| ECAP2_IN_APWM_OUT | IO        | 拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力 | A24、B22、E25、F24、H21 |

### 5.3.8 エミュレーションおよびデバッグ

#### 5.3.8.1 メイン ドメイン

**表 5-14. トレース信号の説明**

| 信号名 [1]    | ピンの種類 [2] | 説明 [3]      | AMH ピン [4] |
|------------|-----------|-------------|------------|
| TRC_CLK    | O         | トレース クロック   | U22        |
| TRC_CTL    | O         | トレース制御      | U21        |
| TRC_DATA0  | O         | トレース データ 0  | U20        |
| TRC_DATA1  | O         | トレース データ 1  | V25        |
| TRC_DATA2  | O         | トレース データ 2  | T20        |
| TRC_DATA3  | O         | トレース データ 3  | T21        |
| TRC_DATA4  | O         | トレース データ 4  | V24        |
| TRC_DATA5  | O         | トレース データ 5  | W25        |
| TRC_DATA6  | O         | トレース データ 6  | Y25        |
| TRC_DATA7  | O         | トレース データ 7  | R25        |
| TRC_DATA8  | O         | トレース データ 8  | R24        |
| TRC_DATA9  | O         | トレース データ 9  | T25        |
| TRC_DATA10 | O         | トレース データ 10 | U24        |
| TRC_DATA11 | O         | トレース データ 11 | T24        |

表 5-14. トレース信号の説明 (続き)

| 信号名 [1]    | ピンの種類 [2] | 説明 [3]      | AMH ピン [4] |
|------------|-----------|-------------|------------|
| TRC_DATA12 | O         | トレース データ 12 | AA24       |
| TRC_DATA13 | O         | トレース データ 13 | P24        |
| TRC_DATA14 | O         | トレース データ 14 | P25        |
| TRC_DATA15 | O         | トレース データ 15 | T23        |
| TRC_DATA16 | O         | トレース データ 16 | U23        |
| TRC_DATA17 | O         | トレース データ 17 | T22        |
| TRC_DATA18 | O         | トレース データ 18 | U25        |
| TRC_DATA19 | O         | トレース データ 19 | AC24       |
| TRC_DATA20 | O         | トレース データ 20 | AB24       |
| TRC_DATA21 | O         | トレース データ 21 | AD25       |
| TRC_DATA22 | O         | トレース データ 22 | Y24        |
| TRC_DATA23 | O         | トレース データ 23 | W24        |

## 5.3.8.2 MCU ドメイン

表 5-15. JTAG 信号の説明

| 信号名 [1] | ピンの種類 [2] | 説明 [3]           | AMH ピン [4] |
|---------|-----------|------------------|------------|
| EMU0    | IO        | エミュレーション制御 0     | B12        |
| EMU1    | IO        | エミュレーション制御 1     | D13        |
| TCK     | I         | JTAG テスト クロック入力  | C13        |
| TDI     | I         | JTAG テスト データ入力   | E13        |
| TDO     | OZ        | JTAG テスト データ出力   | C14        |
| TMS     | I         | JTAG テスト モード選択入力 | E14        |
| TRSTn   | I         | JTAG のリセット       | B13        |

## 5.3.9 EPWM

## 5.3.9.1 メイン ドメイン

表 5-16. EPWM 信号の説明

| 信号名 [1]        | ピンの種類 [2] | 説明 [3]                        | AMH ピン [4] |
|----------------|-----------|-------------------------------|------------|
| EHRPWM_SOC_A   | O         | EHRPWM 変換開始 A                 | B25        |
| EHRPWM_SOC_B   | O         | EHRPWM 変換開始 B                 | A24        |
| EHRPWM_TZn_IN0 | I         | EHRPWMトリップゾーン入力 0 (アクティブ Low) | C21, K24   |
| EHRPWM_TZn_IN1 | I         | EHRPWMトリップゾーン入力 1 (アクティブ Low) | J25        |
| EHRPWM_TZn_IN2 | I         | EHRPWMトリップゾーン入力 2 (アクティブ Low) | K25        |
| EHRPWM_TZn_IN3 | I         | EHRPWMトリップゾーン入力 3 (アクティブ Low) | B23        |
| EHRPWM_TZn_IN4 | I         | EHRPWMトリップゾーン入力 4 (アクティブ Low) | F20        |
| EHRPWM_TZn_IN5 | I         | EHRPWMトリップゾーン入力 5 (アクティブ Low) | E20        |

表 5-17. EPWM0 信号の説明

| 信号名 [1]       | ピンの種類 [2] | 説明 [3]                    | AMH ピン [4]    |
|---------------|-----------|---------------------------|---------------|
| EHRPWM0_A     | IO        | EHRPWM 出力 A               | D20, G23, L21 |
| EHRPWM0_B     | IO        | EHRPWM 出力 B               | E20, G20, L20 |
| EHRPWM0_SYNCI | I         | 外部ピンから EHRPWM モジュールへの同期入力 | C24, K21      |

**表 5-17. EPWM0 信号の説明 (続き)**

| 信号名 [1]       | ピンの種類 [2] | 説明 [3]                   | AMH ピン [4] |
|---------------|-----------|--------------------------|------------|
| EHRPWM0_SYNCO | O         | EHRPWM モジュールから外部ピンへの同期出力 | B24、K24    |

**表 5-18. EPWM1 信号の説明**

| 信号名 [1]   | ピンの種類 [2] | 説明 [3]      | AMH ピン [4]  |
|-----------|-----------|-------------|-------------|
| EHRPWM1_A | IO        | EHRPWM 出力 A | B21、E24、K22 |
| EHRPWM1_B | IO        | EHRPWM 出力 B | B20、F23、K23 |

**表 5-19. EPWM2 信号の説明**

| 信号名 [1]   | ピンの種類 [2] | 説明 [3]      | AMH ピン [4]  |
|-----------|-----------|-------------|-------------|
| EHRPWM2_A | IO        | EHRPWM 出力 A | A22、C24、J25 |
| EHRPWM2_B | IO        | EHRPWM 出力 B | B22、B24、K25 |

### 5.3.10 EQEP

#### 5.3.10.1 メイン ドメイン

**表 5-20. EQEP0 信号の説明**

| 信号名 [1]                | ピンの種類 [2] | 説明 [3]      | AMH ピン [4] |
|------------------------|-----------|-------------|------------|
| EQEP0_A <sup>(1)</sup> | I         | EQEP 直交入力 A | D25        |
| EQEP0_B <sup>(1)</sup> | I         | EQEP 直交入力 B | E25        |
| EQEP0_I <sup>(1)</sup> | IO        | EQEP インデックス | F23        |
| EQEP0_S <sup>(1)</sup> | IO        | EQEP ストロープ  | E24        |

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

**表 5-21. EQEP1 信号の説明**

| 信号名 [1]                | ピンの種類 [2] | 説明 [3]      | AMH ピン [4] |
|------------------------|-----------|-------------|------------|
| EQEP1_A <sup>(1)</sup> | I         | EQEP 直交入力 A | F24        |
| EQEP1_B <sup>(1)</sup> | I         | EQEP 直交入力 B | F25        |
| EQEP1_I <sup>(1)</sup> | IO        | EQEP インデックス | G20        |
| EQEP1_S <sup>(1)</sup> | IO        | EQEP ストロープ  | G23        |

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

**表 5-22. EQEP2 信号の説明**

| 信号名 [1]                | ピンの種類 [2] | 説明 [3]      | AMH ピン [4]            |
|------------------------|-----------|-------------|-----------------------|
| EQEP2_A <sup>(1)</sup> | I         | EQEP 直交入力 A | AC23、B25、E17          |
| EQEP2_B <sup>(1)</sup> | I         | EQEP 直交入力 B | A24、AE23、C19          |
| EQEP2_I <sup>(1)</sup> | IO        | EQEP インデックス | AB23、AD24、<br>B23、D17 |
| EQEP2_S <sup>(1)</sup> | IO        | EQEP ストロープ  | A19、AD23、<br>F20、P25  |

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

### 5.3.11 GPIO

#### 5.3.11.1 メイン ドメイン

表 5-23. GPIO0 信号の説明

| 信号名 [1]                 | ピンの種類 [2] | 説明 [3] | AMH ピン [4] |
|-------------------------|-----------|--------|------------|
| GPIO0_0                 | IO        | 汎用入出力  | P23        |
| GPIO0_1                 | IO        | 汎用入出力  | N23        |
| GPIO0_2                 | IO        | 汎用入出力  | P22        |
| GPIO0_3                 | IO        | 汎用入出力  | L25        |
| GPIO0_4                 | IO        | 汎用入出力  | N24        |
| GPIO0_5                 | IO        | 汎用入出力  | N25        |
| GPIO0_6                 | IO        | 汎用入出力  | M24        |
| GPIO0_7                 | IO        | 汎用入出力  | N21        |
| GPIO0_8                 | IO        | 汎用入出力  | N22        |
| GPIO0_9                 | IO        | 汎用入出力  | P21        |
| GPIO0_10                | IO        | 汎用入出力  | N20        |
| GPIO0_11                | IO        | 汎用入出力  | M25        |
| GPIO0_12                | IO        | 汎用入出力  | L24        |
| GPIO0_13 <sup>(1)</sup> | IO        | 汎用入出力  | L22        |
| GPIO0_14 <sup>(1)</sup> | IO        | 汎用入出力  | L23        |
| GPIO0_15                | IO        | 汎用入出力  | U22        |
| GPIO0_16                | IO        | 汎用入出力  | U21        |
| GPIO0_17                | IO        | 汎用入出力  | U20        |
| GPIO0_18                | IO        | 汎用入出力  | V25        |
| GPIO0_19                | IO        | 汎用入出力  | T20        |
| GPIO0_20                | IO        | 汎用入出力  | T21        |
| GPIO0_21                | IO        | 汎用入出力  | V24        |
| GPIO0_22                | IO        | 汎用入出力  | W25        |
| GPIO0_23                | IO        | 汎用入出力  | AC25       |
| GPIO0_24                | IO        | 汎用入出力  | AB25       |
| GPIO0_25                | IO        | 汎用入出力  | AA25       |
| GPIO0_26                | IO        | 汎用入出力  | W24        |
| GPIO0_27                | IO        | 汎用入出力  | Y24        |
| GPIO0_28                | IO        | 汎用入出力  | AD25       |
| GPIO0_29                | IO        | 汎用入出力  | AB24       |
| GPIO0_30                | IO        | 汎用入出力  | AC24       |
| GPIO0_31                | IO        | 汎用入出力  | Y25        |
| GPIO0_32                | IO        | 汎用入出力  | R25        |
| GPIO0_33                | IO        | 汎用入出力  | R24        |
| GPIO0_34                | IO        | 汎用入出力  | T25        |
| GPIO0_35                | IO        | 汎用入出力  | U24        |
| GPIO0_36                | IO        | 汎用入出力  | T24        |
| GPIO0_37                | IO        | 汎用入出力  | AA24       |
| GPIO0_38                | IO        | 汎用入出力  | AD24       |
| GPIO0_39                | IO        | 汎用入出力  | P24        |
| GPIO0_40                | IO        | 汎用入出力  | P25        |
| GPIO0_41                | IO        | 汎用入出力  | T23        |

**表 5-23. GPIO0 信号の説明 (続き)**

| 信号名 [1]                 | ピンの種類 [2] | 説明 [3] | AMH ピン [4] |
|-------------------------|-----------|--------|------------|
| GPIO0_42                | IO        | 汎用入出力  | U23        |
| GPIO0_43 <sup>(1)</sup> | IO        | 汎用入出力  | T22        |
| GPIO0_44 <sup>(1)</sup> | IO        | 汎用入出力  | U25        |
| GPIO0_45                | IO        | 汎用入出力  | AE24       |
| GPIO0_46                | IO        | 汎用入出力  | W23        |
| GPIO0_47                | IO        | 汎用入出力  | AA23       |
| GPIO0_48                | IO        | 汎用入出力  | Y23        |
| GPIO0_49                | IO        | 汎用入出力  | AB23       |
| GPIO0_50                | IO        | 汎用入出力  | AD23       |
| GPIO0_51                | IO        | 汎用入出力  | AC23       |
| GPIO0_52                | IO        | 汎用入出力  | AE23       |
| GPIO0_53                | IO        | 汎用入出力  | AE22       |
| GPIO0_54                | IO        | 汎用入出力  | AC22       |
| GPIO0_55                | IO        | 汎用入出力  | W22        |
| GPIO0_56                | IO        | 汎用入出力  | AE21       |
| GPIO0_57                | IO        | 汎用入出力  | AD21       |
| GPIO0_58                | IO        | 汎用入出力  | AC21       |
| GPIO0_59                | IO        | 汎用入出力  | AA20       |
| GPIO0_60                | IO        | 汎用入出力  | Y20        |
| GPIO0_61                | IO        | 汎用入出力  | AC20       |
| GPIO0_62                | IO        | 汎用入出力  | W21        |
| GPIO0_63                | IO        | 汎用入出力  | W20        |
| GPIO0_64                | IO        | 汎用入出力  | Y21        |
| GPIO0_65 <sup>(1)</sup> | IO        | 汎用入出力  | L21        |
| GPIO0_66 <sup>(1)</sup> | IO        | 汎用入出力  | L20        |
| GPIO0_67 <sup>(1)</sup> | IO        | 汎用入出力  | K22        |
| GPIO0_68 <sup>(1)</sup> | IO        | 汎用入出力  | K23        |
| GPIO0_69 <sup>(1)</sup> | IO        | 汎用入出力  | K21        |
| GPIO0_70 <sup>(1)</sup> | IO        | 汎用入出力  | K24        |
| GPIO0_71 <sup>(1)</sup> | IO        | 汎用入出力  | J25        |
| GPIO0_72 <sup>(1)</sup> | IO        | 汎用入出力  | K25        |
| GPIO0_73                | IO        | 汎用入出力  | B18        |
| GPIO0_74                | IO        | 汎用入出力  | B17        |
| GPIO0_75                | IO        | 汎用入出力  | A18        |
| GPIO0_76                | IO        | 汎用入出力  | C17        |
| GPIO0_77                | IO        | 汎用入出力  | A17        |
| GPIO0_78                | IO        | 汎用入出力  | C16        |
| GPIO0_79                | IO        | 汎用入出力  | A15        |
| GPIO0_80                | IO        | 汎用入出力  | A16        |
| GPIO0_81                | IO        | 汎用入出力  | B15        |
| GPIO0_82                | IO        | 汎用入出力  | B16        |
| GPIO0_83                | IO        | 汎用入出力  | A14        |
| GPIO0_84                | IO        | 汎用入出力  | B14        |
| GPIO0_85                | IO        | 汎用入出力  | F16        |
| GPIO0_86                | IO        | 汎用入出力  | F17        |

表 5-23. GPIO0 信号の説明 (続き)

| 信号名 [1]  | ピンの種類 [2] | 説明 [3] | AMH ピン [4] |
|----------|-----------|--------|------------|
| GPIO0_87 | IO        | 汎用入出力  | A20        |
| GPIO0_88 | IO        | 汎用入出力  | D16        |
| GPIO0_89 | IO        | 汎用入出力  | B19        |
| GPIO0_90 | IO        | 汎用入出力  | A21        |
| GPIO0_91 | IO        | 汎用入出力  | D17        |

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカルリファレンス マニュアルの「デバイス構成」の章を参照してください。

表 5-24. GPIO1 信号の説明

| 信号名 [1]                 | ピンの種類 [2] | 説明 [3] | AMH ピン [4] |
|-------------------------|-----------|--------|------------|
| GPIO1_0                 | IO        | 汎用入出力  | A19        |
| GPIO1_1                 | IO        | 汎用入出力  | F19        |
| GPIO1_2                 | IO        | 汎用入出力  | D19        |
| GPIO1_3                 | IO        | 汎用入出力  | E19        |
| GPIO1_4                 | IO        | 汎用入出力  | E16        |
| GPIO1_5                 | IO        | 汎用入出力  | E17        |
| GPIO1_6                 | IO        | 汎用入出力  | C19        |
| GPIO1_7                 | IO        | 汎用入出力  | D25        |
| GPIO1_8                 | IO        | 汎用入出力  | E25        |
| GPIO1_9                 | IO        | 汎用入出力  | E24        |
| GPIO1_10                | IO        | 汎用入出力  | F23        |
| GPIO1_11                | IO        | 汎用入出力  | F24        |
| GPIO1_12                | IO        | 汎用入出力  | F25        |
| GPIO1_13                | IO        | 汎用入出力  | G23        |
| GPIO1_14                | IO        | 汎用入出力  | G20        |
| GPIO1_15                | IO        | 汎用入出力  | D20        |
| GPIO1_16 <sup>(1)</sup> | IO        | 汎用入出力  | E20        |
| GPIO1_17                | IO        | 汎用入出力  | B21        |
| GPIO1_18                | IO        | 汎用入出力  | B20        |
| GPIO1_19                | IO        | 汎用入出力  | C21        |
| GPIO1_20                | IO        | 汎用入出力  | A22        |
| GPIO1_21                | IO        | 汎用入出力  | B22        |
| GPIO1_22                | IO        | 汎用入出力  | A23        |
| GPIO1_23                | IO        | 汎用入出力  | C22        |
| GPIO1_24                | IO        | 汎用入出力  | B23        |
| GPIO1_25                | IO        | 汎用入出力  | F20        |
| GPIO1_26                | IO        | 汎用入出力  | B25        |
| GPIO1_27                | IO        | 汎用入出力  | A24        |
| GPIO1_28                | IO        | 汎用入出力  | C24        |
| GPIO1_29                | IO        | 汎用入出力  | B24        |
| GPIO1_30                | IO        | 汎用入出力  | C25        |
| GPIO1_31 <sup>(1)</sup> | IOD       | 汎用入出力  | C23        |
| GPIO1_42 <sup>(1)</sup> | IO        | 汎用入出力  | H25        |
| GPIO1_43 <sup>(1)</sup> | IO        | 汎用入出力  | H22        |
| GPIO1_44 <sup>(1)</sup> | IO        | 汎用入出力  | H23        |

**表 5-24. GPIO1 信号の説明 (続き)**

| 信号名 [1]                 | ピンの種類 [2] | 説明 [3] | AMH ピン [4] |
|-------------------------|-----------|--------|------------|
| GPIO1_45 <sup>(1)</sup> | IO        | 汎用入出力  | H21        |
| GPIO1_46 <sup>(1)</sup> | IO        | 汎用入出力  | J24        |
| GPIO1_47 <sup>(1)</sup> | IO        | 汎用入出力  | H20        |
| GPIO1_48 <sup>(1)</sup> | IO        | 汎用入出力  | D23        |
| GPIO1_49 <sup>(1)</sup> | IO        | 汎用入出力  | D24        |
| GPIO1_50                | IO        | 汎用入出力  | G22        |
| GPIO1_51                | IO        | 汎用入出力  | G21        |

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

### 5.3.11.2 MCU ドメイン

**表 5-25. MCU\_GPIO0 信号の説明**

| 信号名 [1]                     | ピンの種類 [2] | 説明 [3] | AMH ピン [4] |
|-----------------------------|-----------|--------|------------|
| MCU_GPIO0_0 <sup>(1)</sup>  | IO        | 汎用入出力  | B10        |
| MCU_GPIO0_1 <sup>(1)</sup>  | IO        | 汎用入出力  | E10        |
| MCU_GPIO0_2                 | IO        | 汎用入出力  | C10        |
| MCU_GPIO0_3                 | IO        | 汎用入出力  | B11        |
| MCU_GPIO0_4                 | IO        | 汎用入出力  | D10        |
| MCU_GPIO0_5                 | IO        | 汎用入出力  | B6         |
| MCU_GPIO0_6                 | IO        | 汎用入出力  | C8         |
| MCU_GPIO0_7 <sup>(1)</sup>  | IO        | 汎用入出力  | B8         |
| MCU_GPIO0_8 <sup>(1)</sup>  | IO        | 汎用入出力  | B7         |
| MCU_GPIO0_9                 | IO        | 汎用入出力  | D8         |
| MCU_GPIO0_10                | IO        | 汎用入出力  | D7         |
| MCU_GPIO0_11 <sup>(1)</sup> | IO        | 汎用入出力  | C7         |
| MCU_GPIO0_12 <sup>(1)</sup> | IO        | 汎用入出力  | C6         |
| MCU_GPIO0_13                | IO        | 汎用入出力  | E8         |
| MCU_GPIO0_14                | IO        | 汎用入出力  | D6         |
| MCU_GPIO0_15 <sup>(1)</sup> | IO        | 汎用入出力  | F8         |
| MCU_GPIO0_16 <sup>(1)</sup> | IO        | 汎用入出力  | E7         |
| MCU_GPIO0_17                | IOD       | 汎用入出力  | E11        |
| MCU_GPIO0_18                | IOD       | 汎用入出力  | D11        |
| MCU_GPIO0_19                | IOD       | 汎用入出力  | A13        |
| MCU_GPIO0_20                | IOD       | 汎用入出力  | C11        |
| MCU_GPIO0_21                | IO        | 汎用入出力  | F14        |
| MCU_GPIO0_22                | IO        | 汎用入出力  | B9         |
| MCU_GPIO0_23                | IO        | 汎用入出力  | F13        |

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

## 5.3.12 GPMC

## 5.3.12.1 メイン ドメイン

表 5-26. GPMC0 信号の説明

| 信号名 [1]        | ピンの種類 [2] | 説明 [3]   | AMH ピン [4] |
|----------------|-----------|--|------------|
| GPMC0_ADVn_ALE | O         | GPMC アドレス有効 (アクティブ Low) またはアドレス ラッチ イネーブル                | R25        |
| GPMC0_CLK      | O         | GPMC クロック  | Y25        |
| GPMC0_DIR      | O         | GPMC データ バス信号方向制御  | P25        |
| GPMC0_FCLK_MUX | O         | GPMC 機能クロック出力  | Y25        |
| GPMC0_OEn_REn  | O         | GPMC 出力イネーブル (アクティブ Low) または読み出しイネーブル (アクティブ Low)        | R24        |
| GPMC0_WEn      | O         | GPMC 書き込みイネーブル (アクティブ Low)                               | T25        |
| GPMC0_WPn      | O         | GPMC フラッシュ書き込み保護 (アクティブ Low)                             | P24        |
| GPMC0_A0       | OZ        | GPMC アドレス 0 出力。8 ビット データ非多重化メモリを効果的にアドレス指定するためにのみ使用されます。 | AE24       |
| GPMC0_A1       | OZ        | GPMC アドレス 1 (A/D 非多重化モード) およびアドレス 17 (A/D 多重化モード) 出力     | W23        |
| GPMC0_A2       | OZ        | GPMC アドレス 2 (A/D 非多重化モード) およびアドレス 18 (A/D 多重化モード) 出力     | AA23       |
| GPMC0_A3       | OZ        | GPMC アドレス 3 (A/D 非多重化モード) およびアドレス 19 (A/D 多重化モード) 出力     | Y23        |
| GPMC0_A4       | OZ        | GPMC アドレス 4 (A/D 非多重化モード) およびアドレス 20 (A/D 多重化モード) 出力     | AB23       |
| GPMC0_A5       | OZ        | GPMC アドレス 5 (A/D 非多重化モード) およびアドレス 21 (A/D 多重化モード) 出力     | AD23       |
| GPMC0_A6       | OZ        | GPMC アドレス 6 (A/D 非多重化モード) およびアドレス 22 (A/D 多重化モード) 出力     | AC23       |
| GPMC0_A7       | OZ        | GPMC アドレス 7 (A/D 非多重化モード) およびアドレス 23 (A/D 多重化モード) 出力     | AE23       |
| GPMC0_A8       | OZ        | GPMC アドレス 8 (A/D 非多重化モード) およびアドレス 24 (A/D 多重化モード) 出力     | AE22       |
| GPMC0_A9       | OZ        | GPMC アドレス 9 (A/D 非多重化モード) およびアドレス 25 (A/D 多重化モード) 出力     | AC22       |
| GPMC0_A10      | OZ        | GPMC アドレス 10 (A/D 非多重化モード) およびアドレス 26 (A/D 多重化モード) 出力    | W22        |
| GPMC0_A11      | OZ        | GPMC アドレス 11 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)          | AE21       |
| GPMC0_A12      | OZ        | GPMC アドレス 12 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)          | AD21       |
| GPMC0_A13      | OZ        | GPMC アドレス 13 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)          | AC21       |
| GPMC0_A14      | OZ        | GPMC アドレス 14 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)          | AA20       |
| GPMC0_A15      | OZ        | GPMC アドレス 15 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)          | Y20        |
| GPMC0_A16      | OZ        | GPMC アドレス 16 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)          | AC20       |
| GPMC0_A17      | OZ        | GPMC アドレス 17 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)          | W21        |

**表 5-26. GPMC0 信号の説明 (続き)**

| 信号名 [1]        | ピンの種類 [2] | 説明 [3]   | AMH ピン [4] |
|----------------|-----------|--|------------|
| GPMC0_A18      | OZ        | GPMC アドレス 18 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)            | W20        |
| GPMC0_A19      | OZ        | GPMC アドレス 19 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)            | Y21        |
| GPMC0_A20      | OZ        | GPMC アドレス 20 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)            | U25        |
| GPMC0_A21      | OZ        | GPMC アドレス 21 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)            | AD24       |
| GPMC0_A22      | OZ        | GPMC アドレス 22 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)            | P24        |
| GPMC0_AD0      | IO        | GPMC データ 0 入出力 (A/D 非多重化モード) および追加アドレス 1 出力 (A/D 多重化モード)   | U22        |
| GPMC0_AD1      | IO        | GPMC データ 1 入出力 (A/D 非多重化モード) および追加アドレス 2 出力 (A/D 多重化モード)   | U21        |
| GPMC0_AD2      | IO        | GPMC データ 2 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)   | U20        |
| GPMC0_AD3      | IO        | GPMC データ 3 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)   | V25        |
| GPMC0_AD4      | IO        | GPMC データ 4 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)   | T20        |
| GPMC0_AD5      | IO        | GPMC データ 5 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)   | T21        |
| GPMC0_AD6      | IO        | GPMC データ 6 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)   | V24        |
| GPMC0_AD7      | IO        | GPMC データ 7 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)   | W25        |
| GPMC0_AD8      | IO        | GPMC データ 8 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)   | AC25       |
| GPMC0_AD9      | IO        | GPMC データ 9 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)   | AB25       |
| GPMC0_AD10     | IO        | GPMC データ 10 入出力 (A/D 非多重化モード) および追加アドレス 11 出力 (A/D 多重化モード) | AA25       |
| GPMC0_AD11     | IO        | GPMC データ 11 入出力 (A/D 非多重化モード) および追加アドレス 12 出力 (A/D 多重化モード) | W24        |
| GPMC0_AD12     | IO        | GPMC データ 12 入出力 (A/D 非多重化モード) および追加アドレス 13 出力 (A/D 多重化モード) | Y24        |
| GPMC0_AD13     | IO        | GPMC データ 13 入出力 (A/D 非多重化モード) および追加アドレス 14 出力 (A/D 多重化モード) | AD25       |
| GPMC0_AD14     | IO        | GPMC データ 14 入出力 (A/D 非多重化モード) および追加アドレス 15 出力 (A/D 多重化モード) | AB24       |
| GPMC0_AD15     | IO        | GPMC データ 15 入出力 (A/D 非多重化モード) および追加アドレス 16 出力 (A/D 多重化モード) | AC24       |
| GPMC0_BE0n_CLE | O         | GPMC 下位バイト イネーブル (アクティブ Low) またはコマンドラッチ イネーブル              | U24        |
| GPMC0_BE1n     | O         | GPMC 上位バイト イネーブル (アクティブ Low)                               | T24        |
| GPMC0_CS0      | O         | GPMC チップ セレクト 0 (アクティブ Low)                                | T23        |
| GPMC0_CS1      | O         | GPMC チップ セレクト 1 (アクティブ Low)                                | U23        |
| GPMC0_CS2      | O         | GPMC チップ セレクト 2 (アクティブ Low)                                | T22        |
| GPMC0_CS3      | O         | GPMC チップ セレクト 3 (アクティブ Low)                                | U25        |

表 5-26. GPMC0 信号の説明 (続き)

| 信号名 [1]     | ピンの種類 [2] | 説明 [3]        | AMH ピン [4] |
|-------------|-----------|---------------|------------|
| GPMC0_WAIT0 | I         | GPMC ウェイト外部表示 | AA24       |
| GPMC0_WAIT1 | I         | GPMC ウェイト外部表示 | AD24       |

### 5.3.13 I2C

#### 5.3.13.1 メイン ドメイン

表 5-27. I2C0 信号の説明

| 信号名 [1]  | ピンの種類 [2] | 説明 [3]   | AMH ピン [4] |
|----------|-----------|----------|------------|
| I2C0_SCL | IOD       | I2C クロック | B25        |
| I2C0_SDA | IOD       | I2C データ  | A24        |

表 5-28. I2C1 信号の説明

| 信号名 [1]  | ピンの種類 [2] | 説明 [3]   | AMH ピン [4] |
|----------|-----------|----------|------------|
| I2C1_SCL | IOD       | I2C クロック | C24        |
| I2C1_SDA | IOD       | I2C データ  | B24        |

表 5-29. I2C2 信号の説明

| 信号名 [1]  | ピンの種類 [2] | 説明 [3]   | AMH ピン [4]  |
|----------|-----------|----------|-------------|
| I2C2_SCL | IOD       | I2C クロック | K23、T22     |
| I2C2_SDA | IOD       | I2C データ  | K22、L20、U25 |

表 5-30. I2C3 信号の説明

| 信号名 [1]  | ピンの種類 [2] | 説明 [3]   | AMH ピン [4] |
|----------|-----------|----------|------------|
| I2C3_SCL | IOD       | I2C クロック | A23、K21    |
| I2C3_SDA | IOD       | I2C データ  | C22、K24    |

#### 5.3.13.2 MCU ドメイン

表 5-31. MCU\_I2C0 信号の説明

| 信号名 [1]      | ピンの種類 [2] | 説明 [3]   | AMH ピン [4] |
|--------------|-----------|----------|------------|
| MCU_I2C0_SCL | IOD       | I2C クロック | E11        |
| MCU_I2C0_SDA | IOD       | I2C データ  | D11        |

#### 5.3.13.3 WKUP ドメイン

表 5-32. WKUP\_I2C0 信号の説明

| 信号名 [1]       | ピンの種類 [2] | 説明 [3]   | AMH ピン [4] |
|---------------|-----------|----------|------------|
| WKUP_I2C0_SCL | IOD       | I2C クロック | A13        |
| WKUP_I2C0_SDA | IOD       | I2C データ  | C11        |

### 5.3.14 MCAN

#### 5.3.14.1 メイン ドメイン

表 5-33. MCAN0 信号の説明

| 信号名 [1]  | ピンの種類 [2] | 説明 [3]     | AMH ピン [4] |
|----------|-----------|------------|------------|
| MCAN0_RX | I         | MCAN 受信データ | F20        |

**表 5-33. MCAN0 信号の説明 (続き)**

| 信号名 [1]  | ピンの種類 [2] | 説明 [3]     | AMH ピン [4] |
|----------|-----------|------------|------------|
| MCAN0_TX | O         | MCAN 送信データ | B23        |

**表 5-34. MCAN1 信号の説明**

| 信号名 [1]  | ピンの種類 [2] | 説明 [3]     | AMH ピン [4]  |
|----------|-----------|------------|-------------|
| MCAN1_RX | I         | MCAN 受信データ | D24、H22、U25 |
| MCAN1_TX | O         | MCAN 送信データ | D23、H25、T22 |

### 5.3.14.2 MCU ドメイン

**表 5-35. MCU\_MCAN0 信号の説明**

| 信号名 [1]      | ピンの種類 [2] | 説明 [3]     | AMH ピン [4] |
|--------------|-----------|------------|------------|
| MCU_MCAN0_RX | I         | MCAN 受信データ | D6         |
| MCU_MCAN0_TX | O         | MCAN 送信データ | E8         |

**表 5-36. MCU\_MCAN1 信号の説明**

| 信号名 [1]      | ピンの種類 [2] | 説明 [3]     | AMH ピン [4] |
|--------------|-----------|------------|------------|
| MCU_MCAN1_RX | I         | MCAN 受信データ | E7         |
| MCU_MCAN1_TX | O         | MCAN 送信データ | F8         |

### 5.3.15 MCASP

#### 5.3.15.1 メイン ドメイン

**表 5-37. MCASP0 信号の説明**

| 信号名 [1]      | ピンの種類 [2] | 説明 [3]                   | AMH ピン [4] |
|--------------|-----------|--------------------------|------------|
| MCASP0_ACLKR | IO        | MCASP 受信ビットクロック          | G20        |
| MCASP0_ACLKX | IO        | MCASP 送信ビットクロック          | F24        |
| MCASP0_AFSR  | IO        | MCASP 受信フレーム同期           | G23        |
| MCASP0_AFSX  | IO        | MCASP 送信フレーム同期           | F25        |
| MCASP0_AXR0  | IO        | MCASP シリアル データ (入力 / 出力) | F23        |
| MCASP0_AXR1  | IO        | MCASP シリアル データ (入力 / 出力) | E24        |
| MCASP0_AXR2  | IO        | MCASP シリアル データ (入力 / 出力) | E25        |
| MCASP0_AXR3  | IO        | MCASP シリアル データ (入力 / 出力) | D25        |

**表 5-38. MCASP1 信号の説明**

| 信号名 [1]      | ピンの種類 [2] | 説明 [3]                   | AMH ピン [4]   |
|--------------|-----------|--------------------------|--------------|
| MCASP1_ACLKR | IO        | MCASP 受信ビットクロック          | K21、L23、U25  |
| MCASP1_ACLKX | IO        | MCASP 送信ビットクロック          | J25、P21、U24  |
| MCASP1_AFSR  | IO        | MCASP 受信フレーム同期           | K24、L22、T22  |
| MCASP1_AFSX  | IO        | MCASP 送信フレーム同期           | AA24、K25、N20 |
| MCASP1_AXR0  | IO        | MCASP シリアル データ (入力 / 出力) | K23、N22、T25  |
| MCASP1_AXR1  | IO        | MCASP シリアル データ (入力 / 出力) | K22、N21、R24  |
| MCASP1_AXR2  | IO        | MCASP シリアル データ (入力 / 出力) | L20、L22、R25  |
| MCASP1_AXR3  | IO        | MCASP シリアル データ (入力 / 出力) | L21、L23、Y25  |
| MCASP1_AXR4  | IO        | MCASP シリアル データ (入力 / 出力) | K24、T22      |

表 5-38. MCASP1 信号の説明 (続き)

| 信号名 [1]     | ピンの種類 [2] | 説明 [3]                   | AMH ピン [4] |
|-------------|-----------|--------------------------|------------|
| MCASP1_AXR5 | IO        | MCASP シリアル データ (入力 / 出力) | K21、U25    |

表 5-39. MCASP2 信号の説明

| 信号名 [1]      | ピンの種類 [2] | 説明 [3]                   | AMH ピン [4]   |
|--------------|-----------|--------------------------|--------------|
| MCASP2_ACLKR | IO        | MCASP 受信ビット クロック         | A21、AC24     |
| MCASP2_ACLKX | IO        | MCASP 送信ビット クロック         | A19、AD25、C22 |
| MCASP2_AFSR  | IO        | MCASP 受信フレーム同期           | AB24、E16     |
| MCASP2_AFSX  | IO        | MCASP 送信フレーム同期           | A23、D17、Y24  |
| MCASP2_AXR0  | IO        | MCASP シリアル データ (入力 / 出力) | AC25、B23、E17 |
| MCASP2_AXR1  | IO        | MCASP シリアル データ (入力 / 出力) | AB25、D19、F20 |
| MCASP2_AXR2  | IO        | MCASP シリアル データ (入力 / 出力) | AA25、E19     |
| MCASP2_AXR3  | IO        | MCASP シリアル データ (入力 / 出力) | F19、W24      |
| MCASP2_AXR4  | IO        | MCASP シリアル データ (入力 / 出力) | A20、AB24、U22 |
| MCASP2_AXR5  | IO        | MCASP シリアル データ (入力 / 出力) | AC24、D16、U21 |
| MCASP2_AXR6  | IO        | MCASP シリアル データ (入力 / 出力) | B19、U20      |
| MCASP2_AXR7  | IO        | MCASP シリアル データ (入力 / 出力) | E16、V25      |
| MCASP2_AXR8  | IO        | MCASP シリアル データ (入力 / 出力) | A21、T20      |
| MCASP2_AXR9  | IO        | MCASP シリアル データ (入力 / 出力) | T21          |
| MCASP2_AXR10 | IO        | MCASP シリアル データ (入力 / 出力) | V24          |
| MCASP2_AXR11 | IO        | MCASP シリアル データ (入力 / 出力) | W25          |
| MCASP2_AXR12 | IO        | MCASP シリアル データ (入力 / 出力) | T24          |
| MCASP2_AXR13 | IO        | MCASP シリアル データ (入力 / 出力) | P25          |
| MCASP2_AXR14 | IO        | MCASP シリアル データ (入力 / 出力) | T23          |
| MCASP2_AXR15 | IO        | MCASP シリアル データ (入力 / 出力) | U23          |

### 5.3.16 MCSP1

#### 5.3.16.1 メイン ドメイン

表 5-40. MCSP10 信号の説明

| 信号名 [1]  | ピンの種類 [2] | 説明 [3]         | AMH ピン [4] |
|----------|-----------|----------------|------------|
| SPI0_CLK | IO        | SPI クロック       | B21        |
| SPI0_CS0 | IO        | SPI チップ セレクト 0 | D20        |
| SPI0_CS1 | IO        | SPI チップ セレクト 1 | E20        |
| SPI0_CS2 | IO        | SPI チップ セレクト 2 | A23        |
| SPI0_CS3 | IO        | SPI チップ セレクト 3 | C22        |
| SPI0_D0  | IO        | SPI データ 0      | B20        |
| SPI0_D1  | IO        | SPI データ 1      | C21        |

表 5-41. MCSP11 信号の説明

| 信号名 [1]  | ピンの種類 [2] | 説明 [3]         | AMH ピン [4] |
|----------|-----------|----------------|------------|
| SPI1_CLK | IO        | SPI クロック       | H20、N22    |
| SPI1_CS0 | IO        | SPI チップ セレクト 0 | J24、N21    |
| SPI1_CS1 | IO        | SPI チップ セレクト 1 | D24、L22    |

**表 5-41. MCSP1 信号の説明 (続き)**

| 信号名 [1]  | ピンの種類 [2] | 説明 [3]         | AMH ピン [4] |
|----------|-----------|----------------|------------|
| SPI1_CS2 | IO        | SPI チップ セレクト 2 | H23        |
| SPI1_CS3 | IO        | SPI チップ セレクト 3 | D23        |
| SPI1_D0  | IO        | SPI データ 0      | H25、P21    |
| SPI1_D1  | IO        | SPI データ 1      | H22、N20    |

**表 5-42. MCSP2 信号の説明**

| 信号名 [1]  | ピンの種類 [2] | 説明 [3]         | AMH ピン [4]  |
|----------|-----------|----------------|-------------|
| SPI2_CLK | IO        | SPI クロック       | B24、D23、G20 |
| SPI2_CS0 | IO        | SPI チップ セレクト 0 | B25、G23、H20 |
| SPI2_CS1 | IO        | SPI チップ セレクト 1 | C24、F24、H25 |
| SPI2_CS2 | IO        | SPI チップ セレクト 2 | A24、E24、J24 |
| SPI2_CS3 | IO        | SPI チップ セレクト 3 | C25、F25、H22 |
| SPI2_D0  | IO        | SPI データ 0      | A22、D25、H23 |
| SPI2_D1  | IO        | SPI データ 1      | B22、E25、H21 |

### 5.3.16.2 MCU ドメイン

**表 5-43. MCU\_MCSP10 信号の説明**

| 信号名 [1]      | ピンの種類 [2] | 説明 [3]         | AMH ピン [4] |
|--------------|-----------|----------------|------------|
| MCU_SPI0_CLK | IO        | SPI クロック       | C10        |
| MCU_SPI0_CS0 | IO        | SPI チップ セレクト 0 | B10        |
| MCU_SPI0_CS1 | IO        | SPI チップ セレクト 1 | E10        |
| MCU_SPI0_CS2 | IO        | SPI チップ セレクト 2 | D8、E7      |
| MCU_SPI0_CS3 | IO        | SPI チップ セレクト 3 | E8         |
| MCU_SPI0_D0  | IO        | SPI データ 0      | B11        |
| MCU_SPI0_D1  | IO        | SPI データ 1      | D10        |

**表 5-44. MCU\_MCSP11 信号の説明**

| 信号名 [1]      | ピンの種類 [2] | 説明 [3]         | AMH ピン [4] |
|--------------|-----------|----------------|------------|
| MCU_SPI1_CLK | IO        | SPI クロック       | C6、E7      |
| MCU_SPI1_CS0 | IO        | SPI チップ セレクト 0 | C7         |
| MCU_SPI1_CS1 | IO        | SPI チップ セレクト 2 | F8         |
| MCU_SPI1_CS2 | IO        | SPI チップ セレクト 2 | D7、E7      |
| MCU_SPI1_CS3 | IO        | SPI チップ セレクト 3 | D6         |
| MCU_SPI1_D0  | IO        | SPI データ 0      | B8         |
| MCU_SPI1_D1  | IO        | SPI データ 1      | B7         |

### 5.3.17 MDIO

#### 5.3.17.1 メイン ドメイン

**表 5-45. MDIO0 信号の説明**

| 信号名 [1]    | ピンの種類 [2] | 説明 [3]    | AMH ピン [4] |
|------------|-----------|-----------|------------|
| MDIO0_MDC  | O         | MDIO クロック | F17        |
| MDIO0_MDIO | IO        | MDIO データ  | F16        |

### 5.3.18 MMC

#### 5.3.18.1 メイン ドメイン

表 5-46. MMC0 信号の説明

| 信号名 [1]                    | ピンの種類 [2] | 説明 [3]           | AMH ピン [4] |
|----------------------------|-----------|------------------|------------|
| MMC0_CALPAD <sup>(1)</sup> | A         | MMC/SD/SDIO 較正抵抗 | AC5        |
| MMC0_CLK                   | O         | MMC/SD/SDIO クロック | AA6        |
| MMC0_CMD                   | IO        | MMC/SD/SDIO コマンド | AB8        |
| MMC0_DS                    | I         | MMC データ ストロープ    | AD5        |
| MMC0_DAT0                  | IO        | MMC/SD/SDIO データ  | AC7        |
| MMC0_DAT1                  | IO        | MMC/SD/SDIO データ  | AB7        |
| MMC0_DAT2                  | IO        | MMC/SD/SDIO データ  | AD6        |
| MMC0_DAT3                  | IO        | MMC/SD/SDIO データ  | AE5        |
| MMC0_DAT4                  | IO        | MMC/SD/SDIO データ  | AE6        |
| MMC0_DAT5                  | IO        | MMC/SD/SDIO データ  | AC6        |
| MMC0_DAT6                  | IO        | MMC/SD/SDIO データ  | AA7        |
| MMC0_DAT7                  | IO        | MMC/SD/SDIO データ  | AB6        |

(1) このピンと VSS の間に  $10k\Omega \pm 1\%$  の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

表 5-47. MMC1 信号の説明

| 信号名 [1]   | ピンの種類 [2] | 説明 [3]           | AMH ピン [4] |
|-----------|-----------|------------------|------------|
| MMC1_CLK  | O         | MMC/SD/SDIO クロック | J24        |
| MMC1_CMD  | IO        | MMC/SD/SDIO コマンド | H20        |
| MMC1_SDCD | I         | SD カード検出         | D23        |
| MMC1_SDWP | I         | SD 書き込み保護        | D24        |
| MMC1_DAT0 | IO        | MMC/SD/SDIO データ  | H21        |
| MMC1_DAT1 | IO        | MMC/SD/SDIO データ  | H23        |
| MMC1_DAT2 | IO        | MMC/SD/SDIO データ  | H22        |
| MMC1_DAT3 | IO        | MMC/SD/SDIO データ  | H25        |

表 5-48. MMC2 信号の説明

| 信号名 [1]                  | ピンの種類 [2] | 説明 [3]           | AMH ピン [4]  |
|--------------------------|-----------|------------------|-------------|
| MMC2_CLK <sup>(1)</sup>  | O         | MMC/SD/SDIO クロック | K21         |
| MMC2_CMD                 | IO        | MMC/SD/SDIO コマンド | K24         |
| MMC2_SDCD <sup>(2)</sup> | I         | SD カード検出         | A23、C24、J25 |
| MMC2_SDWP <sup>(2)</sup> | I         | SD 書き込み保護        | B24、C22、K25 |
| MMC2_DAT0                | IO        | MMC/SD/SDIO データ  | K23         |
| MMC2_DAT1                | IO        | MMC/SD/SDIO データ  | K22         |
| MMC2_DAT2                | IO        | MMC/SD/SDIO データ  | L20         |
| MMC2_DAT3                | IO        | MMC/SD/SDIO データ  | L21         |

(1) MMC2 が適切に動作するには、CTRLMMR\_PADCONFIG71 レジスタが RXACTIVE ビットをセット (1) し、TX\_DIS ビットをリセット (0) するように構成されている必要があります。

(2) MMC2 ポートが UHS-I データ転送モードのいずれかに遷移するときに、VDDSHV0 IO 電源レールが動作電圧を 3.3V から 1.8V に変更する必要がある UHS-I SD カードに接続されている場合、これらの MMCSD2 ホストコントローラの入力信号は、VDDSHV6 IO 電源レールから給電されるピンに多重化される必要があります。

### 5.3.19 OLDI

#### 5.3.19.1 メイン ドメイン

**表 5-49. OLDI0 信号の説明**

| 信号名 [1]     | ピンの種類 [2] | 説明 [3]          | AMH ピン [4] |
|-------------|-----------|-----------------|------------|
| OLDI0_A0N   | IO        | OLDI 差動データ (負)  | AE20       |
| OLDI0_A0P   | IO        | OLDI 差動データ (正)  | AD20       |
| OLDI0_A1N   | IO        | OLDI 差動データ (負)  | AC19       |
| OLDI0_A1P   | IO        | OLDI 差動データ (正)  | AD19       |
| OLDI0_A2N   | IO        | OLDI 差動データ (負)  | AA19       |
| OLDI0_A2P   | IO        | OLDI 差動データ (正)  | AB19       |
| OLDI0_A3N   | IO        | OLDI 差動データ (負)  | AD18       |
| OLDI0_A3P   | IO        | OLDI 差動データ (正)  | AE19       |
| OLDI0_A4N   | IO        | OLDI 差動データ (負)  | AD17       |
| OLDI0_A4P   | IO        | OLDI 差動データ (正)  | AD16       |
| OLDI0_A5N   | IO        | OLDI 差動データ (負)  | AB17       |
| OLDI0_A5P   | IO        | OLDI 差動データ (正)  | AC17       |
| OLDI0_A6N   | IO        | OLDI 差動データ (負)  | AC16       |
| OLDI0_A6P   | IO        | OLDI 差動データ (正)  | AC15       |
| OLDI0_A7N   | IO        | OLDI 差動データ (負)  | AB16       |
| OLDI0_A7P   | IO        | OLDI 差動データ (正)  | AA16       |
| OLDI0_CLK0N | IO        | OLDI 差動クロック (負) | AE18       |
| OLDI0_CLK0P | IO        | OLDI 差動クロック (正) | AE17       |
| OLDI0_CLK1N | IO        | OLDI 差動クロック (負) | AD15       |
| OLDI0_CLK1P | IO        | OLDI 差動クロック (正) | AD14       |

### 5.3.20 OSPI

#### 5.3.20.1 メイン ドメイン

**表 5-50. OSPI0 信号の説明**

| 信号名 [1]        | ピンの種類 [2] | 説明 [3]                                | AMH ピン [4] |
|----------------|-----------|---------------------------------------|------------|
| OSPI0_CLK      | O         | OSPI クロック                             | P23        |
| OSPI0_DQS      | I         | OSPI データ ストロープ (DQS) またはループバック クロック入力 | P22        |
| OSPI0_ECC_FAIL | I         | OSPI ECC ステータス                        | L23        |
| OSPI0_LBCLKO   | IO        | OSPI ループバック クロック出力                    | N23        |
| OSPI0_CSn0     | O         | OSPI チップ セレクト 0 (アクティブ Low)           | M25        |
| OSPI0_CSn1     | O         | OSPI チップ セレクト 1 (アクティブ Low)           | L24        |
| OSPI0_CSn2     | O         | OSPI チップ セレクト 2 (アクティブ Low)           | L22        |
| OSPI0_CSn3     | O         | OSPI チップ セレクト 3 (アクティブ Low)           | L23        |
| OSPI0_D0       | IO        | OSPI データ 0                            | L25        |
| OSPI0_D1       | IO        | OSPI データ 1                            | N24        |
| OSPI0_D2       | IO        | OSPI データ 2                            | N25        |
| OSPI0_D3       | IO        | OSPI データ 3                            | M24        |
| OSPI0_D4       | IO        | OSPI データ 4                            | N21        |
| OSPI0_D5       | IO        | OSPI データ 5                            | N22        |

表 5-50. OSPI0 信号の説明 (続き)

| 信号名 [1]          | ピンの種類 [2] | 説明 [3]     | AMH ピン [4] |
|------------------|-----------|------------|------------|
| OSPI0_D6         | IO        | OSPI データ 6 | P21        |
| OSPI0_D7         | IO        | OSPI データ 7 | N20        |
| OSPI0_RESET_OUT0 | O         | OSPI のリセット | L23        |
| OSPI0_RESET_OUT1 | O         | OSPI のリセット | L22        |

## 5.3.21 電源

表 5-51. 電源信号の説明

| 信号名 [1]                         | ピンの種類 [2] | 説明 [3]                                  | AMH ピン [4]          |
|---------------------------------|-----------|---|---------------------|
| CAP_VDDS0 <sup>(1)</sup>        | CAP       | IO グループ 0 の外部コンデンサ接続                    | 1A8                 |
| CAP_VDDS1 <sup>(1)</sup>        | CAP       | IO グループ 1 の外部コンデンサ接続                    | 1C10                |
| CAP_VDDS2 <sup>(1)</sup>        | CAP       | IO グループ 2 の外部コンデンサ接続                    | 1B6                 |
| CAP_VDDS3 <sup>(1)</sup>        | CAP       | IO グループ 3 の外部コンデンサ接続                    | 1F10                |
| CAP_VDDS5 <sup>(1)</sup>        | CAP       | IO グループ 5 の外部コンデンサ接続                    | 1B9                 |
| CAP_VDDS6 <sup>(1)</sup>        | CAP       | IO グループ 6 の外部コンデンサ接続                    | 1C9                 |
| CAP_VDDS_CANUART <sup>(1)</sup> | CAP       | IO グループ CANUART の外部コンデンサ接続              | 1B2                 |
| CAP_VDDS_MCU <sup>(1)</sup>     | CAP       | IO グループ MCU の外部コンデンサ接続                  | 1B4                 |
| VDDA_1P8_CSI_DSI                | PWR       | CSIRX0 および DSITX0 1.8 V アナログ電源          | 1K7                 |
| VDDA_1P8_USB                    | PWR       | USB0 および USB1 1.8 V アナログ電源              | 1K5                 |
| VDDA_1P8_OLDIO                  | PWR       | OLDIO 1.8 V アナログ電源                      | 1K10                |
| VDDA_3P3_USB                    | PWR       | USB0 および USB1 3.3 V アナログ電源              | Y11                 |
| VDDA_CORE_CSI_DSI               | PWR       | CSIRX0 および DSITX0 コア電源                  | 1K6                 |
| VDDA_CORE_DSI_CLK               | PWR       | DSITX0 クロック コア電源                        | 1K8                 |
| VDDA_CORE_USB                   | PWR       | USB0 および USB1 コア電源                      | 1J4                 |
| VDDA_DDR_PLL0                   | PWR       | DDR デスキュー PLL 電源                        | 1F2                 |
| VDDA_MCU                        | PWR       | RCOSC、POR、POK、MCU_PLL0 アナログ電源           | 1C3                 |
| VDDA_PLL0                       | PWR       | MAIN_PLL0、MAIN_PLL1、MAIN_PLL2 アナログ電源    | 1D4                 |
| VDDA_PLL1                       | PWR       | MAIN_PLL16、MAIN_PLL17、MAIN_PLL18 アナログ電源 | 1H7                 |
| VDDA_PLL2                       | PWR       | MAIN_PLL6 アナログ電源                        | 1F6                 |
| VDDA_PLL3                       | PWR       | MAIN_PLL12 アナログ電源                       | 1F4                 |
| VDDA_PLL4                       | PWR       | MAIN_PLL8 および MAIN_PLL15 アナログ電源         | 1D7                 |
| VDDA_TEMP0                      | PWR       | TEMP0 アナログ電源                            | 1F5                 |
| VDDA_TEMP1                      | PWR       | TEMP1 アナログ電源                            | K20                 |
| VDDA_TEMP2                      | PWR       | TEMP2 アナログ電源                            | 1D3                 |
| VDDR_CORE                       | PWR       | RAM、MMC0 PHY コア、および MMC0 DLL アナログ電源     | 1C8、1E5、1H3、1J1、1K3 |
| VDDSHV0                         | PWR       | IO グループ 0 の IO 電源                       | 1B7                 |
| VDDSHV1                         | PWR       | IO グループ 1 の IO 電源                       | 1D10                |
| VDDSHV2                         | PWR       | IO グループ 2 の IO 電源                       | 1B5                 |
| VDDSHV3                         | PWR       | IO グループ 3 の IO 電源                       | 1E10、1G10           |
| VDDSHV5                         | PWR       | IO グループ 5 の IO 電源                       | 1A9                 |
| VDDSHV6                         | PWR       | IO グループ 6 の IO 電源                       | 1B10                |
| VDDSHV_CANUART                  | PWR       | IO グループ CANUART の IO 電源                 | 1A2                 |

**表 5-51. 電源信号の説明 (続き)**

| 信号名 [1]     | ピンの種類 [2] | 説明 [3]                      | AMH ピン [4]   |
|-------------|-----------|-----------------------------|--|
| VDDSHV_MCU  | PWR       | IO グループ MCU の IO 電源         | 1B3  |
| VDDS_DDR    | PWR       | DDR PHY IO 電源               | 1C1、1D2、1E1、<br>1F1、1G2、1H1、<br>AE2、B1   |
| VDDS_DDR_C  | PWR       | DDR クロック IO 電源              | 1E2  |
| VDDS_MMC0   | PWR       | MMC0 PHY IO 電源              | 1K2  |
| VDDS_OSC0   | PWR       | MCU_OSC0 および WKUP_LFOSC0 電源 | 1C2  |
| VDD_CANUART | PWR       | CANUART コア電源                | 1A1  |
| VDD_CORE    | PWR       | コア電源                        | 1C5、1C7、1D6、<br>1D8、1E3、1E7、<br>1E9、1F8、1G3、<br>1G5、1G7、1G9、<br>1H10、1H4、<br>1H6、1H8、1J2、<br>1J5、1J7、1J9   |
| VPP         | PWR       | eFuse ROM プログラミング電源         | F7   |
| VSS         | PWR       | グランド                        | 1A3、1A5、1A7、<br>1B1、1B8、1C4、<br>1C6、1D1、1D5、<br>1D9、1E4、1E6、<br>1E8、1F3、1F7、<br>1F9、1G1、1G4、<br>1G6、1G8、1H2、<br>1H5、1H9、<br>1J10、1J3、1J6、<br>1J8、1K1、1K9、<br>A1、A12、A25、<br>A6、A9、AA21、<br>AA3、AB2、AC1、<br>AD22、AD4、<br>AE1、AE13、<br>AE16、AE25、<br>B3、C2、C20、<br>D14、D3、E1、<br>F3、G1、G4、<br>H2、K1、L4、N1、<br>P20、P4、U1、<br>U4、V3、W2、<br>Y1、Y4 |

- (1) 各 VDDSHVx ピンが 3.3V で動作している場合、このピンは必ず 6.3V 以上、0.8uF~1.5uF のコンデンサを介して VSS に接続する必要があります。選択したコンデンサは、DC バイアス、動作温度、経年変化の影響に対応するようにデレーティングされた後、定義された範囲内の容量を提供する必要があります。各 VDDSHVx ピンが 1.8V でのみ動作している場合は、3 つの接続オプションがあります。このピンは、3.3V での動作に必要なものと同じデカップリング コンデンサに接続できます。未接続のままにしておくことも、各 VDDSHVx ピンと同じ 1.8V 電源に接続することもできます。

### 5.3.22 予約済み

**表 5-52. 予約済み信号の説明**

| 信号名 [1] | ピンの種類 [2] | 説明 [3]             | AMH ピン [4] |
|---------|-----------|--------------------|------------|
| RSVD0   | 該当なし      | 予約済み、未接続のままにする必要あり | Y13        |
| RSVD1   | 該当なし      | 予約済み、未接続のままにする必要あり | Y14        |
| RSVD2   | 該当なし      | 予約済み、未接続のままにする必要あり | Y17        |
| RSVD3   | 該当なし      | 予約済み、未接続のままにする必要あり | Y19        |

表 5-52. 予約済み信号の説明 (続き)

| 信号名 [1] | ピンの種類 [2] | 説明 [3]             | AMH ピン [4] |
|---------|-----------|--------------------|------------|
| RSVD4   | 該当なし      | 予約済み、未接続のままにする必要あり | AA17       |
| RSVD5   | 該当なし      | 予約済み、未接続のままにする必要あり | B5         |
| RSVD6   | 該当なし      | 予約済み、未接続のままにする必要あり | C5         |
| RSVD7   | 該当なし      | 予約済み、未接続のままにする必要あり | F6         |
| RSVD8   | 該当なし      | 予約済み、未接続のままにする必要あり | F10        |
| RSVD9   | 該当なし      | 予約済み、未接続のままにする必要あり | H5         |
| RSVD10  | 該当なし      | 予約済み、未接続のままにする必要あり | K6         |

### 5.3.23 システム、その他

#### 5.3.23.1 ブートモードの構成

##### 5.3.23.1.1 メインドメイン

表 5-53. Sysboot 信号の説明

| 信号名 [1]    | ピンの種類 [2] | 説明 [3]       | AMH ピン [4] |
|------------|-----------|--------------|------------|
| BOOTMODE00 | I         | ブートモード ピン 0  | U22        |
| BOOTMODE01 | I         | ブートモード ピン 1  | U21        |
| BOOTMODE02 | I         | ブートモード ピン 2  | U20        |
| BOOTMODE03 | I         | ブートモード ピン 3  | V25        |
| BOOTMODE04 | I         | ブートモード ピン 4  | T20        |
| BOOTMODE05 | I         | ブートモード ピン 5  | T21        |
| BOOTMODE06 | I         | ブートモード ピン 6  | V24        |
| BOOTMODE07 | I         | ブートモード ピン 7  | W25        |
| BOOTMODE08 | I         | ブートモード ピン 8  | AC25       |
| BOOTMODE09 | I         | ブートモード ピン 9  | AB25       |
| BOOTMODE10 | I         | ブートモード ピン 10 | AA25       |
| BOOTMODE11 | I         | ブートモード ピン 11 | W24        |
| BOOTMODE12 | I         | ブートモード ピン 12 | Y24        |
| BOOTMODE13 | I         | ブートモード ピン 13 | AD25       |
| BOOTMODE14 | I         | ブートモード ピン 14 | AB24       |
| BOOTMODE15 | I         | ブートモード ピン 15 | AC24       |

#### 5.3.23.2 クロック

##### 5.3.23.2.1 MCU ドメイン

表 5-54. MCU クロック信号の説明

| 信号名 [1]     | ピンの種類 [2] | 説明 [3]    | AMH ピン [4] |
|-------------|-----------|-----------|------------|
| MCU_OSC0_XI | I         | 高周波数発振器入力 | A10        |
| MCU_OSC0_XO | O         | 高周波数発振器出力 | A11        |

##### 5.3.23.2.2 WKUP ドメイン

表 5-55. WKUP クロック信号の説明

| 信号名 [1]        | ピンの種類 [2] | 説明 [3]                 | AMH ピン [4] |
|----------------|-----------|------------------------|------------|
| WKUP_LFOSC0_XI | I         | 低周波 (32.768 KHz) 発振器入力 | A7         |
| WKUP_LFOSC0_XO | O         | 低周波数 (32.768kHz) 発振器出力 | A8         |

### 5.3.23.3 システム

#### 5.3.23.3.1 メインドメイン

表 5-56. システム信号の説明

| 信号名 [1]           | ピンの種類 [2] | 説明 [3]  | AMH ピン [4]      |
|-------------------|-----------|---|-----------------|
| AUDIO_EXT_REFCLK0 | IO        | McASP への外部クロック入力または McASP からの出力   | A23、C19、F23、Y23 |
| AUDIO_EXT_REFCLK1 | IO        | McASP への外部クロック入力または McASP からの出力   | C22、F25、P24     |
| CLKOUT0           | O         | RMII クロック出力 (50MHz)。このピンは外部 RMII PHY へのクロックソース源に使用され、本デバイスを適切に動作させるためには、対応する RMII[x]_REF_CLK ピンにも配線する必要があります。 | A19、C16、C25     |
| EXTINTn           | I         | 外部割り込み  | C23             |
| EXT_REFCLK1       | I         | メインドメインへの外部クロック入力   | C25             |
| MAIN_ERRORn       | IO        | MAIN ドメイン ESM からのエラー信号出力  | E20、E24、P25     |
| OBSCLK0           | O         | テストおよびデバッグ専用メインドメイン観測クロック出力   | AA25            |
| OBSCLK1           | O         | テストおよびデバッグ専用メインドメイン観測クロック出力   | B25             |
| PORz_OUT          | O         | メインドメインの POR ステータス出力  | H24             |
| RESETSTATz        | O         | メインドメインのウォームリセット ステータス出力  | G25             |
| RESET_REQz        | I         | メインドメインの外部ウォームリセット要求入力  | G24             |
| SYSCLKOUT0        | O         | テストおよびデバッグ専用メインドメインのシステムクロック出力 (4 分周)   | C25             |

#### 5.3.23.3.2 MCU ドメイン

表 5-57. MCU システム信号の説明

| 信号名 [1]         | ピンの種類 [2] | 説明 [3]                                  | AMH ピン [4] |
|-----------------|-----------|---|------------|
| MCU_ERRORn      | IO        | MCU ドメイン ESM からのエラー信号出力                 | G6         |
| MCU_EXT_REFCLK0 | I         | MCU ドメインへの外部入力                          | E10、F8     |
| MCU_OBSCLK0     | O         | テストおよびデバッグ専用 MCU ドメイン監視クロック出力           | E10        |
| MCU_PORz        | I         | MCU と MAIN ドメインのコールドリセット                | H6         |
| MCU_RESETSTATz  | O         | MCU ドメイン ウォームリセット ステータス出力               | F14        |
| MCU_RESETz      | I         | MCU と MAIN ドメインのウォームリセット                | F11        |
| MCU_SYSCLKOUT0  | O         | テストおよびデバッグ専用 MCU ドメインのシステムクロック出力 (4 分周) | E10        |

#### 5.3.23.3.3 WKUP ドメイン

表 5-58. WKUP システム信号の説明

| 信号名 [1]      | ピンの種類 [2] | 説明 [3]  | AMH ピン [4] |
|--------------|-----------|---|------------|
| PMIC_LPM_EN0 | O         | デュアル機能 PMIC 制御出力、低消費電力モード (アクティブ Low) または PMIC イネーブル (アクティブ High) | B9         |
| WKUP_CLKOUT0 | O         | WKUP ドメインの CLKOUT0 出力   | F13        |

#### 5.3.23.4 VMON

表 5-59. VMON 信号の説明

| 信号名 [1]      | ピンの種類 [2] | 説明 [3]              | AMH ピン [4] |
|--------------|-----------|---------------------|------------|
| VMON_1P8_SOC | A         | 1.8V SoC 電源用電圧モニタ入力 | 1A10       |
| VMON_3P3_SOC | A         | 3.3V SoC 電源用電圧モニタ入力 | 1A4        |

表 5-59. VMON 信号の説明 (続き)

| 信号名 [1]   | ピンの種類 [2] | 説明 [3]  | AMH ピン [4] |
|-----------|-----------|---|------------|
| VMON_VSYS | A         | 電圧モニタ入力、固定 0.45V (±3%) スレッショルド。PMIC 入力電源などのより高い電圧レールを監視するには、外付けの高精度分圧器と組み合わせて使用します。 | 1A6        |

### 5.3.24 TIMER

#### 5.3.24.1 メイン ドメイン

表 5-60. TIMER 信号の説明

| 信号名 [1]   | ピンの種類 [2] | 説明 [3]                               | AMH ピン [4] |
|-----------|-----------|--------------------------------------|------------|
| TIMER_IO0 | IO        | タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない) | C24、H25    |
| TIMER_IO1 | IO        | タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない) | B24、H22    |
| TIMER_IO2 | IO        | タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない) | B23、H23    |
| TIMER_IO3 | IO        | タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない) | F20、H21    |
| TIMER_IO4 | IO        | タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない) | C25、J24    |
| TIMER_IO5 | IO        | タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない) | A24、H20    |
| TIMER_IO6 | IO        | タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない) | A23、D23    |
| TIMER_IO7 | IO        | タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない) | C22、D24    |

#### 5.3.24.2 MCU ドメイン

表 5-61. MCU\_TIMER 信号の説明

| 信号名 [1]       | ピンの種類 [2] | 説明 [3]                               | AMH ピン [4] |
|---------------|-----------|--------------------------------------|------------|
| MCU_TIMER_IO0 | IO        | タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない) | B8、D6      |
| MCU_TIMER_IO1 | IO        | タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない) | B7、E10     |
| MCU_TIMER_IO2 | IO        | タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない) | F8         |
| MCU_TIMER_IO3 | IO        | タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない) | E7         |

#### 5.3.24.3 WKUP ドメイン

表 5-62. WKUP\_TIMER 信号の説明

| 信号名 [1]        | ピンの種類 [2] | 説明 [3]                               | AMH ピン [4] |
|----------------|-----------|--------------------------------------|------------|
| WKUP_TIMER_IO0 | IO        | タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない) | C7、E8      |
| WKUP_TIMER_IO1 | IO        | タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない) | B10、C6     |

### 5.3.25 UART

#### 5.3.25.1 メイン ドメイン

**表 5-63. UART0 信号の説明**

| 信号名 [1]    | ピンの種類 [2] | 説明 [3]                                 | AMH ピン [4] |
|------------|-----------|--|------------|
| UART0_CTSn | I         | UART CTS (Clear to Send) (アクティブ Low)   | A23        |
| UART0_RTSn | O         | UART RTS (Request to Send) (アクティブ Low) | C22        |
| UART0_RXD  | I         | UART 受信データ                             | A22        |
| UART0_TXD  | O         | UART 送信データ                             | B22        |

**表 5-64. UART1 信号の説明**

| 信号名 [1]    | ピンの種類 [2] | 説明 [3]                                     | AMH ピン [4] |
|------------|-----------|--|------------|
| UART1_CTSn | I         | UART CTS (Clear to Send) (アクティブ Low)       | D25        |
| UART1_DCDn | I         | UART DCD (Data Carrier Detect) (アクティブ Low) | B25        |
| UART1_DSRn | I         | UART DSR (Data Set Ready) (アクティブ Low)      | A24        |
| UART1_DTRn | O         | UART DTR (Data Terminal Ready) (アクティブ Low) | B23        |
| UART1_RIn  | I         | UART リング インジケータ                            | F20        |
| UART1_RTSn | O         | UART RTS (Request to Send) (アクティブ Low)     | E25        |
| UART1_RXD  | I         | UART 受信データ                                 | C24, G23   |
| UART1_TXD  | O         | UART 送信データ                                 | B24, G20   |

**表 5-65. UART2 信号の説明**

| 信号名 [1]    | ピンの種類 [2] | 説明 [3]                                 | AMH ピン [4]           |
|------------|-----------|--|----------------------|
| UART2_CTSn | I         | UART CTS (Clear to Send) (アクティブ Low)   | AB24, H21, Y21       |
| UART2_RTSn | O         | UART RTS (Request to Send) (アクティブ Low) | AC24, H23, W20       |
| UART2_RXD  | I         | UART 受信データ                             | A23, AC25, AE24, H25 |
| UART2_TXD  | O         | UART 送信データ                             | AB25, C22, H22, W23  |

**表 5-66. UART3 信号の説明**

| 信号名 [1]    | ピンの種類 [2] | 説明 [3]                                 | AMH ピン [4]      |
|------------|-----------|--|-----------------|
| UART3_CTSn | I         | UART CTS (Clear to Send) (アクティブ Low)   | D24, W21        |
| UART3_RTSn | O         | UART RTS (Request to Send) (アクティブ Low) | AC20, D23       |
| UART3_RXD  | I         | UART 受信データ                             | AA23, AA25, J24 |
| UART3_TXD  | O         | UART 送信データ                             | H20, W24, Y23   |

**表 5-67. UART4 信号の説明**

| 信号名 [1]    | ピンの種類 [2] | 説明 [3]                                 | AMH ピン [4]           |
|------------|-----------|--|----------------------|
| UART4_CTSn | I         | UART CTS (Clear to Send) (アクティブ Low)   | Y20                  |
| UART4_RTSn | O         | UART RTS (Request to Send) (アクティブ Low) | AA20                 |
| UART4_RXD  | I         | UART 受信データ                             | AB23, J25, T22, Y24  |
| UART4_TXD  | O         | UART 送信データ                             | AD23, AD25, K25, U25 |

表 5-68. UART5 信号の説明

| 信号名 [1]    | ピンの種類 [2] | 説明 [3]                                 | AMH ピン [4]                |
|------------|-----------|--|---------------------------|
| UART5_CTSn | I         | UART CTS (Clear to Send) (アクティブ Low)   | AC21、P22                  |
| UART5_RTSn | O         | UART RTS (Request to Send) (アクティブ Low) | AD21、N23                  |
| UART5_RXD  | I         | UART 受信データ                             | AB24、AC23、<br>B23、L21、L22 |
| UART5_TXD  | O         | UART 送信データ                             | AC24、AE23、<br>F20、L20、L23 |

表 5-69. UART6 信号の説明

| 信号名 [1]    | ピンの種類 [2] | 説明 [3]                                 | AMH ピン [4]                        |
|------------|-----------|--|-----------------------------------|
| UART6_CTSn | I         | UART CTS (Clear to Send) (アクティブ Low)   | AE21、N20                          |
| UART6_RTSn | O         | UART RTS (Request to Send) (アクティブ Low) | P21、W22                           |
| UART6_RXD  | I         | UART 受信データ                             | AD24、AE22、<br>D23、D25、K21、<br>N21 |
| UART6_TXD  | O         | UART 送信データ                             | AC22、D24、<br>E25、K24、N22、<br>P24  |

## 5.3.25.2 MCU ドメイン

表 5-70. MCU\_UART0 信号の説明

| 信号名 [1]        | ピンの種類 [2] | 説明 [3]                                 | AMH ピン [4] |
|----------------|-----------|--|------------|
| MCU_UART0_CTSn | I         | UART CTS (Clear to Send) (アクティブ Low)   | B8         |
| MCU_UART0_RTSn | O         | UART RTS (Request to Send) (アクティブ Low) | B7         |
| MCU_UART0_RXD  | I         | UART 受信データ                             | B6         |
| MCU_UART0_TXD  | O         | UART 送信データ                             | C8         |

## 5.3.25.3 WKUP ドメイン

表 5-71. WKUP\_UART0 信号の説明

| 信号名 [1]         | ピンの種類 [2] | 説明 [3]                                 | AMH ピン [4] |
|-----------------|-----------|--|------------|
| WKUP_UART0_CTSn | I         | UART CTS (Clear to Send) (アクティブ Low)   | C7         |
| WKUP_UART0_RTSn | O         | UART RTS (Request to Send) (アクティブ Low) | C6         |
| WKUP_UART0_RXD  | I         | UART 受信データ                             | D8         |
| WKUP_UART0_TXD  | O         | UART 送信データ                             | D7         |

## 5.3.26 USB

## 5.3.26.1 メイン ドメイン

表 5-72. USB0 信号の説明

| 信号名 [1]                    | ピンの種類 [2] | 説明 [3]                     | AMH ピン [4] |
|----------------------------|-----------|----------------------------|------------|
| USB0_DM                    | IO        | USB 2.0 差動データ (負)          | AE8        |
| USB0_DP                    | IO        | USB 2.0 差動データ (正)          | AE7        |
| USB0_DRVBUS                | O         | USB VBUS 制御出力 (アクティブ High) | G22        |
| USB0_RCALIB <sup>(1)</sup> | A         | キャリブレーション抵抗に接続するピン         | Y8         |

**表 5-72. USB0 信号の説明 (続き)**

| 信号名 [1]                  | ピンの種類 [2] | 説明 [3]              | AMH ピン [4] |
|--------------------------|-----------|---------------------|------------|
| USB0_VBUS <sup>(2)</sup> | A         | USB レベル シフト VBUS 入力 | Y7         |

- (1) このピンと VSS の間に  $499\Omega \pm 1\%$  の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。
- (2) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、[セクション 8.2.4](#)「USB VBUS の設計ガイドライン」を参照してください。

**表 5-73. USB1 信号の説明**

| 信号名 [1]                    | ピンの種類 [2] | 説明 [3]                     | AMH ピン [4] |
|----------------------------|-----------|----------------------------|------------|
| USB1_DM                    | IO        | USB 2.0 差動データ (負)          | AE10       |
| USB1_DP                    | IO        | USB 2.0 差動データ (正)          | AE9        |
| USB1_DRVVBUS               | O         | USB VBUS 制御出力 (アクティブ High) | G21        |
| USB1_RCALIB <sup>(1)</sup> | A         | キャリブレーション抵抗に接続するピン         | 1K4        |
| USB1_VBUS <sup>(2)</sup>   | A         | USB レベル シフト VBUS 入力        | Y10        |

- (1) このピンと VSS の間に  $499\Omega \pm 1\%$  の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。
- (2) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、[セクション 8.2.4](#)「USB VBUS の設計ガイドライン」を参照してください。

## 5.4 ピン接続要件

このセクションでは、特定の接続要件を持つパッケージ ボールと、未使用のパッケージ ボールの接続要件について説明します。

### 注

特に記述のない限り、すべての電源ピンには [セクション 6.5](#) の「推奨動作条件」で規定されている電圧を供給する必要があります。

### 注

「未接続のまま」または「接続なし」(NC) は、これらのデバイスのボール番号にいかなる信号トレースも接続できないことを意味します。

**表 5-74. 接続要件**

| AMH<br>ボール<br>番号   | ボール名   | 接続要件   |
|--|--|--|
| G6<br>B13  | MCU_ERRORn<br>TRSTn  | PCB 信号トレースが接続されていて、接続されたデバイスでアクティブに駆動されていない場合、これらのボールに関連付けられている入力がある有効なロジック Low レベルに保持されるように、各ボールを個別の外付けプル抵抗を介して VSS に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルダウンを使用して有効なロジック Low レベルを保持できます。                           |
| B12<br>D13<br>F11<br>G24<br>C13<br>E13<br>E14  | EMU0<br>EMU1<br>MCU_RESEZ<br>RESEZ_REQZ<br>TCK<br>TDI<br>TMS   | PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合、これらのボールに関連付けられた入力がある有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 <sup>(1)</sup> に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルアップを使用して有効なロジック High レベルを保持できます。 |
| E11<br>D11<br>A13<br>C11   | MCU_I2C0_SCL<br>MCU_I2C0_SDA<br>WKUP_I2C0_SCL<br>WKUP_I2C0_SDA   | これらのボールに関連付けられた入力、選択した信号機能に適した有効なロジック High または Low レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 <sup>(1)</sup> または VSS に接続する必要があります。   |
| U22<br>U21<br>U20<br>V25<br>T20<br>T21<br>V24<br>W25<br>AC25<br>AB25<br>AA25<br>W24<br>Y24<br>AD25<br>AB24<br>AC24 | GPMC0_AD0<br>GPMC0_AD1<br>GPMC0_AD2<br>GPMC0_AD3<br>GPMC0_AD4<br>GPMC0_AD5<br>GPMC0_AD6<br>GPMC0_AD7<br>GPMC0_AD8<br>GPMC0_AD9<br>GPMC0_AD10<br>GPMC0_AD11<br>GPMC0_AD12<br>GPMC0_AD13<br>GPMC0_AD14<br>GPMC0_AD15 | 目的のデバイスのブートモードを選択するため、これらのボールに関連付けられた入力が適切に有効なロジック High または Low レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 <sup>(1)</sup> または VSS に接続する必要があります。  |
| 1G2<br>1H1<br>AE2<br>B1<br>1C1<br>1D2<br>1E1<br>1F1<br>1E2   | VDDS_DDR<br>VDDS_DDR<br>VDDS_DDR<br>VDDS_DDR<br>VDDS_DDR<br>VDDS_DDR<br>VDDS_DDR<br>VDDS_DDR<br>VDDS_DDR_C   | DDRSS を使用しない場合は、各ボールを VSS に直接接続する必要があります。  |

表 5-74. 接続要件 (続き)

| AMH<br>ボール<br>番号 | ボール名         | 接続要件   |
|------------------|--------------|--|
| T6               | DDR0_ACT_n   | <p>DDRSS を使用しない場合は、未接続のままにします。</p> <p>注: このリストの DDR0 ピンは、VDDS_DDR および VDDS_DDR_C が VSS に接続されている場合のみ未接続のままにできます。VDDS_DDR および VDDS_DDR_C を電源に接続する場合、『<a href="#">DDR 基板の設計およびレイアウトのガイドライン</a>』の定義に従って DDR0 ピンを接続する必要があります。</p> |
| K3               | DDR0_ALERT_n |  |
| T5               | DDR0_CAS_n   |  |
| T1               | DDR0_PAR     |  |
| P6               | DDR0_RAS_n   |  |
| T4               | DDR0_WE_n    |  |
| K5               | DDR0_A0      |  |
| L2               | DDR0_A1      |  |
| L3               | DDR0_A2      |  |
| M2               | DDR0_A3      |  |
| N2               | DDR0_A4      |  |
| K2               | DDR0_A5      |  |
| N3               | DDR0_A6      |  |
| L1               | DDR0_A7      |  |
| M1               | DDR0_A8      |  |
| T2               | DDR0_A9      |  |
| R2               | DDR0_A10     |  |
| N5               | DDR0_A11     |  |
| P3               | DDR0_A12     |  |
| P2               | DDR0_A13     |  |
| N6               | DDR0_BA0     |  |
| K4               | DDR0_BA1     |  |
| Y6               | DDR0_BG0     |  |
| U6               | DDR0_BG1     |  |
| Y5               | DDR0_CAL0    |  |
| R1               | DDR0_CK0     |  |
| P1               | DDR0_CK0_n   |  |
| N4               | DDR0_CKE0    |  |
| P5               | DDR0_CKE1    |  |
| L6               | DDR0_CS0_n   |  |
| T3               | DDR0_CS1_n   |  |
| C3               | DDR0_DM0     |  |
| H3               | DDR0_DM1     |  |
| V4               | DDR0_DM2     |  |
| AD1              | DDR0_DM3     |  |
| B2               | DDR0_DQ0     |  |
| A3               | DDR0_DQ1     |  |
| A4               | DDR0_DQ2     |  |
| A5               | DDR0_DQ3     |  |
| A2               | DDR0_DQ4     |  |
| B4               | DDR0_DQ5     |  |
| D2               | DDR0_DQ6     |  |
| C4               | DDR0_DQ7     |  |
| E2               | DDR0_DQ8     |  |
| F1               | DDR0_DQ9     |  |
| G5               | DDR0_DQ10    |  |
| F2               | DDR0_DQ11    |  |
| G3               | DDR0_DQ12    |  |
| H4               | DDR0_DQ13    |  |
| J2               | DDR0_DQ14    |  |
| G2               | DDR0_DQ15    |  |
| U2               | DDR0_DQ16    |  |
| U3               | DDR0_DQ17    |  |
| U5               | DDR0_DQ18    |  |
| V5               | DDR0_DQ19    |  |
| V2               | DDR0_DQ20    |  |
| Y2               | DDR0_DQ21    |  |
| Y3               | DDR0_DQ22    |  |
| AA4              | DDR0_DQ23    |  |
| AC2              | DDR0_DQ24    |  |
| AA2              | DDR0_DQ25    |  |
| AC4              | DDR0_DQ26    |  |
| AD2              | DDR0_DQ27    |  |

表 5-74. 接続要件 (続き)

| AMH<br>ボール<br>番号  | ボール名  | 接続要件  |
|---|---|---|
| AD3<br>AC3<br>AE4<br>AE3<br>D1<br>C1<br>J1<br>H1<br>W1<br>V1<br>AA1<br>AB1<br>L5<br>V6<br>AA5 | DDR0_DQ28<br>DDR0_DQ29<br>DDR0_DQ30<br>DDR0_DQ31<br>DDR0_DQS0<br>DDR0_DQS0_n<br>DDR0_DQS1<br>DDR0_DQS1_n<br>DDR0_DQS2<br>DDR0_DQS2_n<br>DDR0_DQS2_n<br>DDR0_DQS2_n<br>DDR0_ODT0<br>DDR0_ODT1<br>DDR0_RESET0_n |   |
| 1K2   | VDDS_MMC0   | MMC0 を使用しない場合、これらの各ボールを、デバイス電源シーケンス要件に違反しない任意の 1.8V 電源に接続する必要があります。   |
| AC5<br>AA6<br>AB8<br>AD5<br>AC7<br>AB7<br>AD6<br>AE5<br>AE6<br>AC6<br>AA7<br>AB6              | MMC0_CALPAD<br>MMC0_CLK<br>MMC0_CMD<br>MMC0_DS<br>MMC0_DAT0<br>MMC0_DAT1<br>MMC0_DAT2<br>MMC0_DAT3<br>MMC0_DAT4<br>MMC0_DAT5<br>MMC0_DAT6<br>MMC0_DAT7  | MMC0 を使用しない場合、これらの各ボールを未接続のままにする必要があります。  |
| 1J4<br>1K5<br>Y11   | VDDA_CORE_USB<br>VDDA_1P8_USB<br>VDDA_3P3_USB   | USB0 と USB1 はこれらの電源レールを共有するため、USB0 または USB1 を使用するときは、これらの各ボールを有効な電源に接続する必要があります。<br><br>USB0 と USB1 を使用しない場合、これらのボールをそれぞれ VSS に直接接続する必要があります。   |
| AE8<br>AE7<br>Y8<br>Y7<br>AE10<br>AE9<br>1K4<br>Y10   | USB0_DM<br>USB0_DP<br>USB0_RCALIB<br>USB0_VBUS<br>USB1_DM<br>USB1_DP<br>USB1_RCALIB<br>USB1_VBUS  | USB0 または USB1 を使用しない場合は、それぞれの DM、DP、VBUS ボールを未接続のままにします。<br><br>注: USB0_RCALIB および USB1_RCALIB ピンは、VDDA_CORE_USB、VDDA_1P8_USB、VDDA_3P3_USB が VSS に接続されている場合のみ未接続のままにできます。VDDA_CORE_USB、VDDA_1P8_USB、VDDA_3P3_USB を電源に接続する場合、USB0_RCALIB ピンと USB1_RCALIB ピンは、個別の適切な外付け抵抗を介して VSS に接続する必要があります。 |
| 1K6<br>IK8<br>IK7   | VDDA_CORE_CSI_DSI<br>VDDA_CORE_DSI_CLK<br>VDDA_1P8_CSI_DSI  | CSIRX0 と DSITX0 を使用せず、デバイスのバウンダリ スキャン機能が必要な場合は、これらの各ボールを有効な電源に接続する必要があります。<br><br>CSIRX0 と DSITX0 を使用せず、デバイスのバウンダリ スキャン機能が不要な場合は、これらのボールをそれぞれ VSS に直接接続することもできます。   |
| AE12<br>AE11<br>AB11<br>AB10<br>AA15  | CSI0_RXCLKN<br>CSI0_RXCLKP<br>CSI0_RXN0<br>CSI0_RXP0<br>CSI0_RXRCALIB   | CSIRX0 を使用しない場合は、未接続のままにします。  |
| AC10<br>AC9   | CSI0_RXN1<br>CSI0_RXP1  | CSIRX0 を使用しない場合、または 1 レーン モードでのみ動作する場合は、未接続のままにします。   |
| AA10<br>AA9   | CSI0_RXN2<br>CSI0_RXP2  | CSIRX0 を使用しない場合、または 1 レーンまたは 2 レーンモードでのみ動作する場合は、未接続のままにします。   |
| AD9<br>AD8  | CSI0_RXN3<br>CSI0_RXP3  | CSIRX0 を使用しない場合、または 1 レーン、2 レーン、3 レーンモードでのみ動作する場合は、未接続のままにします。  |

**表 5-74. 接続要件 (続き)**

| AMH<br>ボール<br>番号   | ボール名   | 接続要件   |
|--|--|--|
| AA12<br>AA13<br>AD11<br>AD12<br>Y16  | DSI0_TXCLKN<br>DSI0_TXCLKP<br>DSI0_TXN0<br>DSI0_TXP0<br>DSI0_TXRCALIB  | DSITX0 を使用しない場合は、未接続のままにします。   |
| AB13<br>AB14   | DSI0_TXN1<br>DSI0_TXP1   | DSITX0 を使用しない場合、または 1 レーン モードでのみ動作する場合は、未接続のままにします。  |
| AC12<br>AC13   | DSI0_TXN2<br>DSI0_TXP2   | DSITX0 を使用しない場合、または 1 レーンまたは 2 レーンモードでのみ動作する場合は、未接続のままにします。  |
| AE14<br>AE15   | DSI0_TXN3<br>DSI0_TXP3   | DSITX0 を使用しない場合、または 1 レーン、2 レーン、3 レーンモードでのみ動作する場合は、未接続のままにします。   |
| AE20<br>AD20<br>AC19<br>AD19<br>AA19<br>AB19<br>AD18<br>AE19<br>AD17<br>AD16<br>AB17<br>AC17<br>AC16<br>AC15<br>AB16<br>AA16<br>AE18<br>AE17<br>AD15<br>AD14 | OLDI0_A0N<br>OLDI0_A0P<br>OLDI0_A1N<br>OLDI0_A1P<br>OLDI0_A2N<br>OLDI0_A2P<br>OLDI0_A3N<br>OLDI0_A3P<br>OLDI0_A4N<br>OLDI0_A4P<br>OLDI0_A5N<br>OLDI0_A5P<br>OLDI0_A6N<br>OLDI0_A6P<br>OLDI0_A7N<br>OLDI0_A7P<br>OLDI0_CLK0N<br>OLDI0_CLK0P<br>OLDI0_CLK1N<br>OLDI0_CLK1P | OLDI0 を使用しない場合は、未接続のままにします。  |
| 1A6  | VMON_VSYS  | VMON_VSYS を使用しない場合、このボールを VSS に直接接続する必要があります。  |
| 1A10<br>1A4  | VMON_1P8_SOC<br>VMON_3P3_SOC   | SOC 電源レールの監視に VMON_1P8_SOC および VMON_3P3_SOC を使用しない場合でも、これらのボールをそれぞれの 1.8V および 3.3V 電源レールに、または直接 VSS に接続したままにする必要があります。 |

(1) IO にどの電源が関連付けられているかを確認するには、「ピン属性」表を参照してください。

## 注

内部プル抵抗は駆動力が弱い場合、動作条件によっては有効なロジックレベルを維持するのに十分な電流を供給できない場合があります。この状況は、逆のロジックレベルへのリークがある部品に接続されている場合や、内部抵抗によって有効なロジックレベルにプルされているだけのボールに接続された信号トレースに外部ノイズ源が結合した場合に発生することがあります。そのため、外付けプル抵抗を使って、ボールの有効なロジックレベルを保持することを推奨します。

デバイス IO の多くはデフォルトでオフになっているため、ソフトウェアで各 IO が初期化されるまで、接続されているすべてのデバイスの入力を有効なロジック状態に保持するために、外部プル抵抗が必要になる場合があります。構成可能なデバイス IO の状態は、「ピン属性」表の「リセット時のボールの状態 (RX/TX/PULL)」と「リセット後のボールの状態 (RX/TX/PULL)」列に定義されています。入力バッファ (RX) がオフになっている IO は、フローティング状態にしても、本デバイスに損傷を与えません。ただし、入力バッファ (RX) がオンになっている IO は、 $V_{ILSS}$  と  $V_{IHSS}$  の間の電位にフローティングさせることはできません。入力をこれらのレベルの間の電位にフローティングさせた場合、入力バッファが大電流状態に入ることがあり、IO セルが損傷する可能性があります。

## 6 仕様

### 6.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り)<sup>(1) (2)</sup>

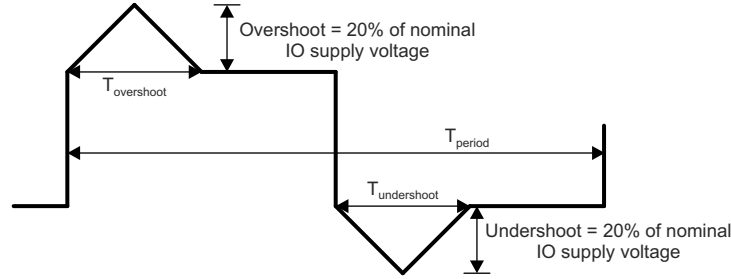
|                   | パラメータ                                   | 最小値  | 最大値  | 単位 |
|-------------------|---|------|------|----|
| VDD_CORE          | コア電源                                    | -0.3 | 1.05 | V  |
| VDDR_CORE         | RAM、MMC0 PHY コア、および MMC0 DLL アナログ電源     | -0.3 | 1.05 | V  |
| VDD_CANUART       | CANUART コア電源                            | -0.3 | 1.05 | V  |
| VDDA_CORE_CSI_DSI | CSIRX0 および DSITX0 コア電源                  | -0.3 | 1.05 | V  |
| VDDA_CORE_DSI_CLK | DSITX0 クロック コア電源                        | -0.3 | 1.05 | V  |
| VDDA_CORE_USB     | USB0 および USB1 コア電源                      | -0.3 | 1.05 | V  |
| VDDA_DDR_PLL0     | DDR デスキュー PLL 電源                        | -0.3 | 1.05 | V  |
| VDDS_DDR          | DDR PHY IO 電源                           | -0.3 | 1.57 | V  |
| VDDS_DDR_C        | DDR クロック IO 電源                          | -0.3 | 1.57 | V  |
| VDDS_MMC0         | MMC0 PHY IO 電源                          | -0.3 | 1.98 | V  |
| VDDS_OSC0         | MCU_OSC0 および WKUP_LFOSC0 電源             | -0.3 | 1.98 | V  |
| VDDA_MCU          | RCOSC、POR、POK、MCU_PLL0 アナログ電源           | -0.3 | 1.98 | V  |
| VDDA_PLL0         | MAIN_PLL0、MAIN_PLL1、MAIN_PLL2 アナログ電源    | -0.3 | 1.98 | V  |
| VDDA_PLL1         | MAIN_PLL16、MAIN_PLL17、MAIN_PLL18 アナログ電源 | -0.3 | 1.98 | V  |
| VDDA_PLL2         | MAIN_PLL6 アナログ電源                        | -0.3 | 1.98 | V  |
| VDDA_PLL3         | MAIN_PLL12 アナログ電源                       | -0.3 | 1.98 | V  |
| VDDA_PLL4         | MAIN_PLL8 および MAIN_PLL15 アナログ電源         | -0.3 | 1.98 | V  |
| VDDA_1P8_CSI_DSI  | CSIRX0 および DSITX0 1.8 V アナログ電源          | -0.3 | 1.98 | V  |
| VDDA_1P8_OLDIO    | OLDIO 1.8 V アナログ電源                      | -0.3 | 1.98 | V  |
| VDDA_1P8_USB      | USB0 および USB1 1.8 V アナログ電源              | -0.3 | 1.98 | V  |
| VDDA_TEMP0        | TEMP0 アナログ電源                            | -0.3 | 1.98 | V  |
| VDDA_TEMP1        | TEMP1 アナログ電源                            | -0.3 | 1.98 | V  |
| VDDA_TEMP2        | TEMP2 アナログ電源                            | -0.3 | 1.98 | V  |
| VPP               | eFuse ROM プログラミング電源                     | -0.3 | 1.98 | V  |
| VDDSHV_CANUART    | IO グループ CANUART の IO 電源                 | -0.3 | 3.63 | V  |
| VDDSHV_MCU        | IO グループ MCU の IO 電源                     | -0.3 | 3.63 | V  |
| VDDSHV0           | IO グループ 0 の IO 電源                       | -0.3 | 3.63 | V  |
| VDDSHV1           | IO グループ 1 の IO 電源                       | -0.3 | 3.63 | V  |
| VDDSHV2           | IO グループ 2 の IO 電源                       | -0.3 | 3.63 | V  |
| VDDSHV3           | IO グループ 3 の IO 電源                       | -0.3 | 3.63 | V  |
| VDDSHV5           | IO グループ 5 の IO 電源                       | -0.3 | 3.63 | V  |
| VDDSHV6           | IO グループ 6 の IO 電源                       | -0.3 | 3.63 | V  |
| VDDA_3P3_USB      | USB0 および USB1 3.3 V アナログ電源              | -0.3 | 3.63 | V  |

接合部動作温度範囲内 (特に記述のない限り)<sup>(1) (2)</sup>

| パラメータ                       |  | 最小値                                | 最大値                      | 単位  |
|-----------------------------|--|------------------------------------|--------------------------|-----|
| すべてのフェイルセーフ IO ピンの定常状態の最大電圧 | MCU_PORz   | -0.3                               | 3.63                     | V   |
|                             | 1.8V で動作する場合、<br>MCU_I2C0_SCL、MCU_I2C0_SDA、<br>WKUP_I2C0_SCL、WKUP_I2C0_SDA、<br>EXTINTn | -0.3                               | 1.98 <sup>(3)</sup>      | V   |
|                             | 3.3V で動作する場合、<br>MCU_I2C0_SCL、MCU_I2C0_SDA、<br>WKUP_I2C0_SCL、WKUP_I2C0_SDA、<br>EXTINTn | -0.3                               | 3.63 <sup>(3)</sup>      |     |
|                             | VMON_1P8_SOC   | -0.3                               | 1.98                     | V   |
|                             | VMON_3P3_SOC   | -0.3                               | 3.63                     | V   |
|                             | VMON_VSYS <sup>(4)</sup>   | -0.3                               | 1.98                     | V   |
|                             | 他のすべての IO ピンの定常状態の最大電圧 <sup>(5)</sup>  | USB0_VBUS、USB1_VBUS <sup>(6)</sup> | -0.3                     | 3.6 |
| その他のすべての IO ピン              |  | -0.3                               | IO 電源電圧 +<br>0.3         | V   |
| IO ピンの過渡オーバーシュートおよびアンダーシュート | 信号周期の最大 20% にわたって IO 電源電圧の 20% (図 6-1、「IO 過渡電圧範囲」を参照)                                  |                                    | 0.2 × VDD <sup>(7)</sup> | V   |
| ラッチアップ性能 <sup>(8)</sup>     | I 試験   | -100                               | 100                      | mA  |
|                             | 過電圧 (OV) 試験  |                                    | 1.5 × VDD <sup>(7)</sup> | V   |
| T <sub>STG</sub>            | 保存温度   | -55                                | +150                     | °C  |

- 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても [セクション 6.5](#)「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
  - すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
  - これらのフェイルセーフピンの絶対最大定格は、それらの IO 電源動作電圧に左右されます。したがって、この値は、「I2C オープンドレインおよびフェイルセーフ (I2C OD FS) の電気的特性」セクションに記載されている最大 V<sub>IH</sub> 値によっても規定され、この電気的特性表では 1.8V モードと 3.3V モードに別々のパラメータ値があります。
  - VMON\_VSYS ピンは、システム電源の監視に使用できます。詳細については、『システム電源監視設計ガイドライン』[セクション 8.2.5](#)を参照してください。
  - このパラメータはフェイルセーフでないすべての IO ピンに適用され、IO 電源電圧のすべての値に要件が適用されます。たとえば、特定の IO 電源に印加される電圧が 0V の場合、その電源から供給される IO の有効な入力電圧範囲は -0.3V ~ +0.3V になります。ペリフェラル デバイスに電力を供給する電源がそれぞれの IO 電源に電力を供給する電源と同じでない場合は、特別な注意が必要です。接続されているペリフェラルにおいて、電源のランプアップやランプダウンのシーケンスなど、有効な入力電圧範囲外の電圧を供給しないことが重要になります。
  - このデバイスピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、『USB 設計ガイドライン』[セクション 8.2.4](#)を参照してください。
  - VDD は、IO の対応する電源ピンの電圧です。
  - 電流パルス注入 (I-Test) の場合:
    - JEDEC JESD78 (Class II) に従ってピンにストレスを加え、規定の I/O ピン注入電流と最大推奨 I/O 電圧の +1.5 倍および -0.5 倍のクランプ電圧に合格しました。
- 過電圧性能 (過電圧 (OV) 試験) の場合:
- JEDEC JESD78 (Class II) に従って電源にストレスを加え、規定の電圧注入に合格しました。

フェイルセーフ IO 端子は、それぞれの IO 電源電圧に依存しないように設計されています。これにより、該当する IO 電源がオフのときに、これらの IO 端子に外部電圧源を接続できます。MCU\_I2C0\_SCL、MCU\_I2C0\_SDA、WKUP\_I2C0\_SCL、WKUP\_I2C0\_SDA、EXTINTn、VMON\_1P8\_SOC、VMON\_3P3\_SOC、および MCU\_PORz だけがフェイルセーフ IO 端子です。それ以外の IO 端子はいずれもフェイルセーフではなく、それらに印加される電圧は、[セクション 6.1](#)の「すべての IO ピンの定常状態の最大電圧」パラメータで定義されている値に制限する必要があります。



A.  $T_{overshoot} + T_{undershoot} < T_{period}$  の 20%

図 6-1. IO 過渡電圧範囲

## 6.2 AEC-Q100 未認定デバイスの ESD 定格

|             |             |  | 値     | 単位 |
|-------------|-------------|--|-------|----|
| $V_{(ESD)}$ | 静電気放電 (ESD) | 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>     | ±1000 | V  |
|             |             | デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup> | ±250  |    |

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。  
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

## 6.3 AEC-Q100 認定デバイスの ESD レーティング

|             |      |  | 値                        | 単位 |      |
|-------------|------|--|--------------------------|----|------|
| $V_{(ESD)}$ | 静電放電 | 人体モデル (HBM)、AEC - Q100-002 準拠 <sup>(1)</sup> | ±1000                    | V  |      |
|             |      | デバイス帯電モデル (CDM)、AEC - Q100-011 準拠            | コーナーピン (A1、A25、AE1、AE25) |    | ±750 |
|             |      |  | その他のすべてのピン               |    | ±250 |

- (1) AEC - Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

## 6.4 電源投入時間 (POH)

| パワー オン時間 (POH) <sup>(1) (2) (3)</sup> |               |                      |
|---------------------------------------|---------------|----------------------|
| 接合部温度範囲 ( $T_J$ )                     |               | 寿命 (POH)             |
| 125°C産業用および車載用 <sup>(4)</sup>         | -40°C ~ 105°C | 100000               |
|                                       | -40°C ~ 125°C | 20000 <sup>(5)</sup> |

- (1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。  
(2) 上記の表に記述されていない限り、すべての電圧ドメインと動作条件は、記載された温度において本デバイスでサポートされています。  
(3) POH は、電圧、温度、時間の関数です。より高い電圧および温度で使用すると POH が低減します。  
(4) -40~105°Cまたは -40~125°Cプロファイルを選択し、アプリケーションの寿命期間全体にわたって適用する必要があります。温度や POH を拡張する目的でこれらのプロファイルを混合させると、信頼性故障リスクが高まる可能性があります。そのため、これを行うことは推奨されません。  
(5) -40~125°Cプロファイルは、以下のように接合部温度に応じて 20000 時間の電源オン時間として定義されます。5%@-40°C、65%@70°C、20%@110°C、10%@125°C。

## 6.5 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

| 電源名                              | 説明                                      |          | 最小値 <sup>(1)</sup>   | 公称値                | 最大値 <sup>(1)</sup> | 単位 |
|----------------------------------|---|----------|----------------------|--------------------|--------------------|----|
| VDD_CORE <sup>(2)</sup>          | コア電源                                    | 0.75V 動作 | 0.715                | 0.75               | 0.79               | V  |
| VDDA_CORE_CSI_DSI <sup>(2)</sup> | CSIRX0 および DSITX0 コア電源                  | 0.85V 動作 | 0.81                 | 0.85               | 0.895              | V  |
| VDDA_CORE_DSI_CLK <sup>(2)</sup> | DSITX0 クロック コア電源                        |          |                      |                    |                    |    |
| VDDA_CORE_USB <sup>(2)</sup>     | USB0 および USB1 コア電源                      | 0.85V 動作 | 0.81                 | 0.85               | 0.895              | V  |
| VDDA_DDR_PLL0 <sup>(2)</sup>     | DDR デスキュー PLL 電源                        |          |                      |                    |                    |    |
| VDD_CANUART <sup>(3)</sup>       | CANUART コア電源                            | 0.75V 動作 | 0.715                | 0.75               | 0.79               | V  |
|                                  |   | 0.85V 動作 | 0.81                 | 0.85               | 0.895              | V  |
| VDDR_CORE                        | RAM、MMC0 PHY コア、および MMC0 DLL アナログ電源     |          | 0.81                 | 0.85               | 0.895              | V  |
| VDDS_DDR <sup>(4)</sup>          | DDR PHY IO 電源                           | 1.1V 動作  | 1.06                 | 1.1                | 1.17               | V  |
| VDDS_DDR_C <sup>(4)</sup>        | DDR クロック IO 電源                          |          |                      |                    |                    |    |
| VDDS_MMC0                        | MMC0 PHY IO 電源                          |          | 1.71                 | 1.8                | 1.89               | V  |
| VDDS_OSC0                        | MCU_OSC0 および WKUP_LFOSC0 電源             |          | 1.71                 | 1.8                | 1.89               | V  |
| VDDA_MCU                         | RCOSC、POR、POK、MCU_PLL0 アナログ電源           |          | 1.71                 | 1.8                | 1.89               | V  |
| VDDA_PLL0                        | MAIN_PLL0、MAIN_PLL1、MAIN_PLL2 アナログ電源    |          | 1.71                 | 1.8                | 1.89               | V  |
| VDDA_PLL1                        | MAIN_PLL16、MAIN_PLL17、MAIN_PLL18 アナログ電源 |          | 1.71                 | 1.8                | 1.89               | V  |
| VDDA_PLL2                        | MAIN_PLL6 アナログ電源                        |          | 1.71                 | 1.8                | 1.89               | V  |
| VDDA_PLL3                        | MAIN_PLL12 アナログ電源                       |          | 1.71                 | 1.8                | 1.89               | V  |
| VDDA_PLL4                        | MAIN_PLL8 および MAIN_PLL15 アナログ電源         |          | 1.71                 | 1.8                | 1.89               | V  |
| VDDA_1P8_CSI_DSI                 | CSIRX0 および DSITX0 1.8 V アナログ電源          |          | 1.71                 | 1.8                | 1.89               | V  |
| VDDA_1P8_OLDI0                   | OLDI0 1.8 V アナログ電源                      |          | 1.71                 | 1.8                | 1.89               | V  |
| VDDA_1P8_USB                     | USB0 および USB1 1.8 V アナログ電源              |          | 1.71                 | 1.8                | 1.89               | V  |
| VDDA_TEMP0                       | TEMP0 アナログ電源                            |          | 1.71                 | 1.8                | 1.89               | V  |
| VDDA_TEMP1                       | TEMP1 アナログ電源                            |          | 1.71                 | 1.8                | 1.89               | V  |
| VDDA_TEMP2                       | TEMP2 アナログ電源                            |          | 1.71                 | 1.8                | 1.89               | V  |
| VPP                              | eFuse ROM プログラミング電源                     |          | <sup>(5)</sup> を参照   | <sup>(5)</sup> を参照 | <sup>(5)</sup> を参照 | V  |
| VMON_1P8_SOC                     | 1.8V SoC 電源用電圧モニタ                       |          | 1.71                 | 1.8                | 1.89               | V  |
| VDDA_3P3_USB                     | USB0 および USB1 3.3 V アナログ電源              |          | 3.135                | 3.3                | 3.465              | V  |
| VMON_3P3_SOC                     | 3.3V SoC 電源用電圧モニタ                       |          | 3.135                | 3.3                | 3.465              | V  |
| VMON_VSYS                        | システム電源用電圧モニタ                            |          | 0 <sup>(6)</sup> を参照 |                    | 1                  | V  |
| USB0_VBUS                        | USB0 レベルシフト VBUS 入力                     |          | 0 <sup>(7)</sup> を参照 |                    | 3.465              | V  |
| USB1_VBUS                        | USB1 レベルシフト VBUS 入力                     |          | 0 <sup>(7)</sup> を参照 |                    | 3.465              | V  |
| VDDSHV_CANUART <sup>(8)</sup>    | IO グループ CANUART のデュアル電圧 IO 電源           | 1.8V 動作  | 1.71                 | 1.8                | 1.89               | V  |
|                                  |   | 3.3V 動作  | 3.135                | 3.3                | 3.465              | V  |
| VDDSHV_MCU                       | IO グループ MCU のデュアル電圧 IO 電源               | 1.8V 動作  | 1.71                 | 1.8                | 1.89               | V  |
|                                  |   | 3.3V 動作  | 3.135                | 3.3                | 3.465              | V  |
| VDDSHV0                          | IO グループ 0 のデュアル電圧 IO 電源                 | 1.8V 動作  | 1.71                 | 1.8                | 1.89               | V  |
|                                  |   | 3.3V 動作  | 3.135                | 3.3                | 3.465              | V  |
| VDDSHV1                          | IO グループ 1 のデュアル電圧 IO 電源                 | 1.8V 動作  | 1.71                 | 1.8                | 1.89               | V  |
|                                  |   | 3.3V 動作  | 3.135                | 3.3                | 3.465              | V  |
| VDDSHV2                          | IO グループ 2 のデュアル電圧 IO 電源                 | 1.8V 動作  | 1.71                 | 1.8                | 1.89               | V  |
|                                  |   | 3.3V 動作  | 3.135                | 3.3                | 3.465              | V  |

接合部動作温度範囲内 (特に記述のない限り)

| 電源名            | 説明                      | 最小値 <sup>(1)</sup> | 公称値   | 最大値 <sup>(1)</sup> | 単位    |   |
|----------------|-------------------------|--------------------|-------|--------------------|-------|---|
| VDDSHV3        | IO グループ 3 のデュアル電圧 IO 電源 | 1.8V 動作            | 1.71  | 1.8                | 1.89  | V |
|                |                         | 3.3V 動作            | 3.135 | 3.3                | 3.465 | V |
| VDDSHV5        | IO グループ 5 のデュアル電圧 IO 電源 | 1.8V 動作            | 1.71  | 1.8                | 1.89  | V |
|                |                         | 3.3V 動作            | 3.135 | 3.3                | 3.465 | V |
| VDDSHV6        | IO グループ 6 のデュアル電圧 IO 電源 | 1.8V 動作            | 1.71  | 1.8                | 1.89  | V |
|                |                         | 3.3V 動作            | 3.135 | 3.3                | 3.465 | V |
| T <sub>J</sub> | 動作ジャンクション温度範囲           |                    | -40   | 125                | °C    |   |

- (1) デバイス ボールの電圧は、通常のデバイス動作中、常に最小電圧を下回ったり、最大電圧を上回ったりしないようにしてください。
- (2) VDD\_CORE、VDDA\_CORE\_CSI\_DSI、VDDA\_CORE\_DSI\_CLK、VDDA\_CORE\_USB、VDDA\_DDR\_PLL0 は、同じ電源を使用するものとします。VDD\_CORE と VDDA\_CORE\_USB の間の電圧差が ± 1% 以内になるよう注意する必要があります。
- (3) 部分 IO 低消費電力モードまたは I/O のみ + DDR セルフリフレッシュ低消費電力モードを使用する場合、VDD\_CANUART は常時オンの電源に接続するものとします。部分 IO 低消費電力モードまたは I/O のみ + DDR セルフリフレッシュ低消費電力モードを使用しない場合、VDD\_CANUART は VDD\_CORE、VDDA\_CORE\_CSI\_DSI、VDDA\_CORE\_USB、VDDA\_DDR\_PLL0 と同じ電源に接続する必要があります。
- (4) VDDS\_DDR と VDDS\_DDR\_C は、同じ電源から給電するものとします。
- (5) eFuse の使用に基づく VPP 電源電圧については、「[OTP eFuse プログラミングの推奨動作条件](#)」表を参照してください。
- (6) VMON\_VSYS ピンは、システム電源の監視に使用できます。詳細については、『システム電源監視設計ガイドライン』[セクション 8.2.5](#) を参照してください。
- (7) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、『USB 設計ガイドライン』[セクション 8.2.4](#) を参照してください。
- (8) 部分 IO 低消費電力モードまたは I/O のみ + DDR セルフリフレッシュ低消費電力モードを使用する場合、VDDSHV\_CANUART は常時オンの電源に接続するものとします。部分 IO 低消費電力モードまたは I/O のみ + DDR セルフリフレッシュ低消費電力モードを使用しない場合、VDDSHV\_CANUART は任意の有効な IO 電源に接続するものとします。

## 6.6 動作性能ポイント

表 6-1 は各デバイスの速度グレードに対するクロックの最大動作周波数を定義し、表 6-2 はデバイス サブシステムとコアクロックに対して唯一の有効な動作性能ポイント (OPP) を定義します。

表 6-1. デバイス速度グレード

| 速度<br>グレード | VDD_CORE<br>(V) <sup>(1)</sup> | 最大動作周波数 (MHz)              |                       |            |                       |                      |                              |     |     |     | 最大<br>遷移<br>レート (MT/s)<br>(2) |
|------------|--------------------------------|----------------------------|-----------------------|------------|-----------------------|----------------------|------------------------------|-----|-----|-----|-------------------------------|
|            |                                | A53SS<br>(Cortex-<br>A53x) | メイン<br>ドメイン<br>SYSCLK | MCU<br>R5F | MCU<br>ドメイン<br>SYSCLK | デバイス<br>マネージャ<br>R5F | デバイス<br>マネージャ<br>ドメイン<br>CLK | HSM | GPU | VPU |                               |
| O          | 0.75/0.85                      | 1000                       | 500                   | 800        | 400                   | 800                  | 400                          | 400 | 560 | 500 | 3200                          |
| S          | 0.75                           | 1250                       | 500                   | 800        | 400                   | 800                  | 400                          | 400 | 560 | 500 | 3200                          |
|            | 0.85                           | 1400                       |                       |            |                       |                      |                              |     |     |     |                               |
| T          | 0.75                           | 1250                       | 500                   | 800        | 400                   | 800                  | 400                          | 400 | 320 | 500 | 3200                          |
|            | 0.85                           | 1400                       |                       |            |                       |                      |                              |     |     |     |                               |
| U          | 0.75                           | 1250                       | 500                   | 800        | 400                   | 800                  | 400                          | 400 | 720 | 500 | 3200                          |
|            | 0.85                           | 1400                       |                       |            |                       |                      |                              |     | 800 |     |                               |
| V          | 0.75                           | 1250                       | 500                   | 800        | 400                   | 800                  | 400                          | 400 | 720 | 500 | 3733                          |
|            | 0.85                           | 1400                       |                       |            |                       |                      |                              |     | 800 |     |                               |

(1) 公称動作電圧 (「推奨動作条件」を参照)。

(2) 最大 DDR 周波数は、システムで使用されている特定のメモリタイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『DDR 基板の設計およびレイアウトのガイドライン』を参照してください。

表 6-2. デバイスの動作性能ポイント

| OPP  | A53SS <sup>(1)</sup>    | 固定動作周波数オプション (MHz) <sup>(2)</sup> |            |                       |                      |                              |     |                         |                                    | MT/s <sup>(3)</sup>  |
|------|-------------------------|-----------------------------------|------------|-----------------------|----------------------|------------------------------|-----|-------------------------|------------------------------------|--|
|      |                         | メイン<br>ドメイン<br>SYSCLK             | MCU<br>R5F | MCU<br>ドメイン<br>SYSCLK | デバイス<br>マネージャ<br>R5F | デバイス<br>マネージャ<br>ドメイン<br>CLK | HSM | GPU                     | VPU                                |  |
| High | ARM0<br>PLL<br>バイパス     | 500                               | 800        | 400                   | 800                  | 400                          | 400 | 速度<br>グレード<br>最大値<br>まで | 500、<br>400、<br>200、<br>または<br>100 | DDR<br>PLL<br>バイパス <sup>(4)</sup><br>から<br>速度<br>グレード<br>最大値まで |
| Low  | 速度<br>グレード<br>最大値<br>まで | 250                               | 400        | 200                   | 400                  | 133                          | 133 |                         |                                    |  |

(1) デフォルトの動作周波数。ブート時にソフトウェアで設定されます。ブート後の動的周波数スケールリングがサポートされます。

(2) 固定動作周波数。ブート時にソフトウェアで設定されます。

(3) 最大 DDR 周波数は、システムで使用されている特定のメモリタイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『DDR 基板の設計およびレイアウトのガイドライン』を参照してください。

(4) DDR0\_CK0 と DDR0\_CK0\_n のソースとなる DDR PLL 出力は、通常は周波数単位で定義されます。したがって、バイパス モードで動作している場合、「DDR PLL バイパス」トランザクションレートは DDR PLL 出力周波数の 2 倍になります。

## 6.7 消費電力の概略

デバイスの消費電力の詳細については、『AM62P 電力推定ツール』ユーザー ガイドを参照してください。

## 6.8 電気的特性

### 注

セクション 6.8 で説明されているインターフェイスまたは信号は、多重化モード 0 (プライマリ信号機能) で使用可能なインターフェイスまたは信号に対応しています。

これらの表に記載されているボール上で多重化されたすべてのインターフェイスまたは信号は、多重化に PHY と GPIO の組み合わせが含まれている場合を除き、DC 電気的特性はすべて同じです。PHY と GPIO の組み合わせが含まれている場合、異なる多重化モード (機能) に異なる DC 電気的特性が規定されます。

### 6.8.1 I2C オープン ドレインおよびフェイルセーフ (I2C OD FS) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ                          |                   | テスト条件                 | 最小値                                 | 標準値 | 最大値                       | 単位  |
|--------------------------------|-------------------|-----------------------|-------------------------------------|-----|---------------------------|-----|
| <b>1.8V モード</b>                |                   |                       |                                     |     |                           |     |
| V <sub>IL</sub>                | 入力 Low 電圧         |                       |                                     |     | 0.3 × VDD <sup>(1)</sup>  | V   |
| V <sub>ILSS</sub>              | 入力 Low 電圧 (定常状態)  |                       |                                     |     | 0.3 × VDD <sup>(1)</sup>  | V   |
| V <sub>IH</sub>                | 入力 High 電圧        |                       | 0.7 × VDD <sup>(1)</sup>            |     | 1.98 <sup>(2)</sup>       | V   |
| V <sub>IHSS</sub>              | 入力 High 電圧 (定常状態) |                       | 0.7 × VDD <sup>(1)</sup>            |     |                           | V   |
| V <sub>HYS</sub>               | 入力ヒステリシス電圧        |                       | 0.1 × VDD <sup>(1)</sup>            |     |                           | mV  |
| I <sub>IN</sub> <sup>(3)</sup> | 入力リーク電流。          | V <sub>I</sub> = 1.8V |                                     |     | 10                        | μA  |
|                                |                   | V <sub>I</sub> = 0V   |                                     |     | -10                       | μA  |
| V <sub>OL</sub>                | 出力 LOW 電圧         |                       |                                     |     | 0.2 × VDD <sup>(1)</sup>  | V   |
| I <sub>OL</sub> <sup>(4)</sup> | LOW レベル出力電流       | V <sub>OL(MAX)</sub>  | 10                                  |     |                           | mA  |
| SR <sub>I</sub> <sup>(6)</sup> | 入力スルーレート          |                       | 18f <sup>(5)</sup><br>または<br>1.8E+6 |     |                           | V/s |
| <b>3.3V モード<sup>(7)</sup></b>  |                   |                       |                                     |     |                           |     |
| V <sub>IL</sub>                | 入力 Low 電圧         |                       |                                     |     | 0.3 × VDD <sup>(1)</sup>  | V   |
| V <sub>ILSS</sub>              | 入力 Low 電圧 (定常状態)  |                       |                                     |     | 0.25 × VDD <sup>(1)</sup> | V   |
| V <sub>IH</sub>                | 入力 High 電圧        |                       | 0.7 × VDD <sup>(1)</sup>            |     | 3.63 <sup>(2)</sup>       | V   |
| V <sub>IHSS</sub>              | 入力 High 電圧 (定常状態) |                       | 0.7 × VDD <sup>(1)</sup>            |     |                           | V   |
| V <sub>HYS</sub>               | 入力ヒステリシス電圧        |                       | 0.05 × VDD <sup>(1)</sup>           |     |                           | mV  |
| I <sub>IN</sub> <sup>(3)</sup> | 入力リーク電流。          | V <sub>I</sub> = 3.3V |                                     |     | 10                        | μA  |
|                                |                   | V <sub>I</sub> = 0V   |                                     |     | -10                       | μA  |
| V <sub>OL</sub>                | 出力 LOW 電圧         |                       |                                     |     | 0.4                       | V   |
| I <sub>OL</sub> <sup>(4)</sup> | LOW レベル出力電流       | V <sub>OL(MAX)</sub>  | 10                                  |     |                           | mA  |
| SR <sub>I</sub> <sup>(6)</sup> | 入力スルーレート          |                       | 33f <sup>(5)</sup><br>または<br>3.3E+6 |     | 8E+7                      | V/s |

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、ピン属性表の「電源」の欄を参照してください。

(2) この値は、その IO の絶対最大定格値も定義します。

(3) このパラメータは、入力、非駆動出力、または入力と非駆動出力の両方として端子が動作している際のリーク電流を規定します。

(4) I<sub>OL</sub> パラメータは、指定された V<sub>OL</sub> 値をデバイスが維持できる最小 Low レベル出力電流を規定します。このパラメータで規定される値は、接続された部品の V<sub>OL</sub> 仕様値を維持する必要があるシステム実装が利用可能な最大電流と見なす必要があります。

(5) f = 入力信号のトグル周波数 (Hz)。

(6) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

(7) IO を 3.3V モードで動作させる場合、I2C ハイスピード モードはサポートされません。

### 6.8.2 フェイルセーフ リセット (FS RESET) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ          |                   | テスト条件                | 最小値                            | 標準値 | 最大値                        | 単位            |
|----------------|-------------------|----------------------|--------------------------------|-----|----------------------------|---------------|
| $V_{IL}$       | 入力 Low 電圧         |                      |                                |     | $0.3 \times V_{DD5\_OSC0}$ | V             |
| $V_{ILSS}$     | 入力 Low 電圧 (定常状態)  |                      |                                |     | $0.3 \times V_{DD5\_OSC0}$ | V             |
| $V_{IH}$       | 入力 High 電圧        |                      | $0.7 \times V_{DD5\_OSC0}$     |     |                            | V             |
| $V_{IHSS}$     | 入力 High 電圧 (定常状態) |                      | $0.7 \times V_{DD5\_OSC0}$     |     |                            | V             |
| $V_{HYS}$      | 入力ヒステリシス電圧        |                      | 200                            |     |                            | mV            |
| $I_{IN}^{(1)}$ | 入力リーク電流。          | $V_I = 1.8\text{ V}$ |                                |     | 10                         | $\mu\text{A}$ |
|                |                   | $V_I = 0\text{ V}$   |                                |     | -10                        | $\mu\text{A}$ |
| $SR_I^{(3)}$   | 入力スルーレート          |                      | $18f^{(2)}$<br>または<br>$1.8E+6$ |     |                            | V/s           |

(1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。

(2)  $f$  = 入力信号のトグル周波数 (Hz)。

(3) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

### 6.8.3 高周波発振器 (HFOSC) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ          |            | テスト条件                | 最小値                         | 標準値 | 最大値                         | 単位            |
|----------------|------------|----------------------|-----------------------------|-----|-----------------------------|---------------|
| $V_{IL}$       | 入力 Low 電圧  |                      |                             |     | $0.35 \times V_{DD5\_OSC0}$ | V             |
| $V_{IH}$       | 入力 High 電圧 |                      | $0.65 \times V_{DD5\_OSC0}$ |     |                             | V             |
| $V_{HYS}$      | 入力ヒステリシス電圧 |                      |                             | 49  |                             | mV            |
| $I_{IN}^{(1)}$ | 入力リーク電流。   | $V_I = 1.8\text{ V}$ |                             |     | 10                          | $\mu\text{A}$ |
|                |            | $V_I = 0\text{ V}$   |                             |     | -10                         | $\mu\text{A}$ |

(1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。

### 6.8.4 低周波数発振器 (LFXOSC) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ          |            | テスト条件                | 最小値                         | 標準値 | 最大値                         | 単位            |
|----------------|------------|----------------------|-----------------------------|-----|-----------------------------|---------------|
| $V_{IL}$       | 入力 Low 電圧  |                      |                             |     | $0.30 \times V_{DD5\_OSC0}$ | V             |
| $V_{IH}$       | 入力 High 電圧 |                      | $0.70 \times V_{DD5\_OSC0}$ |     |                             | V             |
| $V_{HYS}$      | 入力ヒステリシス電圧 | アクティブ モード            |                             | 85  |                             | mV            |
|                |            | バイパス モード             |                             | 324 |                             | mV            |
| $I_{IN}^{(1)}$ | 入力リーク電流。   | $V_I = 1.8\text{ V}$ |                             |     | 10                          | $\mu\text{A}$ |
|                |            | $V_I = 0\text{ V}$   |                             |     | -10                         | $\mu\text{A}$ |

(1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。

### 6.8.5 eMMC PHY の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ                          |                   | テスト条件                  | 最小値                          | 標準値 | 最大値                          | 単位  |
|--------------------------------|-------------------|------------------------|------------------------------|-----|------------------------------|-----|
| V <sub>IL</sub>                | 入力 Low 電圧         |                        |                              |     | 0.35 × V <sub>DD5_MMC0</sub> | V   |
| V <sub>ILSS</sub>              | 入力 Low 電圧 (定常状態)  |                        |                              |     | 0.20                         | V   |
| V <sub>IH</sub>                | 入力 High 電圧        |                        | 0.65 × V <sub>DD5_MMC0</sub> |     |                              | V   |
| V <sub>IHSS</sub>              | 入力 High 電圧 (定常状態) |                        | 1.4                          |     |                              | V   |
| I <sub>IN</sub> <sup>(1)</sup> | 入力リーク電流。          | V <sub>I</sub> = 1.8 V |                              |     | 10                           | μA  |
|                                |                   | V <sub>I</sub> = 0 V   |                              |     | -10                          | μA  |
| R <sub>PU</sub>                | プルアップ抵抗           |                        | 15                           | 20  | 25                           | kΩ  |
| R <sub>PD</sub>                | プルダウン抵抗           |                        | 15                           | 20  | 25                           | kΩ  |
| V <sub>OL</sub>                | 出力 LOW 電圧         | I <sub>OL</sub> = 2mA  |                              |     | 0.30                         | V   |
| V <sub>OH</sub>                | 出力 HIGH 電圧        | I <sub>OH</sub> = -2mA | V <sub>DD5_MMC0</sub> ~ 0.30 |     |                              | V   |
| SR <sub>I</sub>                | 入力スルーレート          |                        | 5E+8                         |     |                              | V/s |

(1) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて、内部プルがイネーブルされていないときのリーク電流を定義します。

### 6.8.6 SDIO の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ                          |                   | テスト条件                 | 最小値                                 | 標準値 | 最大値                        | 単位  |
|--------------------------------|-------------------|-----------------------|-------------------------------------|-----|----------------------------|-----|
| <b>1.8V モード</b>                |                   |                       |                                     |     |                            |     |
| V <sub>IL</sub>                | 入力 Low 電圧         |                       |                                     |     | 0.58                       | V   |
| V <sub>ILSS</sub>              | 入力 Low 電圧 (定常状態)  |                       |                                     |     | 0.58                       | V   |
| V <sub>IH</sub>                | 入力 High 電圧        |                       | 1.27                                |     |                            | V   |
| V <sub>IHSS</sub>              | 入力 High 電圧 (定常状態) |                       | 1.7                                 |     |                            | V   |
| V <sub>HYS</sub>               | 入力ヒステリシス電圧        |                       | 150                                 |     |                            | mV  |
| I <sub>IN</sub> <sup>(1)</sup> | 入力リーク電流。          | V <sub>I</sub> = 1.8V |                                     |     | 10                         | μA  |
|                                |                   | V <sub>I</sub> = 0V   |                                     |     | -10                        | μA  |
| R <sub>PU</sub>                | プルアップ抵抗           |                       | 40                                  | 50  | 60                         | kΩ  |
| R <sub>PD</sub>                | プルダウン抵抗           |                       | 40                                  | 50  | 60                         | kΩ  |
| V <sub>OL</sub>                | 出力 LOW 電圧         |                       |                                     |     | 0.45                       | V   |
| V <sub>OH</sub>                | 出力 HIGH 電圧        |                       | VDD <sup>(2)</sup> - 0.45           |     |                            | V   |
| I <sub>OL</sub> <sup>(3)</sup> | LOW レベル出力電流       | V <sub>OL</sub> (MAX) | 4                                   |     |                            | mA  |
| I <sub>OH</sub> <sup>(3)</sup> | High レベル出力電流      | V <sub>OH</sub> (MIN) | 4                                   |     |                            | mA  |
| SR <sub>I</sub> <sup>(5)</sup> | 入力スルーレート          |                       | 18f <sup>(4)</sup><br>または<br>1.8E+6 |     |                            | V/s |
| <b>3.3V モード</b>                |                   |                       |                                     |     |                            |     |
| V <sub>IL</sub>                | 入力 Low 電圧         |                       |                                     |     | 0.25 × VDD <sup>(2)</sup>  | V   |
| V <sub>ILSS</sub>              | 入力 Low 電圧 (定常状態)  |                       |                                     |     | 0.15 × VDD <sup>(2)</sup>  | V   |
| V <sub>IH</sub>                | 入力 High 電圧        |                       | 0.625 × VDD <sup>(2)</sup>          |     |                            | V   |
| V <sub>IHSS</sub>              | 入力 High 電圧 (定常状態) |                       | 0.625 × VDD <sup>(2)</sup>          |     |                            | V   |
| V <sub>HYS</sub>               | 入力ヒステリシス電圧        |                       | 150                                 |     |                            | mV  |
| I <sub>IN</sub> <sup>(1)</sup> | 入力リーク電流。          | V <sub>I</sub> = 3.3V |                                     |     | 10                         | μA  |
|                                |                   | V <sub>I</sub> = 0V   |                                     |     | -10                        | μA  |
| R <sub>PU</sub>                | プルアップ抵抗           |                       | 40                                  | 50  | 60                         | kΩ  |
| R <sub>PD</sub>                | プルダウン抵抗           |                       | 40                                  | 50  | 60                         | kΩ  |
| V <sub>OL</sub>                | 出力 LOW 電圧         |                       |                                     |     | 0.125 × VDD <sup>(2)</sup> | V   |
| V <sub>OH</sub>                | 出力 HIGH 電圧        |                       | 0.75 × VDD <sup>(2)</sup>           |     |                            | V   |
| I <sub>OL</sub> <sup>(3)</sup> | LOW レベル出力電流       | V <sub>OL</sub> (MAX) | 6                                   |     |                            | mA  |
| I <sub>OH</sub> <sup>(3)</sup> | High レベル出力電流      | V <sub>OH</sub> (MIN) | 10                                  |     |                            | mA  |
| SR <sub>I</sub> <sup>(5)</sup> | 入力スルーレート          |                       | 33f <sup>(4)</sup><br>または<br>3.3E+6 |     |                            | V/s |

- (1) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて、内部プルがイネーブルされていないときのリーク電流を定義します。
- (2) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
- (3) I<sub>OL</sub> および I<sub>OH</sub> パラメータは、デバイスが指定された V<sub>OL</sub> および V<sub>OH</sub> の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V<sub>OL</sub> および V<sub>OH</sub> の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
- (4) f = 入力信号のトグル周波数 (Hz)。
- (5) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

### 6.8.7 LVCMOS の電氣的特性

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ                          |                   | テスト条件                  | 最小値                                 | 標準値                       | 最大値  | 単位  |
|--------------------------------|-------------------|------------------------|-------------------------------------|---------------------------|------|-----|
| <b>1.8V モード</b>                |                   |                        |                                     |                           |      |     |
| V <sub>IL</sub>                | 入力 Low 電圧         |                        |                                     | 0.35 × VDD <sup>(1)</sup> |      | V   |
| V <sub>ILSS</sub>              | 入力 Low 電圧 (定常状態)  |                        |                                     | 0.3 × VDD <sup>(1)</sup>  |      | V   |
| V <sub>IH</sub>                | 入力 High 電圧        |                        | 0.65 × VDD <sup>(1)</sup>           |                           |      | V   |
| V <sub>IHSS</sub>              | 入力 High 電圧 (定常状態) |                        | 0.85 × VDD <sup>(1)</sup>           |                           |      | V   |
| V <sub>HYS</sub>               | 入力ヒステリシス電圧        |                        | 150                                 |                           |      | mV  |
| I <sub>IN</sub> <sup>(2)</sup> | 入力リーク電流。          | V <sub>I</sub> = 1.8 V |                                     |                           | 10   | μA  |
|                                |                   | V <sub>I</sub> = 0 V   |                                     |                           | -10  | μA  |
| R <sub>PU</sub>                | プルアップ抵抗           |                        | 15                                  | 22                        | 30   | kΩ  |
| R <sub>PD</sub>                | プルダウン抵抗           |                        | 15                                  | 22                        | 30   | kΩ  |
| V <sub>OL</sub>                | 出力 LOW 電圧         |                        |                                     |                           | 0.45 | V   |
| V <sub>OH</sub>                | 出力 HIGH 電圧        |                        | VDD <sup>(1)</sup> - 0.45           |                           |      | V   |
| I <sub>OL</sub> <sup>(3)</sup> | LOW レベル出力電流       | V <sub>OL(MAX)</sub>   | 3                                   |                           |      | mA  |
| I <sub>OH</sub> <sup>(3)</sup> | High レベル出力電流      | V <sub>OH(MIN)</sub>   | 3                                   |                           |      | mA  |
| SR <sub>I</sub> <sup>(5)</sup> | 入力スルーレート          |                        | 18f <sup>(4)</sup><br>または<br>1.8E+6 |                           |      | V/s |
| <b>3.3V モード</b>                |                   |                        |                                     |                           |      |     |
| V <sub>IL</sub>                | 入力 Low 電圧         |                        |                                     |                           | 0.8  | V   |
| V <sub>ILSS</sub>              | 入力 Low 電圧 (定常状態)  |                        |                                     |                           | 0.6  | V   |
| V <sub>IH</sub>                | 入力 High 電圧        |                        | 2.0                                 |                           |      | V   |
| V <sub>IHSS</sub>              | 入力 High 電圧 (定常状態) |                        | 2.0                                 |                           |      | V   |
| V <sub>HYS</sub>               | 入力ヒステリシス電圧        |                        | 150                                 |                           |      | mV  |
| I <sub>IN</sub> <sup>(2)</sup> | 入力リーク電流。          | V <sub>I</sub> = 3.3 V |                                     |                           | 10   | μA  |
|                                |                   | V <sub>I</sub> = 0 V   |                                     |                           | -10  | μA  |
| R <sub>PU</sub>                | プルアップ抵抗           |                        | 15                                  | 22                        | 30   | kΩ  |
| R <sub>PD</sub>                | プルダウン抵抗           |                        | 15                                  | 22                        | 30   | kΩ  |
| V <sub>OL</sub>                | 出力 LOW 電圧         |                        |                                     |                           | 0.4  | V   |
| V <sub>OH</sub>                | 出力 HIGH 電圧        |                        | 2.4                                 |                           |      | V   |
| I <sub>OL</sub> <sup>(3)</sup> | LOW レベル出力電流       | V <sub>OL(MAX)</sub>   | 5                                   |                           |      | mA  |
| I <sub>OH</sub> <sup>(3)</sup> | High レベル出力電流      | V <sub>OH(MIN)</sub>   | 9                                   |                           |      | mA  |
| SR <sub>I</sub> <sup>(5)</sup> | 入力スルーレート          |                        | 33f <sup>(4)</sup><br>または<br>3.3E+6 |                           |      | V/s |

- (1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
- (2) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて、内部プルがイネーブルされていないときのリーク電流を定義します。
- (3) I<sub>OL</sub> および I<sub>OH</sub> パラメータは、デバイスが指定された V<sub>OL</sub> および V<sub>OH</sub> の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V<sub>OL</sub> および V<sub>OH</sub> の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
- (4) f = 入力信号のトグル周波数 (Hz)。
- (5) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

### 6.8.8 OLDI LVDS (OLDI) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ            |                                    | テスト条件                                    | 最小値   | 標準値 | 最大値   | 単位 |
|------------------|------------------------------------|--|-------|-----|-------|----|
| $V_{OH}$         | 電圧、出力 High                         | 差動負荷 = 100Ω                              |       |     | 1.5   | V  |
| $V_{OL}$         | 電圧、出力 Low                          |  | 0.925 |     |       | V  |
| $V_{OCM}$        | 電圧、出力同相                            |  | 1.125 |     | 1.375 | V  |
| $\Delta V_{OCM}$ | デルタ電圧、出力同相<br>(High と Low の定常状態の差) |  |       |     | 30    | mV |
| $V_{OD}$         | 電圧、出力差動                            |  | 250   |     | 400   | mV |
| $\Delta V_{OD}$  | デルタ電圧、出力差動<br>(High と Low の定常状態の差) |  |       |     | 50    | mV |
| $I_{OS}$         | 電流、出力短絡                            | V = VSS<br>差動負荷 = 100Ω                   |       |     | -5    | mA |
| $I_{OZ}$         | 電流、出力ハイ インピーダンス                    | V = VDD <sup>(1)</sup><br>または<br>V = VSS | -10   | 4   | 40    | μA |

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

### 6.8.9 CSI-2 (D-PHY) の電気的特性

#### 注

CSIRX0 は、該当する ECN とエラッタを含め、2014 年 8 月 1 日付けの MIPI DPHY v1.2 に準拠しています。

### 6.8.10 DSI (D-PHY) の電気的特性

#### 注

DSITX0 は、該当する ECN とエラッタを含め、2014 年 8 月 1 日付けの MIPI DPHY v1.2 に準拠しています。

### 6.8.11 USB2PHY の電気的特性

#### 注

USB0 および USB1 のインターフェイスは、2000 年 4 月 27 日付けの Universal Serial Bus Revision 2.0 仕様 (該当する ECN およびエラッタを含む) に準拠しています。

### 6.8.12 DDR の電気的特性

#### 注

本 DDR インターフェイスは、JESD209-4B 規格に準拠した LPDDR4 デバイスと互換性があります。

## 6.9 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定します。

### 6.9.1 OTP eFuse プログラミングの推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

| パラメータ               | 説明  | 最小値               | 公称値 | 最大値  | 単位            |
|---------------------|---|-------------------|-----|------|---------------|
| VDD_CORE            | OTP 動作時のコア ドメイン電源電圧範囲   | セクション 6.5 を参照     |     |      | V             |
| VPP                 | 通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートなし) | NC <sup>(1)</sup> |     |      | V             |
|                     | 通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートあり) | 0                 |     |      | V             |
|                     | OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 <sup>(2)</sup>                  | 1.71              | 1.8 | 1.89 | V             |
| I <sub>(VPP)</sub>  | VPP 電流  |                   |     |      | 400<br>mA     |
| SR <sub>(VPP)</sub> | VPP パワーアップ スルーレート   |                   |     |      | 6E + 4<br>V/s |
| T <sub>j</sub>      | eFuse ROM プログラミング時の動作時接合部温度範囲                                       | 0                 | 25  | 85   | °C            |

(1) NC は接続なしを示します。

(2) 電源電圧範囲には、DC 誤差およびピーク ツー ピーク ノイズが含まれます。

### 6.9.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP 電源をディセーブルにする必要があります。
- VPP 電源は、適切なデバイス電源オン シーケンスの後にランプアップする必要があります (詳細については、[セクション 6.12.2.2](#)「電源シーケンス」を参照してください)。

### 6.9.3 プログラミング シーケンス

OTP eFuse のプログラミング シーケンス:

- パワーアップ シーケンシングに従ってボードに電源を投入します。パワーアップ時および通常動作中は、VPP 端子に電圧を印加しないでください。
- eFuse のプログラミングに必要な OTP 書き込みソフトウェアをロードします (OTP ソフトウェア パッケージについては、お近くの TI 代理店にお問い合わせください)。
- VPP 端子には、[OTP eFuse プログラミングの推奨動作条件](#)に従った電圧を印加します。
- OTP レジスタをプログラムするソフトウェアを実行します。
- OTP レジスタの内容を検証した後、VPP 端子から電圧を取り除きます。

### 6.9.4 ハードウェア保証への影響

お客様は、セキュリティ キーにより TI ツのデバイスに eFusing を使用することは、デバイスを永続的に変更する、ということに同意するものとします。お客様は、プログラム シーケンスが正しくないか中止された場合や、シーケンス ステップを省略した場合などに、eFuse が失敗する可能性があることを認めます。さらに、プロダクション キーのエラー コード訂正チェックが失敗した場合、またはイメージが署名されておらず、オプションとして現在アクティブなプロダクション キーで暗号化されていない場合、TI のデバイスはセキュア ブートに失敗する可能性があります。このような障害が発生すると、TI のデバイスが動作不能になることがあり、TI ツは eFuse を試行する前に、TI のデバイスがそのデバイス仕様に準拠していることを確認できなくなります。このため、お客様によって eFuse が誤って実行された TI のデバイスについて、TI は一切の責任 (保証またはその他の責任) を負いません。

## 6.10 熱抵抗特性

このセクションでは、このデバイスで使用される熱抵抗特性について説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、[セクション 6.5「推奨動作条件」](#)に示されている  $T_J$  値以下にする必要があります。

### 注

熱パラメータは、JEDEC 規格の JESD51x に従って生成されており、設計パラメータではありません。より正確な熱表現が必要な場合は、プロセッサの熱モデルをダウンロードし、PCB デザインを熱シミュレーション環境にインポートします。熱実装ガイドラインの詳細については、「[熱ソリューションガイダンス](#)」セクションを参照してください。

### 6.10.1 AMH パッケージの熱抵抗特性

システムレベルの熱シミュレーションは、ワーストケースのデバイス消費電力を考慮して実行することを推奨します。

| 番号  | パラメータ          | 説明             | AMH パッケージ               |                          |
|-----|----------------|----------------|-------------------------|--------------------------|
|     |                |                | °C/W <sup>(1) (3)</sup> | 空気流 (m/s) <sup>(2)</sup> |
| T1  | $R\theta_{JC}$ | 接合部とケースとの間     | 0.86                    | 該当なし                     |
| T2  | $R\theta_{JB}$ | 接合部と基板との間      | 3.3                     | 該当なし                     |
| T3  | $R\theta_{JA}$ | 接合部と自由空気との間    | 13.8                    | 0                        |
| T4  |                | 接合部と空気流との間     | 8.8                     | 1                        |
| T5  |                |                | 7.7                     | 2                        |
| T6  |                |                | 7.2                     | 3                        |
| T7  | $\Psi_{JT}$    | 接合部とパッケージ上面との間 | 0.50                    | 0                        |
| T8  |                |                | 0.52                    | 1                        |
| T9  |                |                | 0.53                    | 2                        |
| T10 |                |                | 0.54                    | 3                        |
| T11 | $\Psi_{JB}$    | 接合部と基板との間      | 3.2                     | 0                        |
| T12 |                |                | 2.8                     | 1                        |
| T13 |                |                | 2.7                     | 2                        |
| T14 |                |                | 2.6                     | 3                        |

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる  $\theta_{JC}$  [ $R\theta_{JC}$ ] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト手法の環境条件 - 自然対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エアアレイ表面実装パッケージの熱測定用テスト基板』

(2) m/s = メートル/秒。

(3) °C/W = 摂氏温度 / ワット。

## 6.11 温度センサの特性

このセクションでは、ダイ温度センサの特性に関する電圧および温度モジュール (VTM) について概要を説明します。

動作および信頼性上の懸念から、本デバイスの最大接合部温度は、「推奨動作条件」に示された  $T_J$  値以下にする必要があります。

**表 6-3. VTM ダイ温度センサの特性**

| パラメータ     |             | テスト条件         | 最小値 | 標準値 | 最大値 | 単位 |
|-----------|-------------|---------------|-----|-----|-----|----|
| $T_{acc}$ | VTM 温度センサ精度 | -40°C ~ 125°C | -5  |     | 5   | °C |

## 6.12 タイミングおよびスイッチング特性

### 注

シリコンの特性評価結果に応じて、タイミング要件およびスイッチング特性の値は変化する場合があります。

### 注

特に指示がない限り、タイミングを確保するため、各パッド構成レジスタのデフォルトのスルーレート設定を使用する必要があります。

### 6.12.1 タイミングパラメータおよび情報

セクション 6.12 「タイミングおよびスイッチング特性」で使用されるタイミングパラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を表 6-4 に示すように短縮しました。

表 6-4. タイミングパラメータの添え字

| 記号    | パラメータ                 |
|-------|-----------------------|
| c     | サイクル時間 (周期)           |
| d     | 遅延時間                  |
| dis   | ディセーブル時間              |
| en    | イネーブル時間               |
| h     | ホールド時間                |
| su    | セットアップ時間              |
| START | スタートビット               |
| t     | 遷移時間                  |
| v     | 有効時間                  |
| w     | パルス幅                  |
| X     | 未知の、変化している、ドント ケアのレベル |
| F     | 立ち下がり時間               |
| H     | High                  |
| L     | Low                   |
| R     | 立ち上がり時間               |
| V     | 有効                    |
| IV    | 無効                    |
| AE    | アクティブ エッジ             |
| FE    | 最初のエッジ                |
| LE    | 最後のエッジ                |
| Z     | 高インピーダンス              |

## 6.12.2 電源要件

このセクションでは、デバイスが適切に動作するために必要な電源要件について説明します。

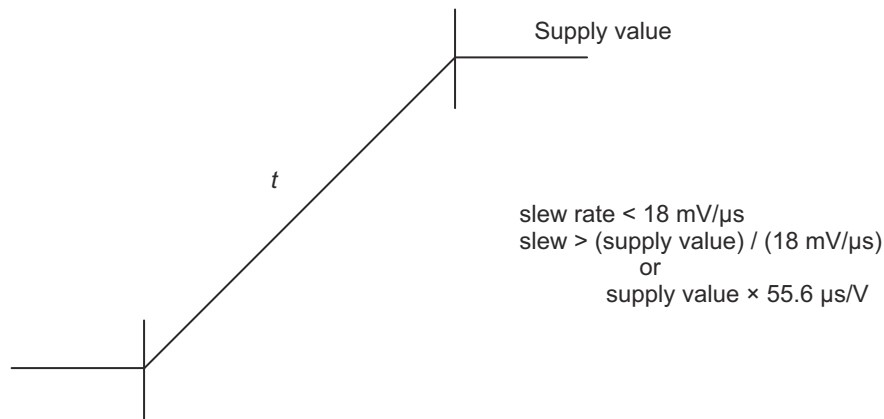
### 注

「信号説明」と「ピン接続要件」に特に記述のない限り、すべての電源ボールは、「推奨動作条件」に規定された電圧で供給する必要があります。

### 6.12.2.1 電源スルーレートの要件

内部 ESD 保護デバイスの安全な動作範囲を維持するため、電源の最大スルーレートを  $18 \text{ mV}/\mu\text{s}$  未満に制限することを推奨します。たとえば、[図 6-2](#) に示すように、 $1.8\text{V}$  電源については、ランプ スルーが  $100\mu\text{s}$  を超えるものを使用することを推奨します。

[図 6-2](#) に、デバイスの電源スルー レートの要件を示します。



SPRT740\_ELCH\_06

図 6-2. 電源のスルーおよびスルーレート

### 6.12.2.2 電源シーケンス

このセクションでは、電源シーケンスの図と関連する注を使用して、電源シーケンス要件について説明します。各電源シーケンスの図は、デバイスの各電源レールに必要な順序を表しており、それをデバイスの各電源レールを 1 つまたは複数の波形に割り当てることによって示しています。デュアル電圧電源レールは複数の波形に関連付けられている場合があり、どの波形が該当するかは関連する注に記載されています。各波形は、関連する電源レールの遷移領域を定義し、他の電源レールの遷移領域との順序関係を示しています。電源シーケンスの図に関連する注に、これらの要件の詳細が記載されています。パワーアップ要件の詳細については「パワーアップ シーケンス」セクション、パワーダウン要件の詳細については「パワーダウン シーケンス」セクションを参照してください。

電源シーケンスの図を簡素化するため、2 種類の電源遷移領域が使用されています。図 6-3 および図 6-4 の凡例と説明に、各遷移領域が何を表しているかが明記されています。

図 6-3 は、複数の電源または 1 つの電源から給電される複数の電源レールの遷移領域を定義しています。遷移領域内に示されている遷移は、この波形に関連する電源レールに給電するために複数の電源が使用されている使用事例を表しています。これらの電源には相対的なシーケンス要件はないため、領域内で異なる時間に立ち上げることが可能です。

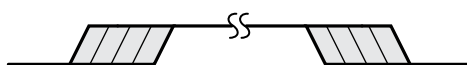


図 6-3. 複数の電源遷移の凡例

図 6-4 は、1 つの共通電源から給電する必要がある 1 つ以上の電源レールの遷移領域を定義しています。遷移領域内で 1 つの立ち上がりを表すため、領域内に遷移は示されていません。

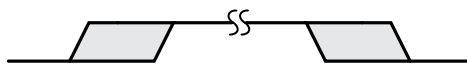


図 6-4. 1 つの共通電源遷移の凡例

### 6.12.2.2.1 パワーアップシーケンシング

表 6-5 および図 6-5 に、本デバイスのパワーダウン シーケンスを示します。

#### 注

このセクションで定義する電源シーケンス要件には、低消費電力モードの開始または終了は含まれません。部分 IO 低消費電力モードの開始時または終了時における要件の詳細については、セクション 6.12.2.2.3「部分的 IO 電源シーケンス」を参照してください。

#### 注

「推奨動作条件」に定義された最小値を電源レールが下回ったときは必ず、新たにパワーアップ シーケンスを開始する前に、すべての電源レールをオフにし、300mV を下回るまで減衰させる必要があります。唯一の例外は、VDDSHV\_CANUART および VDD\_CANUART が常時オンの電源から電力を供給される、部分 IO 低消費電力モードの開始 / 終了時です。この使用事例では、VDDSHV\_CANUART および VDD\_CANUART 電源レールをオンのままにしておくことができます。

表 6-5. パワーアップ シーケンス - 電源 / 信号の割り当て

図 6-5 を参照

| 波形 | 電源 / 信号名   |
|----|--|
| A  | VSYS <sup>(1)</sup> , VMON_VSYS <sup>(2)</sup>   |
| B  | VDDSHV_CANUART <sup>(3)</sup> , VDDSHV_MCU <sup>(3)</sup> , VDDSHV0 <sup>(3)</sup> , VDDSHV1 <sup>(3)</sup> , VDDSHV2 <sup>(3)</sup> , VDDSHV3 <sup>(3)</sup> , VDDA_3P3_USB, VMON_3P3_SOC <sup>(4)</sup>  |
| C  | VDDSHV_CANUART <sup>(5)</sup> , VDDSHV_MCU <sup>(5)</sup> , VDDSHV0 <sup>(5)</sup> , VDDSHV1 <sup>(5)</sup> , VDDSHV2 <sup>(5)</sup> , VDDSHV3 <sup>(5)</sup> , VDDS_MMC0, VDDA_MCU, VDDS_OSC0, VDDA_PLL0, VDDA_PLL1, VDDA_PLL2, VDDA_PLL3, VDDA_PLL4, VDDA_1P8_CSI_DSI, VDDA_1P8_OLDIO, VDDA_1P8_USB, VDDA_TEMP0, VDDA_TEMP1, VDDA_TEMP2, VMON_1P8_SOC <sup>(6)</sup> |
| D  | VDDSHV5 <sup>(7)</sup> , VDDSHV6 <sup>(7)</sup>  |
| E  | VDDS_DDR <sup>(8)</sup> , VDDS_DDR_C <sup>(8)</sup>  |
| F  | VDD_CANUART <sup>(9)</sup>   |
| G  | VDD_CANUART <sup>(10)</sup> , VDD_CORE <sup>(10) (12)</sup> , VDDA_CORE_CSI_DSI <sup>(10)</sup> , VDDA_CORE_DSI_CLK <sup>(10)</sup> , VDDA_CORE_USB0 <sup>(10)</sup> , VDDA_DDR_PLL0 <sup>(10)</sup>   |
| H  | VDD_CANUART <sup>(11)</sup> , VDD_CORE <sup>(11) (12)</sup> , VDDA_CORE_CSI_DSI <sup>(11)</sup> , VDDA_CORE_DSI_CLK <sup>(11)</sup> , VDDA_CORE_USB0 <sup>(11)</sup> , VDDA_DDR_PLL0 <sup>(11)</sup> , VDDR_CORE <sup>(12)</sup>   |
| I  | VPP <sup>(13)</sup>  |
| J  | MCU_PORz   |
| K  | MCU_OSC0_XI, MCU_OSC0_XO   |

- (1) VSYS は、システム全体に電力を供給する電源の名前を表します。この電源は、その他のすべての電源に電力を供給するパワー マネージメント デバイスに給電するレギュレーション済みの電源である必要があります。
- (2) VMON\_VSYS 入力は、外付け抵抗分圧回路を使って VSYS を監視するために使用されます。詳細については、『システム電源監視設計ガイドライン』セクション 8.2.5 を参照してください。
- (3) VDDSHV\_CANUART、VDDSHV\_MCU、VDDSHVx [x = 0~3] はデュアル電圧 IO 電源で、アプリケーションの要件に応じて 1.8V または 3.3V で動作できます。  
VDDSHV\_CANUART は、部分 IO 低消費電力モードを使用する場合は常時オンの電源に接続し、部分 IO 低消費電力モードを使用しない場合は有効な任意の IO 電源に接続する必要があります。VDDSHV\_CANUART が常時オンの電源に接続されておらず、3.3V で動作している場合は、この波形で定義される 3.3V のランプ期間中に、他の 3.3V 電源を使用して電圧を上昇させます。  
VDDSHV\_MCU と VDDSHVx [x = 0~3] IO 電源のいずれかが 3.3V で動作している場合、この波形で定義される 3.3V のランプ期間中に、他の 3.3V 電源を使用して電圧を上昇させます。
- (4) VMON\_3P3\_SOC 入力は電源電圧の監視に使用し、それぞれの 3.3V 電源に接続します。
- (5) VDDSHV\_CANUART、VDDSHV\_MCU、VDDSHVx [x = 0~3] はデュアル電圧 IO 電源で、アプリケーションの要件に応じて 1.8V または 3.3V で動作できます。

VDDSHV\_CANUART は、部分 IO 低消費電力モードを使用する場合は常時オンの電源に接続し、部分 IO 低消費電力モードを使用しない場合は有効な任意の IO 電源に接続する必要があります。VDDSHV\_CANUART が常時オンの電源に接続されておらず、1.8V で動作している場合は、この波形で定義される 1.8V のランプ期間中に、他の 1.8V 電源を使用して電圧を上昇させます。

VDDSHV\_MCU と VDDSHVx [x = 0~3] IO 電源のいずれかが 1.8V で動作している場合、この波形で定義される 1.8V のランプ期間中に、他の 1.8V 電源を使用して電圧を上昇させます。

- (6) VMON\_1P8\_SOC 入力は電源電圧の監視に使用し、それぞれの 1.8V 電源に接続します。
- (7) VDDSHV5 および VDDSHV6 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、または動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
- (8) VDDS\_DDR と VDDS\_DDR\_C は、電圧と一緒に上昇するように、同じ電源から給電する必要があります。
- (9) 部分 IO 低消費電力モードを使用する場合は、VDD\_CANUART を常時オンの電源に接続します。

VDD\_CANUART が常時オンの電源に接続されている場合、パワーアップ時またはパワーダウン時に、VDD\_CORE に印加される電位が VDD\_CANUART に印加される電位に 0.18V を加えた電位を超えないようにしてください。これには、VDD\_CANUART の電圧を VDD\_CORE より先に上昇させ、VDD\_CORE よりも後に下降させる必要があります。VDD\_CANUART には、VDD\_CORE に定義されたランプ要件以外のランプ要件はありません。

- (10) 部分 IO 低消費電力モードを使用しない場合は、VDD\_CANUART を VDD\_CORE、VDDA\_CORE\_CSI\_DSI、VDDA\_CORE\_DSI\_CLK、VDDA\_CORE\_USB、VDDA\_DDR\_PLL0 と同じ電源に接続する必要があります。

VDD\_CANUART、VDD\_CORE、VDDA\_CORE\_CSI\_DSI、VDDA\_CORE\_DSI\_CLK、VDDA\_CORE\_USB、VDDA\_DDR\_PLL0 は 0.75V または 0.85V で動作可能です。これらの電源が 0.75V で動作している場合、この波形で定義されるように、VDDR\_CORE よりも先に電圧を上昇させる必要があります。

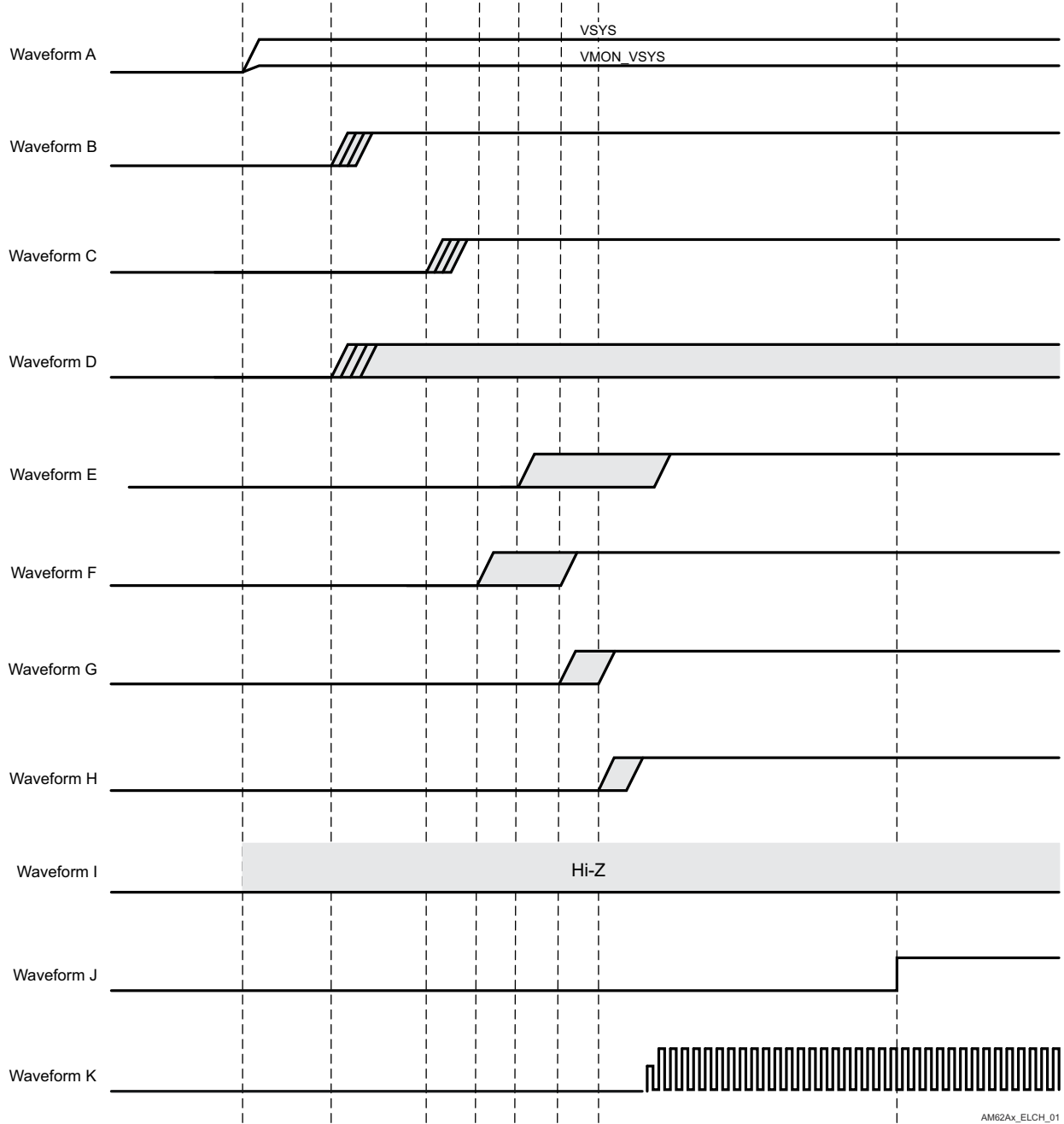
- (11) 部分 IO 低消費電力モードを使用しない場合は、VDD\_CANUART を VDD\_CORE、VDDA\_CORE\_CSI\_DSI、VDDA\_CORE\_DSI\_CLK、VDDA\_CORE\_USB、VDDA\_DDR\_PLL0 と同じ電源に接続する必要があります。

VDD\_CANUART、VDD\_CORE、VDDA\_CORE\_CSI\_DSI、VDDA\_CORE\_DSI\_CLK、VDDA\_CORE\_USB、VDDA\_DDR\_PLL0 は 0.75V または 0.85V で動作可能です。これらの電源が 0.85V で動作している場合、VDDR\_CORE と同じ電源から電力を供給し、この波形で定義される 0.85V のランプ期間中に電圧を上昇させる必要があります。

- (12) パワーアップ時またはパワーダウン時に、VDDR\_CORE に印加される電位が VDD\_CORE に印加される電位に 0.18V を加えた電位を超えないようにしてください。これを満たすには、VDD\_CORE が 0.75V で動作している場合、VDD\_CORE の電圧を VDDR\_CORE よりも先に上昇させ、VDDR\_CORE よりも後に下降させる必要があります。VDD\_CORE には、VDDR\_CORE に定義されたランプ要件以外のランプ要件はありません。

VDD\_CORE が 0.85V で動作している場合、VDD\_CORE と VDDR\_CORE は、電圧と一緒に上昇するように、同じ電源から給電する必要があります。

- (13) VPP は 1.8V eFuse プログラミング電源であり、パワーアップ / ダウン シーケンス中および通常のデバイス動作中は、フローティング (HiZ) のままにするか、グランドに接続する必要があります。この電源には、eFuse のプログラミング中にのみ電力を供給します。



AM62Ax\_ELCH\_01

図 6-5. パワーアップシーケンシング

### 6.12.2.2.2 パワーダウン シーケンス

表 6-6 および図 6-6 に、このデバイスのパワーダウン シーケンスを示します。

#### 注

このセクションで定義する電源シーケンス要件には、低消費電力モードの開始または終了は含まれません。部分 IO 低消費電力モードの開始時または終了時における要件の詳細については、セクション 6.12.2.2.3「部分的 IO 電源シーケンス」を参照してください。

#### 注

「推奨動作条件」に定義された最小値を電源レールが下回ったときは必ず、新たにパワーアップ シーケンスを開始する前に、すべての電源レールをオフにし、300mV を下回るまで減衰させる必要があります。唯一の例外は、VDDSHV\_CANUART および VDD\_CANUART が常時オンの電源から電力を供給される、部分 IO 低消費電力モードの開始 / 終了時です。この使用事例では、VDDSHV\_CANUART および VDD\_CANUART 電源レールをオンのままにしておくことができます。

表 6-6. パワーダウン シーケンス - 電源 / 信号の割り当て

図 6-6 を参照

| 波形 | 電源 / 信号名  |
|----|---|
| A  | VSYS, VMON_VSYS   |
| B  | VDDSHV_CANUART <sup>(1)</sup> , VDDSHV_MCU <sup>(1)</sup> , VDDSHV0 <sup>(1)</sup> , VDDSHV1 <sup>(1)</sup> , VDDSHV2 <sup>(1)</sup> , VDDSHV3 <sup>(1)</sup> , VDDA_3P3_USB, VMON_3P3_SOC  |
| C  | VDDSHV_CANUART <sup>(2)</sup> , VDDSHV_MCU <sup>(2)</sup> , VDDSHV0 <sup>(2)</sup> , VDDSHV1 <sup>(2)</sup> , VDDSHV2 <sup>(2)</sup> , VDDSHV3 <sup>(2)</sup> , VDDS_MMCO, VDDA_MCU, VDDS_OSC0, VDDA_PLL0, VDDA_PLL1, VDDA_PLL2, VDDA_PLL3, VDDA_PLL4, VDDA_1P8_CSI_DSI, VDDA_1P8_OLDIO, VDDA_1P8_USB, VDDA_TEMP0, VDDA_TEMP1, VDDA_TEMP2, VMON_1P8_SOC |
| D  | VDDSHV5 <sup>(3)</sup> , VDDSHV6 <sup>(3)</sup>   |
| E  | VDDS_DDR, VDDS_DDR_C  |
| F  | VDD_CANUART <sup>(4)</sup>  |
| G  | VDD_CANUART <sup>(5)</sup> , VDD_CORE <sup>(5)</sup> , VDDA_CORE_CSI_DSI <sup>(5)</sup> , VDDA_CORE_DSI_CLK <sup>(5)</sup> , VDDA_CORE_USB0 <sup>(5)</sup> , VDDA_DDR_PLL0 <sup>(5)</sup>   |
| H  | VDD_CANUART <sup>(6)</sup> , VDD_CORE <sup>(6)</sup> , VDDA_CORE_CSI_DSI <sup>(6)</sup> , VDDA_CORE_DSI_CLK <sup>(6)</sup> , VDDA_CORE_USB0 <sup>(6)</sup> , VDDA_DDR_PLL0 <sup>(6)</sup> , VDDR_CORE   |
| I  | VPP   |
| J  | MCU_PORz  |
| K  | MCU_OSC0_XI, MCU_OSC0_XO  |

- (1) VDDSHV\_CANUART, VDDSHV\_MCU, および VDDSHVx [x=0~3] (3.3V 動作時)。
- (2) VDDSHV\_CANUART, VDDSHV\_MCU, および VDDSHVx [x=0~3] (1.8V 動作時)。
- (3) VDDSHV5 および VDDSHV6 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、または動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
- (4) 部分 IO 低消費電力モードで VDD\_CANUART が常時オンの電源に接続されている場合。
- (5) VDD\_CANUART, VDD\_CORE, VDDA\_CORE\_CSI\_DSI, VDDA\_CORE\_DSI\_CLK, VDDA\_CORE\_USB0, VDDA\_DDR\_PLL0 が 0.75V で動作している場合
- (6) VDD\_CANUART, VDD\_CORE, VDDA\_CORE\_CSI\_DSI, VDDA\_CORE\_DSI\_CLK, VDDA\_CORE\_USB0, VDDA\_DDR\_PLL0 が 0.85V で動作している場合

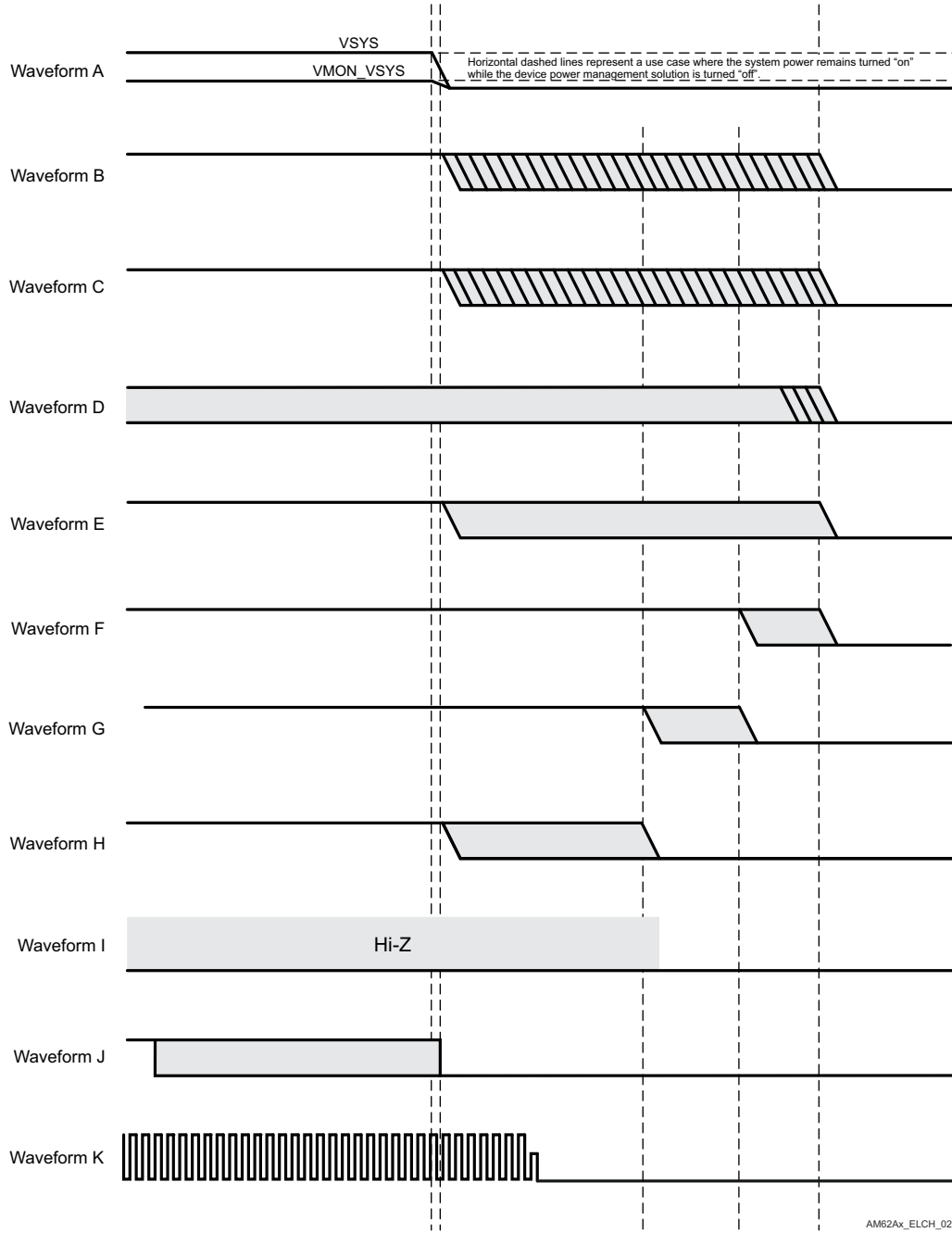


図 6-6. パワーダウン シーケンス

### 6.12.2.2.3 部分 IO 電源シーケンス

このセクションでは、低消費電力モードを開始または終了するときの電源シーケンス要件について説明します。

このデバイスでサポートされている低消費電力モード、および各低消費電力モードに割り当てられている名前の詳細については、テクニカルリファレンス マニュアルの「デバイス構成」の章にある「電力モード」セクションを参照してください。

部分 IO は、デバイスの電源レールの電源を変更する必要がある唯一の低消費電力モードです。部分 IO モードで動作しているときは、VDD\_CANUART および VDDSHV\_CANUART を除くすべての電源レールがオフになります。部分 IO への移行に必要な電源シーケンスは、VDD\_CANUART および VDDSHV\_CANUART に電源が供給されたままであること以外は、[セクション 6.12.2.2.2](#) の「パワーダウン シーケンス」で定義されているシーケンスと同じです。部分 IO を終了するために必要な電源シーケンスは、VDD\_CANUART および VDDSHV\_CANUART にすでに電源が供給されている以外は、[セクション 6.12.2.1](#) 「パワーアップ シーケンス」で定義されているシーケンスと同じです。

### 6.12.3 システムのタイミング

サブシステム多重化信号の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

#### 6.12.3.1 リセット タイミング

このセクションの表と図では、リセット関連信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-7. リセットのタイミング条件

| パラメータ           |           | 最小値                       | 最大値    | 単位   |
|-----------------|-----------|---------------------------|--------|------|
| 入力条件            |           |                           |        |      |
| SR <sub>i</sub> | 入力スループレート | VDD <sup>(1)</sup> = 1.8V | 0.0018 | V/ns |
|                 |           | VDD <sup>(1)</sup> = 3.3V | 0.0033 | V/ns |
| 出力条件            |           |                           |        |      |
| C <sub>L</sub>  | 出力負荷容量    |                           | 30     | pF   |

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-8. MCU\_PORz のタイミング要件

図 6-7 を参照

| 番号   | パラメータ                                      | 最小値   | 最大値 | 単位      |    |
|------|--|---|-----|---------|----|
| RST1 | t <sub>h</sub> (SUPPLIES_VALID - MCU_PORz) | ホールド時間、パワーアップ時に電源が有効になった後、MCU_PORz アクティブ (Low) の間 (外付け水晶振動子回路使用の場合)                   |     | 9500000 | ns |
| RST2 |  | ホールド時間、パワーアップ時に電源が有効になり、かつ外部クロックが安定した後、MCU_PORz アクティブ (Low) の間 (外部 LVCMOS クロック源使用の場合) |     | 1200    | ns |
| RST3 | t <sub>w</sub> (MCU_PORzL)                 | パルス幅、電源投入後に MCU_PORz が Low の時間 (電源またはシステム基準クロック MCU_OSC0_XI/XO が維持されている場合)            |     | 1200    | ns |

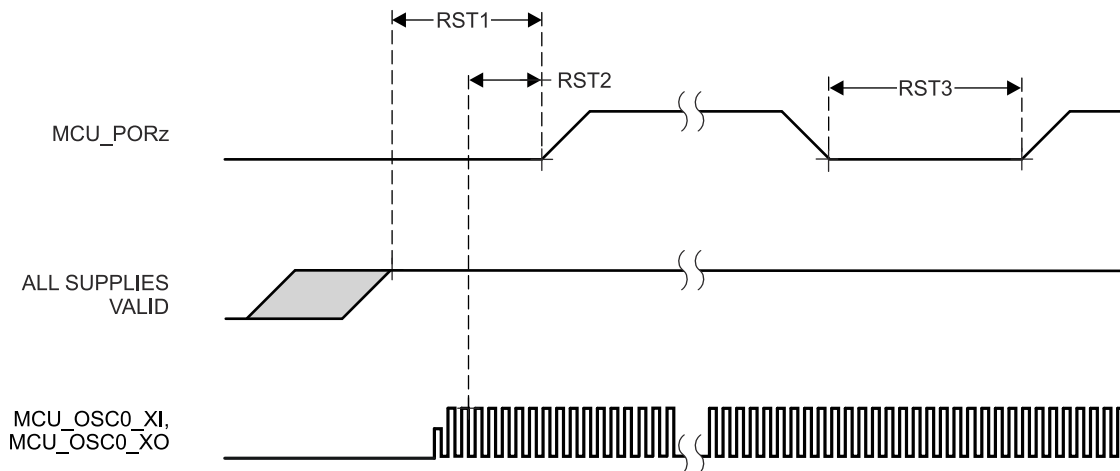


図 6-7. MCU\_PORz のタイミング要件

表 6-9. MCU\_RESETSTATz と RESETSTATz のスイッチング特性

図 6-8 を参照

| 番号   | パラメータ                                | 最小値   | 最大値        | 単位 |
|------|--------------------------------------|---|------------|----|
| RST4 | $t_{d(MCU\_PORzL-MCU\_RESETSTATzL)}$ | 遅延時間、MCU_PORz アクティブ (low) から MCU_RESETSTATz アクティブ (low) まで          | 0          | ns |
| RST5 | $t_{d(MCU\_PORzH-MCU\_RESETSTATzH)}$ | 遅延時間、MCU_PORz 非アクティブ (high) から MCU_RESETSTATz 非アクティブ (high) まで      | 6120*S (1) | ns |
| RST6 | $t_{d(MCU\_PORzL-RESETSTATzL)}$      | 遅延時間、MCU_PORz アクティブ (low) から RESETSTATz アクティブ (low) まで              | 0          | ns |
| RST7 | $t_{d(MCU\_PORzH-RESETSTATzH)}$      | 遅延時間、MCU_PORz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで          | 9195*S (1) | ns |
| RST8 | $t_w(MCU\_RESETSTATzL)$              | パルス幅、MCU_RESETSTATz Low (SW_MCU_WARMRST)                            | 966*S (1)  | ns |
| RST9 | $t_w(RESETSTATzL)$                   | パルス幅、RESETSTATz Low (SW_MCU_WARMRST, SW_MAIN_PORz, SW_MAIN_WARMRST) | 4040*S     | ns |

(1) S = MCU\_OSC0\_XI/XO クロック周期 (ns)。

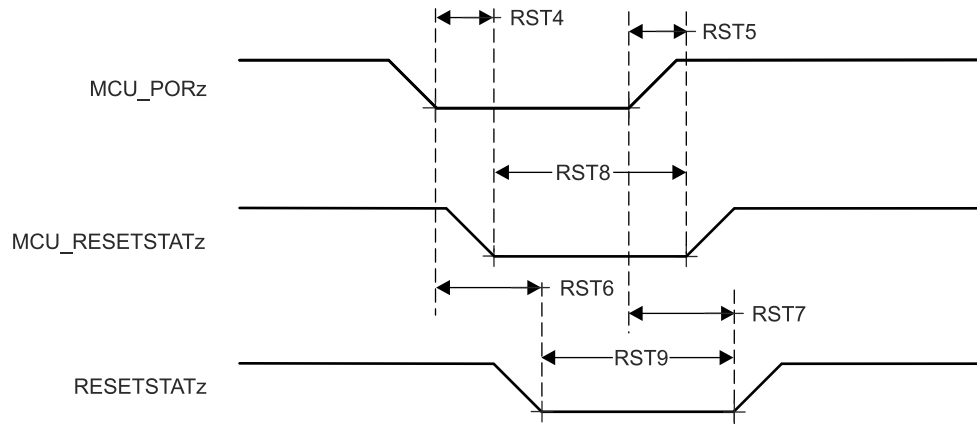


図 6-8. MCU\_RESETSTATz と RESETSTATz のスイッチング特性

表 6-10. MCU\_RESETz のタイミング要件

図 6-9 を参照

| 番号    | パラメータ                                    | 最小値  | 最大値 | 単位 |
|-------|--|------|-----|----|
| RST10 | $t_w(\text{MCU\_RESETz})$ <sup>(1)</sup> | 1200 |     | ns |

(1) このタイミング パラメータは、すべての電源が有効になり、MCU\_PORz が指定された時間アサートされた後にのみ有効です。

表 6-11. MCU\_RESETSTATz と RESETSTATz のスイッチング特性

図 6-9 を参照

| 番号    | パラメータ                                       | 最小値                       | 最大値 | 単位 |
|-------|---|---------------------------|-----|----|
| RST11 | $t_d(\text{MCU\_RESETzL-MCU\_RESETSTATzL})$ | 0                         |     | ns |
| RST12 | $t_d(\text{MCU\_RESETzH-MCU\_RESETSTATzH})$ | $966 * S$ <sup>(1)</sup>  |     | ns |
| RST13 | $t_d(\text{MCU\_RESETzL-RESETSTATzL})$      | 960                       |     | ns |
| RST14 | $t_d(\text{MCU\_RESETzH-RESETSTATzH})$      | $4040 * S$ <sup>(1)</sup> |     | ns |

(1) S = MCU\_OSC0\_XI/XO クロック周期 (ns)。

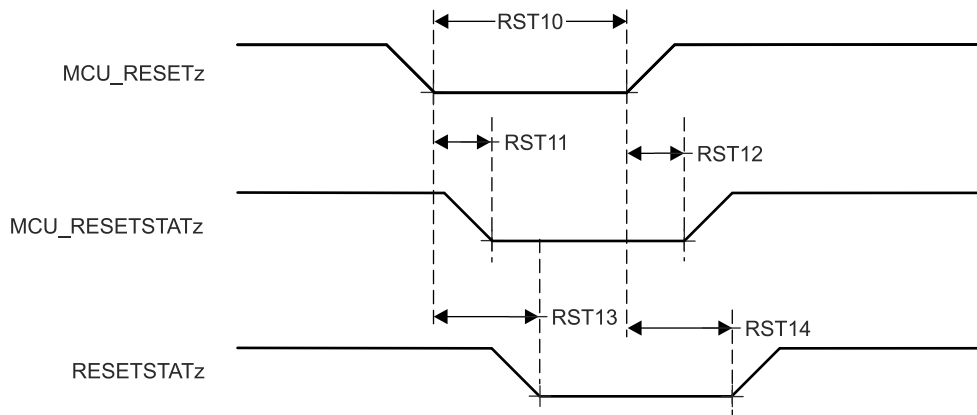


図 6-9. MCU\_RESETz、MCU\_RESETSTATz、RESETSTATz のタイミング要件とスイッチング特性

表 6-12. RESET\_REQz のタイミング要件

図 6-10 を参照

| 番号    | パラメータ                            | 最小値  | 最大値 | 単位 |
|-------|----------------------------------|------|-----|----|
| RST15 | $t_w(\text{RESET\_REQzL})^{(1)}$ | 1200 |     | ns |

(1) このタイミングパラメータは、すべての電源が有効になり、MCU\_PORz が指定された時間アサートされた後にのみ有効です。

表 6-13. RESETSTATz のスイッチング特性

図 6-10 を参照

| 番号    | パラメータ                                  | 最小値                  | 最大値 | 単位 |
|-------|--|----------------------|-----|----|
| RST16 | $t_d(\text{RESET\_REQzL-RESETSTATzL})$ | $900 \cdot T^{(1)}$  |     | ns |
| RST17 | $t_d(\text{RESET\_REQzH-RESETSTATzH})$ | $4040 \cdot S^{(2)}$ |     | ns |

(1) T = リセット分離時間 (ソフトウェアに依存)

(2) S = MCU\_OSC0\_XI/XO クロック周期 (ns)。

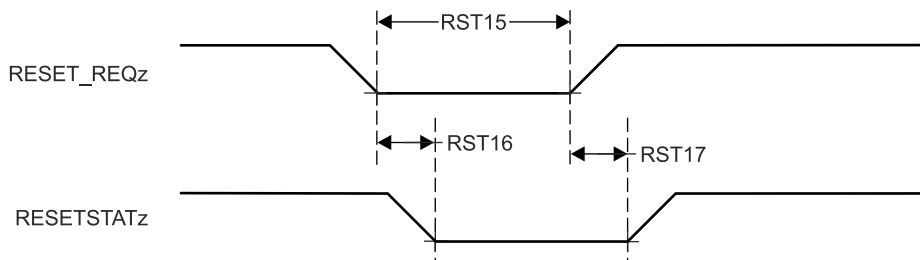


図 6-10. RESET\_REQz と RESETSTATz のタイミング要件とスイッチング特性

表 6-14. EMUx のタイミング要件

図 6-11 を参照

| 番号    | パラメータ                           | 最小値               | 最大値 | 単位 |
|-------|---------------------------------|-------------------|-----|----|
| RST18 | $t_{su}(\text{EMUx-MCU\_PORz})$ | $3 \cdot S^{(1)}$ |     | ns |
| RST19 | $t_h(\text{MCU\_PORz - EMUx})$  | 10                |     | ns |

(1) S = MCU\_OSC0\_XI/XO クロック周期 (ns)。

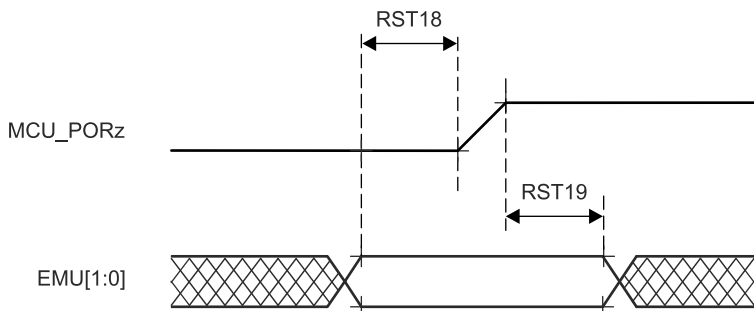


図 6-11. EMUx のタイミング要件

表 6-15. BOOTMODE のタイミング要件

図 6-12 を参照

| 番号    | パラメータ                               | 最小値             | 最大値 | 単位 |
|-------|-------------------------------------|-----------------|-----|----|
| RST23 | $t_{su}(\text{BOOTMODE-PORz\_OUT})$ | $3 \cdot S$ (1) |     | ns |
| RST24 | $t_h(\text{PORz\_OUT - BOOTMODE})$  | 0               |     | ns |

(1) S = MCU\_OSC0\_XI/XO クロック周期 (ns)。

表 6-16. PORz\_OUT のスイッチング特性

図 6-12 を参照

| 番号    | パラメータ                              | 最小値  | 最大値 | 単位 |
|-------|------------------------------------|------|-----|----|
| RST25 | $t_d(\text{MCU\_PORzL-PORz\_OUT})$ | 0    |     | ns |
| RST26 | $t_d(\text{MCU\_PORzH-PORz\_OUT})$ | 1840 |     | ns |
| RST27 | $t_w(\text{PORz\_OUTL})$           | 1200 |     | ns |

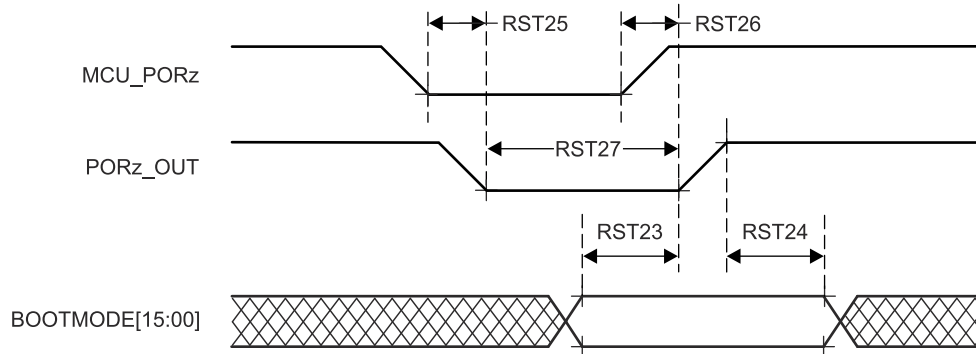


図 6-12. BOOTMODE のタイミング要件と PORz\_OUT のスイッチング特性

### 6.12.3.2 エラー信号タイミング

このセクションの表と図では、MCU\_ERRORn のタイミング条件とスイッチング特性を定義します。

**表 6-17. エラー信号のタイミング条件**

| パラメータ          |        | 最小値 | 最大値 | 単位 |
|----------------|--------|-----|-----|----|
| 出力条件           |        |     |     |    |
| C <sub>L</sub> | 出力負荷容量 |     | 30  | pF |

**表 6-18. MCU\_ERRORn のスイッチング特性**

図 6-13 参照

| 番号   | パラメータ  | 最小値                                | 最大値 | 単位 |
|------|--|------------------------------------|-----|----|
| ERR1 | t <sub>c</sub> (MCU_ERRORn)<br>最小サイクル時間、MCU_ERRORn (PWM モード<br>イネーブル)                                  | (P*H)+(P*L) <sup>(1) (3) (4)</sup> |     | ns |
| ERR2 | t <sub>w</sub> (MCU_ERRORn)<br>最小パルス幅、MCU_ERRORn アクティブ (PWM<br>モード ディスエーブル) <sup>(5)</sup>             | P*R <sup>(1) (2)</sup>             |     | ns |
| ERR3 | t <sub>d</sub> (ERROR_CONDITION-<br>MCU_ERRORnL)<br>遅延時間、エラー状態から MCU_ERRORn アクテ<br>ィブまで <sup>(5)</sup> | 50*P <sup>(1)</sup>                |     | ns |

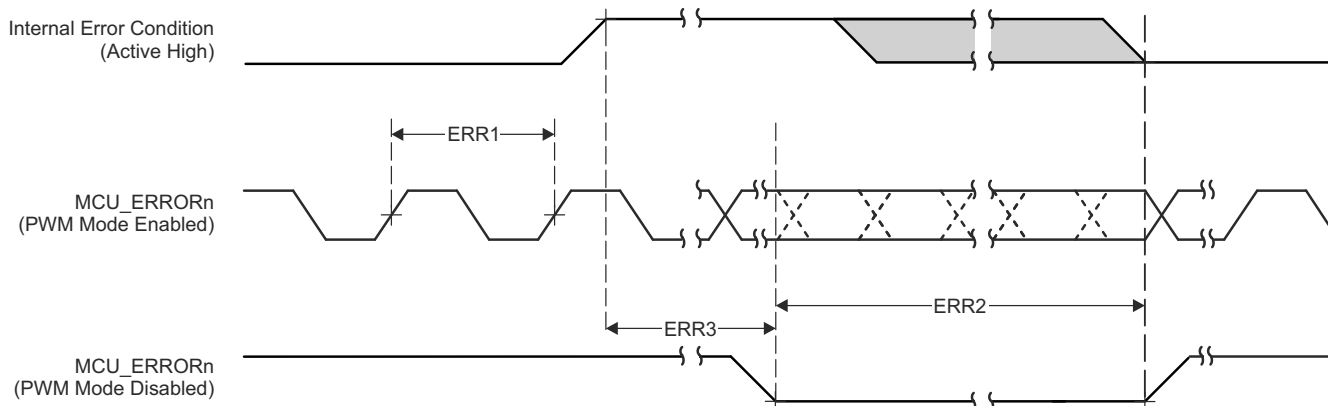
(1) P = ESM 機能クロック周期 (ns 単位)。

(2) R = エラー ピン カウンタ プリロード レジスタ カウント値。

(3) H = エラー ピン PWM High プリロード レジスタ カウント値。

(4) L = エラー ピン PWM Low プリロード レジスタ カウント値。

(5) PWM モードが有効化されている場合、ERR3 後、MCU\_ERRORn はトグルを停止し、エラーがクリアされるまでその値 (High と Low のどちらか) を維持します。PWM モードがディスエーブルの場合、MCU\_ERRORn はアクティブ Low です。



**図 6-13. MCU\_ERRORn のタイミング要件およびスイッチング特性**

### 6.12.3.3 クロックのタイミング

このセクションの表と図では、クロック信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-19. クロックのタイミング条件

| パラメータ           |          | 最小値                         | 最大値 | 単位    |
|-----------------|----------|-----------------------------|-----|-------|
| 入力条件            |          |                             |     |       |
| SR <sub>I</sub> | 入力スルーレート | 0.5                         |     | V/ns  |
| 出力条件            |          |                             |     |       |
| C <sub>L</sub>  | 出力負荷容量   | 5ns ≤ t <sub>c</sub> < 8ns  |     | 5 pF  |
|                 |          | 8ns ≤ t <sub>c</sub> < 20ns |     | 10 pF |
|                 |          | 20ns ≤ t <sub>c</sub>       |     | 30 pF |

表 6-20. クロックのタイミング要件

図 6-14 参照

| 番号   | パラメータ                               | 説明                          | 最小値                   | 最大値                   | 単位 |
|------|-------------------------------------|-----------------------------|-----------------------|-----------------------|----|
| CLK1 | t <sub>c</sub> (EXT_REFCLK1)        | 最小サイクル時間、EXT_REFCLK1        | 10                    |                       | ns |
| CLK2 | t <sub>w</sub> (EXT_REFCLK1H)       | パルス幅、EXT_REFCLK1 High       | E*0.45 <sup>(1)</sup> | E*0.55 <sup>(1)</sup> | ns |
| CLK3 | t <sub>w</sub> (EXT_REFCLK1L)       | パルス幅、EXT_REFCLK1 Low        | E*0.45 <sup>(1)</sup> | E*0.55 <sup>(1)</sup> | ns |
| CLK1 | t <sub>c</sub> (MCU_EXT_REFCLK0)    | 最小サイクル時間、MCU_EXT_REFCLK0    | 10                    |                       | ns |
| CLK2 | t <sub>w</sub> (MCU_EXT_REFCLK0H)   | パルス幅、MCU_EXT_REFCLK0 High   | F*0.45 <sup>(2)</sup> | F*0.55 <sup>(2)</sup> | ns |
| CLK3 | t <sub>w</sub> (MCU_EXT_REFCLK0L)   | パルス幅、MCU_EXT_REFCLK0 Low    | F*0.45 <sup>(2)</sup> | F*0.55 <sup>(2)</sup> | ns |
| CLK1 | t <sub>c</sub> (AUDIO_EXT_REFCLK0)  | 最小サイクル時間、AUDIO_EXT_REFCLK0  | 20                    |                       | ns |
| CLK2 | t <sub>w</sub> (AUDIO_EXT_REFCLK0H) | パルス幅、AUDIO_EXT_REFCLK0 High | G*0.45 <sup>(3)</sup> | G*0.55 <sup>(3)</sup> | ns |
| CLK3 | t <sub>w</sub> (AUDIO_EXT_REFCLK0L) | パルス幅、AUDIO_EXT_REFCLK0 Low  | G*0.45 <sup>(3)</sup> | G*0.55 <sup>(3)</sup> | ns |
| CLK1 | t <sub>c</sub> (AUDIO_EXT_REFCLK1)  | 最小サイクル時間、AUDIO_EXT_REFCLK1  | 20                    |                       | ns |
| CLK2 | t <sub>w</sub> (AUDIO_EXT_REFCLK1H) | パルス幅、AUDIO_EXT_REFCLK1 High | H*0.45 <sup>(4)</sup> | H*0.55 <sup>(4)</sup> | ns |
| CLK3 | t <sub>w</sub> (AUDIO_EXT_REFCLK1L) | パルス幅、AUDIO_EXT_REFCLK1 Low  | H*0.45 <sup>(4)</sup> | H*0.55 <sup>(4)</sup> | ns |

- (1) E = EXT\_REFCLK1 サイクル時間 (ns)。
- (2) F = MCU\_EXT\_REFCLK0 サイクル時間 (ns)。
- (3) G = AUDIO\_EXT\_REFCLK0 サイクル時間 (ns)。
- (4) H = AUDIO\_EXT\_REFCLK1 サイクル時間 (ns)。

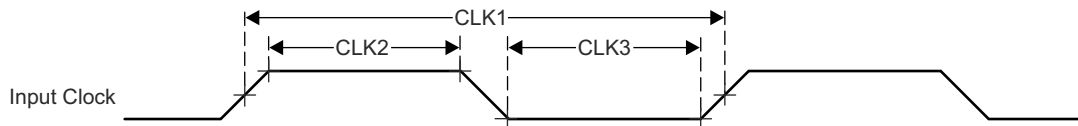


図 6-14. クロックのタイミング要件

表 6-21. クロックのスイッチング特性

図 6-15 参照

| 番号   | パラメータ                                 | 最小値   | 最大値            | 単位                |
|------|---------------------------------------|---|----------------|-------------------|
| CLK4 | $t_{c}(\text{SYSCLKOUT0})$            | 最小サイクル時間、SYSCLKOUT0                         | 8              | ns                |
| CLK5 | $t_{w}(\text{SYSCLKOUT0H})$           | パルス幅、SYSCLKOUT0 High                        | $A*0.4^{(1)}$  | $A*0.6^{(1)}$ ns  |
| CLK6 | $t_{w}(\text{SYSCLKOUT0L})$           | パルス幅、SYSCLKOUT0 Low                         | $A*0.4^{(1)}$  | $A*0.6^{(1)}$ ns  |
| CLK4 | $t_{c}(\text{OBSCLK0})$               | 最小サイクル時間、OBSCLK0                            | 5              | ns                |
| CLK5 | $t_{w}(\text{OBSCLK0H})$              | パルス幅、OBSCLK0 High                           | $B*0.45^{(2)}$ | $B*0.55^{(2)}$ ns |
| CLK6 | $t_{w}(\text{OBSCLK0L})$              | パルス幅、OBSCLK0 Low                            | $B*0.45^{(2)}$ | $B*0.55^{(2)}$ ns |
| CLK4 | $t_{c}(\text{OBSCLK1})$               | 最小サイクル時間、OBSCLK1                            | 5              | ns                |
| CLK5 | $t_{w}(\text{OBSCLK1H})$              | パルス幅、OBSCLK1 High                           | $F*0.45^{(3)}$ | $F*0.55^{(3)}$ ns |
| CLK6 | $t_{w}(\text{OBSCLK1L})$              | パルス幅、OBSCLK1 Low                            | $F*0.45^{(3)}$ | $F*0.55^{(3)}$ ns |
| CLK4 | $t_{c}(\text{CLKOUT0})$               | 最小サイクル時間、CLKOUT0                            | 20             | ns                |
| CLK5 | $t_{w}(\text{CLKOUT0H})$              | パルス幅、CLKOUT0 High                           | $C*0.4^{(4)}$  | $C*0.6^{(4)}$ ns  |
| CLK6 | $t_{w}(\text{CLKOUT0L})$              | パルス幅、CLKOUT0 Low                            | $C*0.4^{(4)}$  | $C*0.6^{(4)}$ ns  |
| CLK4 | $t_{c}(\text{MCU\_SYSCLKOUT0})$       | 最小サイクル時間、MCU_SYSCLKOUT0                     | 10             | ns                |
| CLK5 | $t_{w}(\text{MCU\_SYSCLKOUT0H})$      | パルス幅、MCU_SYSCLKOUT0 High                    | $E*0.4^{(5)}$  | $E*0.6^{(5)}$ ns  |
| CLK6 | $t_{w}(\text{MCU\_SYSCLKOUT0L})$      | パルス幅、MCU_SYSCLKOUT0 Low                     | $E*0.4^{(5)}$  | $E*0.6^{(5)}$ ns  |
| CLK4 | $t_{c}(\text{MCU\_OBSCLK0})$          | 最小サイクル時間、MCU_OBSCLK0                        | 5              | ns                |
| CLK5 | $t_{w}(\text{MCU\_OBSCLK0H})$         | パルス幅、MCU_OBSCLK0 High                       | $D*0.45^{(6)}$ | $D*0.55^{(6)}$ ns |
| CLK6 | $t_{w}(\text{MCU\_OBSCLK0L})$         | パルス幅、MCU_OBSCLK0 Low                        | $D*0.45^{(6)}$ | $D*0.55^{(6)}$ ns |
| CLK4 | $t_{c}(\text{WKUP\_CLKOUT0})$         | 最小サイクル時間、WKUP_CLKOUT0                       | 5              | ns                |
| CLK5 | $t_{w}(\text{WKUP\_CLKOUT0H})$        | パルス幅、WKUP_CLKOUT0 High                      | $W*0.4^{(7)}$  | $W*0.6^{(7)}$ ns  |
| CLK6 | $t_{w}(\text{WKUP\_CLKOUT0L})$        | パルス幅、WKUP_CLKOUT0 Low                       | $W*0.4^{(7)}$  | $W*0.6^{(7)}$ ns  |
| CLK4 | $t_{c}(\text{AUDIO\_EXT\_REFCLK0})$   | 最小サイクル時間、AUDIO_EXT_REFCLK0 (McASP クロック ソース) | 20             | ns                |
|      |                                       | 最小サイクル時間、AUDIO_EXT_REFCLK0 (PLL クロック ソース)   | 10             | ns                |
| CLK5 | $t_{w}(\text{AUDIO\_EXT\_REFCLK0 H})$ | パルス幅、AUDIO_EXT_REFCLK0 High                 | $G*0.4^{(8)}$  | $G*0.6^{(8)}$ ns  |
| CLK6 | $t_{w}(\text{AUDIO\_EXT\_REFCLK0 L})$ | パルス幅、AUDIO_EXT_REFCLK0 Low                  | $G*0.4^{(8)}$  | $G*0.6^{(8)}$ ns  |
| CLK4 | $t_{c}(\text{AUDIO\_EXT\_REFCLK1})$   | 最小サイクル時間、AUDIO_EXT_REFCLK1 (McASP クロック ソース) | 20             | ns                |
|      |                                       | 最小サイクル時間、AUDIO_EXT_REFCLK1 (PLL クロック ソース)   | 10             | ns                |
| CLK5 | $t_{w}(\text{AUDIO\_EXT\_REFCLK1 H})$ | パルス幅、AUDIO_EXT_REFCLK1 High                 | $J*0.4^{(9)}$  | $J*0.6^{(9)}$ ns  |
| CLK6 | $t_{w}(\text{AUDIO\_EXT\_REFCLK1 L})$ | パルス幅、AUDIO_EXT_REFCLK1 Low                  | $J*0.4^{(9)}$  | $J*0.6^{(9)}$ ns  |

(1) A = SYSCLKOUT0 サイクル時間 (ns)。

(2) B = OBSCLK0 サイクル時間 (ns)。

(3) F = OBSCLK1 サイクル時間 (ns)。

(4) C = CLKOUT0 サイクル時間 (ns)。

(5) E = MCU\_SYSCLKOUT0 サイクル時間 (ns)。

(6) D = MCU\_OBSCLK0 サイクル時間 (ns)。

(7) W = WKUP\_CLKOUT0 サイクル時間 (ns)。

(8) G = AUDIO\_EXT\_REFCLK0 サイクル時間 (ns)。

(9) J = AUDIO\_EXT\_REFCLK1 サイクル時間 (ns)。

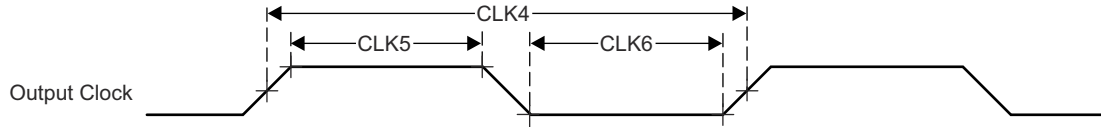


図 6-15. クロックのスイッチング特性

## 6.12.4 クロック仕様

### 6.12.4.1 入力クロック / 発振器

本デバイスを駆動するには、各種の外部クロック入力 / 出力が必要です。これらの入力クロック信号の概要は、以下のとおりです。

- **MCU\_OSC0\_XO/MCU\_OSC0\_XI** — 内部基準クロック HFOSC0\_CLKOUT のデフォルト クロック ソースである内部高周波発振器 (MCU\_HFOSC0) に接続された外部メイン水晶振動子インターフェイス ピン。
- **WKUP\_LFOSC0\_XO/WKUP\_LFOSC0\_XI** — オプションの 32768Hz 基準クロックを供給する内部低周波数発振器 (WKUP\_LFOSC0) に接続された外部水晶振動子インターフェイス ピン。
- 汎用クロック入力
  - **MCU\_EXT\_REFCLK0** — オプションの外部システム クロック。
  - **EXT\_REFCLK1** — オプションの外部システム クロック。
- 外部ビデオ ピクセル クロック入力
  - **VOUT0\_EXTCLKIN** — DSS の DPI0 ポートの場合はオプション。
- 外部 CPTS 基準クロック入力
  - **CP\_GEMAC\_CPTS0\_RFT\_CLK** — **CPTS\_RFT\_CLK** のオプションの基準クロック入力。
- 外部オーディオ基準クロック入出力
  - **AUDIO\_EXT\_REFCLK[1:0]** — 入力として動作するように構成されている場合、オプションの **McASP** 高周波入力クロック。

入力クロック インターフェイスの詳細については、デバイス テクニカル リファレンス マニュアルの「デバイス構成」の章にある「クロック処理」のセクションを参照してください。

### 6.12.4.1.1 MCU\_OSC0 内部発振器クロック ソース

図 6-16 に、水晶発振器の推奨回路を示します。振動子の回路の実装に使用されるすべてのディスクリート部品は、MCU\_OSC0\_XI および MCU\_OSC0\_XO ピンのできるだけ近くに配置する必要があります。

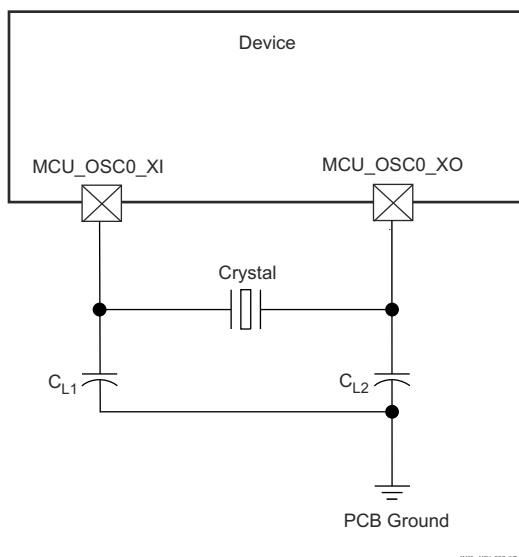


図 6-16. MCU\_OSC0 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-22 に、必要な電氣的制約事項を示します。

表 6-22. MCU\_OSC0 水晶振動子回路の要件

| パラメータ          |                          | 最小値                            | 標準値    | 最大値  | 単位       |
|----------------|--------------------------|--------------------------------|--------|------|----------|
| $F_{xtal}$     | 水晶振動子の並列共振周波数            | 25                             |        |      | MHz      |
| $F_{xtal}$     | 水晶振動子の周波数安定性および許容誤差      | イーサネット RGMII および RMII は未使用     |        | ±100 | ppm      |
|                |                          | 派生クロックを使用するイーサネット RGMII と RMII |        | ±50  |          |
| $C_{L1+PCBXI}$ | $C_{L1} + C_{PCBXI}$ の容量 | 12                             |        | 24   | pF       |
| $C_{L2+PCBXO}$ | $C_{L2} + C_{PCBXO}$ の容量 | 12                             |        | 24   | pF       |
| $C_L$          | 水晶振動子の負荷容量               | 6                              |        | 12   | pF       |
| $C_{shunt}$    | 水晶発振回路のシャント容量            | $ESR_{xtal} = 30\Omega$        | 25 MHz | 7    | pF       |
|                |                          | $ESR_{xtal} = 40\Omega$        | 25 MHz | 5    | pF       |
|                |                          | $ESR_{xtal} = 50\Omega$        | 25 MHz | 5    | pF       |
| $ESR_{xtal}$   | 水晶振動子の等価直列抵抗             |                                |        | (1)  | $\Omega$ |

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。  $C_{shunt}$  パラメータを参照してください。

システムの設計で水晶振動子を選択するときは、ワーストケースの環境やシステムの予測寿命に基づいて、水晶振動子の温度特性および経年変化特性を考慮する必要があります。

表 6-23 に、発振器のスイッチング特性の詳細を示します。

表 6-23. MCU\_OSC0 のスイッチング特性 – 水晶振動子モード

| パラメータ      |                 | 最小値 | 標準値 | 最大値  | 単位 |
|------------|-----------------|-----|-----|------|----|
| $C_{XI}$   | XI 容量           |     |     | 1.60 | pF |
| $C_{XO}$   | XO 容量           |     |     | 1.50 | pF |
| $C_{XIXO}$ | XI から XO への相互容量 |     |     | 0.05 | pF |

表 6-23. MCU\_OSC0 のスイッチング特性 – 水晶振動子モード (続き)

| パラメータ      | 最小値 | 標準値 | 最大値 | 単位 |
|------------|-----|-----|-----|----|
| $t_s$ 起動時間 |     | 4   |     | ms |

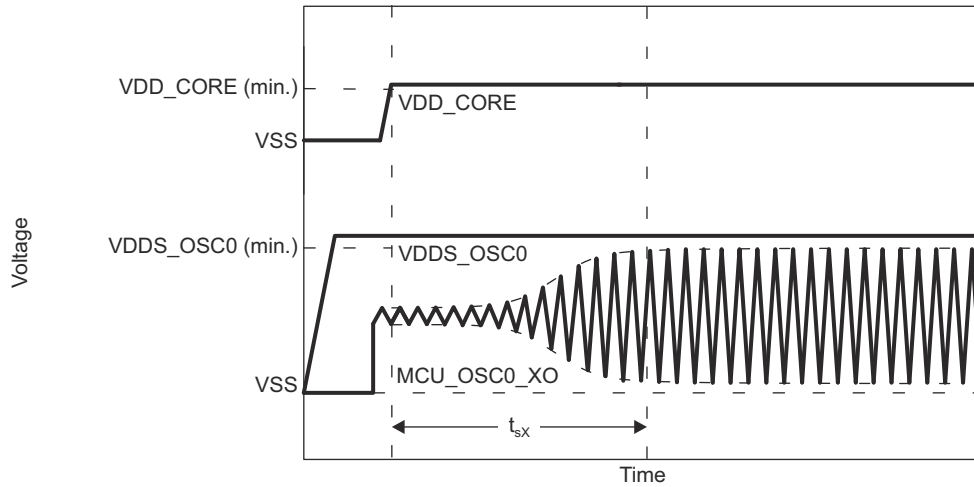


図 6-17. MCU\_OSC0 スタートアップ時間

#### 6.12.4.1.1.1 負荷容量

水晶振動子回路は、水晶振動子メーカーの定義に従って、水晶振動子に適切な容量性負荷がかかるように設計する必要があります。この回路の容量性負荷  $C_L$  は、ディスクリート コンデンサ  $C_{L1}$ 、 $C_{L2}$ 、およびいくつかの寄生成分から構成されています。水晶振動子回路の部品を MCU\_OSC0\_XI および MCU\_OSC0\_XO に接続する PCB 信号パターンには、グラウンド への寄生容量  $C_{PCBXI}$  および  $C_{PCBXO}$  があり、PCB 設計者は各信号パターンの寄生容量を把握する必要があります。MCU\_OSC0 回路およびデバイス パッケージには、グラウンドへの寄生容量  $C_{PCBXI}$  および  $C_{PCBXO}$  があります。ここで、これらの寄生容量の値は、表 6-23 で定義されています。

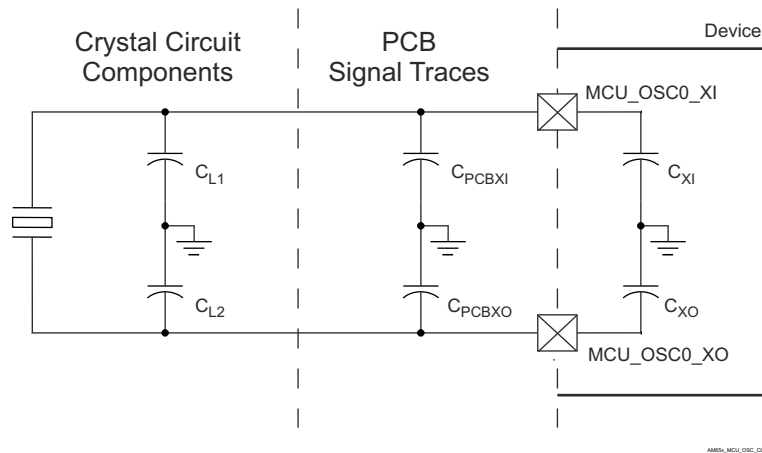


図 6-18. 負荷容量

図 6-16 の負荷コンデンサ  $C_{L1}$  および  $C_{L2}$  は、次の式が満足されるように選択する必要があります。この式の  $C_L$  は、水晶振動子のメーカーによって指定された負荷です。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

$C_{L1}$  と  $C_{L2}$  の値を決定するには、まず、容量性負荷の値  $C_L$  に 2 を乗算します。この結果に対して、 $C_{PCBXI} + C_{XI}$  の合成値を減算すれば  $C_{L1}$  の値が得られます。また、 $C_{PCBXO} + C_{XO}$  の合成値を減算すれば、 $C_{L2}$  の値が得られます。たとえば、 $C_L = 10\text{pF}$ 、 $C_{PCBXI} = 2.9\text{pF}$ 、 $C_{XI} = 0.5\text{pF}$ 、 $C_{PCBXO} = 3.7\text{pF}$ 、 $C_{XO} = 0.5\text{pF}$  の場合、 $C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$  および  $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$  となります。

#### 6.12.4.1.1.2 シャント容量

また、水晶振動子回路は、表 6-22 に定義された MCU\_OSC0 動作条件の最大シャント容量を超えないように設計する必要があります。水晶振動子回路のシャント容量  $C_{shunt}$  は、水晶振動子のシャント容量と寄生成分の組み合わせです。水晶振動子回路の部品を MCU\_OSC0 に接続する PCB 信号パターンには、相互寄生容量 WKUP\_OSC0 があります。PCB 設計者は、これらの信号パターン間の相互寄生容量を導出できる必要があります。デバイス パッケージには、相互寄生容量  $C_{XIXO}$  もあります。ここで、この相互寄生容量の値は表 6-23 で定義されています。

PCB 配線は、XI 信号パターンと XO 信号パターンとの間の相互容量を最小限に抑えるよう設計する必要があります。これは通常、信号パターンを短くし、近接した場所に配線しないことで行われます。レイアウトで信号を互いに近接して配線する必要がある場合は、これらの信号の間にグランドパターンを配置することで、相互容量を最小化することもできます。水晶振動子を選択する際に、可能な限り大きなマージンを確保するために、PCB 上の相互容量を最小化することが重要です。

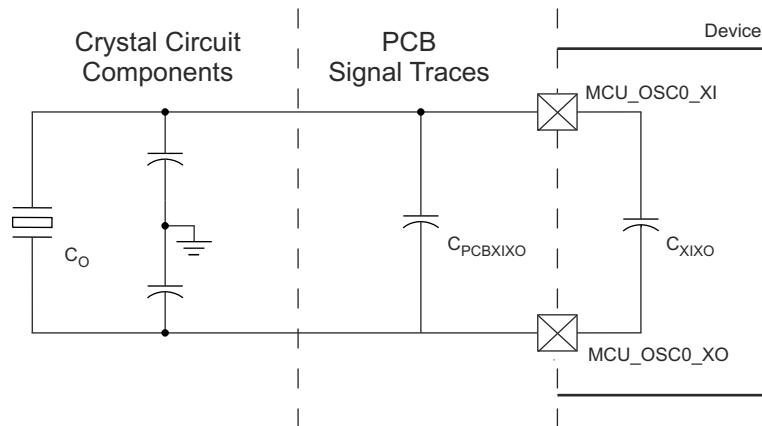


図 6-19. シャント容量

水晶振動子は、次の式が満たされるように選択する必要があります。この式の  $C_0$  は、水晶振動子のメーカーによって指定された最大シャント容量です。

$$C_{shunt} \geq C_0 + C_{PCBXIXO} + C_{XIXO}$$

たとえば、使用する水晶振動子が  $ESR = 30\Omega$ 、 $C_{PCBXIXO} = 0.04\text{pF}$ 、 $C_{XIXO} = 0.01\text{pF}$  の 25MHz であり、水晶振動子のシャント容量が 6.95pF 以下の場合、この式が満たされます。

### 6.12.4.1.2 MCU\_OSC0 LVCMOS デジタル クロック ソース

図 6-20 に、MCU\_OSC0\_XI を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

#### 注

1. 発振器が電源オンのとき、MCU\_OSC0\_XI を DC 定常状態にすることは許容されません。MCU\_OSC0\_XI は内部でコンパレータに AC 結合されており、入力に DC が印加されると未知の状態になる可能性があるため、これは許容されません。したがって、MCU\_OSC0\_XI がロジック状態間をトグルしていない場合は、アプリケーション ソフトウェアで MCU\_OSC0 の電源をオフにする必要があります。
2. MCU\_OSC0\_XI 入力に供給される LVCMOS クロック信号は、単調に遷移する必要があります。このクロック源は、近くに配置された直列終端抵抗を介して、ポイント ツー ポイント接続で MCU\_OSC0\_XI に接続する必要があります。直列終端抵抗の値は、伝送ラインのインピーダンスからクロック源の出力インピーダンスを引いた値と一致している必要があります。たとえば、クロック源の出力インピーダンスが 30Ω、PCB 信号パターンの特性インピーダンスが 50Ω の場合、直列終端抵抗の値を 20Ω とする必要があります。こうすることで、終端されていない伝送線路の遠端から戻ってくる反射を完全に吸収し、信号に非単調イベントがまったく発生しないようにできます。
3. LVCMOS クロック源を MCU\_OSC0\_XI に接続する PCB パターンの長さはできるだけ短くする必要があります。これにより、容量性負荷を小さくし、外部ノイズ源がクロック信号に結合する可能性を低めることができます。容量性負荷が小さいと、クロック信号の立ち上がり / 立ち下がり時間が短くなり、システムにジッタが発生する可能性が低下します。

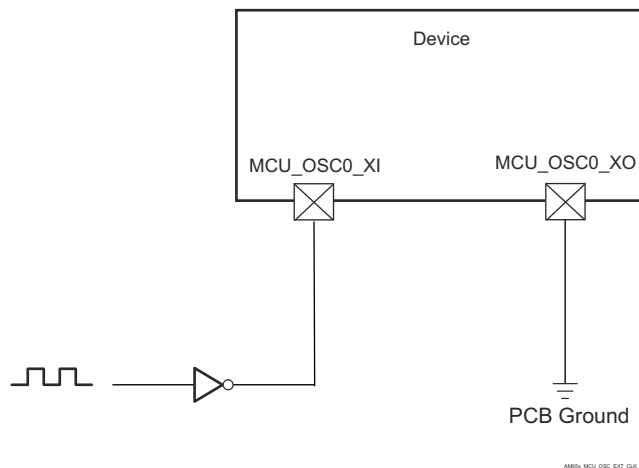


図 6-20. 1.8V LVCMOS 互換クロック入力

表 6-24. MCU\_OSC0 LVC MOS デジタル クロック ソース要件

| パラメータ                      |  | 最小値                             | 標準値 | 最大値               | 単位  |
|----------------------------|--|---------------------------------|-----|-------------------|-----|
| F <sub>xtal</sub>          | 周波数  |                                 | 25  |                   | MHz |
|                            | 周波数安定性および許容誤差                                      | イーサネット RGMII および RMI I は未使用     |     | ±100              | ppm |
|                            |  | 派生クロックを使用するイーサネット RGMII と RMI I |     | ±50               |     |
| DC                         | デューティ サイクル   | 45                              |     | 55                | %   |
| t <sub>R/F</sub>           | 立ち上がり / 立ち下がり時間 (10% - 90% 立ち上がり, 90% - 10% 立ち下がり) |                                 |     | 4 <sup>(1)</sup>  | ns  |
| J <sub>Period(RMS)</sub>   | 周期ジッタ、RMS (100k サンプル)                              |                                 |     | 20                | ps  |
| J <sub>Period(PK-PK)</sub> | 周期ジッタ、ピーク ツー ピーク (100k サンプル)                       |                                 |     | 300               | ps  |
| J <sub>Phase(RMS)</sub>    | 位相ジッタ、RMS (BW 100Hz~1MHz)                          |                                 |     | 10 <sup>(2)</sup> | ps  |

- (1) ほとんどの LVC MOS 発振器のデータシートには、PCB パターン容量と MCU\_OSC0\_XI 入力容量の和に相当する実際の負荷よりもはるかに大きい容量性負荷を接続した場合の、出力の立ち上がり / 立ち下がり時間の最大値が規定されています。この要件を満たす LVC MOS 発振器を見つけるのは難しくありません。ただし、システム設計者は、選択した LVC MOS 発振器が適切な立ち上がり / 立ち下がり時間で MCU\_OSC0\_XI 入力を駆動できることを確認する必要があります。
- (2) ほとんどの LVC MOS 発振器のデータシートには、このデバイスで必要とされる帯域幅積分範囲よりも大きい帯域幅積分範囲を使用した RMS 位相ジッタの最大値が規定されています。より適切な値を得るには、LVC MOS 発振器のメーカーに連絡し、このパラメータのために規定された帯域幅積分範囲と同じ帯域幅積分範囲を使った RMS 位相ジッタの最大値を提供するように依頼することも場合によっては必要です。

### 6.12.4.1.3 WKUP\_LFOSC0 内部発振器クロック ソース

図 6-21 に、水晶発振器の推奨回路を示します。量産開始前のプリント基板 (PCB) 設計には、2 つのオプション抵抗  $R_{bias}$  および  $R_d$  を含めることを推奨します。これは、量産用の水晶振動子回路部品と組み合わせたとき、発振器が正常に動作するために抵抗が必要とされる場合に備えるものです。ほとんどの場合、 $R_{bias}$  は 不要であり、 $R_d$  は  $0\Omega$  抵抗です。量産前の PCB に量産用の水晶振動子回路部品を実装して、発振器の性能を評価した後、これらの抵抗を量産 PCB の設計から取り除くこともできます。

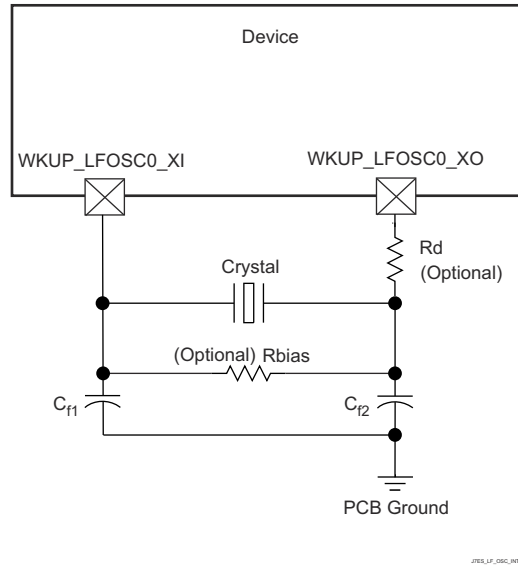


図 6-21. WKUP\_LFOSC0 水晶振動子の実装

表 6-25 に、LFXOSC の動作モードを示します。

表 6-25. LFXOSC 動作モード

| モード    | BP_C | PD_C | XI   | XO   | CLK_OUT | 説明  |
|--------|------|------|------|------|---------|---|
| アクティブ  | 0    | 0    | XTAL | XTAL | CLK_OUT | アクティブ発振器モードで 32kHz を供給  |
| パワーダウン | 0    | 1    | X    | PD   | Low     | 出力は Low にプルダウンされます。PAD はトライステート。アクティブ モードはディセーブル。   |
| バイパス   | 1    | 0    | CLK  | PD   | CLK     | XI は外部クロック ソースによって駆動されます。XO は Low にプルダウンされます。電源に対して ESD ダイオードがあるため、発振器電源が存在しない場合は、XI を駆動しないでください。 |

#### 注

ユーザーは、 $6\text{pF} \sim 9.5\text{pF}$  の範囲の  $CL$  に対して、 $\text{CTRLMMR\_WKUP\_LFXOSC\_TRIM}[18:16] \text{ i\_mult} = 3\text{b}'001$  を設定する必要があります。 $8.5\text{pF} \sim 12\text{pF}$  の範囲の  $CL$  に対しては、 $\text{CTRLMMR\_WKUP\_LFXOSC\_TRIM}[18:16] \text{ i\_mult} = 3\text{b}'010$  とします。デフォルト設定は  $3\text{b}'010$  です。

#### 注

図 6-22 の負荷コンデンサ  $C_{f1}$  および  $C_{f2}$  は、次の式が満足されるように選択する必要があります。この式の  $C_L$  は、水晶振動子のメーカーによって指定された負荷です。発振器回路の実装に使用されるすべてのディスクレット部品は、関連する発振器  $\text{WKUP\_LFOSC0\_XI}$ 、 $\text{WKUP\_LFOSC0\_XO}$ 、 $\text{VSS}$  ピンのできるだけ近くに配置する必要があります。

$$C_L = \frac{C_{f1} C_{f2}}{(C_{f1} + C_{f2})}$$

JES\_D0307A\_03

図 6-22. 負荷容量の式

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-26 に、必要な電氣的制約事項を示します。

表 6-26. WKUP\_LFOSC0 水晶振動子の電氣的特性

| 名称                 | 説明  | 最小値                          | 標準値 | 最大値 | 単位  |    |
|--------------------|---|------------------------------|-----|-----|-----|----|
| f <sub>p</sub>     | 並列共振水晶振動子周波数  | 32768                        |     |     | Hz  |    |
|                    | 水晶振動子の周波数安定性および許容誤差   | ±100                         |     |     | PPM |    |
| C <sub>f1</sub>    | C <sub>f1</sub> = C <sub>f2</sub> の場合の水晶振動子並列共振の C <sub>f1</sub> 負荷容量 | 12                           |     | 24  | pF  |    |
| C <sub>f2</sub>    | C <sub>f1</sub> = C <sub>f2</sub> の場合の水晶振動子並列共振の C <sub>f2</sub> 負荷容量 | 12                           |     | 24  | pF  |    |
| C <sub>shunt</sub> | シャント容量  | ESR <sub>x</sub> tal – 40kΩ  |     |     | 4   | pF |
|                    |   | ESR <sub>x</sub> tal – 60kΩ  |     |     | 3   | pF |
|                    |   | ESR <sub>x</sub> tal – 80kΩ  |     |     | 2   | pF |
|                    |   | ESR <sub>x</sub> tal – 100kΩ |     |     | 1   | pF |
| ESR                | 水晶振動子の等価直列抵抗  |                              |     |     | (1) | Ω  |

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。C<sub>shunt</sub> パラメータを参照してください。

水晶振動子を選択するとき、システム設計では、ワーストケースの環境とシステムの予測寿命に基づいて、温度と経年変化特性を考慮する必要があります。

表 6-27 に、発振器のスイッチング特性と入力クロックの要件を示します。

表 6-27. WKUP\_LFOSC0 のスイッチング特性 – 水晶振動子モード

| 名称                | 説明        | 最小値   | 標準値 | 最大値 | 単位 |
|-------------------|-----------|-------|-----|-----|----|
| f <sub>xtal</sub> | 発振周波数     | 32768 |     |     | Hz |
| t <sub>sx</sub>   | スタートアップ時間 | 96.5  |     |     | ms |

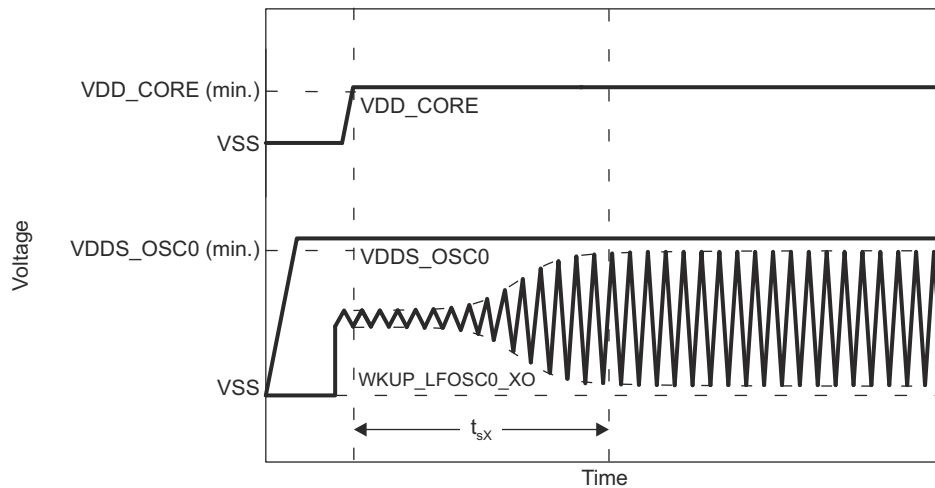


図 6-23. WKUP\_LFOSC0 スタートアップ時間

#### 6.12.4.1.4 WKUP\_LFOSC0 LVCMOS デジタル クロック ソース

図 6-24 に、WKUP\_LFOSC0\_XI を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

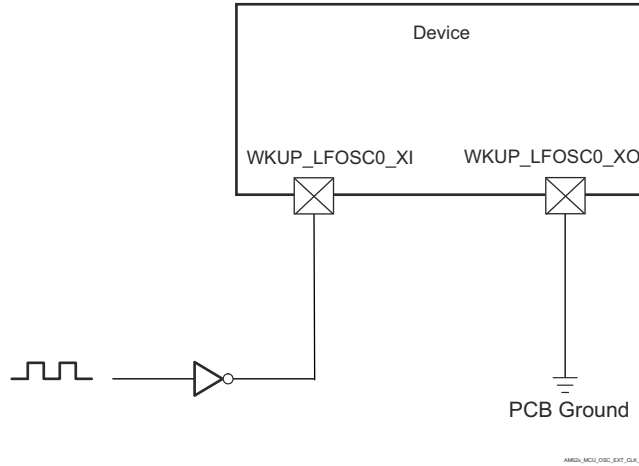


図 6-24. 1.8V LVCMOS 互換クロック入力

#### 6.12.4.1.5 WKUP\_LFOSC0 を使用しない場合

図 6-25 に、WKUP\_LFOSC0 を使用しない場合に推奨される発振器接続を示します。

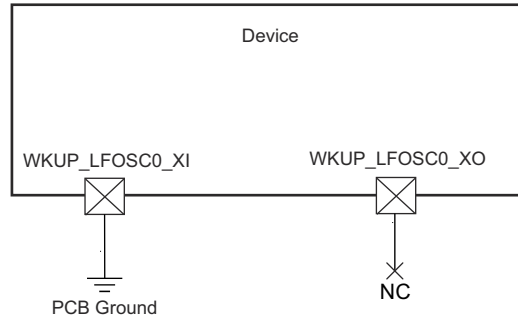


図 6-25. WKUP\_LFOSC0 を使用しない場合

#### 6.12.4.2 出力クロック

このデバイスには、複数のシステム クロック出力があります。これらの出力クロックの概要は、以下のとおりです。

- **MCU\_SYCLKOUT0**
  - MCU\_PLL0\_HSDIV0\_CLKOUT (MCU\_SYCLKOUT0) が 4 分周され、MCU\_SYCLKOUT0 としてデバイスから出力されます。このクロック出力は、テストとデバッグのみを目的としています。
- **MCU\_OBSCLK0**
  - 監視クロック出力は、テストとデバッグのみを目的としています。
- **WKUP\_CLKOUT0**
  - WKUP ドメインの CLKOUT0 出力。
- **SYCLKOUT0**
  - MAIN\_PLL0\_HSDIV0\_CLKOUT (SYCLKOUT0) は 4 分周され、SYCLKOUT0 としてデバイスから出力されます。このクロック出力は、テストとデバッグのみを目的としています。
- **CLKOUT0**
  - CLKOUT0 は、5 分周または 10 分周されたイーサネット サブシステム クロック (MAIN\_PLL2\_HSDIV1\_CLKOUT) です。このクロック出力は、外部 PHY へのオプションのソースとして供給されます。RMIIC クロック ソース (50MHz) として動作するよう構成する場合、デバイスが適切に動作するように信号をそれぞれの RMIIC[x]\_REF\_CLK ピンに配線する必要があります。
- **OBSCLK[1:0]**
  - 監視クロック出力は、テストとデバッグのみを目的としています。
- **AUDIO\_EXT\_REFCLK[1:0]**
  - 出力として動作するよう構成されている場合、6 つの McASP 高周波オーディオ基準クロック、MAIN\_PLL1\_HSDIV6\_CLKOUT、または MAIN\_PLL2\_HSDIV8\_CLKOUT のいずれかに供給可能です。

#### 6.12.4.3 PLL

フェーズ ロック ループ回路 (PLL) の電力は、オフチップ電源から電力を得る内部レギュレータによって供給されます。

MCU ドメインには 1 つの PLL があります。

- MCU\_PLL0 (MCU PLL)

MAIN ドメインには 10 個の PLL があります。

- MAIN\_PLL0 (MAIN PLL)
- MAIN\_PLL1 (PER0 PLL)
- MAIN\_PLL2 (PER1 PLL)
- MAIN\_PLL6 (GPU PLL)
- MAIN\_PLL8 (ARM0 PLL)
- MAIN\_PLL12 (DDR PLL)
- MAIN\_PLL15 (SMS PLL)
- MAIN\_PLL16 (DSS PLL0)
- MAIN\_PLL17 (DSS PLL1)
- MAIN\_PLL18 (DSS PLL2)

いずれかの PLL 出力をクロック ソースとして構成および使用するには、基準クロック ソースのスタートアップ時間と PLL ロック要件を考慮する必要があります。デバイスの基準クロック入力要件は、[セクション 6.12.4.1](#)「入力クロック / 発振器」で定義されています。PLL 構成の詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。

PLL の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」セクションの「クロッキング」サブセクションにある「PLL」サブセクションを参照してください。

#### 6.12.4.4 クロックおよび制御信号の遷移に関する推奨システム上の注意事項

すべてのクロック信号とストロブ信号は、 $V_{IH}$  と  $V_{IL}$  (または  $V_{IL}$  と  $V_{IH}$ ) の間で単調に遷移する必要があります。

高速な信号遷移では、単調な遷移が発生する可能性が高くなります。遷移が低速な信号に対しては、ノイズにより容易に非単調なイベントが発生します。そのため、すべてのクロック信号と制御信号で低速な信号遷移は避けてください。これは、デバイス内でグリッチが発生する可能性が高いためです。

## 6.12.5 ペリフェラル

### 6.12.5.1 CPSW3G

本デバイスのギガビット イーサネット MAC の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

#### 6.12.5.1.1 CPSW3G MDIO のタイミング

表 6-28、表 6-29、表 6-30、図 6-26 に、CPSW3G MDIO のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-28. CPSW3G MDIO のタイミング条件

| パラメータ                                 |                      | 最小値 | 最大値 | 単位   |
|---------------------------------------|----------------------|-----|-----|------|
| 入力条件                                  |                      |     |     |      |
| SR <sub>I</sub>                       | 入力スルーレート             | 0.9 | 3.6 | V/ns |
| 出力条件                                  |                      |     |     |      |
| C <sub>L</sub>                        | 出力負荷容量               | 10  | 470 | pF   |
| PCB 接続要件                              |                      |     |     |      |
| t <sub>d</sub> (Trace Delay)          | 各パターンの伝搬遅延           | 0   | 5   | ns   |
| t <sub>d</sub> (Trace Mismatch Delay) | すべてのパターンにわたる伝搬遅延の不整合 |     | 1   | ns   |

表 6-29. CPSW3G MDIO のタイミング要件

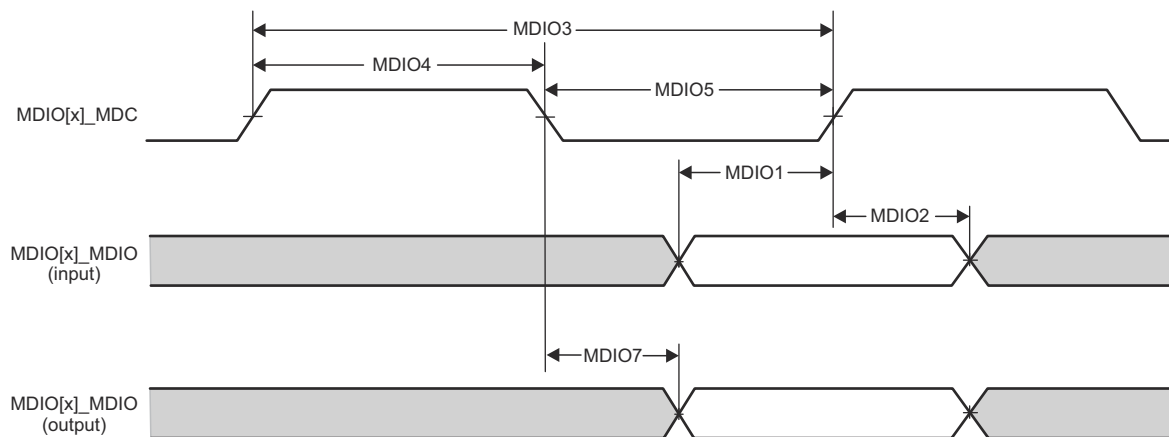
図 6-26 参照

| 番号    | パラメータ                      | 最小値 | 最大値 | 単位 |
|-------|----------------------------|-----|-----|----|
| MDIO1 | t <sub>su</sub> (MDIO_MDC) | 45  |     | ns |
| MDIO2 | t <sub>h</sub> (MDC_MDIO)  | 0   |     | ns |

表 6-30. CPSW3G MDIO のスイッチング特性

図 6-26 参照

| 番号    | パラメータ                     | 最小値 | 最大値 | 単位 |
|-------|---------------------------|-----|-----|----|
| MDIO3 | t <sub>c</sub> (MDC)      | 400 |     | ns |
| MDIO4 | t <sub>w</sub> (MDCH)     | 160 |     | ns |
| MDIO5 | t <sub>w</sub> (MDCL)     | 160 |     | ns |
| MDIO7 | t <sub>d</sub> (MDC_MDIO) | -10 | 10  | ns |



CPSW2G\_MDIO\_TIMING\_01

図 6-26. CPSW3G MDIO のタイミング要件およびスイッチング特性

### 6.12.5.1.2 CPSW3G RMII のタイミング

表 6-31、表 6-32、図 6-27、表 6-33、図 6-28、表 6-34、図 6-29 に、CPSW3G RMII のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-31. CPSW3G RMII のタイミング条件

| パラメータ           |           | 最小値                       | 最大値  | 単位 |
|-----------------|-----------|---------------------------|------|----|
| 入力条件            |           |                           |      |    |
| SR <sub>i</sub> | 入力スループレート | VDD <sup>(1)</sup> = 1.8V | 0.18 | 5  |
|                 |           | VDD <sup>(1)</sup> = 3.3V | 0.4  | 5  |
| 出力条件            |           |                           |      |    |
| C <sub>L</sub>  | 出力負荷容量    | 3                         | 25   | pF |

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-32. RMII[x]\_REF\_CLK のタイミング要件 - RMII モード

図 6-27 参照

| 番号    | パラメータ                     | 説明                        | 最小値    | 最大値    | 単位 |
|-------|---------------------------|---------------------------|--------|--------|----|
| RMII1 | t <sub>c</sub> (REF_CLK)  | サイクル時間、RMII[x]_REF_CLK    | 19.999 | 20.001 | ns |
| RMII2 | t <sub>w</sub> (REF_CLKH) | パルス幅、RMII[x]_REF_CLK High | 7      | 13     | ns |
| RMII3 | t <sub>w</sub> (REF_CLKL) | パルス幅、RMII[x]_REF_CLK Low  | 7      | 13     | ns |

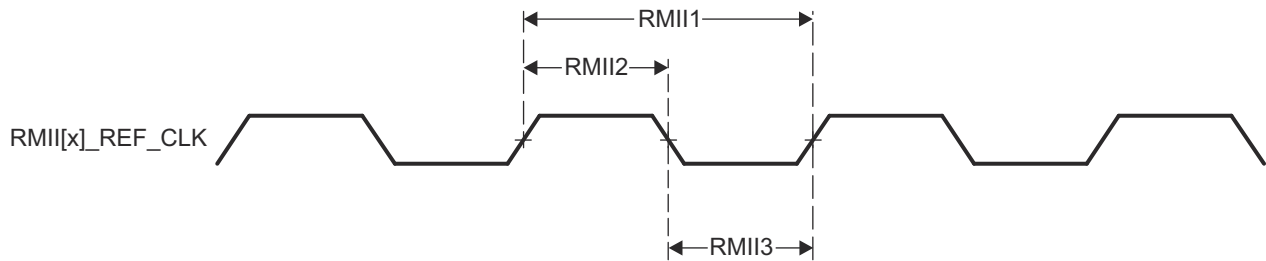


図 6-27. CPSW3G RMII[x]\_REF\_CLK のタイミング要件 - RMII モード

表 6-33. RMII[x]\_RXD[1:0], RMII[x]\_CRS\_DV, RMII[x]\_RX\_ER のタイミング要件 - RMII モード

図 6-28 参照

| 番号    | パラメータ                            | 説明  | 最小値 | 最大値 | 単位 |
|-------|----------------------------------|---|-----|-----|----|
| RMII4 | t <sub>su</sub> (RXD-REF_CLK)    | セットアップ時間、RMII[x]_RXD[1:0] 有効から RMII[x]_REF_CLK まで | 4   |     | ns |
|       | t <sub>su</sub> (CRS_DV-REF_CLK) | セットアップ時間、RMII[x]_CRS_DV 有効から RMII[x]_REF_CLK まで   | 4   |     | ns |
|       | t <sub>su</sub> (RX_ER-REF_CLK)  | セットアップ時間、RMII[x]_RX_ER 有効から RMII[x]_REF_CLK まで    | 4   |     | ns |
| RMII5 | t <sub>h</sub> (REF_CLK-RXD)     | ホールド時間、RMII[x]_REF_CLK から RMII[x]_RXD[1:0] 有効の間   | 2   |     | ns |
|       | t <sub>h</sub> (REF_CLK-CRS_DV)  | ホールド時間、RMII[x]_REF_CLK から RMII[x]_CRS_DV 有効の間     | 2   |     | ns |
|       | t <sub>h</sub> (REF_CLK-RX_ER)   | ホールド時間、RMII[x]_REF_CLK から RMII[x]_RX_ER 有効の間      | 2   |     | ns |

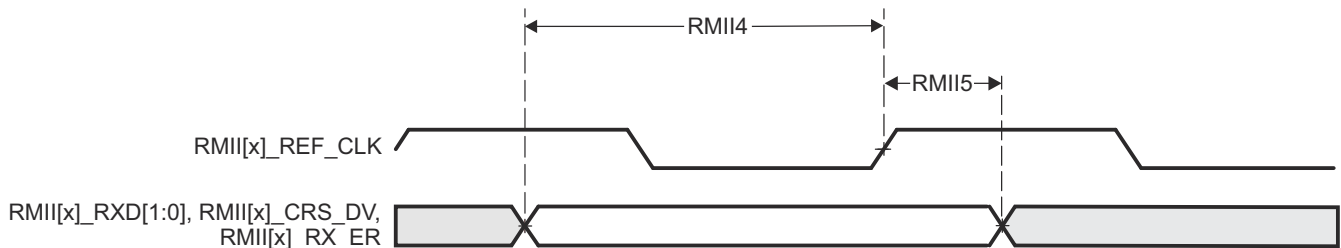


図 6-28. CPSW3G RMII[x]\_RXD[1:0], RMII[x]\_CRS\_DV, RMII[x]\_RX\_ER のタイミング要件 - RMII モード

表 6-34. RMII[x]\_TXD[1:0]、RMII[x]\_TX\_EN のスイッチング特性 – RMII モード

図 6-29 参照

| 番号    | パラメータ                           | 説明  | 最小値 | 最大値 | 単位 |
|-------|---------------------------------|---|-----|-----|----|
| RMII6 | $t_{d(\text{REF\_CLK-TXD})}$    | 遅延時間、RMII[x]_REF_CLK High から<br>RMII[x]_TXD[1:0] 有効まで | 2   | 10  | ns |
|       | $t_{d(\text{REF\_CLK-TX\_EN})}$ | 遅延時間、RMII[x]_REF_CLK から<br>RMII[x]_TX_EN 有効まで         | 2   | 10  | ns |

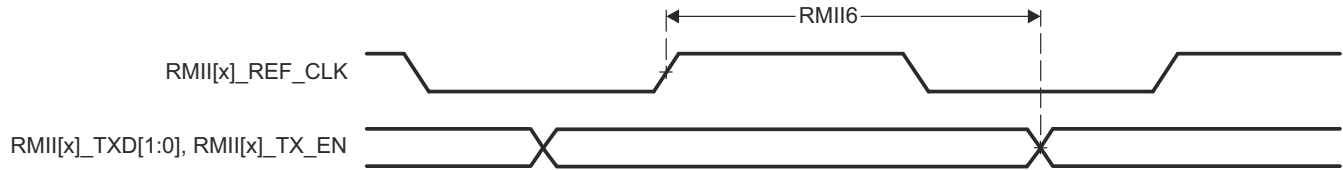


図 6-29. RMII[x]\_TXD[1:0]、RMII[x]\_TX\_EN のスイッチング特性 – RMII モード

### 6.12.5.1.3 CPSW3G RGMII のタイミング

表 6-35、表 6-36、表 6-37、図 6-30、表 6-38、表 6-39、図 6-31 に、CPSW3G RGMII のタイミング条件、タイミング要件、スイッチング特性を示します。

**表 6-35. CPSW3G RGMII のタイミング条件**

| パラメータ                                 |                      | 最小値   | 最大値  | 単位 |    |
|---------------------------------------|----------------------|---|------|----|----|
| <b>入力条件</b>                           |                      |   |      |    |    |
| SR <sub>i</sub>                       | 入力スルーレート             | VDD <sup>(1)</sup> = 1.8V                                 | 1.44 | 5  |    |
|                                       |                      | VDD <sup>(1)</sup> = 3.3V                                 | 2.64 | 5  |    |
| <b>出力条件</b>                           |                      |   |      |    |    |
| C <sub>L</sub>                        | 出力負荷容量               | 2   | 20   | pF |    |
| <b>PCB 接続要件</b>                       |                      |   |      |    |    |
| t <sub>d</sub> (Trace Mismatch Delay) | すべてのパターンにわたる伝搬遅延の不整合 | RGMII[x]_RXC、<br>RGMII[x]_RD[3:0]<br>、<br>RGMII[x]_RX_CTL |      | 50 | ps |
|                                       |                      | RGMII[x]_TXC、<br>RGMII[x]_TD[3:0]<br>、<br>RGMII[x]_TX_CTL |      | 50 | ps |

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-36. RGMII[x]\_RXC のタイミング要件 – RGMII モード

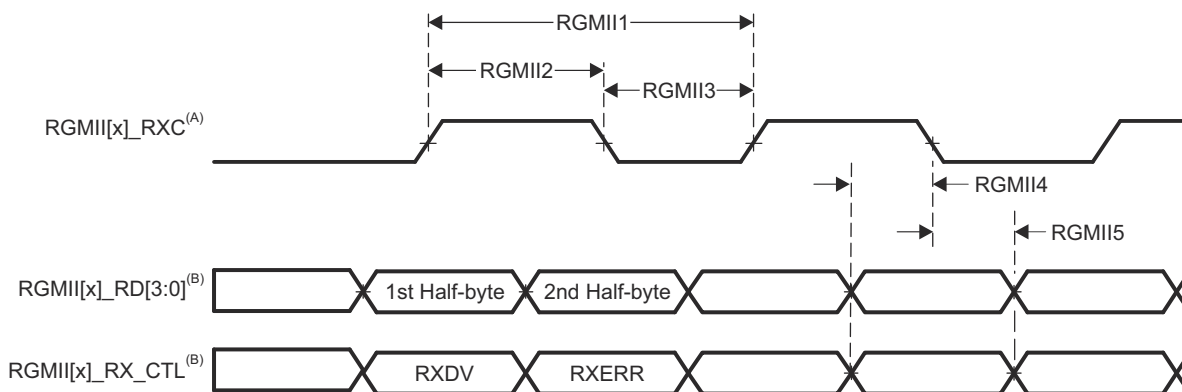
図 6-30 参照

| 番号     | パラメータ         | 説明                     | モード      | 最小値 | 最大値 | 単位 |
|--------|---------------|------------------------|----------|-----|-----|----|
| RGMII1 | $t_{c(RXC)}$  | サイクル時間、RGMII[x]_RXC    | 10Mbps   | 360 | 440 | ns |
|        |               |                        | 100Mbps  | 36  | 44  | ns |
|        |               |                        | 1000Mbps | 7.2 | 8.8 | ns |
| RGMII2 | $t_{w(RXCH)}$ | パルス幅、RGMII[x]_RXC high | 10Mbps   | 160 | 240 | ns |
|        |               |                        | 100Mbps  | 16  | 24  | ns |
|        |               |                        | 1000Mbps | 3.6 | 4.4 | ns |
| RGMII3 | $t_{w(RXCL)}$ | パルス幅、RGMII[x]_RXC low  | 10Mbps   | 160 | 240 | ns |
|        |               |                        | 100Mbps  | 16  | 24  | ns |
|        |               |                        | 1000Mbps | 3.6 | 4.4 | ns |

表 6-37. RGMII[x]\_RD[3:0] と RGMII[x]\_RX\_CTL のタイミング要件 – RGMII モード

図 6-30 参照

| 番号     | パラメータ                 | 説明  | モード      | 最小値 | 最大値 | 単位 |
|--------|-----------------------|---|----------|-----|-----|----|
| RGMII4 | $t_{su(RD-RXC)}$      | セットアップ時間、RGMII[x]_RD[3:0] 有効から RGMII[x]_RXC High/Low まで | 10Mbps   | 1   |     | ns |
|        |                       |   | 100Mbps  | 1   |     | ns |
|        |                       |   | 1000Mbps | 1   |     | ns |
|        | $t_{su(RX\_CTL-RXC)}$ | セットアップ時間、RGMII[x]_RX_CTL 有効から RGMII[x]_RXC High/Low まで  | 10Mbps   | 1   |     | ns |
|        |                       |   | 100Mbps  | 1   |     | ns |
|        |                       |   | 1000Mbps | 1   |     | ns |
| RGMII5 | $t_{h(RXC-RD)}$       | ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RD[3:0] 有効の間   | 10Mbps   | 1   |     | ns |
|        |                       |   | 100Mbps  | 1   |     | ns |
|        |                       |   | 1000Mbps | 1   |     | ns |
|        | $t_{h(RXC-RX\_CTL)}$  | ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RX_CTL 有効の間    | 10Mbps   | 1   |     | ns |
|        |                       |   | 100Mbps  | 1   |     | ns |
|        |                       |   | 1000Mbps | 1   |     | ns |



- A. RGMII[x]\_RXC は、データピンと制御ピンに対して、外部的に遅延させる必要があります。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]\_RD[3:0] は、RGMII[x]\_RXC の立ち上がりエッジでデータビット 3～0 を、RGMII[x]\_RXC の立ち下がりエッジでデータビット 7～4 を伝送します。同様に、RGMII[x]\_RX\_CTL は、RGMII[x]\_RXC の立ち上がりエッジで RXDV を、RGMII[x]\_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-30. CPSW3G RGMII[x]\_RXC、RGMII[x]\_RD[3:0]、RGMII[x]\_RX\_CTL のタイミング要件 - RGMII モード

表 6-38. RGMII[x]\_TXC のスイッチング特性 – RGMII モード

図 6-31 参照

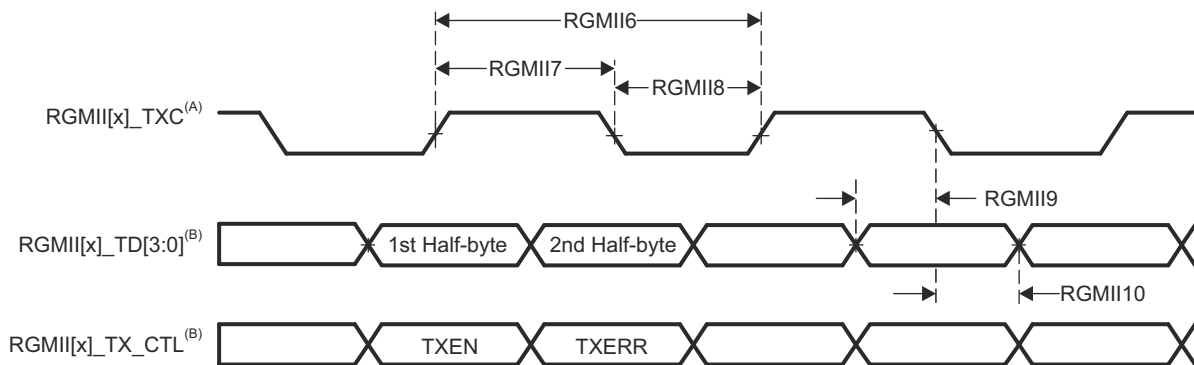
| 番号     | パラメータ         | 説明                     | モード      | 最小値 | 最大値 | 単位 |
|--------|---------------|------------------------|----------|-----|-----|----|
| RGMII6 | $t_{c(TXC)}$  | サイクル時間、RGMII[x]_TXC    | 10Mbps   | 360 | 440 | ns |
|        |               |                        | 100Mbps  | 36  | 44  | ns |
|        |               |                        | 1000Mbps | 7.2 | 8.8 | ns |
| RGMII7 | $t_{w(TXCH)}$ | パルス幅、RGMII[x]_TXC high | 10Mbps   | 160 | 240 | ns |
|        |               |                        | 100Mbps  | 16  | 24  | ns |
|        |               |                        | 1000Mbps | 3.6 | 4.4 | ns |
| RGMII8 | $t_{w(TXCL)}$ | パルス幅、RGMII[x]_TXC low  | 10Mbps   | 160 | 240 | ns |
|        |               |                        | 100Mbps  | 16  | 24  | ns |
|        |               |                        | 1000Mbps | 3.6 | 4.4 | ns |

表 6-39. RGMII[x]\_TD[3:0]、RGMII[x]\_TX\_CTL のスイッチング特性 – RGMII モード

図 6-31 参照

| 番号      | パラメータ                 | 説明  | モード      | 最小値 | 最大値 | 単位 |
|---------|-----------------------|---|----------|-----|-----|----|
| RGMII9  | $t_{osu(TD-TXC)}$     | 出力セットアップ時間 <sup>(1)</sup> 、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC High/Low まで | 10Mbps   | 1.2 |     | ns |
|         |                       |   | 100Mbps  | 1.2 |     | ns |
|         |                       |   | 1000Mbps | 1.2 |     | ns |
|         | $t_{osu(TX_CTL-TXC)}$ | 出力セットアップ時間 <sup>(1)</sup> 、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC High/Low まで  | 10Mbps   | 1.2 |     | ns |
|         |                       |   | 100Mbps  | 1.2 |     | ns |
|         |                       |   | 1000Mbps | 1.2 |     | ns |
| RGMII10 | $t_{oh(TXC-TD)}$      | 出力ホールド時間 <sup>(1)</sup> 、RGMII[x]_TXC High/Low から RGMII[x]_TD[3:0] 有効の間   | 10Mbps   | 1.2 |     | ns |
|         |                       |   | 100Mbps  | 1.2 |     | ns |
|         |                       |   | 1000Mbps | 1.2 |     | ns |
|         | $t_{oh(TXC-TX_CTL)}$  | 出力ホールド時間 <sup>(1)</sup> 、RGMII[x]_TXC High/Low から RGMII[x]_TX_CTL 有効の間    | 10Mbps   | 1.2 |     | ns |
|         |                       |   | 100Mbps  | 1.2 |     | ns |
|         |                       |   | 1000Mbps | 1.2 |     | ns |

- (1) 出力のセットアップ / ホールド時間は、送信クロック出力に対する送信データと制御出力の遅延関係を定義しますが、この出力の関係は、接続されたレシーバに供給される最小セットアップ / ホールド時間として示されています。このアプローチは、RGMII 仕様での出力タイミング関係の定義方法と一致しています。



- A. TXC は内部で遅延されてから、RGMII[x]\_TXC ピンを駆動します。この内部遅延は常にインネーブルになっています。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]\_TD[3:0] は、RGMII[x]\_TXC の立ち上がりエッジでデータビット 3~0 を、RGMII[x]\_TXC の立ち下がりエッジでデータビット 7~4 を伝送します。同様に、RGMII[x]\_TX\_CTL は RGMII[x]\_TXC の立ち上がりエッジで TXEN を、RGMII[x]\_TXC の立ち下がりエッジで TXERR を伝送します。

図 6-31. CPSW3G RGMII[x]\_TXC、RGMII[x]\_TD[3:0]、RGMII[x]\_TX\_CTL のスイッチング特性 – RGMII モード

## 6.12.5.2 CPTS

表 6-40、表 6-41、図 6-32、表 6-42、図 6-33 に、CPTS のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-40. CPTS のタイミング条件

| パラメータ           |          | 最小値 | 最大値 | 単位   |
|-----------------|----------|-----|-----|------|
| 入力条件            |          |     |     |      |
| SR <sub>i</sub> | 入力スルーレート | 0.5 | 5   | V/ns |
| 出力条件            |          |     |     |      |
| C <sub>L</sub>  | 出力負荷容量   | 2   | 10  | pF   |

表 6-41. CPTS のタイミング要件

図 6-32 参照

| 番号 | パラメータ                      | 説明                  | 最小値                    | 最大値 | 単位 |
|----|----------------------------|---------------------|------------------------|-----|----|
| T1 | t <sub>w</sub> (HWTSPUSHH) | パルス幅、HWnTSPUSH High | 12P <sup>(1)</sup> + 2 |     | ns |
| T2 | t <sub>w</sub> (HWTSPUSHL) | パルス幅、HWnTSPUSH Low  | 12P <sup>(1)</sup> + 2 |     | ns |
| T3 | t <sub>c</sub> (RFT_CLK)   | サイクル時間、RFT_CLK      | 5                      | 8   | ns |
| T4 | t <sub>w</sub> (RFT_CLKH)  | パルス幅、RFT_CLK high   | 0.45T <sup>(2)</sup>   |     | ns |
| T5 | t <sub>w</sub> (RFT_CLKL)  | パルス幅、RFT_CLK low    | 0.45T <sup>(2)</sup>   |     | ns |

(1) P = 機能クロック周期 (ns 単位)。

(2) T = RFT\_CLK サイクル時間 (ns 単位)。

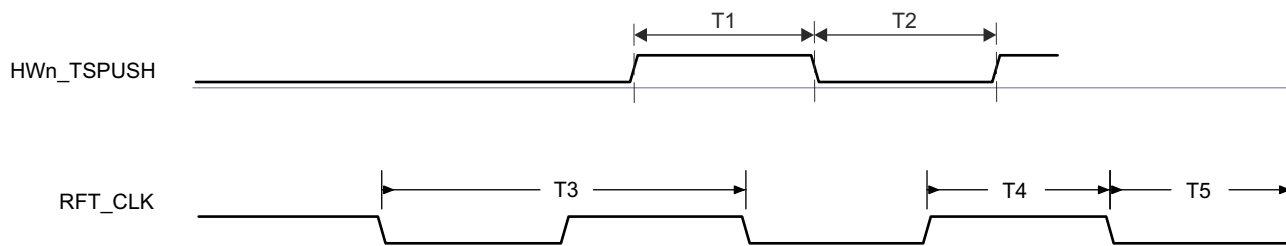


図 6-32. CPTS のタイミング要件

表 6-42. CPTS スイッチング特性

図 6-33 参照

| 番号  | パラメータ                     | 説明                  | ソース     | 最小値             | 最大値 | 単位 |
|-----|---------------------------|---------------------|---------|-----------------|-----|----|
| T6  | $t_w(\text{TS\_COMP})$    | パルス幅、TS_COMP high   |         | $36P^{(1)} - 2$ |     | ns |
| T7  | $t_w(\text{TS\_COMPL})$   | パルス幅、TS_COMP low    |         | $36P^{(1)} - 2$ |     | ns |
| T8  | $t_w(\text{TS\_SYNCH})$   | パルス幅、TS_SYNC high   |         | $36P^{(1)} - 2$ |     | ns |
| T9  | $t_w(\text{TS\_SYNCL})$   | パルス幅、TS_SYNC low    |         | $36P^{(1)} - 2$ |     | ns |
| T10 | $t_w(\text{SYNCn\_OUTH})$ | パルス幅、SYNCn_OUT High | TS_SYNC | $36P^{(1)} - 2$ |     | ns |
|     |                           |                     | GENF    | $5P^{(1)} - 2$  |     | ns |
| T11 | $t_w(\text{SYNCn\_OUTL})$ | パルス幅、SYNCn_OUT Low  | TS_SYNC | $36P^{(1)} - 2$ |     | ns |
|     |                           |                     | GENF    | $5P^{(1)} - 2$  |     | ns |

(1) P = 機能クロック周期 (ns 単位)。

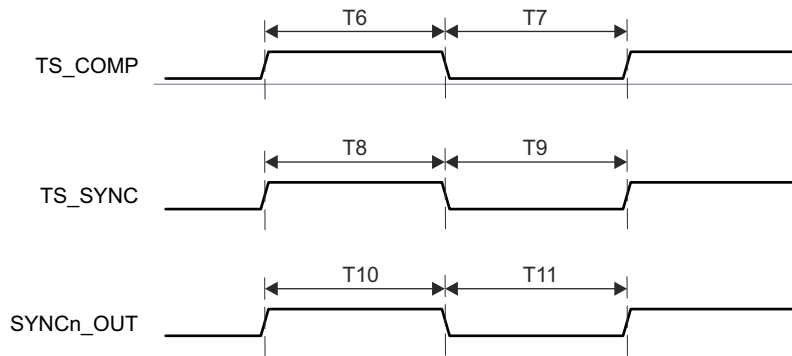


図 6-33. CPTS スイッチング特性

詳細については、デバイスのテクニカルリファレンスマニュアルで「共通プラットフォーム時間同期 (CPTS)」の章を参照してください。

### 6.12.5.3 CSI-2

#### 注

詳細については、デバイステクニカルリファレンスマニュアルの「カメラシリアルインターフェースレシーバ (CSI\_RX\_IF)」のセクションを参照してください。CSI\_RX\_IF は、CSIRXn というデバイスポートインスタンスに接続します (「n」はインスタンス番号)。

CSI\_RX\_IF と関連する D-PHY は、MIPI D-PHY 仕様 v1.2 および MIPI CSI-2 仕様 v1.3 に準拠した CSI-2 ポート (CSIRX0) を実装しており、同期ダブルデータレートモードで動作する 4 つの差動データレーンと 1 つの差動クロックレーンを備えています。CSI-2 のタイミングの詳細については、上記の各 MIPI 仕様を参照してください。

- 各レーンで最大 2.5Gbps の 1、2、3、4 レーンデータ転送モードをサポートしています。

### 6.12.5.4 DDRSS

本デバイスの LPDDR4 メモリ インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

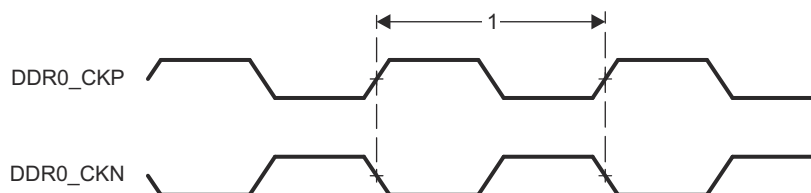
表 6-43 および 図 6-34 に、DDRSS のスイッチング特性を示します。

**表 6-43. DDRSS スイッチング特性**

図 6-34 参照

| 番号 | パラメータ  | DDR タイプ | 最小値                   | 最大値 | 単位 |
|----|--|---------|-----------------------|-----|----|
| 1  | $t_{c(DDR\_CKP/DDR\_CKN)}$<br>サイクル時間、DDR_CKP および DDR_CKN | LPDDR4  | 0.5358 <sup>(1)</sup> | 20  | ns |

- (1) 最小 DDR クロック サイクル時間は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『AM62Px DDR 基板の設計およびレイアウトのガイドライン』を参照してください。



**図 6-34. DDRSS スイッチング特性**

詳細については、デバイスのテクニカル リファレンス マニュアルで「メモリ コントローラ」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

### 6.12.5.5 DSI

#### 注

詳細については、デバイスのテクニカル リファレンス マニュアルの「MIPI ディスプレイ シリアル インターフェイス (DSI) コントローラ」セクションを参照してください。DSI トランスミッタ コントローラは、DSITXn というデバイスポート インスタンスに接続します (「n」はインスタンス番号)。

DSI トランスミッタ コントローラと関連する D-PHY は、MIPI D-PHY 仕様 v1.2 および MIPI DSI 仕様 v1.3 に準拠した DSI ポート (DSITX0) を実装しており、同期ダブル データ レート モードで動作する 4 つの差動データ レーンと 1 つの差動クロック レーンを備えています。DSI タイミングの詳細については、上記の各 MIPI 仕様を参照してください。

- 各レーンで最大 2.5Gbps の 1、2、3、4 レーン データ転送モードを最大 7.2Gbps までサポート

### 6.12.5.6 DSS

表 6-44、表 6-45、図 6-35、表 6-46 および 図 6-36 に、DSS のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-44. DSS のタイミング条件

| パラメータ                                 |                      | 最小値  | 最大値  | 単位   |
|---------------------------------------|----------------------|------|------|------|
| 入力条件                                  |                      |      |      |      |
| SR <sub>i</sub>                       | 入力スルーレート             | 1.44 | 26.4 | V/ns |
| 出力条件                                  |                      |      |      |      |
| C <sub>L</sub>                        | 出力負荷容量               | 1.5  | 5    | pF   |
| PCB 接続要件                              |                      |      |      |      |
| t <sub>d</sub> (Trace Mismatch Delay) | すべてのパターンにわたる伝搬遅延の不整合 |      | 100  | ps   |

表 6-45. DSS 外部ピクセル クロックのタイミング要件

図 6-35 参照

| 番号 |                             |  | 最小値                   | 最大値 | 単位 |
|----|-----------------------------|--|-----------------------|-----|----|
| D6 | t <sub>c</sub> (extpclkin)  | サイクル時間、VOUT(x)_EXTPCLKIN <sup>(2)</sup>    | 6.06                  |     | ns |
| D7 | t <sub>w</sub> (extpclkinL) | パルス幅、VOUT(x)_EXTPCLKIN <sup>(2)</sup> low  | 0.475P <sup>(1)</sup> |     | ns |
| D8 | t <sub>w</sub> (extpclkinH) | パルス幅、VOUT(x)_EXTPCLKIN <sup>(2)</sup> high | 0.475P <sup>(1)</sup> |     | ns |

(1) P = VOUT(x)\_EXTPCLKIN サイクル時間 (ns)

(2) VOUT(x) = 0 の x

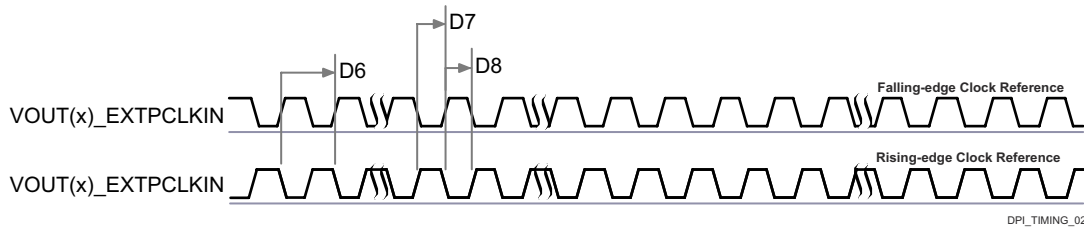


図 6-35. DSS 外部ピクセル クロックのタイミング要件

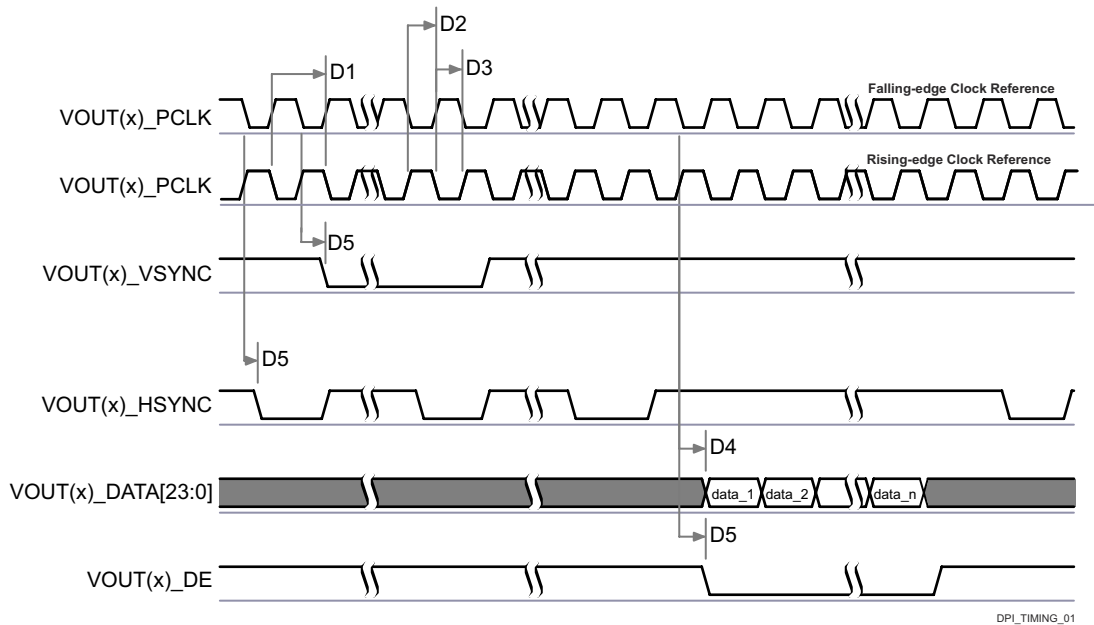
表 6-46. DSS スイッチング特性

図 6-36 参照

| 番号 | パラメータ                       |  | モード       | 最小値                         | 最大値  | 単位 |
|----|-----------------------------|--|-----------|-----------------------------|------|----|
| D1 | $t_{c(\text{pclk})}$        | サイクル時間、VOUT(x)_PCLK <sup>(2)</sup>   |           | 6.06                        |      | ns |
| D2 | $t_{w(\text{pclkL})}$       | パルス幅、VOUT(x)_PCLK <sup>(2)</sup> low   | 内蔵 PLL    | 0.475P <sup>(1)</sup> - 0.3 |      | ns |
|    |                             |  | EXTPCLKIN | Y <sup>(3)</sup> - 0.45     |      | ns |
| D3 | $t_{w(\text{pclkH})}$       | パルス幅、VOUT(x)_PCLK <sup>(2)</sup> high  | 内蔵 PLL    | 0.475P <sup>(1)</sup> - 0.3 |      | ns |
|    |                             |  | EXTPCLKIN | Z <sup>(4)</sup> - 0.45     |      | ns |
| D4 | $t_{d(\text{pclkV-dataV})}$ | 遅延時間、VOUT(x)_PCLK <sup>(2)</sup> 遷移から VOUT(x)_DATA[23:0] <sup>(2)</sup> 遷移まで   | 内蔵 PLL    | -0.68                       | 1.78 | ns |
|    |                             |  | EXTPCLKIN | -0.68                       | 1.78 | ns |
| D5 | $t_{d(\text{pclkV-ctrlL})}$ | 遅延時間、VOUT(x)_PCLK <sup>(2)</sup> 遷移から制御信号 VOUT(x)_VSYNC <sup>(2)</sup> 、VOUT(x)_HSYNC <sup>(2)</sup> 、VOUT(x)_DE <sup>(2)</sup> 立ち下がりエッジまで | 内蔵 PLL    | -0.68                       | 1.78 | ns |
|    |                             |  | EXTPCLKIN | -0.68                       | 1.78 | ns |

(1) P = VOUT(x)\_PCLK サイクル時間 (ns)

(2) VOUT(x) = 0 の x

(3) Y =  $t_{w(\text{extpclkInL})}$ 、表 6-45 のパラメータ D7、DSS 外部ピクセル クロックのタイミング要件(4) Z =  $t_{w(\text{extpclkInH})}$ 、表 6-45 のパラメータ D8、DSS 外部ピクセル クロックのタイミング要件

DPL\_TIMING\_01

- A. データのアサートは、ピクセル クロックの立ち下がりエッジまたは立ち上がりエッジで発生するようにプログラムできます。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS)」セクションを参照してください。
- B. VOUT(x)\_HSYNC および VOUT(x)\_VSYNC の極性とパルス幅はプログラム可能です。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS)」セクションを参照してください。
- C. VOUT(x)\_PCLK 周波数は設定できます。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム」セクションを参照してください。

図 6-36. DSS スイッチング特性

デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS) およびペリフェラル」セクションを参照してください。

### 6.12.5.7 ECAP

表 6-47、表 6-48、図 6-37、表 6-49、図 6-38 に、ECAP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-47. ECAP のタイミング条件

| パラメータ           |          | 最小値 | 最大値 | 単位   |
|-----------------|----------|-----|-----|------|
| 入力条件            |          |     |     |      |
| SR <sub>i</sub> | 入力スルーレート | 1   | 4   | V/ns |
| 出力条件            |          |     |     |      |
| C <sub>L</sub>  | 出力負荷容量   | 2   | 7   | pF   |

表 6-48. ECAP のタイミング要件

図 6-37 参照

| 番号   | パラメータ                | 説明             | 最小値                   | 最大値 | 単位 |
|------|----------------------|----------------|-----------------------|-----|----|
| CAP1 | t <sub>w</sub> (CAP) | パルス幅、CAP (非同期) | 2P <sup>(1)</sup> + 2 |     | ns |

(1) P = MAIN\_SYSCCLK0/4 周期 (ns 単位)。

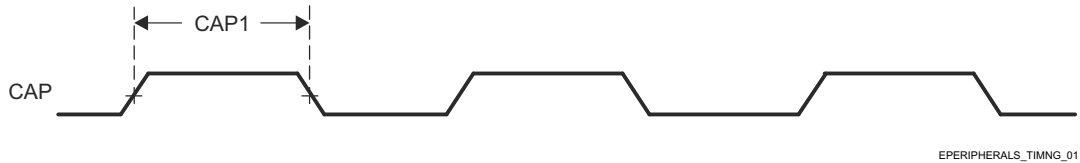


図 6-37. ECAP のタイミング要件

表 6-49. ECAP スwitching特性

図 6-38 参照

| 番号   | パラメータ                 | 説明                  | 最小値                   | 最大値 | 単位 |
|------|-----------------------|---------------------|-----------------------|-----|----|
| CAP2 | t <sub>w</sub> (APWM) | パルス幅、APWMx High/Low | 2P <sup>(1)</sup> - 2 |     | ns |

(1) P = MAIN\_SYSCCLK0/4 周期 (ns 単位)。

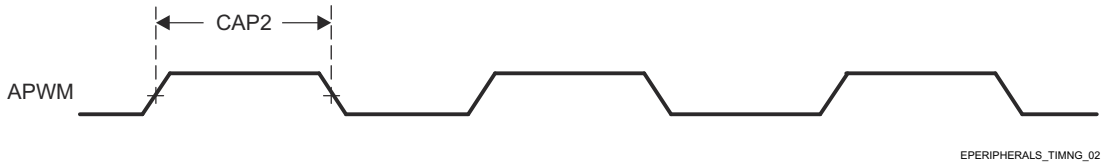


図 6-38. ECAP スwitching特性

詳細については、デバイス TRM のテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

### 6.12.5.8 エミュレーションおよびデバッグ

本デバイスのトレースおよび JTAG インターフェイスの機能および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

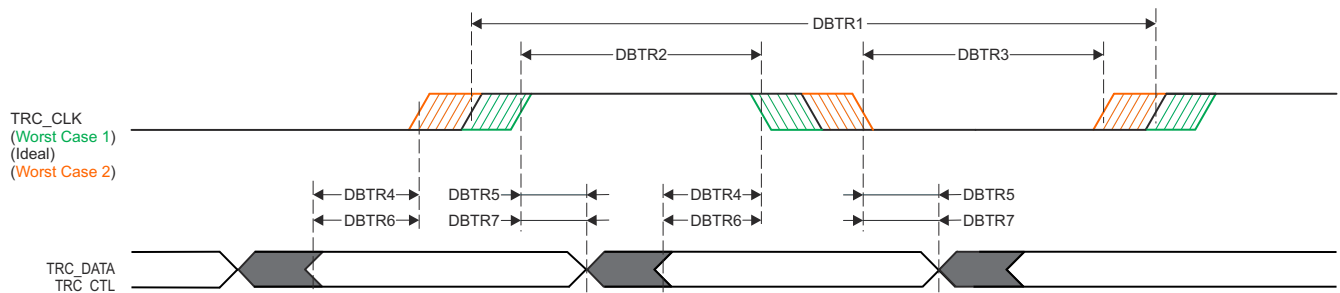
#### 6.12.5.8.1 トレース

表 6-50. トレースのタイミング条件

| パラメータ                  |                      | 最小値 | 最大値 | 単位 |
|------------------------|----------------------|-----|-----|----|
| <b>出力条件</b>            |                      |     |     |    |
| $C_L$                  | 出力負荷容量               | 2   | 5   | pF |
| <b>PCB 接続要件</b>        |                      |     |     |    |
| $t_d$ (Trace Mismatch) | すべてのパターンにわたる伝搬遅延の不整合 |     | 200 | ps |

表 6-51. トレースのスイッチング特性

| 番号              | パラメータ  | 最小値  | 最大値 | 単位 |
|-----------------|--|------|-----|----|
| <b>1.8V モード</b> |  |      |     |    |
| DBTR1           | $t_c$ (TRC_CLK) サイクル時間、TRC_CLK                                       | 6.83 |     | ns |
| DBTR2           | $t_w$ (TRC_CLKH) パルス幅、TRC_CLK high                                   | 2.66 |     | ns |
| DBTR3           | $t_w$ (TRC_CLKL) パルス幅、TRC_CLK low                                    | 2.66 |     | ns |
| DBTR4           | $t_{osu}$ (TRC_DATAV-TRC_CLK) 出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで | 0.85 |     | ns |
| DBTR5           | $t_{oh}$ (TRC_CLK-TRC_DATAI) 出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで    | 0.85 |     | ns |
| DBTR6           | $t_{osu}$ (TRC_CTLV-TRC_CLK) 出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで   | 0.85 |     | ns |
| DBTR7           | $t_{oh}$ (TRC_CLK-TRC_CTLI) 出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで      | 0.85 |     | ns |
| <b>3.3V モード</b> |  |      |     |    |
| DBTR1           | $t_c$ (TRC_CLK) サイクル時間、TRC_CLK                                       | 8.78 |     | ns |
| DBTR2           | $t_w$ (TRC_CLKH) パルス幅、TRC_CLK high                                   | 3.64 |     | ns |
| DBTR3           | $t_w$ (TRC_CLKL) パルス幅、TRC_CLK low                                    | 3.64 |     | ns |
| DBTR4           | $t_{osu}$ (TRC_DATAV-TRC_CLK) 出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで | 1.10 |     | ns |
| DBTR5           | $t_{oh}$ (TRC_CLK-TRC_DATAI) 出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで    | 1.10 |     | ns |
| DBTR6           | $t_{osu}$ (TRC_CTLV-TRC_CLK) 出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで   | 1.10 |     | ns |
| DBTR7           | $t_{oh}$ (TRC_CLK-TRC_CTLI) 出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで      | 1.10 |     | ns |



SPRSP08\_Debug\_01

図 6-39. トレースのスイッチング特性

6.12.5.8.2 JTAG

表 6-52. JTAG のタイミング条件

| パラメータ                                 |                      | 最小値  | 最大値                 | 単位   |
|---------------------------------------|----------------------|------|---------------------|------|
| 入力条件                                  |                      |      |                     |      |
| SR <sub>I</sub>                       | 入力スルーレート             | 0.5  | 2.0                 | V/ns |
| 出力条件                                  |                      |      |                     |      |
| C <sub>L</sub>                        | 出力負荷容量               | 5    | 15                  | pF   |
| PCB 接続要件                              |                      |      |                     |      |
| t <sub>d</sub> (Trace Delay)          | 各パターンの伝搬遅延           | 83.5 | 1000 <sup>(1)</sup> | ps   |
| t <sub>d</sub> (Trace Mismatch Delay) | すべてのパターンにわたる伝搬遅延の不整合 |      | 100                 | ps   |

(1) JTAG 信号トレースに関連する最大伝搬遅延は、最大 TCK 動作周波数に大きな影響を及ぼします。トレース遅延をこの値より大きくすることも可能ですが、追加のトレース遅延を考慮して TCK の動作周波数を下げる必要があります。

表 6-53. JTAG のタイミング要件

図 6-40 参照

| 番号 | パラメータ                     | 説明                                | 最小値                 | 最大値 | 単位 |
|----|---------------------------|-----------------------------------|---------------------|-----|----|
| J1 | t <sub>c</sub> (TCK)      | 最小サイクル時間、TCK                      | 40 <sup>(1)</sup>   |     | ns |
| J2 | t <sub>w</sub> (TCKH)     | 最小パルス幅、TCK High                   | 0.4P <sup>(2)</sup> |     | ns |
| J3 | t <sub>w</sub> (TCKL)     | 最小パルス幅、TCK Low                    | 0.4P <sup>(2)</sup> |     | ns |
| J4 | t <sub>su</sub> (TDI-TCK) | 最小入力セットアップ時間、TDI 有効から TCK High まで | 2                   |     | ns |
|    | t <sub>su</sub> (TMS-TCK) | 最小入力セットアップ時間、TMS 有効から TCK High まで | 2                   |     | ns |
| J5 | t <sub>h</sub> (TCK-TDI)  | 最小入力ホールド時間、TCK High から TDI 有効の間   | 3                   |     | ns |
|    | t <sub>h</sub> (TCK-TMS)  | 最小入力ホールド時間、TCK High から TMS 有効の間   | 3                   |     | ns |

(1) 最大 TCK 動作周波数は、接続されているデバッガについて、以下のタイミング要件とスイッチング特性を想定しています。デバッガがこれらの前提のいずれかを上回る場合、適切なタイミング マージンを確保するために、TCK の動作周波数を下げる必要があります。

- 最小 TDO セットアップ時間は、TCK の立ち上がりエッジに対して 2ns
- TCK の立ち下がりエッジに対して -12.9ns~13.9ns の範囲の TDI および TMS 出力遅延

(2) P = TCK サイクル時間 (ns 単位)

表 6-54. JTAG スwitching特性

図 6-40 参照

| 番号 | パラメータ                      | 説明                         | 最小値 | 最大値 | 単位 |
|----|----------------------------|----------------------------|-----|-----|----|
| J6 | t <sub>d</sub> (TCKL-TDOl) | 最小遅延時間、TCK Low から TDO 無効まで | 0   |     | ns |
| J7 | t <sub>d</sub> (TCKL-TDOV) | 最大遅延時間、TCK Low から TDO 有効まで |     | 12  | ns |

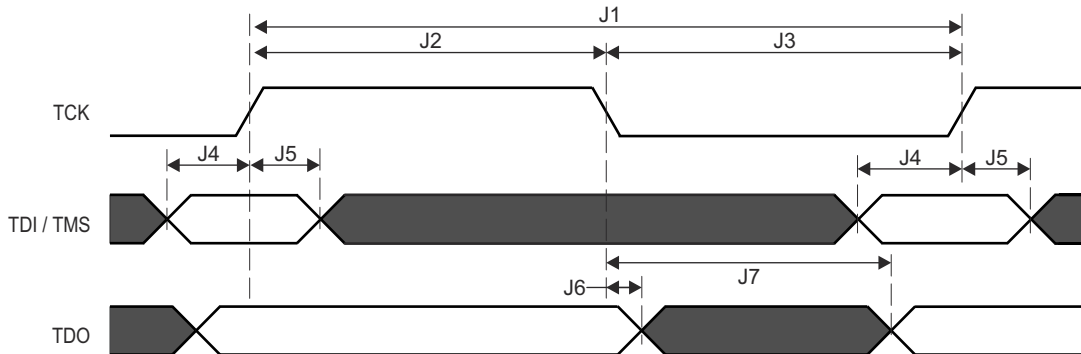


図 6-40. JTAG のタイミング要件およびスイッチング特性

## 6.12.5.9 EPWM

表 6-55、表 6-56、[図 6-41](#)、表 6-57、[図 6-42](#)、[図 6-43](#)、[図 6-44](#) に、EPWM のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-55. EPWM のタイミング条件

| パラメータ           |          | 最小値 | 最大値 | 単位   |
|-----------------|----------|-----|-----|------|
| 入力条件            |          |     |     |      |
| SR <sub>i</sub> | 入力スルーレート | 1   | 4   | V/ns |
| 出力条件            |          |     |     |      |
| C <sub>L</sub>  | 出力負荷容量   | 2   | 7   | pF   |

表 6-56. EPWM のタイミング要件

[図 6-41](#) 参照

| 番号   | パラメータ                   | 説明                     | 最小値                   | 最大値 | 単位 |
|------|-------------------------|------------------------|-----------------------|-----|----|
| PWM6 | t <sub>w</sub> (SYNCIN) | パルス幅、EHRPWM_SYNCIN     | 2P <sup>(1)</sup> + 2 |     | ns |
| PWM7 | t <sub>w</sub> (TZ)     | パルス幅、EHRPWM_TZn_IN low | 3P <sup>(1)</sup> + 2 |     | ns |

(1) P = MAIN\_SYSCCLK0/2 周期 (ns 単位)。

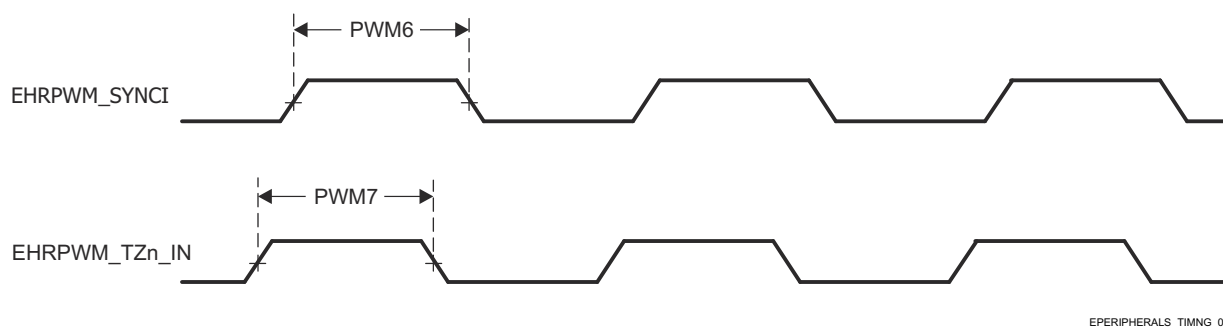


図 6-41. EPWM のタイミング要件

表 6-57. EPWM スイッチング特性

図 6-42、図 6-43、図 6-44 を参照

| 番号   | パラメータ                 | 説明   | 最小値           | 最大値 | 単位 |
|------|-----------------------|--|---------------|-----|----|
| PWM1 | $t_w(\text{PWM})$     | パルス幅、EHRPWM_A/B High または Low                               | $P^{(1)} - 3$ |     | ns |
| PWM2 | $t_w(\text{SYNCO})$   | パルス幅、EHRPWM_SYNCO  | $P^{(1)} - 3$ |     | ns |
| PWM3 | $t_d(\text{TZ-PWM})$  | 遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B が強制的に High/Low になるまで |               | 11  | ns |
| PWM4 | $t_d(\text{TZ-PWMZ})$ | 遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B Hi-Z まで              |               | 11  | ns |
| PWM5 | $t_w(\text{SOC})$     | パルス幅、EHRPWM_SOCA/B 出力                                      | $P^{(1)} - 3$ |     | ns |

(1)  $P = \text{MAIN\_SYSCLK}/2$  周期 (ns 単位)。

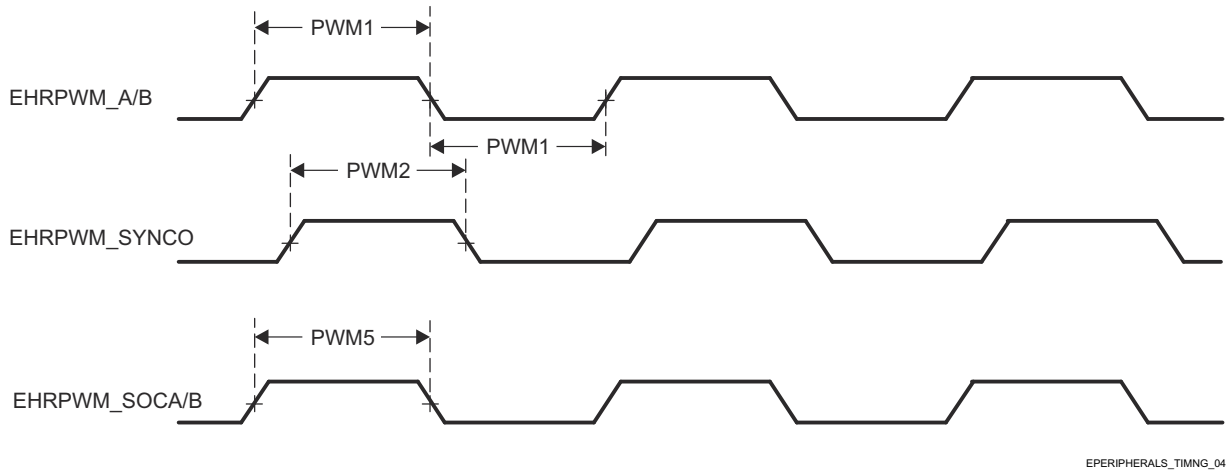


図 6-42. EHRPWM スイッチング特性

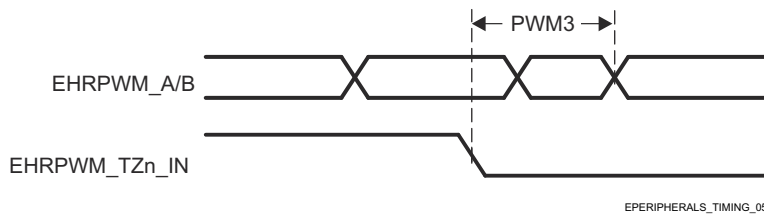


図 6-43. EHRPWM\_TZn\_IN から EHRPWM\_A/B 強制へのスイッチング特性

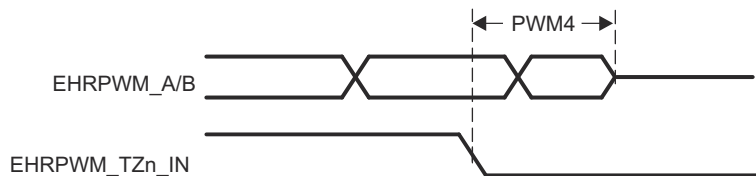


図 6-44. EHRPWM\_TZn\_IN から EHRPWM\_A/B Hi-Z へのスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

## 6.12.5.10 EQEP

表 6-58、表 6-59、図 6-45、表 6-60 に、EQEP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-58. EQEP のタイミング条件

| パラメータ           |          | 最小値 | 最大値 | 単位   |
|-----------------|----------|-----|-----|------|
| 入力条件            |          |     |     |      |
| SR <sub>I</sub> | 入力スルーレート | 1   | 4   | V/ns |
| 出力条件            |          |     |     |      |
| C <sub>L</sub>  | 出力負荷容量   | 2   | 7   | pF   |

表 6-59. EQEP のタイミング要件

図 6-45 参照

| 番号   | パラメータ                   | 説明              | 最小値                   | 最大値 | 単位 |
|------|-------------------------|-----------------|-----------------------|-----|----|
| QEP1 | t <sub>w</sub> (QEP)    | パルス幅、QEP_A/B    | 2P <sup>(1)</sup> + 2 |     | ns |
| QEP2 | t <sub>w</sub> (QEPIH)  | パルス幅、QEP_I high | 2P <sup>(1)</sup> + 2 |     | ns |
| QEP3 | t <sub>w</sub> (QEPIL)  | パルス幅、QEP_I low  | 2P <sup>(1)</sup> + 2 |     | ns |
| QEP4 | t <sub>w</sub> (QEP SH) | パルス幅、QEP_S high | 2P <sup>(1)</sup> + 2 |     | ns |
| QEP5 | t <sub>w</sub> (QEP SL) | パルス幅、QEP_S low  | 2P <sup>(1)</sup> + 2 |     | ns |

(1) P = MAIN\_SYSCCLK/4 周期 (ns 単位)。

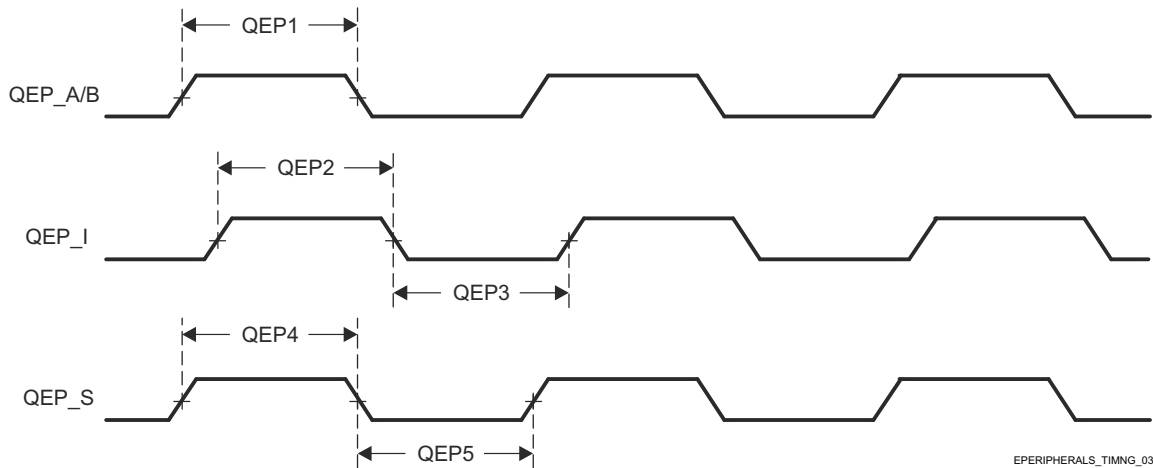


図 6-45. EQEP のタイミング要件

表 6-60. EQEP スwitching 特性

| 番号   | パラメータ                     | 説明                          | 最小値 | 最大値 | 単位 |
|------|---------------------------|-----------------------------|-----|-----|----|
| QEP6 | t <sub>d</sub> (QEP-CNTR) | 遅延時間、外部クロックからカウンタ インクリメントまで |     | 24  | ns |

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

### 6.12.5.11 GPIO

表 6-61、表 6-62、表 6-63 に、GPIO のタイミング条件、タイミング要件、スイッチング特性を示します。

このデバイスには、3 個の GPIO モジュール インスタンスがあります。

- MCU\_GPIO0
- GPIO0
- GPIO1

#### 注

GPIO<sub>n\_x</sub> は、GPIO 信号を記述するために使用される一般的な名前です。ここで、n は特定の GPIO モジュールを表し、x はモジュールに関連付けられた入出力信号の 1 つを表します。

本デバイスの GPIO の追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-61. GPIO のタイミング条件

| パラメータ           |          | バッファのタイプ                                 | 最小値    | 最大値  | 単位   |
|-----------------|----------|--|--------|------|------|
| 入力条件            |          |  |        |      |      |
| SR <sub>i</sub> | 入力スルーレート | LVC MOS<br>(VDD <sup>(1)</sup> = 1.8V)   | 0.0018 | 6.6  | V/ns |
|                 |          | LVC MOS<br>(VDD <sup>(1)</sup> = 3.3V)   | 0.0033 | 6.6  | V/ns |
|                 |          | I2C OD FS<br>(VDD <sup>(1)</sup> = 1.8V) | 0.0018 | 6.6  | V/ns |
|                 |          | I2C OD FS<br>(VDD <sup>(1)</sup> = 3.3V) | 0.0033 | 0.08 | V/ns |
| 出力条件            |          |  |        |      |      |
| C <sub>L</sub>  | 出力負荷容量   | LVC MOS                                  | 3      | 10   | pF   |
|                 |          | I2C OD FS                                | 3      | 100  | pF   |

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-62. GPIO のタイミング要件

| 番号    | パラメータ                    | 説明                       | 最小値                    | 最大値 | 単位 |
|-------|--------------------------|--------------------------|------------------------|-----|----|
| GPIO1 | t <sub>w</sub> (GPIO_IN) | パルス幅、GPIO <sub>n_x</sub> | 2P <sup>(1)</sup> + 30 |     | ns |

(1) P = 機能クロック周期 (ns 単位)。

表 6-63. GPIO スイッチング特性

| 番号    | パラメータ                     | 説明                       | バッファのタイプ  | 最小値                         | 最大値 | 単位 |
|-------|---------------------------|--------------------------|-----------|-----------------------------|-----|----|
| GPIO2 | t <sub>w</sub> (GPIO_OUT) | パルス幅、GPIO <sub>n_x</sub> | LVC MOS   | 0.975P <sup>(1)</sup> - 3.6 |     | ns |
|       |                           |                          | I2C OD FS | 160                         |     | ns |

(1) P = 機能クロック周期 (ns 単位)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

### 6.12.5.12 GPMC

本デバイスの汎用メモリコントローラの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-64 に、GPMC のタイミング条件を示します。

**表 6-64. GPMC のタイミング条件**

| パラメータ                                 |                      | 最小値          | 最大値 | 単位   |    |
|---------------------------------------|----------------------|--------------|-----|------|----|
| <b>入力条件</b>                           |                      |              |     |      |    |
| SR <sub>i</sub>                       | 入力スルーレート             | 1.65         | 4   | V/ns |    |
| <b>出力条件</b>                           |                      |              |     |      |    |
| C <sub>L</sub>                        | 出力負荷容量               | 2            | 20  | pF   |    |
| <b>PCB 接続要件</b>                       |                      |              |     |      |    |
| t <sub>d</sub> (Trace Delay)          | 各パターンの伝搬遅延           | 133MHz 同期モード | 140 | 360  | ps |
|                                       |                      | その他のすべてのモード  | 140 | 720  | ps |
| t <sub>d</sub> (Trace Mismatch Delay) | すべてのパターンにわたる伝搬遅延の不整合 |              | 200 | ps   |    |

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用メモリコントローラ (GPMC)」セクションを参照してください。

#### 6.12.5.12.1 GPMC および NOR フラッシュ — 同期モード

表 6-65 および 表 6-66 に、GPMC および NOR フラッシュ (同期モード) のタイミング要件とスイッチング特性を示します。

**表 6-65. GPMC および NOR フラッシュのタイミング要件 — 同期モード**

図 6-46、図 6-47、図 6-50 を参照

| 番号  | パラメータ                        | 説明   | 最小値  | 最大値 | 単位 |
|-----|------------------------------|--|------|-----|----|
| F12 | t <sub>su</sub> (dV-clkH)    | セットアップ時間、GPMC_CLK High の前に GPMC_AD[15:0] 有効                        | 0.92 |     | ns |
| F13 | t <sub>h</sub> (clkH-dV)     | ホールド時間、GPMC_CLK High の後 GPMC_AD[15:0] 有効                           | 2.09 |     | ns |
| F21 | t <sub>su</sub> (waitV-clkH) | セットアップ時間、GPMC_CLK が High になる前に GPMC_WAIT[j] <sup>(1) (2)</sup> が有効 | 0.92 |     | ns |
| F22 | t <sub>h</sub> (clkH-waitV)  | ホールド時間、 <sup>(1) (2)</sup> GPMC_CLK が High になった後に GPMC_WAIT[j] が有効 | 2.09 |     | ns |

(1) GPMC\_WAIT[j] で、j は 0 または 1 です。

(2) 待機モニタリングのサポートは、WaitMonitoringTime の値 > 0 に制限されます。待機監視機能の詳細な説明については、デバイスのテクニカル リファレンス マニュアルで「汎用メモリコントローラ (GPMC)」セクションを参照してください。

**表 6-66. GPMC および NOR フラッシュのスイッチング特性 - 同期モード**

図 6-46、図 6-47、図 6-48、図 6-49、図 6-50 を参照

| 番号 | パラメータ                      | 説明  | 最小値                          | 最大値                     | 単位 |
|----|----------------------------|---|------------------------------|-------------------------|----|
| F0 | t <sub>c</sub> (clk)       | サイクル時間、GPMC_CLK <sup>(16)</sup>                           | 7.52                         |                         | ns |
| F1 | t <sub>w</sub> (clkH)      | 標準パルス期間、GPMC_CLK high                                     | 0.475P <sup>(13)</sup> - 0.3 |                         | ns |
| F1 | t <sub>w</sub> (clkL)      | 標準パルス期間、GPMC_CLK low                                      | 0.475P <sup>(13)</sup> - 0.3 |                         | ns |
| F2 | t <sub>d</sub> (clkH-csnV) | 遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_CSn[j] 遷移まで <sup>(12)</sup> | F <sup>(5)</sup> - 2.2       | F <sup>(5)</sup> + 3.75 | ns |

表 6-66. GPMC および NOR フラッシュのスイッチング特性 - 同期モード (続き)

図 6-46、図 6-47、図 6-48、図 6-49、図 6-50 を参照

| 番号  | パラメータ                              | 説明   | 最小値                    | 最大値                    | 単位 |
|-----|------------------------------------|--|------------------------|------------------------|----|
| F3  | $t_{d(\text{clkH-CSn}[i]V)}$       | 遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_CS <i>n</i> [ <i>i</i> ] 無効まで <sup>(12)</sup>            | D <sup>(4)</sup> - 2.2 | D <sup>(4)</sup> + 4.5 | ns |
| F4  | $t_{d(aV\text{-clk})}$             | 遅延時間、GPMC_A[27:1] が有効になってから GPMC_CLK 最初のエッジまで  | B <sup>(2)</sup> - 2.3 | B <sup>(2)</sup> + 4.5 | ns |
| F5  | $t_{d(\text{clkH-aIV})}$           | 遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_A[27:1] 無効まで   | -2.3                   | 4.5                    | ns |
| F6  | $t_{d(\text{be}[x]nV\text{-clk})}$ | 遅延時間、GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> から GPMC_CLK の最初のエッジまで有効                  | B <sup>(2)</sup> - 2.3 | B <sup>(2)</sup> + 1.9 | ns |
| F7  | $t_{d(\text{clkH-be}[x]nIV})}$     | 遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> 無効まで                 | D <sup>(4)</sup> - 2.3 | D <sup>(4)</sup> + 1.9 | ns |
| F8  | $t_{d(\text{clkH-advn})}$          | 遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_ADV <i>n</i> _ALE 遷移まで                                   | G <sup>(6)</sup> - 2.3 | G <sup>(6)</sup> + 4.5 | ns |
| F9  | $t_{d(\text{clkH-advnIV})}$        | 遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_ADV <i>n</i> _ALE 無効まで                                   | D <sup>(4)</sup> - 2.3 | D <sup>(4)</sup> + 4.5 | ns |
| F10 | $t_{d(\text{clkH-oen})}$           | 遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_OE <i>n</i> _REN 遷移まで                                    | H <sup>(7)</sup> - 2.3 | H <sup>(7)</sup> + 3.5 | ns |
| F11 | $t_{d(\text{clkH-oenIV})}$         | 遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_OE <i>n</i> _REN 無効まで                                    | D <sup>(4)</sup> - 2.3 | D <sup>(4)</sup> + 3.5 | ns |
| F14 | $t_{d(\text{clkH-wen})}$           | 遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_WE <i>n</i> 遷移まで   | I <sup>(8)</sup> - 2.3 | I <sup>(8)</sup> + 4.5 | ns |
| F15 | $t_{d(\text{clkH-do})}$            | 遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_AD[15:0] 遷移まで <sup>(9)</sup>                             | -2.3                   | 2.7                    | ns |
| F15 | $t_{d(\text{clkL-do})}$            | 遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データバス遷移まで <sup>(10)</sup>                       | -2.3                   | 2.7                    | ns |
| F15 | $t_{d(\text{clkL-do})}$            | 遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データバス遷移まで <sup>(11)</sup>                       | -2.3                   | 2.7                    | ns |
| F17 | $t_{d(\text{clkH-be}[x]n)}$        | 遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> 遷移まで <sup>(9)</sup>  | -2.3                   | 1.9                    | ns |
| F17 | $t_{d(\text{clkL-be}[x]n)}$        | 遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> 遷移まで <sup>(10)</sup> | -2.3                   | 1.9                    | ns |
| F17 | $t_{d(\text{clkL-be}[x]n)}$        | 遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> 遷移まで <sup>(11)</sup> | -2.3                   | 1.9                    | ns |
| F18 | $t_{w(\text{csnV})}$               | パルス幅、GPMC_CS <i>n</i> [ <i>i</i> ] <sup>(12)</sup> low                                 | A <sup>(1)</sup>       |                        | ns |
| F19 | $t_{w(\text{be}[x]nV)}$            | パルス幅、GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> Low                                      | C <sup>(3)</sup>       |                        | ns |
| F20 | $t_{w(\text{advnV})}$              | パルス幅、GPMC_ADV <i>n</i> _ALE low  | K <sup>(14)</sup>      |                        | ns |

- (1) 単一読み取りの場合:  $A = (\text{CSRdOffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(15)}$   
 単一書き込みの場合:  $A = (\text{CSWrOffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(15)}$   
 バースト読み取りの場合:  $A = (\text{CSRdOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(15)}$   
 バースト書き込みの場合:  $A = (\text{CSWrOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(15)}$   
 n はページバーストアクセス数。
- (2) アドレスバス/バイトイネーブルはサイクル開始時に有効となり、GPMC\_CLK のアクティブ化タイミングはサイクル開始後に遅延する場合があります  
 $B = \text{ClkActivationTime} \times \text{GPMC\_FCLK}^{(15)}$
- (3) 単一読み取りの場合:  $C = \text{RdCycleTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(15)}$   
 単一書き込みの場合:  $C = \text{WrCycleTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(15)}$   
 バースト読み取りの場合:  $C = (\text{RdCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(15)}$   
 バースト書き込みの場合:  $C = (\text{WrCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(15)}$   
 n はページバーストアクセス数。
- (4) 単一読み取りの場合:  $D = (\text{RdCycleTime} - \text{RdAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(15)}$   
 単一書き込みの場合:  $D = (\text{WrCycleTime} - \text{WrAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(15)}$

バースト読み取りの場合:  $D = (\text{RdCycleTime} - \text{RdAccessTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(15)}$

バースト書き込みの場合:  $D = (\text{WrCycleTime} - \text{WrAccessTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(15)}$

n はページバースト アクセス数。

(5) CSn 立ち下がりエッジ時 (CS 起動時):

- Case GPMCFCLKDIVIDER = 0:
  - $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
  - $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if (ClkActivationTime および CSOnTime が奇数) or (ClkActivationTime および CSOnTime が偶数)
  - $F = (1 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  otherwise
- Case GPMCFCLKDIVIDER = 2:
  - $f = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if ((CSOnTime - ClkActivationTime) が 3 の倍数)
  - $F = (1 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((CSOnTime - ClkActivationTime - 1) が 3 の倍数)
  - $F = (2 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((CSOnTime - ClkActivationTime - 2) が 3 の倍数)

CSn 立ち上がりエッジ時 CS 非アクティブ時、読み取りモード:

- Case GPMCFCLKDIVIDER = 0:
  - $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
  - $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  (ClkActivationTime と CSRdOffTime が奇数) または (ClkActivationTime と CSRdOffTime が偶数) の場合
  - $F = (1 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  otherwise
- Case GPMCFCLKDIVIDER = 2:
  - $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  ((CSRdOffTime - ClkActivationTime) が 3 の倍数の場合)
  - $F = (1 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  ((CSRdOffTime - ClkActivationTime - 1) が 3 の倍数の場合)
  - $F = (2 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  ((CSRdOffTime - ClkActivationTime - 2) が 3 の倍数の場合)

書き込みモードでの CSn 立ち上がりエッジ (CS が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
  - $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  (ClkActivationTime と CSWrOffTime が奇数) または (ClkActivationTime と CSWrOffTime が偶数) の場合
  - $F = (1 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  otherwise
- Case GPMCFCLKDIVIDER = 2:
  - $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  ((CSWrOffTime - ClkActivationTime) が 3 の倍数の場合)
  - $F = (1 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  ((CSWrOffTime - ClkActivationTime - 1) が 3 の倍数の場合)
  - $F = (2 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  ((CSWrOffTime - ClkActivationTime - 2) が 3 の倍数の場合)

(6) ADV 立ち下がりエッジ (ADV がアクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
  - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if (ClkActivationTime および ADVOnTime が奇数) or (ClkActivationTime および ADVOnTime が偶数)
  - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  otherwise
- Case GPMCFCLKDIVIDER = 2:
  - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if ((ADVOnTime - ClkActivationTime) が 3 の倍数)
  - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((ADVOnTime - ClkActivationTime - 1) が 3 の倍数)
  - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((ADVOnTime - ClkActivationTime - 2) が 3 の倍数)

読み取りモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:

- $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
  - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if (ClkActivationTime および ADVRdOffTime が奇数) or (ClkActivationTime および ADVRdOffTime が偶数)
  - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  otherwise
- Case GPMCFCLKDIVIDER = 2:
  - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if ((ADVRdOffTime - ClkActivationTime) が 3 の倍数)
  - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((ADVRdOffTime - ClkActivationTime - 1) が 3 の倍数)
  - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((ADVRdOffTime - ClkActivationTime - 2) が 3 の倍数)

書き込みモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
  - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if (ClkActivationTime および ADVWrOffTime が奇数) または (ClkActivationTime および ADVWrOffTime が偶数)
  - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  otherwise
- Case GPMCFCLKDIVIDER = 2:
  - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if ((ADVWrOffTime - ClkActivationTime) が 3 の倍数)
  - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((ADVWrOffTime - ClkActivationTime - 1) が 3 の倍数)
  - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((ADVWrOffTime - ClkActivationTime - 2) が 3 の倍数)

(7) OE の立ち下がりエッジ (OE がアクティブ) および IO DIR の立ち上がりエッジ (データバスが入力方向) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
  - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if (ClkActivationTime および OEOnTime が奇数) または (ClkActivationTime および OEOnTime が偶数)
  - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  otherwise
- Case GPMCFCLKDIVIDER = 2:
  - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if ((OEOnTime - ClkActivationTime) が 3 の倍数)
  - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((OEOnTime - ClkActivationTime - 1) が 3 の倍数)
  - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((OEOnTime - ClkActivationTime - 2) が 3 の倍数)

OE 立ち上がりエッジ (OE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
  - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if (ClkActivationTime および OEOffTime が奇数) または (ClkActivationTime および OEOffTime が偶数)
  - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  otherwise
- Case GPMCFCLKDIVIDER = 2:
  - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if ((OEOffTime - ClkActivationTime) が 3 の倍数)
  - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((OEOffTime - ClkActivationTime - 1) が 3 の倍数)
  - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((OEOffTime - ClkActivationTime - 2) が 3 の倍数)

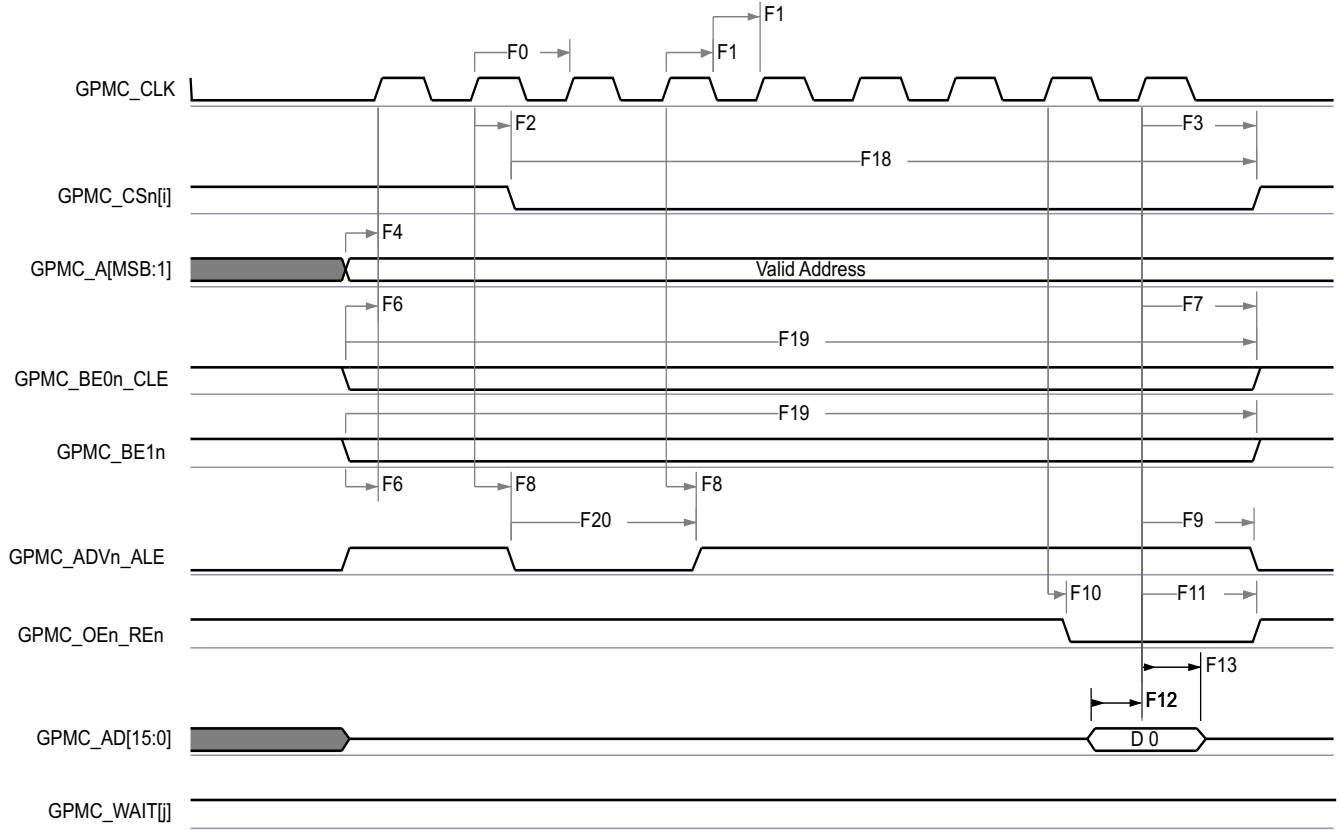
(8) WE 立ち下がりエッジ (WE がアクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
  - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if (ClkActivationTime および WEOnTime が奇数) or (ClkActivationTime および WEOnTime が偶数)
  - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  otherwise
- Case GPMCFCLKDIVIDER = 2:

- $I = 0.5 \times \text{WEEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if  $((\text{WEOnTime} - \text{ClkActivationTime})$  が 3 の倍数)
- $I = (1 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if  $((\text{WEOnTime} - \text{ClkActivationTime} - 1)$  が 3 の倍数)
- $I = (2 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if  $((\text{WEOnTime} - \text{ClkActivationTime} - 2)$  が 3 の倍数)

WE 立ち上がりエッジ (WE が非アクティブ) の場合:

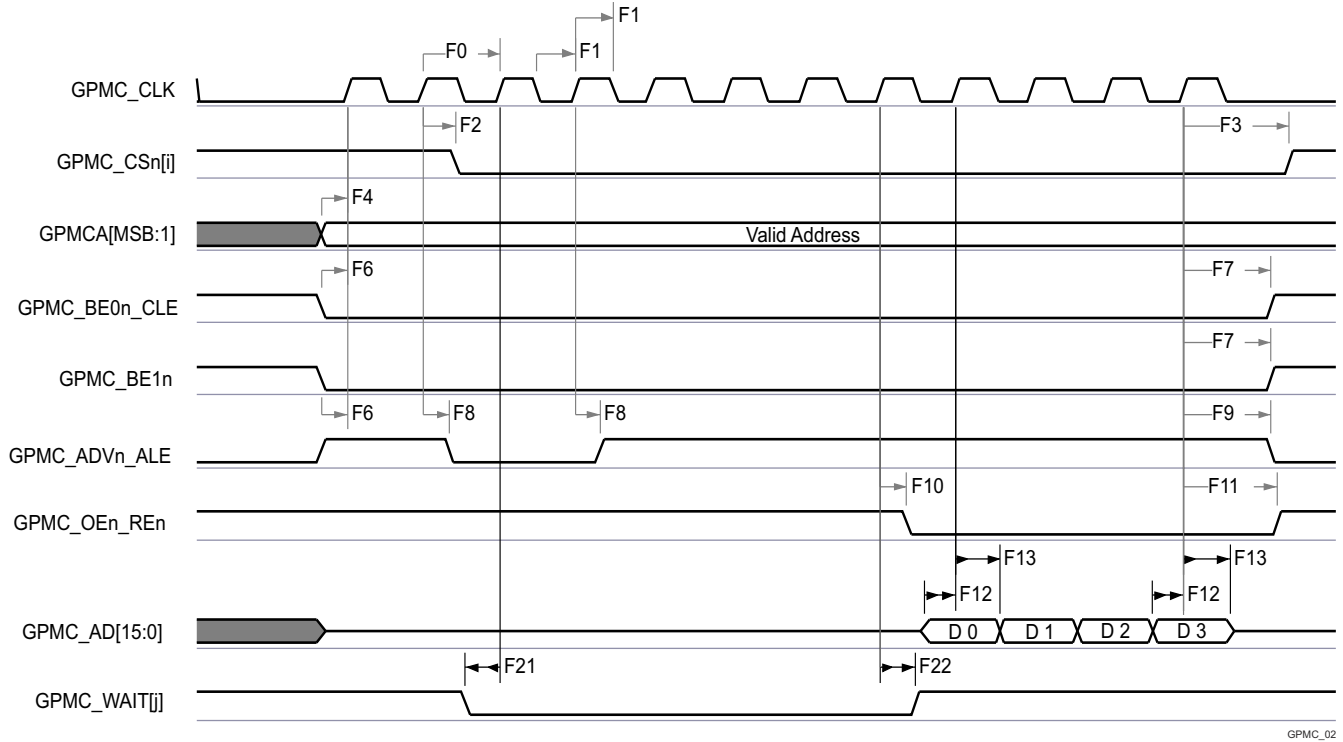
- Case GPMCFCLKDIVIDER = 0:
    - $I = 0.5 \times \text{WEEExtraDelay} \times \text{GPMC\_FCLK}^{(13)}$
  - Case GPMCFCLKDIVIDER = 1:
    - $I = 0.5 \times \text{WEEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if (ClkActivationTime および WEOffTime が奇数) or (ClkActivationTime および WEOffTime が偶数)
    - $I = (1 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  otherwise
  - Case GPMCFCLKDIVIDER = 2:
    - $I = 0.5 \times \text{WEEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if  $((\text{WEOffTime} - \text{ClkActivationTime})$  が 3 の倍数)
    - $I = (1 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if  $((\text{WEOffTime} - \text{ClkActivationTime} - 1)$  が 3 の倍数)
    - $I = (2 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if  $((\text{WEOffTime} - \text{ClkActivationTime} - 2)$  が 3 の倍数)
- (9) ケース CLK DIV 1 モード、最初の転送のみの場合: データおよびバイト イネーブルは GPMC\_CLK の立ち上がりエッジで遷移します
- 非多重化モード: サイクル開始時のデータ遷移
  - 多重化モード:  $\text{WRDATAONADMUXBUS} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}$  でのデータ遷移<sup>(15)</sup>
- (10) ケース: CLK DIV 1 モード、初回転送以降のすべてのデータおよびバイト イネーブル: データおよびバイト イネーブルは GPMC\_CLK の立ち下がりエッジで遷移します (GPMC\_CLK の半周期)
- (11) CLK DIV 1 モード以外のケースモード (GPMC\_CLK を GPMC\_FCLK から分周): すべてのデータおよびバイトにより、GPMC\_CLK の立ち下がりエッジ (GPMC\_CLK の半周期) で遷移がイネーブルされます。ClkActivationTime、GPMCFCLKDIVIDER、RDACCESSTIME/WRACCESSTIME、および PAGEBURSTACCESSTIME の設定は、データおよびバイト イネーブルが GPMC\_CLK の立ち下がりエッジで遷移し (GPMC\_CLK の立ち上がりエッジでラッチされるように)、強制されるように構成する必要があります
- (12) GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。
- (13) P = GPMC\_CLK 周期 (ns 単位)
- (14) 読み出しの場合:  $K = (\text{ADVrdOffTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(15)}$   
書き込みの場合:  $K = (\text{ADVWrOffTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(15)}$
- (15) GPMC\_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
- (16) GPMC モジュールで、GPMC\_CONFIG1\_*i* 構成レジスタのビット フィールド GPMCFCLKDIVIDER の設定によりプログラム可能な、GPMC\_CLK 出力クロックの最高および最低周波数に関連します。



GPMC\_01

- A. GPMC\_CS[n][i] で、i は 0、1、2、または 3 です。
- B. GPMC\_WAIT[j] で、j は 0 または 1 です。

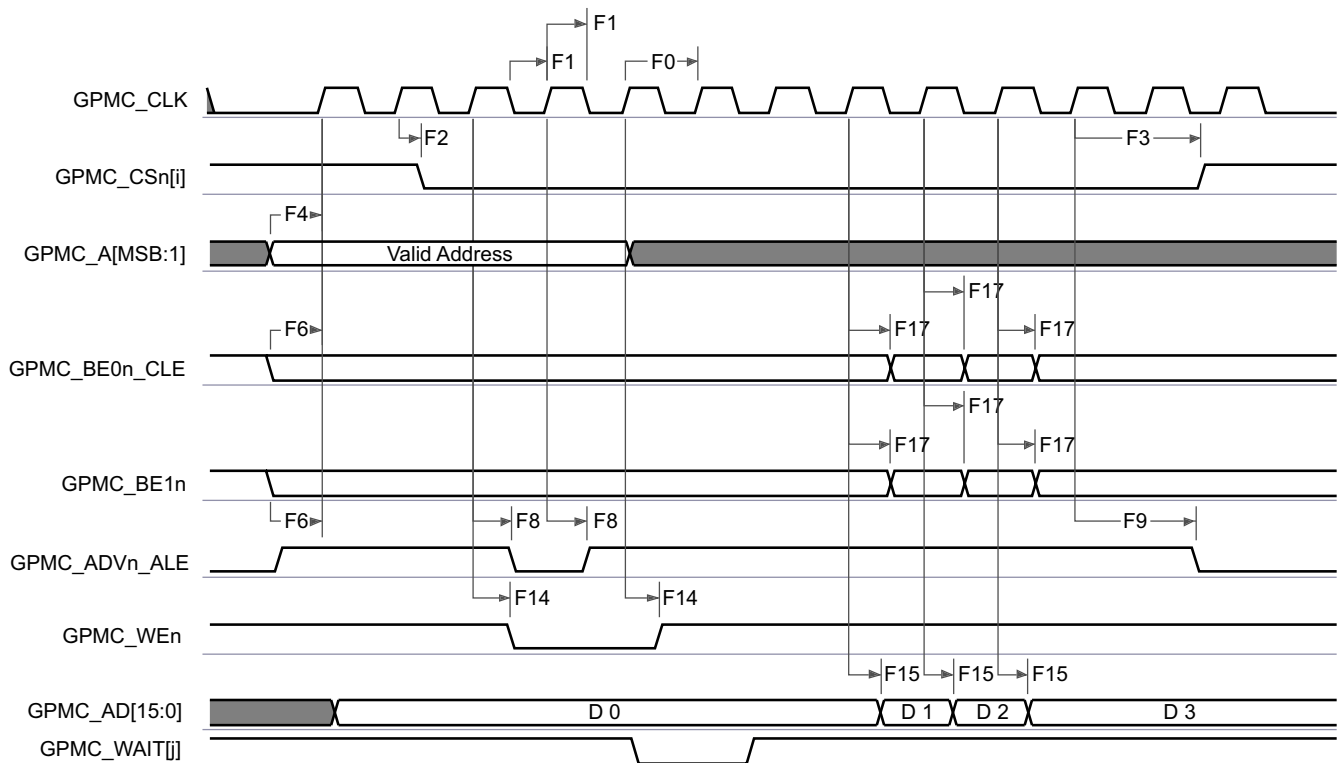
図 6-46. GPMC および NOR フラッシュ — 同期単一読み出し (GPMCFCLKDIVIDER = 0)



GPMC\_02

- A. GPMC\_CS[n] で、i は 0、1、2、または 3 です。
- B. GPMC\_WAIT[j] で、j は 0 または 1 です。

**図 6-47. GPMC および NOR フラッシュ — 同期バースト読み出し — 4x16 ビット (GPMCCLKDIVIDER = 0)**

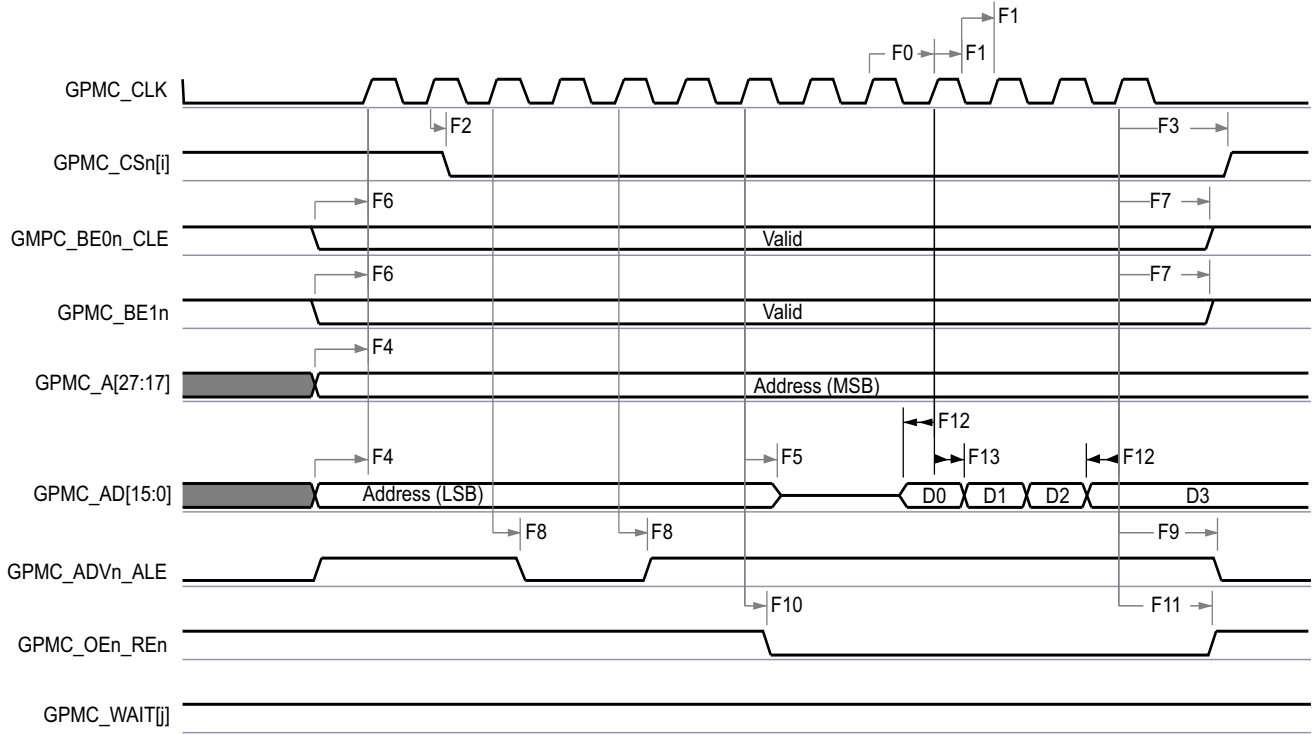


GPMC\_03

- A. GPMC\_CS[n] で、i は 0、1、2、または 3 です。

B. GPMC\_WAIT[j] で、j は 0 または 1 です。

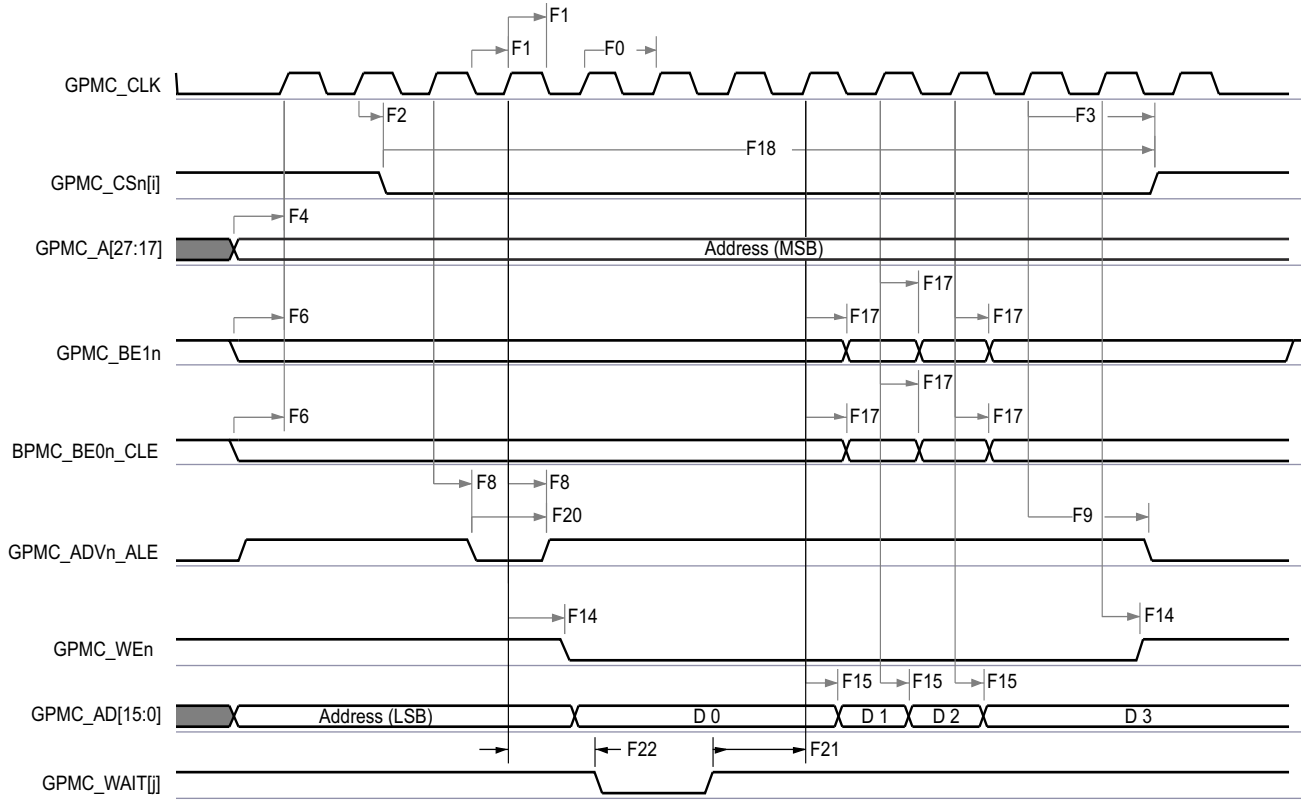
図 6-48. GPMC および NOR フラッシュ — 同期バースト書き込み (GPMCFCLKDIVIDER = 0)



GPMC\_D4

- A. GPMC\_CS[n] で、i は 0、1、2、または 3 です。  
B. GPMC\_WAIT[j] で、j は 0 または 1 です。

図 6-49. GPMC および多重化 NOR フラッシュ — 同期バースト読み出し



GPMC\_05

- A. GPMC\_CS[n][i] で、i は 0、1、2、または 3 です。
- B. GPMC\_WAIT[j] で、j は 0 または 1 です。

図 6-50. GPMC および多重化 NOR フラッシュ — 同期バースト書き込み

### 6.12.5.12.2 GPMC および NOR フラッシュ – 非同期モード

表 6-67 および 表 6-68 に、GPMC および NOR フラッシュ - 非同期モードのタイミング要件とスイッチング特性を示します。

表 6-67. GPMC および NOR フラッシュのタイミング要件 – 非同期モード

図 6-51、図 6-52、図 6-53、図 6-55 を参照

| 番号                  | パラメータ                | 説明                    | 最小値 | 最大値              | 単位 |
|---------------------|----------------------|-----------------------|-----|------------------|----|
| FA5 <sup>(1)</sup>  | $t_{acc(d)}$         | データ アクセス時間            |     | H <sup>(5)</sup> | ns |
| FA20 <sup>(2)</sup> | $t_{acc1-pgmode(d)}$ | ページ モードの連続データ アクセス時間  |     | P <sup>(4)</sup> | ns |
| FA21 <sup>(3)</sup> | $t_{acc2-pgmode(d)}$ | ページ モードの最初のデータ アクセス時間 |     | H <sup>(5)</sup> | ns |

- (1) FA5 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
- (2) FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 の値は、PageBurstAccessTime レジスタのビット フィールドに保存する必要があります。
- (3) FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページ データが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
- (4)  $P = PageBurstAccessTime \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(6)}$
- (5)  $H = AccessTime \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(6)}$
- (6) GPMC\_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

表 6-68. GPMC および NOR フラッシュのスイッチング特性 – 非同期モード

図 6-51、図 6-52、図 6-53、図 6-54、図 6-55、図 6-56 参照

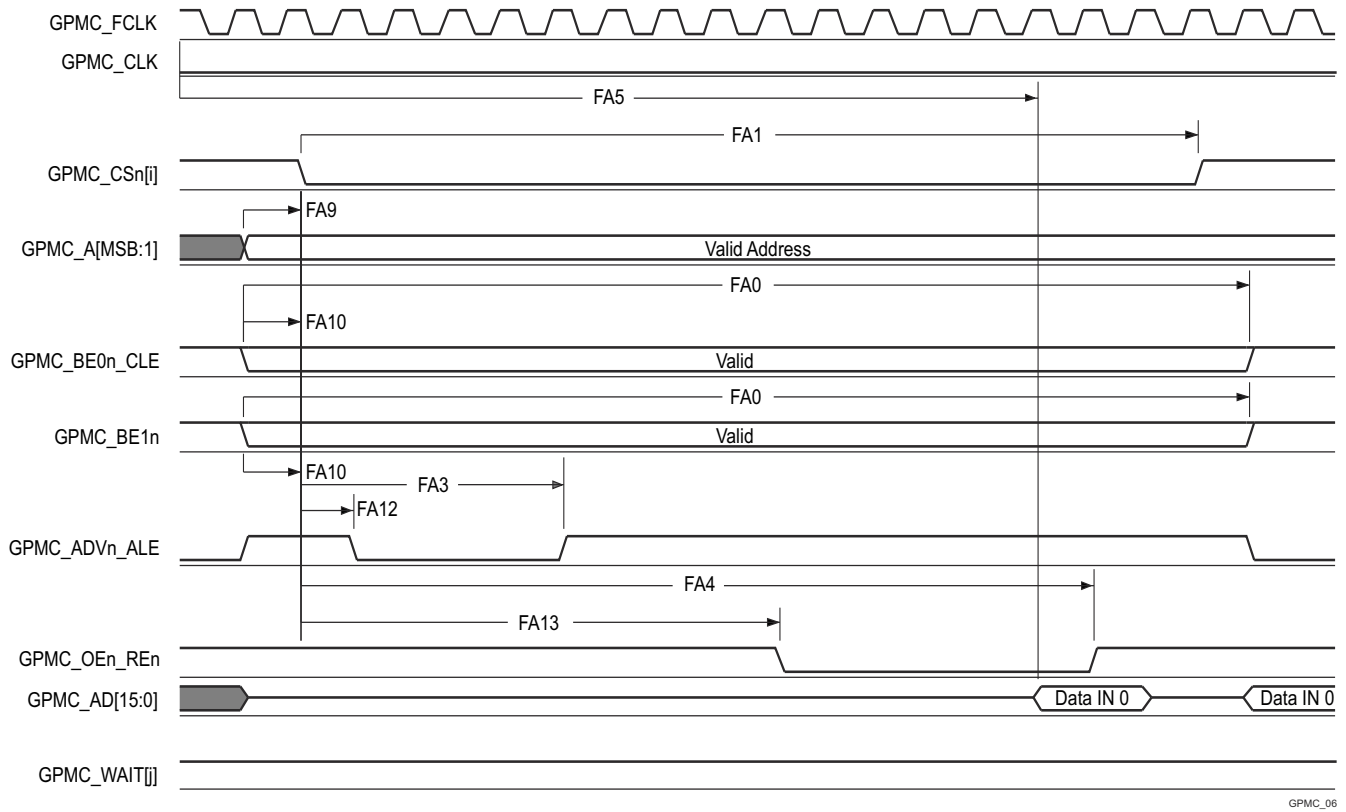
| 番号   | パラメータ                 | 説明  | 最小値                   | 最大値                   | 単位 |
|------|-----------------------|---|-----------------------|-----------------------|----|
| FA0  | $t_{w(be x nV)}$      | パルス幅、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効時間  |                       | N <sup>(12)</sup>     | ns |
| FA1  | $t_{w(csnV)}$         | パルス幅、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> low   |                       | A <sup>(1)</sup>      | ns |
| FA3  | $t_{d(csnV-advnV)}$   | 遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE 無効まで                   | B <sup>(2)</sup> - 2  | B <sup>(2)</sup> + 2  | ns |
| FA4  | $t_{d(csnV-oenV)}$    | 遅延時間、出力チップセレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から 出力イネーブル GPMC_OEn_REn 無効まで (単一読み取り)                                      | C <sup>(3)</sup> - 2  | C <sup>(3)</sup> + 2  | ns |
| FA9  | $t_{d(aV-csnV)}$      | 遅延時間、出力アドレス GPMC_A[27:1] 有効から出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効まで  | J <sup>(9)</sup> - 2  | J <sup>(9)</sup> + 2  | ns |
| FA10 | $t_{d(be x nV-csnV)}$ | 遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> まで | J <sup>(9)</sup> - 2  | J <sup>(9)</sup> + 2  | ns |
| FA12 | $t_{d(csnV-advnV)}$   | 遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から出力アドレス有効、アドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE 有効まで                     | K <sup>(10)</sup> - 2 | K <sup>(10)</sup> + 2 | ns |
| FA13 | $t_{d(csnV-oenV)}$    | 遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から出力イネーブル GPMC_OEn_REn 有効まで   | L <sup>(11)</sup> - 2 | L <sup>(11)</sup> + 2 | ns |
| FA16 | $t_{w(aV)}$           | 2 つの連続する読み取りおよび書き込みアクセスの間で、出力アドレス GPMC_A[26:1] が無効になるパルス幅   | G <sup>(7)</sup>      |                       | ns |
| FA18 | $t_{d(csnV-oenV)}$    | 遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から 出力イネーブル GPMC_OEn_REn 無効まで (バースト読み取り)                                   | I <sup>(8)</sup> - 2  | I <sup>(8)</sup> + 2  | ns |
| FA20 | $t_{w(aV)}$           | パルス幅、出力アドレス GPMC_A[27:1] 有効 - 2 回目、3 回目、4 回目のアクセス   | D <sup>(4)</sup>      |                       | ns |
| FA25 | $t_{d(csnV-wenV)}$    | 遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から出力書き込みイネーブル GPMC_WEn 有効まで   | E <sup>(5)</sup> - 2  | E <sup>(5)</sup> + 2  | ns |
| FA27 | $t_{d(csnV-wenV)}$    | 遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から出力書き込みイネーブル GPMC_WEn 無効まで   | F <sup>(6)</sup> - 2  | F <sup>(6)</sup> + 2  | ns |

表 6-68. GPMC および NOR フラッシュのスイッチング特性 – 非同期モード (続き)

図 6-51、図 6-52、図 6-53、図 6-54、図 6-55、図 6-56 参照

| 番号   | パラメータ             | 説明   | 最小値           | 最大値           | 単位 |
|------|-------------------|--|---------------|---------------|----|
| FA28 | $t_{d(wenV-dV)}$  | 遅延時間、出力書き込みイネーブル GPMC_WEn 有効から出力データ GPMC_AD[15:0] 有効まで                                     |               | 2             | ns |
| FA29 | $t_{d(dV-csnV)}$  | 遅延時間、出力データ GPMC_AD[15:0] 有効から出力チップ セレクト GPMC_CS <i>n</i> [ <i>i</i> ] <sup>(13)</sup> 有効まで | $J^{(9)} - 2$ | $J^{(9)} + 2$ | ns |
| FA37 | $t_{d(oenV-aIV)}$ | 遅延時間、出力イネーブル GPMC_OEn_REn 有効から出力アドレス GPMC_AD[15:0] フェーズ終了まで                                |               | 2             | ns |

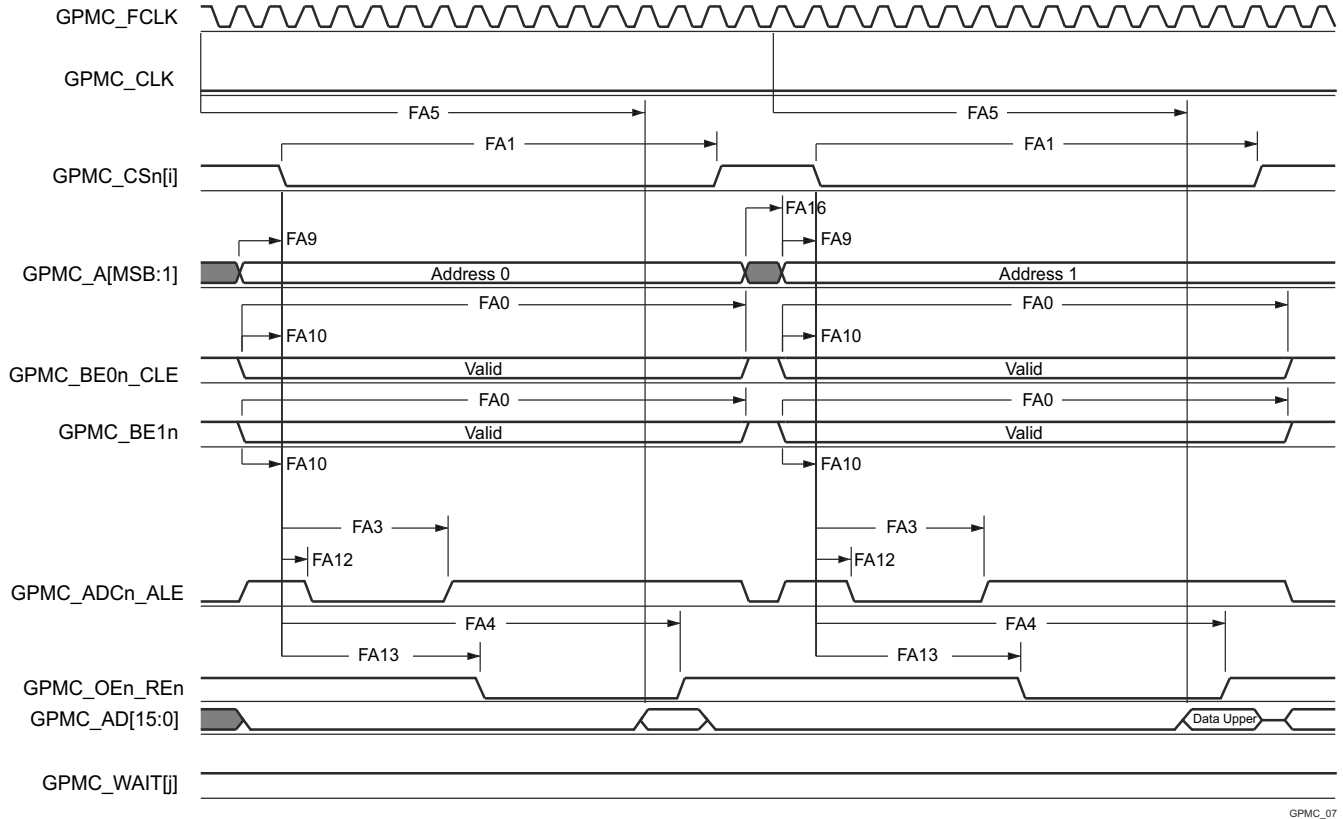
- (1) 単一読み取りの場合:  $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 単一書き込みの場合:  $A = (CSWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 バースト読み取りの場合:  $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 バースト書き込みの場合:  $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
*n* はページ バースト アクセス数
- (2) 読み取りの場合:  $B = ((ADVrdOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 書き込みの場合:  $B = ((ADVwrOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$
- (3)  $C = ((OEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (4)  $D = PageBurstAccessTime \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 (5)  $E = ((WEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (6)  $F = ((WEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (7)  $G = Cycle2CycleDelay \times GPMC\_FCLK^{(14)}$   
 (8)  $I = ((OEOffTime + (n - 1) \times PageBurstAccessTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (9)  $J = (CSOnTime \times (TimeParaGranularity + 1) + 0.5 \times CSEExtraDelay) \times GPMC\_FCLK^{(14)}$   
 (10)  $K = ((ADVOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (11)  $L = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (12) 単一読み取りの場合:  $N = RdCycleTime \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 単一書き込みの場合:  $N = WrCycleTime \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 バースト読み取りの場合:  $N = (RdCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 バースト書き込みの場合:  $N = (WrCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$
- (13) GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。  
 (14) GPMC\_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。



GPMC\_06

- GPMC\_CSn[i] で、i は 0、1、2、または 3 です。GPMC\_WAIT[j] で、jis は 0 または 1 です。
- FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- GPMC\_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

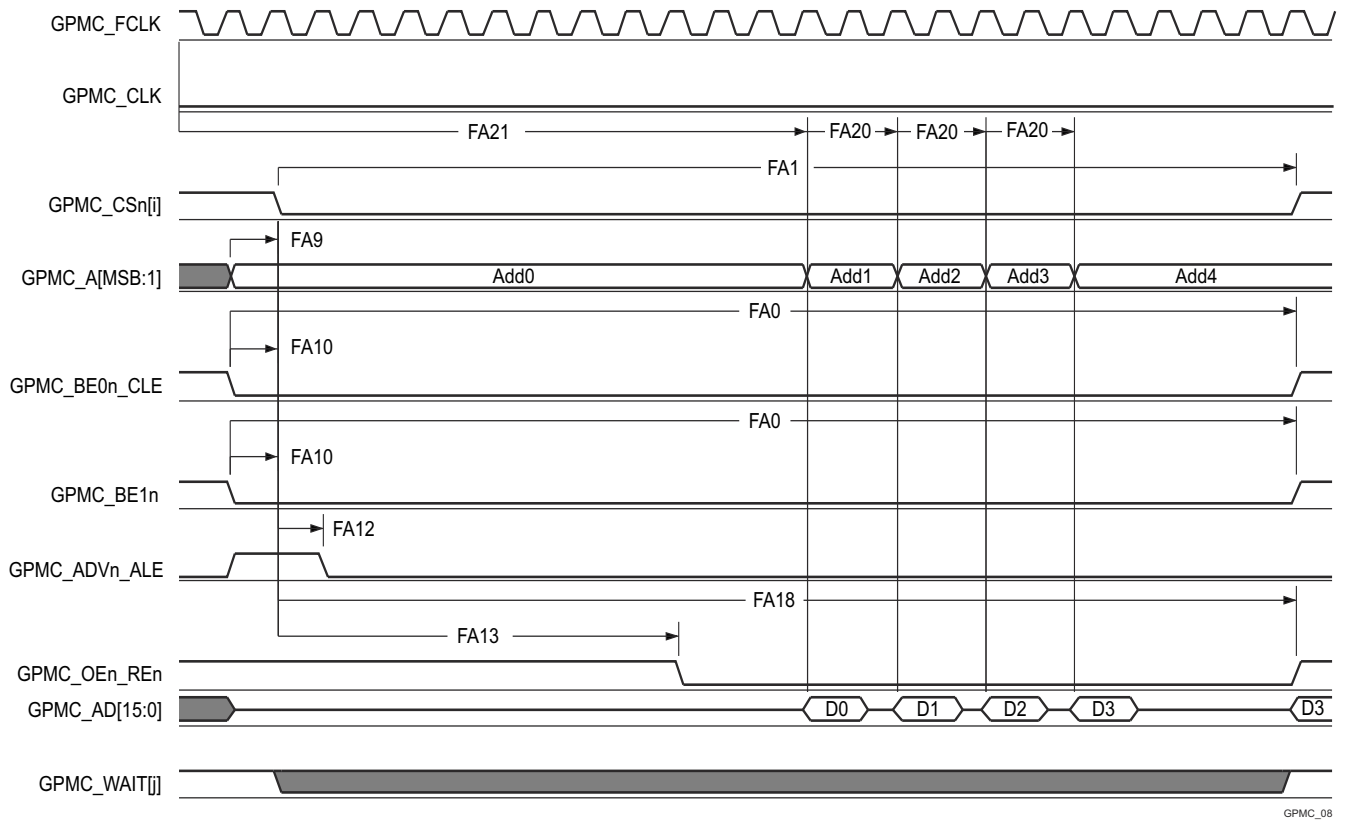
図 6-51. GPMC および NOR フラッシュ — 非同期読み取り — シングルワード



GPMC\_07

- A. GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。GPMC\_WAIT[j] で、*j* は 0 または 1 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- C. GPMC\_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

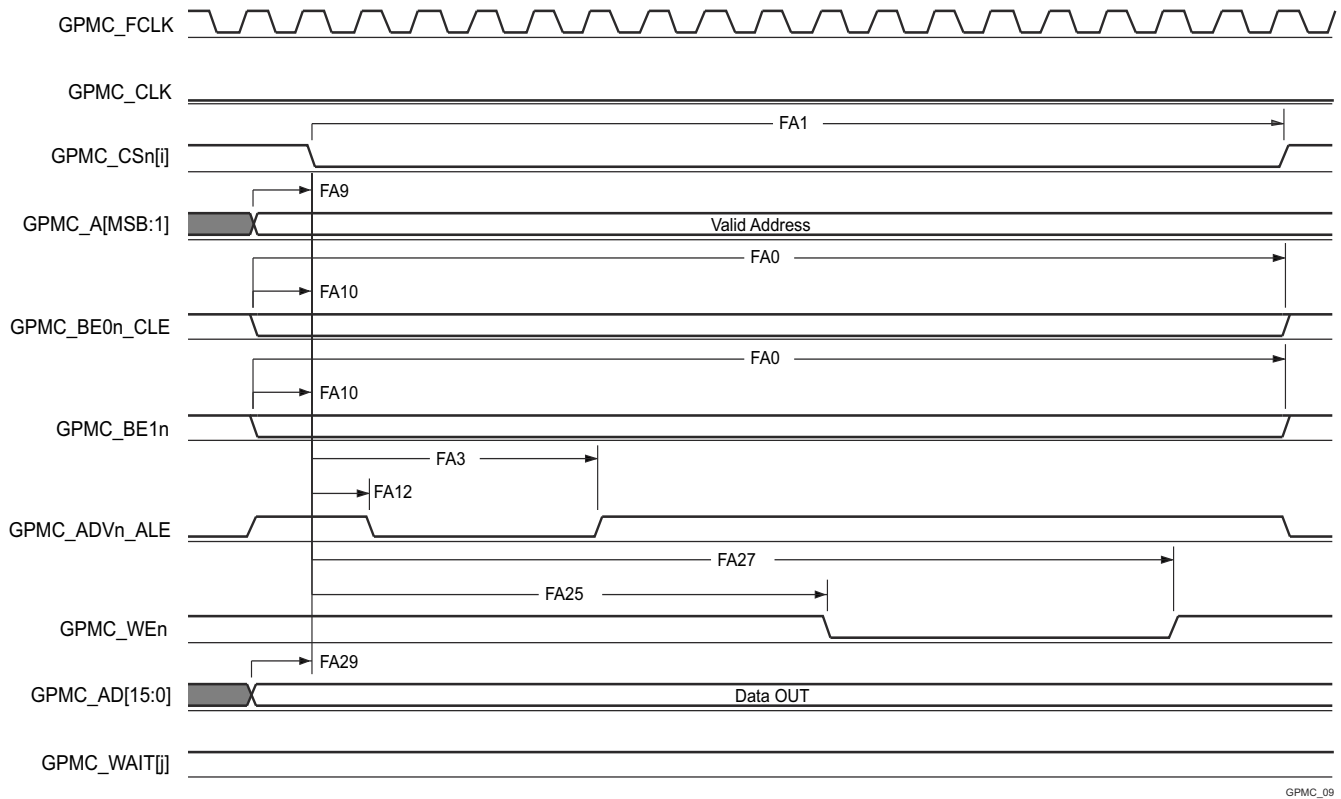
**図 6-52. GPMC および NOR フラッシュ — 非同期読み取り — 32 ビット**



GPMC\_08

- A. GPMC\_CS[n][i] で、i は 0、1、2、または 3 です。GPMC\_WAIT[j] で、j は 0 または 1 です。
- B. FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページのデータが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の計算値は、accessTime レジスタ ビット フィールド内に保存する必要があります。
- C. FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 は、連続する入力ページ データ (最初の入力ページ データを除く) のアドレス フェーズ期間でもあります。FA20 の値は、PageBurstAccessTime レジスタ ビット フィールドに保存する必要があります。
- D. GPMC\_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

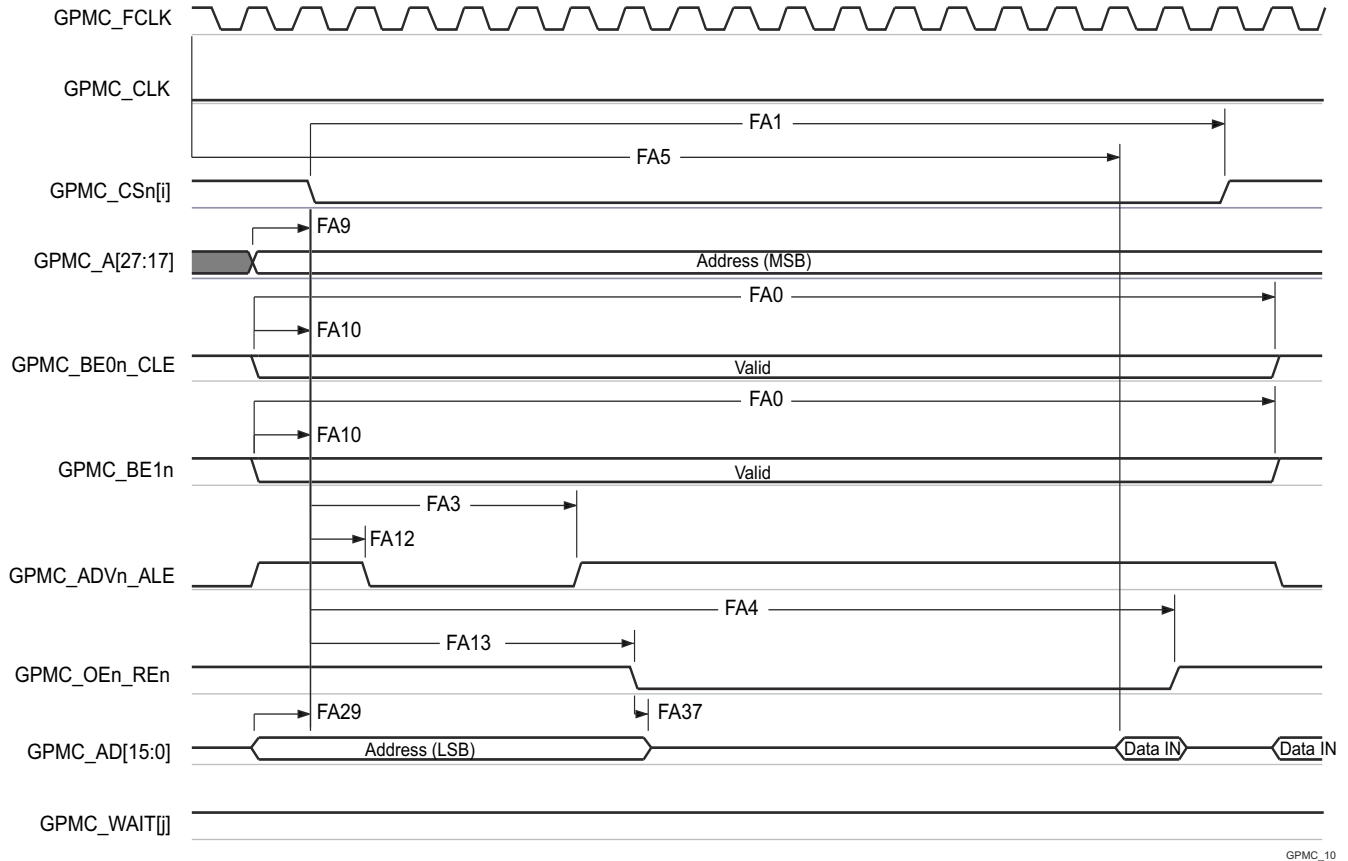
図 6-53. GPMC および NOR フラッシュ — 非同期読み取り — ページモード 4x16 ビット



GPMC\_09

A. GPMC\_CSn[i] で、i は 0、1、2、または 3 です。GPMC\_WAIT[j] で、j は 0 または 1 です。

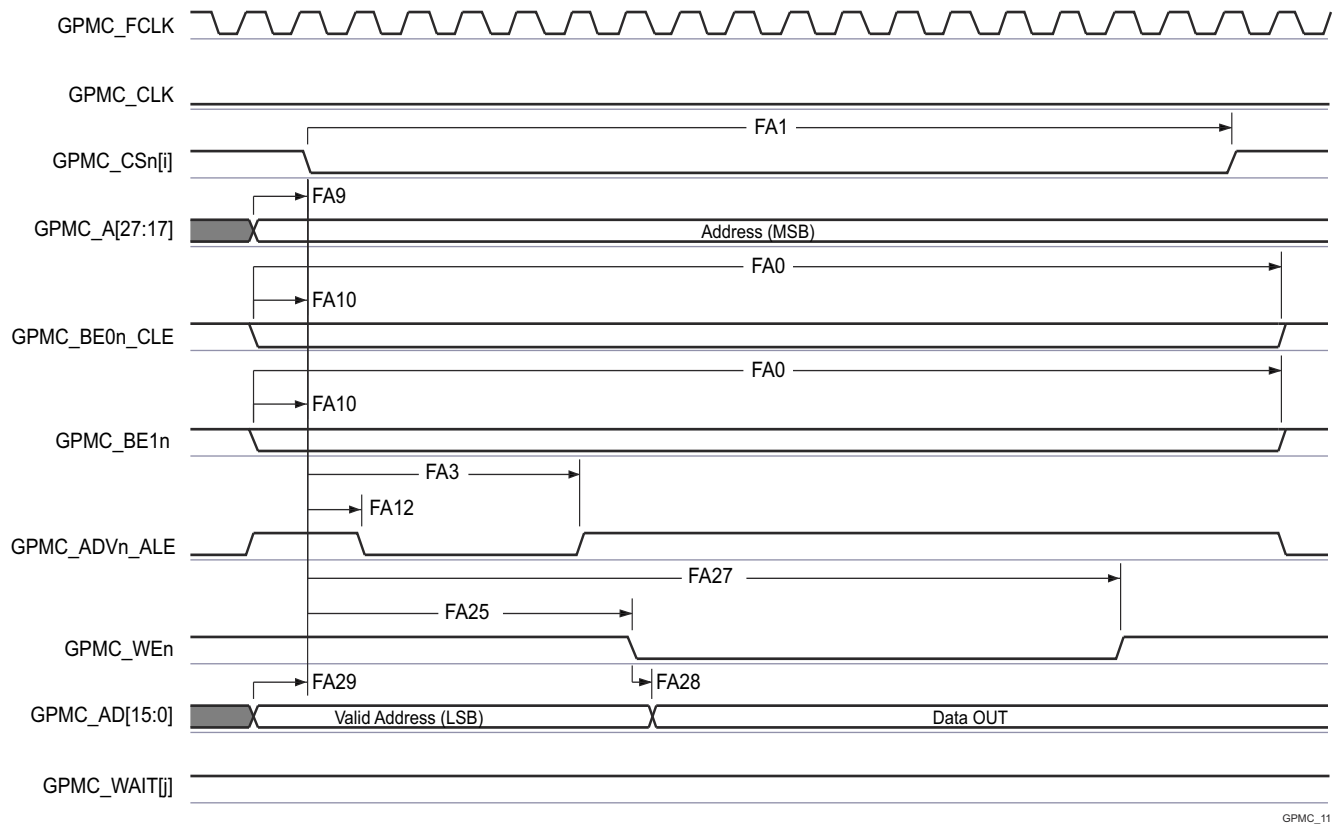
図 6-54. GPMC および NOR フラッシュ — 非同期書き込み — シングルワード



GPMC\_10

- A. GPMC\_CS[n] で、i は 0、1、2、または 3 です。GPMC\_WAIT[j] で、j は 0 または 1 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビットフィールド内に格納する必要があります。
- C. GPMC\_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-55. GPMC および多重化 NOR フラッシュ — 非同期読み取り — シングルワード



GPMC\_11

A. GPMC\_CSn[i] で、i は 0、1、2、または 3 です。GPMC\_WAIT[j] で、j は 0 または 1 です。

図 6-56. GPMC および多重化 NOR フラッシュ — 非同期書き込み — シングルワード

### 6.12.5.12.3 GPMC および NAND フラッシュ – 非同期モード

表 6-69 および 表 6-70 に、GPMC および NAND フラッシュ - 非同期モードのタイミング要件とスイッチング特性を示します。

表 6-69. GPMC および NAND フラッシュのタイミング要件 – 非同期モード

図 6-59 参照

| 番号                   | パラメータ               | 説明                         | 最小値 | 最大値              | 単位 |
|----------------------|---------------------|----------------------------|-----|------------------|----|
| GNF12 <sup>(1)</sup> | t <sub>acc(d)</sub> | アクセス時間、入力データ GPMC_AD[15:0] |     | J <sup>(2)</sup> | ns |

- (1) GNF12 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
- (2)  $J = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(3)}$
- (3) GPMC\_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

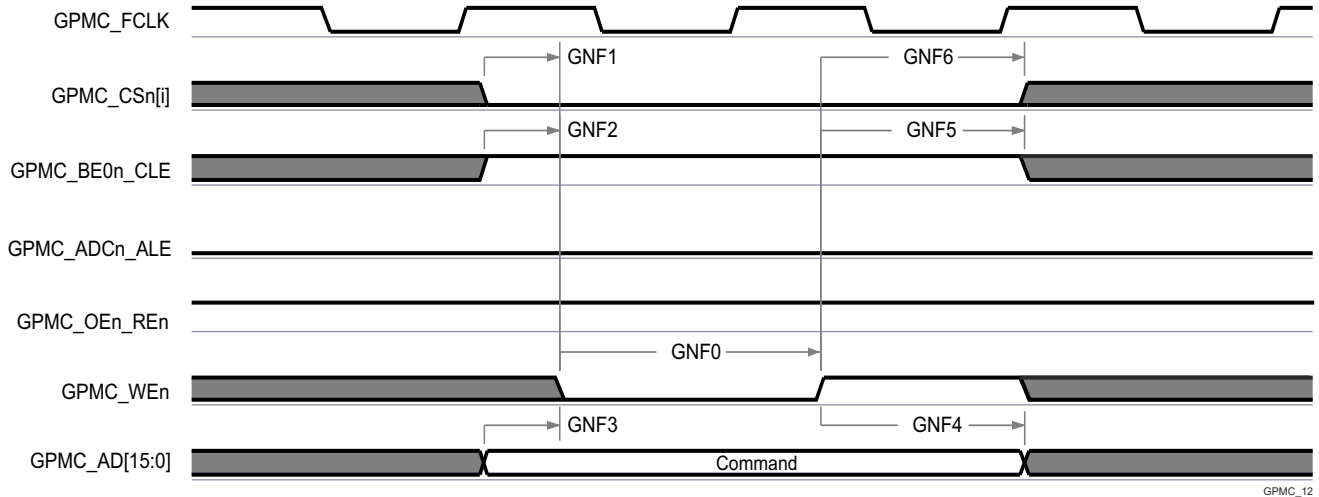
表 6-70. GPMC および NAND フラッシュのスイッチング特性 – 非同期モード

図 6-57、図 6-58、図 6-59、図 6-60 を参照

| 番号    | パラメータ                                      | 説明  | 最小値                   | 最大値                   | 単位 |
|-------|--|---|-----------------------|-----------------------|----|
| GNF0  | t <sub>w(wenV)</sub>                       | パルス幅、出力書き込みイネーブル GPMC_WEn 有効  | A <sup>(1)</sup>      |                       | ns |
| GNF1  | t <sub>d(csnV-wenV)</sub>                  | 遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から出力書き込みイネーブル GPMC_WEn 有効まで         | B <sup>(2)</sup> - 2  | B <sup>(2)</sup> + 2  | ns |
| GNF2  | t <sub>w(cleH-wenV)</sub>                  | 遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0 <i>n</i> _CLE high から出力書き込みイネーブル GPMC_WEn 有効まで         | C <sup>(3)</sup> - 2  | C <sup>(3)</sup> + 2  | ns |
| GNF3  | t <sub>w(wenV-dV)</sub>                    | 遅延時間、出力データ GPMC_AD[15:0] 有効から出力書き込みイネーブル GPMC_WEn 有効まで  | D <sup>(4)</sup> - 2  | D <sup>(4)</sup> + 2  | ns |
| GNF4  | t <sub>w(wenV-dIV)</sub>                   | 遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力データ GPMC_AD[15:0] 無効まで  | E <sup>(5)</sup> - 2  | E <sup>(5)</sup> + 2  | ns |
| GNF5  | t <sub>w(wenV-cleIV)</sub>                 | 遅延時間、出力書き込みイネーブル GPMC_WEn 無効から下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0 <i>n</i> _CLE 無効まで              | F <sup>(6)</sup> - 2  | F <sup>(6)</sup> + 2  | ns |
| GNF6  | t <sub>w(wenV-CS<i>n</i>[<i>j</i>]V)</sub> | 遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 無効まで         | G <sup>(7)</sup> - 2  | G <sup>(7)</sup> + 2  | ns |
| GNF7  | t <sub>w(aleH-wenV)</sub>                  | 遅延時間、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE high から出力書き込み イネーブル GPMC_WEn 有効まで             | C <sup>(3)</sup> - 2  | C <sup>(3)</sup> + 2  | ns |
| GNF8  | t <sub>w(wenV-aleIV)</sub>                 | 遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE 無効まで                 | F <sup>(6)</sup> - 2  | F <sup>(6)</sup> + 2  | ns |
| GNF9  | t <sub>c(wen)</sub>                        | サイクル時間、書き込み   |                       | H <sup>(8)</sup>      | ns |
| GNF10 | t <sub>d(csnV-oenV)</sub>                  | 遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から出力イネーブル GPMC_OEn_RE <i>n</i> 有効まで | I <sup>(9)</sup> - 2  | I <sup>(9)</sup> + 2  | ns |
| GNF13 | t <sub>w(oenV)</sub>                       | パルス幅、出力イネーブル GPMC_OEn_RE <i>n</i> 有効  |                       | K <sup>(10)</sup>     | ns |
| GNF14 | t <sub>c(oen)</sub>                        | サイクル時間、読み取り   |                       | L <sup>(11)</sup>     | ns |
| GNF15 | t <sub>w(oenV-CS<i>n</i>[<i>j</i>]V)</sub> | 遅延時間、出力イネーブル GPMC_OEn_RE <i>n</i> 無効から出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 無効まで | M <sup>(12)</sup> - 2 | M <sup>(12)</sup> + 2 | ns |

- (1)  $A = (\text{WEOffTime} - \text{WEOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(14)}$
- (2)  $B = ((\text{WEOnTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{WEEExtraDelay} - \text{CSEExtraDelay})) \times \text{GPMC\_FCLK}^{(14)}$
- (3)  $C = ((\text{WEOnTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{WEEExtraDelay} - \text{ADVExtraDelay})) \times \text{GPMC\_FCLK}^{(14)}$  注: DeviceType の場合: NAND
- コマンド ラッチ サイクル中: CLE 信号は、ADVOnTime および ADVWrOffTime のタイミング パラメータによって制御されます
  - アドレス ラッチ サイクル中: ALE 信号は、ADVOnTime および ADVWrOffTime のタイミング パラメータで制御されます。
- (4)  $D = (\text{WEOnTime} \times (\text{TimeParaGranularity} + 1) + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$
- (5)  $E = ((\text{WrCycleTime} - \text{WEOffTime}) \times (\text{TimeParaGranularity} + 1) - 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$

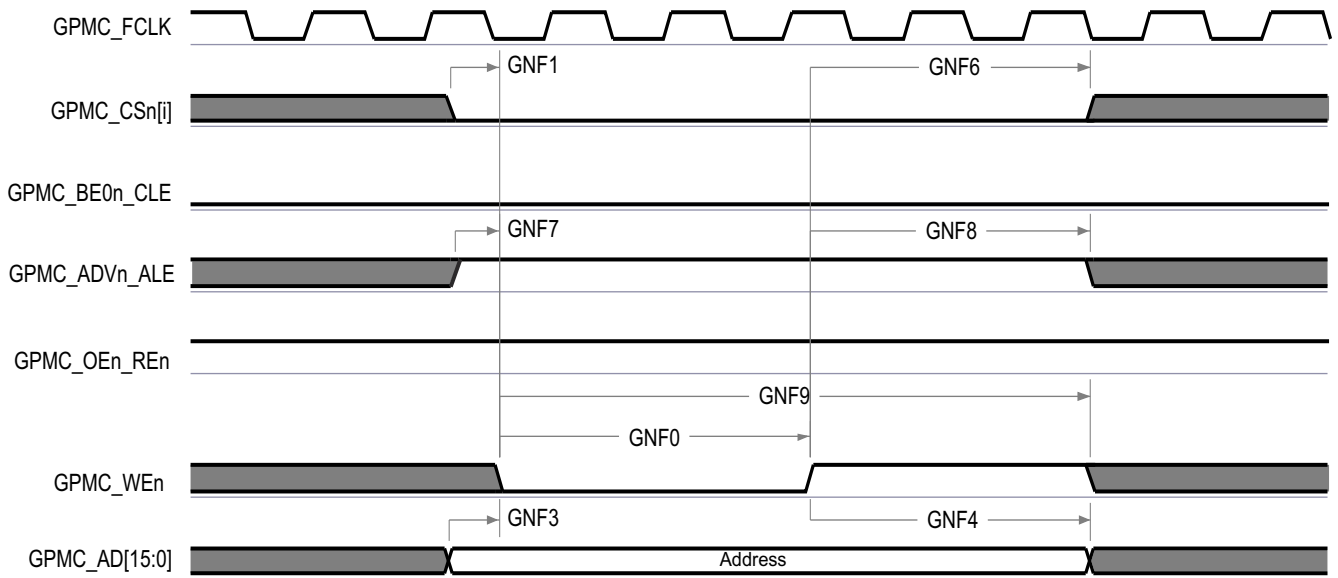
- (6)  $F = ((ADVWrOffTime - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - WEExtraDelay)) \times GPMC\_FCLK^{(14)}$  注:  
DeviceType の場合: NAND
- コマンド ラッチ サイクル中: CLE 信号は、ADVOnTime および ADVWrOffTime のタイミング パラメータによって制御されます
  - アドレス ラッチ サイクル中: ALE 信号は、ADVOnTime および ADVWrOffTime のタイミング パラメータで制御されます。
- (7)  $G = ((CSWrOffTime - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (CSEExtraDelay - WEExtraDelay)) \times GPMC\_FCLK^{(14)}$
- (8)  $H = WrCycleTime \times (1 + TimeParaGranularity) \times GPMC\_FCLK^{(14)}$
- (9)  $I = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$
- (10)  $K = (OEOffTime - OEOnTime) \times (1 + TimeParaGranularity) \times GPMC\_FCLK^{(14)}$
- (11)  $L = RdCycleTime \times (1 + TimeParaGranularity) \times GPMC\_FCLK^{(14)}$
- (12)  $M = ((CSRdOffTime - OEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (CSEExtraDelay - OEEExtraDelay)) \times GPMC\_FCLK^{(14)}$
- (13) GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。
- (14) GPMC\_FCLK は、汎用メモリコントローラの内部機能クロック周期で、ns 単位です。



GPMC\_12

A. GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

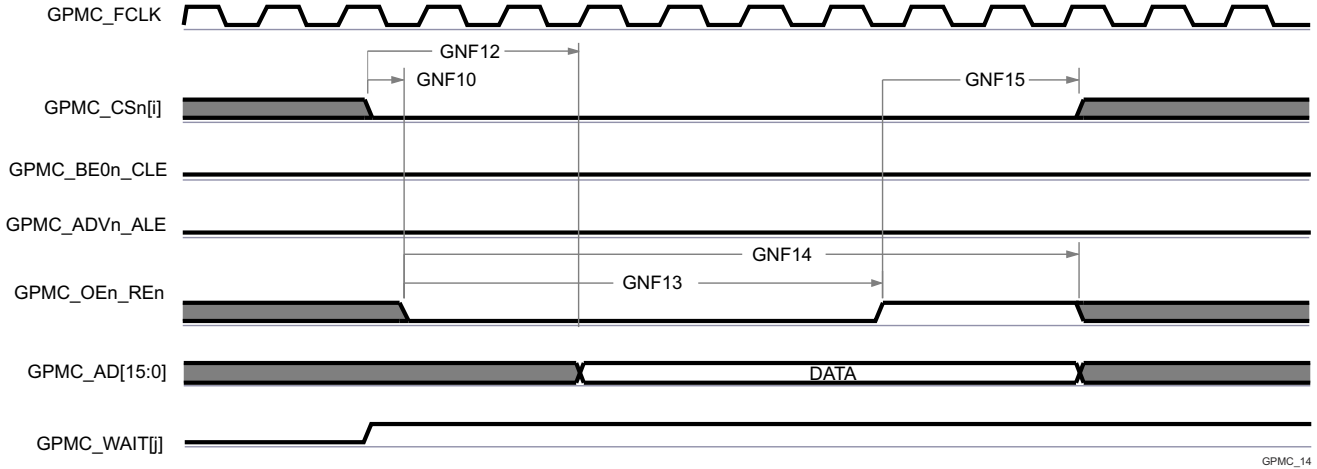
**図 6-57. GPMC および NAND フラッシュ – コマンド ラッチ サイクル**



GPMC\_13

A. GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

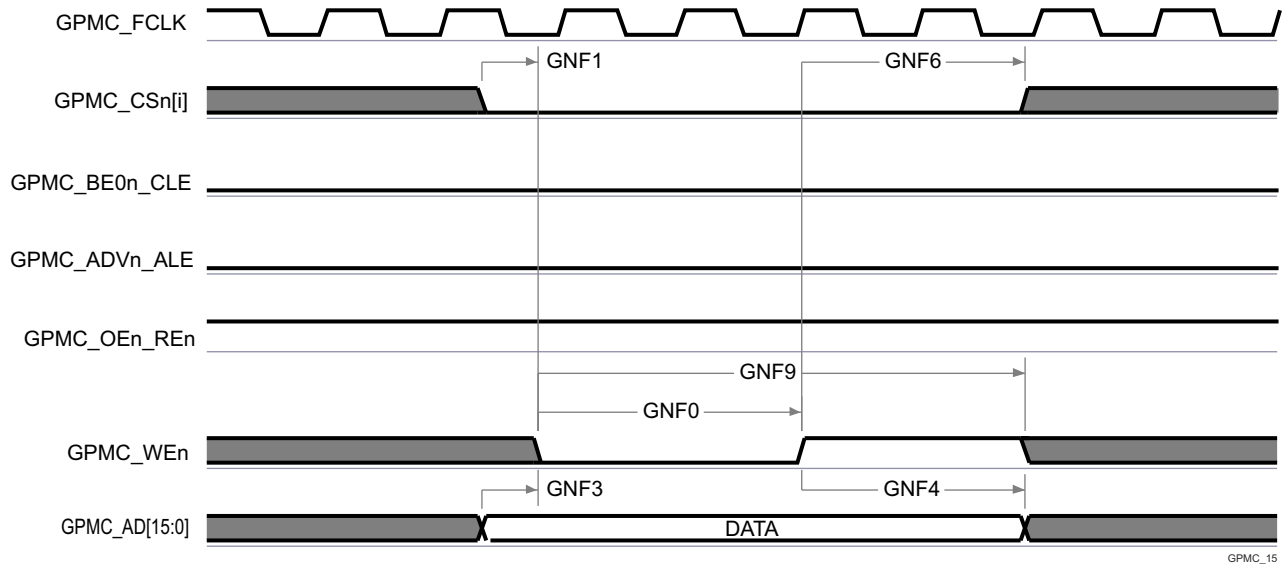
**図 6-58. GPMC および NAND フラッシュ – アドレス ラッチ サイクル**



GPMC\_14

- A. GNF12 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタビット フィールド内に格納する必要があります。
- B. GPMC\_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。
- C. GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。GPMC\_WAIT[*j*] で、*j* は 0 または 1 です。

図 6-59. GPMC および NAND フラッシュ — データ読み取りサイクル



GPMC\_15

- A. In GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

図 6-60. GPMC および NAND フラッシュ — データ書き込みサイクル

### 6.12.5.13 I2C

このデバイスには、6 つの マルチコントローラ I2C (Inter-Integrated Circuit) コントローラが搭載されています。各 I2C コントローラは、Philips I<sup>2</sup>C-bus™ 仕様バージョン 2.1 に準拠するように設計されています。ただし、本デバイスの IO は、I2C の電氣的仕様には完全には準拠していません。サポートされる速度および例外については、IO バッファタイプごとに説明します。特定の I2C インスタンスにどの IO バッファタイプが関連付けられているかを確認するには、「ピン属性」表のバッファタイプ列を参照してください。

#### • LVCMOS または SDIO

##### – 速度:

- スタンダード モード (最大 100kbit/s)
  - 1.8V
  - 3.3V
- ファースト モード (最大 400kbit/s)
  - 1.8V
  - 3.3V

##### – 例外:

- これらのポートに関連付けられている IO は、I2C 仕様で定義されている立ち下がり時間要件に準拠していません。これらの I/O には、I2C 互換の IO では実装できなかった他の信号機能をサポートするように設計された、より高性能の LVCMOS プッシュプル IO が実装されているからです。これらのポートで使用されている LVCMOS IO は、オープンドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。
- I2C 仕様では、最大入力電圧  $V_{IH}$  が  $(V_{DD_{max}} + 0.5V)$  と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。

#### • I2C OD FS

##### – 速度:

- スタンダード モード (最大 100kbit/s)
  - 1.8V
  - 3.3V
- ファースト モード (最大 400kbit/s)
  - 1.8V
  - 3.3V
- Hs モード (最大 3.4Mbits/s)
  - 1.8V

##### – 例外:

- これらのポートに関連付けられている IO は、3.3V で動作しているときに Hs モードをサポートするには設計されていません。したがって、Hs モードは 1.8V 動作に限定されます。
- これらのポートに接続された I2C 信号の立ち上がりおよび立ち下がり時間は、スルーレート 0.08V/ns (すなわち 8E+7 V/s) を超えないようにする必要があります。この制限は、I2C 仕様で定義されている最小立ち下がり時間の制限よりも厳しいものです。したがって、立ち上がりおよび立ち下がり時間が 0.08V/ns のスルーレートを上回らないように、I2C 信号に容量を追加する必要がある場合があります。
- I2C 仕様では、最大入力電圧  $V_{IH}$  が  $(V_{DD_{max}} + 0.5V)$  と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。

#### 注

I2C2 および I2C3 には、複数のピンに多重化可能な信号が 1 つ以上あります。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#) で定義されます。

タイミングの詳細については、**Philips I2C-bus 仕様バージョン 2.1** を参照してください。

本デバイスの **I2C (Inter-Integrated Circuit)** の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

## 6.12.5.14 MCAN

## 注

MCAN1 には、複数のピンに多重化可能な信号が 1 つ以上あります。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#)で定義されます。

表 6-71 および表 6-72 に、MCAN のタイミング条件、要件、スイッチング特性を示します。

本デバイスのコントローラ エリア ネットワーク インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

## 注

このデバイスは、複数の MCAN モジュールを備えています。MCANn は、MCAN 信号名に適用される一般的な接頭辞です。ここで、n は特定の MCAN モジュールを表します。

表 6-71. MCAN のタイミング条件

| パラメータ           |           | 最小値 | 最大値 | 単位   |
|-----------------|-----------|-----|-----|------|
| 入力条件            |           |     |     |      |
| SR <sub>i</sub> | 入力スループレート | 2   | 15  | V/ns |
| 出力条件            |           |     |     |      |
| C <sub>L</sub>  | 出力負荷容量    | 5   | 20  | pF   |

表 6-72. MCAN スイッチング特性

| 番号    | パラメータ                    | 説明                           | 最小値 | 最大値 | 単位 |
|-------|--------------------------|------------------------------|-----|-----|----|
| MCAN1 | t <sub>d</sub> (MCAN_TX) | 遅延時間、送信シフトレジスタから MCANn_TX まで |     | 10  | ns |
| MCAN2 | t <sub>d</sub> (MCAN_RX) | 遅延時間、MCANn_RX から受信シフトレジスタまで  |     | 10  | ns |

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「モジュラー コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

### 6.12.5.15 MCASP

#### 注

MCASP1 および MCASP2 には、複数のピンに多重化可能な信号が 1 つ以上あります。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#) で定義されます。

表 6-73、表 6-74、図 6-61、表 6-75、図 6-62 に、MCASP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-73. MCASP のタイミング条件

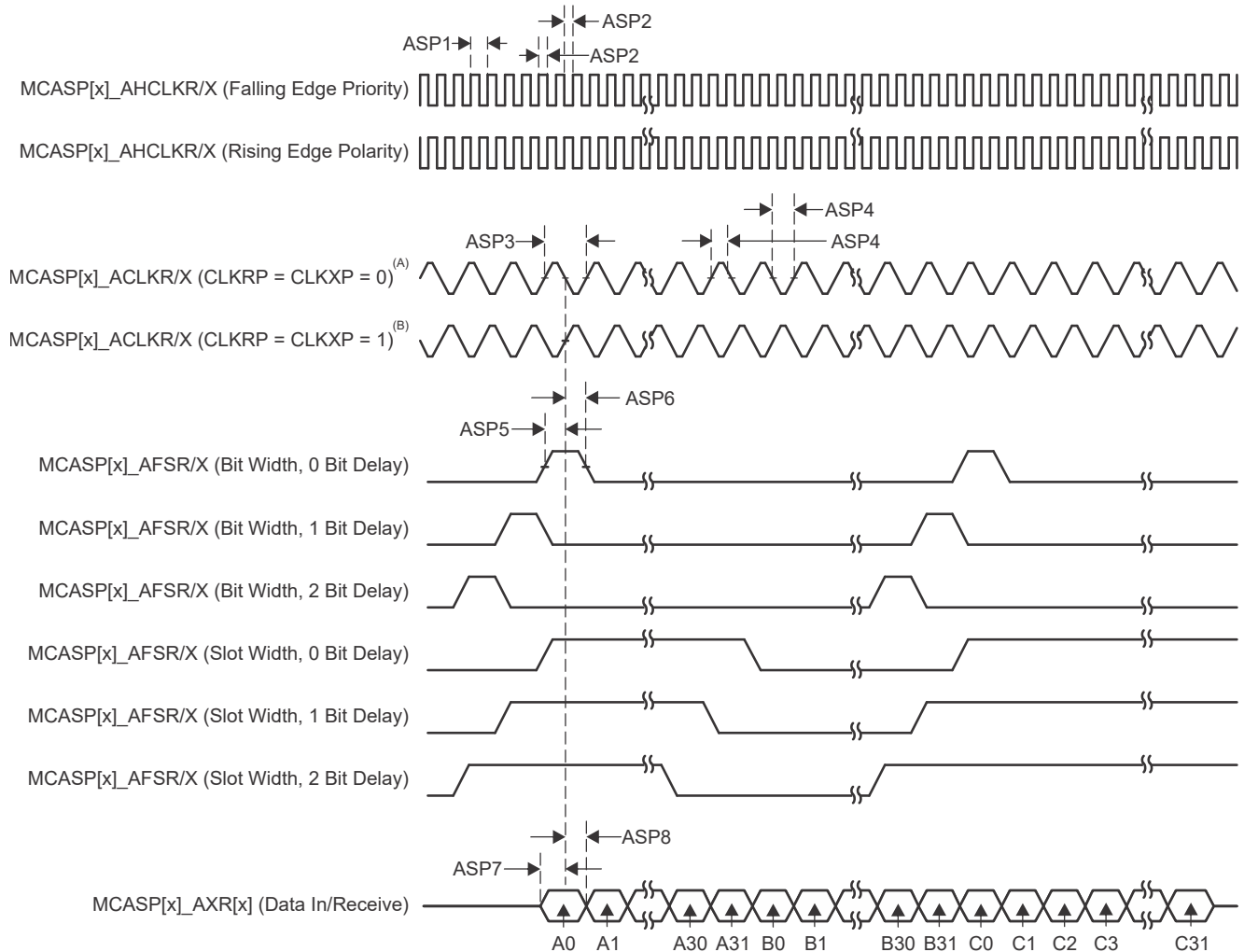
| パラメータ                                 |                      | 最小値 | 最大値  | 単位   |
|---------------------------------------|----------------------|-----|------|------|
| 入力条件                                  |                      |     |      |      |
| SR <sub>I</sub>                       | 入力スルーレート             | 0.7 | 5    | V/ns |
| 出力条件                                  |                      |     |      |      |
| C <sub>L</sub>                        | 出力負荷容量               | 1   | 10   | pF   |
| PCB 接続要件                              |                      |     |      |      |
| t <sub>d</sub> (Trace Delay)          | 各パターンへの伝搬遅延          | 100 | 1100 | ps   |
| t <sub>d</sub> (Trace Mismatch Delay) | すべてのパターンにわたる伝搬遅延の不整合 |     | 100  | ps   |

表 6-74. MCASP のタイミング要件

図 6-61 参照

| 番号   |                                |  | モード <sup>(1)</sup> | 最小値                        | 最大値 | 単位 |
|------|--------------------------------|--|--------------------|----------------------------|-----|----|
| ASP1 | t <sub>c</sub> (AHCLKRX)       | サイクル時間、MCASP[x]_AHCLKR/X <sup>(4)</sup>  |                    | 20                         |     | ns |
| ASP2 | t <sub>w</sub> (AHCLKRX)       | パルス幅、MCASP[x]_AHCLKR/X <sup>(4)</sup> high または low                                 |                    | 0.5P <sup>(2)</sup> - 1.53 |     | ns |
| ASP3 | t <sub>c</sub> (ACLKRX)        | サイクル時間、MCASP[x]_ACLKRX/X <sup>(4)</sup>  |                    | 20                         |     | ns |
| ASP4 | t <sub>w</sub> (ACLKRX)        | パルス幅、MCASP[x]_ACLKRX/X <sup>(4)</sup> high または low                                 |                    | 0.5R <sup>(3)</sup> - 1.53 |     | ns |
| ASP5 | t <sub>su</sub> (AFSRX-ACLKRX) | セットアップ時間、MCASP[x]_AFSR/X <sup>(4)</sup> 入力有効から MCASP[x]_ACLKRX/X <sup>(4)</sup> まで | ACLKRX 内部          | 9.29                       |     | ns |
|      |                                |  | ACLKRX 外部入力 / 出力   | 4                          |     |    |
| ASP6 | t <sub>h</sub> (ACLKRX-AFSRX)  | ホールド時間、MCASP[x]_ACLKRX/X <sup>(4)</sup> から MCASP[x]_AFSR/X <sup>(4)</sup> 入力有効まで   | ACLKRX 内部          | -1                         |     | ns |
|      |                                |  | ACLKRX 外部入力 / 出力   | 1.6                        |     |    |
| ASP7 | t <sub>su</sub> (AXR-ACLKRX)   | セットアップ時間、MCASP[x]_AXR/X <sup>(4)</sup> 入力有効から MCASP[x]_ACLKRX/X <sup>(4)</sup> まで  | ACLKRX 内部          | 9.29                       |     | ns |
|      |                                |  | ACLKRX 外部入力 / 出力   | 4                          |     |    |
| ASP8 | t <sub>h</sub> (ACLKRX-AXR)    | ホールド時間、MCASP[x]_ACLKRX/X <sup>(4)</sup> から MCASP[x]_AXR/X <sup>(4)</sup> 入力有効まで    | ACLKRX 内部          | -1                         |     | ns |
|      |                                |  | ACLKRX 外部入力 / 出力   | 1.6                        |     |    |

- (1) ACLKRX 内部: ACLKRXCTL.CLKRM = 1, PDIR.ACLKRX = 1  
ACLKRX 外部入力: ACLKRXCTL.CLKRM = 0, PDIR.ACLKRX = 0  
ACLKRX 外部出力: ACLKRXCTL.CLKRM = 0, PDIR.ACLKRX = 1  
ACLKRX 内部: ACLKRXCTL.CLKXM = 1, PDIR.ACLKRX = 1  
ACLKRX 外部入力: ACLKRXCTL.CLKXM = 0, PDIR.ACLKRX = 0  
ACLKRX 外部出力: ACLKRXCTL.CLKXM = 0, PDIR.ACLKRX = 1
- (2) P = AHCLKRX 周期 (ns 単位)。AHCLKRX クロックソース オプションの詳細については、テクニカルリファレンス マニュアルにある「モジュール統合」の章の「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションの「McASP クロック」表を参照してください。
- (3) R = ACLKRX 周期 (ns 単位)。
- (4) MCASP[x]\_\* の x は 0、1、または 2



- A.  $CLKRP = CLKXP = 0$  の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。
- B.  $CLKRP = CLKXP = 1$  の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。

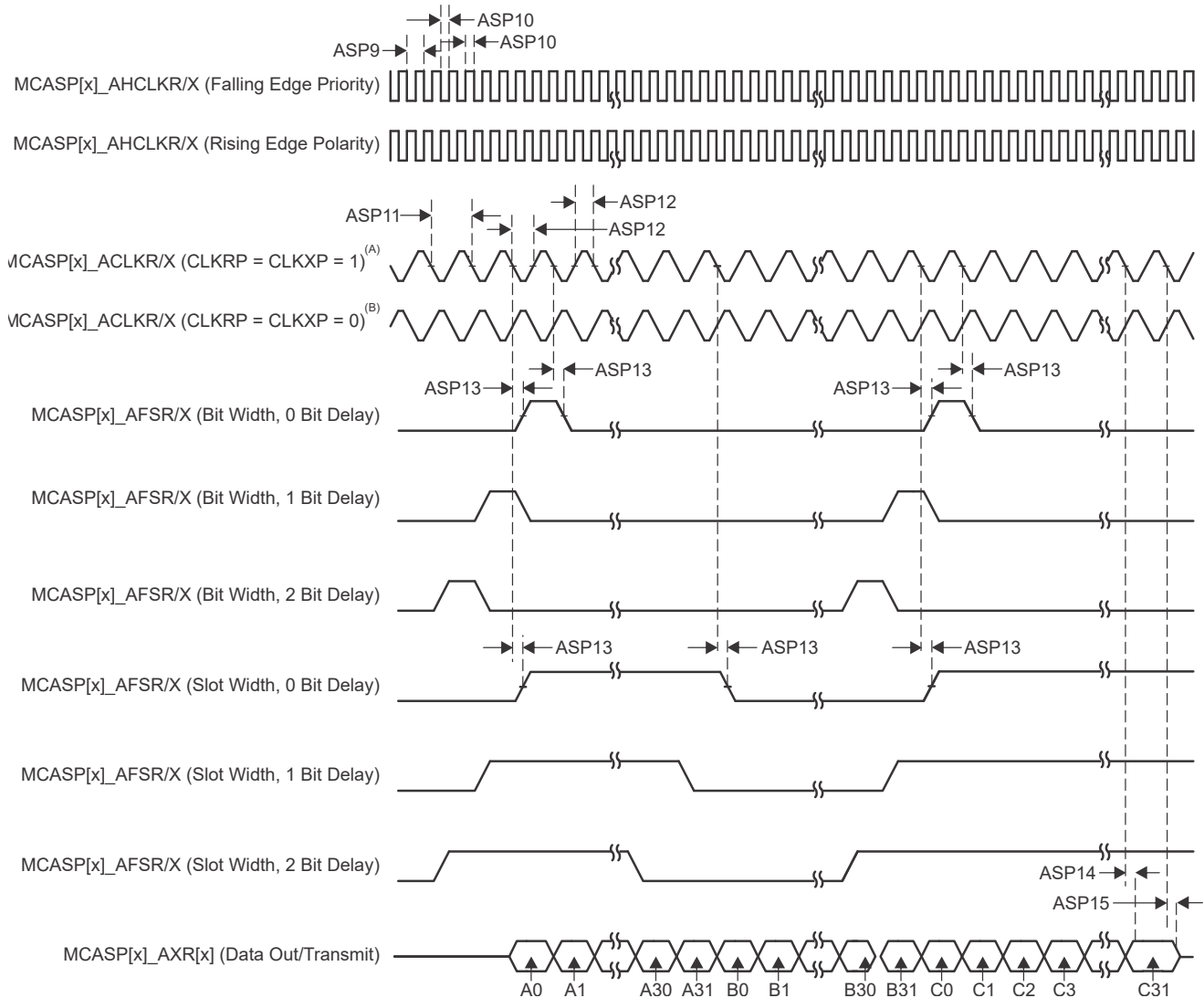
図 6-61. MCASP のタイミング要件

表 6-75. MCASP スイッチング特性

図 6-62 参照

| 番号    | パラメータ                 | 説明   | モード <sup>(1)</sup> | 最小値                     | 最大値   | 単位 |
|-------|-----------------------|--|--------------------|-------------------------|-------|----|
| ASP9  | $t_{c(AHCLKRX)}$      | サイクル時間、MCASP[x]_AHCLKR/X <sup>(4)</sup>  |                    | 20                      |       | ns |
| ASP10 | $t_{w(AHCLKRX)}$      | パルス幅、MCASP[x]_AHCLKR/X <sup>(4)</sup> high または low                                       |                    | 0.5P <sup>(2)</sup> - 2 |       | ns |
| ASP11 | $t_{c(ACLKRX)}$       | サイクル時間、MCASP[x]_ACLKR/X <sup>(4)</sup>   |                    | 20                      |       | ns |
| ASP12 | $t_{w(ACLKRX)}$       | パルス幅、MCASP[x]_ACLKR/X <sup>(4)</sup> high または low  |                    | 0.5R <sup>(3)</sup> - 2 |       | ns |
| ASP13 | $t_{d(ACLKRX-AFSRX)}$ | 遅延時間、MCASP[x]_ACLKR/X <sup>(4)</sup> 送信エッジから MCASP[x]_AFSR/X <sup>(4)</sup> 出力有効まで       | ACLKR/X 内部         | -1                      | 7.25  | ns |
|       |                       |  | ACLKR/X 外部入力 / 出力  | -15.29                  | 12.84 |    |
| ASP14 | $t_{d(ACLKX-AXR)}$    | 遅延時間、MCASP[x]_ACLKX <sup>(4)</sup> 送信エッジから MCASP[x]_AXR <sup>(4)</sup> 出力有効まで            | ACLKR/X 内部         | -1                      | 7.25  | ns |
|       |                       |  | ACLKR/X 外部入力 / 出力  | -15.29                  | 12.84 |    |
| ASP15 | $t_{dis(ACLKX-AXR)}$  | ディセーブル時間、MCASP[x]_ACLKX <sup>(4)</sup> 送信エッジから MCASP[x]_AXR <sup>(4)</sup> 出力ハイインピーダンスまで | ACLKR/X 内部         | -1                      | 7.25  | ns |
|       |                       |  | ACLKR/X 外部入力 / 出力  | -14.9                   | 14    |    |

- (1) ACLKR 内部: ACLKRCTL.CLKRM = 1, PDIR.ACLKR = 1  
 ACLKR 外部入力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 0  
 ACLKR 外部出力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 1  
 ACLKX 内部: ACLKXCTL.CLKXM = 1, PDIR.ACLKX = 1  
 ACLKX 外部入力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 0  
 ACLKX 外部出力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 1
- (2) P = AHCLKR/X 周期 (ns 単位)。AHCLKR/X クロックソース オプションの詳細については、テクニカルリファレンス マニュアルにある「モジュール統合」の章の「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションの「McASP クロック」表を参照してください。
- (3) R = ACLKR/X 周期 (ns 単位)。
- (4) MCASP[x]\_\* の x は 0、1、または 2



- A.  $CLKRP = CLKXP = 1$  の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。
- B.  $CLKRP = CLKXP = 0$  の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。

**図 6-62. MCASP スイッチング特性**

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションを参照してください。

### 6.12.5.16 MCSPI

#### 注

MCSPI1、MCSPI2、MCU\_MCSPI0、MCU\_MCSPI1 は、複数のピンに多重化できる 1 つ以上の信号を持っています。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#) で定義されます。

本デバイスのシリアル ポート インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

表 6-76 に、MCSPI のタイミング条件を示します。

**表 6-76. MCSPI のタイミング条件**

| パラメータ           |          | 最小値 | 最大値 | 単位   |
|-----------------|----------|-----|-----|------|
| <b>入力条件</b>     |          |     |     |      |
| SR <sub>i</sub> | 入力スルーレート | 2   | 8.5 | V/ns |
| <b>出力条件</b>     |          |     |     |      |
| C <sub>L</sub>  | 出力負荷容量   | 6   | 12  | pF   |

詳細については、デバイス TRM のテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

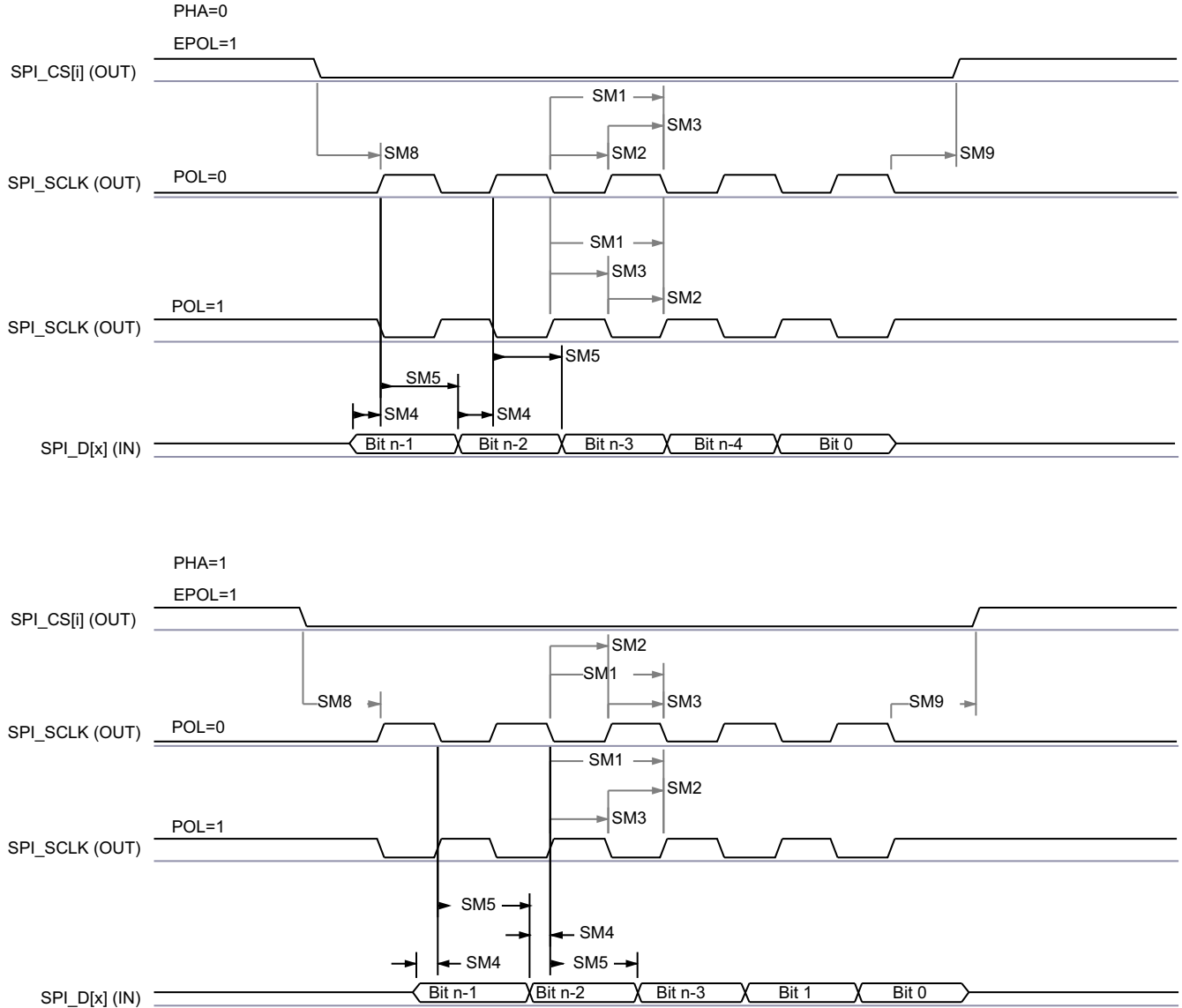
6.12.5.16.1 MCSPI – コントローラ モード

表 6-77、図 6-63、表 6-78、図 6-64 に、SPI –コントローラ モードのタイミング要件とスイッチング特性を示します。

表 6-77. MCSPI のタイミング要件 - コントローラ モード

図 6-63 参照

| 番号  | パラメータ                 | 説明   | 最小値 | 最大値 | 単位 |
|-----|-----------------------|--|-----|-----|----|
| SM4 | $t_{su}(POCI-SPICLK)$ | セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで       | 2.8 |     | ns |
| SM5 | $t_h(SPICLK-POCI)$    | ホールド時間、SPIn_CLK のアクティブ エッジ後に SPIn_D[x] を有効に保持すべき時間 | 3   |     | ns |



SPRSP08\_TIMING\_McSPI\_02

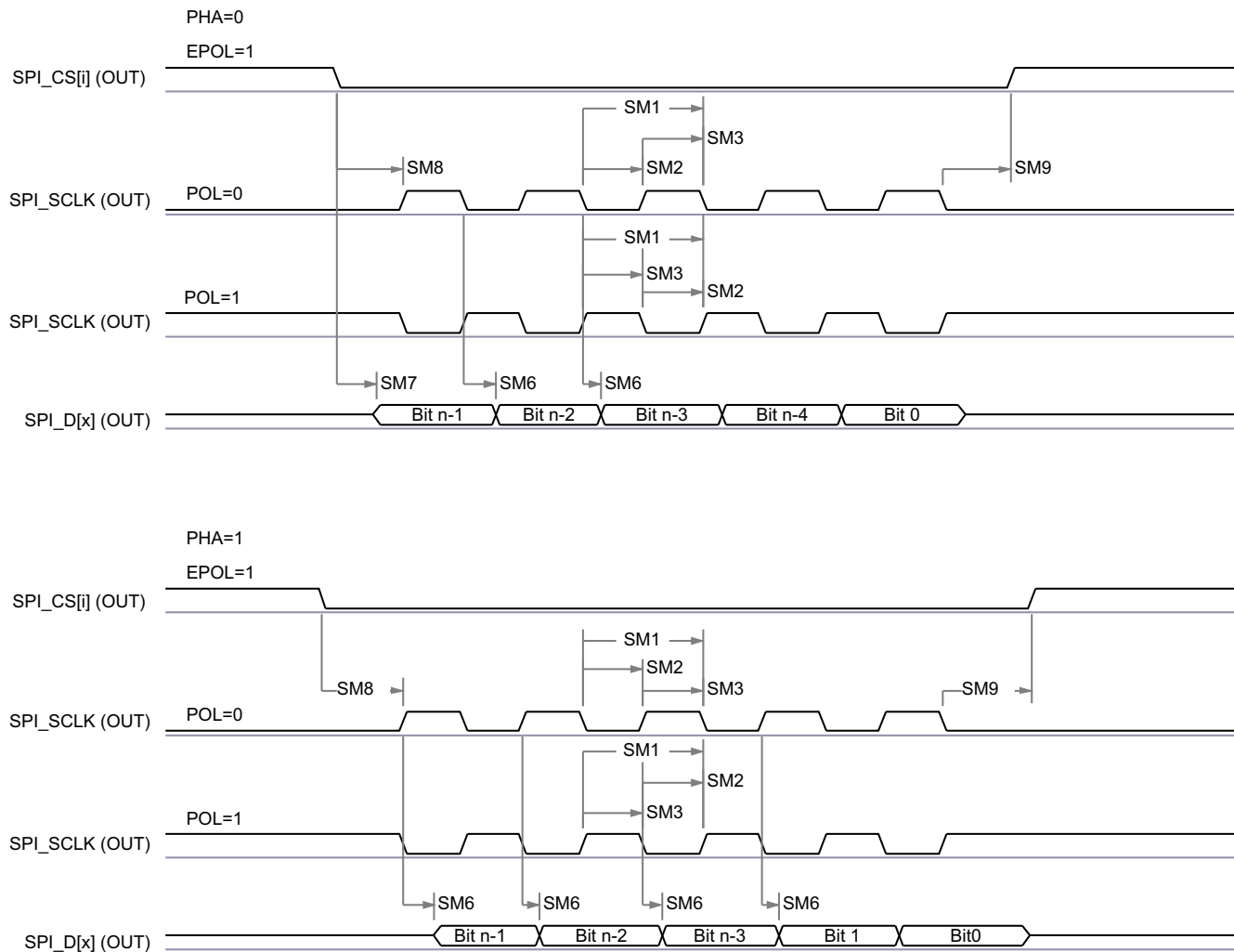
図 6-63. SPI コントローラ モードの受信タイミング

表 6-78. MCSPI のスイッチング特性 - コントローラ モード

図 6-64 参照

| 番号  | パラメータ                     |   | 最小値              | 最大値                  | 単位 |
|-----|---------------------------|---|------------------|----------------------|----|
| SM1 | $t_c(\text{SPICLK})$      | サイクル時間、SPIn_CLK                           | 20               |                      | ns |
| SM2 | $t_w(\text{SPICLK}_L)$    | パルス幅、SPIn_CLK Low                         | $0.5P - 1^{(1)}$ |                      | ns |
| SM3 | $t_w(\text{SPICLK}_H)$    | パルス幅、SPIn_CLK High                        | $0.5P - 1^{(1)}$ |                      | ns |
| SM6 | $t_d(\text{SPICLK-PICO})$ | 遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで    | -3               | 2.5                  | ns |
| SM7 | $t_d(\text{CS-PICO})$     | 遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで    | 5                |                      | ns |
| SM8 | $t_d(\text{CS-SPICLK})$   | 遅延時間、SPIn_CSi アクティブから SPIn_CLK の最初のエッジまで  | PHA = 0          | B - 4 <sup>(2)</sup> | ns |
|     |                           |   | PHA = 1          | A - 4 <sup>(3)</sup> | ns |
| SM9 | $t_d(\text{SPICLK-CS})$   | 遅延時間、SPIn_CLK の最後のエッジから SPIn_CSi 非アクティブまで | PHA = 0          | A - 4 <sup>(4)</sup> | ns |
|     |                           |   | PHA = 1          | B - 4 <sup>(5)</sup> | ns |

- (1) P = SPIn\_CLK 周期 (ns 単位)。
- (2) T<sub>ref</sub> は、McSPI 機能クロックの周期です (ns 単位)。Fratio は、McSPI 機能クロックの周波数と SPIn\_CLK クロックの周波数との分周比で、MCSPI\_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI\_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI\_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。
- Fratio = 1 のとき、 $B = (\text{TCS}(i) + 0.5) * T_{\text{ref}}$ 。
  - $\text{Fratio} \geq 2$  かつ偶数のとき、 $B = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
  - $\text{Fratio} \geq 3$  かつ奇数のとき、 $B = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} + 1) / 2)) * T_{\text{ref}}$ 。
- (3) T<sub>ref</sub> は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn\_CLK クロックの周波数との分周比で、MCSPI\_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI\_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI\_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。
- Fratio = 1 のとき、 $A = (\text{TCS}(i) + 1) * T_{\text{ref}}$ 。
  - $\text{Fratio} \geq 2$  かつ偶数のとき、 $A = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
  - $\text{Fratio} \geq 3$  かつ奇数のとき、 $A = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} - 1) / 2)) * T_{\text{ref}}$ 。
- (4) T<sub>ref</sub> は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn\_CLK クロックの周波数との分周比で、MCSPI\_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI\_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI\_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。
- Fratio = 1 のとき、 $A = (\text{TCS}(i) + 1) * T_{\text{ref}}$ 。
  - $\text{Fratio} \geq 2$  かつ偶数のとき、 $A = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
  - $\text{Fratio} \geq 3$  かつ奇数のとき、 $A = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} + 1) / 2)) * T_{\text{ref}}$ 。
- (5) T<sub>ref</sub> は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn\_CLK クロックの周波数との分周比で、MCSPI\_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI\_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI\_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。
- Fratio = 1 のとき、 $B = (\text{TCS}(i) + 0.5) * T_{\text{ref}}$ 。
  - $\text{Fratio} \geq 2$  かつ偶数のとき、 $B = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
  - $\text{Fratio} \geq 3$  かつ奇数のとき、 $B = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} - 1) / 2)) * T_{\text{ref}}$ 。



SPRSP08\_TIMING\_McSPI\_01

図 6-64. SPI コントローラ モードの送信タイミング

### 6.12.5.16.2 MCSPI — ペリフェラル モード

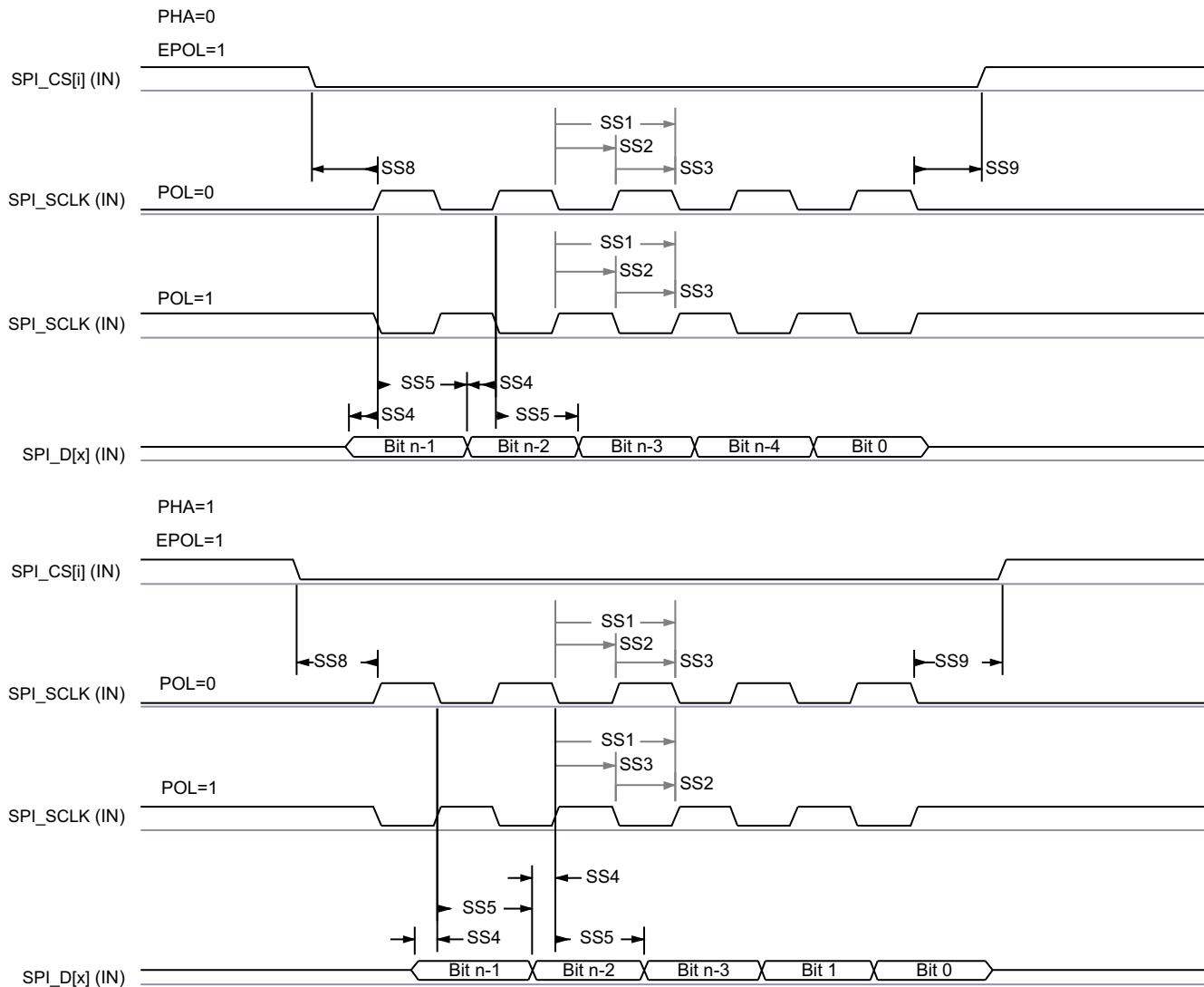
表 6-79、図 6-65、表 6-80、図 6-66 に、SPI –ペリフェラル モードのタイミング要件とスイッチング特性を示します。

**表 6-79. MCSPI のタイミング要件 - ペリフェラル モード**

図 6-65 参照

| 番号  | パラメータ                        | 説明   | 最小値                  | 最大値 | 単位 |
|-----|------------------------------|--|----------------------|-----|----|
| SS1 | $t_c(\text{SPICLK})$         | サイクル時間、SPIn_CLK                                    | 20                   |     | ns |
| SS2 | $t_w(\text{SPICLK}_L)$       | パルス幅、SPIn_CLK Low                                  | 0.45P <sup>(1)</sup> |     | ns |
| SS3 | $t_w(\text{SPICLK}_H)$       | パルス幅、SPIn_CLK High                                 | 0.45P <sup>(1)</sup> |     | ns |
| SS4 | $t_{su}(\text{PICO-SPICLK})$ | セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで       | 5                    |     | ns |
| SS5 | $t_h(\text{SPICLK-PICO})$    | ホールド時間、SPIn_CLK のアクティブ エッジ後に SPIn_D[x] を有効に保持すべき時間 | 5                    |     | ns |
| SS8 | $t_{su}(\text{CS-SPICLK})$   | セットアップ時間、SPIn_CSi 有効から SPIn_CLK の最初のエッジまで          | 5                    |     | ns |
| SS9 | $t_h(\text{SPICLK-CS})$      | ホールド時間、SPIn_CLK の最後のエッジ後に SPIn_CSi 有効の時間           | 5                    |     | ns |

(1) P = SPIn\_CLK 周期 (ns 単位)。



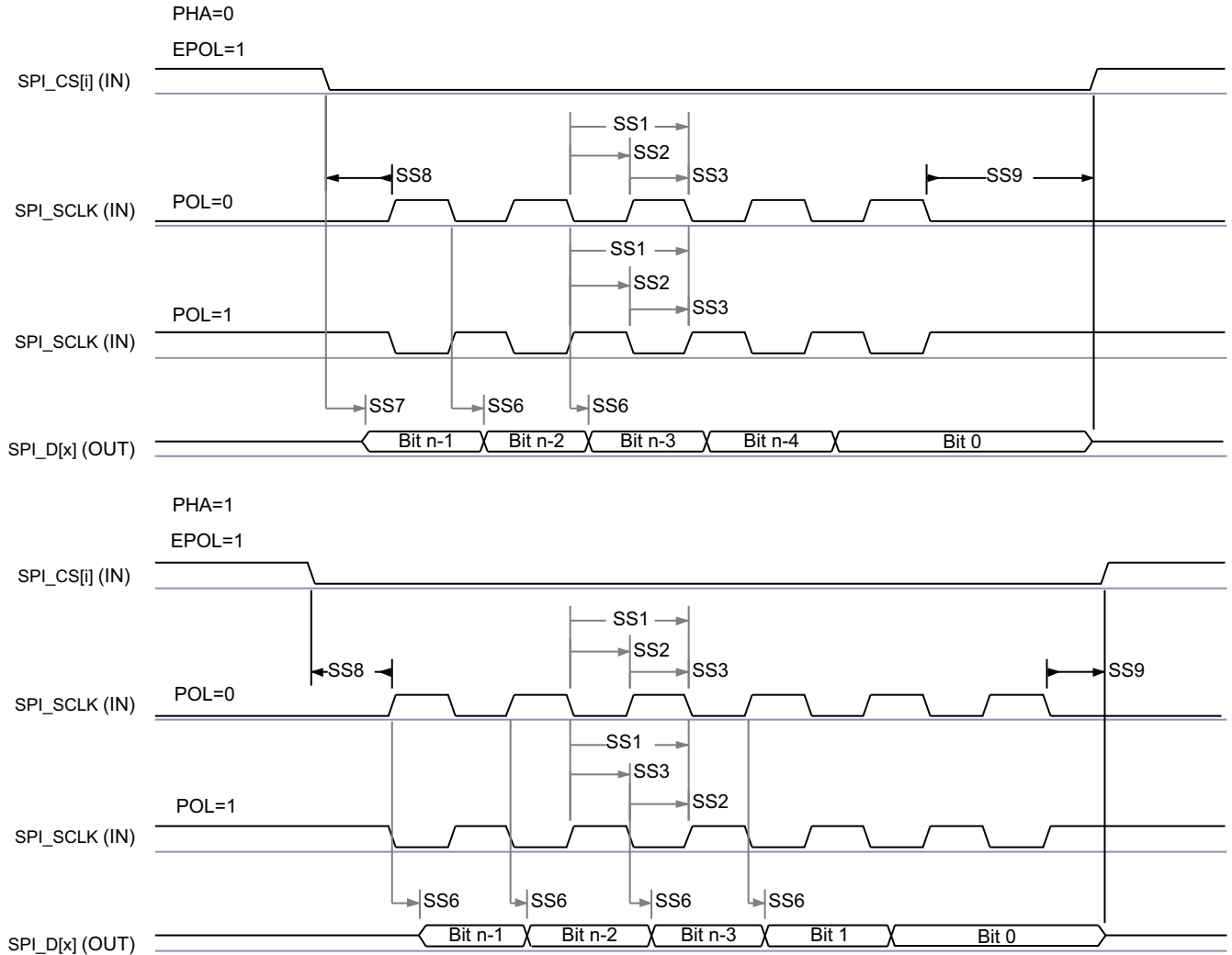
SPRSP08\_TIMING\_McSPI\_04

図 6-65. SPI ペリフェラル モードの受信タイミング

表 6-80. MCSPI のスイッチング特性 - パリフェラル モード

図 6-66 参照

| 番号  | パラメータ                | 説明                                     | 最小値   | 最大値   | 単位 |
|-----|----------------------|--|-------|-------|----|
| SS6 | $t_{d(SPICLK-POCI)}$ | 遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで | 2     | 17.12 | ns |
| SS7 | $t_{sk(CS-POCI)}$    | 遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで | 20.95 |       | ns |



SPRSP08\_TIMING\_McSPI\_03

図 6-66. SPI パリフェラル モードの送信タイミング

#### 6.12.5.17 MMCSDB

MMCSDB ホスト コントローラは、組み込みマルチメディア カード (MMC)、セキュア デジタル (SD)、セキュア デジタル IO (SDIO) デバイスへのインターフェイスとして機能します。MMCSDB ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

MMCSDB インターフェイスの詳細については、「信号説明」および「詳細説明」セクションの対応する MMC0、MMC1、MMC2 サブセクションを参照してください。

---

#### 注

一部の動作モードでは、表 6-81 および 表 6-93 に示すように、MMC DLL 遅延設定のソフトウェア設定が必要です。

表 6-81 と表 6-93 で、ITAPDLYSEL 列に「チューニング」の値が表示されているモードでは、入力タイミングを最適化するためにチューニング アルゴリズムを使用する必要があります。入力タイミングを最適化するために必要なチューニング アルゴリズムと入力遅延の構成の詳細については、デバイス TRM の「MMCSDB プログラミング ガイド」を参照してください。

---

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュア デジタル (MMCSDB) インターフェイス」セクションを参照してください。

### 6.12.5.17.1 MMC0 - eMMC インターフェイス

MMC0 インターフェイスは、JEDEC eMMC 電気規格 v5.1 (JESD84-B51) に準拠しており、以下に示す eMMC アプリケーションをサポートしています。

- レガシー SDR
- ハイスピード SDR
- ハイスピード DDR
- HS200
- HS400 (Q1 デバイスのみ)

表 6-81 に、MMC0 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-81. すべてのタイミング モードに対する MMC0 DLL 遅延マッピング

| レジスタ名              |   | MMCSD0_MMC_SSCFG_PHY_CTRL_x_REG |             |                   |                   |                   |                       |                                  |                   |                   |
|--------------------|---|---------------------------------|-------------|-------------------|-------------------|-------------------|-----------------------|----------------------------------|-------------------|-------------------|
|                    |   | x = 1                           | x = 4       |                   |                   |                   | x = 5                 |                                  |                   |                   |
| ビットフィールド           |   | [1]                             | [31:24]     | [20]              | [15:12]           | [8]               | [4:0]                 | [17:16]                          | [10:8]            | [2:0]             |
| ビットフィールド名          |   | ENDLL                           | STRBSEL     | OTAPDLYENA        | OTAPDLYSEL        | ITAPDLYENA        | ITAPDLYSEL            | SELDLYTXCLK<br>SELDLYRXCLK       | FRQSEL            | CLKBUFSEL         |
| モード                | 説明  | イネーブル<br>DLL                    | ストロープ<br>遅延 | 出力<br>遅延<br>イネーブル | 出力<br>遅延<br>値     | 入力<br>遅延<br>イネーブル | 入力<br>遅延<br>値         | DLL<br>遅延チェーン<br>選択              | DLL REF<br>周波数    | 遅延<br>バンプ<br>時間   |
| レガシー<br>SDR        | 8 ビット PHY<br>動作<br>1.8V、25MHz                       | 0x0                             | 0x0         | NA <sup>(1)</sup> | NA <sup>(1)</sup> | 0x1               | 0x10                  | 0x1<br>または<br>0x3 <sup>(2)</sup> | NA <sup>(3)</sup> | 0x7               |
| ハイスピー<br>ード<br>SDR | 8 ビット PHY<br>動作<br>1.8V、50MHz                       | 0x0                             | 0x0         | NA <sup>(1)</sup> | NA <sup>(1)</sup> | 0x1               | 0xA                   | 0x1<br>または<br>0x3 <sup>(2)</sup> | NA <sup>(3)</sup> | 0x7               |
| ハイスピー<br>ード<br>DDR | 8 ビット PHY<br>動作<br>1.8V、50MHz                       | 0x1                             | 0x0         | 0x1               | 0x6               | 0x1               | 0x3                   | 0x0                              | 0x4               | NA <sup>(4)</sup> |
| HS200              | 8 ビット PHY<br>動作<br>1.8V、200MHz                      | 0x1                             | 0x0         | 0x1               | 0x8               | 0x1               | チューニング <sup>(5)</sup> | 0x0                              | 0x0               | NA <sup>(4)</sup> |
| HS400              | 8 ビット PHY<br>動作<br>1.8V、200MHz、<br>VDD_CORE = 0.75V | 0x1                             | 0x66        | 0x1               | 0x6               | 0x1               | チューニング <sup>(5)</sup> | 0x0                              | 0x0               | NA <sup>(4)</sup> |
|                    | 0x5   |                                 |             |                   |                   |                   |                       |                                  |                   |                   |

- NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタ フィールドが機能しないことを意味します。
- SELDLYTXCLK は、このモードに必要なハーフサイクル タイミングで動作する場合、いかなる機能も持ちません。
- NA は、ENDLL が 0x0 に設定されている場合、このレジスタ フィールドがいかなる機能も持たないことを意味します。
- NA は、ENDLL が 0x1 に設定されている場合、このレジスタ フィールドがいかなる機能も持たないことを意味します。
- チューニングとは、このモードで最適な入力タイミングを決定するためにチューニング アルゴリズムを使用する必要があることを意味します。

表 6-82 に、MMC0 のタイミング条件を示します。

**表 6-82. MMC0 のタイミング条件**

| パラメータ                                 |                      |                    | 最小値  | 最大値 | 単位   |
|---------------------------------------|----------------------|--------------------|------|-----|------|
| <b>入力条件</b>                           |                      |                    |      |     |      |
| SR <sub>i</sub>                       | 入力スルーレート             | レガシー SDR<br>高速 SDR | 0.3  | 0.9 | V/ns |
|                                       |                      | ハイスピード DDR (CMD)   | 0.3  | 0.9 | V/ns |
|                                       |                      | ハイスピード DDR (DAT)   | 0.45 | 0.9 | V/ns |
| <b>出力条件</b>                           |                      |                    |      |     |      |
| C <sub>L</sub>                        | 出力負荷容量               | HS400              | 1    | 6   | pF   |
|                                       |                      | その他のすべてのモード        | 1    | 12  | pF   |
| <b>PCB 接続要件</b>                       |                      |                    |      |     |      |
| t <sub>d</sub> (Trace Delay)          | 各パターンの伝搬遅延           | すべてのモード            | 126  | 756 | ps   |
| t <sub>d</sub> (Trace Mismatch Delay) | すべてのパターンにわたる伝搬遅延の不整合 | HS200<br>HS400     |      | 8   | ps   |
|                                       |                      | 高速 DDR             |      | 20  | ps   |
|                                       |                      | その他のすべてのモード        |      | 100 | ps   |

### 6.12.5.17.1.1 レガシー SDR モード

表 6-83、図 6-67、表 6-84、図 6-68 に、レガシー SDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-83. MMC0 のタイミング要件 – レガシー SDR モード

図 6-67 参照

| 番号    |                     |   | 最小値  | 最大値 | 単位 |
|-------|---------------------|---|------|-----|----|
| LSDR1 | $t_{su}(cmdV-clkH)$ | セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで      | 1.56 |     | ns |
| LSDR2 | $t_h(clkH-cmdV)$    | ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間        | 5.44 |     | ns |
| LSDR3 | $t_{su}(dV-clkH)$   | セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで | 1.56 |     | ns |
| LSDR4 | $t_h(clkH-dV)$      | ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間   | 5.44 |     | ns |

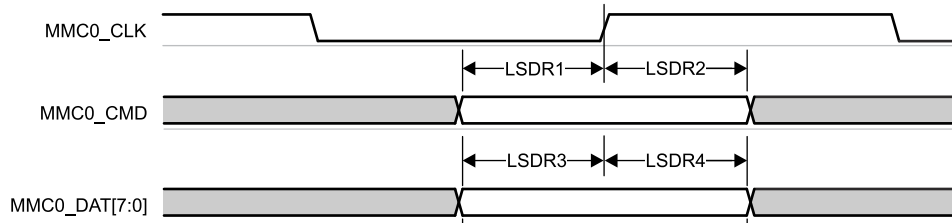


図 6-67. MMC0 – レガシー SDR – 受信モード

表 6-84. MMC0 のスイッチング特性 – レガシー SDR モード

図 6-68 参照

| 番号    | パラメータ            | 最小値  | 最大値  | 単位  |
|-------|------------------|------|------|-----|
|       | $f_{op}(clk)$    |      | 25   | MHz |
| LSDR5 | $t_c(clk)$       |      | 40   | ns  |
| LSDR6 | $t_w(clkH)$      |      | 18.7 | ns  |
| LSDR7 | $t_w(clkL)$      |      | 18.7 | ns  |
| LSDR8 | $t_d(clkL-cmdV)$ | -2.3 | 2.9  | ns  |
| LSDR9 | $t_d(clkL-dV)$   | -2.3 | 2.9  | ns  |

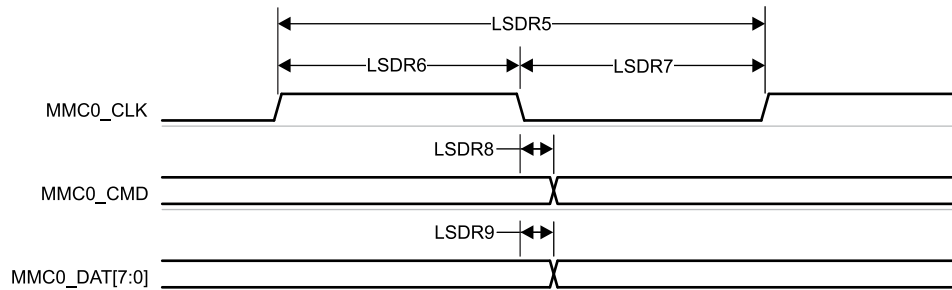


図 6-68. MMC0 – レガシー SDR – 送信モード

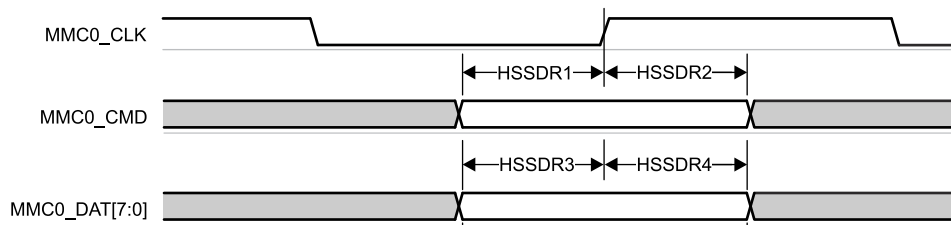
### 6.12.5.17.1.2 高速 SDR モード

表 6-85、図 6-69、表 6-86、および 図 6-70 に、高速 SDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

**表 6-85. MMC0 のタイミング要件 – 高速 SDR モード**

図 6-69 参照

| 番号     |                     |   | 最小値  | 最大値 | 単位 |
|--------|---------------------|---|------|-----|----|
| HSSDR1 | $t_{su(cmdV-clkH)}$ | セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで      | 2.24 |     | ns |
| HSSDR2 | $t_h(clkH-cmdV)$    | ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間        | 2.67 |     | ns |
| HSSDR3 | $t_{su(dV-clkH)}$   | セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで | 2.24 |     | ns |
| HSSDR4 | $t_h(clkH-dV)$      | ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間   | 2.67 |     | ns |

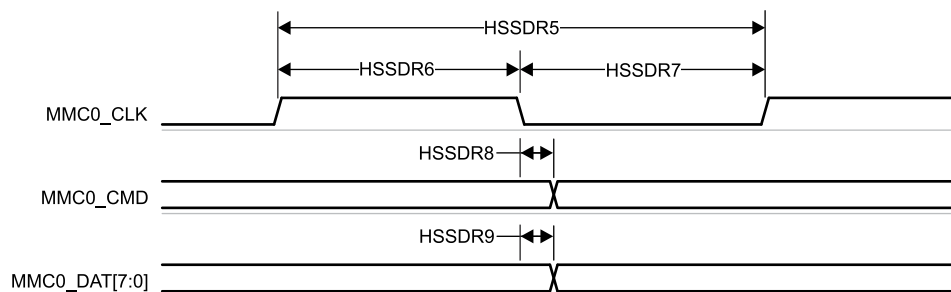


**図 6-69. MMC0 – 高速 SDR モード – 受信モード**

**表 6-86. MMC0 のスイッチング特性 – 高速 SDR モード**

図 6-70 参照

| 番号     | パラメータ            | 最小値  | 最大値 | 単位  |
|--------|------------------|------|-----|-----|
|        | $f_{op(clk)}$    |      | 50  | MHz |
| HSSDR5 | $t_c(clk)$       |      | 20  | ns  |
| HSSDR6 | $t_w(clkH)$      |      | 9.2 | ns  |
| HSSDR7 | $t_w(clkL)$      |      | 9.2 | ns  |
| HSSDR8 | $t_d(clkL-cmdV)$ | -2.3 | 2.9 | ns  |
| HSSDR9 | $t_d(clkL-dV)$   | -2.3 | 2.9 | ns  |



**図 6-70. MMC0 – 高速 SDR モード – 送信モード**

### 6.12.5.17.1.3 高速 DDR モード

表 6-87、図 6-71、表 6-88、および図 6-72 に、MMC0 – 高速 DDR モードのタイミング要件とスイッチング特性を示します。

表 6-87. MMC0 のタイミング要件 – 高速 DDR モード

図 6-71 参照

| 番号     |                    |  | 最小値  | 最大値 | 単位 |
|--------|--------------------|--|------|-----|----|
| HSDDR1 | $t_{su(cmdV-clk)}$ | セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで | 1.62 |     | ns |
| HSDDR2 | $t_h(clk-cmdV)$    | ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間   | 2.52 |     | ns |
| HSDDR3 | $t_{su(dV-clk)}$   | セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 遷移まで  | 0.82 |     | ns |
| HSDDR4 | $t_h(clk-dV)$      | ホールド時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 有効の間    | 1.75 |     | ns |

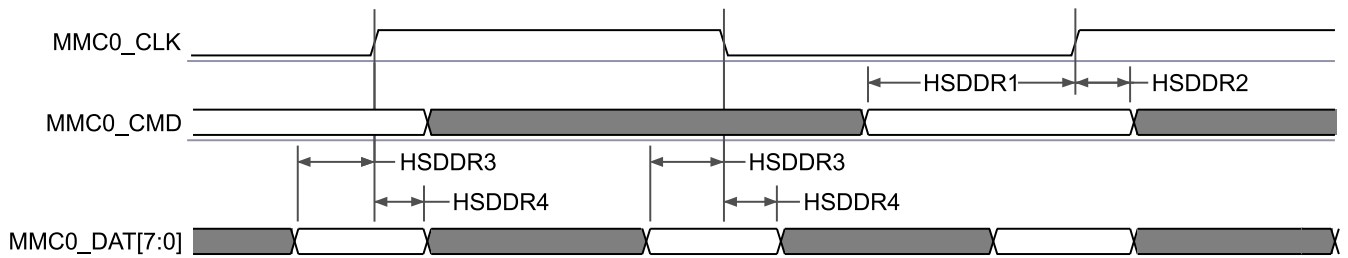


図 6-71. MMC0 – 高速 DDR モード – 受信モード

表 6-88. MMC0 のスイッチング特性 – 高速 DDR モード

図 6-72 参照

| 番号     | パラメータ           | 最小値                                    | 最大値  | 単位   |    |
|--------|-----------------|--|------|------|----|
|        | $f_{op(clk)}$   | 動作周波数、MMC0_CLK                         | 50   | MHz  |    |
| HSDDR5 | $t_c(clk)$      | サイクル時間、MMC0_CLK                        | 20   | ns   |    |
| HSDDR6 | $t_w(clkH)$     | パルス幅、MMC0_CLK high                     | 9.2  | ns   |    |
| HSDDR7 | $t_w(clkL)$     | パルス幅、MMC0_CLK low                      | 9.2  | ns   |    |
| HSDDR8 | $t_d(clk-cmdV)$ | 遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで | 3.32 | 7.64 | ns |
| HSDDR9 | $t_d(clk-dV)$   | 遅延時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 遷移まで  | 2.82 | 6.93 | ns |

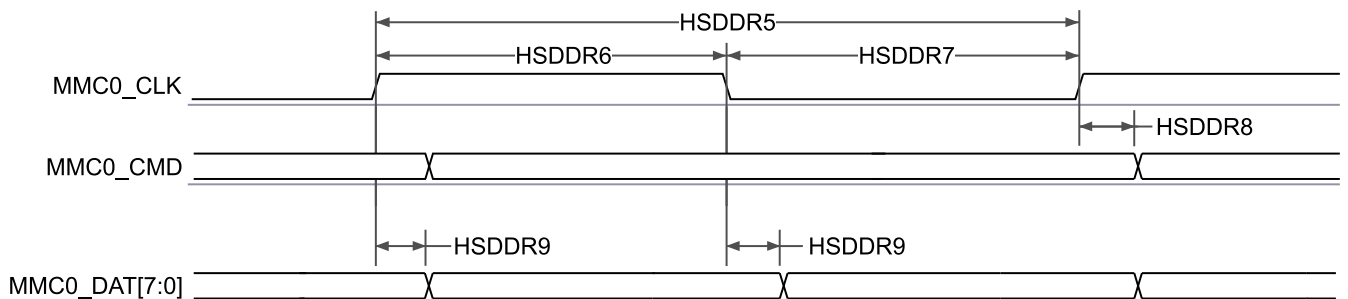


図 6-72. MMC0 – 高速 DDR モード – 送信モード

### 6.12.5.17.1.4 HS200 モード

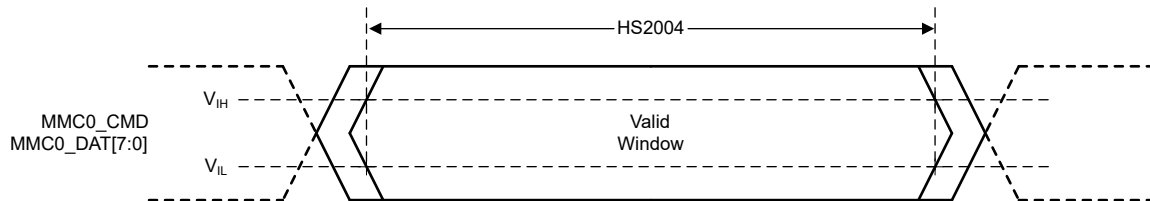
表 6-89、図 6-73、表 6-90、図 6-74 に、MMC0 – HS200 モードでのタイミング要件とスイッチング特性の両方を示します。

**表 6-89. MMC0 のタイミング要件 – HS200 モード**

図 6-73 参照

| 番号     | パラメータ     | 説明                                      | 最小値                | 最大値 | 単位 |
|--------|-----------|---|--------------------|-----|----|
| HS2004 | $t_{DvW}$ | 入力データ有効ウィンドウ、MMC0_CMD および MMC0_DAT[7:0] | 2.0 <sup>(1)</sup> |     | ns |

- (1) このパラメータは、ホストが必要とする最小データ有効ウィンドウを定義します。このとき、ホストに提示されるデータ有効ウィンドウがこの値を超える場合、ホストが有効なデータをキャプチャできることが保証されます。このパラメータで定義される値は、HS200 モードで動作する eMMC デバイスに定義されている可能な最小データ有効ウィンドウよりも小さくなります。

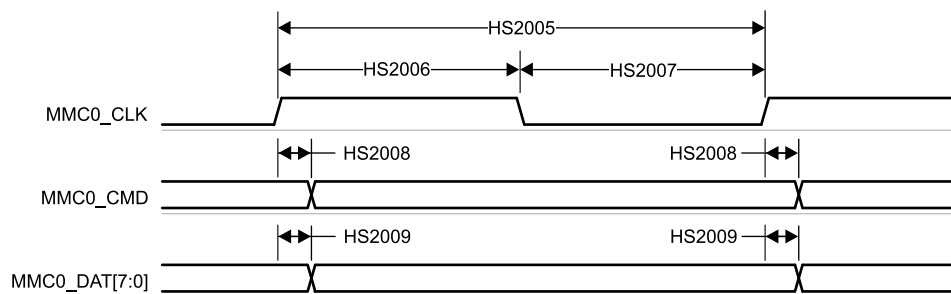


**図 6-73. MMC0 – HS200 – 受信モード**

**表 6-90. MMC0 のスイッチング特性 – HS200 モード**

図 6-74 参照

| 番号     | パラメータ            | 説明  | 最小値  | 最大値  | 単位  |
|--------|------------------|---|------|------|-----|
|        | $f_{op}(clk)$    | 動作周波数、MMC0_CLK                              |      | 200  | MHz |
| HS2005 | $t_c(clk)$       | サイクル時間、MMC0_CLK                             | 5    |      | ns  |
| HS2006 | $t_w(clkH)$      | パルス幅、MMC0_CLK high                          | 2.12 |      | ns  |
| HS2007 | $t_w(clkL)$      | パルス幅、MMC0_CLK low                           | 2.12 |      | ns  |
| HS2008 | $t_d(clkL-cmdV)$ | 遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで      | 1.07 | 3.21 | ns  |
| HS2009 | $t_d(clkL-dV)$   | 遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 遷移まで | 1.07 | 3.21 | ns  |



**図 6-74. MMC0 – HS200 モード – 送信モード**

6.12.5.17.1.5 HS400 モード

表 6-91、図 6-75、表 6-92、図 6-76 に、MMC0 – HS400 モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-91. MMC0 のタイミング要件 – HS400 モード

図 6-75 参照

| 番号     |                |                                      | 最小値  | 最大値               | 単位 |
|--------|----------------|--------------------------------------|------|-------------------|----|
| HS4000 | $t_{DSMPW}$    | パルス幅、MMC0_DS                         | 1.95 |                   | ns |
| HS4001 | $t_{RQ\_DAT}$  | 入力スキュー、MMC0_DS から MMC0_DAT 有効まで      |      | 475               | ps |
| HS4002 | $t_{RQH\_DAT}$ | 入力スキュー ホールド、MMC0_DAT 無効から MMC0_DS まで |      | 475               | ps |
| HS4003 | $t_{RQ\_CMD}$  | 入力スキュー、MMC0_DS から MMC0_CMD 有効まで      |      | NA <sup>(1)</sup> | ps |
| HS4004 | $t_{RQH\_CMD}$ | 入力スキュー ホールド、MMC0_CMD 無効から MMC0_DS まで |      | NA <sup>(1)</sup> | ps |

(1) このパラメータは、このデバイスではサポートされていない拡張ストローブ モードで動作している場合にのみ適用されます。CMD 入力、拡張ストローブ モードで動作していない場合の CLK の内部遅延バージョンを使用してキャプチャされ、CMD 入力タイミングを最適化するチューニング アルゴリズムによって遅延が選択されます。したがって、CMD の特定のタイミング要件を定義することはできません。

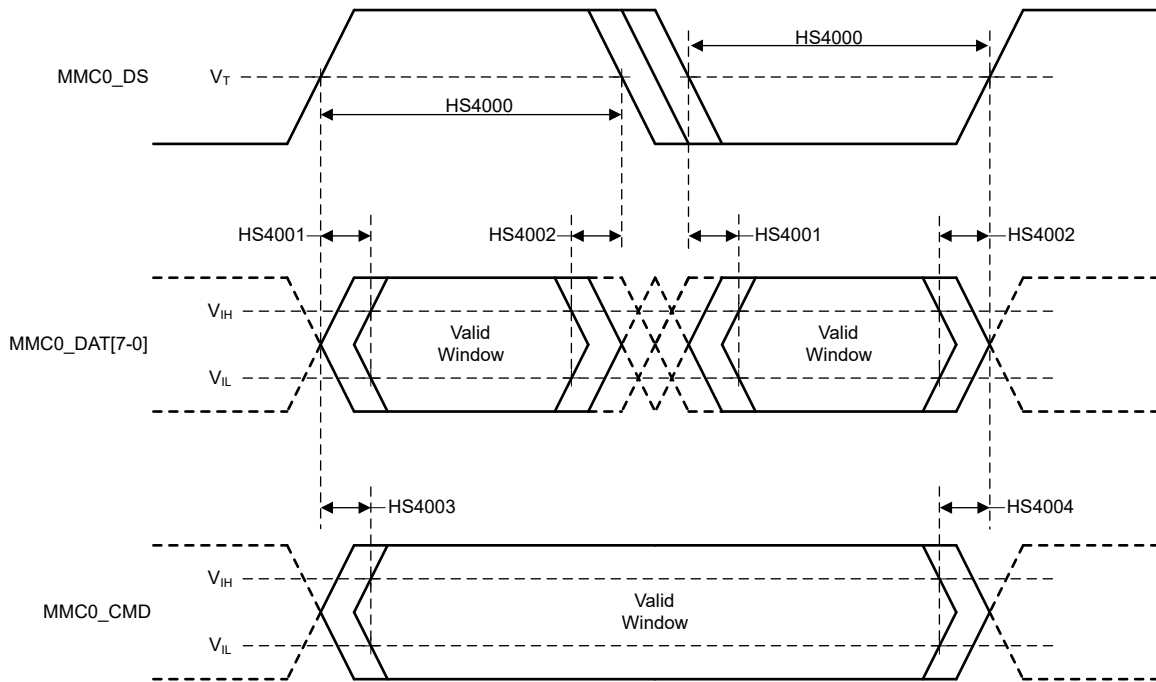


図 6-75. MMC0 – HS400 – 受信モード

表 6-92. MMC0 のスイッチング特性 – HS400 モード

図 6-76 参照

| 番号      | パラメータ                | 説明   | 最小値   | 最大値 | 単位  |
|---------|----------------------|--|-------|-----|-----|
|         | $f_{op}(clk)$        | 動作周波数、MMC0_CLK   |       | 200 | MHz |
| HS4005  | $t_c(clkH)$          | サイクル時間、MMC0_CLK  | 5.0   |     | ns  |
| HS4006  | $t_w(clkH)$          | パルス幅、MMC0_CLK high   | 2.30  |     | ns  |
| HS4007  | $t_w(clkL)$          | パルス幅、MMC0_CLK low  | 2.30  |     | ns  |
| HS4008  | $t_{osu}(cmdV-clkH)$ | 出力セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで <sup>(1)</sup>              | 2.86  |     | ns  |
| HS4009  | $t_{osu}(dV-clk)$    | 出力セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりまたは立ち下がりエッジまで <sup>(1)</sup> | 0.700 |     | ns  |
| HS40010 | $t_{oh}(clkH-cmdV)$  | 出力ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 無効まで <sup>(2)</sup>                | 1.16  |     | ns  |
| HS40011 | $t_{oh}(clk-dIV)$    | 出力ホールド時間、MMC0_CLK 立ち上がりまたは立ち下がりエッジから MMC0_DAT[7:0] 無効まで <sup>(2)</sup>   | 0.760 |     | ns  |

- (1) このパラメータは、接続されたデバイスに提供される出力セットアップ時間を定義します。この時間は次のキャプチャクロック エッジを基準としており、「MMC0 のタイミング条件」表に定義されている最大伝搬遅延不一致値をすでに含んでいます。このパラメータのタイミング基準は、DAT または CMD 信号遷移の中電圧から CLK 信号遷移の中電圧までです。eMMC 規格では、セットアップ タイミング基準は、DAT または CMD 信号遷移の VIL または VIH から CLK 信号遷移の中電圧までと定義されています。したがって、システム設計者は、PCB を設計するときに DAT 信号のスルー レートによる影響を考慮し、DAT 信号が中電圧から VIL または VIH までスルーするのにかかる時間によってセットアップ時間のマージンが失われないようにする必要があります。
- (2) このパラメータは、接続されたデバイスに提供される出力ホールド時間を定義します。この時間は前の起動クロック エッジを基準としており、「MMC0 のタイミング条件」表に定義されている最大伝搬遅延不一致値をすでに含んでいます。このパラメータのタイミング基準は、CLK 信号遷移の中電圧から DAT または CMD 信号遷移の中電圧までです。eMMC 規格では、ホールド タイミング基準は、CLK 信号遷移の中電圧から DAT または CMD 信号遷移の VIL または VIH までと定義されています。したがって、システム設計者は、PCB を設計するときに DAT 信号のスルー レートによる影響を考慮し、DAT 信号が VIL または VIH から中電圧までスルーするのにかかる時間によってホールド時間のマージンが失われないようにする必要があります。

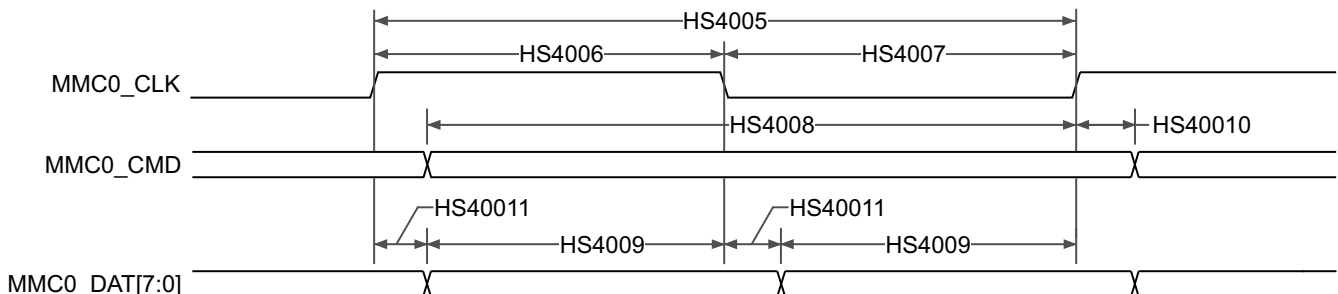


図 6-76. eMMC IN – HS400 モード – 送信モード

### 6.12.5.17.2 MMC1/MMC2 - SD/SDIO インターフェイス

MMC1/MMC2 インターフェイスは、SD ホスト コントローラ標準仕様 4.10、SD 物理層仕様 v3.01、SDIO 仕様 v3.00 に準拠しており、以下の SD カード アプリケーションをサポートしています。

- デフォルト速度
- 高速
- UHS-I SDR12
- UHS-I SDR25
- UHS-I SDR50
- UHS-I DDR50
- UHS-I SDR104

表 6-93 に、MMC1/2 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-93. すべてのタイミング モードに対する MMC1/MMC2 DLL 遅延マッピング

| レジスタ名           |                                | MMCS1D1_MMC_SSCFG_PHY_CTRL_4_REG<br>MMCS2D2_MMC_SSCFG_PHY_CTRL_4_REG |                   |                   |                       |
|-----------------|--------------------------------|--|-------------------|-------------------|-----------------------|
| ビットフィールド        |                                | [20]   | [15:12]           | [8]               | [4:0]                 |
| ビットフィールド名       |                                | OTAPDLYENA   | OTAPDLYSEL        | ITAPDLYENA        | ITAPDLYSEL            |
| モード             | 説明                             | 遅延<br>イネーブル  | 遅延<br>値           | 入力<br>遅延<br>イネーブル | 入力<br>遅延<br>値         |
| デフォルト<br>速度     | 4 ビット PHY<br>動作<br>3.3V、25MHz  | NA <sup>(1)</sup>  | NA <sup>(1)</sup> | 0x1               | 0x0                   |
| 高<br>速          | 4 ビット PHY<br>動作<br>3.3V、50MHz  | NA <sup>(1)</sup>  | NA <sup>(1)</sup> | 0x1               | 0x0                   |
| UHS-I<br>SDR12  | 4 ビット PHY<br>動作<br>1.8V、25MHz  | 0x1  | 0xF               | 0x1               | 0x0                   |
| UHS-I<br>SDR25  | 4 ビット PHY<br>動作<br>1.8V、50MHz  | 0x1  | 0xF               | 0x1               | 0x0                   |
| UHS-I<br>SDR50  | 4 ビット PHY<br>動作<br>1.8V、100MHz | 0x1  | 0xC               | 0x1               | チューニング <sup>(2)</sup> |
| UHS-I<br>DDR50  | 4 ビット PHY<br>動作<br>1.8V、50MHz  | 0x1  | 0x9               | 0x1               | チューニング <sup>(2)</sup> |
| UHS-I<br>SDR104 | 4 ビット PHY<br>動作<br>1.8V、200MHz | 0x1  | 0x6               | 0x1               | チューニング <sup>(2)</sup> |

(1) NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタ フィールドが機能しないことを意味します。

(2) チューニングとは、このモードで最適な入力タイミングを決定するためにチューニング アルゴリズムを使用する必要があることを意味します。

表 6-94 に、MMC1 のタイミング条件を示します。

**表 6-94. MMC1/MMC2 のタイミング条件**

| パラメータ                                 |                      |                            | 最小値  | 最大値  | 単位   |
|---------------------------------------|----------------------|----------------------------|------|------|------|
| <b>入力条件</b>                           |                      |                            |      |      |      |
| SR <sub>i</sub>                       | 入力スルーレート             | デフォルト速度<br>高速              | 0.69 | 2.06 | V/ns |
|                                       |                      | UHS-I SDR12<br>UHS-I SDR25 | 0.34 | 1.34 | V/ns |
|                                       |                      | UHS-I DDR50                | 1    | 2    | V/ns |
| <b>出力条件</b>                           |                      |                            |      |      |      |
| C <sub>L</sub>                        | 出力負荷容量               | すべてのモード                    | 1    | 10   | pF   |
| <b>PCB 接続要件</b>                       |                      |                            |      |      |      |
| t <sub>d</sub> (Trace Delay)          | 各パターンの伝搬遅延           | UHS-I DDR50                | 239  | 1134 | ps   |
|                                       |                      | その他のすべてのモード                | 126  | 1386 | ps   |
| t <sub>d</sub> (Trace Mismatch Delay) | すべてのパターンにわたる伝搬遅延の不整合 | 高速<br>UHS-I SDR104         |      | 8    | ps   |
|                                       |                      | UHS-I DDR50                |      | 20   | ps   |
|                                       |                      | その他のすべてのモード                |      | 100  | ps   |

### 6.12.5.17.2.1 デフォルト速度モード

表 6-95、図 6-77、表 6-96、図 6-78 に、MMC1/MMC2 – デフォルト速度モードのタイミング要件とスイッチング特性を示します。

表 6-95. MMC1/MMC2 のタイミング要件 – デフォルト速度モード

図 6-77 参照

| 番号  |                     |   | 最小値  | 最大値 | 単位 |
|-----|---------------------|---|------|-----|----|
| DS1 | $t_{su}(cmdV-clkH)$ | セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで      | 2.15 |     | ns |
| DS2 | $t_h(clkH-cmdV)$    | ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_CMD 有効の間        | 1.67 |     | ns |
| DS3 | $t_{su}(dV-clkH)$   | セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち上がりエッジまで | 2.15 |     | ns |
| DS4 | $t_h(clkH-dV)$      | ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_DAT[3:0] 有効の間   | 1.67 |     | ns |

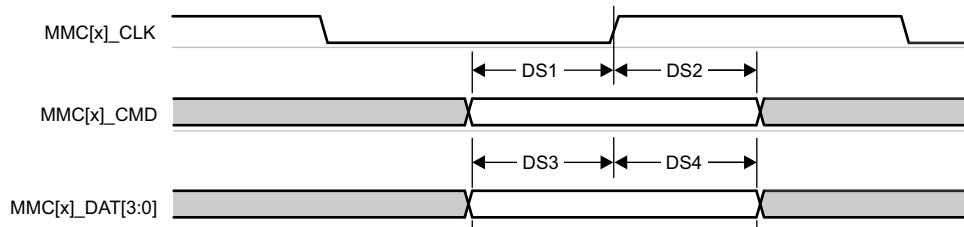


図 6-77. MMC1/MMC2 – デフォルト速度 – 受信モード

表 6-96. MMC1/MMC2 のスイッチング特性 - デフォルト速度モード

図 6-78 参照

| 番号  | パラメータ            |   | 最小値   | 最大値 | 単位  |
|-----|------------------|---|-------|-----|-----|
|     | $f_{op}(clk)$    | 動作周波数、MMCx_CLK                              |       | 25  | MHz |
| DS5 | $t_c(clk)$       | サイクル時間、MMCx_CLK                             | 40    |     | ns  |
| DS6 | $t_w(clkH)$      | パルス幅、MMCx_CLK high                          | 18.7  |     | ns  |
| DS7 | $t_w(clkL)$      | パルス幅、MMCx_CLK low                           | 18.7  |     | ns  |
| DS8 | $t_d(clkL-cmdV)$ | 遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_CMD 遷移まで      | - 1.8 | 2.2 | ns  |
| DS9 | $t_d(clkL-dV)$   | 遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_DAT[3:0] 遷移まで | - 1.8 | 2.2 | ns  |

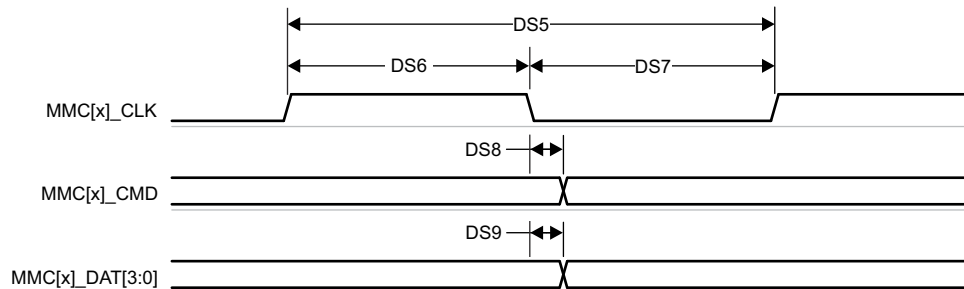


図 6-78. MMC1/MMC2 – デフォルト速度 – 送信モード

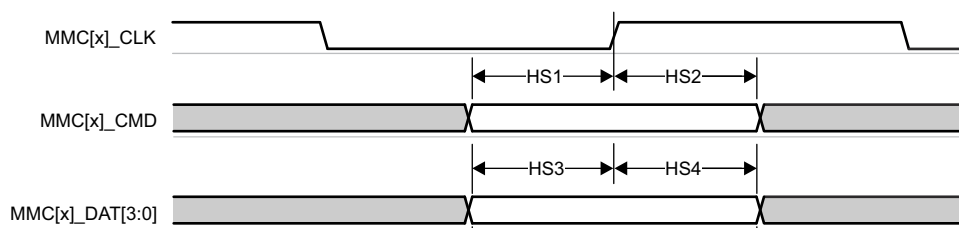
### 6.12.5.17.2.2 高速モード

表 6-97、図 6-79、表 6-98、図 6-80 に、高速モードでの MMC1/MMC2 のタイミング要件とスイッチング特性を示します。

**表 6-97. MMC1/MMC2 のタイミング要件 – 高速モード**

図 6-79 参照

| 番号  |                     |   | 最小値  | 最大値 | 単位 |
|-----|---------------------|---|------|-----|----|
| HS1 | $t_{su}(cmdV-clkH)$ | セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで      | 2.24 |     | ns |
| HS2 | $t_h(clkH-cmdV)$    | ホールド時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 有効の間        | 1.66 |     | ns |
| HS3 | $t_{su}(dV-clkH)$   | セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち下がりエッジまで | 2.24 |     | ns |
| HS4 | $t_h(clkH-dV)$      | ホールド時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 有効の間   | 1.66 |     | ns |

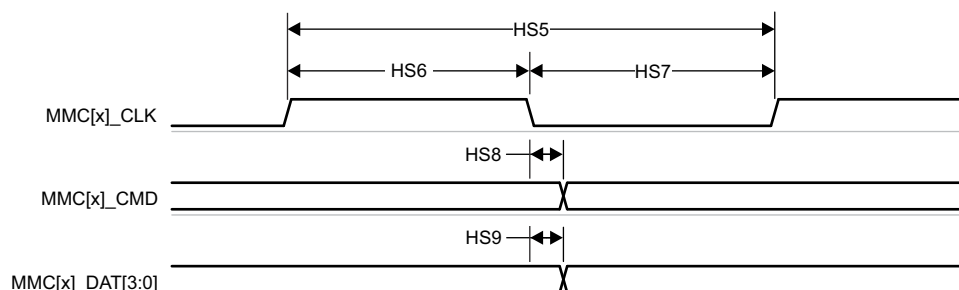


**図 6-79. MMC1/MMC2 – 高速 – 受信モード**

**表 6-98. MMC1/MMC2 のスイッチング特性 – 高速モード**

図 6-80 参照

| 番号  | パラメータ            |   | 最小値   | 最大値 | 単位  |
|-----|------------------|---|-------|-----|-----|
|     | $f_{op}(clk)$    | 動作周波数、MMCx_CLK                              |       | 50  | MHz |
| HS5 | $t_c(clk)$       | サイクル時間、MMCx_CLK                             | 20    |     | ns  |
| HS6 | $t_w(clkH)$      | パルス幅、MMCx_CLK High                          | 9.2   |     | ns  |
| HS7 | $t_w(clkL)$      | パルス幅、MMCx_CLK Low                           | 9.2   |     | ns  |
| HS8 | $t_d(clkL-cmdV)$ | 遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_CMD 遷移まで      | - 1.8 | 2.2 | ns  |
| HS9 | $t_d(clkL-dV)$   | 遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_DAT[3:0] 遷移まで | - 1.8 | 2.2 | ns  |



**図 6-80. MMC1/MMC2 – 高速 – 送信モード**

### 6.12.5.17.2.3 UHS-I SDR12 モード

表 6-99、図 6-81、表 6-100、および図 6-82 に、MMC1/MMC2 – UHS-I SDR12 モードのタイミング要件とスイッチング特性を示します。

表 6-99. MMC1/MMC2 – UHS-I SDR12 モードのタイミング要件

図 6-81 参照

| 番号     |                     |   | 最小値  | 最大値 | 単位 |
|--------|---------------------|---|------|-----|----|
| SDR121 | $t_{su(cmdV-clkH)}$ | セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで      | 4.2  |     | ns |
| SDR122 | $t_h(clkH-cmdV)$    | ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_CMD 有効の間        | 0.87 |     | ns |
| SDR123 | $t_{su(dV-clkH)}$   | セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち上がりエッジまで | 4.2  |     | ns |
| SDR124 | $t_h(clkH-dV)$      | ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_DAT[3:0] 有効の間   | 0.87 |     | ns |

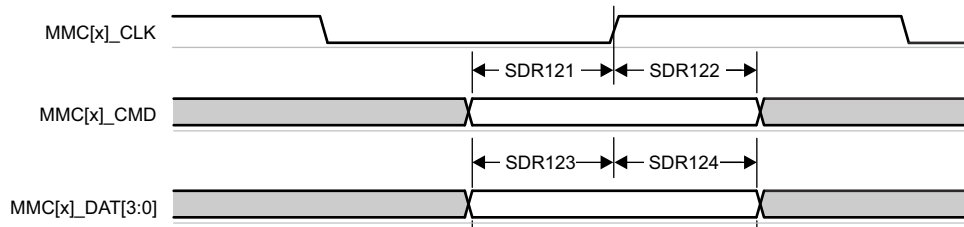


図 6-81. MMC1/MMC2 – UHS-I SDR12 – 受信モード

表 6-100. MMC1/MMC2 のスイッチング特性 – UHS-I SDR12 モード

図 6-82 参照

| 番号     | パラメータ            | 最小値  | 最大値 | 単位  |
|--------|------------------|------|-----|-----|
|        | $f_{op}(clk)$    |      | 25  | MHz |
| SDR125 | $t_c(clk)$       | 40   |     | ns  |
| SDR126 | $t_w(clkH)$      | 18.7 |     | ns  |
| SDR127 | $t_w(clkL)$      | 18.7 |     | ns  |
| SDR128 | $t_d(clkL-cmdV)$ | 1.5  | 8.6 | ns  |
| SDR129 | $t_d(clkL-dV)$   | 1.5  | 8.6 | ns  |

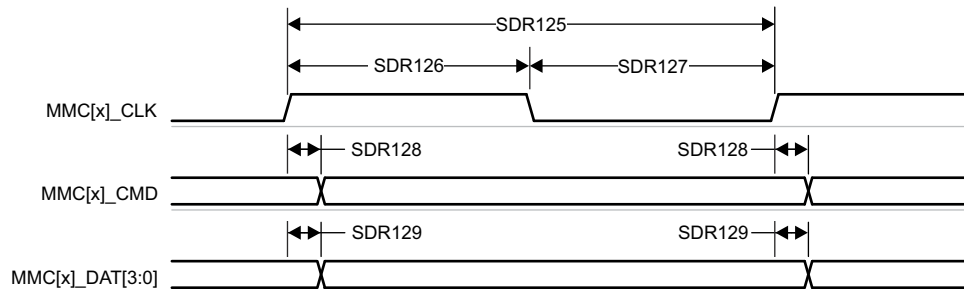


図 6-82. MMC1/MMC2 – UHS-I SDR12 – 送信モード

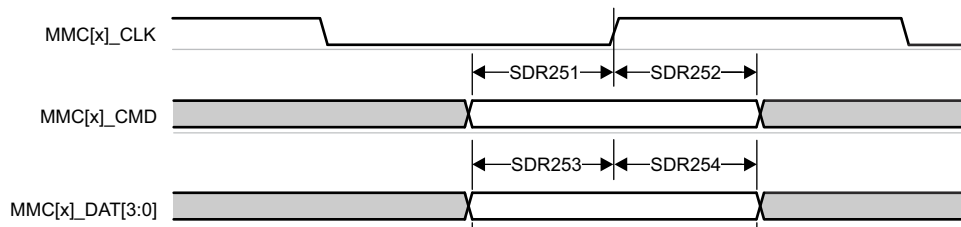
### 6.12.5.17.2.4 UHS-I SDR25 モード

表 6-101、図 6-83、表 6-102、図 6-84 に、UHS-I SDR25 モードでの MMC1/MMC2 のタイミング要件とスイッチング特性を示します。

**表 6-101. MMC1/MMC2 のタイミング要件 – UHS-I SDR25 モード**

図 6-83 参照

| 番号     |                     |   | 最小値  | 最大値 | 単位 |
|--------|---------------------|---|------|-----|----|
| SDR251 | $t_{su(cmdV-clkH)}$ | セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで      | 2.15 |     | ns |
| SDR252 | $t_{h(clkH-cmdV)}$  | ホールド時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 有効の間        | 1.27 |     | ns |
| SDR253 | $t_{su(dV-clkH)}$   | セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち上がりエッジまで | 2.15 |     | ns |
| SDR254 | $t_{h(clkH-dV)}$    | ホールド時間、MMCx_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間   | 1.27 |     | ns |

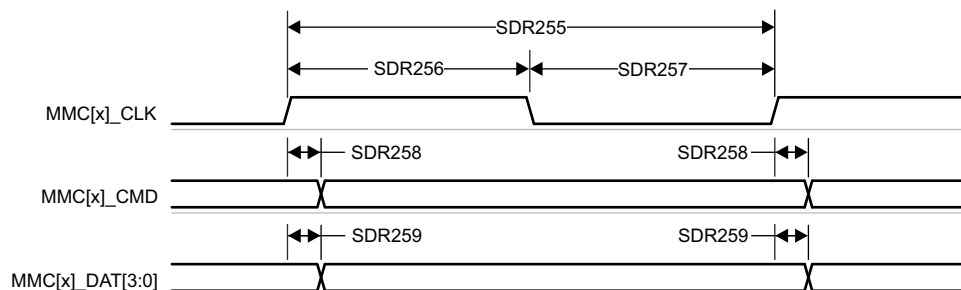


**図 6-83. MMC1/MMC2 – UHS-I SDR25 – 受信モード**

**表 6-102. MMC1/MMC2 のスイッチング特性 – UHS-I SDR25 モード**

図 6-84 参照

| 番号     | パラメータ            | 最小値 | 最大値 | 単位  |
|--------|------------------|-----|-----|-----|
|        | $f_{op(clk)}$    |     | 50  | MHz |
| SDR255 | $t_c(clk)$       | 20  |     | ns  |
| SDR256 | $t_w(clkH)$      | 9.2 |     | ns  |
| SDR257 | $t_w(clkL)$      | 9.2 |     | ns  |
| SDR258 | $t_d(clkL-cmdV)$ | 2.4 | 8.1 | ns  |
| SDR259 | $t_d(clkL-dV)$   | 2.4 | 8.1 | ns  |



**図 6-84. MMC1/MMC2 – UHS-I SDR25 – 送信モード**

6.12.5.17.2.5 UHS-I SDR50 モード

表 6-103 および 図 6-85 に、UHS-I SDR50 モードでの MMC1/MMC2 のスイッチング特性を示します。

表 6-103. MMC1/MMC2 のスイッチング特性 – UHS-I SDR50 モード

図 6-85 参照

| 番号     | パラメータ            | 最小値   | 最大値 | 単位             |
|--------|------------------|---|-----|----------------|
|        | $f_{op}(clk)$    | 動作周波数、MMCx_CLK                              |     | 100 MHz        |
| SDR505 | $t_c(clk)$       | サイクル時間、MMCx_CLK                             |     | 10 ns          |
| SDR506 | $t_w(clkH)$      | パルス幅、MMCx_CLK High                          |     | 4.45 ns        |
| SDR507 | $t_w(clkL)$      | パルス幅、MMCx_CLK Low                           |     | 4.45 ns        |
| SDR508 | $t_d(clkL-cmdV)$ | 遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 遷移まで      |     | 1.2 ns 6.35 ns |
| SDR509 | $t_d(clkL-dV)$   | 遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 遷移まで |     | 1.2 ns 6.35 ns |

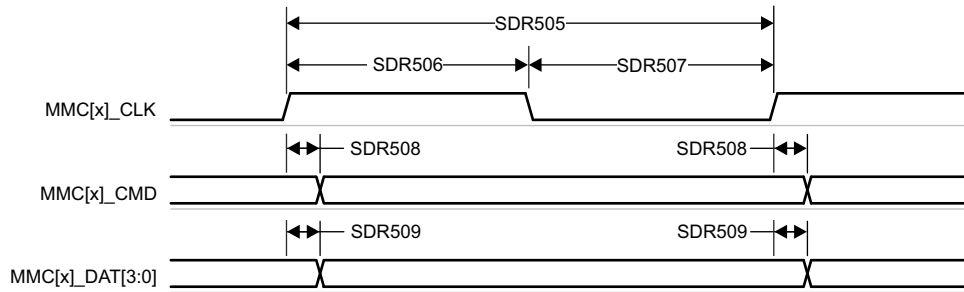


図 6-85. MMC1/MMC2 – UHS-I SDR50 – 送信モード

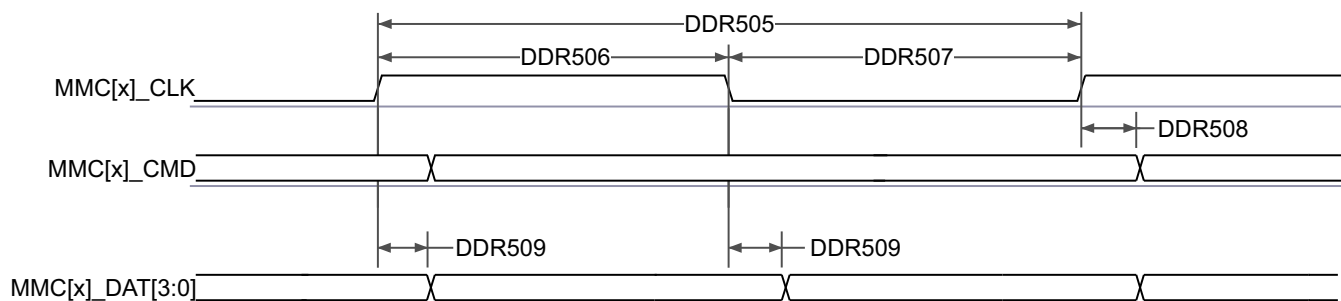
## 6.1.2.5.17.2.6 UHS-I DDR50 モード

表 6-104 および 図 6-86 に、MMC1/MMC2 – UHS-I DDR50 モードのスイッチング特性を示します。

**表 6-104. MMC1/MMC2 – UHS-I DDR50 モードのスイッチング特性**

図 6-86 参照

| 番号     | パラメータ           | 最小値            | 最大値  | 単位        |
|--------|-----------------|----------------|------|-----------|
|        | $f_{op}(clk)$   | 動作周波数、MMCx_CLK |      | 50<br>MHz |
| DDR505 | $t_c(clk)$      | 20             |      | ns        |
| DDR506 | $t_w(clkH)$     | 9.2            |      | ns        |
| DDR507 | $t_w(clkL)$     | 9.2            |      | ns        |
| DDR508 | $t_d(clk-cmdV)$ | 1.12           | 6.43 | ns        |
| DDR509 | $t_d(clk-dV)$   | 1.12           | 6.43 | ns        |



**図 6-86. MMC1/MMC2 – UHS-I DDR50 – 送信モード**

### 6.12.5.17.2.7 UHS-I SDR104 モード

表 6-105 および 図 6-87 に、MMC1/MMC2 – UHS-I SDR104 モードのスイッチング特性を示します。

表 6-105. MMC1/MMC2 – UHS-I SDR104 モードのスイッチング特性

図 6-87 参照

| 番号      | パラメータ            | 最小値   | 最大値 | 単位      |
|---------|------------------|---|-----|---------|
|         | $f_{op}(clk)$    | 動作周波数、MMCx_CLK                              |     | 200 MHz |
| SDR1045 | $t_c(clk)$       | サイクル時間、MMCx_CLK                             |     | 5 ns    |
| SDR1046 | $t_w(clkH)$      | パルス幅、MMCx_CLK High                          |     | 2.12 ns |
| SDR1047 | $t_w(clkL)$      | パルス幅、MMCx_CLK Low                           |     | 2.12 ns |
| SDR1048 | $t_d(clkL-cmdV)$ | 遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 遷移まで      |     | 1.07 ns |
| SDR1049 | $t_d(clkL-dV)$   | 遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 遷移まで |     | 1.07 ns |

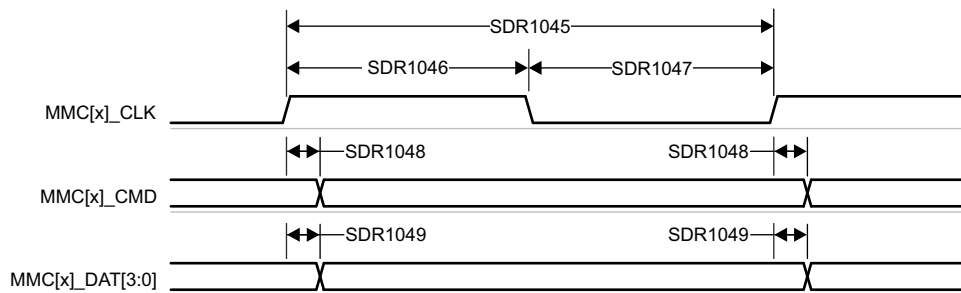


図 6-87. MMC1/MMC2 – UHS-I SDR104 – 送信モード

## 6.12.5.18 OLDI

## 6.12.5.18.1 OLDI0 のスイッチング特性

表 6-106 および 図 6-88 に、OLDI0 のスイッチング特性を示します。

表 6-106. OLDI0 のスイッチング特性

| 番号     | パラメータ          | モード  | 最小値    | 標準値                       | 最大値                         | 単位 |
|--------|----------------|--|--------|---------------------------|-----------------------------|----|
| OLDI1  | $t_{(LHTT)}$   | 立ち上がり時間、OLDI0_CLK[1:0]P、<br>OLDI0_CLK[1:0]N、OLDI0_A[7:0]P、<br>OLDI0_A[7:0]N                  | 低速 (1) |                           | 0.5                         | ns |
|        |                |  | 高速 (2) |                           | 0.25                        | ns |
| OLDI2  | $t_{(HLTT)}$   | 立下り時間、OLDI0_CLK[1:0]P、<br>OLDI0_CLK[1:0]N、OLDI0_A[7:0]P、<br>OLDI0_A[7:0]N                    | 低速 (1) |                           | 0.5                         | ns |
|        |                |  | 高速 (2) |                           | 0.25                        | ns |
| OLDI3  | $t_{c(CLK)}$   | サイクル時間、OLDI0_CLK[1:0]P および<br>OLDI0_CLK[1:0]N  | 6.06   |                           | 110.01                      | ns |
| OLDI4  | $t_{w(BIT)}$   | ビット幅、OLDI0_A[7:0]P および OLDI0_A[7:0]N   |        | (1/7)OLDI3                |                             | ns |
| OLDI5  | $t_{d(BIT1)}$  | ビット 1 遅延時間、OLDI0_CLK[1:0]P および<br>OLDI0_CLK[1:0]N から OLDI0_A[7:0]P および<br>OLDI0_A[7:0]N まで   |        | -(0.1)OLDI4               | (0.1)OLDI4                  | ns |
| OLDI6  | $t_{d(BIT0)}$  | ビット 0 遅延時間、OLDI0_CLK[1:0]P および<br>OLDI0_CLK[1:0]N から OLDI0_A[7:0]P および<br>OLDI0_A[7:0]N まで   |        | (1/7)OLDI3<br>-(0.1)OLDI4 | (1/7) OLDI3<br>+ (0.1)OLDI4 | ns |
| OLDI7  | $t_{d(BIT6)}$  | ビット 6 遅延時間、OLDI0_CLK[1:0]P および<br>OLDI0_CLK[1:0]N から OLDI0_A[7:0]P および<br>OLDI0_A[7:0]N まで   |        | (2/7)OLDI3<br>-(0.1)OLDI4 | (2/7) OLDI3<br>+ (0.1)OLDI4 | ns |
| OLDI8  | $t_{d(BIT5)}$  | ビット 5 遅延時間、OLDI0_CLK[1:0]P および<br>OLDI0_CLK[1:0]N から OLDI0_A[7:0]P および<br>OLDI0_A[7:0]N まで   |        | (3/7)OLDI3<br>-(0.1)OLDI4 | (3/7) OLDI3<br>+ (0.1)OLDI4 | ns |
| OLDI9  | $t_{d(BIT4)}$  | ビット 4 遅延時間、OLDI0_CLK[1:0]P および<br>OLDI0_CLK[1:0]N から OLDI0_A[7:0]P および<br>OLDI0_A[7:0]N まで   |        | (4/7)OLDI3<br>-(0.1)OLDI4 | (4/7) OLDI3<br>+ (0.1)OLDI4 | ns |
| OLDI10 | $t_{d(BIT3)}$  | ビット 3 遅延時間、OLDI0_CLK[1:0]P および<br>OLDI0_CLK[1:0]N から OLDI0_A[7:0]P および<br>OLDI0_A[7:0]N まで   |        | (5/7)OLDI3<br>-(0.1)OLDI4 | (5/7) OLDI3<br>+ (0.1)OLDI4 | ns |
| OLDI11 | $t_{d(BIT2)}$  | ビット 2 遅延時間、OLDI0_CLK[1:0]P および<br>OLDI0_CLK[1:0]N から OLDI0_A[7:0]P および<br>OLDI0_A[7:0]N まで   |        | (6/7)OLDI3<br>-(0.1)OLDI4 | (6/7) OLDI3<br>+ (0.1)OLDI4 | ns |
| OLDI12 | $t_{sk(TCCS)}$ | スキュー、OLDI0_A[7:0]P および OLDI0_A[7:0]N、その<br>他あらゆる OLDI0_A[7:0]P および OLDI0_A[7:0]N に対<br>して相対的 |        |                           | 50                          | ps |

(1) 低速モード: TXDRV[3:0] = 0100b、バック終端なし (RTERM\_EN = 0b で 100Ω 差動終端はファー エンドのみ)

(2) 高速モード: TXDRV[3:0] = 1000b、バック終端あり (RTERM\_EN = 1b で遠端のみ 100Ω 差動終端、または RTERM\_EN = 0b で近端と遠端  
で 100Ω 差動終端あり)

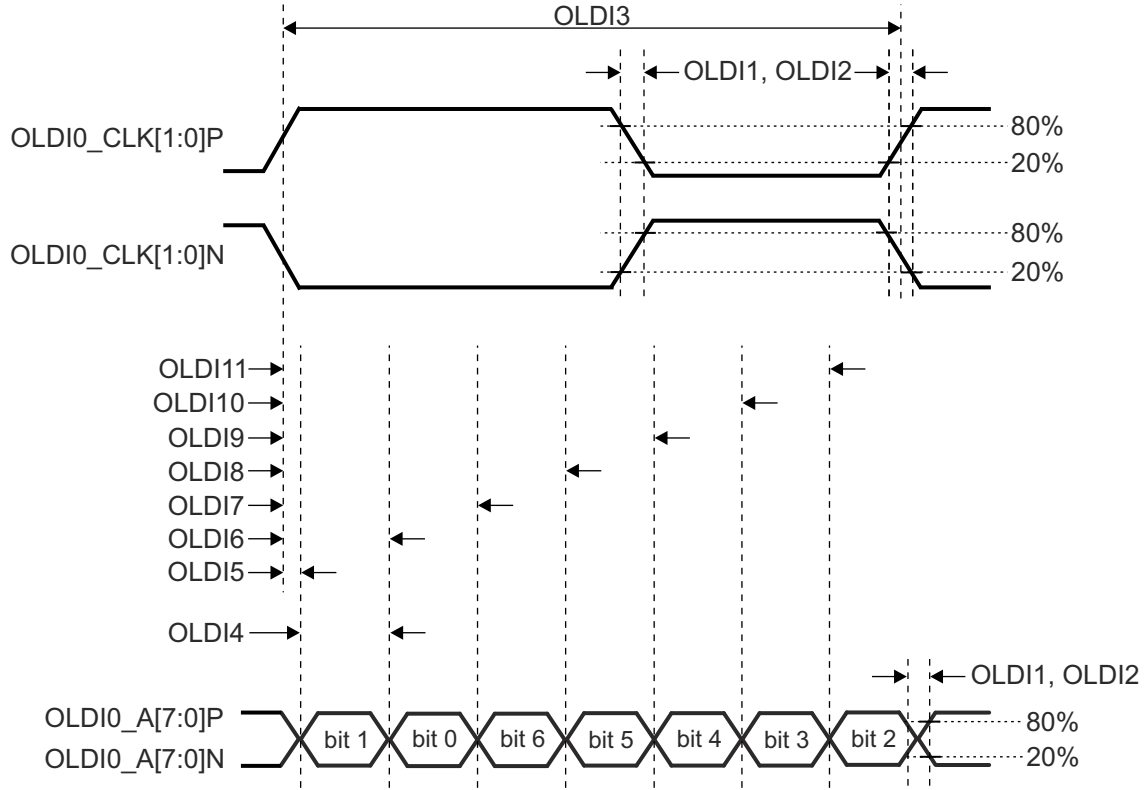


図 6-88. OLDIO のスイッチング特性

デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS) およびペリフェラル」セクションを参照してください。

### 6.12.5.19 OSPI

OSPI0 には、PHY モードと Tap モードの 2 つのデータ キャプチャ モードがあります。

PHY モードでは、内部基準クロックを使用して DLL ベースの PHY 経由でデータを送受信します。各基準クロック サイクルはシングル データレート (SDR) 転送の場合は OSPI0\_CLK の 1 サイクル、ダブル データレート (DDR) 転送の場合は OSPI0\_CLK の半サイクルを生成します。PHY モードは、受信データ キャプチャ クロックについて 4 つのクロック トポロジをサポートしています。内部 PHY ループバック - 内部基準クロックを PHY 受信データ キャプチャ クロックとして使用します。内部パッド ループバック - OSPI0\_LBCLKO ピンから PHY にループバックされた OSPI0\_LBCLKO を PHY 受信データ キャプチャ クロックとして使用します。外部ボード ループバック - OSPI0\_DQS ピンから PHY にループバックされた OSPI0\_LBCLKO を PHY 受信データ キャプチャ クロックとして使用します。DQS - 接続されたデバイスからの DQS 出力を PHY 受信データ キャプチャ クロックとして使用します。内部パッド ループバックおよび DQS クロッキング トポロジを使用する場合、SDR 転送はサポートされません。内部 PHY ループバックまたは内部パッド ループバック クロッキング トポロジを使用する場合、DDR 転送はサポートされません。

タップ モードは、選択可能なタップと共に内部基準クロックを使用して、OSPI0\_CLK に対してデータの送受信キャプチャ 遅延を調整します。OSPI0\_CLK は、SDR 転送では内部基準クロックの 4 分周、DDR 転送では内部基準クロックの 8 分周です。タップ モードは、受信データ キャプチャ クロックに対して 1 つのクロック トポロジのみをサポートします。ループバックなし - 内部基準クロックをタップ受信データ キャプチャ クロックとして使用します。このクロック トポロジは、最大 200MHz の内部リファレンス クロック レートをサポートし、SDR モードでは 50MHz、DDR モードでは 25MHz までの OSPI0\_CLK レートを生成します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタール シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

オクタール シリアル ペリフェラル インターフェイスの機能の詳細および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

セクション 6.12.5.19.1 は PHY モードに関連する、セクション 6.12.5.19.2 はタップ モードに関連するタイミング要件とスイッチング特性を定義します。

表 6-107 に、OSPI0 のタイミング条件を示します。

**表 6-107. OSPI0 のタイミング条件**

| パラメータ                                 | モード  | 最小値                                       | 最大値                    | 単位                     |    |
|---------------------------------------|--|---|------------------------|------------------------|----|
| <b>入力条件</b>                           |  |   |                        |                        |    |
| SR <sub>i</sub>                       | 入力スルーレート   | 1   | 6                      | V/ns                   |    |
| <b>出力条件</b>                           |  |   |                        |                        |    |
| C <sub>L</sub>                        | 出力負荷容量   | 3   | 10                     | pF                     |    |
| <b>PCB 接続要件</b>                       |  |   |                        |                        |    |
| t <sub>d</sub> (Trace Delay)          | OSPI0_CLK パターンの伝搬遅延  | ループバックなし<br>内部 PHY ループバック<br>内部パッド ループバック | 450                    | ps                     |    |
|                                       | OSPI0_LBCLKO パターンの伝搬遅延   | 外部ボードのループバック                              | 2L <sup>(1)</sup> - 30 | 2L <sup>(1)</sup> + 30 | ps |
|                                       | OSPI0_DQS パターンの伝搬遅延  | DQS                                       | L <sup>(1)</sup> - 30  | L <sup>(1)</sup> + 30  | ps |
| t <sub>d</sub> (Trace Mismatch Delay) | OSPI0_CLK に対する OSPI0_D[7:0] と OSPI0_CS <sub>n</sub> [3:0] の伝搬遅延ミスマッチ | すべてのモード                                   | 60                     | ps                     |    |

(1) L = OSPI0\_CLK パターンの伝搬遅延

### 6.12.5.19.1 OSPI0 PHY モード

#### 6.12.5.19.1.1 PHY データ トレーニング付き OSPI0

読み出し / 書き込みデータ有効ウィンドウは、プロセス、電圧、温度、動作周波数の変動によって変化します。最適な読み出し / 書き込みタイミングを動的に構成するために、データトレーニング手法を実装することもできます。データトレーニングを実装すると、特定のプロセス、電圧、周波数の動作条件において、温度範囲全体にわたって適切な動作を実現すると同時に、より高い動作周波数を実現できます。

データの送受信タイミング パラメータは、動作条件に基づいて動的に調整されるため、データトレーニングの使用事例では定義されていません。

表 6-108 は、データトレーニング付きの OSPI0 に必要な DLL 遅延を定義しています。表 6-109、図 6-89 図 6-90、表 6-110、図 6-91、図 6-92 に、データトレーニング付き OSPI0 のタイミング要件とスイッチング特性を示します。

表 6-108. PHY データ トレーニング用の OSPI0 DLL 遅延マッピング

| モード                               | レジスタ ビットフィールド                        | 遅延値 |
|-----------------------------------|--------------------------------------|-----|
| <b>OSPI_PHY_CONFIGURATION_REG</b> |                                      |     |
| <b>送信</b>                         |                                      |     |
| すべてのモード                           | PHY_CONFIG_TX_DLL_DELAY_FLD          | (1) |
| <b>受信</b>                         |                                      |     |
| すべてのモード                           | PHY_CONFIG_RX_DLL_DELAY_FLD          | (2) |
| <b>PHY_MASTER_CONTROL_REG</b>     |                                      |     |
| すべてのモード                           | PHY_MASTER_PHASE_DETECT_SELECTOR_FLD | 0x1 |

- (1) トレーニングソフトウェアによって決定される送信 DLL 遅延の値  
(2) トレーニングソフトウェアによって決定される受信 DLL 遅延の値

表 6-109. OSPI0 のタイミング要件 – PHY データ トレーニング

図 6-89、図 6-90 を参照

| 番号  |                   | モード  | 最小値                     | 最大値 | 単位 |
|-----|-------------------|--|-------------------------|-----|----|
| O15 | $t_{su}(D-LBCLK)$ | セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで            | DQS 付き DDR              | (1) | ns |
| O16 | $t_h(LBCLK-D)$    | ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間 | DQS 付き DDR              | (1) | ns |
| O21 | $t_{su}(D-LBCLK)$ | セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで            | 外部ボード ループバック付き SDR      | (1) | ns |
| O22 | $t_h(LBCLK-D)$    | ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間 | 外部ボード ループバック付き SDR      | (1) | ns |
|     | $t_{DWW}$         | データ有効ウィンドウ (O15 + O16)                                 | 1.8V、DQS 付き DDR         | 1.6 | ns |
|     |                   |  | 3.3V、DQS 付き DDR         | 2.2 | ns |
|     |                   | データ有効ウィンドウ (O21 + O22)                                 | 1.8V、外部ボード ループバック付き SDR | 2.3 | ns |
|     |                   |  | 3.3V、外部ボード ループバック付き SDR | 2.9 | ns |

- (1) データトレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0\_D[7:0] 入力の最小セットアップ時間およびホールド時間の要件は定義されません。 $t_{DWW}$  パラメータは、必要な最小データ無効ウィンドウを定義します。このパラメータは、最小セットアップ時間や最小ホールド時間の代わりに提供され、接続されているデバイスから提供されるデータ有効ウィンドウとの互換性を確認するために使用する必要があります。

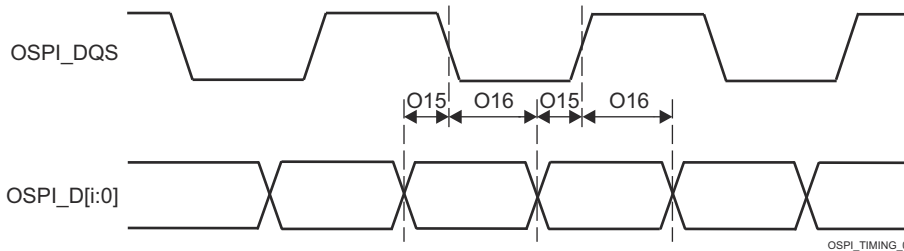


図 6-89. OSPI0 のタイミング要件 – PHY データ トレーニング、DQS 付き DDR

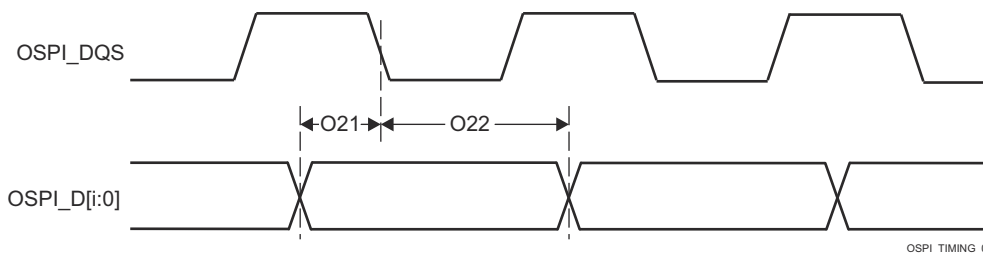


図 6-90. OSPI0 のタイミング要件 – PHY データ トレーニング、外部ボード ループバック付き SDR

表 6-110. OSPI0 のスイッチング特性 - PHY データ トレーニング

図 6-91 および 図 6-92 を参照

| 番号  | パラメータ            | モード       | 最小値   | 最大値   | 単位 |
|-----|------------------|-----------|---|---|----|
| O1  | $t_{c(CLK)}$     | 1.8V, DDR | 6.0   | 10  | ns |
|     |                  | 3.3V, DDR | 7.5   | 10  | ns |
| O7  |                  | 1.8V, SDR | 6.0   | 10  | ns |
|     |                  | 3.3V, SDR | 7.5   | 10  | ns |
| O2  | $t_{w(CLKL)}$    | DDR       | ((0.475P <sup>(1)</sup> ) - 0.3)  |   | ns |
| O8  |                  | SDR       |   |   |    |
| O3  | $t_{w(CLKH)}$    | DDR       | ((0.475P <sup>(1)</sup> ) - 0.3)  |   | ns |
| O9  |                  | SDR       |   |   |    |
| O4  | $t_{d(CSn-CLK)}$ | DDR       | ((0.475P <sup>(1)</sup> ) + (0.975M <sup>(2)</sup> R <sup>(4)</sup> ) + (0.04TD <sup>(5)</sup> ) - 1) | ((0.525P <sup>(1)</sup> ) + (1.025M <sup>(2)</sup> R <sup>(4)</sup> ) + (0.11TD <sup>(5)</sup> ) + 1) | ns |
| O10 |                  | SDR       |   |   |    |
| O5  | $t_{d(CLK-CSn)}$ | DDR       | ((0.475P <sup>(1)</sup> ) + (0.975N <sup>(3)</sup> R <sup>(4)</sup> ) - (0.11TD <sup>(5)</sup> ) - 1) | ((0.525P <sup>(1)</sup> ) + (1.025N <sup>(3)</sup> R <sup>(4)</sup> ) - (0.04TD <sup>(5)</sup> ) + 1) | ns |
| O11 |                  | SDR       |   |   |    |
| O6  | $t_{d(CLK-D)}$   | DDR       | (6)   | (6)   | ns |
| O12 |                  | SDR       |   |   |    |
|     | $t_{DIVW}$       | DDR       | 1.6   |   | ns |
|     |                  | SDR       |   |   |    |

- (1) P = SCLK サイクル時間 (ns) = OSPI0\_CLK 周期 (ns)
- (2) M = OSPI\_DEV\_DELAY\_REG[D\_INIT\_FLD]
- (3) N = OSPI\_DEV\_DELAY\_REG[D\_AFTER\_FLD]
- (4) R = リファレンス クロック サイクル時間 (ns 単位)
- (5) TD = PHY\_CONFIG\_TX\_DLL\_DELAY\_FLD
- (6) データトレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0\_D[7:0] 出力の最小および最大遅延時間は定義されません。 $t_{DIVW}$  パラメータは、最大データ無効ウィンドウを定義します。このパラメータは、最小および最大遅延時間の代わりに提供され、接続されているデバイスのデータ有効ウィンドウ要件との互換性を確認するために使用する必要があります。

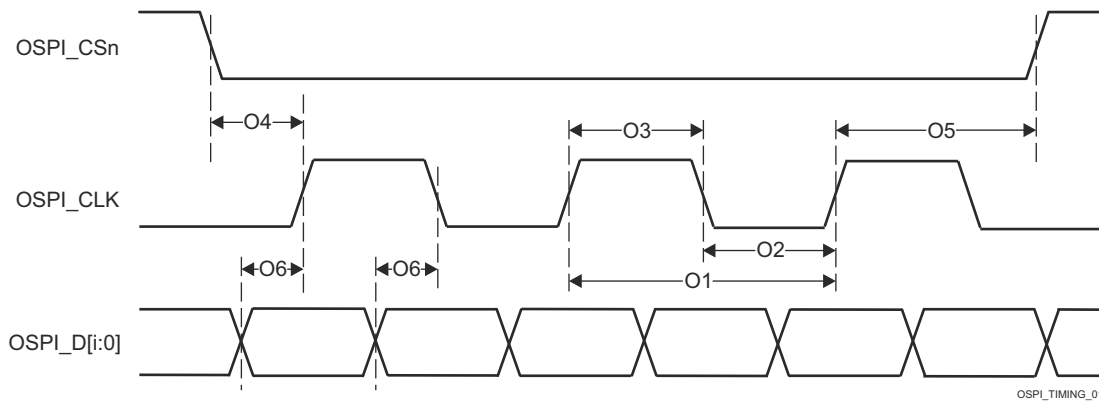


図 6-91. OSPI0 のスイッチング特性 - PHY DDR データ トレーニング

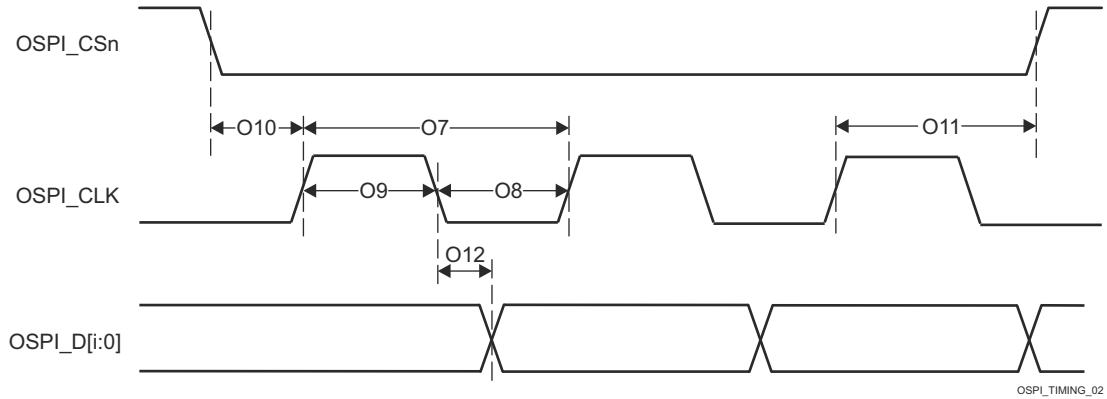


図 6-92. OSPI0 のスイッチング特性 - PHY SDR データ トレーニング

### 6.12.5.19.1.2 データ トレーニングなし OSPI0

#### 注

このセクションで定義されるタイミング パラメータは、データトレーニングが実装されておらず、かつ表 6-111 と表 6-114 に示すように DLL 遅延が設定されている場合にのみ適用されます。

#### 6.12.5.19.1.2.1 OSPI0 PHY SDR のタイミング

表 6-111 に、OSPI0 PHY SDR モードに必要な DLL 遅延を定義します。表 6-112、図 6-93、図 6-94、表 6-113、図 6-95 に、OSPI0 PHY SDR モードのタイミング要件とスイッチング特性を示します。

表 6-111. OSPI0 の DLL 遅延マッピング – PHY SDR タイミング モード

| モード                               | レジスタ ビットフィールド                        | 遅延値 |
|-----------------------------------|--------------------------------------|-----|
| <b>OSPI_PHY_CONFIGURATION_REG</b> |                                      |     |
| <b>送信</b>                         |                                      |     |
| すべてのモード                           | PHY_CONFIG_TX_DLL_DELAY_FLD          | 0x0 |
| <b>受信</b>                         |                                      |     |
| すべてのモード                           | PHY_CONFIG_RX_DLL_DELAY_FLD          | 0x0 |
| <b>PHY_MASTER_CONTROL_REG</b>     |                                      |     |
| すべてのモード                           | PHY_MASTER_PHASE_DETECT_SELECTOR_FLD | 0x1 |

表 6-112. OSPI0 のタイミング要件 – PHY SDR モード

図 6-93 および 図 6-94 を参照

| 番号  |                   | モード  | 最小値                     | 最大値  | 単位 |
|-----|-------------------|--|-------------------------|------|----|
| O19 | $t_{su(D-CLK)}$   | セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで            | 1.8V、PHY ループバック内蔵 SDR   | 4.8  | ns |
|     |                   |  | 3.3V、PHY ループバック内蔵 SDR   | 5.19 | ns |
| O20 | $t_h(CLK-D)$      | ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間 | 1.8V、PHY ループバック内蔵 SDR   | -0.5 | ns |
|     |                   |  | 3.3V、PHY ループバック内蔵 SDR   | -0.5 | ns |
| O21 | $t_{su(D-LBCLK)}$ | セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで            | 1.8V、外部ボード ループバック付き SDR | 0.6  | ns |
|     |                   |  | 3.3V、外部ボード ループバック付き SDR | 0.9  | ns |
| O22 | $t_h(LBCLK-D)$    | ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間 | 1.8V、外部ボード ループバック付き SDR | 1.7  | ns |
|     |                   |  | 3.3V、外部ボード ループバック付き SDR | 2.0  | ns |

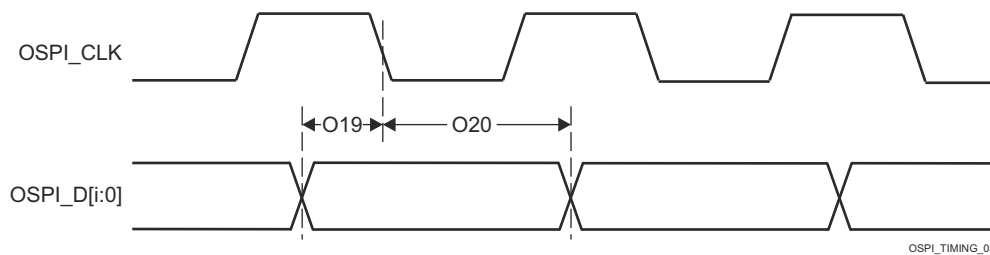


図 6-93. OSPI0 のタイミング要件 – PHY ループバック内蔵 PHY SDR

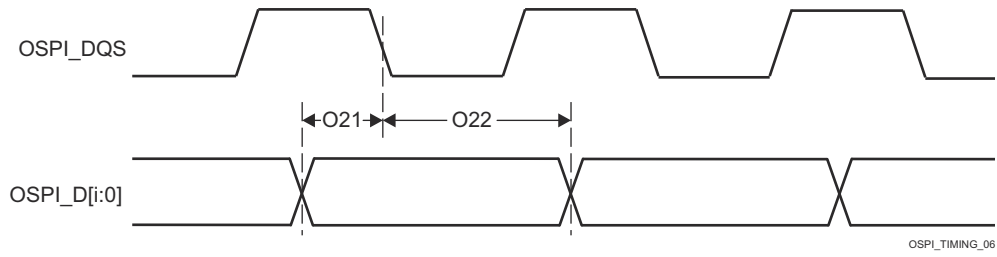


図 6-94. OSPI0 のタイミング要件 – 外部ボード ループバック付き PHY SDR

表 6-113. OSPI0 のスイッチング特性 – PHY SDR モード

図 6-95 参照

| 番号  | パラメータ                   | モード  | 最小値   | 最大値   | 単位 |
|-----|-------------------------|------|---|---|----|
| O7  | $t_{c}(\text{CLK})$     | 1.8V | 7   |   | ns |
|     |                         | 3.3V | 6.03  |   | ns |
| O8  | $t_{w}(\text{CLKL})$    |      | $((0.475P^{(1)}) - 0.3)$  |   | ns |
| O9  | $t_{w}(\text{CLKH})$    |      | $((0.475P^{(1)}) - 0.3)$  |   | ns |
| O10 | $t_{d}(\text{CSn-CLK})$ |      | $((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)}) - 1)$ | $((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)}) + 1)$ | ns |
| O11 | $t_{d}(\text{CLK-CSn})$ |      | $((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.11TD^{(5)}) - 1)$ | $((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.04TD^{(5)}) + 1)$ | ns |
| O12 | $t_{d}(\text{CLK-D})$   | 1.8V | -1.16   | 1.25  | ns |
|     |                         | 3.3V | -1.33   | 1.51  | ns |

- (1) P = SCLK サイクル時間 (ns) = OSPI0\_CLK 周期 (ns)
- (2) M = OSPI\_DEV\_DELAY\_REG[D\_INIT\_FLD]
- (3) N = OSPI\_DEV\_DELAY\_REG[D\_AFTER\_FLD]
- (4) R = リファレンス クロック サイクル時間 (ns 単位)
- (5) TD = PHY\_CONFIG\_TX\_DLL\_DELAY\_FLD

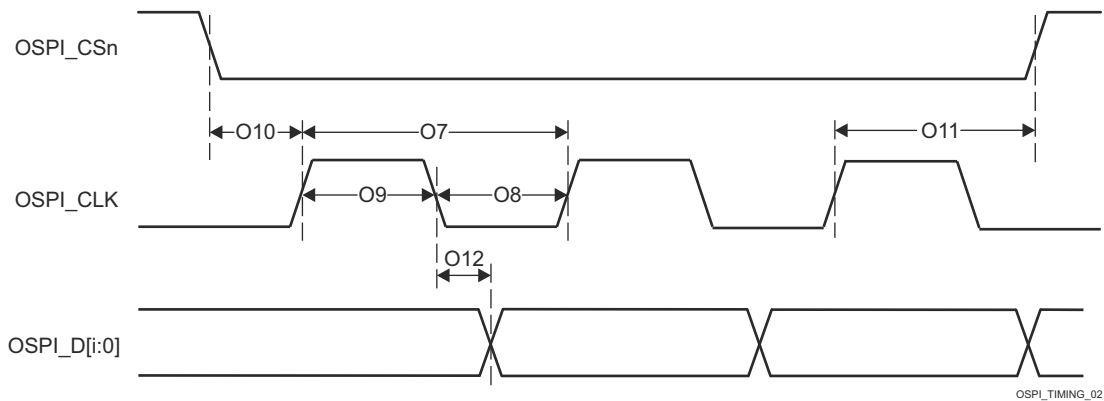


図 6-95. OSPI0 のスイッチング特性 – PHY SDR モード

### 6.12.5.19.1.2.2 OSPI0 PHY DDR のタイミング

表 6-114 に、OSPI0 PHY DDR モードに必要な DLL 遅延を定義します。表 6-115、図 6-96、表 6-116、図 6-97 に、OSPI0 PHY DDR モードのタイミング要件とスイッチング特性を示します。

**表 6-114. OSPI0 の DLL 遅延マッピング – PHY DDR タイミング モード**

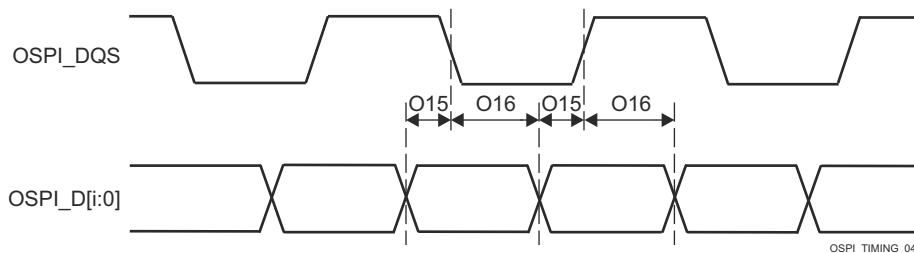
| モード  | レジスタビットフィールド                         | 遅延値  |
|--|--------------------------------------|------|
| <b>OSPI_PHY_CONFIGURATION_REG</b> ビットフィールド |                                      |      |
| <b>送信</b>                                  |                                      |      |
| 1.8V                                       | PHY_CONFIG_TX_DLL_DELAY_FLD          | 0x3E |
| 3.3V                                       | PHY_CONFIG_TX_DLL_DELAY_FLD          | 0x3B |
| <b>受信</b>                                  |                                      |      |
| 1.8V, DQS                                  | PHY_CONFIG_RX_DLL_DELAY_FLD          | 0x15 |
| 3.3V, DQS                                  | PHY_CONFIG_RX_DLL_DELAY_FLD          | 0x31 |
| その他のすべてのモード                                | PHY_CONFIG_RX_DLL_DELAY_FLD          | 0x0  |
| <b>PHY_MASTER_CONTROL_REG</b>              |                                      |      |
| すべてのモード                                    | PHY_MASTER_PHASE_DETECT_SELECTOR_FLD | 0x1  |

**表 6-115. OSPI0 のタイミング要件 – PHY DDR モード**

図 6-96 参照

| 番号  |                   | モード  | 最小値                     | 最大値                 | 単位 |
|-----|-------------------|--|-------------------------|---------------------|----|
| O15 | $t_{su}(D-LBCLK)$ | セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで            | 1.8V、外部ボード ループバック付き DDR | 0.53                | ns |
|     |                   |  | 1.8V、DQS 付き DDR         | -0.46               | ns |
|     |                   |  | 3.3V、外部ボード ループバック付き DDR | 1.23                | ns |
|     |                   |  | 3.3V、DQS 付き DDR         | -0.66               | ns |
| O16 | $t_h(LBCLK-D)$    | ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間 | 1.8V、外部ボード ループバック付き DDR | 1.24 <sup>(1)</sup> | ns |
|     |                   |  | 1.8V、DQS 付き DDR         | 3.59                | ns |
|     |                   |  | 3.3V、外部ボード ループバック付き DDR | 1.44 <sup>(1)</sup> | ns |
|     |                   |  | 3.3V、DQS 付き DDR         | 7.92                | ns |

- (1) このホールド時間の要件は、一般的な OSPI/QSPI/SPI デバイスのホールド時間よりも長いですが、SoC と、接続された OSPI/QSPI/SPI デバイスとの間のパターン長は、SoC でのホールド時間を確実に満たすのに十分な長さにする必要があります。補償のため、SoC の外部ループバッククロック (OSPI0\_LBCLKO から OSPI0\_DQS まで) の長さを短くする必要がある場合があります。



**図 6-96. OSPI0 のタイミング要件 – 外部ボード ループバックまたは DQS 付き PHY DDR**

表 6-116. OSPI0 のスイッチング特性 – PHY DDR モード

図 6-97 参照

| 番号 | パラメータ  | モード  | 最小値   | 最大値   | 単位 |
|----|--|------|---|---|----|
| O1 | $t_{c}(\text{CLK})$ サイクル時間、OSPI0_CLK   |      | 19  |   | ns |
| O2 | $t_{w}(\text{CLKL})$ パルス幅、OSPI0_CLK low  |      | $((0.475P^{(1)}) - 0.3)$  |   | ns |
| O3 | $t_{w}(\text{CLKH})$ パルス幅、OSPI0_CLK high   |      | $((0.475P^{(1)}) - 0.3)$  |   | ns |
| O4 | $t_{d}(\text{CSn-CLK})$ 遅延時間、OSPI0_CS <sub>n</sub> [3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで  |      | $((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)}) - 1)$ | $((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)}) + 1)$ | ns |
| O5 | $t_{d}(\text{CLK-CSn})$ 遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CS <sub>n</sub> [3:0] 非アクティブ エッジまで |      | $((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.11TD^{(5)}) - 1)$ | $((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.04TD^{(5)}) + 1)$ | ns |
| O6 | $t_{d}(\text{CLK-D})$ 遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで                         | 1.8V | -7.71   | -1.56   | ns |
|    |  | 3.3V | -7.71   | -1.56   | ns |

- (1) P = SCLK サイクル時間 (ns) = OSPI0\_CLK 周期 (ns)
- (2) M = OSPI\_DEV\_DELAY\_REG[D\_INIT\_FLD]
- (3) N = OSPI\_DEV\_DELAY\_REG[D\_AFTER\_FLD]
- (4) R = リファレンス クロック サイクル時間 (ns 単位)
- (5) TD = PHY\_CONFIG\_TX\_DLL\_DELAY\_FLD

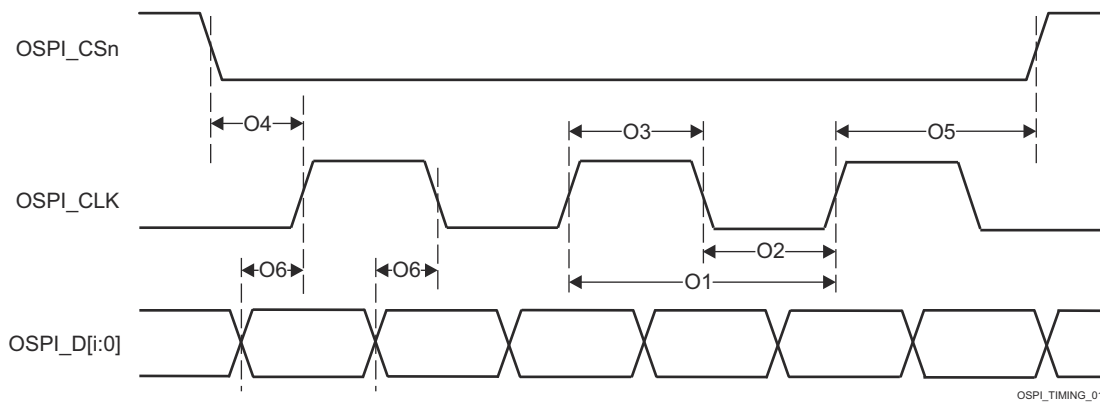


図 6-97. OSPI0 のスイッチング特性 – PHY DDR モード

### 6.12.5.19.2 OSPI0 タップモード

#### 6.12.5.19.2.1 OSPI0 タップ SDR のタイミング

表 6-117、図 6-98、表 6-118、図 6-99 に、OSPI0 タップ SDR モードのタイミング要件とスイッチング特性を示します。

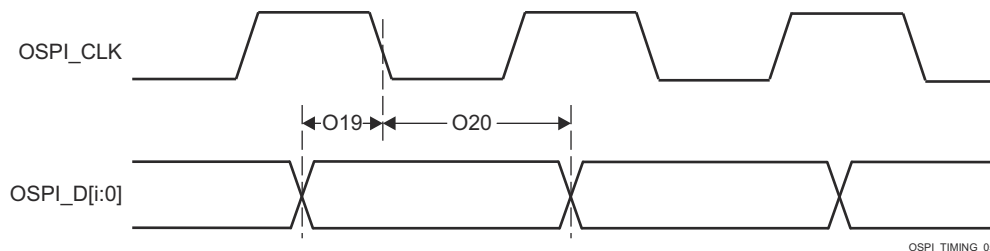
**表 6-117. OSPI0 のタイミング要件 – タップ SDR モード**

図 6-98 参照

| 番号  |                 | モード  | 最小値      | 最大値                                | 単位 |
|-----|-----------------|--|----------|------------------------------------|----|
| O19 | $t_{su(D-CLK)}$ | セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで            | ループバックなし | (15.4 - $(0.975T^{(1)}R^{(2)})$ )  | ns |
| O20 | $t_{h(CLK-D)}$  | ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間 | ループバックなし | (- 4.3 + $(0.975T^{(1)}R^{(2)})$ ) | ns |

(1) T = OSPI\_RD\_DATA\_CAPTURE\_REG[DELAY\_FLD]

(2) R = 基準クロック サイクル時間 (ns)



**図 6-98. OSPI0 のタイミング要件 – タップ SDR、ループバックなし**

表 6-118. OSPI0 のスイッチング特性 – タップ SDR モード

図 6-99 参照

| 番号  | パラメータ                   | モード  | 最小値  | 最大値  | 単位 |
|-----|-------------------------|--|--|--|----|
| O7  | $t_{c}(\text{CLK})$     | サイクル時間、OSPI0_CLK   | 20   |  | ns |
| O8  | $t_{w}(\text{CLKL})$    | パルス幅、OSPI0_CLK low   | $((0.475P^{(1)}) - 0.3)$                       |  | ns |
| O9  | $t_{w}(\text{CLKH})$    | パルス幅、OSPI0_CLK high  | $((0.475P^{(1)}) - 0.3)$                       |  | ns |
| O10 | $t_{d}(\text{CSn-CLK})$ | 遅延時間、OSPI0_CS <sub>n</sub> [3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで  | $((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)} - 1))$ | $((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)} + 1))$ | ns |
| O11 | $t_{d}(\text{CLK-CSn})$ | 遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CS <sub>n</sub> [3:0] 非アクティブ エッジまで | $((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)} - 1))$ | $((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)} + 1))$ | ns |
| O12 | $t_{d}(\text{CLK-D})$   | 遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで                       | - 4.25   | 7.25   | ns |

- (1) P = SCLK サイクル時間 (ns) = OSPI0\_CLK 周期 (ns)  
 (2) M = OSPI\_DEV\_DELAY\_REG[D\_INIT\_FLD]  
 (3) N = OSPI\_DEV\_DELAY\_REG[D\_AFTER\_FLD]  
 (4) R = 基準クロック サイクル時間 (ns)

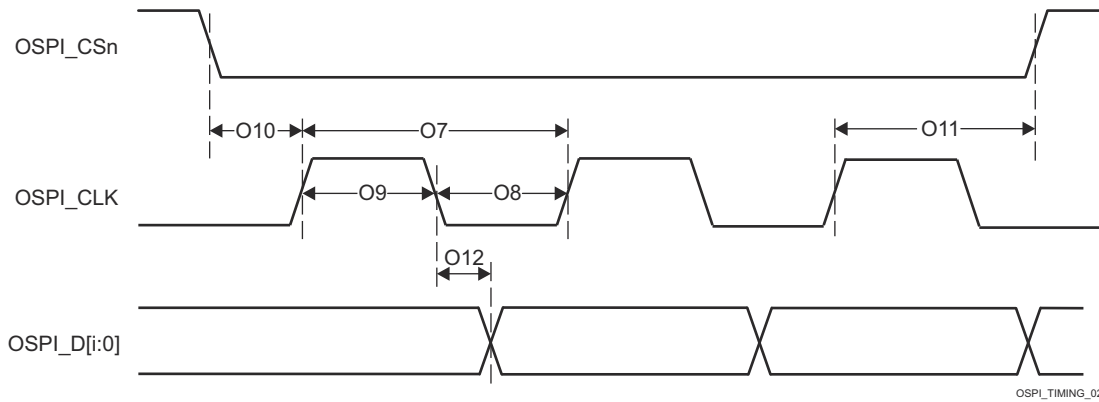


図 6-99. OSPI0 のスイッチング特性 – タップ SDR、ループバックなし

### 6.12.5.19.2.2 OSPI0 タップDDRのタイミング

表 6-119、図 6-100、表 6-120、図 6-101 に、OSPI0 タップ DDR モードのタイミング要件とスイッチング特性を示します。

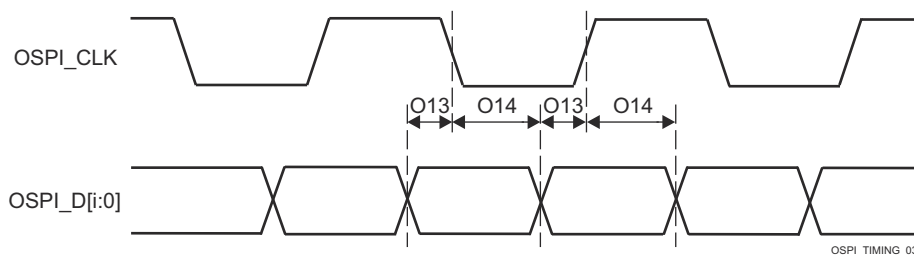
**表 6-119. OSPI0 のタイミング要件 – タップ DDR モード**

図 6-100 参照

| 番号  |                 | モード  | 最小値      | 最大値                                 | 単位 |
|-----|-----------------|--|----------|-------------------------------------|----|
| O13 | $t_{su}(D-CLK)$ | セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで            | ループバックなし | (17.04 - $(0.975T^{(1)}R^{(2)})$ )  | ns |
| O14 | $t_h(CLK-D)$    | ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間 | ループバックなし | (- 3.16 + $(0.975T^{(1)}R^{(2)})$ ) | ns |

(1) T = OSPI\_RD\_DATA\_CAPTURE\_REG[DELAY\_FLD]

(2) R = 基準クロック サイクル時間 (ns)



**図 6-100. OSPI0 のタイミング要件 – タップ DDR、ループバックなし**

表 6-120. OSPI0 のスイッチング特性 – タップ DDR モード

図 6-101 参照

| 番号 | パラメータ            | モード   | 最小値   | 最大値   | 単位 |
|----|------------------|---|---|---|----|
| O1 | $t_{c(CLK)}$     | サイクル時間、OSPI0_CLK                                      | 40  |   | ns |
| O2 | $t_{w(CLKL)}$    | パルス幅、OSPI0_CLK low                                    | $((0.475P^{(1)}) - 0.3)$                                  |   | ns |
| O3 | $t_{w(CLKH)}$    | パルス幅、OSPI0_CLK high                                   | $((0.475P^{(1)}) - 0.3)$                                  |   | ns |
| O4 | $t_{d(CSn-CLK)}$ | 遅延時間、OSPI0_CSn[3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで  | $((0.475P^{(1)}) + ((0.975M^{(2)}R^{(5)}) - 1))$          | $((0.525P^{(1)}) + (1.025M^{(2)}R^{(5)}) + 1)$          | ns |
| O5 | $t_{d(CLK-CSn)}$ | 遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[3:0] 非アクティブ エッジまで | $((0.475P^{(1)}) + (0.975N^{(3)}R^{(5)}) - 1)$            | $((0.525P^{(1)}) + (1.025N^{(3)}R^{(5)}) + 1)$          | ns |
| O6 | $t_{d(CLK-D)}$   | 遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで          | $(- 5.04 + (0.975(T^{(4)} + 1)R^{(5)}) - (0.525P^{(1)}))$ | $(3.64 + (1.025(T^{(4)} + 1)R^{(5)}) - (0.475P^{(1)}))$ | ns |

- (1) P = SCLK サイクル時間 (ns 単位) = OSPI0\_CLK サイクル時間 (ns 単位)  
 (2) M = OSPI\_DEV\_DELAY\_REG[D\_INIT\_FLD]  
 (3) N = OSPI\_DEV\_DELAY\_REG[D\_AFTER\_FLD]  
 (4) T = OSPI\_RD\_DATA\_CAPTURE\_REG[DDR\_READ\_DELAY\_FLD]  
 (5) R = 基準クロック サイクル時間 (ns)

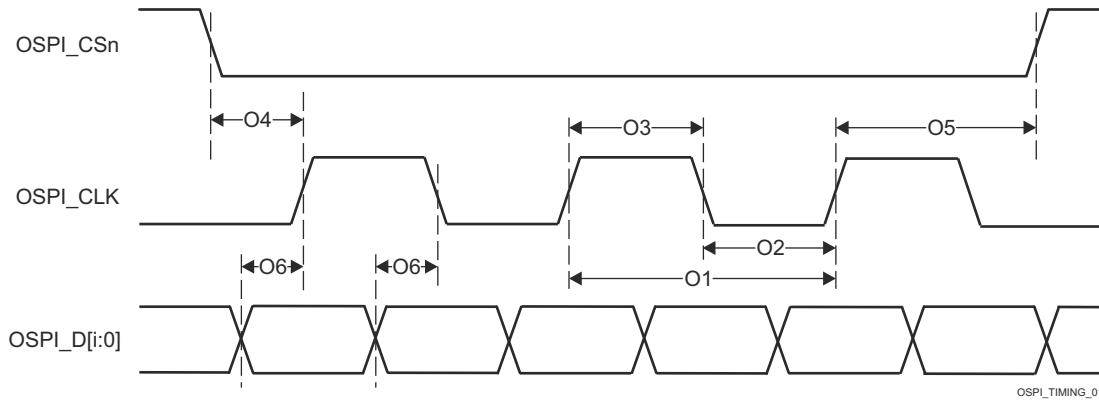


図 6-101. OSPI0 のスイッチング特性 – タップ DDR、ループバックなし

### 6.12.5.20 タイマ

タイマ デバイスの機能および追加の説明情報については、「信号の説明」、「詳細説明」セクションの対応するサブセクションを参照してください。

**表 6-121. タイマのタイミング条件**

| パラメータ           |          | 最小値 | 最大値 | 単位   |
|-----------------|----------|-----|-----|------|
| 入力条件            |          |     |     |      |
| SR <sub>i</sub> | 入力スルーレート | 0.5 | 5   | V/ns |
| 出力条件            |          |     |     |      |
| C <sub>L</sub>  | 出力負荷容量   | 2   | 10  | pF   |

**表 6-122. タイマ入力のタイミング要件**

図 6-102 参照

| 番号 | パラメータ                 | 説明        | モード   | 最小値                        | 最大値 | 単位 |
|----|-----------------------|-----------|-------|----------------------------|-----|----|
| T1 | t <sub>w(TINPH)</sub> | パルス幅、High | キャプチャ | 4P <sup>(1)</sup> +<br>2.5 |     | ns |
| T2 | t <sub>w(TINPL)</sub> | パルス幅、Low  | キャプチャ | 4P <sup>(1)</sup> +<br>2.5 |     | ns |

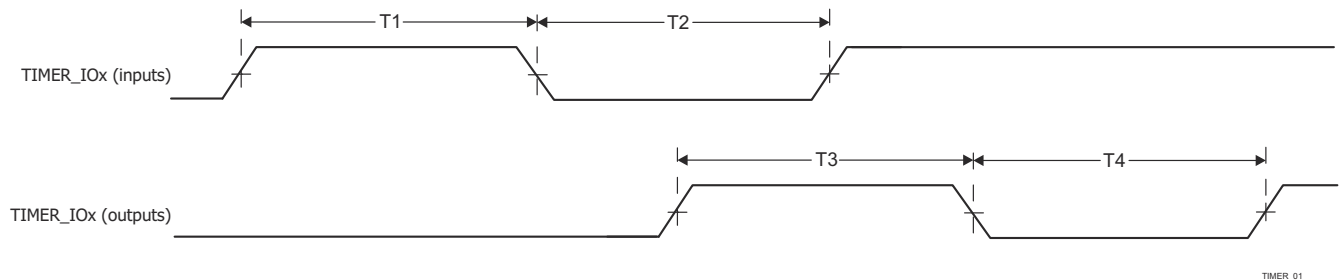
(1) P = 機能クロック周期 (ns 単位)。

**表 6-123. タイマ出力のスイッチング特性**

図 6-102 参照

| 番号 | パラメータ                  | 説明        | モード | 最小値                        | 最大値 | 単位 |
|----|------------------------|-----------|-----|----------------------------|-----|----|
| T3 | t <sub>w(TOOUTH)</sub> | パルス幅、High | PWM | 4P <sup>(1)</sup> -<br>2.5 |     | ns |
| T4 | t <sub>w(TOOUTL)</sub> | パルス幅、Low  | PWM | 4P <sup>(1)</sup> -<br>2.5 |     | ns |

(1) P = 機能クロック周期 (ns 単位)。



**図 6-102. タイマのタイミング要件およびスイッチング特性**

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

### 6.12.5.21 UART

ユニバーサル非同期レシーバ / トランスミッタ デバイスの機能の詳細および追加説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

表 6-124. UART のタイミング条件

| パラメータ           |          | 最小値 | 最大値               | 単位   |
|-----------------|----------|-----|-------------------|------|
| 入力条件            |          |     |                   |      |
| SR <sub>i</sub> | 入力スルーレート | 0.5 | 5                 | V/ns |
| 出力条件            |          |     |                   |      |
| C <sub>L</sub>  | 出力負荷容量   | 1   | 30 <sup>(1)</sup> | pF   |

- (1) この値は、絶対最大負荷容量を表します。UART のボーレートが上昇するにつれて、接続されているデバイスに十分なタイミング マージンを確保するために、負荷容量をこの最大制限より小さい値に減らす必要がある場合があります。容量性負荷の増加に伴い、出力の立ち上がり / 立ち下がり時間が長くなり、接続されているデバイスのレシーバに対してデータが有効である時間が短くなります。したがって、接続されたデバイスが動作ボーレートで必要とする最小データ有効時間を理解することが重要です。次に、デバイス IBIS モデルを使用して、UART 信号上の実際の負荷容量によって、接続されているデバイスの最小データ有効時間を超えて立ち上がり / 立ち下がり時間が増加しないことを確認します。

表 6-125. UART のタイミング要件

図 6-103 参照

| 番号 | パラメータ                 | 説明                         | 最小値                         | 最大値                         | 単位 |
|----|-----------------------|----------------------------|-----------------------------|-----------------------------|----|
| 1  | t <sub>w</sub> (RXD)  | パルス幅、受信データビット High または Low | 0.95U <sup>(1)</sup><br>(2) | 1.05U <sup>(1)</sup><br>(2) | ns |
| 2  | t <sub>w</sub> (RXDS) | パルス幅、受信スタートビット Low         | 0.95U <sup>(1)</sup><br>(2) |                             | ns |

- (1) U = UART のポー時間 (ns) = 1 / プログラムされたボーレート。  
 (2) この値はデータ有効時間を規定します。ここで、入力電圧は V<sub>IH</sub> を上回る、または V<sub>IL</sub> を下回る必要があります。

表 6-126. UART スイッチング特性

図 6-103 参照

| 番号 | パラメータ                 | 説明                                     | 最小値                  | 最大値                  | 単位   |
|----|-----------------------|--|----------------------|----------------------|------|
|    | f <sub>(baud)</sub>   | メインドメイン UART のプログラム可能なボーレート            |                      | 12                   | Mbps |
|    |                       | MCU および WKUP ドメイン UART 用のプログラム可能なボーレート |                      | 3.7                  | Mbps |
| 3  | t <sub>w</sub> (TXD)  | パルス幅、送信データビット High または Low             | U <sup>(1)</sup> - 2 | U <sup>(1)</sup> + 2 | ns   |
| 4  | t <sub>w</sub> (TXDS) | パルス幅、送信スタートビット Low                     | U <sup>(1)</sup> - 2 |                      | ns   |

- (1) U = UART ポー時間 (ns) = 1 / 実際のボーレート。ここで、実際のボーレートはデバイス TRM の UART ポーレート設定表で規定されています。

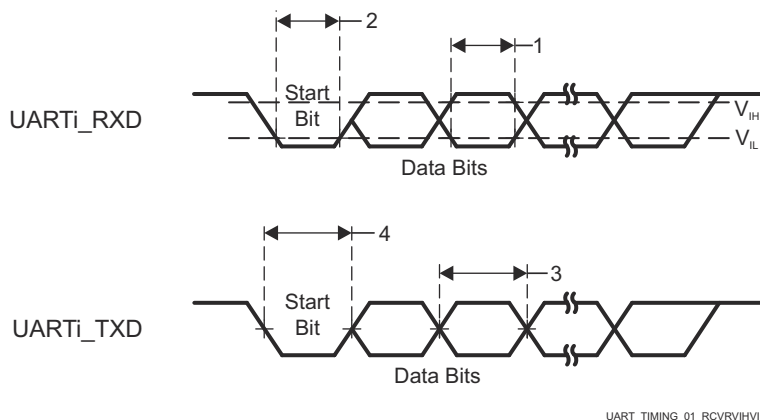


図 6-103. UART のタイミング要件およびスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル非同期レシーバ/トランスミッタ (UART)」セクションを参照してください。

#### **6.12.5.22 USB**

**USB 2.0** サブシステムは、ユニバーサル シリアル バス (USB) 仕様、リビジョン 2.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

デバイス、ユニバーサル シリアル バス サブシステム (USB) の機能および追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブ セクションを参照してください。

## 7 詳細説明

### 7.1 概要

AM62Px (P = Plus) は、高性能の組み込み 3D ディスプレイ アプリケーション向けに構築された、既存の Sitara™ AM62x 低コスト アプリケーション プロセッサ ファミリーを拡張した製品です。スケーラブルな Arm® Cortex® -A53 の性能と組み込み機能 (マルチスクリーンの高解像度ディスプレイのサポート、3D グラフィックス アクセラレーション、4K ビデオ アクセラレーション、広範なペリフェラル) により、AM62Px は車載用デジタル計測機器、車載用ディスプレイ、産業用 HMI など、幅広い車載用および産業用アプリケーションに適しています。

#### 主な機能と特長:

- Linux® および Android SDK と、リアルタイムの機能安全およびセキュリティ SDK の組み合わせにより、革新と迅速な開発に注力できます。
- 新世代の 3D GPU と 4K ビデオ アクセラレーションにより、HMI の次世代設計に対応します。
- 次のような車載と高速の各 IO で構成された包括的なセットを活用して、設計のコネクティビティを強化しましょう。TSN サポート、および 2 個の USB2.0 ポートを搭載した 4 個の CAN-FD、3 ポートのギガビットイーサネットスイッチ (2 個の外部ポート)。
- 内蔵のハードウェア セキュリティ モジュール (HSM) により、最新のサイバーセキュリティ要件をサポートします。
- 複数の Arm® Cortex®-A53 CPU と、オープンソースの AI ソフトウェアやツールを活用して、顔認識や非接触式 HMI などのインテリジェント機能を提供します。

AM62Px プロセッサは AEC-Q100 車載規格に準拠しており、産業用グレードをサポートしています。ASIL-B および SIL-2 の機能安全要件は、内蔵された Arm Cortex-R5F コアと専用ペリフェラルを使用して満たすことができます。これらはすべて、プロセッサの残り部分から分離できます。

## 7.2 プロセッサ サブシステム

### 7.2.1 Arm Cortex-A53 サブシステム (A53SS)

SoC は、クアドコア Arm® Cortex®-A53 MPCore™ の 1 クラスタを実装しており、各コアに 32KB の L1 命令キャッシュと 32KB の L1 データキャッシュ、さらにまたは 512KB の共有 L2 キャッシュを備えています。

Cortex®-A53 コアは、お客様のアプリケーションを実行するために使用できる汎用プロセッサです。

A53SS は、Arm が提供しテキサス・インスツルメンツが構成した Cortex®-A53 MPCore™ (Arm®-A53 クラスタ) を中心に構築されています。対称型マルチプロセッサ (SMP) アーキテクチャをベースとしているため、高性能と最適な電力管理、デバッグおよびエミュレーション機能を実現します。

A53 プロセッサはマルチイシュー アウトオブオーダー スーパースカラ実行エンジンであり、L1 命令キャッシュとデータキャッシュを内蔵し、Arm®v8-A アーキテクチャと互換性があります。従来製品に比べ、電力効率がが高く、性能が大幅に向上しています。

Arm®v8-A アーキテクチャは、多くの新機能を備えています。たとえば、64 ビット データ処理、拡張仮想アドレッシング、64 ビット 汎用レジスタがあります。A53 プロセッサは、電力効率の優れた 64 ビット処理の実現を目的とした、Arm 初の Arm®v8-A プロセッサです。8 段デュアル発行のインオーダー パイプラインと改良された整数型 Arm® Neon™、浮動小数点ユニット (FPU) とメモリの性能を特徴としています。

A53 CPU は、次の 2 つの実行状態をサポートしています。(AArch32, AArch64) で構成されています。AArch64 ステートにより、A53 CPU は 64 ビット アプリケーションを実行でき、AArch32 ステートによりプロセッサは既存の Arm®v7-A アプリケーションを実行できます。

A53SS は、Arm®v8 暗号化拡張、GICv3 アーキテクチャ、キャッシュに対する ECC およびパリティ保護、コアごとの専用ウォッチドッグ タイマ、高スループット 256 ビット VBUSM インターフェイス、さらに内蔵自己テストと信頼性向上のための BISR を備えた PBIST コントローラなどの高度な機能を統合しています。

詳細については、デバイスのテクニカル リファレンス マニュアルの「プロセッサとアクセラレータ」の章にある「Arm Cortex-A53 サブシステム」セクションを参照してください。

### 7.2.2 デバイス/パワー マネージャ

WKUP\_R5FSS は、Arm® Cortex®-R5F プロセッサのシングル コア実装で、デバイス マネージャとしてブート、リソース管理、電源管理機能を実行します。また、付属のメモリ (L1 キャッシュおよび密結合メモリ)、標準的な Arm® CoreSight™ デバッグおよびトレース アーキテクチャ、統合型のベクタ割り込みマネージャ (VIM)、ECC アグリゲータ、SoC への統合を容易にするプロトコル変換およびアドレス変換用の各種モジュールも搭載しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「デバイス マネージャ Cortex R5F サブシステム」セクションを参照してください。

### 7.2.3 MCU Arm Cortex-R5F サブシステム

MCU\_R5FSS は、安全処理を実行することも、汎用 MCU として使用することもできる Arm® Cortex®-R5F を使ったサブシステムです。本プロセッサは、32KB の命令キャッシュ、32KB のデータ キャッシュ、64KB の密結合メモリを内蔵しています。

詳細については、デバイスのテクニカル リファレンス マニュアルの「プロセッサとアクセラレータ」の章にある「Cortex-R5F サブシステム」セクションを参照してください。

## 7.3 アクセラレータとコプロセッサ

### 7.3.1 グラフィックス処理ユニット (GPU)

GPU は、OpenGL ES 3.2 と Vulkan 1.2 をサポートするエリア最適化されたグラフィックコアです。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「グラフィックス処理ユニット」セクションを参照してください。

### 7.3.2 ビデオ アクセラレータ

ビデオ アクセラレータは、HEVC と H.264 の両方のビデオ形式をサポートする 4K コーデックです。最大 4K UHD の解像度と最大 300M ピクセル / 秒の動作を実現する、高性能のエンコード / デコード機能を備えています。

詳細については、デバイスのテクニカル リファレンス マニュアルの「プロセッサとアクセラレータ」の章にある「ビデオ アクセラレータ」セクションを参照してください。

## 7.4 その他のサブシステム

### 7.4.1 デュアルクロックコンパレータ (DCC)

デュアルクロックコンパレータ (DCC) は、アプリケーションの実行中にクロック信号の精度を判定するために使用されません。特に、DCC は、期待されるクロック周波数からのドリフトを検出するように設計されています。必要な精度は、各アプリケーションの計算に基づいてプログラムできます。DCC は、別の入力クロックを基準として、選択可能なクロックソースの周波数を測定します。

詳細については、デバイスのテクニカルリファレンスマニュアルで「ペリフェラル」の章にある「デュアルクロックコンパレータ」セクションを参照してください。

### 7.4.2 データ移動サブシステム (DMSS : Data Movement Subsystem)

DMSS モジュールは、データ転送 (DMA) を提供するとともに、デバイス上のクロスバーモジュール CBASS スイッチドインターコネクタとパケットストリーミングファブリック (オンチップネットワーク) の間をブリッジします。

データ移動サブシステム (DMSS) は、DMA / キュー管理コンポーネントとペリフェラルで構成されています。

- パケット DMA (PKTDMA)
- ブロックコピー DMA (BCDMA)
- リングアクセラレータ
- パケットストリーミングインターフェイス (PSILSS)
- CBASS、セキュアプロキシ、割り込みアグリゲータなどのインフラストラクチャコンポーネント

詳細については、デバイスのテクニカルリファレンスマニュアルのペリフェラルの章にあるデータ転送アーキテクチャの概要セクションを参照してください。

### 7.4.3 メモリの巡回冗長性検査 (MCRC)

VBUSM CRC コントローラは、CRC (巡回冗長検査) を実行してメモリシステムの整合性を検証するために使用されるモジュールです。メモリの内容が MCRC コントローラに読み込まれるとき、メモリの内容を表すシグネチャを取得します。MCRC コントローラの役割は、一連のデータに対するシグネチャを計算して、その計算されたシグネチャ値と、あらかじめ設定された正しいシグネチャ値を比較することです。MCRC コントローラには 4 つのチャンネルがあり、複数のメモリに対して並行して CRC 計算を実行します。これは、あらゆるメモリシステムで使用できます。

詳細については、デバイスのテクニカルリファレンスマニュアルで「ペリフェラル」の章にある「メモリの巡回冗長性検査」セクションを参照してください。

### 7.4.4 ペリフェラル DMA コントローラ (PDMA)

ペリフェラル DMA は、特にペリフェラルのデータ転送ニーズを満たすように設計されたシンプルな DMA です。ペリフェラル DMA は、コヒーレントではない標準のバスファブリック経由でアクセスされる、メモリマップされたレジスタ (MMR) を使用してデータ転送を実行します。PDMA モジュールは、データ移動用に外部 DMA を必要とする 1 つまたは複数のペリフェラルの近くに配置されており、

PDMA は、ペリフェラル自体とデータをやり取りするデータ移動トランザクションの実行のみを担当します。指定されたペリフェラルから読み取られたデータは、PDMA ソースチャンネルによって PSI-L データストリームにパックされます。その後、リモートピア DMSS デスティネーションチャンネルに送信され、メモリへのデータ移動が実行されます。同様に、リモート DMSS ソースチャンネルはメモリからデータをフェッチし、PSI-L 経由でピア PDMA デスティネーションチャンネルに転送し、次にペリフェラルへの書き込みを実行します。

PDMA アーキテクチャは意図的に異種混合 (DMSS + PDMA) を採用しており、システム内の各ポイントでデータ転送の複雑度を適切なサイズに設定して、送受信するデータのさまざまな要件に適合できます。ペリフェラルは通常 FIFO ベースであり、FIFO の次元の要件を超える多次元転送を必要としないため、PDMA 転送エンジンは、わずかな大きさ (通常

はサンプル サイズと FIFO の深さによる)、ハードコードされたアドレス マップ、シンプルなトリガ機能だけという簡潔さが保たれています。

PDMA には複数のソースおよびデスティネーション チャンネルが用意されており、複数の同時転送動作を実行できます。DMA コントローラは、基盤となる DMA ハードウェアを共有するために、各チャンネルの状態情報を維持し、チャンネル間のラウンド ロビン スケジューリングを採用しています。

PDMA をサポートする各ペリフェラルには、それぞれ専用のステート マシンがあり、各ペリフェラルのデータ送受信を追跡します。

詳細については、デバイスのテクニカル リファレンス マニュアルのペリフェラルの章にあるデータ転送アーキテクチャの概要セクションを参照してください。

#### **7.4.5 リアルタイム クロック (RTC)**

RTC の基本的な目的は、時刻を維持することです。RTC のもう 1 つの同様に重要な目的は、デジタル著作権管理です。RTC の停止、リセット、または破損が気が付かないうちに発生することが無いようにするには、ある程度の改ざん防止が必要で、そのようなことが起こった場合、アプリケーションが信頼できるソースから時刻を再取得することができるようになっています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「リアルタイム クロック」セクションを参照してください。

## 7.5 ペリフェラル

### 7.5.1 ギガビット イーサネット スイッチ (CPSW3G)

3 ポートのギガビット イーサネット スイッチ (CPSW3G) サブシステムは、デバイスへのイーサネット パケット通信をデバイスに提供し、イーサネット スイッチとして構成できます。選択可能な RGMII および RMII インターフェイスを備えた 2 つの外部 10/100/1000Mbps イーサネット ポートと、1 つの内部通信ポート プログラミング インターフェイス (CPPI) ポートをサポートします。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット スイッチ」セクションを参照してください。

### 7.5.2 カメラ シリアル インターフェイス レシーバ (CSI\_RX\_IF)

このデバイスは、CSI\_RX\_IF モジュールを内蔵しているため、複数のカメラから内部メモリにビデオ入力をストリーミングできます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「カメラ シリアル インターフェイス レシーバ」セクションを参照してください。

### 7.5.3 ディスプレイ サブシステム (DSS)

ディスプレイ サブシステム (DSS) は、高解像度ディスプレイ出力をサポートする柔軟なマルチパイプライン サブシステムです。DSS では、入力パイプラインにより多層ブレンディングと透過性が提供され、オンザフライ合成を可能にします。色空間の変換やスケールリングなど、さまざまなピクセル処理機能がサポートされています。DSS には DMA エンジンが搭載されており、フレーム バッファ (デバイスのシステム メモリ) への直接アクセスが可能です。ディスプレイ出力は、オープン LVDS ディスプレイ インターフェイス トランスミッタ (OLDIO)、ディスプレイ シリアル インターフェイス トランスミッタ (DSITX0) にシームレスに接続することも、デバイス パッドをディスプレイ パラレル インターフェイス (DPI) として直接駆動することもできます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム」セクションを参照してください。

### 7.5.4 拡張キャプチャ (ECAP)

拡張キャプチャ (ECAP) モジュールは、周期、周波数、デューティ サイクル、パルス幅といった外部信号の特性を正確にキャプチャし、測定するために設計されたタイミング周辺機能です。ECAP は 32 ビットのタイム スタンプ カウンタと最大 4 つの 32 ビット キャプチャ レジスタを使用して動作します。キャプチャされた値を使用して、タイミング間隔の計算、割り込みの生成、他のペリフェラルのトリガを行うことができます。

このモジュールは、任意のキャプチャ イベントで割り込みを生成でき、絶対時間キャプチャとデルタ タイム スタンプ キャプチャの両方のモードをサポートします。また、各キャプチャ イベントごとにエッジ極性をプログラム可能であり、キャプチャとして使用していない場合には補助 PWM (APWM) モードで PWM 出力を生成することもできます。ECAP は最大 4 つのタイム スタンプ イベントを取得できるワンショット キャプチャ モードと、4 段のサーキュラ バッファにタイム スタンプを連続的に格納する連続キャプチャ モードもサポートしています。

これらの機能により、ECAP モジュールは速度測定、位置検出、精密な入力信号監視制御アプリケーションに有用です。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

### 7.5.5 エラー特定モジュール (ELM)

エラー特定モジュール (ELM) は、汎用メモリコントローラ (GPMC) と組み合わせて動作し、NAND フラッシュメモリのエラー検出および訂正をサポートします。Bose–Chaudhuri–Hocquenghem (BCH) アルゴリズムを使用して、NAND ページの読み取り中に生成されたシンドローム多項式を処理し、データブロック内のエラー位置を特定します。ELM は、512 バイトブロックごとに 4、8、16 ビットのエラー訂正をサポートしており、完了時に割り込みを生成し、エラー数と位置データへのレジスタベースのアクセスが可能です。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー特定モジュール (ELM)」セクションを参照してください。

### 7.5.6 拡張パルス幅変調 (EPWM)

拡張パルス幅変調 (EPWM) モジュールは、高度に柔軟なタイマベースの周辺機能であり、モータ制御、デジタル電源、および汎用タイミング用途向けに精密なパルス幅変調波形を生成するために使用されます。

EPWM モジュールは、周期、デューティ サイクル、位相のプログラム制御を提供し、立ち上がりエッジと立ち下がりエッジを独立して遅延制御できるデッドバンド生成、故障処理用のトリップゾーン入力、他の EPWM モジュールとの同期のためのタイムベース同期入出力信号、さらに CPU 割り込みや ADC 変換をトリガするイベント生成機能を備えており、制御ループと波形生成の間で精密な同期を実現します。

追加機能として、高周波キャリア信号による PWM チョッピングによって EMI を低減し信号品質を向上させる機能や、PWM イベントがアクションをトリガする頻度を細かく制御できるプログラム可能なイベント プリスケール機能がありません。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

### 7.5.7 エラー通知モジュール (ESM)

エラー通知モジュール (ESM) は、デバイス全体のイベントやエラーを 1 つの場所に集約します。イベントに対処するために、優先度の低い割り込みおよび高い割り込みをプロセッサに通知したり、I/O エラー ピンを操作して、エラーが発生したことを外部ハードウェアに通知したりすることができます。このため、外部コントローラでデバイスをリセットしたり、システムを安全な既知の状態に維持したりできます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー通知モジュール」セクションを参照してください。

### 7.5.8 拡張直交エンコーダパルス (eQEP)

拡張直交エンコーダパルス (EQEP) 周辺機能は、回転エンコーダやリニア エンコーダからの 2 相エンコード信号とインターフェイスするために使用され、高性能なモーション制御や位置制御システムで一般的に用いられ、正確な位置、方向、速度の情報を提供します。

EQEP モジュールは、A 相と B 相の信号のデコードと、絶対位置リファレンス用のインデックス信号 (QEPI) をサポートしています。

32 ビット EQEP モジュールは、プログラム可能なリセット機能付きの位置測定用ポジション カウンタと制御ユニット、低速測定用のクアドラチャ エッジ キャプチャ ユニット、リアルタイム速度測定用のユニット タイム ベース、さらにエンコーダの動作喪失を検出するウォッチドッグ タイマを備えています。EQEP は、コンペア、オーバーフロー/アンダーフロー、インデックス イベントで割り込みを生成し、柔軟なモーション制御アルゴリズムをサポートします。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダパルス (EQEP)」セクションを参照してください。

### 7.5.9 汎用インターフェイス (GPIO)

汎用入出力 (GPIO) ペリフェラルは、入力または出力として構成可能な専用の汎用ピンを備えています。出力として構成すると、内部レジスタに書き込むことにより、出力ピンの状態を制御できます。入力として構成すると、内部レジスタの状態を読み取ることにより、入力の状態を取得できます。

GPIO モジュールは最大 144 の専用信号をサポートしており、9 バンクに分割され、それぞれのバンクは最大 16 の GPIO 信号で構成されています。

割り込み生成は、16 本の GPIO 信号ごとの各バンク単位で個別に有効化できます。割り込みは、割り込み対応 GPIO 信号ごとに指定でき、立ち上がりエッジおよび/または立ち下がりエッジでトリガされます。

さらに、GPIO ペリフェラルは、さまざまなイベント生成モードで DMA 同期イベントを生成することができます。GPIO 信号のセット/クリア機能も利用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス」セクションを参照してください。

### 7.5.10 汎用メモリ コントローラ (GPMC)

汎用メモリ コントローラは、以下に示すような外部メモリ デバイスとのインターフェイス専用の統合メモリ コントローラです。

- 非同期 SRAM などのメモリおよび ASIC (特定用途向け集積回路) デバイス
- 非同期、同期、ページ モード (非多重化モードでのみ使用可能) バースト NOR フラッシュ デバイス
- NAND フラッシュ
- 疑似 SRAM デバイス

詳細については、デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「汎用メモリ コントローラ」セクションを参照してください。

### 7.5.11 グローバル時間ベース カウンタ (GTC)

GTC モジュールは Arm@v8 システム カウンタ要件に準拠した 64 ビットのフリーランニング アップカウンタであり、64 ビット カウンタ全体を使用する場合はデバイスのライフタイムにわたってロールオーバーが発生せず、さらにプッシュ イベントとして選択可能なカウンタ ビット出力をサポートします。

GTC は、すべてのコアおよびペリフェラル間で一貫したタイムスタンプおよび同期を実現するための統一された時間基準を提供します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「グローバル時間ベース カウンタ」セクションを参照してください。

### 7.5.12 I2C (Inter-Integrated Circuit)

Inter-Integrated Circuit (I2C) コントローラは Arm などのローカル ホスト (LH) と、I<sup>2</sup>C シリアル バスで接続される任意の I<sup>2</sup>C バス互換デバイスとの間のインターフェイスを提供します。I<sup>2</sup>C バスに接続された外部コンポーネントは、2 線式の I<sup>2</sup>C インターフェイスを介して、LH デバイスとの間で最大 8 ビットのデータをシリアル送受信できます。

各マルチコントローラ I<sup>2</sup>C モジュールは、ターゲットまたはコントローラの I<sup>2</sup>C 互換デバイスとして動作するように構成できます。

I<sup>2</sup>C インスタンスは、専用の I<sup>2</sup>C 準拠オープンドレイン I/O バッファ、または標準プッシュプル I/O バッファを使用して実装できます。I<sup>2</sup>C オープン ドレイン I/O バッファに関連付けられた I<sup>2</sup>C インスタンスは、HS モードをサポートしており、1.8V 動作時には最大 3.4Mbps、3.3V 動作時には 400kbps に制限されます。

標準プッシュプル I/O バッファに関連付けられた I<sup>2</sup>C インスタンスは、ファースト モード (最大 400kbps) をサポートできます。これらのポートで使用されているプッシュプル I/O バッファは、オープンドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「Inter-Integrated Circuit」セクションを参照してください。

### 7.5.13 モジュラー・コントローラ・エリア・ネットワーク (MCAN)

コントローラ エリア ネットワーク (CAN) は、高い安全性で分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電氣的干渉に対する高い耐性を持ち、自己診断およびデータ エラー修正機能を備えています。CAN ネットワークでは、多くの短いメッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型 CAN および CAN FD (フレキシブル なデータ レートの CAN) の両方のプロトコルをサポートしています。CAN FD 機能により、データ フレームあたりのスループットが向上し、ペイロードが増加します。従来型 CAN デバイスと CAN FD デバイスは、競合することなく、同じネットワーク上に共存できます。

CAN および CAN FD デバイスは、外部トランシーバ (デバイス外付け) を介して CAN ネットワークの物理層に接続されます。各 MCAN モジュールは 1Mbps を超える柔軟なビット レートをサポートし、ISO 11898-1:2015 に準拠しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「モジュラー コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

#### 7.5.14 マルチチャンネル オーディオ シリアル ポート (MCASP)

MCASP は汎用オーディオ シリアル ポートとして機能し、各種オーディオ アプリケーションの要件に合わせて最適化されています。MCASP モジュールは、送信モードおよび受信モードで動作できます。MCASP は、時分割多重型 (TDM) ストリーム、I2S (Inter-IC Sound、IC 間サウンド) プロトコル、および DIT (コンポーネント間デジタル オーディオ インターフェイス送信) で役立ちます。MCASP には、Sony/Philips デジタルインターフェイス (S/PDIF) の送信物理層コンポーネントに直接接続できるという柔軟性があります。

コンポーネント間デジタル オーディオ インターフェイス受信 (DIR) モード (S/PDIF ストリーム受信) は、MCASP モジュールでネイティブにはサポートされていませんが、MCASP レシーバ用に特定の TDM モードを実装することで、外部 DIR コンポーネントに対して簡単に接続できます (たとえば、S/PDIF から I2S フォーマット コンバータ)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャンネル オーディオ シリアル ポート」セクションを参照してください。

#### 7.5.15 マルチチャンネル シリアル ペリフェラル インターフェイス (MCSPI)

MCSPI は、マルチチャンネル送信 / 受信通信をサポートする拡張 SPI モジュールであり、コントローラ モードとペリフェラル モードの両方で動作できます。コントローラ モードでは、モジュールは最大 4 つのチャンネルと接続でき、ペリフェラル モードでは 1 つのチャンネルをサポートします。

各チャンネルは、効率的なデータ転送のために読み取り用と書き込み用の 2 つの独立した DMA リクエストと 1 つの割り込みをサポートし、マルチチャンネル通信で適切なフレーミングと同期を確保するためのプログラム可能なスタート ビット (LOSSI) モード、データスループットおよびワード アクセス効率のための内蔵 FIFO、さらに周波数、極性、位相をプログラム可能なシリアル クロックを備えています。

MCSPI モジュールは、4 ~ 32 ビットの範囲で構成可能な SPI ワード長をサポートしています。さらに、チップ セレクトと外部クロック生成との間のプログラマブルなシフト動作およびタイミング制御が可能です。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャンネル シリアル ペリフェラル インターフェイス」セクションを参照してください。

#### 7.5.16 マルチメディア カード セキュア デジタル (MMCSD)

MMCSD ホスト コントローラは、組込みマルチメディア カード (MMC)、セキュア デジタル (SD)、セキュア デジタル IO (SDIO) デバイスへのインターフェイスとして機能します。MMC/SD コントローラは、伝送レベルで MMC/SD/SDIO プロトコルを処理し、データのパッキング、CRC の追加、スタート/ エンド ビットの付加、構文的な正しさの確認を行います。

MMCSD ホスト コントローラは、4 ビット サブシステムと 8 ビット サブシステムとして実装されています。この 4 ビット サブシステムは、SD 動的レイヤ仕様 v3.01 に準拠したリムーバブル SD カードと、SDIO 仕様 v3.00 に準拠した組込み SDIO デバイスをサポートします。この 8 ビット サブシステムは、JEDEC eMMC 電気標準 v5.1 (JESD84-B51) に準拠した eMMC デバイスと、SDIO 仕様 v3.00 に準拠した組込み SDIO デバイスをサポートします。

詳細については、デバイスのテクニカル リファレンス マニュアルの ペリフェラル の章にある マルチメディアカード セキュア デジタル (MMCSD) インターフェイス セクションを参照してください。

### 7.5.17 オクタル シリアル ペリフェラル インターフェイス (OSPI)

オクタル シリアル ペリフェラル インターフェイス (OSPI) モジュールは、シリアル ペリフェラル インターフェイス (SPI) モジュールであり、外部フラッシュ デバイスに対して、シングル、デュアル、クアッド、オクタルでの読み取り/書き込みのアクセスを、デュアル (DDR) またはシングル (SDR) データレートで行うことを可能にします。このモジュールは、メモリ マップレジスタ インターフェイスを備えており、外部フラッシュ デバイスからデータにアクセスするためのダイレクト メモリ インターフェイスとして機能するので、ソフトウェア要件が簡素化されます。

このモジュールは、DDR および DTR プロトコル (DQS 付きのオクタル DDR を含む)、XIP (連続モード)、プログラム可能なデバイスサイズと遅延、書き込み保護領域をサポートしています。その他の機能として、双方向 CRC、ECC エラー処理、プログラム可能な割り込み生成、連続アドレッシングおよびデバイス境界検出用のプログラマブル データ デコーダがあります。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

### 7.5.18 タイマ

汎用タイマ (タイマ) は 32 ビットモジュールで、周期的イベント生成用のタイマモード、外部イベントの高精度タイムスタンプを行うためのキャプチャモード、一致ベースの割り込み用の比較モードをサポートしています。タイマモジュールは、2 つの 32 ビットタイマのカスケード接続をサポートしており、64 ビットカウンタを形成できます。

タイマには、オーバーフロー時に自動リロード機能を備えたフリーランニング上位カウンタが含まれており、カウント中もその場で読み書きできます。タイマは、オーバーフロー、比較、キャプチャの各イベントによって発生する割り込みをサポートしています。すべての内部タイマ割り込みソースは、1 つのモジュール割り込みライン、1 つのウェークアップラインに統合され、各内部割り込みソースは、個別にイネーブルまたはディセーブルにできます。

タイマモジュールは、32768Hz の機能クロックで 1ms のティックを生成できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

### 7.5.19 UART (ユニバーサル非同期レシーバ/トランスミッタ)

UART は、ホスト CPU を介したデータ転送または割り込みポーリングに DMA を利用するペリフェラルです。すべての UART モジュールは、48MHz 機能クロックを使用する場合、IrDA および CIR モードをサポートします。各 UART は、多数の外部ペリフェラル デバイスの構成およびデータ交換、またはデバイス相互のプロセッサ間通信に使用できます。

UART モジュールは、送受信それぞれに 64 バイトの FIFO バッファを備え、最大 3.6Mbps の高速通信をサポートし、自動フロー制御、設定可能なデータ フォーマット、スリープ モード、拡張モデム制御信号といった高度な機能も含んでいます。また、プログラマブルな割り込みレベル、自動ボー検出、テスト用の内部ループバック機能も備えています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル同期 / 非同期レシーバ/トランスミッタ」セクションを参照してください。

### 7.5.20 ユニバーサル シリアル バス サブシステム (USBSS)

ユニバーサル シリアル バス サブシステム (USBSS) は、USB デバイス間のデータ転送メカニズムを実装することで、多くの消費者向けポータブル機器にコネクティビティソリューションを提供します。

USBSS はデュアルロールデバイス (DRD) 機能を搭載しており、ホストモードで高速 (480Mbps)、フルスピード (12Mbps)、低速 (1.5Mbps) での動作を実現し、高速 (480Mbps) またはフルスピード (12Mbps) でのペリフェラルモードでの動作を可能にし、柔軟な動作と内蔵の VBUS 検出機能を実現します。このサブシステムは、ホストコントローラインターフェイスの互換性を考慮して xHCI 1.1 仕様に準拠しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル シリアル バス サブシステム (USBSS)」を参照してください。

## 8 アプリケーション、実装、およびレイアウト

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 デバイスの接続およびレイアウトの基礎

#### 8.1.1 電源

##### 8.1.1.1 電源の設計

AM62Px ファミリのプロセッサおよびペリフェラルに推奨されるパワー マネージメント IC (PMIC)、およびその動作の詳細については、『[AM62Px デバイスに電力を供給するための PMIC](#)』製品概要を参照してください。

推奨される PMIC を使用した場合に得られる利点の一覧:

- AM62Px ファミリのプロセッサへの電力供給専用設計された、低コストかつ省スペースの PMIC ソリューション
- AEC – Q100 認定済みの AM62P-Q1 デバイスへの電力供給時に、車載用の ASIL-B までの機能安全アプリケーションに対応
- AM62P デバイスへの電力供給時に、SIL-2 までの機能安全産業用アプリケーションに対応
- テキサス・インスツルメンツの評価ボードで検証済みのデバイス性能をフルに発揮
- 工場出荷時に設定済みの構成によって、電源レールの負荷ステップ、電源電圧精度、最大負荷電流をマージンを確保してサポート
- 工場出荷時に設定済みの構成によって LPDDR4 メモリをサポート
- PMIC に内蔵された ADC により、(温度センサや周辺光センサなどからの) アナログ電圧を容易に測定できるという追加の利点が見られる
- AM62P および AM62P-Q1 の電圧およびシーケンシング要件に適合 ([セクション 6.5](#) 「推奨動作条件」および [セクション 6.12.2.2](#) 「電源シーケンス」を参照)

##### 8.1.1.2 電源供給回路の実装ガイド

『[Sitara プロセッサ電源供給回路: 実装と分析](#)』は、電源供給回路を正しく実装するためのガイダンスを提供します。これには、PCB スタックアップ ガイダンスと、デカップリング コンデンサの選択および配置を最適化するためのガイダンスが含まれます。テキサス・インスツルメンツは、このアプリケーション レポートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

#### 8.1.2 外部発振器

外部発振器の詳細については、『[クロック仕様](#)』セクションを参照してください。

#### 8.1.3 JTAG、EMU、およびトレース

テキサス・インスツルメンツは、JTAG のサポートだけでなく、さまざまなデバッグ機能を備えた各種の拡張開発システム (XDS™) JTAG コントローラをサポートしています。この情報の概要については、『[XDS ターゲット接続ガイド](#)』を参照してください。

JTAG、EMU、およびトレース配線の推奨事項については、『[エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル](#)』を参照してください。

#### 8.1.4 未使用のピン

未使用ピンの詳細については、『[セクション 5.4](#) ピン接続要件』を参照してください。

## 8.2 ペリフェラルおよびインターフェイス固有の設計情報

### 8.2.1 DDR 基板の設計およびレイアウトのガイドライン

『AM62Ax/AM62Dx/AM62Px LPDDR4 基板の設計およびレイアウトのガイドライン』の目標は、すべての設計者に対して DDR システムの実装を明快にすることです。要件を一連のレイアウトおよび配線ルールに絞り込んで、設計者が、テキサス・インスツルメンツのサポートするトポロジに対応した堅牢な設計を正しく実装できるようにしています。テキサス・インスツルメンツは、LPDDR4 メモリを使用したボード設計において、このドキュメントのガイドラインに従ったものだけをサポートしています。

### 8.2.2 eMMC HS400 基板の設計およびシミュレーション ガイドライン

HS400 データ転送で定義された最大レートで eMMC を動作させるためには、厳格なボード設計およびシミュレーション ガイドラインへの準拠が求められます。これは、高速動作を実現するうえで極めて重要な PCB 設計上の課題です。

「AM62Px eMMC HS400 基板の設計およびシミュレーション ガイドライン」アプリケーション ノートでは、eMMC HS400 インターフェイス実装に関する指針を示しており、特に信号終端、信号配線仕様、電源設計に重点を置いています。さらに、ボード モデルの抽出と検証、コンデンサ ループのインダクタンス、AC インピーダンス、IBIS モデル シミュレーション など、シミュレーション手法についても解説しています。

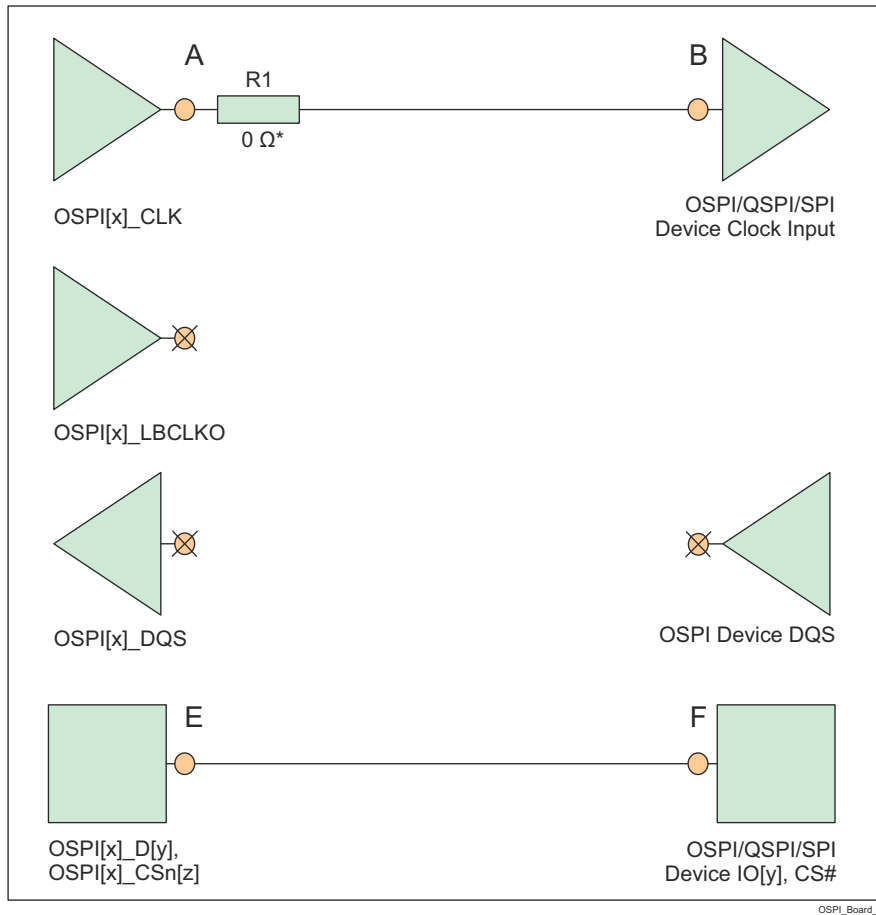
これらのガイドラインに従うことは、信号の完全性を確保し、高速動作を実現するために不可欠です。

### 8.2.3 OSPI/QSPI/SPI 基板の設計およびレイアウトのガイドライン

以下のセクションでは、OSPI、QSPI および SPI デバイスの接続にあたって従うべき PCB の配線ガイドラインについて詳しく説明します。

#### 8.2.3.1 ループバックなし、内部 PHY ループバックおよび内部パッド ループバック

- OSPI[x]\_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- OSPI[x]\_CLK ピンから接続されている OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延は 450ps 未満 (ストリップラインの場合は約 7cm、マイクロストリップの場合は約 8cm) とする必要があります。
- 各 OSPI[x]\_D[y] および OSPI[x]\_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]\_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくなる必要があります
- 図 8-1 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
  - (A から B)  $\leq$  450ps
  - (E から F、または F から E) = ((A から B)  $\pm$  60ps)



\* 0Ω 抵抗 (R1) は、OSPI[x]\_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

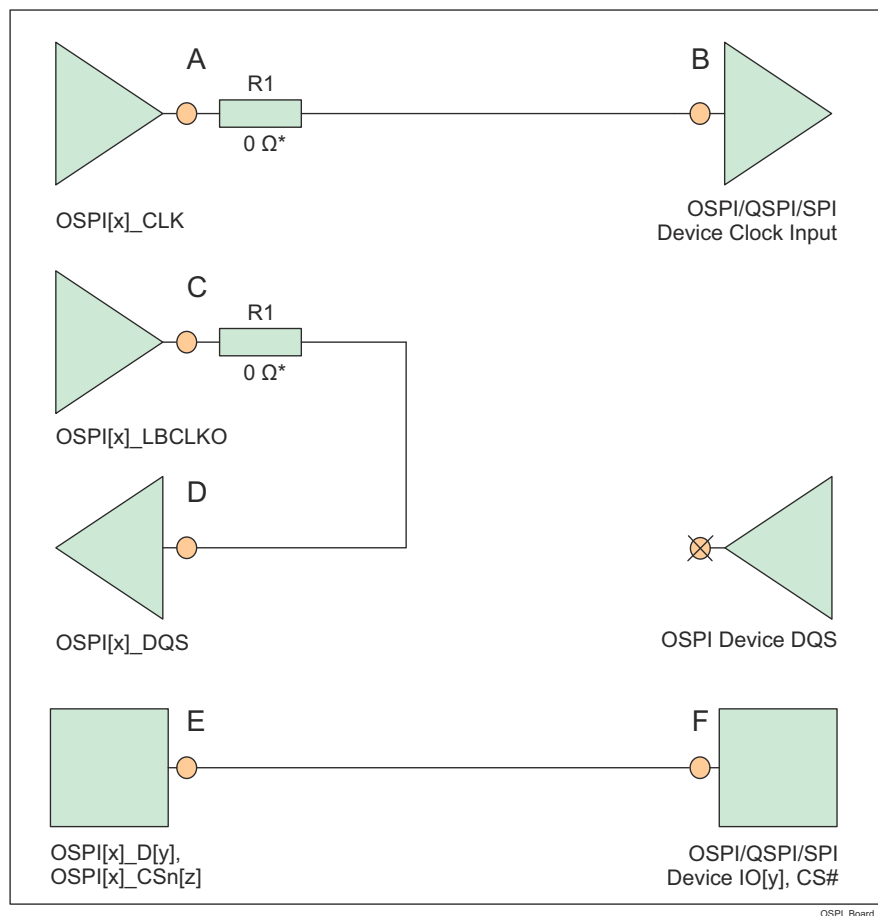
図 8-1. ループバックなし、内部 PHY ループバック、内部パッド ループバックの OSPI 接続回路図

### 8.2.3.2 外部ボードのループバック

- OSPI[x]\_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- OSPI[x]\_LBCLKO 出力ピンは、OSPI[x]\_DQS 入力ピンにループバックする必要があります。
- OSPI[x]\_LBCLKO ピンから OSPI[x]\_DQS ピン (C から D) までの信号伝搬遅延は、OSPI[x]\_CLK ピンから、接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの伝搬遅延の約 2 倍である必要があります。
- 各 OSPI[x]\_D[y] および OSPI[x]\_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]\_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 図 8-2 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング：
  - (C から D) =  $2 \times ((A から B) \pm 30\text{ps})$ 、下の例外の注を参照してください。
  - (E から F、または F から E) =  $((A から B) \pm 60\text{ps})$

#### 注


外部ボード ループバック ホールド時間要件 (「OSPIO のタイミング要件 - PHY DDR モード」セクションのパラメータ番号 O16 で規定) は、標準的な OSPI/QSPI/SPI デバイスで提供されるホールド時間よりも長い場合があります。この場合、ホールド時間を増やすため、OSPI[x]\_LBCLKO ピンから OSPI[x]\_DQS ピン (C から D) までの伝搬遅延を短くすることができます。

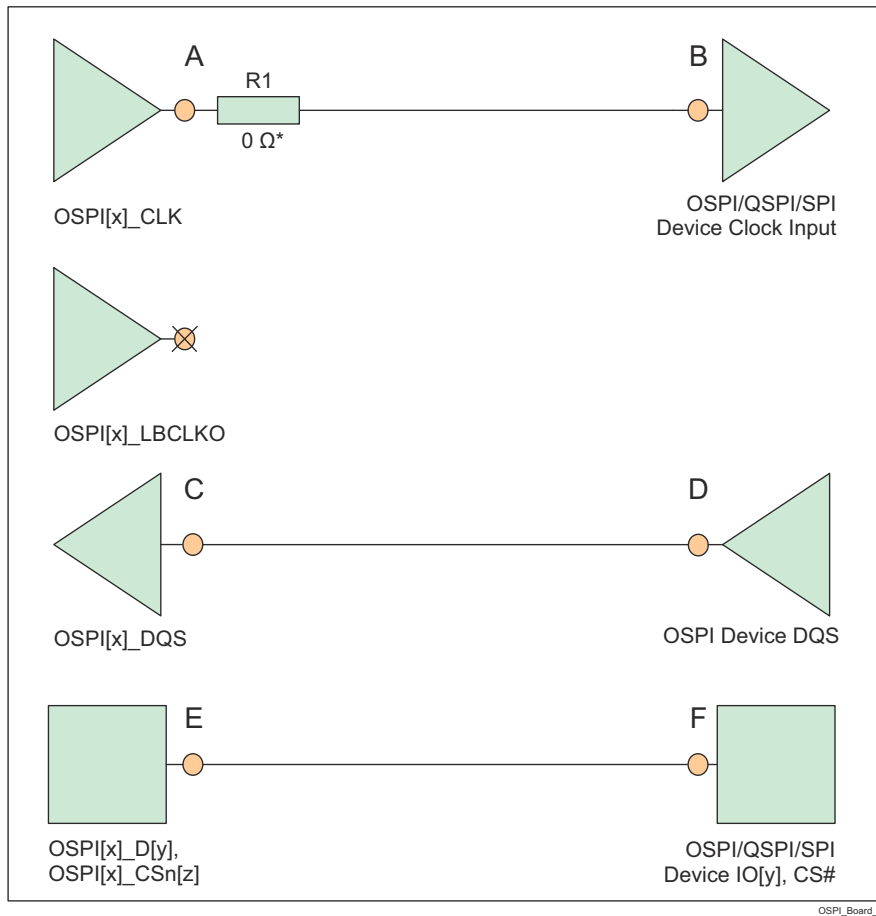


\* OSPI[x]\_CLK ピンおよび OSPI[x]\_LBCLKO ピンのできるだけ近くに配置された 0Ω 抵抗 (R1) は、必要に応じて微調整するためのプレースホルダです。

図 8-2. 外部ボード ループバックの OSPI 接続回路図

### 8.2.3.3 DQS (オクタール SPI デバイスでのみ使用可能)

- OSPI[x]\_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- 接続されている OSPI/QSPI/SPI デバイスの DQS ピンは、OSPI[x]\_DQS ピンに接続する必要があります
- 接続された OSPI/QSPI/SPI デバイスの DQS ピンから OSPI[x]\_DQS ピン (D から C) までの信号伝搬遅延は、OSPI[x]\_CLK ピンから接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 各 OSPI[x]\_D[y] および OSPI[x]\_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]\_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
-  8-3 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
  - (D から C) = ((A から B) ± 30ps)
  - (E から F、または F から E) = ((A から B) ± 60ps)



\* 0Ω 抵抗 (R1) は、OSPI[x]\_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 8-3. DQS の OSPI 接続回路図

## 8.2.4 USB VBUS 設計ガイドライン

USB 3.1 仕様では、VBUS 電圧は通常動作で最大 5.5V であり、「パワー デリバリー」追補がサポートされている場合は最大 20V になることが許容されています。一部の車載アプリケーションは、最大電圧を 30V にする必要があります。

このデバイスでは、外付けの分圧抵抗を使用して VBUS 信号電圧を下げる必要があります (図 8-4 を参照)。これにより、実際のデバイスピン (USB0\_VBUS) に印加される電圧が制限されます。これらの外部抵抗の許容誤差は 1% 以下、ツェナー ダイオードの 5V でのリーク電流は 100nA 未満の必要があります。

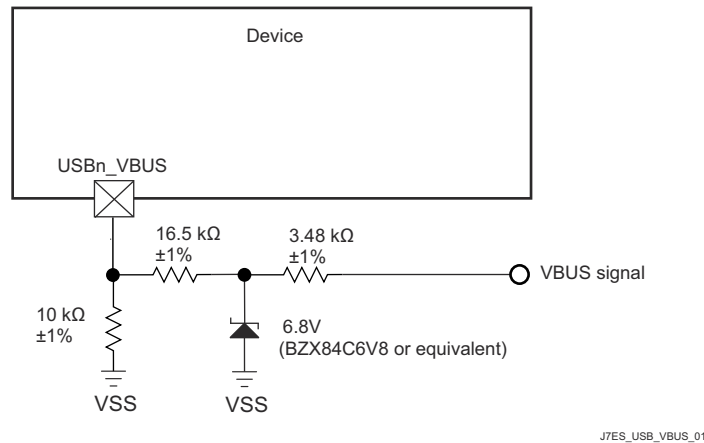


図 8-4. USB VBUS 検出分圧器 / クランプ回路

デバイスの電源がオフのときに VBUS が印加された場合、図 8-4 に示す外部回路によって実際のデバイスピンへの入力電流が制限されるため、USB0\_VBUS ピンはフェイルセーフであると考えられます。

## 8.2.5 システム電源監視設計ガイドライン

VMON\_VSYS ピンは、システム電源を監視する手段を提供します。このシステム電源は通常、システム全体に供給される事前に安定化された 1 つの電源であり、外付け分圧抵抗回路を介して VMON\_VSYS ピンに接続できます。このシステム電源は、外部分圧器の出力電圧を内部基準電圧と比較することによって監視されます。VMON\_VSYS に印加された電圧が内部基準電圧を下回ると、パワー フェイル イベントがトリガされます。実際のシステム電源電圧トリップ ポイントは、外付け抵抗による分圧回路の実装に使用する部品の値を選択するときに、システム設計者が決定します。

分圧抵抗回路を設計する際は、システム電源監視のトリップ ポイントの変動に寄与するさまざまな要因を理解する必要があります。最初に考慮するのは、VMON\_VSYS 入力スレッショルドの初期精度です。このスレッショルドの公称値は 0.45V で、変動は ±3% です。分圧抵抗回路の実装には、同程度の熱係数で高精度の 1% 抵抗を推奨します。これにより、抵抗値の誤差に起因する変動を最小限に抑えることができます。VMON\_VSYS に関連する入力リーク電流も考慮する必要があります。これは、ピンに流入する電流によって分圧器出力に負荷誤差が生じるためです。VMON\_VSYS 入力リーク電流は、0.45V 印加時に 10nA～2.5μA の範囲となる場合があります。

### 注

抵抗分圧器は、通常動作条件において、その出力電圧が「推奨動作条件」に定義された最大値を超えないように設計する必要があります。

システム電源が公称 5V で、最大トリガ スレッショルドが 5V - 10%、すなわち 4.5V の場合の例を図 8-5 に示します。

この例では、抵抗値を選択する際に、どの変数が最大トリガ スレッショルドに影響を与えるかを理解する必要があります。システム電源が 10% 低下するまでトリップしない分圧器を設計するには、VMON\_VSYS 入力スレッショルドが 0.45V + 3% であるデバイスを検討する必要があります。抵抗の許容誤差と入力リーク電流の影響も考慮する必要がありますが、最大トリガ ポイントに対する寄与は明らかではありません。最大トリガ電圧を生成する部品値を選択するときは、VMON\_VSYS ピンの入力リーク電流が 2.5μA であるという条件と、R1 の値が 1% 低く、R2 の値が 1% 高いという条件

を考慮する必要があります。R1 = 4.81kΩ および R2 = 40.2kΩ の抵抗分圧器を実装すると、結果として最大トリガ スレッショルドは 4.517V になります。

上記のように最大トリガ電圧を満たすように部品の値を選択すると、R1 の値が 1% 高く、R2 の値が 1% 低い場合、および入力リーク電流が 10nA またはゼロの場合、システム設計者は、出力電圧が 0.45V - 3% になる印加電圧を計算することにより、最小トリガ電圧を決定できます。上記の抵抗値とゼロの入力リーク電流を組み合わせた結果、最小トリガ スレッショルドは 4.013 V となります。

この例は、4.013V から 4.517V まで変動するシステム電源電圧トリップ ポイントを示しています。この範囲のうち約 250mV は VMON\_VSYS の入力スレッショルド精度 ±3% によって発生し、約 150mV は抵抗の誤差 ±1% によって発生し、約 100mV は VMON\_VSYS の入力リーク電流が 2.5μA である場合の負荷誤差により発生しています。

この例で選択した抵抗値を使うと、システム電源が 4.5V の場合、約 100μA のバイアス電流が抵抗分圧器を流れます。先に述べた 100mV の負荷誤差は、抵抗分圧器を流れるバイアス電流を約 1mA に増やすことで、約 10mV に低減できます。したがって、抵抗分圧器のバイアス電流と負荷誤差の関係は、部品の値を選択するときにシステム設計者が考慮する必要があります。

VMON\_VSYS は、最小のヒステリシスで、過渡に対する高帯域応答を備えているため、システム設計者は分圧器出力にノイズ フィルタを実装することも考慮する必要があります。これは、図 8-5 に示すように、R1 の両端にコンデンサを取り付けることで実現できます。ただし、システム設計者は、システムの電源ノイズと、過渡現象に対して予測される応答に基づいて、このフィルタの応答時間を決定する必要があります。

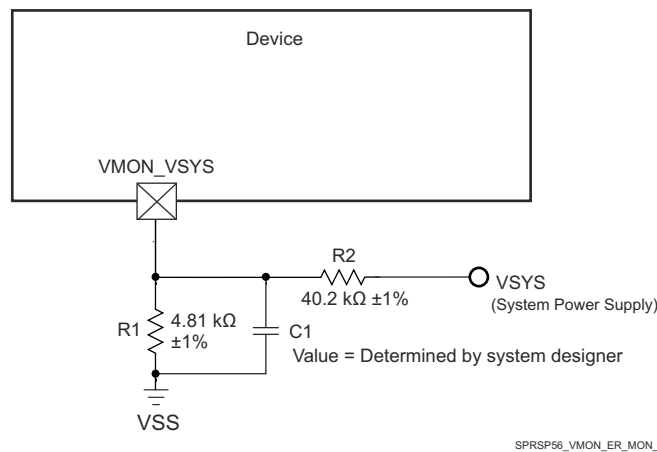


図 8-5. システム電源監視分圧回路

VMON\_1P8\_SOC ピンは、外部 1.8V 電源を監視する手段を提供します。このピンは、それぞれの電源に直接接続する必要があります。この SoC には、これらの各ピン用にソフトウェア制御の内部分圧抵抗が実装されています。ソフトウェアにより内部分圧抵抗回路をプログラミングすることで、適切な低電圧および過電圧の割り込みを生成できます。

VMON\_3P3\_SOC ピンは、外部 3.3V 電源を監視する手段を提供します。このピンは、それぞれの電源に直接接続する必要があります。この SoC には、これらの各ピン用にソフトウェア制御の内部分圧抵抗が実装されています。ソフトウェアにより内部分圧抵抗回路をプログラミングすることで、適切な低電圧および過電圧の割り込みを生成できます。

### 8.2.6 高速差動信号のルーティング ガイド

『高速インターフェイスのレイアウト ガイドライン』には、高速差動信号を正しく配線するためのガイダンスが示されています。これには、PCB スタックアップと材料のガイダンス、配線スキュー、長さ、間隔の制限が含まれます。テキサス・インスツルメンツは、このアプリケーション ノートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

### 8.2.7 熱ソリューション ガイダンス

『DSP および ARM アプリケーション プロセッサ用の熱設計ガイド』は、このデバイスを搭載したシステム設計の熱ソリューションを正しく実装するための指針を提供しています。この資料は、熱ソリューションに関連する一般的な用語と方法に関

する背景情報を記載しています。テキサス・インスツルメンツは、このアプリケーション ノートに記載されているシステム設計ガイドラインに従った設計のみをサポートしています。

## 8.3 クロック配線のガイドライン

### 8.3.1 発振器の配線

プリント基板を設計する際、以下のことに留意してください。

- 水晶振動子回路の部品はすべて、各デバイスピンのできるだけ近くに配置します。
- 水晶振動子回路のパターンは PCB の外層に配線します。そして、寄生容量を減らし、その他の信号からのクロストークを最小化するため、パターン長を最小限に抑えます。
- すべての水晶振動子回路部品と水晶振動子回路パターンの下になるように、隣接する PCB 層に連続的なグランドプレーンを配置します。
- 水晶振動子回路部品の周囲にグランドガードを配置し、水晶振動子回路パターンと同じ層に配線された隣接信号から、これらの部品をシールドします。グランドガードが未終端のスタブを持たないように、複数のビアを挿入して、グランドガードをグランドプレーンに接続します。
- MCU\_OSC0\_XI 信号と MCU\_OSC0\_XO 信号の間にグランドガードを配置し、MCU\_OSC0\_XI 信号を MCU\_OSC0\_XO 信号からシールドします。グランドガードが未終端のスタブを持たないように、複数のビアを挿入して、グランドガードをグランドに接続します。
- 水晶振動子回路のすべてのグランド接続とグランドガード接続は、隣接する層のグランドプレーンに直接接続します (PCB の異なる層に個別に実装されている場合、デバイス VSS グランドプレーンに接続します)。

#### 注

MCU\_OSC0\_XI 信号と MCU\_OSC0\_XO 信号の間にグランドガードを実装することは、2 つの信号間のシヤント容量を最小化するために重要です。これらの 2 つの信号の間にグランドガードを配置しないで、これらの 2 つの信号を隣接して配線すると、発振器アンプのゲインが実質的に低下し、発振開始能力が低下します。

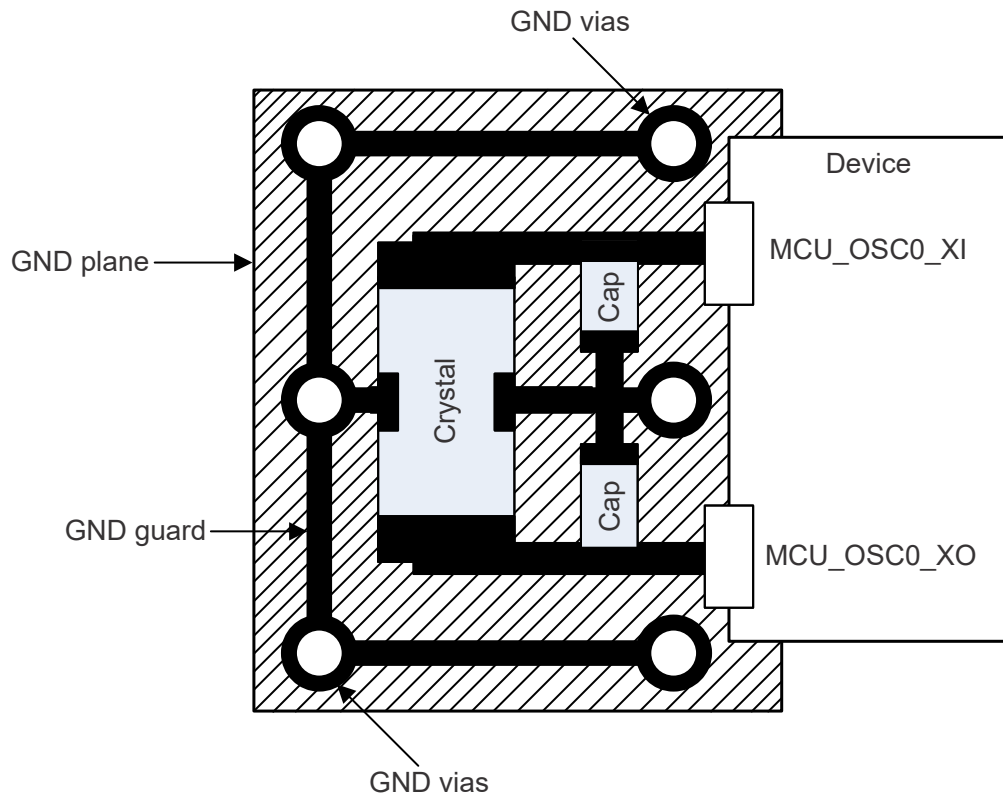


図 8-6. MCU\_OSC0 の PCB の要件

## 9 デバイスおよびドキュメントのサポート

### 9.1 デバイスの命名規則

製品開発サイクルの段階を示すために、テキサス・インスツルメンツではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞が割り当てられています。各デバイスには次の 3 つのいずれかの接頭辞があります: X、P、空白 (接頭辞なし) (例: AM62P54CVMSIAMHRQ1)。テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ (TMDX) から、完全認定済みの量産デバイス/ツール (TMDS) まであります。

デバイスの開発進展フロー:

- X** 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。
- P** プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。
- 空白** 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

- TMDX** 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。
- TMDS** 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

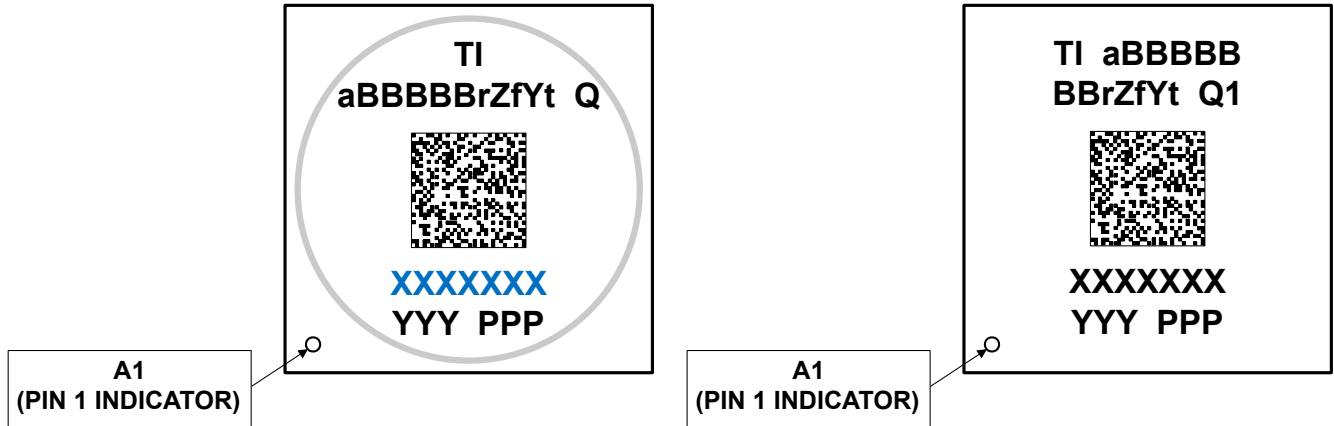
プロトタイプ デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

AMH パッケージ タイプの AM62Px デバイスの注文可能な型番については、このドキュメントにあるパッケージ オプションの付録やテキサス・インスツルメンツの Web サイト ([ti.com](http://ti.com)) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

### 9.1.1 標準パッケージの記号化

#### 注

一部のデバイスには、パッケージの上面に装飾的な円形のマーキングがあります。これは、量産テストプロセスの結果として添付されます。さらに、一部のデバイスでは、パッケージのサブストレートの製造元によって、パッケージのサブストレートに色のばらつきが見られる場合があります。このばらつきは外見上だけのものであって、信頼性には影響しません。



A. 左側の画像は、TMX (SR1.0) デバイスのマーキング / 記号にのみ当てはまります。

図 9-1. 印刷されたデバイス参照 [SR1.0 (L)、SR1.1 以降 (R)]

## 9.1.2 デバイスの命名規則

表 9-1. 項目名の説明

| フィールド パラメータ   | フィールドの説明           | 値        | 説明  |
|---|--------------------|----------|---|
| TI  | デバイスの製造元           | TI       | テキサス・インスツルメンツ                                     |
| a   | デバイスの開発段階          | X        | プロトタイプ  |
|   |                    | P        | 量産前(量産テストフロー、信頼性データなし)                            |
|   |                    | 空白 (1)   | 量産出荷中   |
| BBBBBBB   | 基本量産型番             | AM62P54  | デバイスの比較 参照  |
|   |                    | AM62P52  |   |
|   |                    | AM62P34  |   |
|   |                    | AM62P32  |   |
| r   | デバイスリビジョン (2)      | A        | SR1.0 / AMH1.0                                    |
|   |                    | B        | SR1.1 / AMH1.0                                    |
|   |                    | C        | SR1.2 / AMH1.1                                    |
| Z   | デバイス速度グレード         | O        | 「デバイス速度グレード」表を参照                                  |
|   |                    | S        |   |
|   |                    | T        |   |
|   |                    | U        |   |
|   |                    | V        |   |
| f   | 機能<br>(デバイスの比較を参照) | G        | 基数  |
|   |                    | M        | G とマルチメディア JPEG エンコーダおよびディスプレイ サブシステムでサポートされている機能 |
| Y   | セキュリティ / 機能安全      | 1~9      | ダミー キーによるセキュリティ / 機能安全なし                          |
|   |                    | H から R へ | プロダクション キーによるセキュリティ / 機能安全なし                      |
|   |                    | S から Z へ | プロダクション キーによるセキュリティ / 機能安全なし                      |
| t   | 温度(3)              | I        | -40°C~125°C - 125°C産業用および車載用 (推奨動作条件を参照)          |
| Q1  | 車載識別記号             | Q1       | 自動認定済み (AEC-Q100)、eMMC (8 ビット)、MMC0 で 最大 HS400    |
|   |                    | 空白 (1)   | 標準、eMMC (8 ビット)、MMC0 で最大 HS200                    |
|  | 2D バーコード           | 条件によって変化 | オプションの 2D バーコードは、追加のデバイス情報を提供します                  |
|   |                    | 空白 (1)   |   |
| XXXXXXX   |                    |          | ロットのトレース コード(LTC)                                 |
| YYY   |                    |          | 量産コード、TI でのみ使用                                    |
| PPP   | パッケージ指定子           | AMH      | FCBGA (466)                                       |
| •   |                    |          | ピン 1 の指定子   |

(1) 記号または型番の空白は省略されるため、前後の文字は連続して表記されます。

(2) SR <Major.Minor> はシリコン リビジョンを示し、AMH <Major.Minor> は AMH パッケージのリビジョンを表します

(3) デバイスの接合部の最大温度に適用されます。

## 9.2 ツールとソフトウェア

以下の開発ツールは、テキサス・インスツルメンツの組み込みプロセッシング プラットフォームの開発をサポートしています。

### 開発ツール

**Code Composer Studio™ 統合開発環境** Code Composer Studio (CCS) 統合開発環境 (IDE) は、テキサス・インスツルメンツのマイクロコントローラと組み込みプロセッサのポートフォリオをサポートする開発環境です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++ コンパイラ、ソースコードエディタ、プロジェクトビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザーインターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse® ソフトウェアフレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

**SysConfig ツール** システム構成ツールは、デバイスの構成を簡素化するグラフィカルユーザーインターフェイス (GUI) を提供します。ツールは、ハードウェアとソフトウェアの構成に関する課題の簡素化と、ソフトウェア開発の迅速化に役立つ設計を採用した構成ツールです。SysConfig は、Code Composer Studio™ 統合開発環境 (IDE) の一部、またはスタンドアロン アプリケーションという形式で利用できます。さらに、**TI デベロッパー ゾーン** にアクセスすると、SysConfig をクラウド環境で実行できます。

SysConfig を使用すると、ピン、ペリフェラル、その他のコンポーネントを構成し、競合の自動的な検出、表示、解決を行い、ソフトウェア開発を加速できます。さらにクロックツリー ツールを使用すると、デバイスクロック コネクティビティを視覚的に実装できます。

SysConfig ツールは C ヘッダ / コード ファイルを出力で生成し、これらのファイルをソフトウェア開発キット (SDK) にインポートします。これにより、顧客は特定のハードウェア要件に合わせてソフトウェアを構成することが可能になります。

プロセッサ プラットフォーム用の開発サポート ツールすべての一覧については、テキサス・インスツルメンツの Web サイト ([ti.com](http://ti.com)) を参照してください。価格と在庫状況については、お近くのフィールド セールス オフィスまたは認可代理店にお問い合わせください。

## 9.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントは、AM62Px デバイスについて記載しています。

### テクニカル リファレンス マニュアル

『**AM62Px Sitara™ プロセッサ テクニカル リファレンス マニュアル**』: AM62Px デバイス ファミリーに含まれる各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

### エラータ

**AM62Px Sitara™ プロセッサ・シリコン エラータ**: このデバイスの機能仕様に関する既知の例外が記載されています。

## 9.4 サポート・リソース

テキサス・インスツルメンツ **E2E™ サポート・フォーラム** は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

## 9.5 商標

Sitara™, XDS™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Android™ is a trademark of Google LLC.

MPCore™, Neon™, and CoreSight™ are trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

Arm®, Cortex®, and TrustZone® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

MIPI® is a registered trademark of Mobil Industry Processor Interface Alliance.

セキュア デジタル® and SD® are registered trademarks of SD Card Association.

Linux® is a registered trademark of Linus Torvalds.

Eclipse® is a registered trademark of Eclipse Foundation AISBL.

すべての商標は、それぞれの所有者に帰属します。

## 9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 9.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

### Changes from AUGUST 22, 2025 to OCTOBER 24, 2025 (from Revision B (AUGUST 2025) to Revision C (OCTOBER 2025))

|  | Page |
|--|------|
| • グローバル:ドキュメントのステータスを「事前情報」から「量産データ」に変更.....   | 1    |
| • (デバイスの比較):GTC のサポートを示す行を追加.....  | 7    |
| • (UART1 信号の説明):UART1_DCDn の説明を訂正.....   | 73   |
| • (接続要件):CSI0 ボールの接続要件の説明を更新し、4 つのレーンをすべて使用しない場合の接続性の予測を明確化.....   | 76   |
| • (接続要件):DSI0 ボールの接続要件の説明を更新し、4 つのレーンをすべて使用しない場合の接続性の予測を明確化.....   | 76   |
| • (仕様):暫定仕様の注を削除.....  | 81   |
| • (消費電力の概略):『電力推定ツール』ユーザー ガイドへのリンクを追加.....   | 86   |
| • (熱抵抗特性):注を追加.....  | 94   |
| • (CPTS):タイミング表の下にあるテクニカル リファレンス マニュアル セクションの参照名を更新.....   | 130  |
| • (ECAP – タイミング要件およびスイッチング特性):表の注 1 のクロック ソースを更新.....  | 135  |
| • (EPWM – タイミング要件およびスイッチング特性):表の注 1 のクロック ソースを更新.....  | 138  |
| • (EQEP – タイミング要件):表の注 1 のクロック ソースを更新.....   | 140  |
| • (GPMC および NOR フラッシュのタイミング要件 – 同期モード):GPMC_FCLK=100MHz の列に対応するタイミング値および、GPMC_FCLK=133MHz における not_div_by_1_mode の関連タイミング値を削除しました。また、複数のパラメータ記述を簡略化しました。さらに、GPMC_FCLK の選択に関するレジスタ設定を説明した注記と、div_by_1_mode のレジスタ設定を説明した注記の 2 つの表注も削除しました.....           | 142  |
| • (GPMC および NOR フラッシュのスイッチング特性 - 同期モード):GPMC_FCLK=100MHz の列に対応するタイミング値および、GPMC_FCLK=133MHz における not_div_by_1_mode の関連タイミング値を削除しました。また、複数のパラメータ記述を簡略化しました。パラメータ F3 および F11 内のタイミング変数を「D」に変更しました。F15 および F17 パラメータから「J」タイミング変数を削除しました。テーブル注記を更新しました..... | 142  |
| • (GPMC および NOR フラッシュのタイミング要件 – 非同期モード):div_by_1_mode のレジスタ構成を説明していた MODE 列と表の注を削除。パラメータ FA21 の正しい表の注を追加.....  | 151  |
| • (GPMC および NOR フラッシュのスイッチング特性 – 非同期モード):MODE の列と冗長行を削除。div_by_1_mode のレジスタ構成について説明した表の注も削除.....   | 151  |
| • (GPMC および NAND フラッシュのタイミング要件 – 非同期モード):div_by_1_mode のレジスタ構成を説明していた MODE 列と表の注を削除.....   | 159  |
| • (GPMC および NAND フラッシュのスイッチング特性 – 非同期モード):div_by_1_mode のレジスタ構成を説明していた MODE 列と表の注を削除。タイミング変数 B、C、D、E、F、G、H、I、K、L、M に表の注と関連する参照リンクを追加.....  | 159  |
| • (I2C):サポートされている速度と例外の説明を変更し、I2C ポートインスタンスではなく IO パッファタイプに基づいて編成されています.....   | 162  |
| • (MCAN):タイミング表の下にある TRM セクションの参照名を更新.....   | 164  |
| • (詳細説明 - A53SS):デバイスでサポートされる A53SS 機能に関する説明を追加.....   | 214  |
| • (詳細説明 – DMSS):データシートの他のセクションの構造とフォーマットの整合性を確保するため、テクニカル リファレンス マニュアルへの参照を追加.....   | 216  |
| • (詳細説明 – PDMA):デバイスでサポートされる PDMA 機能に関する説明を追加.....   | 216  |
| • (詳細説明 - CPSW3G):デバイスでサポートされる CPSW3G 機能に関する説明を追加.....   | 218  |
| • (詳細説明 – ECAP):デバイスでサポートされる ECAP 機能に関する説明を追加.....   | 218  |
| • (詳細説明 – ELM):デバイスでサポートされる ELM 機能に関する説明を追加.....   | 218  |
| • (詳細説明 – EPWM):デバイスでサポートされる EPWM 機能に関する説明を追加.....   | 219  |
| • (詳細説明 – EQEP):デバイスでサポートされる EQEP 機能に関する説明を追加.....   | 219  |
| • (詳細説明 – GPIO):デバイスでサポートされる GPIO 機能に関する説明を追加.....   | 219  |

|  |     |
|--|-----|
| • (詳細説明 – GTC): デバイスでサポートされる GTC 機能に関する説明を追加.....                                  | 220 |
| • (詳細説明 - I2C): 最初の文を更新し、データシート内の他のセクションの構造および書式との一貫性を確保するとともに、I/O バッファの参照を更新..... | 220 |
| • (詳細説明 – MCAN): デバイスでサポートされる MCAN 機能に関する説明を追加.....                                | 220 |
| • (詳細説明 – McASP): ドキュメント内の他のセクションの構造とフォーマットとの整合性を確保するため、最初の文を削除.....               | 221 |
| • (詳細説明 – MCSPI): デバイスでサポートされる MCSPI 機能に関する説明を追加.....                              | 221 |
| • (詳細説明 – MMCSD): デバイスでサポートされる MMCSD 機能に関する説明を追加.....                              | 221 |
| • (詳細説明 - OSPI) : デバイスでサポートされる OSPI 機能に関する説明を追加.....                               | 222 |
| • (詳細説明 – タイマ): デバイスでサポートされるタイマ機能についての説明を追加.....                                   | 222 |
| • (詳細説明 – UART): デバイスでサポートされる UART 機能に関する説明を追加.....                                | 222 |
| • (詳細説明 – USBSS): デバイスでサポートされる USBSS 機能についての説明を追加.....                             | 222 |
| • (eMMC HS400 基板の設計およびシミュレーション ガイドライン): 新しいセクションを追加.....                           | 224 |
| • (デバイスの命名規則): デバイス リビジョン C を「SR1.1 / AMH1.1」から「SR1.2 / AMH1.1」に変更.....            | 234 |
| • (ツールとソフトウェア): SysConfig の機能に関する説明を追加.....  | 235 |

## 11 メカニカル、パッケージ、および注文情報

### 11.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

| Orderable part number              | Status<br>(1) | Material type<br>(2) | Package   Pins    | Package qty   Carrier | RoHS<br>(3) | Lead finish/<br>Ball material<br>(4) | MSL rating/<br>Peak reflow<br>(5) | Op temp (°C) | Part marking<br>(6) |
|------------------------------------|---------------|----------------------|-------------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------|
| <a href="#">AM62P34CSMHAMHR</a>    | Active        | Production           | FCBGA (AMH)   466 | 250   LARGE T&R       | Yes         | Call TI                              | Level-3-250C-168 HR               | -40 to 125   | 34CSMHI             |
| <a href="#">AM62P34CSMSIAMHRQ1</a> | Active        | Production           | FCBGA (AMH)   466 | 250   LARGE T&R       | Yes         | Call TI                              | Level-3-250C-168 HR               | -40 to 125   | 34CSMSI Q1          |
| <a href="#">AM62P52CSMSIAMHRQ1</a> | Active        | Production           | FCBGA (AMH)   466 | 250   LARGE T&R       | Yes         | Call TI                              | Level-3-250C-168 HR               | -40 to 125   | 52CSMSI Q1          |
| <a href="#">AM62P52CVMHIAMHR</a>   | Active        | Production           | FCBGA (AMH)   466 | 250   LARGE T&R       | Yes         | Call TI                              | Level-3-250C-168 HR               | -40 to 125   | 52CVMHI             |
| <a href="#">AM62P54CVMHIAMHR</a>   | Active        | Production           | FCBGA (AMH)   466 | 250   LARGE T&R       | Yes         | Call TI                              | Level-3-250C-168 HR               | -40 to 125   | 54CVMHI             |
| <a href="#">AM62P54CVMSIAMHRQ1</a> | Active        | Production           | FCBGA (AMH)   466 | 250   LARGE T&R       | Yes         | Call TI                              | Level-3-250C-168 HR               | -40 to 125   | 54CVMSI Q1          |

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF AM62P, AM62P-Q1 :**

- Catalog : [AM62P](#)
- Automotive : [AM62P-Q1](#)

## NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

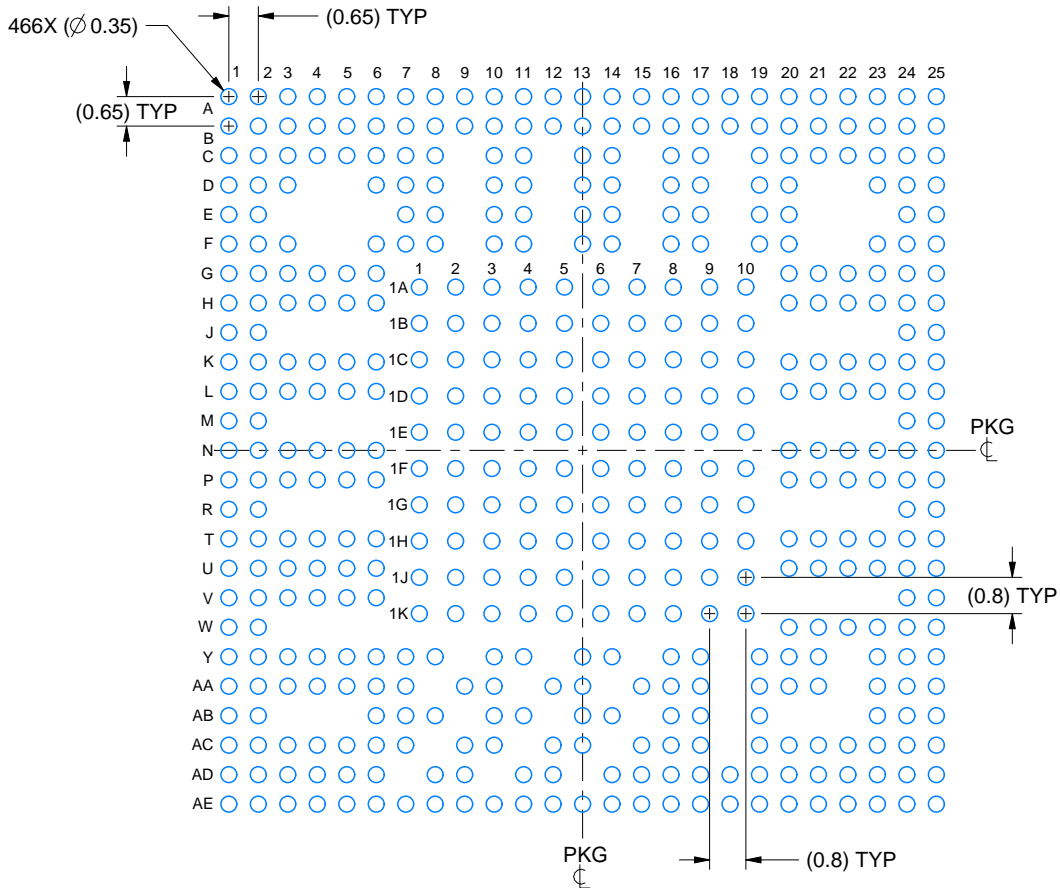


# EXAMPLE BOARD LAYOUT

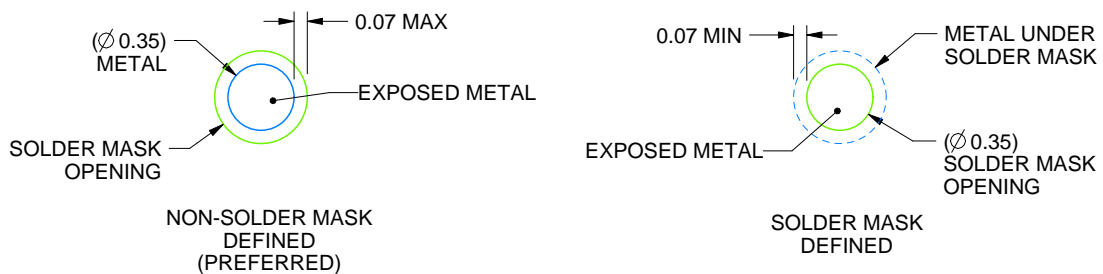
AMH0466A

FCBGA - 2.397 mm max height

BALL GRID ARRAY



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:6X



SOLDER MASK DETAILS  
NOT TO SCALE

4229396/C 12/2024

NOTES: (continued)

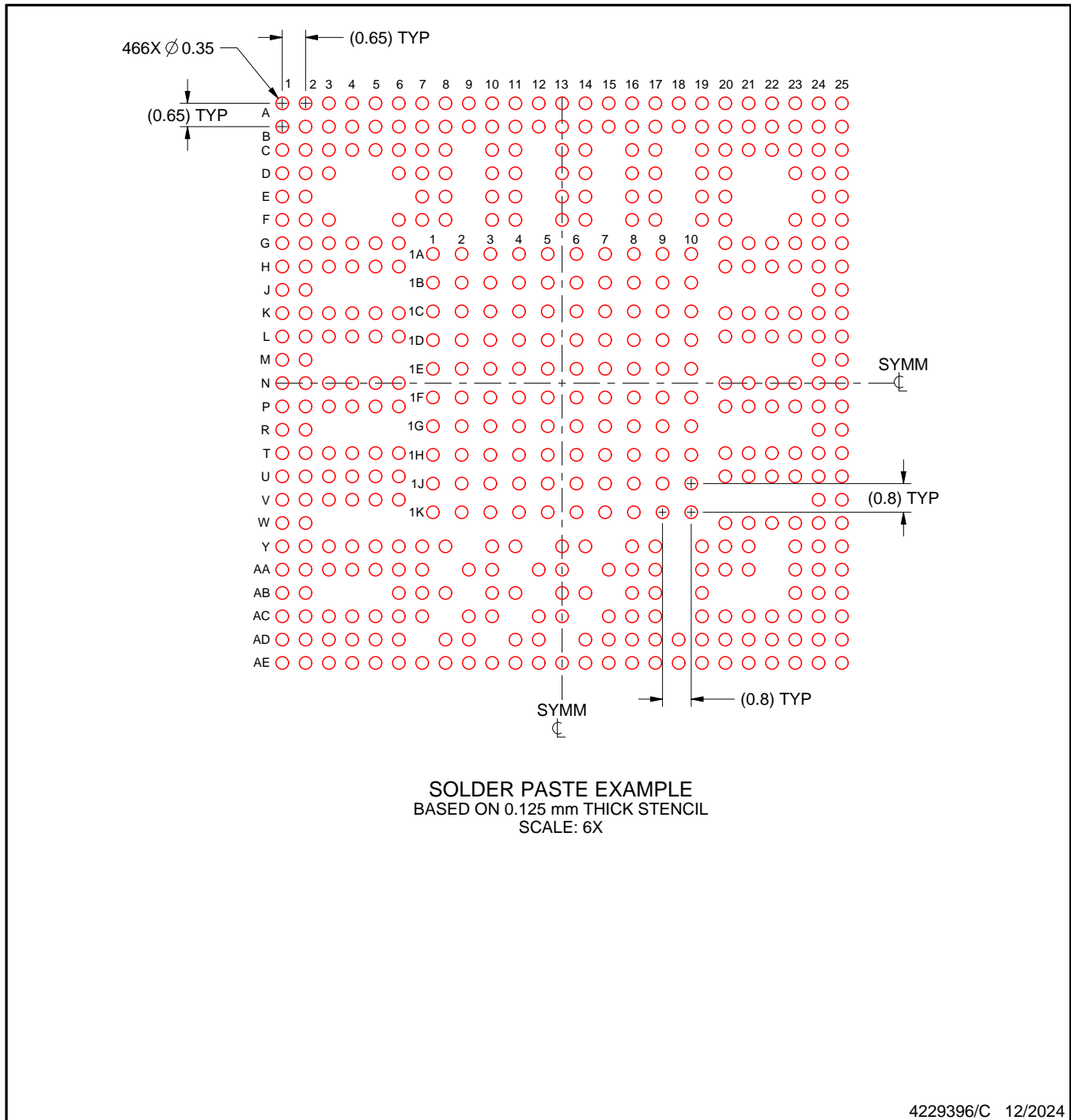
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 ([www.ti.com/lit/spru811](http://www.ti.com/lit/spru811)).

# EXAMPLE STENCIL DESIGN

AMH0466A

FCBGA - 2.397 mm max height

BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月