

AMC0x36-Q1 車載用、高精度、 $\pm 1V$ 入力、基本および強化絶縁型の外部クロックによるデルタ シグマ変調器

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$, T_A
- リニア入力電圧範囲: $\pm 1V$
- 高い入力インピーダンス: $2.4G\Omega$ (標準値)
- 電源電圧範囲:
 - ハイサイド (AVDD): $3.0V \sim 5.5V$
 - ローサイド (DVDD): $2.7V \sim 5.5V$
- 小さい DC 誤差:
 - オフセット誤差: $\pm 0.9mV$ (最大値)
 - オフセットドリフト: $\pm 6.5\mu V/^{\circ}\text{C}$ (最大値)
 - ゲイン誤差: $\pm 0.25\%$ (最大値)
 - ゲインドリフト: $\pm 35ppm/^{\circ}\text{C}$ (最大値)
- 高 CMTI: $150V/ns$ (最小値)
- ハイサイド電源喪失の検出
- 低 EMI: CISPR-11 および CISPR-25 規格に準拠
- 絶縁定格:
 - AMC0236-Q1: 基本絶縁型
 - AMC0336-Q1: 強化絶縁型
- 安全関連認証:
 - DIN EN IEC 60747-17 (VDE 0884-17)
 - UL1577

2 アプリケーション

- トラクション インバータ
- オンボード チャージャ
- DC/DC コンバータ

3 説明

AMC0x36-Q1 は、 $\pm 1V$ 、高インピーダンス入力、外部クロックのガルバニック絶縁された高精度のデルタ シグマ ($\Delta\Sigma$) 変調器です。高インピーダンス入力は、高インピーダンスの抵抗分圧器や出力抵抗の高い他の電圧信号源と接続するよう最適化されています。

この絶縁バリアは、異なる同相電圧レベルで動作するシステム領域を分離します。絶縁バリアは磁気干渉に対して非常に耐性があります。この絶縁バリアは、最大 $5kV_{RMS}$ (DWV パッケージ) の強化絶縁と、最大 $3kV_{RMS}$ (D パッケージ) (60s) の基本絶縁を実現することが認定されています。

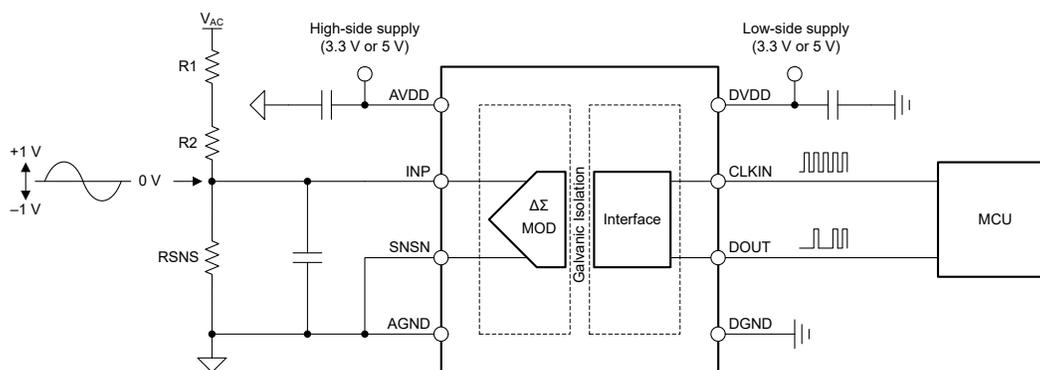
AMC0x36-Q1 の出力ビットストリームは、外部クロックと同期します。sinc3、OSR 256 フィルタと組み合わせることにより、このデバイスは 14.8 (分解能の実効ビット数)、または 89dB のダイナミックレンジ (サンプリングレート 39kSPS) を実現します。

AMC0x36-Q1 デバイスは、8 ピンのワイド ボディおよびナロー ボディ SOIC パッケージで供給され、 -40°C から 125°C までの温度範囲で完全に動作が規定されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
AMC0236-Q1 ⁽³⁾	D (SOIC, 8)	4.9mm × 6mm
AMC0336-Q1	DWV (SOIC, 8)	5.85mm × 11.5mm

- 詳細については、「[メカニカル、パッケージ、および注文情報](#)」セクションを参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。
- 製品プレビュー、量産データではありません。



代表的なアプリケーション



目次

1 特長.....	1	6.17 代表的特性.....	13
2 アプリケーション.....	1	7 詳細説明.....	20
3 説明.....	1	7.1 概要.....	20
4 デバイス比較表.....	3	7.2 機能ブロック図.....	20
5 ピン構成および機能.....	3	7.3 機能説明.....	21
6 仕様.....	4	7.4 デバイスの機能モード.....	25
6.1 絶対最大定格.....	4	8 アプリケーションと実装.....	26
6.2 ESD 定格.....	4	8.1 アプリケーション情報.....	26
6.3 推奨動作条件 -	4	8.2 代表的なアプリケーション.....	26
6.4 熱に関する情報 (D パッケージ).....	5	8.3 設計のベストプラクティス.....	30
6.5 熱に関する情報 (DWW パッケージ).....	5	8.4 電源に関する推奨事項.....	31
6.6 電力定格.....	5	8.5 レイアウト.....	31
6.7 絶縁仕様 (基本絶縁).....	6	9 デバイスおよびドキュメントのサポート.....	33
6.8 絶縁仕様 (強化絶縁).....	7	9.1 ドキュメントのサポート.....	33
6.9 安全関連認証 (基本絶縁).....	8	9.2 ドキュメントの更新通知を受け取る方法.....	33
6.10 安全関連認証 (強化絶縁).....	8	9.3 サポート・リソース.....	33
6.11 安全限界値 (D パッケージ).....	9	9.4 商標.....	33
6.12 安全限界値 (DWW パッケージ).....	9	9.5 静電気放電に関する注意事項.....	33
6.13 電気的特性.....	10	9.6 用語集.....	33
6.14 スイッチング特性.....	11	10 改訂履歴.....	33
6.15 タイミング図.....	11	11 メカニカル、パッケージ、および注文情報.....	34
6.16 絶縁特性曲線.....	12		

4 デバイス比較表

パラメータ	AMC0236-Q1 ⁽¹⁾	AMC0336-Q1
VDE 0884-17 に準拠した絶縁定格	基本	強化
パッケージ	ナローボディ SOIC (D)	ワイドボディ SOIC (DWV)

(1) 製品プレビュー、事前情報ではありません。

5 ピン構成および機能

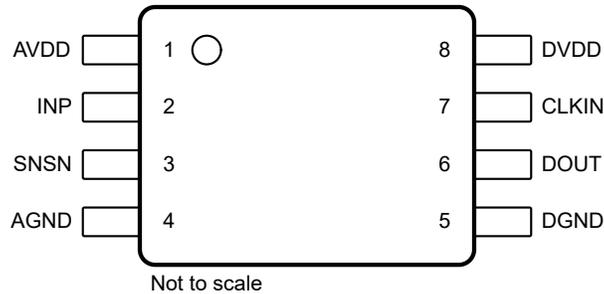


図 5-1. DWV および D パッケージ、8 ピン SOIC (上面図)

表 5-1. ピンの機能

ピン		タイプ	説明
番号	名称		
1	AVDD	ハイサイド電源	アナログ (ハイサイド) 電源 ⁽¹⁾
2	INP	アナログ入力	非反転アナログ入力。10nF のフィルタ コンデンサを INP と SNSN の間に接続します。
3	SNSN	アナログ入力	AGND センス ピンと変調器への反転入力。AGND に接続。
4	AGND	ハイサイド グランド	アナログ (ハイサイド) グランド
5	DGND	ローサイド グランド	デジタル (ローサイド) グランド
6	DOUT	デジタル出力	変調器のデータ出力
7	CLKIN	デジタル入力	内部プルダウン抵抗付きの変調器クロック入力 (標準値: 1.5MΩ)
8	DVDD	ローサイド電源	デジタル (ローサイド) 電源 ⁽¹⁾

(1) 電源のデカップリングに関する推奨事項については、「[電源に関する推奨事項](#)」セクションを参照してください。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧	ハイサイド AVDD から AGND への接続	-0.3	6.5	V
	ローサイド DVDD から DGND への接続	-0.3	6.5	
アナログ入力電圧	INP、SNSN から AGND へ、	AGND - 3	AVDD + 0.5	V
デジタル入力電圧	CLKIN から DGND へ	DGND - 0.5	DVDD + 0.5	V
デジタル出力電圧	DOUT から DGND へ	DGND - 0.5	DVDD + 0.5	V
入力電流	連続、電源ピンを除く任意のピン	-10	10	mA
温度	接合部、T _J		150	°C
	保存、T _{stg}	-65	150	

- (1) 絶対最大定格を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。絶対最大定格は、これらの条件において、または推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ HBM ESD 分類レベル 2 準拠	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011、 CDM ESD 分類レベル C6 準拠	±1000	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件 -

動作時周辺温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位	
電源						
AVDD	ハイサイド電源	AVDD から AGND へ	3	5.0	5.5	V
DVDD	ローサイド電源	DVDD から DGND へ	2.7	3.3	5.5	V
アナログ入力						
V _{Clipping}	出力クリッピング前の入力電圧	$V_{IN} = V_{INP} - V_{SNSN}$		±1.25		V
V _{FSR}	線形差動入力電圧を規定	$V_{IN} = V_{INP} - V_{SNSN}$	-1		1	V
デジタル I/O						
V _{IO}	デジタル入出力電圧		0		DVDD	V
f _{CLKIN}	入力クロック周波数		5	10	11	MHz
t _{HIGH}	入力クロック high 時間		40	50	110	ns
t _{LOW}	入力クロック low 時間		40	50	110	ns
温度範囲						
T _A	規定周囲温度		-40		125	°C

6.4 熱に関する情報 (D パッケージ)

熱評価基準 ⁽¹⁾		D (SOIC)	単位
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	116.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	52.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	58.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	19.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	58.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.5 熱に関する情報 (DWV パッケージ)

熱評価基準 ⁽¹⁾		DWV (SOIC)	単位
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	102.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	45.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	63.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	14.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	61.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.6 電力定格

パラメータ	テスト条件	値	単位
P_D	最大消費電力 (両サイド)	AVDD = DVDD = 5.5V	67 mW
P_{D1}	最大消費電力 (ハイサイド)	AVDD = 5.5V	39 mW
P_{D2}	最大消費電力 (ローサイド)	DVDD = 5.5V	28 mW

6.7 絶縁仕様 (基本絶縁)

動作時周辺温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	値	単位
一般				
CLR	外部空間距離 ⁽¹⁾	空気中での最短のピン間距離	≥ 4	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	≥ 4	mm
DTI	絶縁間の距離	絶縁の最小内部ギャップ (内部距離)	≥ 15.4	μm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	≥ 600	V
	材料グループ	IEC 60664-1 に準拠	I	
	IEC 60664-1 に準拠した 過電圧カテゴリ	定格商用電源 V_{RMS} が 300V 以下 定格商用電源 V_{RMS} が 600V 以下	I-IV I-III	
DIN EN IEC 60747-17 (VDE 0884-17)⁽²⁾				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧で	1130	V_{PK}
V_{IOWM}	最大定格絶縁 動作電圧	AC 電圧で (正弦波)	800	V_{RMS}
		DC 電圧で	1130	V_{DC}
V_{IOTM}	最大過渡 絶縁電圧	$V_{TEST} = V_{IOTM}$, $t = 60s$ (認定試験)、 $V_{TEST} = 1.2 \times V_{IOTM}$, $t = 1s$ (100% 出荷時テスト)	4250	V_{PK}
V_{IMP}	最大インパルス電圧 ⁽³⁾	気中でテスト、IEC 62368-1 に準拠した 1.2/50μs の波形	5000	V_{PK}
V_{IOSM}	最大サージ 絶縁電圧 ⁽⁴⁾	IEC 62368-1 に準拠し油中でテスト (認定試験)、 1.2/50μs の波形	10000	V_{PK}
q_{pd}	見掛けの電荷 ⁽⁵⁾	手法 a、入力 / 出力安全性テストのサブグループ 2 および 3 の後、 $V_{pd(ini)} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.2 \times V_{IORM}$, $t_m = 10s$	≤ 5	pC
		手法 a、環境テストのサブグループ 1 の後、 $V_{pd(ini)} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.3 \times V_{IORM}$, $t_m = 10s$	≤ 5	
		手法 b1、事前条件設定 (タイプ テスト) およびルーチン テスト、 $V_{pd(ini)} = V_{IOTM}$, $t_{ini} = 1s$, $V_{pd(m)} = 1.5 \times V_{IORM}$, $t_m = 1s$	≤ 5	
		手法 b2、ルーチン テスト (100% 出荷時) ⁽⁷⁾ 、 $V_{pd(ini)} = V_{IOTM} = V_{pd(m)}$, $t_{ini} = t_m = 1s$	≤ 5	
C_{IO}	バリア容量、 入力から出力へ ⁽⁶⁾	$V_{IO} = 0.5V_{PP}$ (1MHz 時)	≅ 1.5	pF
R_{IO}	絶縁抵抗、 入力から出力へ ⁽⁶⁾	$V_{IO} = 500V$ ($T_A = 25^\circ C$ 時)	$> 10^{12}$	Ω
		$V_{IO} = 500V$ ($100^\circ C \leq T_A \leq 125^\circ C$ 時)	$> 10^{11}$	
		$V_{IO} = 500V$ ($T_S = 150^\circ C$ 時)	$> 10^9$	
	汚染度		2	
	耐候性カテゴリ		55/125/21	
UL1577				
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO}$, $t = 60s$ (認定試験)、 $V_{TEST} = 1.2 \times V_{ISO}$, $t = 1s$ (100% 出荷時テスト)	3000	V_{RMS}

- アプリケーションに固有の機器の絶縁規格に従って沿面距離および空間距離の要件を適用します。基板設計では、沿面距離および空間距離を維持して、プリント基板 (PCB) のアイソレータの取り付けパッドによりこの距離が短くならないようにします。特定の場合には、PCB 上の沿面距離と空間距離は等しくなります。これらの規格値を増やすため、PCB 上にグループやリブを挿入するなどの技法が使用されます。
- この絶縁素子は、安全定格内の安全な 電氣的絶縁のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
- テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
- 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- バリアのそれぞれの側にあるすべてのピンは互いに接続され、実質的に 2 ピンのデバイスになります。
- 正式運用環境では、手法 b1 または b2 のいずれかが使用されます。

6.8 絶縁仕様 (強化絶縁)

動作時周辺温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	値	単位
一般				
CLR	外部空間距離 ⁽¹⁾	空気中での最短のピン間距離	≥ 8.5	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	≥ 8.5	mm
DTI	絶縁間の距離	二重絶縁の最小内部ギャップ (内部距離)	≥ 15.4	μm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	≥ 600	V
	材料グループ	IEC 60664-1 に準拠	I	
	IEC 60664-1 に準拠した 過電圧カテゴリ	定格商用電源 V_{RMS} が 300V 以下	I-IV	
		定格商用電源 V_{RMS} が 6000V 以下	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)⁽²⁾				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧で	2120	V_{PK}
V_{IOWM}	最大定格絶縁 動作電圧	AC 電圧で (正弦波)	1500	V_{RMS}
		DC 電圧で	2120	V_{DC}
V_{IOTM}	最大過渡 絶縁電圧	$V_{TEST} = V_{IOTM}$, $t = 60s$ (認定試験)、 $V_{TEST} = 1.2 \times V_{IOTM}$, $t = 1s$ (100% 出荷時テスト)	7000	V_{PK}
V_{IMP}	最大インパルス電圧 ⁽³⁾	気中でテスト、IEC 62368-1 に準拠した 1.2/50μs の波形	7700	V_{PK}
V_{IOSM}	最大サージ 絶縁電圧 ⁽⁴⁾	IEC 62368-1 に準拠し油中でテスト (認定試験)、 1.2/50μs の波形	10000	V_{PK}
q_{pd}	見掛けの電荷 ⁽⁵⁾	手法 a、入力 / 出力安全性テストのサブグループ 2 および 3 の後、 $V_{pd(ini)} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.2 \times V_{IORM}$, $t_m = 10s$	≤ 5	pC
		手法 a、環境テストのサブグループ 1 の後、 $V_{pd(ini)} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.6 \times V_{IORM}$, $t_m = 10s$	≤ 5	
		手法 b1、事前条件設定 (タイプ テスト) およびルーチン テスト、 $V_{pd(ini)} = 1.2 \times V_{IOTM}$, $t_{ini} = 1s$, $V_{pd(m)} = 1.875 \times V_{IORM}$, $t_m = 1s$	≤ 5	
		手法 b2、ルーチン テスト (100% 出荷時) ⁽⁷⁾ $V_{pd(ini)} = V_{pd(m)} = 1.2 \times V_{IOTM}$, $t_{ini} = t_m = 1s$	≤ 5	
C_{IO}	バリア容量、 入力から出力へ ⁽⁶⁾	$V_{IO} = 0.5V_{PP}$ (1MHz 時)	≅ 1.5	pF
R_{IO}	絶縁抵抗、 入力から出力へ ⁽⁶⁾	$V_{IO} = 500V$ ($T_A = 25^\circ C$ 時)	$> 10^{12}$	Ω
		$V_{IO} = 500V$ ($100^\circ C \leq T_A \leq 125^\circ C$ 時)	$> 10^{11}$	
		$V_{IO} = 500V$ ($T_S = 150^\circ C$ 時)	$> 10^9$	
	汚染度		2	
	耐候性カテゴリ		55/125/21	
UL1577				
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO}$, $t = 60s$ (認定試験)、 $V_{TEST} = 1.2 \times V_{ISO}$, $t = 1s$ (100% 出荷時テスト)	5000	V_{RMS}

- アプリケーションに固有の機器の絶縁規格に従って沿面距離および空間距離の要件を適用します。基板設計では、沿面距離および空間距離を維持して、プリント基板 (PCB) のアイソレータの取り付けパッドによりこの距離が短くならないようにします。特定の 경우에는、PCB 上の沿面距離と空間距離は等しくなります。これらの規格値を増やすため、PCB 上にグループやリブを挿入するなどの技法が使用されます。
- この絶縁素子は、安全定格内の安全な 電氣的絶縁のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
- テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
- 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- バリアのそれぞれの側にあるすべてのピンは互いに接続され、実質的に 2 ピンのデバイスになります。
- 正式運用環境では、手法 b1 または b2 のいずれかが使用されます。

6.9 安全関連認証 (基本絶縁)

VDE	UL
DIN EN IEC 60747-17 (VDE 0884-17)、 EN IEC 60747-17、 DIN EN 61010-1 (VDE 0411-1) 条項:6.4.3、6.7.1.3、6.7.2.1、6.7.2.2、 6.7.3.4.2、6.8.3.1	1577 component および CSA component acceptance NO 5 programs により承認済み
基本絶縁	単一保護
認証書番号: 保留中	ファイル番号: 保留中

6.10 安全関連認証 (強化絶縁)

VDE	UL
DIN EN IEC 60747-17 (VDE 0884-17)、 EN IEC 60747-17、 DIN EN IEC 62368-1 (VDE 0868-1)、 EN IEC 62368-1、 IEC 62368-1 条項:5.4.3、5.4.4.4、5.4.9	1577 component および CSA component acceptance NO 5 programs により承認済み
強化絶縁	単一保護
認証書番号: 保留中	ファイル番号: 保留中

6.11 安全限界値 (D パッケージ)

安全限界値⁽¹⁾の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グラウンドあるいは電源との抵抗が低くなる場合があります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _S	安全入力、出力、または電源電流	R _{θJA} = 116.5°C/W、VDDx = 5.5V、 T _J = 150°C、T _A = 25°C			195	mA
P _S	安全入力、出力、または合計電力	R _{θJA} = 116.5°C/W、T _J = 150°C、T _A = 25°C			1070	mW
T _S	最高安全温度				150	°C

- (1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。

I_S と P_S の上限値を超えないようにします。これらの

制限値は周囲温度 T_A によって変化します。

「熱に関する情報」の表にある、接合部から外気への熱抵抗 R_{θJA} は、

リード付き表面実装パッケージ用の高誘電率テスト基板に実装されたデバイスのものです。次の式を使用して、各パラメータの値を計算します。

T_J = T_A + R_{θJA} × P (P はデバイスで消費される電力)。

T_{J(max)} = T_S = T_A + R_{θJA} × P_S (T_{J(max)} は最大接合部温度)。

P_S = I_S × VDD_{max} (VDD_{max} はハイサイドとローサイドの最大電源電圧)。

6.12 安全限界値 (DWV パッケージ)

安全限界値⁽¹⁾の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グラウンドあるいは電源との抵抗が低くなる場合があります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _S	安全入力、出力、または電源電流	R _{θJA} = 102.8°C/W、VDDx = 5.5V、 T _J = 150°C、T _A = 25°C			220	mA
P _S	安全入力、出力、または合計電力	R _{θJA} = 102.8°C/W、T _J = 150°C、T _A = 25°C			1210	mW
T _S	最高安全温度				150	°C

- (1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。

I_S と P_S の上限値を超えないようにします。これらの

制限値は周囲温度 T_A によって変化します。

「熱に関する情報」の表にある、接合部から外気への熱抵抗 R_{θJA} は、

リード付き表面実装パッケージ用の高誘電率テスト基板に実装されたデバイスのものです。次の式を使用して、各パラメータの値を計算します。

T_J = T_A + R_{θJA} × P (P はデバイスで消費される電力)。

T_{J(max)} = T_S = T_A + R_{θJA} × P_S (T_{J(max)} は最大接合部温度)。

P_S = I_S × VDD_{max} (VDD_{max} はハイサイドとローサイドの最大電源電圧)。

6.13 電気的特性

最小値と最大値の仕様は、 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $\text{AVDD} = 3.0\text{V} \sim 5.5\text{V}$ 、 $\text{DVDD} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{\text{INP}} = -1\text{V} \sim +1\text{V}$ 、および $\text{SNSN} = \text{AGND}$ に適用されます。標準的な仕様は、 $T_A = 25^{\circ}\text{C}$ 、 $\text{AVDD} = 5\text{V}$ 、 $\text{DVDD} = 3.3\text{V}$ 、および $f_{\text{CLKIN}} = 10\text{MHz}$ でのものです (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
アナログ入力						
C_{IN}	入力容量	$f_{\text{CLKIN}} = 10\text{MHz}$		2		pF
R_{IN}	入力抵抗	INP ピンから AGND へ、SNSN = AGND	0.05	2.4		GΩ
I_{IB}	入力バイアス電流 ⁽¹⁾	INP ピン、INP = AGND	-10	±3	10	nA
CMTI	同相過渡耐性		150			V/ns
DC 精度						
E_{O}	オフセット誤差 ⁽¹⁾	$T_A = 25^{\circ}\text{C}$ 、INP = AGND	-0.9	±0.1	0.9	mV
TCE_{O}	オフセット誤差の温度ドリフト ⁽³⁾			3	6.5	μV/°C
E_{G}	ゲイン誤差 ⁽¹⁾	初期値、 $T_A = 25^{\circ}\text{C}$ 、 $V_{\text{INP}} = 1\text{V}$ または $V_{\text{INP}} = -1\text{V}$ において	-0.25	±0.02	0.25	%
TCE_{G}	ゲイン誤差の温度ドリフト ⁽⁴⁾		-35	±10	35	ppm/°C
INL	積分非線形性 ⁽²⁾	分解能: 16 ビット	-6	±1	6	LSB
DNL	微分非直線性	分解能: 16 ビット	-0.99		0.99	LSB
PSRR	電源除去比	AVDD DC PSRR、IN= AGND、 AVDD 3.3V ~ 5V (公称値付近で ±10% の変動)		-83		dB
		AVDD AC PSRR、IN= AGND、 AVDD リップル 10kHz/100mV		-63		
AC 精度						
SNR	信号対雑音比	$V_{\text{IN}} = 2V_{\text{PP}}$ 、 $f_{\text{IN}} = 1\text{kHz}$	84.5	89		dB
SINAD	信号対雑音 + 歪み	$V_{\text{IN}} = 2V_{\text{PP}}$ 、 $f_{\text{IN}} = 1\text{kHz}$	77	88		dB
THD	全高調波歪 ⁽⁵⁾	$V_{\text{IN}} = 2V_{\text{PP}}$ 、 $f_{\text{IN}} = 1\text{kHz}$		-91	-80	dB
デジタル入力 (シュミットトリガ付き CMOS ロジック)						
I_{IN}	入力電流	$\text{DGND} \leq V_{\text{IN}} \leq \text{DVDD}$			7	μA
C_{IN}	入力容量			4		pF
V_{IH}	High レベル入力電圧		$0.7 \times \text{DVDD}$		$\text{DVDD} + 0.3$	V
V_{IL}	Low レベル入力電圧		-0.3		$0.3 \times \text{DVDD}$	V
デジタル出力 (CMOS)						
C_{LOAD}	出力負荷容量	$f_{\text{CLKIN}} = 10\text{MHz}$		15	30	pF
V_{OH}	High レベル出力電圧	$I_{\text{OH}} = -4\text{mA}$	$\text{DVDD} - 0.4$			V
V_{OL}	Low レベル出力電圧	$I_{\text{OL}} = 4\text{mA}$			0.4	V
電源						
I_{AVDD}	ハイサイド電源電流			5.3	7	mA
I_{DVDD}	ローサイド電源電流	$C_{\text{LOAD}} = 15\text{pF}$		3.6	5	mA
AVDD_{UV}	ハイサイド低電圧検出スレッシュホールド	AVDD 立ち上がり	2.4	2.6	2.8	V
		AVDD 立ち下がり	1.9	2.05	2.2	
DVDD_{UV}	ローサイドの低電圧検出スレッシュホールド	DVDD 立ち上がり	2.3	2.5	2.7	V
		DVDD 立ち下がり	1.9	2.05	2.2	

- (1) 標準値には、1 つのシグマの統計的変動が含まれます。
- (2) 積分非線形性は、LSB の数、または指定された線形性を有する入力電圧範囲 FSR のパーセンテージとして表される、理想的な ADC 伝達関数の終点を通過する直線からの、最大偏移と定義されます。
- (3) オフセット誤差ドリフトは、 $\text{TCE}_{\text{O}} = (\text{value}_{\text{MAX}} - \text{value}_{\text{MIN}}) / \text{TempRange}$ の式で説明されるボックス方式を使用して計算されます。
- (4) ゲイン誤差ドリフト係数は、ボックス手法を使用して計算され、次の数式で記述されます。
 $\text{TCE}_{\text{G}} (\text{ppm}) = ((\text{value}_{\text{MAX}} - \text{value}_{\text{MIN}}) / (\text{value} \times \text{TempRange})) \times 10^6$
- (5) THD は、最初の 5 つのより高い高調波の振幅の rms 合計と、基本波の振幅との比です。

6.14 スイッチング特性

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_H	CLKIN 立ち上がりエッジ後の DOUT ホールド時間	$C_{LOAD} = 15\text{pF}$	10			ns
t_D	CLKIN の立ち上がりエッジから DOUT 有効までの遅延	$C_{LOAD} = 15\text{pF}$			35	ns
t_r	DOUT の立ち上がり時間	10% ~ 90%、 $2.7\text{V} \leq \text{DVDD} \leq 3.6\text{V}$ 、 $C_{LOAD} = 15\text{pF}$		2.5	6	ns
		10% ~ 90%、 $4.5\text{V} \leq \text{DVDD} \leq 5.5\text{V}$ 、 $C_{LOAD} = 15\text{pF}$		3.2	6	
t_f	DOUT の立ち下がり時間	10% ~ 90%、 $2.7\text{V} \leq \text{DVDD} \leq 3.6\text{V}$ 、 $C_{LOAD} = 15\text{pF}$		2.2	6	ns
		10% ~ 90%、 $4.5\text{V} \leq \text{DVDD} \leq 5.5\text{V}$ 、 $C_{LOAD} = 15\text{pF}$		2.9	6	
t_{START}	デバイスの起動時間	DVDD $\geq 2.7\text{V}$ からビットストリームが有効、0.1% セトリ ングで、AVDD が 0 から 3.0V までのステップ		30		μs

6.15 タイミング図

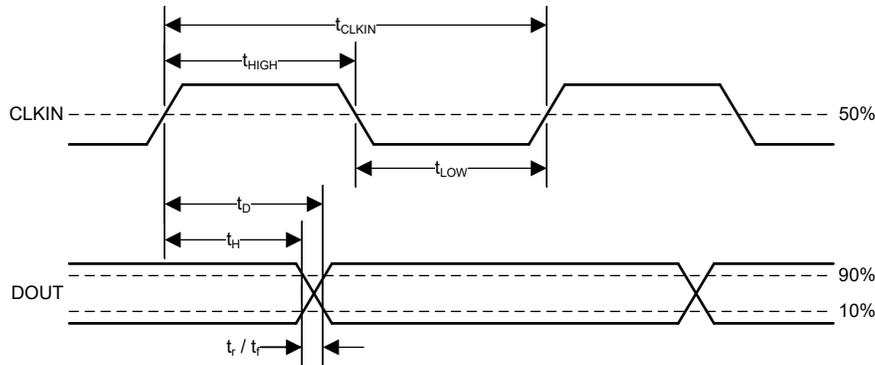


図 6-1. デジタル インターフェイスのタイミング

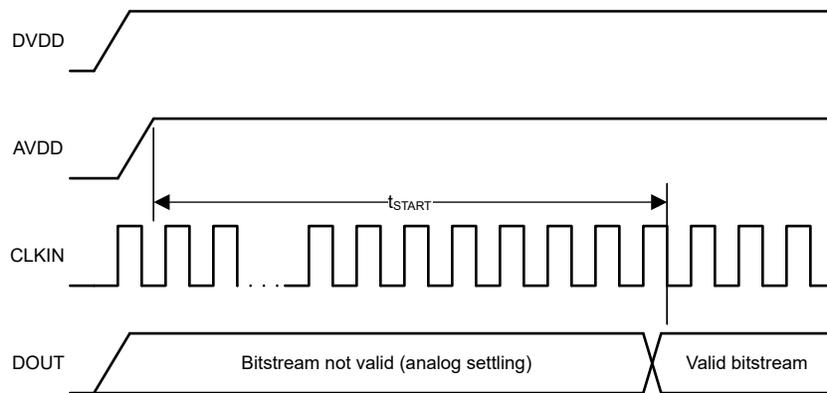


図 6-2. デバイスの起動時間

6.16 絶縁特性曲線

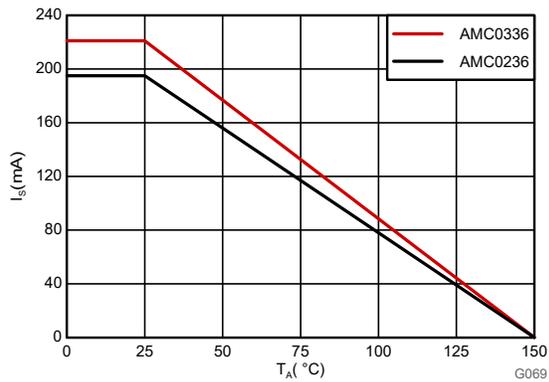


図 6-3. VDE に従う安全性制限電流の熱特性低下曲線

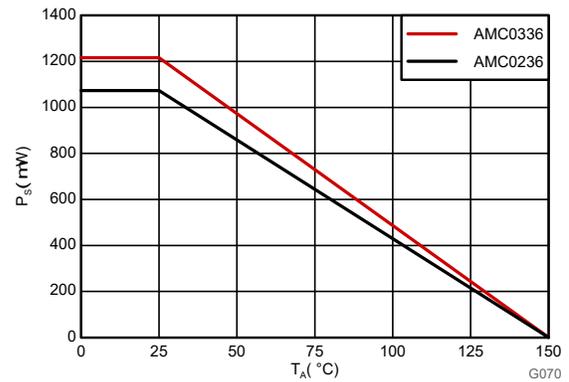
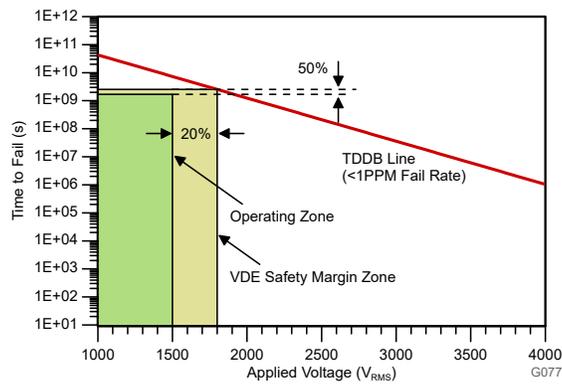


図 6-4. VDE に従う安全性制限電力の熱特性低下曲線



150°C までの T_A 、ストレス電圧周波数 = 60Hz、絶縁動作電圧 = 1500V_{RMS}、
 予測動作寿命 = 50 年

図 6-5. 絶縁コンデンサの寿命推定

6.17 代表的特性

AVDD = 5V、DVDD = 3.3V、 $V_{INP} = -1V \sim 1V$ 、SNSN = AGND、 $f_{CLKIN} = 10MHz$ 、および sinc³ フィルタ、OSR = 256 あり (特に記述のない限り)

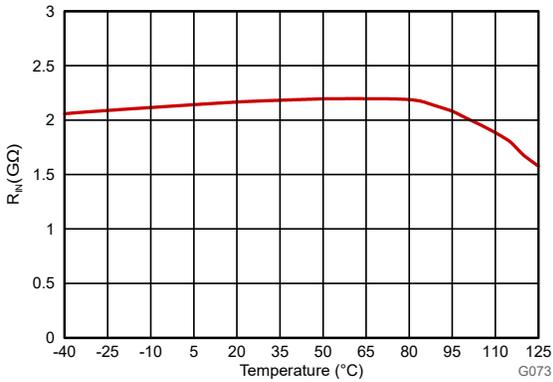


図 6-6. 入力抵抗と温度との関係

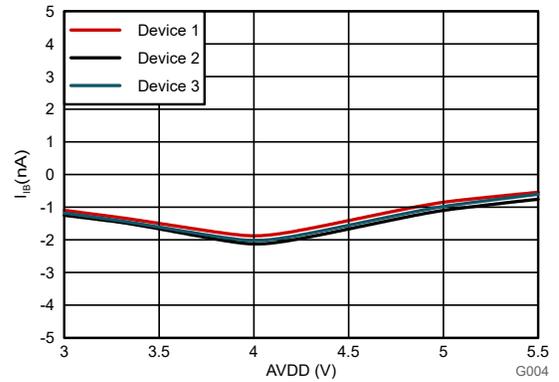


図 6-7. 入力バイアス電流とハイサイド電源電圧との関係 (INP ピン)

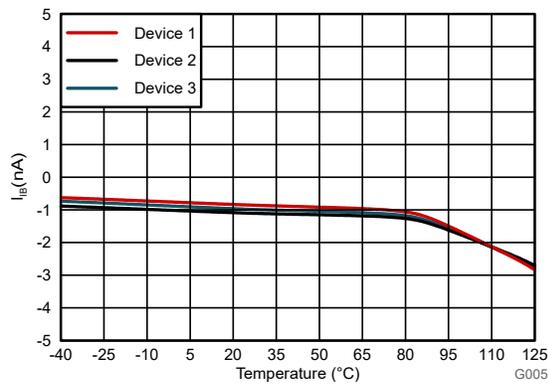


図 6-8. 入力バイアス電流と温度との関係 (INP ピン)

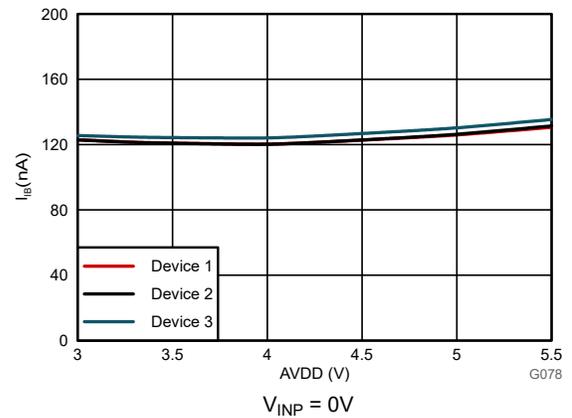


図 6-9. 入力バイアス電流とハイサイド電源電圧との関係 (SNSN ピン)

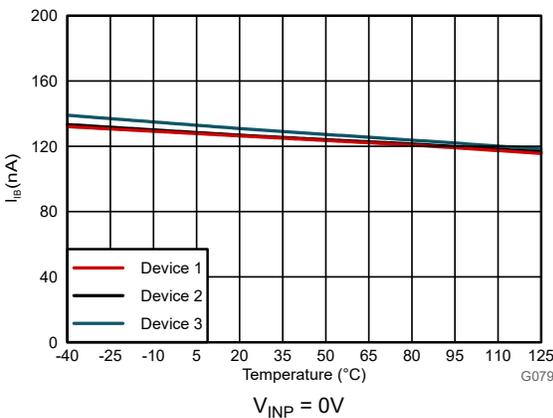


図 6-10. 入力バイアス電流と T との関係 (SNSN ピン)

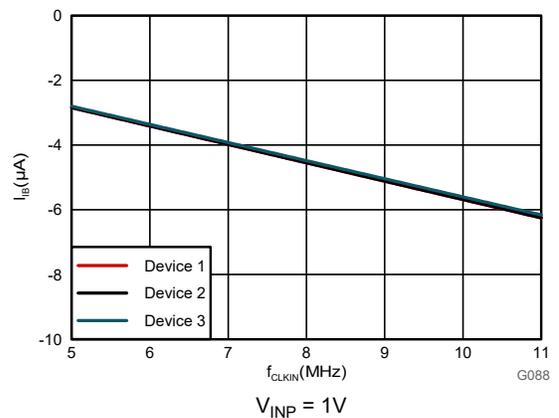


図 6-11. 入力バイアス電流とクロック周波数との関係 (SNSN ピン)

6.17 代表的特性 (続き)

AVDD = 5V, DVDD = 3.3V, $V_{INP} = -1V \sim 1V$, SNSN = AGND, $f_{CLKIN} = 10MHz$, および sinc³ フィルタ、OSR = 256 あり (特に記述のない限り)

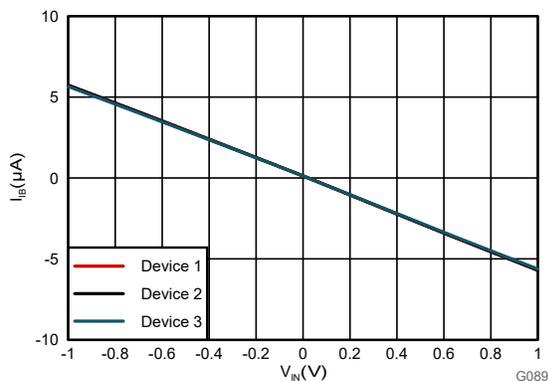
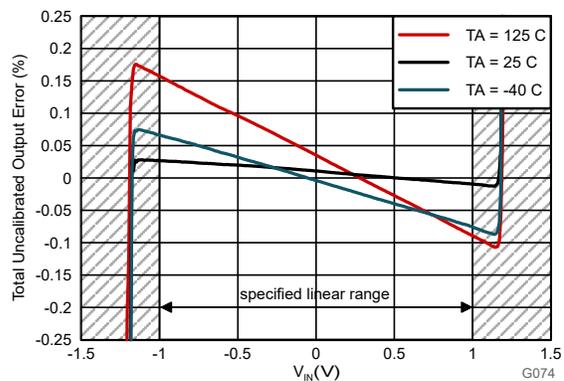


図 6-12. 入力バイアス電流と入力電圧との関係 (SNSN ピン)



キャリブレーションなしの合計出力誤差 (%) は次のように定義されます。

$$(\text{Output Code} / 2^{16}) - (V_{IN} + 1.25V) / 2.5V \times 100,$$

where $V_{IN} = (V_{INP} - V_{SNSN})$

図 6-13. 総未校正出力誤差と入力電圧との関係

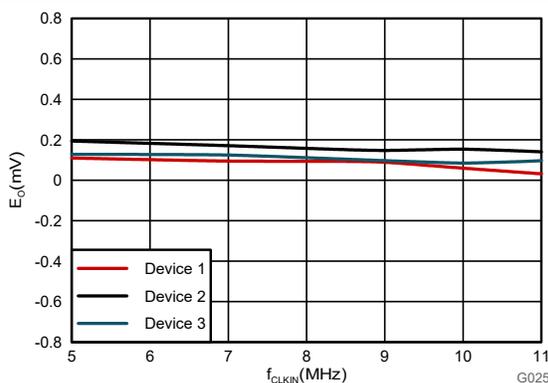


図 6-14. オフセット誤差とクロック周波数との関係

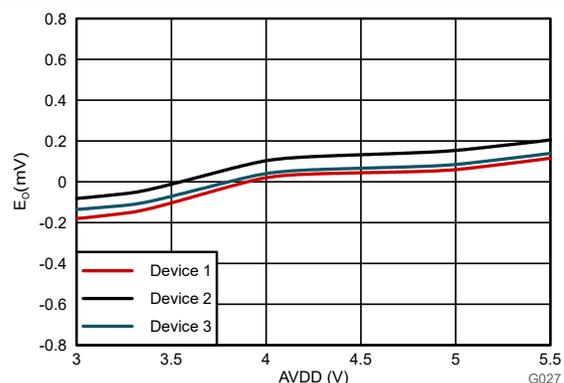


図 6-15. オフセット誤差と 1 次側電源電圧との関係

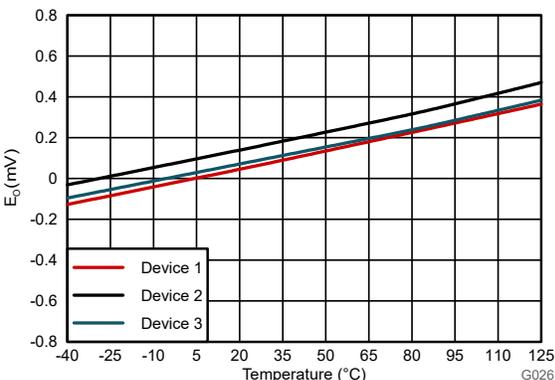


図 6-16. オフセット誤差と温度との関係

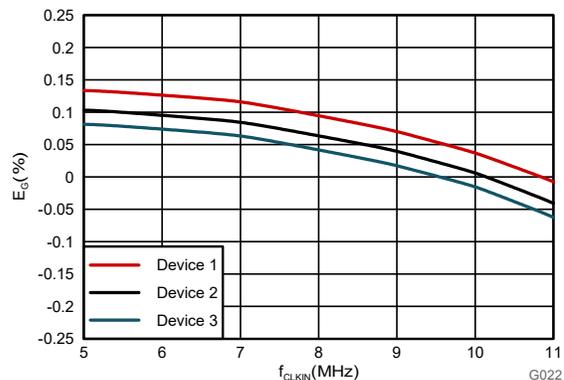


図 6-17. ゲイン誤差とクロック周波数との関係

6.17 代表的特性 (続き)

AVDD = 5V, DVDD = 3.3V, $V_{INP} = -1V \sim 1V$, SNSN = AGND, $f_{CLKIN} = 10MHz$, および $sinc^3$ フィルタ、OSR = 256 あり (特に記述のない限り)

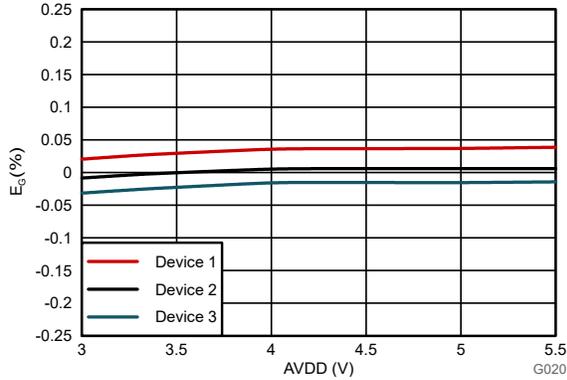


図 6-18. ゲイン誤差と 1 次側電源電圧との関係

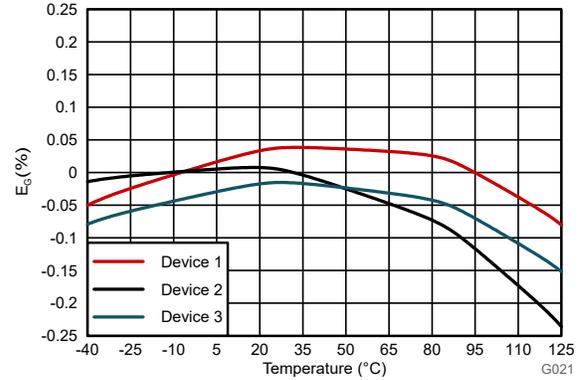


図 6-19. ゲイン誤差と温度との関係

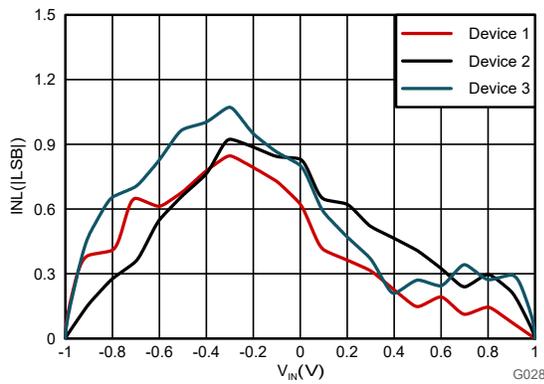


図 6-20. 積分非直線性と入力電圧との関係

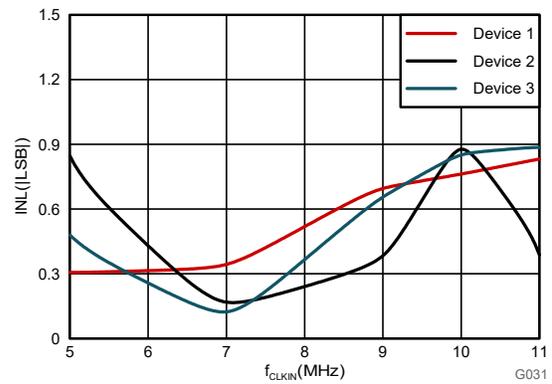


図 6-21. 積分非直線性とクロック周波数との関係

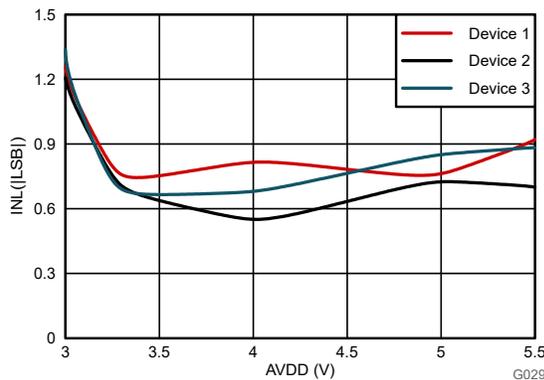


図 6-22. 積分非線形性と電源電圧との関係

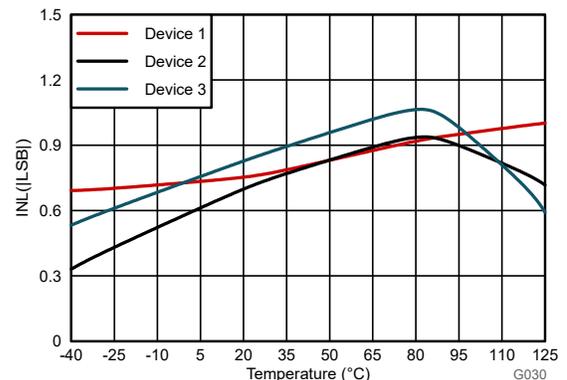


図 6-23. 積分非線形性と温度との関係

6.17 代表的特性 (続き)

AVDD = 5V, DVDD = 3.3V, $V_{INP} = -1V \sim 1V$, SNSN = AGND, $f_{CLKIN} = 10MHz$, および sinc^3 フィルタ、OSR = 256 あり (特に記述のない限り)

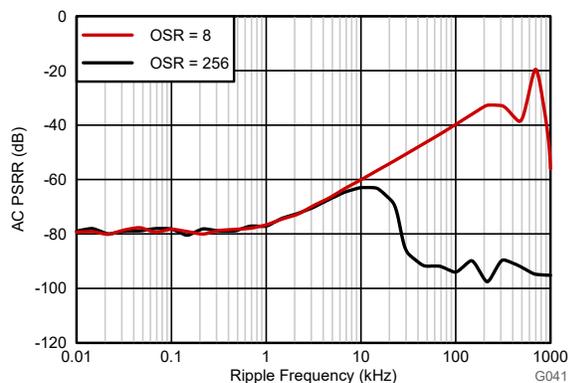


図 6-24. 電源除去比とリップル周波数との関係

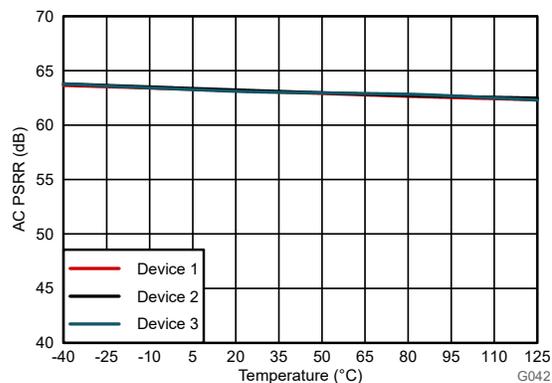


図 6-25. AC 電源除去比と温度との関係

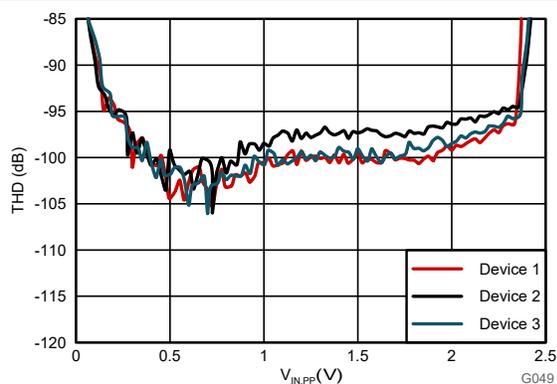


図 6-26. 全高調波歪みと入力信号振幅との関係

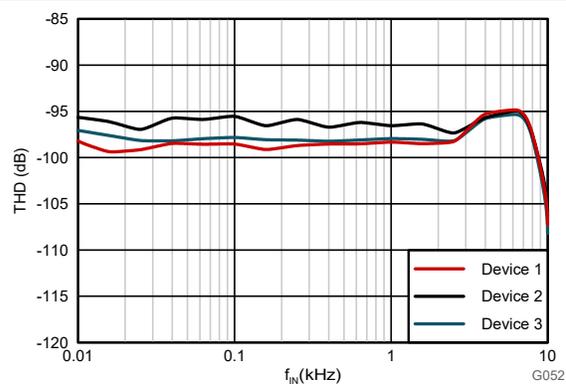


図 6-27. 全高調波歪みと入力信号周波数との関係

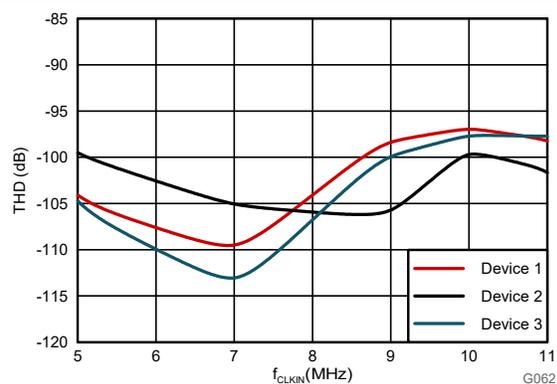


図 6-28. 全高調波歪とクロック周波数との関係

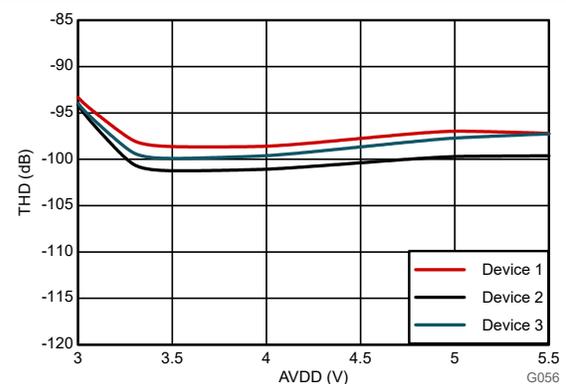


図 6-29. 全高調波歪みと 1 次側電源電圧との関係

6.17 代表的特性 (続き)

AVDD = 5V, DVDD = 3.3V, $V_{INP} = -1V \sim 1V$, SNSN = AGND, $f_{CLKIN} = 10MHz$, および sinc³ フィルタ、OSR = 256 あり (特に記述のない限り)

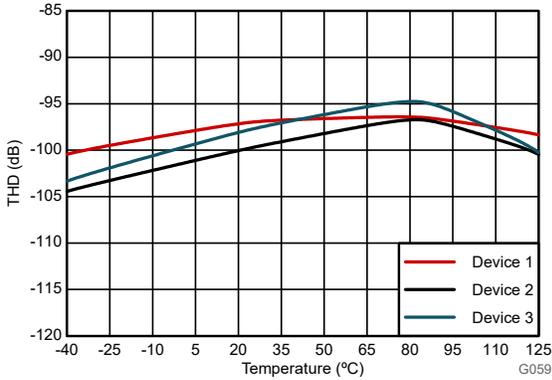


図 6-30. 全高調波歪みと温度との関係

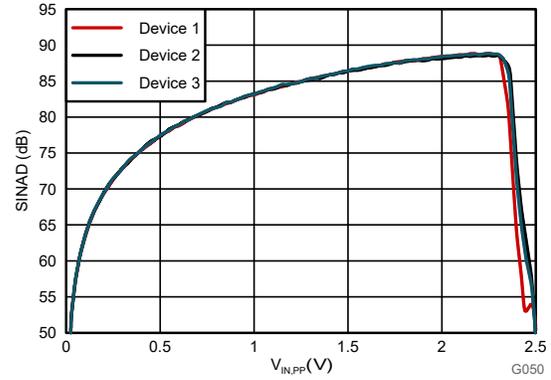


図 6-31. 信号対雑音比+歪みと入力信号振幅との関係

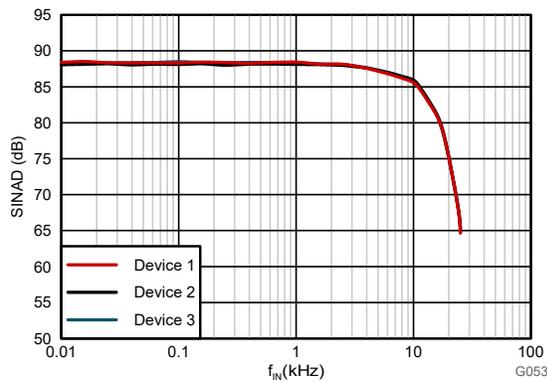


図 6-32. 信号対雑音比+歪みと入力信号周波数との関係

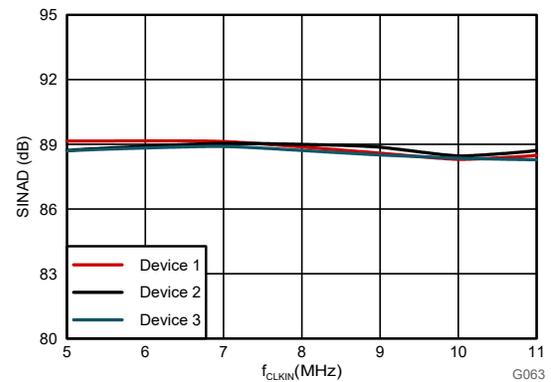


図 6-33. 信号対雑音比+歪みとクロック周波数との関係

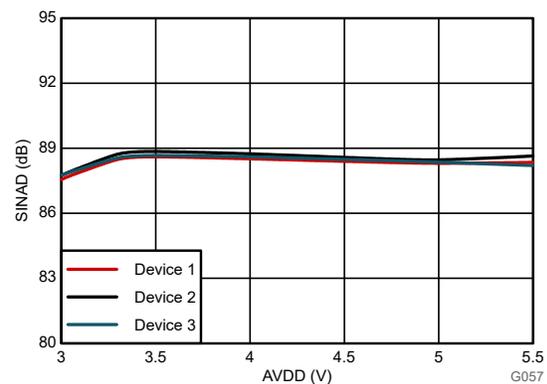


図 6-34. 信号対雑音比+歪みとハイサイド電源電圧との関係

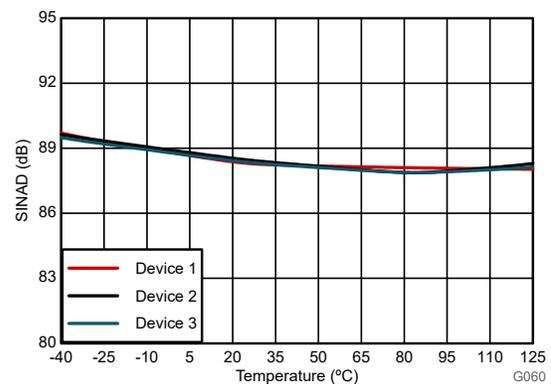


図 6-35. 信号対雑音比+歪みと温度との関係

6.17 代表的特性 (続き)

AVDD = 5V, DVDD = 3.3V, $V_{INP} = -1V \sim 1V$, SNSN = AGND, $f_{CLKIN} = 10MHz$, および $sinc^3$ フィルタ、OSR = 256 あり (特に記述のない限り)

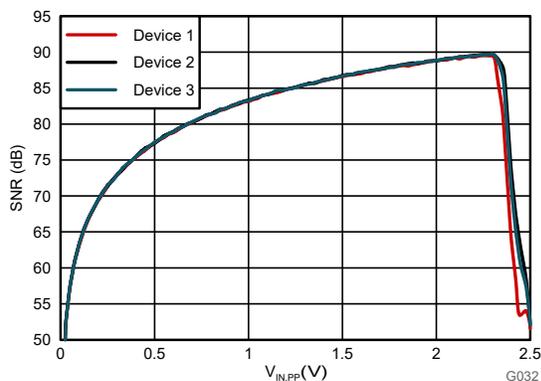


図 6-36. 信号対雑音比と入力信号振幅との関係

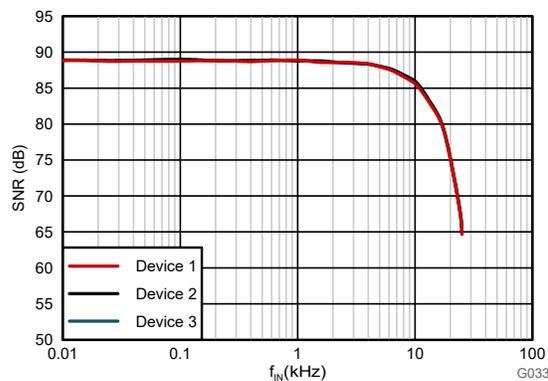


図 6-37. 信号対雑音比と入力信号周波数との関係

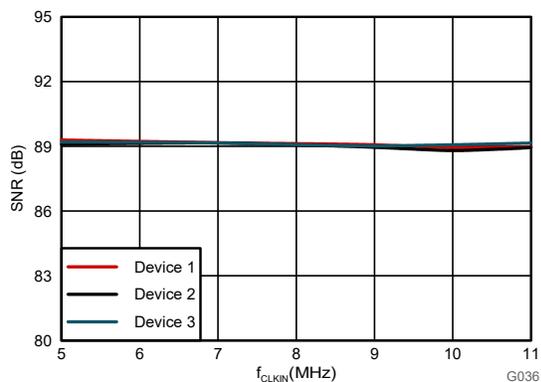


図 6-38. 信号対雑音比とクロック周波数との関係

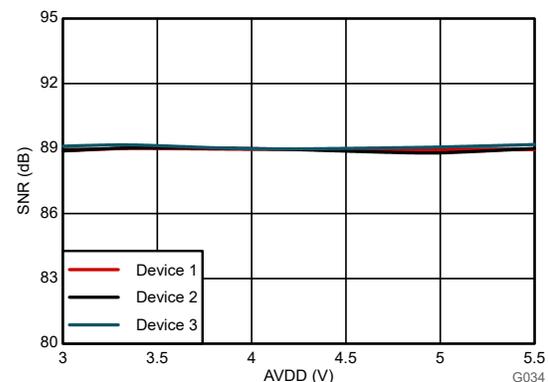


図 6-39. 信号対雑音比と 1 次側電源電圧との関係

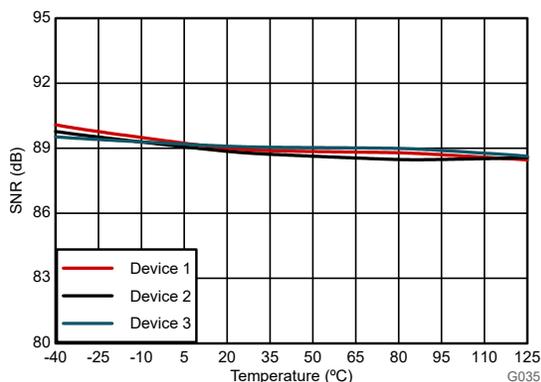
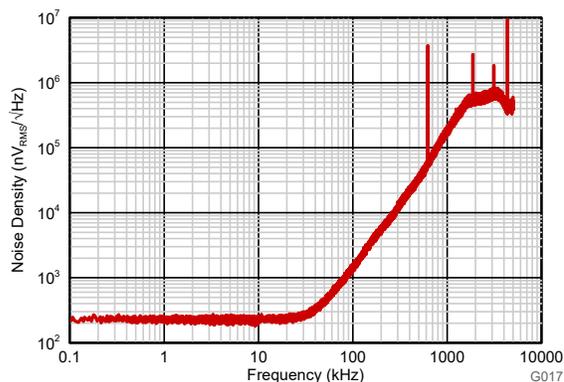


図 6-40. 信号対雑音比と温度との関係



$sinc^3$ 、OSR = 1、周波数ビン幅は 1Hz です

図 6-41. 両方の入力を AGND に短絡した場合のノイズ密度

6.17 代表的特性 (続き)

AVDD = 5V, DVDD = 3.3V, $V_{INP} = -1V \sim 1V$, SNSN = AGND, $f_{CLKIN} = 10MHz$, および sinc^3 フィルタ、OSR = 256 あり (特に記述のない限り)

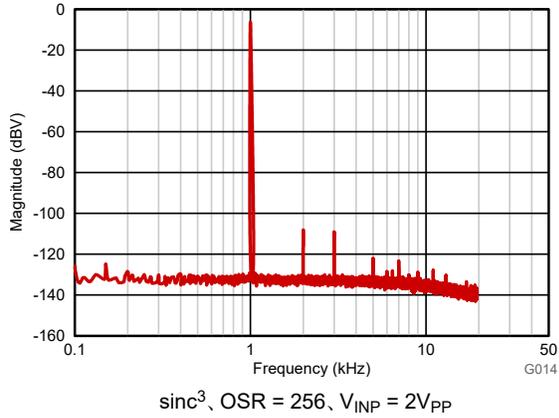


図 6-42. 1kHz 入力信号に対する周波数スペクトラム

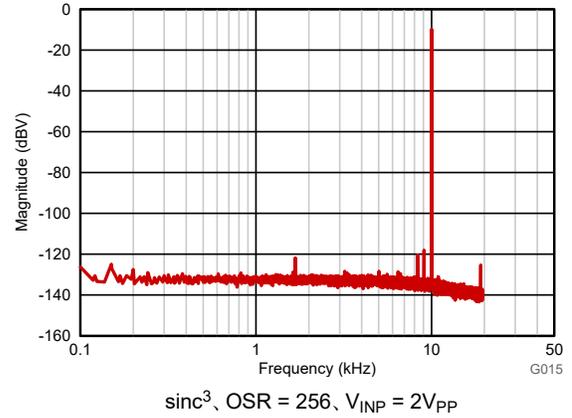


図 6-43. 10kHz 入力信号に対する周波数スペクトラム

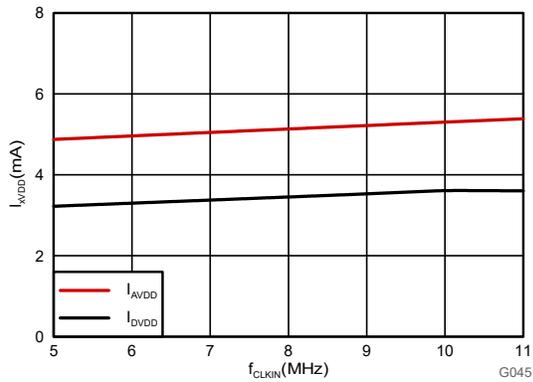


図 6-44. 消費電流とクロック周波数との関係

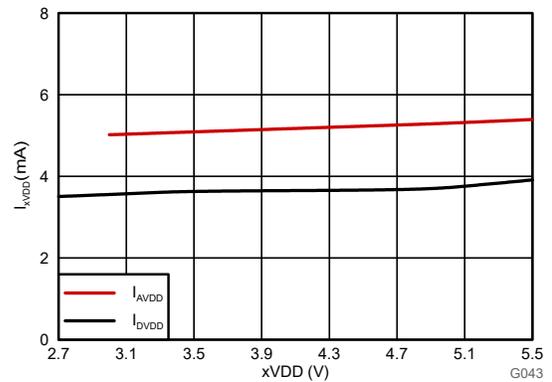


図 6-45. 電源電流と電源電圧との関係

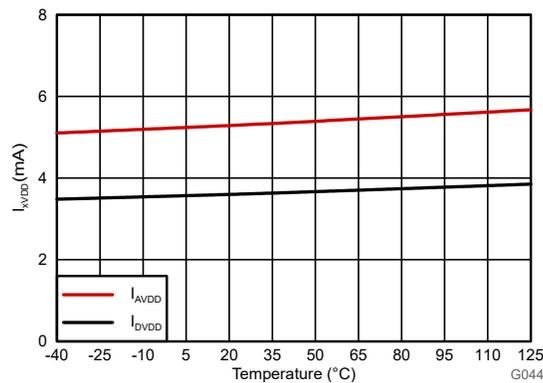


図 6-46. 電源電流と温度との関係

7 詳細説明

7.1 概要

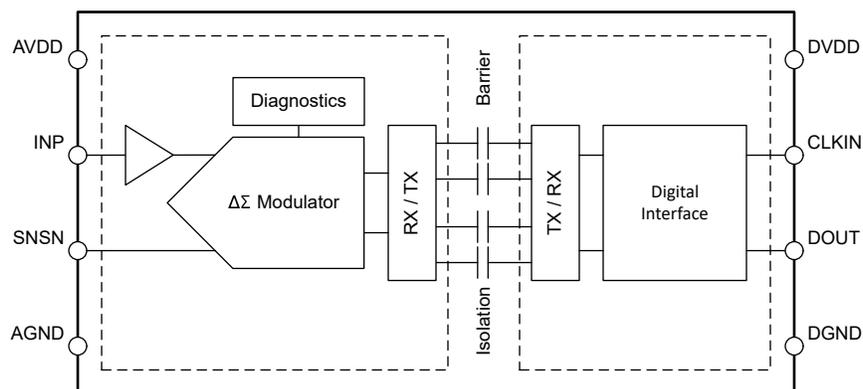
AMC0x36-Q1 は、高インピーダンス入力を備えたシングル チャネル、2 次、CMOS デルタ シグマ ($\Delta\Sigma$) 変調器であり、高分解能電圧測定向けに設計されています。コンバータの絶縁型出力 (DOUT) は、CLKIN ピンに印加される外部クロックに同期して、デジタル 1 および 0 のストリームを供給します。このシリアル出力の時間平均は、アナログ入力電圧に比例します。

変調器は量子化ノイズを高い周波数にシフトするため、全体的な性能を向上させるには、デバイス出力で Sinc フィルタなどのデジタルローパスデジタルフィルタを使用します。このフィルタは、高いサンプリング レートの 1 ビット データ ストリームを、より低いレートでビット数の多いデータ ワードに変換します(間引き)。フィルタを実装するには、マイクロコントローラ (μC) またはフィールド プログラム可能ゲート アレイ (FPGA) を使用します。

全体的な性能 (速度と分解能) は、適切なオーバー サンプリング比 (OSR) とフィルタ タイプの選択によって異なります。OSR が高いほど分解能が高くなり、低いリフレッシュ レートで動作します。OSR が低いほど分解能は低くなりますが、データのリフレッシュ レートは高くなります。このシステムは、デジタル フィルタ設計による柔軟性が高く、OSR = 256 で 89dB を超えるダイナミックレンジを備えており、A/D 変換結果を得ることができます。

二酸化シリコン (SiO_2) ベースの容量性絶縁バリアは、高レベルの磁場耐性をサポートします。『[ISO72x デジタル アインレータの磁界耐性](#)』アプリケーション ノートを参照してください。AMC0x36-Q1 はオン / オフ キーイング (OOK) 変調を使用して、絶縁バリアをまたぐデータを送信します。この変調と絶縁バリアの特性から、ノイズの多い環境で高い信頼性と、高い同相過渡耐性が得られます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 アナログ入力

INP ピンの高インピーダンスの入力バッファは、2 次のスイッチング コンデンサ、フィードフォワード $\Delta\Sigma$ 変調器に電力を供給します。変調器は、[絶縁チャネルの信号伝送](#) セクションで説明されているように、アナログ信号をビットストリームに変換します。ビットストリームは、絶縁バリアをまたぐ転送されます。

オフセットおよびオフセットドリフト係数を減らすため、入力バッファはチョッピング周波数を $f_{\text{CLKIN}}/16$ に設定してチョッパ安定化されます。10 MHz の変調器クロックのチョッピング周波数によって生成される 625 kHz のスプリアスを、[図 7-1](#) に示します。

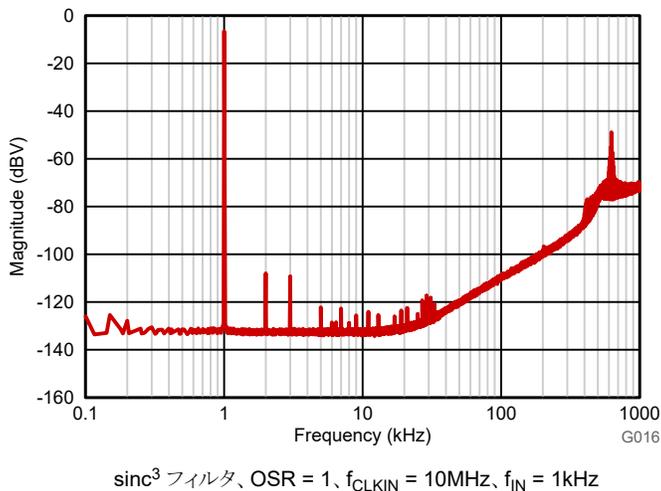


図 7-1. 量子化ノイズ成形

アナログ入力信号には 2 つの制限があります。まず、入力電圧が [絶対最大定格](#) 表に規定された値を超える場合は、入力電流を 10mA に制限します。この制限は、デバイスの入力静電放電 (ESD) ダイオードがオンになることによって発生します。第 2 に、直線性とノイズ性能は、入力電圧が線形性のフルスケール範囲 (V_{FSR}) 内にあるときのみ規定されます。 V_{FSR} は [推奨動作条件](#) - 表に指定されています。

7.3.2 変調器

図 7-2 は、AMC0x36-Q1 に実装されている 2 次スイッチト コンデンサ、フィードフォワード $\Delta\Sigma$ 変調器の概念を解説します。1 ビットのデジタル/アナログ コンバータ (DAC) の出力 V_5 が、入力電圧 $V_{IN} = (V_{INP} - V_{SNSN})$ から減算されます。この減算により、最初の積分器段の入力にアナログ電圧 V_1 が供給されます。最初の積分器の出力は、2 番目の積分器段の入力に供給されます。2 番目の積分の結果は、出力電圧 V_3 で、 V_{IN} および V_2 出力と加算されます。 V_{IN} は入力信号、 V_2 は最初の積分器です。その結果生成される電圧 V_4 の値に応じて、コンパレータの出力が変化します。この場合、1 ビット DAC は、次のクロック パルスで、関連するアナログ出力電圧 V_5 を変更することで応答します。そのため、積分器は逆方向へ進行し、積分器の出力値は強制的に入力の平均値をトラッキングします。

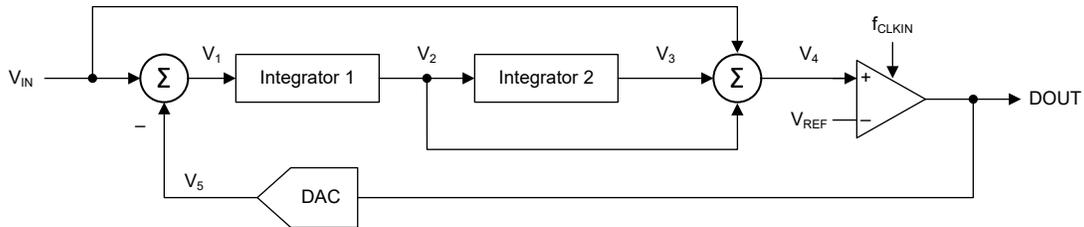


図 7-2. 2 次変調器のブロック図

7.3.3 絶縁チャネルの信号伝送

図 7-3 に示されているように、AMC0x36-Q1 は、オン / オフ キーイング (OOK) 変調方式を使用して、変調器の出力ビットストリームを、 SiO_2 ベースの絶縁膜間で伝送します。送信ドライバ (TX) を [機能ブロック図](#) 示します。TX は、内部で生成された高周波キャリアを絶縁バリア越しに送信し、デジタル 1 を表現します。ただし、TX はデジタル 0 を表す信号を送信しません。AMC0x36-Q1 で使用されるキャリアの公称周波数は 480MHz です。

AMC0x36-Q1 の送信チャネルは、同相過渡耐性 (CMTI) を最大限に高め、放射妨害波を最小限に抑えるように最適化されています。高周波キャリアと RX/TX バッファのスイッチングにより、これらの放射が発生します。

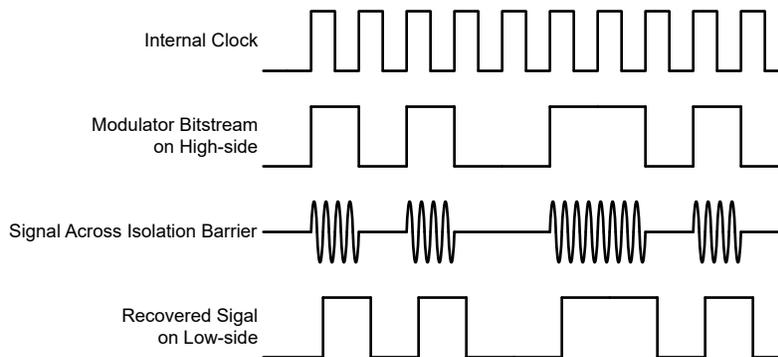


図 7-3. OOK ベースの変調方式

7.3.4 デジタル出力

入力信号の 0V は、理想的には時間のうち 50% が high である 1 と 0 のストリームを生成します。入力信号の 1V は、理想的には時間のうち 90.0% が high である 1 と 0 のストリームを生成します。分解能が 16 ビットであるため、このパーセンテージは理想的にはコード 58982 に対応します。入力信号の -1V は、理想的には時間のうち 10.0% が high である 1 と 0 のストリームを生成します。分解能が 16 ビットであるため、このパーセンテージは理想的にはコード 6554 に対応します。これらの入力電圧は、AMC0x36-Q1 と規定された線形範囲でもあります。入力電圧の値がこの範囲を超えた場合、変調器の出力には非線形の動作が見られるようになり、量子化ノイズが増大します。変調器の出力は -1.25V の入力でゼロの一定ストリームをクリップします。変調器の出力も、 $\geq 1.25V$ の入力で一定のストリームをクリップします。ただしこの場合、AMC0x36-Q1 は 128 クロック サイクルごとに 1 または 0 を生成し、デバイスが正しく機能していることを示します。入力が負のフルスケールにある場合、単一 1 が生成され、入力が正のフルスケールにある場合には 0 が生成されます。詳細については、「フルスケール入力の場合の出力動作」セクションを参照してください。入力電圧と、変調器の出力信号との関係を、図 7-4 に示します。

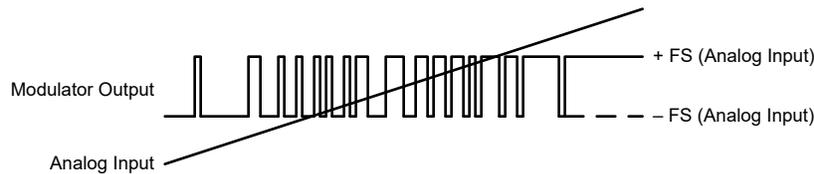


図 7-4. 変調器出力とアナログ入力の関係

次の式は、任意の入力電圧 $V_{IN} = (V_{INP} - V_{SNSN})$ の値について、出力ビットストリームの密度を計算します。唯一の例外は、フルスケール入力信号です。「フルスケール入力の場合の出力動作」セクションを参照してください。

$$\rho = (|V_{Clipping}| + V_{IN}) / (2 \times V_{Clipping}) \quad (1)$$

7.3.4.1 フルスケール入力の場合の出力動作

AMC0x36-Q1 にフルスケール入力信号が印加された場合、デバイスは DOUT の 128 ビットごとに 1 または 0 を生成します。このプロセスのタイミング図を、図 7-5 に示します。検出される信号の実際の極性に応じて、単一の 1 または 0 が生成されます。フルスケール信号は、 $|V_{INP} - V_{SNSN}| \geq |V_{Clipping}|$ と定義されます。この方法により、AVDD が消失した状態と、フルスケール入力信号の状態とを、システムレベルで区別できます。デジタルビットストリームの診断に関するサンプルコードについては、『C2000™ の構成可能ロジックブロック (CLB) を使用したデルタシグマ変調器のビットストリームの診断』アプリケーションノートを参照してください。

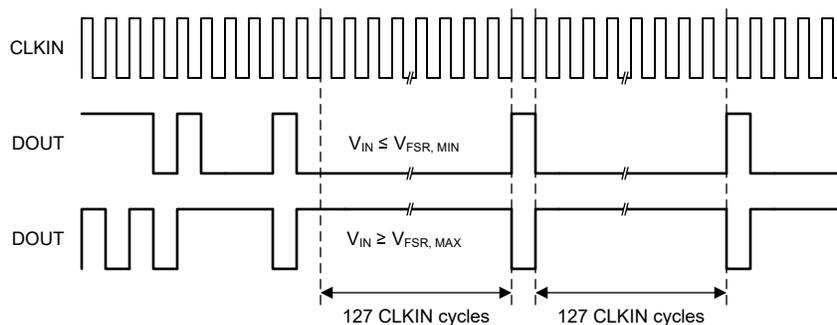


図 7-5. AMC0x36-Q1 のフルスケール出力

7.3.4.2 ハイサイド電源が消失した場合の出力動作

ハイサイド電源 (AVDD) がない場合、デバイスは出力にロジック 0 の一定のビットストリームを提供し、DOUT は永続的に low です。このプロセスのタイミング図を、[図 7-6](#) に示します。その 1 は 128 のクロック パルスごとに生成されるわけではなく、この状況が有効な負のフルスケール入力と区別されます。この機能は、基板上のハイサイド電源の問題を識別するのに役立ちます。デジタル ビット ストリームの診断に関するサンプルコードについては、『[C2000™ の構成可能ロジックブロック \(CLB\) を使用したデルタシグマ変調器のビットストリームの診断](#)』アプリケーション ノートを参照してください。

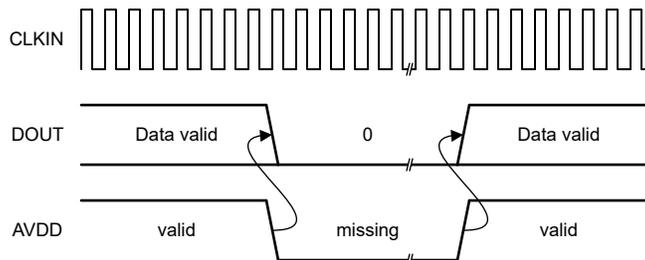


図 7-6. ハイサイド電源が消失した場合の AMC0x36-Q1 の出力

7.4 デバイスの機能モード

AMC0x36-Q1 は、次の状態のいずれかで動作します。

- **OFF 状態:** デバイスのローサイド (DVDD) が $DVDD_{UV}$ スレッショルドより低いです。デバイスが応答しません。DOUT はハイインピーダンス状態。内部的に、DOUT および CLKIN は、ESD 保護ダイオードにより DVDD および DGND にクランプされます。
- **ハイサイド電源喪失:** デバイス (DVDD) のローサイドに電源が供給され、**推奨動作条件**-に記載されている制限範囲内です。ハイサイド電源 (AVDD) は $AVDD_{UV}$ スレッショルドを下回っています。このデバイスは、**ハイサイド電源が消失した場合の出力動作** セクションで説明されているように、ロジック 0 の一定のビットストリームを出力します。
- **アナログ入力オーバーレンジ (正のフルスケール入力):** AVDD および DVDD は推奨動作条件の範囲内です。ただし、アナログ入力電圧 $V_{IN} = (V_{INP} - V_{SNSN})$ は最大クリッピング電圧 ($V_{Clipping, MAX}$) を上回っています。**フルスケール入力の場合の出力動作** セクションで説明しているように、このデバイスは 128 クロックサイクルごとにロジック 0 を出力します。
- **アナログ入力アンダーレンジ (負のフルスケール入力):** AVDD および DVDD は推奨動作条件の範囲内です。ただし、アナログ入力電圧 $V_{IN} = (V_{INP} - V_{SNSN})$ は最小クリッピング電圧 ($V_{Clipping, MIN}$) を下回っています。**フルスケール入力の場合の出力動作** セクションで説明しているように、このデバイスは 128 クロックサイクルごとにロジック 1 を出力します。
- **通常動作の場合:** AVDD、DVDD、 V_{IN} は推奨動作条件内です。このデバイスは、**デジタル出力** セクションで説明されているように、デジタル ビット ストリームを出力します。

表 7-1 に、動作モードを示します。

表 7-1. デバイスの動作モード

オペレーショナルモード	AVDD	DVDD	V_{IN}	デバイスの応答
オフ	未使用	$V_{DVDD} < DVDD_{UV}$	未使用	DOUT はハイインピーダンス状態。内部的に、DOUT および CLKIN は、ESD 保護ダイオードにより DVDD および DGND にクランプされます。
ハイサイド電源喪失	$V_{AVDD} < AVDD_{UV}$	有効 ⁽¹⁾	未使用	このデバイスは、 ハイサイド電源が消失した場合の出力動作 セクションで説明されているように、ロジック 0 の一定のビットストリームを出力します。
入力オーバーレンジ	有効 ⁽¹⁾	有効 ⁽¹⁾	$V_{IN} > V_{Clipping, MAX}$	フルスケール入力の場合の出力動作 セクションで説明しているように、このデバイスは 128 クロックサイクルごとにロジック 0 を出力します。
アンダーレンジ入力	有効 ⁽¹⁾	有効 ⁽¹⁾	$V_{IN} < V_{Clipping, MIN}$	フルスケール入力の場合の出力動作 セクションで説明しているように、このデバイスは 128 クロックサイクルごとにロジック 1 を出力します。
通常動作	有効 ⁽¹⁾	有効 ⁽¹⁾	有効 ⁽¹⁾	通常動作

(1) **Valid** は、値が推奨動作条件の範囲内にあることを示します。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

AC ライン電源装置は、互いに電氣的に絶縁された 2 つ以上の電圧ドメインに分割されます。たとえば、高電圧ドメインには、AC グリッド、DC リンク、力率補正 (PFC) 用の電力段が含まれています。低電圧ドメインには、システムコントローラとヒューマン インターフェイスが含まれます。PFC コントローラは、安全上の理由から AC 商用電源から電氣的に絶縁した状態で、AC ライン電圧の値を測定する必要があります。AMC0x36-Q1 は、入力インピーダンスが高く、ガルバニック絶縁された出力を備えているため、この測定を可能にします。

8.2 代表的なアプリケーション

3 相 AC システムのライン電圧を検出する回路の概略回路図を、[図 8-1](#) に示します。3 つの電圧はすべて、ニュートラルに対して測定されます。そのため、3 つの AMC0x36-Q1 デバイスが入力側で共通の絶縁電源を共有できます。

位相 L1 の AC ライン電圧は、高インピーダンス抵抗分圧器の下側抵抗 (RSNS) を通って $\pm 1V$ に分圧されます。RSNS 両端の電圧は、AMC0x36-Q1 によって検出されます (デバイス 1)。絶縁バリア デバイス 1 の反対側には、L1 から中性線への電圧を表すシリアル ビット ストリームが出力されます。同様に、デバイス 2 と デバイス 3 はそれぞれ L2 および L3 ライン電圧を検出します。共通の AVDD 電源は、絶縁型 DC/DC コンバータ回路によって低電圧側から生成されます。低コストのソリューションでは、プッシュプルドライバ SN6501-Q1 と、目的の絶縁電圧定格をサポートするトランスを使います。

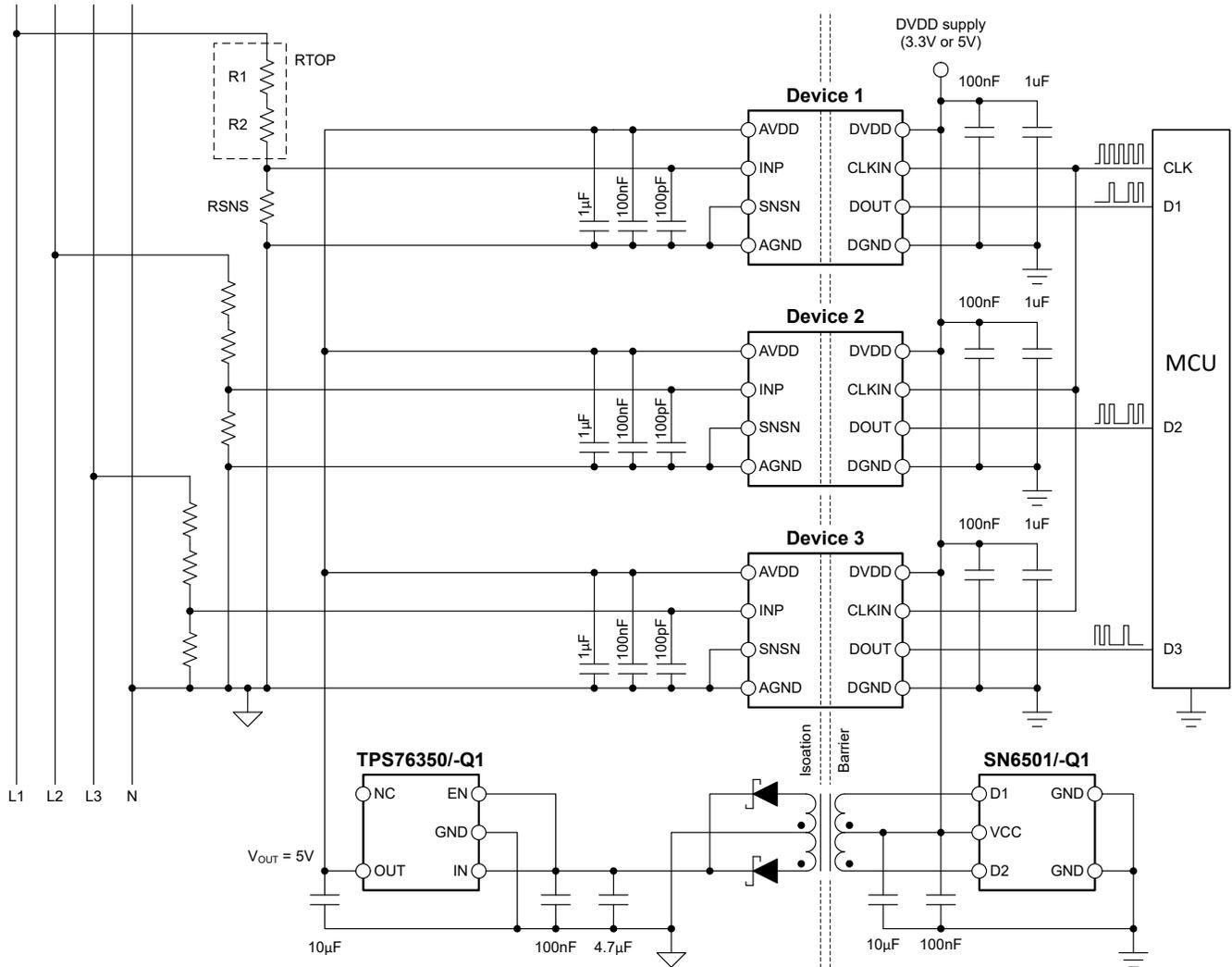


図 8-1. 代表的なアプリケーションで使用 AMC0x36-Q1

8.2.1 設計要件

表 8-1 に、この代表的なアプリケーションのパラメータを一覧します。

表 8-1. 設計要件

パラメータ	値
システム入力電圧 (位相から中性点へ)	230V _{RMS} ±10%、50Hz
ハイサイド電源電圧	5V
ローサイド電源電圧	3.3V
最大抵抗器動作電圧	125V
線形応答に関する、抵抗 (RSNS) の両端での電圧ドロップ	±1V (最大値)
抵抗分圧器を通して流れる電流、I _{CROSS}	200μA (最大値)

8.2.2 詳細な設計手順

ピーク入力電圧は $230V \times \sqrt{2} \times 1.1 = 360V$ です。最大クロス電流要件が $200\mu A$ であるため、抵抗分圧器の合計インピーダンスは $1.8M\Omega$ と決定されます。抵抗分圧器のインピーダンスは、上側の抵抗 (*代表的なアプリケーション*) の R1 および R2 などにより支配的です。ユニット抵抗あたりの最大許容電圧降下は、 $125V$ と規定されています。したがって、抵抗分圧器の上部にあるユニット抵抗の最小数は $360V/125V \approx 3$ です。計算されたユニット値は $1.8M\Omega/3 = 600k\Omega$ であり、E96 シリーズの次に近い値は $604k\Omega$ です。

最大入力電圧 ($360V$) での電圧降下が AMC0x36-Q1 の線形フルスケール入力電圧 (V_{FSR}) と等しいように、RSNS のサイズを設定します。RSNS は、 $RSNS = V_{FSR} / (V_{Peak} - V_{FSR}) \times R_{TOP}$ として計算されます。R_{TOP} は上部抵抗ストリングの合計値 ($3 \times 604k\Omega = 1.812M\Omega$) です。RSNS の結果値は $5.05k\Omega$ になります。E96 シリーズで次に近い値は $4.99k\Omega$ です。

抵抗分圧器の設計を、表 8-2 にまとめます。

表 8-2. 抵抗値の例

パラメータ	値
ユニット抵抗値、R _{TOP}	604kΩ
R _{TOP} の単位抵抗の数	3
センス抵抗値、RSNS	4.99kΩ
合計抵抗値 R _(TOP + RSNS)	1.817MΩ
この結果、抵抗分割器を流れる電流 I _{CROSS} が生じます	198.1μA
その結果、センス抵抗 RSNS の両端間でのフルスケール電圧降下が発生します	989mV
R _{TOP} ユニット抵抗で消費されるピーク電力	23.7mW
抵抗分圧器で消費される総ピーク電力	71.3mW

8.2.2.1 入力フィルタの設計

デバイスの前に RC フィルタを配置すると、信号路の信号対雑音比性能が向上します。 $\Delta\Sigma$ 変調器のサンプリング周波数に近い周波数 (通常は 10MHz) の入力ノイズは、変調器によって低周波数の範囲にフォールドバックされます。RC フィルタの目的は、高周波ノイズを測定に必要なノイズ レベルを下回るように減衰させることです。実際には、変調器の周波数より 2 桁低いカットオフ周波数を使用すると、良好な結果が得られます。

ほとんどの電圧センシング アプリケーションでは、絶縁型変調器の前に高インピーダンスの抵抗分圧器を使用して、入力電圧を分圧しています。この場合、[図 8-2](#) に示すように 1 つのコンデンサで入力信号をフィルタリングできます。(R1 + R2) >> RSNS の場合、入力フィルタのカットオフ周波数は $1 / (2 \times \pi \times RSNS \times C5)$ です。たとえば、RSNS = 10k Ω 、C5 = 100pF の場合、カットオフ周波数は 160kHz になります。

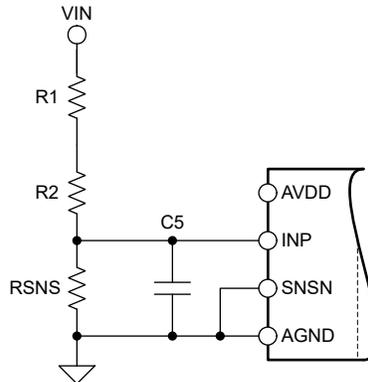


図 8-2. 入力フィルタ

8.2.2.2 ビットストリーム フィルタリング

変調器は、デジタル フィルタによって処理され、入力電圧に比例するデジタル ワードを取得するビット ストリームを生成します。[式 2](#) に sinc³ タイプ フィルタを示します。このフィルタは、最小限の労力とハードウェアで構築される、非常にシンプルなフィルタです。

$$H(z) = \left(\frac{1 - z^{-OSR}}{1 - z^{-1}} \right)^3 \quad (2)$$

このフィルタは 2 次変調器用に、最も小さなハードウェア (デジタル ゲート数) で、最良の出力性能が得られます。本書に記載されているすべての特性は、sinc³ フィルタでも測定されています。このフィルタは、オーバー サンプリング比 (OSR) が 256、出力ワード幅は 16 ビットです。

[『ADS1202 と FPGA デジタル フィルタとの組み合わせによるモータ制御アプリケーションでの電流測定』](#) アプリケーション ノート には、サンプル コードが提供されています。このサンプル コードでは、FPGA に sinc³ フィルタを実装しています。このアプリケーション ノートは、www.ti.com からダウンロードできます。

変調器の出力するビット ストリームのフィルタ処理には、テキサス インストルメンツの C2000 または Sitara マイコン ファミリのデバイスをお勧めします。これらのファミリーは、チャンネルごとに 2 つのフィルタ処理パスを提供することで、システム レベルの設計を大幅に簡素化する、マルチチャンネルの専用ハードワイヤード フィルタ構造をサポートしています 1 つのパスは制御ループの高精度結果をもたらし、もう 1 つのパスは過電流検出の高速応答パスです。

[デルタシグマ変調器のフィルタ カリキュレータ](#) は、www.ti.com からダウンロードできます。このカリキュレータは、フィルタの設計と、目的の出力分解能とフィルタ応答時間を実現するための適切な OSR とフィルタの選択に役立ちます。

8.2.3 アプリケーション曲線

多くの場合、ADC と $\Delta\Sigma$ 変調器の性能を比較するには、実効ビット数(ENOB)が使用されます。次の図は、各種のオーバーサンプリング率における AMC0x36-Q1 の ENOB を示します。

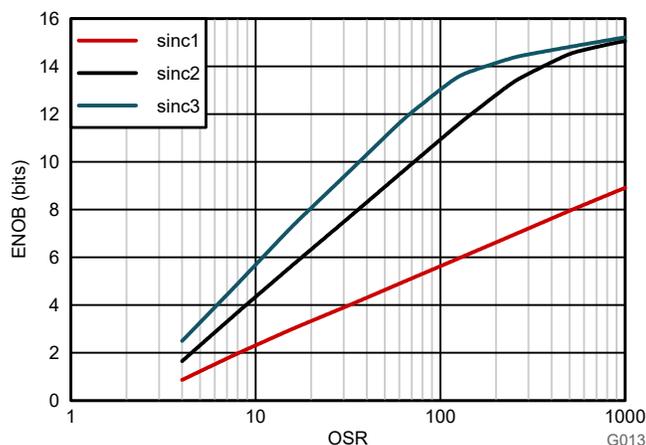


図 8-3. 測定された実効ビット数とオーバー サンプリング率との関係

8.3 設計のベスト プラクティス

デバイスが電源オンのとき、AMC0x36-Q1 のアナログ入力 (INP ピン) を未接続のままにしないでください。デバイス入力フローティングのままになっている場合、デバイスの出力は有効ではありません。

AMC0x36-Q1 の入力 (INP ピン) に保護ダイオードを接続しないでください。ダイオードのリーク電流は、特に高温で大きな測定誤差を引き起こす可能性があります。入力ピンは、ESD 保護回路と外部抵抗分割器の高インピーダンスによって高電圧から保護されます。

8.4 電源に関する推奨事項

一般的なアプリケーションでは、AMC0x36-Q1 のハイサイド電源 (AVDD) は、絶縁型 DC/DC コンバータによってローサイド電源 (DVDD) から生成されます。低コストのオプションでは、プッシュプルドライバ SN6501-Q1 と、目的の絶縁電圧定格をサポートするトランスを使います。

AMC0x36-Q1 は、特定の起動シーケンスを必要としません。ハイサイド電源 (AVDD) は、低 ESR の $1\mu\text{F}$ コンデンサ (C2) と並列接続された低 ESR の 100nF コンデンサ (C1) でデカップリングされます。ローサイド電源 (DVDD) は、低 ESR の $1\mu\text{F}$ コンデンサ (C4) と並列接続された低 ESR の 100nF コンデンサ (C3) で同様にデカップリングされます。4 つのコンデンサ (C1、C2、C3、C4) はすべてデバイスのできるだけ近くに配置します。図 8-4 に、AMC0x36-Q1 のデカップリング図を示します。

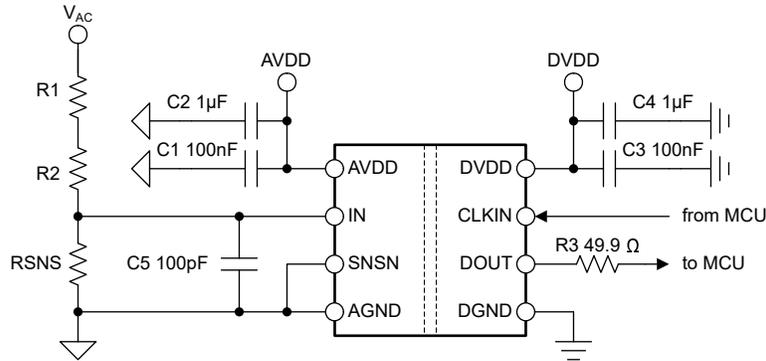


図 8-4. AMC0x36-Q1 のデカップリング

アプリケーションで発生する DC バイアス条件の下で、コンデンサは十分な実効容量を保つ必要があります。マルチレイヤセラミックコンデンサ (MLCC) は通常、実際の使用条件下における容量は、公称容量よりはるかに小さい値となります。これらのコンデンサを選択する際は、これらの要素を考慮してください。この問題は、背の高い部品よりも絶縁体電界強度が高くなる薄型コンデンサで特に深刻です。信頼できるコンデンサメーカーは、部品選択を非常に簡単にする容量対 DC バイアス曲線を提供しています。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

「レイアウト例」セクションには、デカップリングコンデンサとフィルタコンデンサの重要な配置について詳しく説明した、レイアウトの推奨事項が掲載されています。デカップリングおよびフィルタコンデンサは、AMC0x36-Q1 入力ピンにできる限り近づけて配置してください。

8.5.2 レイアウト例

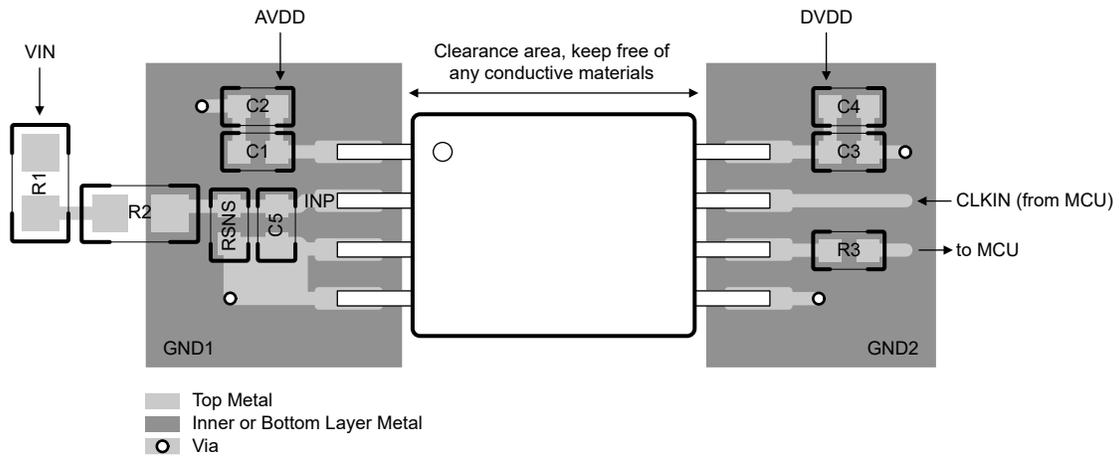


図 8-5. AMC0x36-Q1 の推奨レイアウト

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[絶縁の用語集](#)』アプリケーションレポート
- テキサス・インスツルメンツ、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポート
- テキサス・インスツルメンツ、『[ISO72x デジタル アインレータの磁界耐性](#)』アプリケーションレポート
- テキサス・インスツルメンツ、『[ISO72x デジタル アインレータの磁界耐性](#)』アプリケーションレポート
- テキサス インスツルメンツ、『[C2000™ 構成可能ロジックブロック \(CLB\) を使用したデルタシグマ変調器のビットストリームの診断](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[ADS1202 と FPGA デジタル フィルタとの組み合わせによるモータ制御アプリケーションでの電流測定](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[デルタシグマ変調フィルタ カリキュレータ設計ツール](#)』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
May 2025	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的のみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AMC0236QDRQ1	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	C0236Q
AMC0336QDWVRQ1	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	AMC0336Q

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF AMC0236-Q1, AMC0336-Q1 :

- Catalog : [AMC0236](#), [AMC0336](#)

NOTE: Qualified Version Definitions:

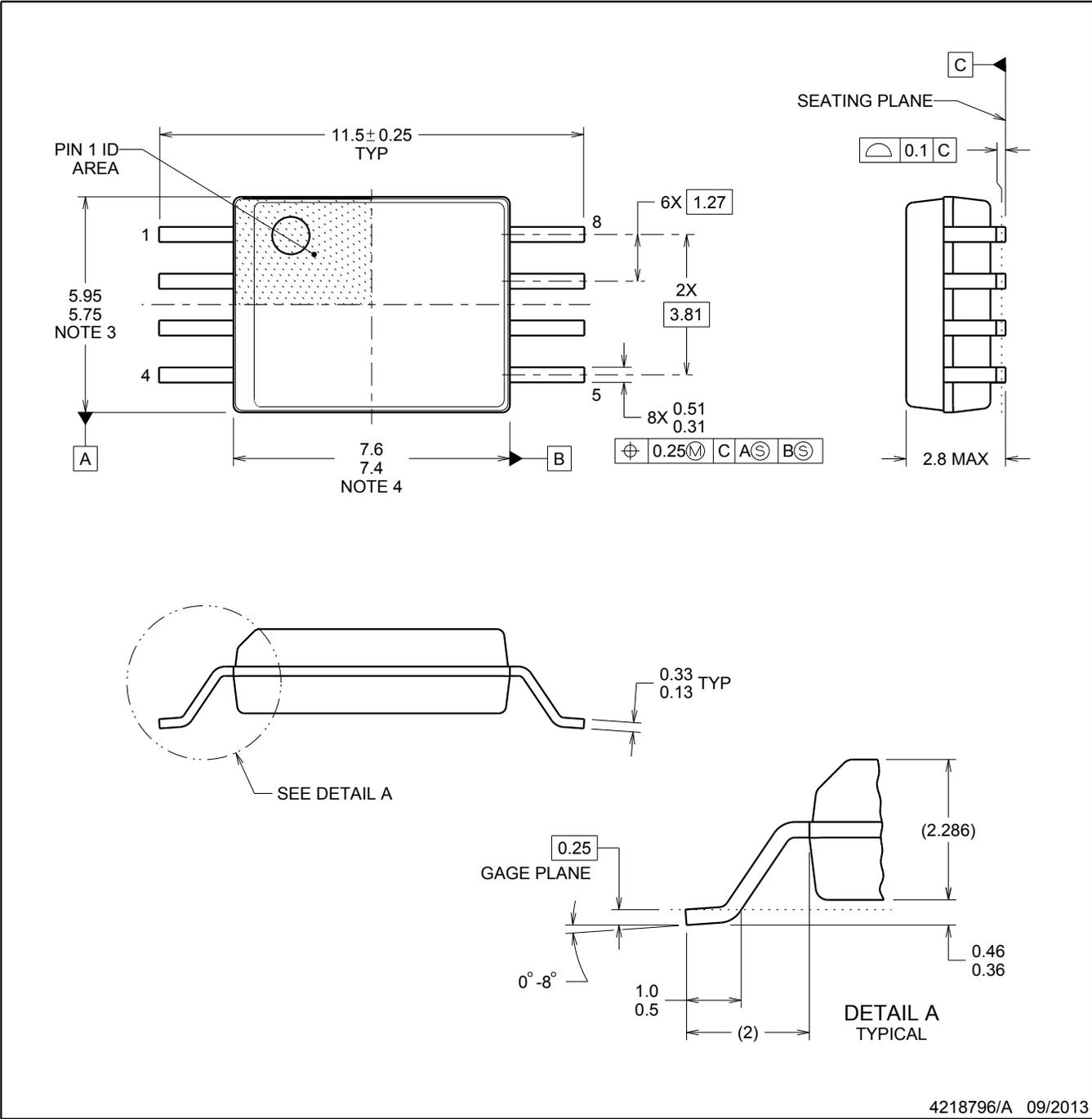
- Catalog - TI's standard catalog product



DWV0008A

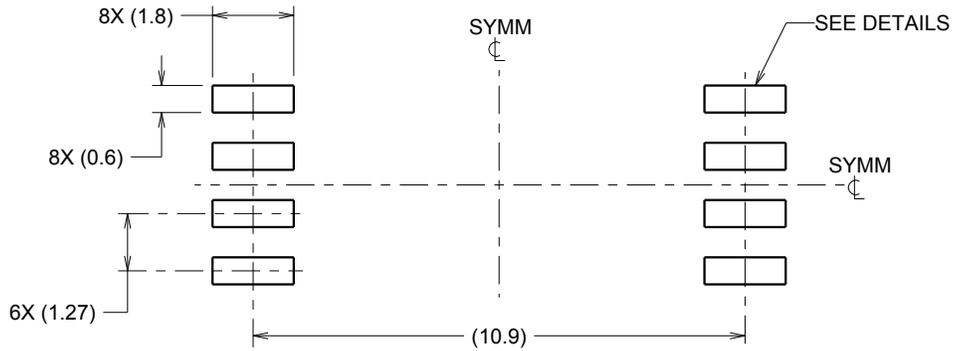
SOIC - 2.8 mm max height

SOIC

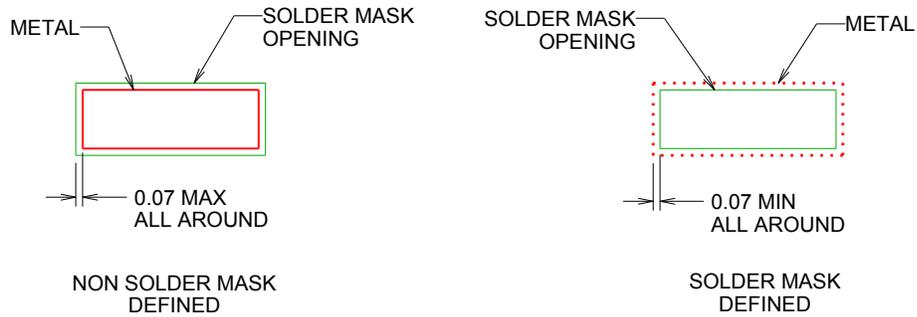


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X

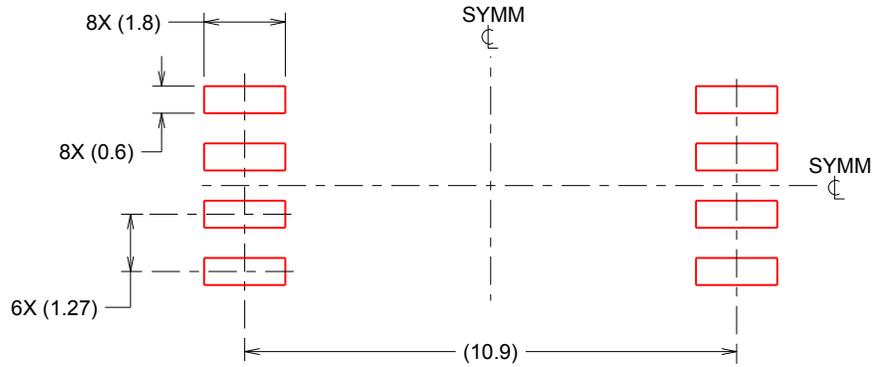


SOLDER MASK DETAILS

4218796/A 09/2013

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE:6X

4218796/A 09/2013

NOTES: (continued)

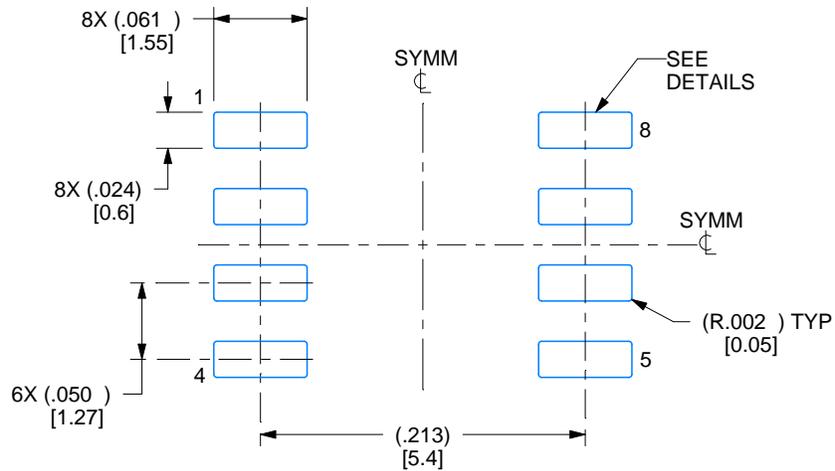
- 7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 8. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

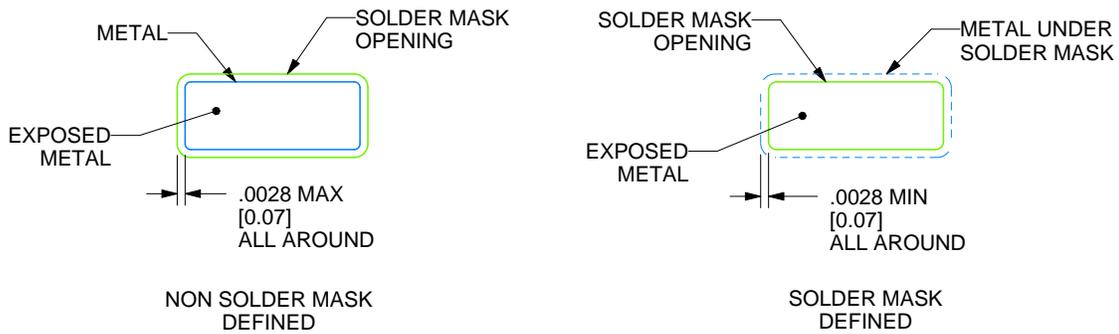
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

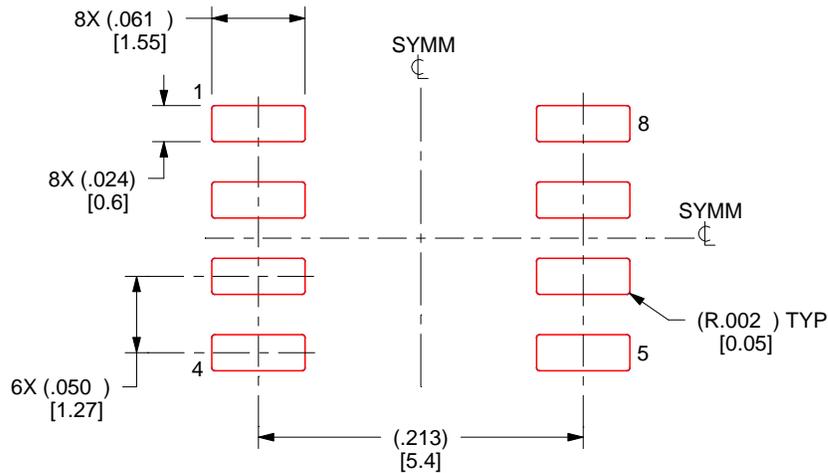
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月