# AMC0x02D 固定ゲインおよび差動出力付き、高精度、±50mV 入力、基本および強化絶縁型アンプ

## 1 特長

- リニア入力電圧範囲:±50mV
- 電源電圧範囲:
  - ハイサイド (VDD1):3.0V ～ 5.5V
  - ローサイド (VDD2):3.0V ～ 5.5V
- 固定ゲイン:41V/V
- 差動アナログ出力
- 小さい DC 誤差:
  - オフセット誤差:±50µV (最大値)
  - オフセットドリフト:±0.9µV/°C (最大値)
  - ゲイン誤差:±0.2% (最大値)
  - ゲインドリフト:±45ppm/°C (最大値)
  - 非線形性:0.04% (最大値)
- 高 CMTI:150V/ns (最小値)
- 低 EMI:CISPR-11 および CISPR-25 規格に準拠
- 絶縁定格:
  - AMC0202D:基本絶縁型
  - AMC0302D:強化絶縁型
- 安全関連認証:
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL1577
- 拡張産業温度範囲の全体にわたって完全に仕様を規定:–40°C ～ +125°C

## 2 アプリケーション

- 産業用モータドライブ
- 周波数インバータ
- サーバー電源ユニット (PSU)
- 力率改善 (PFC)

## 3 説明

AMC0x02D は、±50mV、差動入力、差動出力備えた高精度、電気的絶縁型アンプです。入力は、シャント抵抗または他の低インピーダンスの信号源と直接接続できるように最適化されています。

この絶縁バリアは、異なる同相電圧レベルで動作するシステム領域を分離します。絶縁バリアは磁気干渉に対して非常に耐性があります。この絶縁バリアは、最大 $5kV_{RMS}$ (DWV パッケージ) の強化絶縁と、最大 $3kV_{RMS}$ (D パッケージ) (60s) の基本絶縁を実現することが認定されています。

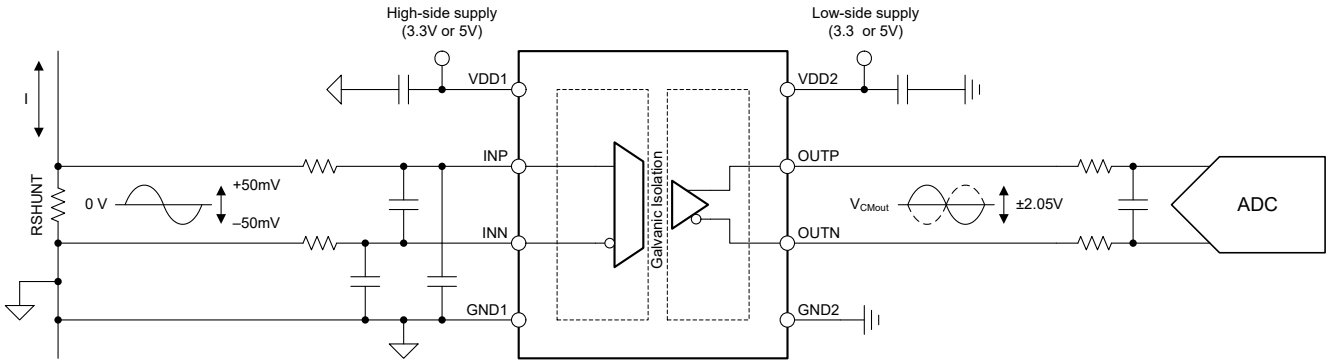
AMC0x02D は、入力電圧に比例する差動信号を出力します。差動出力はグランド シフトの影響を受けず、長距離にわたる出力信号の配線が可能です。

AMC0x02D は、8 ピンのワイド ボディおよびナロー ボディ SOIC パッケージで供給され、–40°C から +125°C までの温度範囲で完全に動作が規定されています。

**パッケージ情報**

| 部品番号 | パッケージ (1) | パッケージ サイズ(2) |
|---|---|---|
| AMC0202D | D (SOIC、8) | 4.9mm × 6mm |
| AMC0302D | DWV (SOIC、8) | 5.85mm × 11.5mm |

(1) 詳細については、*メカニカル、パッケージ、および注文情報* セクションを参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。




**代表的なアプリケーション**

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

# 目次

**1 特長**.....1
**2 アプリケーション**.....1
**3 説明**.....1
**4 デバイス比較表**.....3
**5 ピン構成および機能**.....3
**6 仕様**.....4
6.1 絶対最大定格.....4
6.2 ESD 定格.....4
6.3 推奨動作条件 -.....4
6.4 熱に関する情報 (D パッケージ).....5
6.5 熱に関する情報 (DWV パッケージ).....6
6.6 電力定格.....6
6.7 絶縁仕様 (基本絶縁).....7
6.8 絶縁仕様 (強化絶縁).....8
6.9 安全関連認証 (基本絶縁).....9
6.10 安全関連認証 (強化絶縁).....10
6.11 安全限界値 (D パッケージ).....11
6.12 安全限界値 (DWV パッケージ).....12
6.13 電気的特性.....13
6.14 スイッチング特性.....14
6.15 タイミング図.....14
6.16 絶縁特性曲線.....15
6.17 代表的特性.....16
**7 詳細説明**.....22
7.1 概要.....22
7.2 機能ブロック図.....22
7.3 機能説明.....23
7.4 デバイスの機能モード.....25
**8 アプリケーションと実装**.....26
8.1 アプリケーション情報.....26
8.2 代表的なアプリケーション.....26
8.3 設計のベスト プラクティス.....29
8.4 電源に関する推奨事項.....29
8.5 レイアウト.....30
**9 デバイスおよびドキュメントのサポート**.....31
9.1 ドキュメントのサポート.....31
9.2 ドキュメントの更新通知を受け取る方法.....31
9.3 サポート・リソース.....31
9.4 商標.....31
9.5 静電気放電に関する注意事項.....31
9.6 用語集.....31
**10 改訂履歴**.....31
**11 メカニカル、パッケージ、および注文情報**.....32
11.1 メカニカル データ.....33


Copyright © 2025 Texas Instruments Incorporated

# 4 デバイス比較表

| パラメータ | AMC0202D | AMC0302D |
|---|---|---|
| VDE 0884-17 に準拠した絶縁定格 | 基本 | 強化 |
| パッケージ | ナローボディ SOIC (D) | ワイドバディ SOIC (DWV) |

# 5 ピン構成および機能

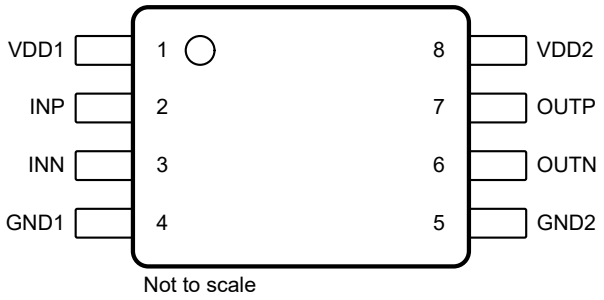



**図 5-1. DWV および D パッケージ、8 ピン SOIC (上面図)**

**表 5-1. ピンの機能**

| ピン | | タイプ | 説明 |
|---|---|---|---|
| 番号 | 名称 | | |
| 1 | VDD1 | ハイサイド電源 | ハイサイド電源(1) |
| 2 | INP | アナログ入力 | 非反転アナログ入力(2) |
| 3 | INN | アナログ入力 | 反転アナログ入力(2) |
| 4 | GND1 | ハイサイド グランド | ハイサイド (高電圧側) のアナログ グランド |
| 5 | GND2 | ローサイド グランド | 2 次側(定電圧側)のアナログ グランド |
| 6 | OUTN | アナログ出力 | 反転アナログ出力 |
| 7 | OUTP | アナログ出力 | 非反転アナログ出力 |
| 8 | VDD2 | ローサイド電源 | ローサイド電源(1) |

(1) 電源のデカップリングに関する推奨事項については、「 電源に関する推奨事項 」セクションを参照してください。
(2) 入力フィルタの設計については、*入力フィルタの設計* セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

# 6 仕様

## 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

| | | 最小値 | 最大値 | 単位 |
|---|---|---|---|---|
| 電源電圧 | ハイサイド VDD1 ～ GND1 | -0.3 | 6.5 | V |
| | ローサイド VDD2 ～ GND2 | -0.3 | 6.5 | |
| アナログ入力電圧 | INP、INN から GND1 へ、 | GND1 - 4 | VDD1 + 0.5 | V |
| アナログ出力電圧 | OUTP、OUTN から GND2 へ、 | GND2 - 0.5 | VDD2 + 0.5 | V |
| 入力電流 | 連続、電源ピンを除く任意のピン | -10 | 10 | mA |
| 温度 | 接合部、$T_J$ | | 150 | °C |
| | 保存、$T_{stg}$ | -65 | 150 | |

(1) 「*絶対最大定格*」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

## 6.2 ESD 定格

| | | | 値 | 単位 |
|---|---|---|---|---|
| $V_{(ESD)}$ | 静電放電 | 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1) | ±2000 | V |
| | | デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2) | ±1000 | |

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

## 6.3 推奨動作条件 -

動作時周囲温度範囲内 (特に記述のない限り)

| | | | 最小値 | 公称値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| **電源** | | | | | | |
| VDD1 | ハイサイド電源 | VDD1～GND1 | 3 | 5.0 | 5.5 | V |
| VDD2 | ローサイド電源 | VDD2～GND2 | 3 | 3.3 | 5.5 | V |
| **アナログ入力** | | | | | | |
| $V_{Clipping}$ | 出力 のクリッピング前の公称差動入力電圧 | $V_{IN} = V_{INP} – V_{INN}$ | -64 | | 64 | mV |
| $V_{FSR}$ | 規定の線形差動入力電圧 | $V_{IN} = V_{INP} – V_{INN}$ | -50 | | 50 | mV |
| $V_{CM}$ | 動作コモンモード入力電圧 | $(V_{INP} + V_{INN})/2$ ～ GND1 | -0.032 | | 1 | V |
| $C_{IN, EXT}$ | 入力に接続された最小外部容量 | INP から INN へ | | 10 | | nF |
| **アナログ出力** | | | | | | |
| $C_{LOAD}$ | 容量性負荷 | OUTP、または OUTN から GND2 へ | | | 500 | pF |
| | | OUTP から OUTN へ | | | 250 | |
| $R_{LOAD}$ | 抵抗性負荷 | OUTP、または OUTN から GND2 へ | | 10 | 1 | kΩ |
| **温度範囲** | | | | | | |
| $T_A$ | 規定周囲温度 | | -40 | | 125 | °C |


Copyright © 2025 Texas Instruments Incorporated

## 6.4 熱に関する情報 (D パッケージ)

| 熱評価基準(1) | | D (SOIC) | 単位 |
|---|---|---|---|
| | | 8 ピン | |
| $R_{\theta JA}$ | 接合部から周囲への熱抵抗 | 116.5 | ℃/W |
| $R_{\theta JC(top)}$ | 接合部からケース (上面) への熱抵抗 | 52.8 | ℃/W |
| $R_{\theta JB}$ | 接合部から基板への熱抵抗 | 58.9 | ℃/W |
| $\Psi_{JT}$ | 接合部から上面への特性パラメータ | 19.4 | ℃/W |
| $\Psi_{JB}$ | 接合部から基板への特性パラメータ | 58.0 | ℃/W |
| $R_{\theta JC(bot)}$ | 接合部からケース (底面) への熱抵抗 | 該当なし | ℃/W |

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

## 6.5 熱に関する情報 (DWV パッケージ)

| 熱評価基準(1) | | DWV (SOIC) | 単位 |
|---|---|---|---|
| | | 8 ピン | |
| $R_{\theta JA}$ | 接合部から周囲への熱抵抗 | 102.8 | ℃/W |
| $R_{\theta JC(top)}$ | 接合部からケース (上面) への熱抵抗 | 45.1 | ℃/W |
| $R_{\theta JB}$ | 接合部から基板への熱抵抗 | 63.0 | ℃/W |
| $\Psi_{JT}$ | 接合部から上面への特性パラメータ | 14.3 | ℃/W |
| $\Psi_{JB}$ | 接合部から基板への特性パラメータ | 61.1 | ℃/W |
| $R_{\theta JC(bot)}$ | 接合部からケース (底面) への熱抵抗 | 該当なし | ℃/W |

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

## 6.6 電力定格

| パラメータ | | テスト条件 | 値 | 単位 |
|---|---|---|---|---|
| $P_D$ | 最大消費電力 (両サイド) | VDD1 = VDD2 = 5.5V | 92 | mW |
| $P_{D1}$ | 最大消費電力 (ハイサイド) | VDD1 = 5.5V | 38 | mW |
| $P_{D2}$ | 最大消費電力 (ローサイド) | VDD2 = 5.5V | 54 | mW |


Copyright © 2025 Texas Instruments Incorporated

## 6.7 絶縁仕様 (基本絶縁)

動作時周囲温度範囲内 (特に記述のない限り)

| パラメータ | | テスト条件 | 値 | 単位 |
|---|---|---|---|---|
| **一般** | | | | |
| CLR | 外部空間距離(1) | 空気中での最短のピン間距離 | ≥ 4 | mm |
| CPG | 外部沿面距離(1) | パッケージ表面に沿った最短のピン間距離 | ≥ 4 | mm |
| DTI | 絶縁間の距離 | 絶縁の最小内部ギャップ (内部距離) | ≥ 15.4 | µm |
| CTI | 比較トラッキング インデックス | DIN EN 60112 (VDE 0303-11)、IEC 60112 | ≥ 600 | V |
| | 材料グループ | IEC 60664-1 に準拠 | I | |
| | IEC 60664-1 に準拠した過電圧カテゴリ | 定格商用電源 $V_{RMS}$ が 300V 以下 | I-IV | |
| | | 定格商用電源 $V_{RMS}$ が 600V 以下 | I-III | |
| **DIN EN IEC 60747-17 (VDE 0884-17)(2)** | | | | |
| $V_{IORM}$ | 最大反復ピーク絶縁電圧 | AC 電圧で | 1130 | $V_{PK}$ |
| $V_{IOWM}$ | 最大定格絶縁動作電圧 | AC 電圧で (正弦波) | 800 | $V_{RMS}$ |
| | | DC 電圧で | 1130 | $V_{DC}$ |
| $V_{IOTM}$ | 最大過渡絶縁電圧 | $V_{TEST} = V_{IOTM}$、t = 60s (認定試験)、<br>$V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷時テスト) | 4250 | $V_{PK}$ |
| $V_{IMP}$ | 最大インパルス電圧 (3) | 気中でテスト、IEC 62368-1 に準拠した 1.2/50µs の波形 | 5000 | $V_{PK}$ |
| $V_{IOSM}$ | 最大サージ絶縁電圧(4) | IEC 62368-1 に準拠し油中でテスト (認定試験)、<br>1.2/50µs の波形 | 10000 | $V_{PK}$ |
| $q_{pd}$ | 見掛けの電荷(5) | 手法 a、入力 / 出力安全性テストのサブグループ 2 および 3 の後、<br>$V_{pd(ini)} = V_{IOTM}$、$t_{ini}$ = 60s、$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s | ≦ 5 | pC |
| | | 手法 a、環境テストのサブグループ 1 の後、<br>$V_{pd(ini)} = V_{IOTM}$、$t_{ini}$ = 60s、$V_{pd(m)} = 1.3 \times V_{IORM}$、$t_m$ = 10s | ≦ 5 | |
| | | 手法 b1、事前条件設定 (タイプ テスト) およびルーチン テスト、<br>$V_{pd(ini)} = V_{IOTM}$、$t_{ini}$ = 1s、$V_{pd(m)} = 1.5 \times V_{IORM}$、$t_m$ = 1s | ≦ 5 | |
| | | 手法 b2、ルーチン テスト (100% 出荷時)(7)、<br>$V_{pd(ini)} = V_{IOTM} = V_{pd(m)}$、$t_{ini} = t_m$ = 1s | ≦ 5 | |
| $C_{IO}$ | バリア容量、入力から出力へ(6) | $V_{IO}$ = 0.5$V_{PP}$ (1MHz 時) | ≅1.5 | pF |
| $R_{IO}$ | 絶縁抵抗、入力から出力へ(6) | $V_{IO}$ = 500V ($T_A$ = 25℃時) | > $10^{12}$ | Ω |
| | | $V_{IO}$ = 500V (100℃ ≦ $T_A$ ≦ 125℃時) | > $10^{11}$ | |
| | | $V_{IO}$ = 500V ($T_S$ = 150℃時) | > $10^9$ | |
| | 汚染度 | | 2 | |
| | 耐候性カテゴリ | | 55/125/21 | |
| **UL1577** | | | | |
| $V_{ISO}$ | 絶縁耐圧 | $V_{TEST} = V_{ISO}$、t = 60s (認定試験)、<br>$V_{TEST} = 1.2 \times V_{ISO}$、t = 1s (100% 出荷時テスト) | 3000 | $V_{RMS}$ |

(1) アプリケーションに固有の機器の絶縁規格に従って沿面距離および空間距離の要件を適用します。基板設計では、沿面距離および空間距離を維持して、プリント基板 (PCB) のアイソレータの取り付けパッドによりこの距離が短くならないようにします。特定の場合には、PCB 上の沿面距離と空間距離は等しくなります。これらの規格値を増やすため、PCB 上にグルーブやリブを挿入するなどの技法が使用されます。
(2) この絶縁素子は安全定格内の *安全な電気的絶縁* のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(3) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
(4) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
(5) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(6) バリアのそれぞれの側にあるすべてのピンは互いに接続され、実質的に 2 ピンのデバイスになります。
(7) 正式運用環境では、手法 b1 または b2 のいずれかが使用されます。

Copyright © 2025 Texas Instruments Incorporated

## 6.8 絶縁仕様 (強化絶縁)

動作時周囲温度範囲内 (特に記述のない限り)

| パラメータ | | テスト条件 | 値 | 単位 |
|---|---|---|---|---|
| **一般** | | | | |
| CLR | 外部空間距離(1) | 空気中での最短のピン間距離 | ≥ 8.5 | mm |
| CPG | 外部沿面距離(1) | パッケージ表面に沿った最短のピン間距離 | ≥ 8.5 | mm |
| DTI | 絶縁間の距離 | 二重絶縁の最小内部ギャップ (内部距離) | ≥ 15.4 | µm |
| CTI | 比較トラッキング インデックス | DIN EN 60112 (VDE 0303-11)、IEC 60112 | ≥ 600 | V |
| | 材料グループ | IEC 60664-1 に準拠 | I | |
| | IEC 60664-1 に準拠した過電圧カテゴリ | 定格商用電源 $V_{RMS}$ が 300V 以下 | I-IV | |
| | | 定格商用電源 $V_{RMS}$ が 6000V 以下 | I-III | |
| **DIN EN IEC 60747-17 (VDE 0884-17)(2)** | | | | |
| $V_{IORM}$ | 最大反復ピーク絶縁電圧 | AC 電圧で | 2120 | $V_{PK}$ |
| $V_{IOWM}$ | 最大定格絶縁動作電圧 | AC 電圧で (正弦波) | 1500 | $V_{RMS}$ |
| | | DC 電圧で | 2120 | $V_{DC}$ |
| $V_{IOTM}$ | 最大過渡絶縁電圧 | $V_{TEST} = V_{IOTM}$、t = 60s (認定試験)、<br>$V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷時テスト) | 7000 | $V_{PK}$ |
| $V_{IMP}$ | 最大インパルス電圧 (3) | 気中でテスト、IEC 62368-1 に準拠した 1.2/50µs の波形 | 7700 | $V_{PK}$ |
| $V_{IOSM}$ | 最大サージ絶縁電圧(4) | IEC 62368-1 に準拠し油中でテスト (認定試験)、<br>1.2/50µs の波形 | 10000 | $V_{PK}$ |
| $q_{pd}$ | 見掛けの電荷(5) | 手法 a、入力 / 出力安全性テストのサブグループ 2 および 3 の後、<br>$V_{pd(ini)} = V_{IOTM}$、$t_{ini}$ = 60s、$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s | ≦ 5 | pC |
| | | 手法 a、環境テストのサブグループ 1 の後、<br>$V_{pd(ini)} = V_{IOTM}$、$t_{ini}$ = 60s、$V_{pd(m)} = 1.6 \times V_{IORM}$、$t_m$ = 10s | ≦ 5 | |
| | | 手法 b1、事前条件設定 (タイプ テスト) およびルーチン テスト、<br>$V_{pd(ini)} = 1.2 \times V_{IOTM}$、$t_{ini}$ = 1s、$V_{pd(m)} = 1.875 \times V_{IORM}$、$t_m$ = 1s | ≦ 5 | |
| | | 手法 b2、ルーチン テスト (100% 出荷時)(7)<br>$V_{pd(ini)} = V_{pd(m)} = 1.2 \times V_{IOTM}$、$t_{ini} = t_m$ = 1s | ≦ 5 | |
| $C_{IO}$ | バリア容量、入力から出力へ(6) | $V_{IO}$ = 0.5$V_{PP}$ (1MHz 時) | ≅1.5 | pF |
| $R_{IO}$ | 絶縁抵抗、入力から出力へ(6) | $V_{IO}$ = 500V ($T_A$ = 25℃時) | > $10^{12}$ | Ω |
| | | $V_{IO}$ = 500V (100℃ ≦ $T_A$ ≦ 125℃時) | > $10^{11}$ | |
| | | $V_{IO}$ = 500V ($T_S$ = 150℃時) | > $10^9$ | |
| | 汚染度 | | 2 | |
| | 耐候性カテゴリ | | 55/125/21 | |
| **UL1577** | | | | |
| $V_{ISO}$ | 絶縁耐圧 | $V_{TEST} = V_{ISO}$、t = 60s (認定試験)、<br>$V_{TEST} = 1.2 \times V_{ISO}$、t = 1s (100% 出荷時テスト) | 5000 | $V_{RMS}$ |

(1) アプリケーションに固有の機器の絶縁規格に従って沿面距離および空間距離の要件を適用します。基板設計では、沿面距離および空間距離を維持して、プリント基板 (PCB) のアイソレータの取り付けパッドによりこの距離が短くならないようにします。特定の場合には、PCB 上の沿面距離と空間距離は等しくなります。これらの規格値を増やすため、PCB 上にグルーブやリブを挿入するなどの技法が使用されます。

(2) この絶縁素子は安全定格内の *安全な電気的絶縁* のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。

(3) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。

(4) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。

(5) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。

(6) バリアのそれぞれの側にあるすべてのピンは互いに接続され、実質的に 2 ピンのデバイスになります。

(7) 正式運用環境では、手法 b1 または b2 のいずれかが使用されます。


Copyright © 2025 Texas Instruments Incorporated

## 6.9 安全関連認証 (基本絶縁)

| VDE | UL |
|---|---|
| DIN EN IEC 60747-17 (VDE 0884-17)、<br>EN IEC 60747-17、<br>DIN EN 61010-1 (VDE 0411-1) 条項:6.4.3、6.7.1.3、6.7.2.1、6.7.2.2、6.7.3.4.2、6.8.3.1 | 1577 component および<br>CSA component acceptance NO 5 programs により承認済み |
| 基本絶縁 | 単一保護 |
| 認証書番号:保留中 | ファイル番号:保留中 |

Copyright © 2025 Texas Instruments Incorporated

## 6.10 安全関連認証 (強化絶縁)

| VDE | UL |
|---|---|
| DIN EN IEC 60747-17 (VDE 0884-17)、<br>EN IEC 60747-17、<br>DIN EN IEC 62368-1 (VDE 0868-1)、<br>EN IEC 62368-1、<br>IEC 62368-1 条項:5.4.3、5.4.4.4、5.4.9 | 1577 component および<br>CSA component acceptance NO 5 programs により承認済み |
| 強化絶縁 | 単一保護 |
| 認証書番号:保留中 | ファイル番号:保留中 |


Copyright © 2025 Texas Instruments Incorporated

## 6.11 安全限界値 (D パッケージ)

安全限界値 (1) の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グランドあるいは電源との抵抗が低くなることがあります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $I_S$ | 安全入力、出力、または電源電流 | $R_{\theta JA}$ = 116.5°C/W、VDDx = 5.5V、$T_J$ = 150°C、$T_A$ = 25°C | | | 195 | mA |
| $P_S$ | 安全入力、出力、または合計電力 | $R_{\theta JA}$ = 116.5℃/W、$T_J$ = 150℃、$T_A$ = 25℃ | | | 1070 | mW |
| $T_S$ | 最高安全温度 | | | | 150 | °C |

(1) 最高安全温度 $T_S$ は、本デバイスに規定された最大接合部温度 $T_J$ と同じ値です。$I_S$ および $P_S$ パラメータはそれぞれ安全電流と安全電力を表します。
$I_S$ と $P_S$ の上限値を超えないようにします。これらの
制限値は周囲温度 $T_A$ によって変化します。
「熱に関する情報」の表にある、接合部から外気への熱抵抗 $R_{\theta JA}$ は、
リード付き表面実装パッケージ用の高誘電率テスト基板に実装されたデバイスのものです。次の式を使用して、各パラメータの値を計算します。
$T_J = T_A + R_{\theta JA} \times P$ (P はデバイスで消費される電力)。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$ ($T_{J(max)}$ は最大接合部温度)。
$P_S = I_S \times VDD_{max}$ ($VDD_{max}$ はハイサイドとローサイドの最大電源電圧)。

Copyright © 2025 Texas Instruments Incorporated

## 6.12 安全限界値 (DWV パッケージ)

安全限界値 (1) の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グランドあるいは電源との抵抗が低くなることがあります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $I_S$ | 安全入力、出力、または電源電流 | $R_{\theta JA}$ = 102.8°C/W、VDDx = 5.5V、$T_J$ = 150°C、$T_A$ = 25°C | | | 220 | mA |
| $P_S$ | 安全入力、出力、または合計電力 | $R_{\theta JA}$ = 102.8℃/W、$T_J$ = 150℃、$T_A$ = 25℃ | | | 1210 | mW |
| $T_S$ | 最高安全温度 | | | | 150 | °C |

(1) 最高安全温度 $T_S$ は、本デバイスに規定された最大接合部温度 $T_J$ と同じ値です。$I_S$ および $P_S$ パラメータはそれぞれ安全電流と安全電力を表します。
$I_S$ と $P_S$ の上限値を超えないようにします。これらの
制限値は周囲温度 $T_A$ によって変化します。
「熱に関する情報」の表にある、接合部から外気への熱抵抗 $R_{\theta JA}$ は、
リード付き表面実装パッケージ用の高誘電率テスト基板に実装されたデバイスのものです。次の式を使用して、各パラメータの値を計算します。
$T_J = T_A + R_{\theta JA} \times P$ (P はデバイスで消費される電力)。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$ ($T_{J(max)}$ は最大接合部温度)。
$P_S = I_S \times VDD_{max}$ ($VDD_{max}$ はハイサイドとローサイドの最大電源電圧)。


Copyright © 2025 Texas Instruments Incorporated

## 6.13 電気的特性

最小および最大仕様は、$T_A$ = –40°C ～ +125°C、VDD1 = 3.0V ～ 5.5V、VDD2 = 3.0V ～ 5.5V、$V_{INP}$ = –50mV ～ +50mV、および $V_{INN}$ = 0V に適用されます。標準仕様は、$T_A$ = 25°C、VDD1 = 5V、および VDD2 = 3.3V (特に明記されていない限り) で測定されます

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| **アナログ入力** | | | | | | |
| $C_{IN}$ | 実効入力サンプリング容量 | | | 8 | | pF |
| $R_{IN}$ | 入力インピーダンス | | 5.3 | 6.3 | 7.3 | kΩ |
| $I_{INP}$ | 入力電流 | $V_{IN} = (V_{INP} – V_{INN}) = V_{FSR, MAX}$ | | 8 | | µA |
| $I_{INN}$ | 入力電流 | $V_{IN} = (V_{INP} – V_{INN}) = V_{FSR, MAX}$ | | -8 | | µA |
| CMTI | 同相過渡耐性 | \|GND1 – GND2\| = 1kV | 150 | | | V/ns |
| **アナログ出力** | | | | | | |
| | 公称ゲイン | | | 41 | | V/V |
| $V_{CMout}$ | 同相出力電圧 | | 1.39 | 1.44 | 1.50 | V |
| $V_{CLIPout}$ | クリッピング差動出力電圧 | $V_{OUT} = (V_{OUTP} – V_{OUTN})$;<br>$\|V_{IN}\| = \|V_{INP} – V_{INN}\| > \|V_{Clipping}\|$ | -2.52 | ±2.49 | 2.52 | V |
| $V_{FAILSAFE}$ | フェイルセーフ差動出力電圧 | VDD1 が見つかりません | -2.63 | -2.57 | -2.53 | V |
| $R_{OUT}$ | 出力抵抗 | OUTP または OUTN の場合 | | <0.2 | | Ω |
| | 出力短絡検出電流 | OUTP または OUTN で、ソースまたはシンク、<br>INN = INP = GND1 で、<br>出力は GND2 または VDD2 に短絡しています | | 11 | | mA |
| **DC 精度** | | | | | | |
| $V_{OS}$ | オフセット電圧(1) (2) | $T_A$ = 25°C、INP = INN = GND1 | -50 | ±4 | 50 | µV |
| $TCV_{OS}$ | オフセットドリフト(1) (2) (4) | | -0.9 | ±0.1 | 0.9 | µV/°C |
| $E_G$ | ゲイン誤差(1) | $T_A$ = 25°C | -0.2% | ±0.04 | 0.2% | |
| $TCE_G$ | ゲインドリフト(1) (5) | | -45 | ±5 | 45 | ppm/°C |
| | 非線形性(1) | | -0.04% | | 0.04% | |
| | 出力ノイズ電圧 | INP = INN = GND1、$f_{IN}$ = 0Hz、<br>BW = 100kHz ブリックウォール フィルタ | | 410 | | $µV_{RMS}$ |
| CMRR | 同相除去比 | $f_{IN}$ = 0Hz、$V_{CM\ min} ≤ V_{CM} ≤ V_{CM\ max}$ | | -100 | | dB |
| | | $f_{IN}$ = 10kHz、$V_{CM\ min} ≤ V_{CM} ≤ V_{CM\ max}$ | | -100 | | |
| PSRR | 電源除去比(2) | VDD1 DC PSRR、INP = INN = GND1、<br>VDD1 を 3V ～ 5.5V に | | -113 | | dB |
| | | VDD1 AC PSRR、INP = INN = GND1、<br>VDD1、10kHz/100mV リップル | | -92 | | |
| | | VDD2 DC PSRR、INP = INN = GND1、<br>VDD2 を 3V ～ 5.5V に | | -116 | | |
| | | VDD2 AC PSRR、INP = INN = GND1、<br>VDD2、10kHz/100mV リップル | | -94 | | |
| **AC 精度** | | | | | | |
| BW | 出力帯域幅 | | 220 | 295 | | kHz |
| THD | 全高調波歪(3) | $f_{IN}$ = 10kHz | | -80 | | dB |
| SNR | 信号対雑音比 | $f_{IN}$ = 1kHz、BW = 10kHz | 80 | 84 | | dB |
| | | $f_{IN}$ = 10kHz、BW = 100kHz | | 75 | | |
| **電源** | | | | | | |
| IDD1 | ハイサイド電源電流 | | | 5.6 | 6.9 | mA |

Copyright © 2025 Texas Instruments Incorporated

最小および最大仕様は、$T_A$ = –40°C ～ +125°C、VDD1 = 3.0V ～ 5.5V、VDD2 = 3.0V ～ 5.5V、$V_{INP}$ = –50mV ～ +50mV、および $V_{INN}$ = 0V に適用されます。標準仕様は、$T_A$ = 25°C、VDD1 = 5V、および VDD2 = 3.3V (特に明記されていない限り) で測定されます

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| IDD2 | ローサイド電源電流 | | | 6.4 | 9.9 | mA |
| $VDD1_{UV}$ | ハイサイド低電圧検出スレッショルド | VDD1 の立ち上がり | 2.5 | 2.6 | 2.7 | V |
| | | VDD1 の立ち下がり | 1.9 | 2.0 | 2.1 | |
| $VDD2_{UV}$ | ローサイドの低電圧検出スレッショルド | VDD2 の立ち上がり | 2.3 | 2.5 | 2.7 | V |
| | | VDD2 の立ち下がり | 1.9 | 2.05 | 2.2 | |

(1) 標準値には、公称動作条件での 1 つの標準偏差 (シグマ) が含まれます。
(2) このパラメータは入力換算です。
(3) THD は、最初の 5 つの高次高調波の振幅の rms 合計と、基本波の振幅との比です。
(4) オフセット誤差温度ドリフトは、次の式で説明されるボックス法を使用して計算されます。
*$TCV_{OS}$ = ($V_{OS,MAX}$ - $V_{OS,MIN}$) / TempRange*、ここで、$V_{OS,MAX}$ および $_{OS,MIN}$ は、温度範囲 (–40 ～ 125℃) で測定された最大および最小 $V_{OS}$ 値を指します。
(5) ゲイン誤差の温度ドリフトは、次の式で記述されるボックス法を使用して計算されます。
*$TCE_G$ (ppm) = (($E_{G,MAX}$ - $E_{G,MIN}$) / TempRange) x $10^4$* 、ここで、$E_{G,MAX}$ および $E_{G,MIN}$ は、温度範囲 (-40 ～ 125℃) で測定された最大および最小 $E_G$ 値 (%) を表します。

## 6.14 スイッチング特性

動作時周囲温度範囲内 (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $t_r$ | 出力信号の立ち上がり時間 | | | 1.7 | | µs |
| $t_f$ | 出力信号の立ち下がり時間 | | | 1.7 | | µs |
| | $V_{INx}$ to $V_{OUTx}$ への信号遅延 (50% ～ 10%) | フィルタなしの出力 | | 0.8 | 1.3 | µs |
| | $V_{INx}$ to $V_{OUTx}$ への信号遅延 (50% ～ 50%) | フィルタなしの出力 | | 1.6 | 2.1 | µs |
| | $V_{INx}$ to $V_{OUTx}$ への信号遅延 (50% ～ 90%) | フィルタなしの出力 | | 2.5 | 3 | µs |
| $t_{AS}$ | アナログ セトリング タイム | VDD1 を 3.0V にステップアップ (VDD2 ≥ 3.0V)、$V_{OUTP}$、$V_{OUTN}$ 有効、0.1% セトリング | | 20 | 100 | µs |

## 6.15 タイミング図

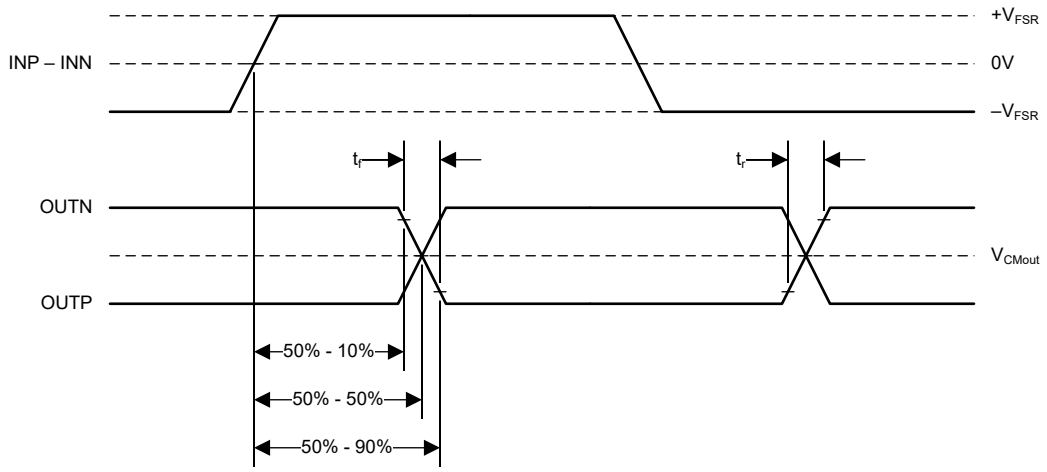



**図 6-1. 立ち上がり、立ち下がり、遅延時間の波形**


Copyright © 2025 Texas Instruments Incorporated

## 6.16 絶縁特性曲線

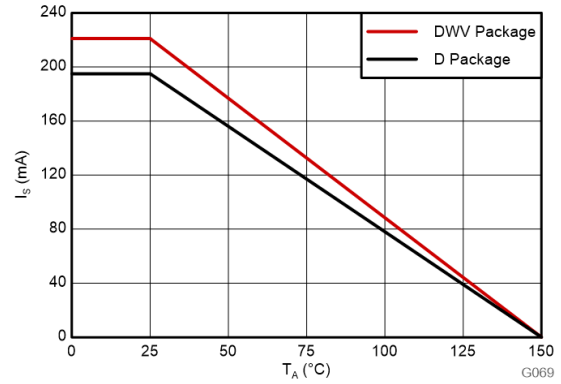



図 6-2. VDE に従う安全性制限電流の熱特性低下曲線

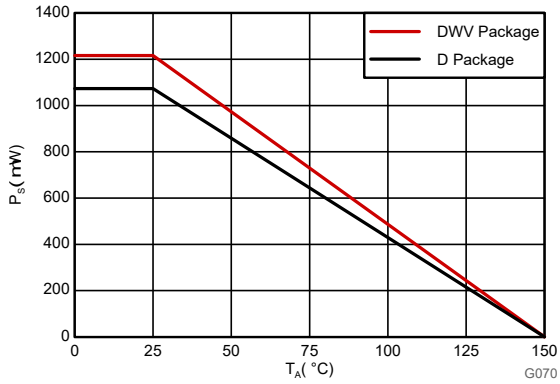
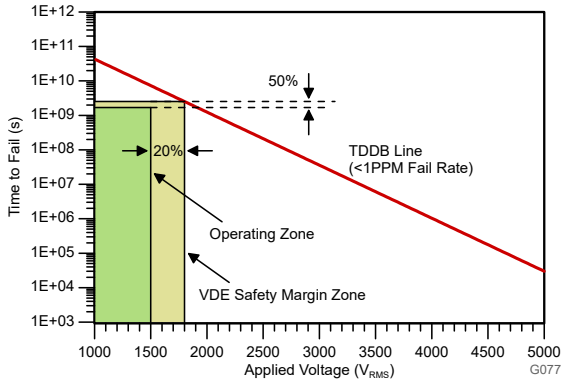
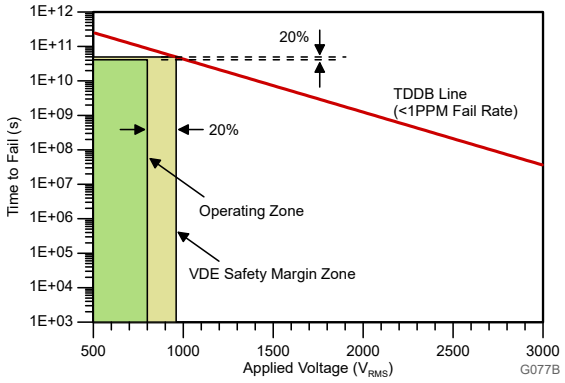



図 6-3. VDE に従う安全性制限電力の熱特性低下曲線




150℃ までの $T_A$、ストレス電圧周波数 = 60Hz、絶縁動作電圧 = $1500V_{RMS}$、
予測動作寿命 = 50 年

図 6-4. 絶縁コンデンサの寿命推定
(強化絶縁)




150℃ までの $T_A$、ストレス電圧周波数 = 60Hz、絶縁動作電圧 = $800V_{RMS}$、
予測動作寿命 >> 100 年

図 6-5. 絶縁コンデンサの寿命推定
(基本絶縁)

## 6.17 代表的特性

VDD1 = 5V、VDD2 = 3.3V、VINP = –50mV ～ 50mV、VINN = 0V、および $f_{IN}$ = 10kHz (特に記述のない限り)

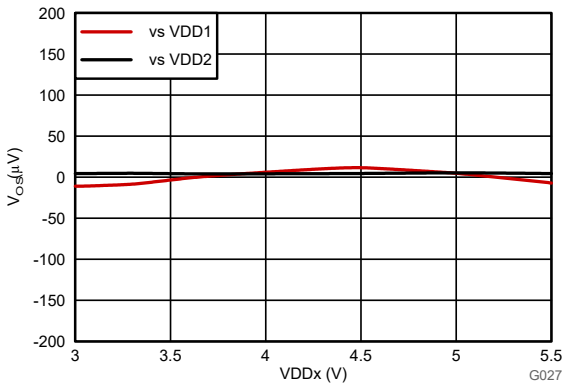



図 6-6. 入力オフセット電圧と電源電圧との関係

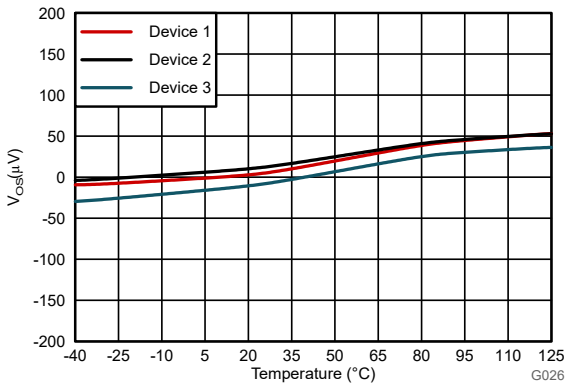



図 6-7. 入力オフセット電圧と温度との関係

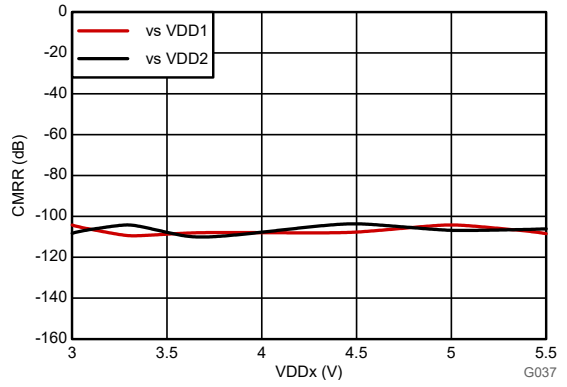



図 6-8. 同相除去比と電源電圧との関係

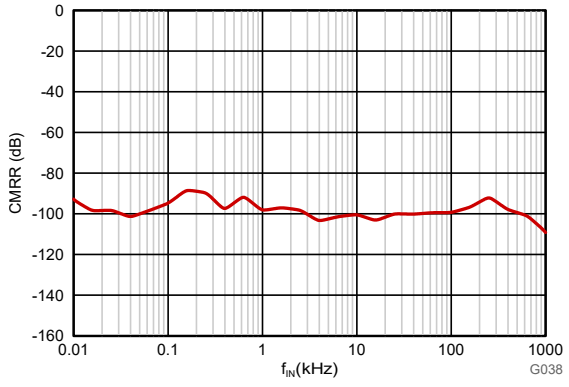



図 6-9. 同相除去比と入力周波数との関係

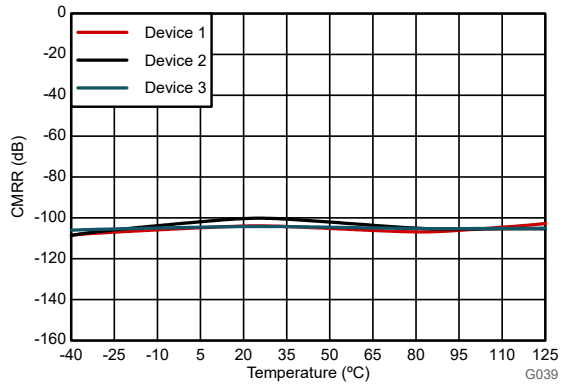



図 6-10. 同相除去比と温度との関係

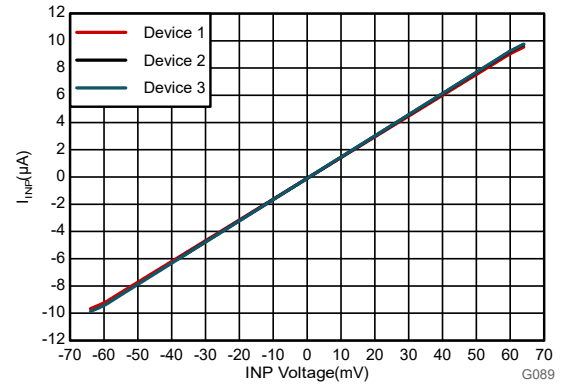



図 6-11. 入力電流と入力電圧との関係


Copyright © 2025 Texas Instruments Incorporated

## 6.17 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V、VINP = –50mV ～ 50mV、VINN = 0V、および $f_{IN}$ = 10kHz (特に記述のない限り)

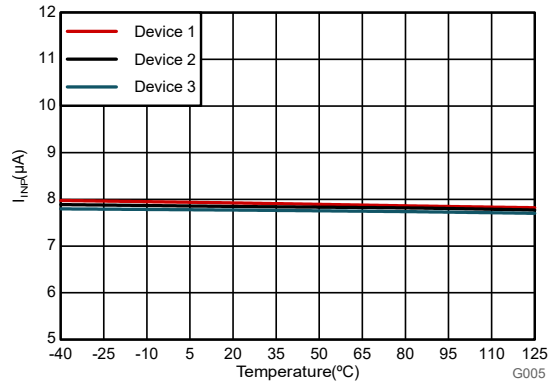



図 6-12. 入力電流と温度との関係

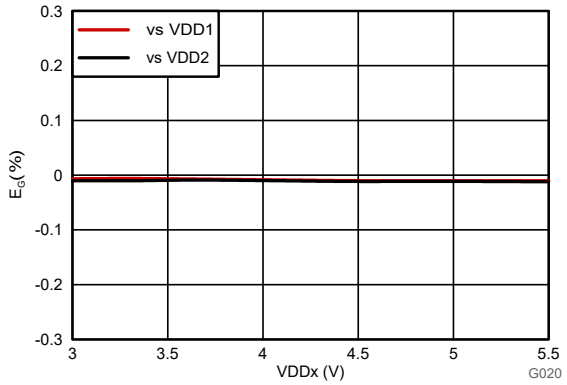



図 6-13. ゲイン誤差と電源電圧との関係

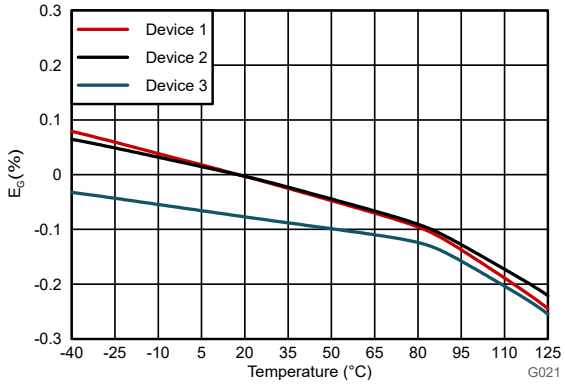



図 6-14. ゲイン誤差と温度との関係

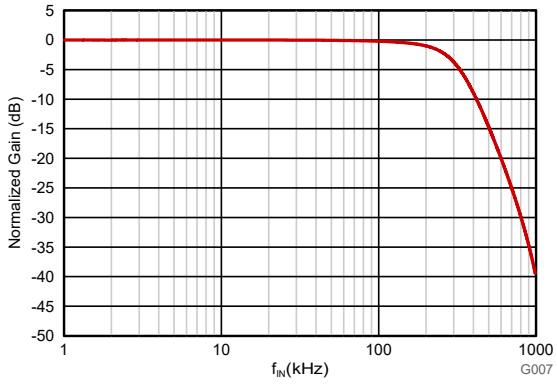



図 6-15. 正規化ゲインと入力周波数との関係

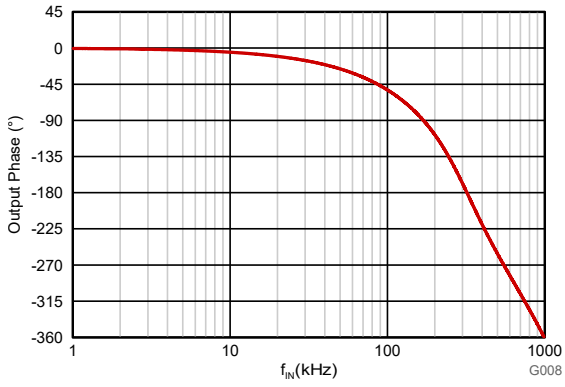



図 6-16. 出力位相と入力周波数との関係

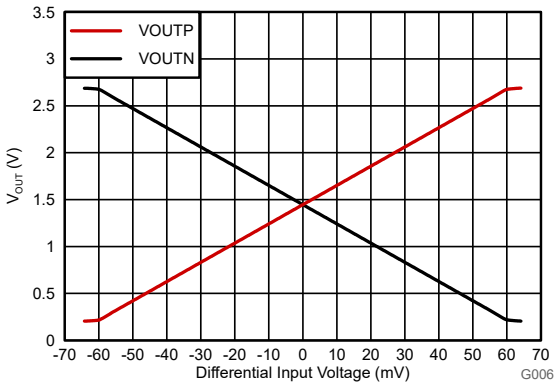
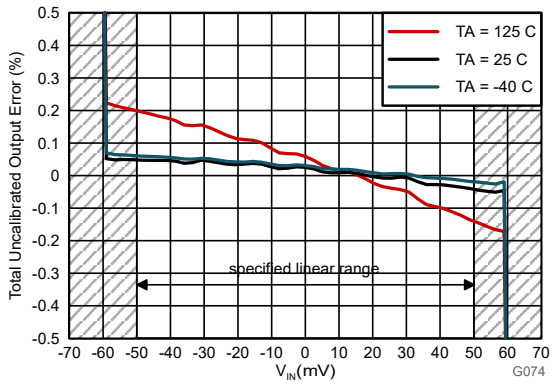



図 6-17. 出力電圧と入力電流との関係

Copyright © 2025 Texas Instruments Incorporated

## 6.17 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V、VINP = –50mV ～ 50mV、VINN = 0V、および $f_{IN}$ = 10kHz (特に記述のない限り)




キャリブレーションなしの総合出力誤差は、$(V_{OUT}/G – V_{IN})/(V_{Clipping} × 100)$ として定義されます。ここで、G はデバイスの公称ゲイン (41V/V)、$V_{Clipping}$ は 0.064V です

**図 6-18. 未調整誤差と入力電圧との関係**

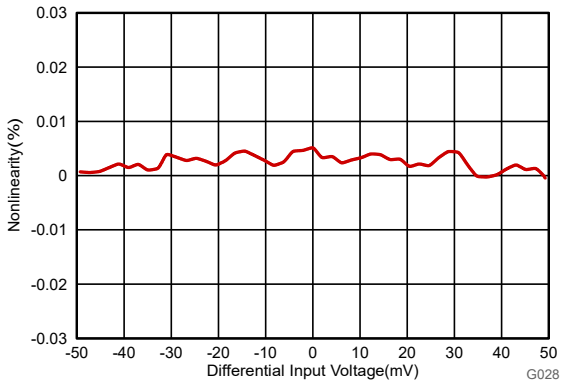



**図 6-19. 非直線性と入力電圧との関係**

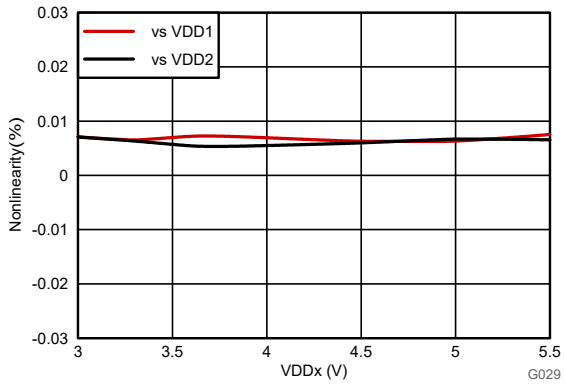



**図 6-20. 非線形性と電源電圧との関係**

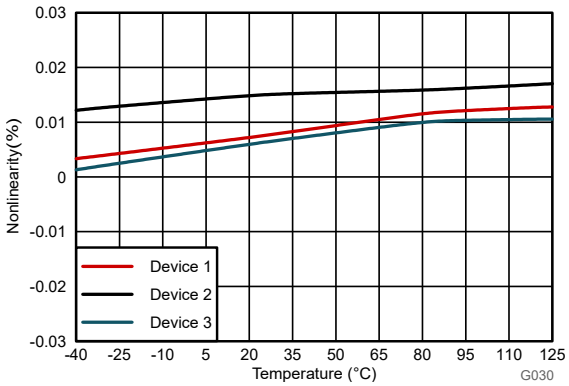



**図 6-21. 非直線性と温度との関係**

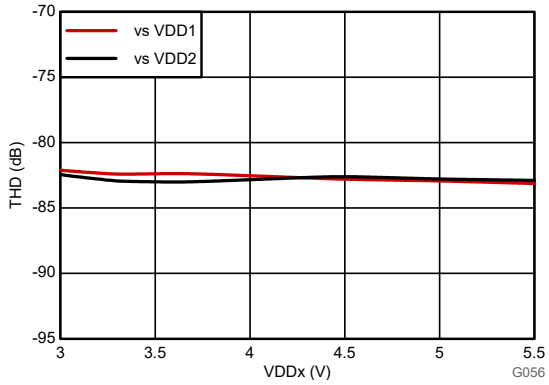



**図 6-22. 合計高調波歪みと電源電圧との関係**

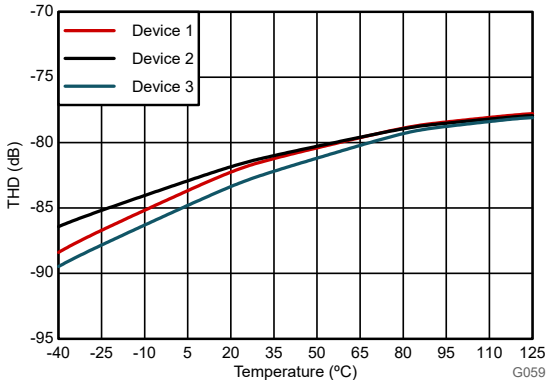



**図 6-23. 全高調波歪みと温度との関係**


Copyright © 2025 Texas Instruments Incorporated

## 6.17 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V、VINP = –50mV ～ 50mV、VINN = 0V、および $f_{IN}$ = 10kHz (特に記述のない限り)

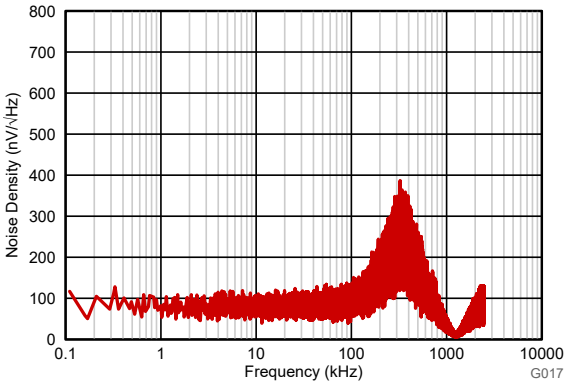



図 6-24. 入力換算ノイズ密度と周波数との関係

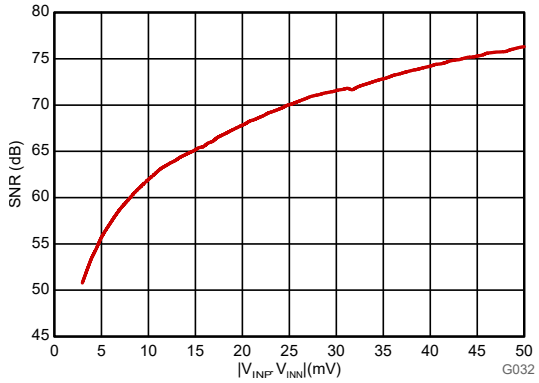



図 6-25. 信号対雑音比と電圧との関係

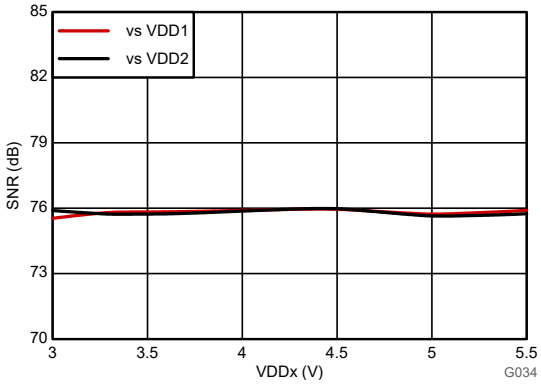



図 6-26. 信号対雑音比と電源電圧との関係

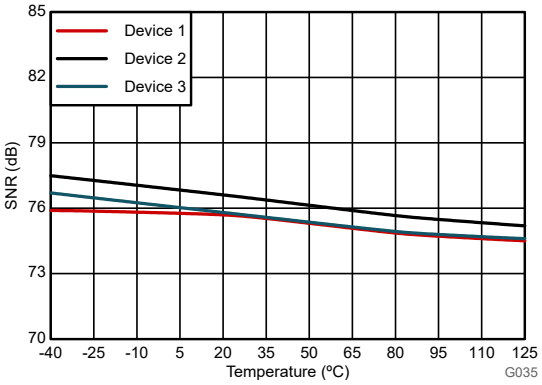



図 6-27. 信号対雑音比と温度との関係

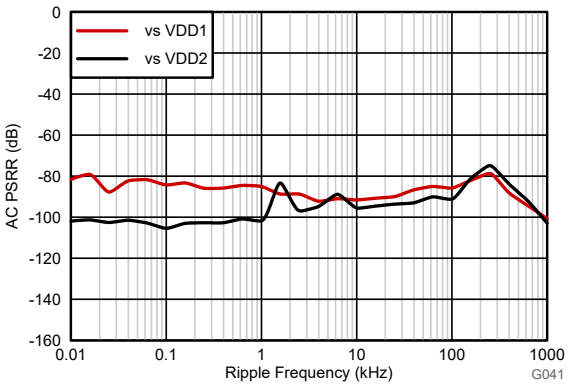



図 6-28. 電源除去比とリップル周波数との関係

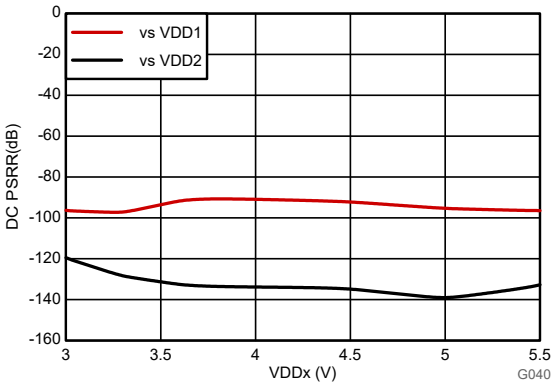



図 6-29. 電源除去比と電源電圧との関係

## 6.17 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V、VINP = –50mV ～ 50mV、VINN = 0V、および $f_{IN}$ = 10kHz (特に記述のない限り)

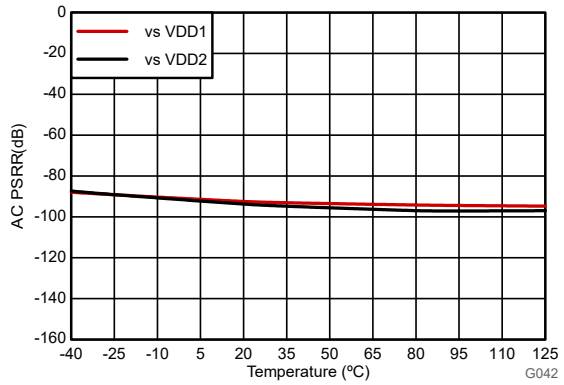



図 6-30. 電源除去比と温度との関係

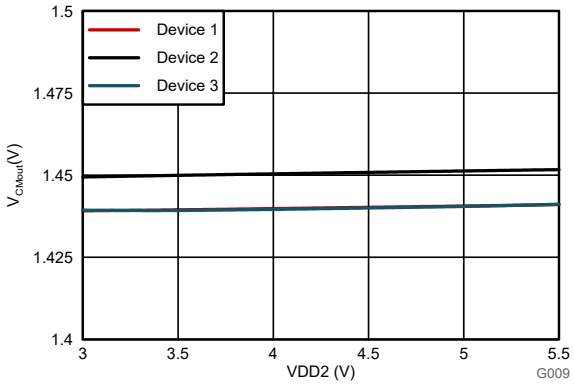



図 6-31. 出力同相電圧と 2 次側電源電圧との関係

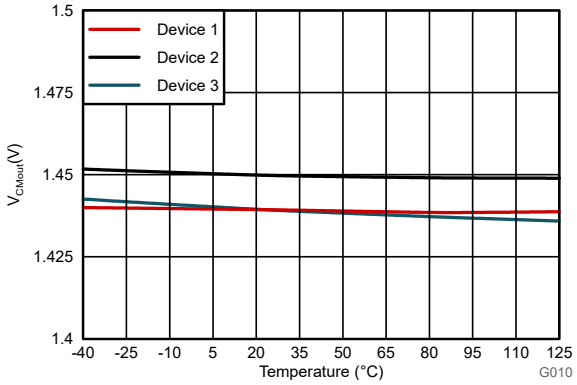



図 6-32. 出力同相電圧と温度との関係

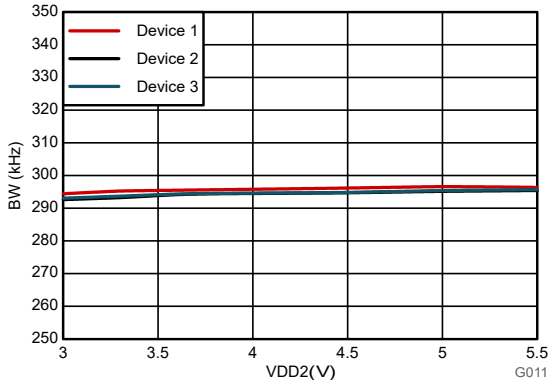



図 6-33. 出力帯域幅と 2 次側電源電圧との関係

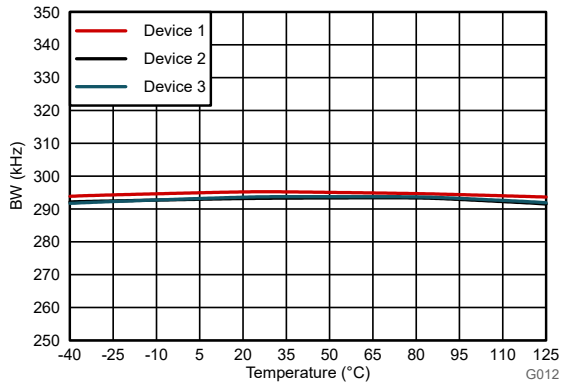



図 6-34. 出力帯域幅と温度との関係

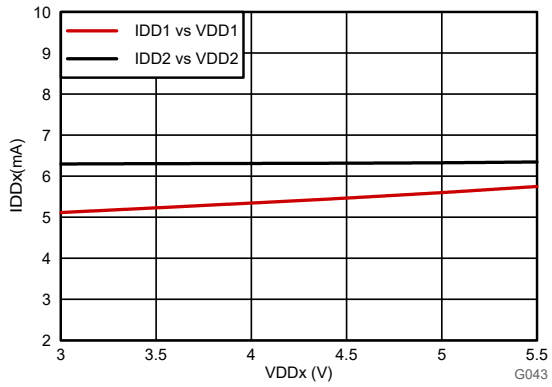



図 6-35. 電源電流と電源電圧との関係


Copyright © 2025 Texas Instruments Incorporated

## 6.17 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V、VINP = –50mV ～ 50mV、VINN = 0V、および $f_{IN}$ = 10kHz (特に記述のない限り)

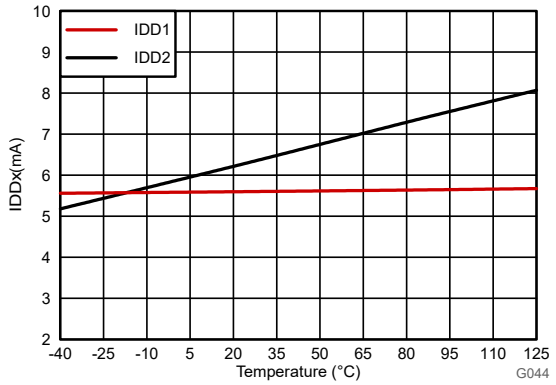



図 6-36. 電源電流と温度との関係

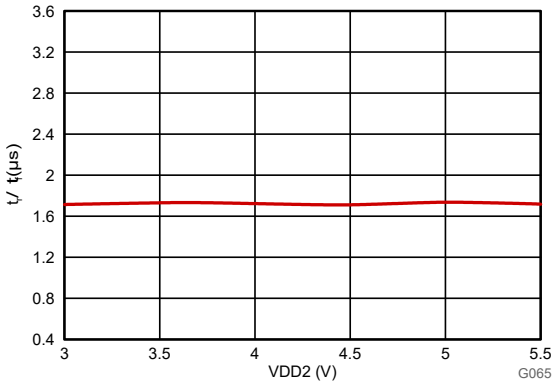



図 6-37. 出力の立ち上がりおよび立ち下がり時間とローサイド電源との関係

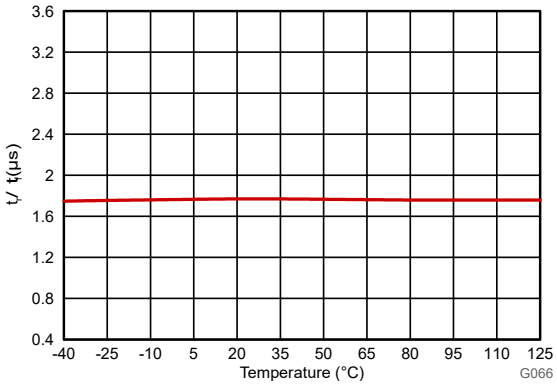



図 6-38. 出力の立ち上がりおよび立ち下がり時間と温度との関係

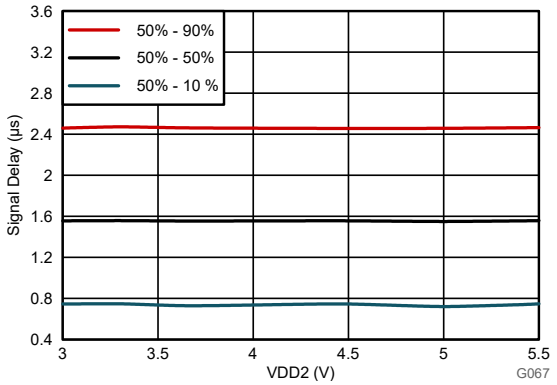



図 6-39. $V_{IN}$ から $V_{OUT}$ への信号遅延とローサイド電源電圧との関係

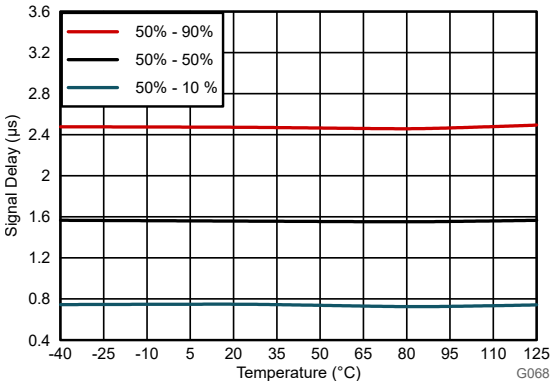



図 6-40. $V_{IN}$ から $V_{OUT}$ への信号遅延と温度との関係

# 7 詳細説明

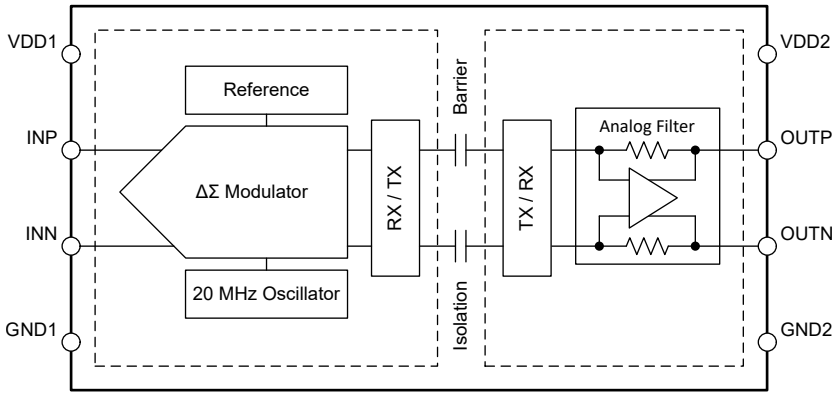
## 7.1 概要

AMC0x02D は、±50mV、差動入力、差動出力。デバイスの入力段は、2 次デルタ シグマ (ΔΣ) 変調器を駆動します。変調器は、アナログ入力信号を、ハイ サイドとロー サイドを分離する絶縁バリアを介して転送されるデジタル ビット ストリームに変換します。

ローサイドでは、受信したビット ストリームは OUTP ピンと OUTN ピンに差動信号を出力する 4 次アナログ フィルタで処理されます。この差動出力信号は、入力信号に比例します。

$SiO_2$ ベースの容量性絶縁バリアは、*ISO72x デジタル アイソレータの磁場耐性アプリケーション ノート*に記載されているように、高いレベルの磁場耐性をサポートします。AMC0x02D で使用されるデジタル変調により、絶縁バリアをまたぐデータが送信されます。この変調と絶縁バリアの特性から、高い信頼性と、高い同相過渡耐性が得られます。

## 7.2 機能ブロック図





Copyright © 2025 Texas Instruments Incorporated

## 7.3 機能説明

### 7.3.1 アナログ入力

INP ピンの高インピーダンス の入力バッファは、2 次のスイッチング コンデンサ、フィードフォワード ΔΣ 変調器に電力を供給します。変調器は、*絶縁チャネルの信号伝送* セクションで説明されているように、アナログ信号をビットストリームに変換します。ビットストリームは、絶縁バリアをまたぐ転送されます。

アナログ入力信号には 2 つの制限があります。まず、入力電圧が *絶対最大定格* 表に規定された値を超える場合は、入力電流を 10mA に制限する必要があります。この制限は、デバイスの入力静電放電 (ESD) ダイオードがオンになることによって発生します。第 2 に、直線性とノイズ性能は、入力電圧が線形性のフルスケール範囲 ($V_{FSR}$) 内にあるときのみ規定されます。$V_{FSR}$ は *推奨動作条件* 表に指定されています。

### 7.3.2 絶縁チャネルの信号伝送

図 7-1 に示されているように、AMC0x02D は、オン / オフ キーイング (OOK) 変調方式を使用して、変調器の出力ビットストリームを、$SiO_2$ ベースの絶縁膜間で伝送します。送信ドライバ (TX) をに *機能ブロック図* 示します。TX は、内部で生成された高周波キャリアを絶縁バリア越しに送信し、デジタル *1* を表現します。ただし、TX はデジタル *0* を表す信号を送信しません。AMC0x02D で使用されるキャリアの公称周波数は 480MHz です。

絶縁バリアの反対側にある受信機 (RX) は信号を回復して復調し、アナログ フィルタに入力を提供します。AMC0x02D の送信チャネルは、同相過渡耐性 (CMTI) を最大限に高め、放射妨害波を最小限に抑えるように最適化されています。高周波キャリアと RX/TX バッファのスイッチングにより、これらの放射が発生します。

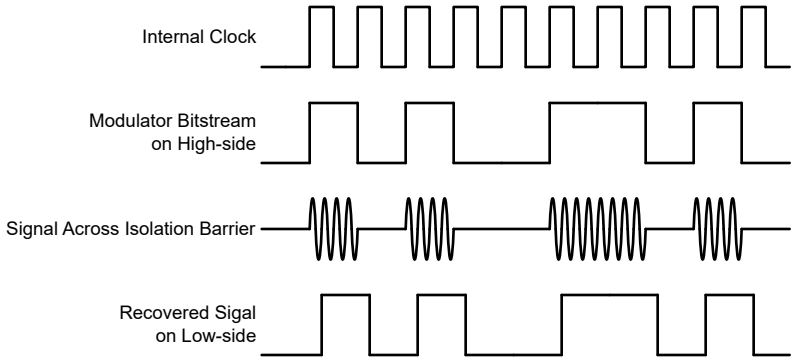



**図 7-1. OOK ベースの変調方式**

### 7.3.3 アナログ出力

AMC0x02D は、入力電圧に比例した OUTP ピンおよび OUTN ピンに差動アナログ出力電圧を提供します。$V_{FSR, MIN}$ から $V_{FSR, MAX}$ までの入力電圧範囲について、デバイスは次のような線形応答を行います。出力電圧は次のようになります。

$$V_{OUT} = V_{OUTP} – V_{OUTN} = 41 \times V_{IN} = 41 \times (V_{INP} – V_{INN}) \quad (1)$$

ゼロ入力では、両方のピンが *電気的特性* の表に規定されているように、同じ同相出力電圧 $V_{CMout}$ を出力します。絶対入力電圧が $|V_{FSR}|$ を超え、$|V_{Clipping}|$ を下回る場合、差動出力電圧の大きさは引き続き増加しますが、直線性性能は低下します。入力電圧が $V_{clipping}$ 値を超える場合、出力は、図 7-2 に示すように $V_{CLIPout}$ の差動出力電圧で飽和します。

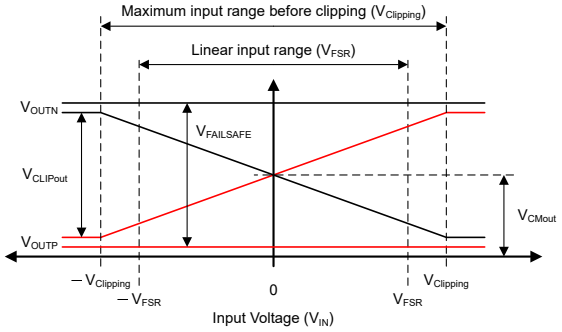



**図 7-2. AMC0x02D の入力から出力への伝達曲線**

AMC0x02D 出力ではフェイルセーフ機能が備わっているため、システム レベルでの診断が容易になります。図 7-2 はフェイルセーフ モードでの動作を示しており、AMC0x02D は通常の動作条件では発生しない負の差動出力電圧を出力します。フェイルセーフ出力がアクティブです。

- これは、AMC0x02D デバイスの 1 次側電源 VDD1 が存在しない場合です
- 1 次側電源 VDD1 が低電圧閾値電圧 $VDD1_{UV}$ を下回ると

*電気的特性* 表に規定されている最大 $V_{FAILSAFE}$ 電圧を、システム レベルでのフェイルセーフ検出の基準値として使用してください。


Copyright © 2025 Texas Instruments Incorporated

## 7.4 デバイスの機能モード

AMC0x02D は、次の状態のいずれかで動作します。

- OFF 状態:ローサイド電源 (VDD2) は $VDD2_{UV}$ スレッショルドを下回っています。デバイスが応答しません。OUTP と OUTN は Hi-Z 状態です。内部では、OUTP および OUTN は ESD 保護ダイオードによって VDD2 および GND2 にクランプされます。
- ハイサイド電源喪失:デバイス (VDD2) のローサイドに電源が供給され、「推奨動作条件」内です。ハイサイド電源 (VDD1) は $VDD1_{UV}$ スレッショルドを下回っています。このデバイスは $V_{FAILSAFE}$ 電圧を出力します。
- アナログ入力オーバーレンジ (正のフルスケール入力):VDD1 および VDD2 は推奨動作条件の範囲内ですが、アナログ入力電圧 $V_{IN}$ は最大クリッピング電圧 $V_{Clipping,Clipping, MAX}$ を上回っています。このデバイスは正の $V_{CLIPout}$ を出力します。
- アナログ入力アンダーレンジ (負のフルスケール入力):VDD1 および VDD2 は推奨動作条件の範囲内ですが、アナログ入力電圧 $V_{IN}$ は最小クリッピング電圧 $V_{Clipping,Clipping, min}$ を下回っています。このデバイスは負の $V_{CLIPout}$ を出力します。
- 通常動作の場合:VDD1、VDD2、$V_{IN}$ は推奨動作条件内です。このデバイスは、入力電圧に比例する差動電圧を出力します。

表 7-1 に、動作モードを示します。

**表 7-1. デバイスの動作モード**

| 動作条件 | VDD1 | VDD2 | $V_{IN}$ | デバイス<br>の応答 |
|---|---|---|---|---|
| オフ | 未使用 | VDD2 < $VDD2_{UV}$ | 未使用 | OUTP と OUTN は Hi-Z 状態です。内部では、OUTP および OUTN は ESD 保護ダイオードによって VDD2 および GND2 にクランプされます。 |
| ハイサイド電源喪失 | VDD1 < $VDD1_{UV}$ | 有効(1) | 未使用 | このデバイスは $V_{FAILSAFE}$ 電圧を出力します。 |
| 入力オーバーレンジ | 有効(1) | 有効(1) | $V_{IN}$ > $V_{Clipping, MAX}$ | このデバイスは正の $V_{CLIPout}$ を出力します。 |
| アンダーレンジ入力 | 有効(1) | 有効(1) | $V_{IN}$ < $V_{Clipping, MIN}$ | このデバイスは負の $V_{CLIPout}$ を出力します。 |
| 通常動作 | 有効(1) | 有効(1) | 有効(1) | このデバイスは、入力電圧に比例する差動電圧を出力します。 |

(1) 「*Valid*」は一、推奨動作条件の範囲内での動作を示します。

Copyright © 2025 Texas Instruments Incorporated

# 8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

## 8.1 アプリケーション情報

AMC0x02D はアナログ入力電圧範囲が低く、高精度、低い温度ドリフト、高い同相過渡耐性を備えています。AMC0x02D は、主に高い同相電圧が存在する状況で正確な電流監視が必要なシャントベースの電流検出アプリケーション向けに設計されています。AMC0x02D は、モータードライブ、周波数インバータ、無停電電源 (UPS) アプリケーションにおける絶縁型電流センシングに推奨されます。

## 8.2 代表的なアプリケーション

下図は、代表的なアプリケーションにおける AMC0x02D を示しています。外部のシャント抵抗 RSHUNT を流れる負荷電流によって電圧降下が生じます。AMC0x02D はハイサイド回路シャント抵抗の両端での電圧降下を検出し、その後デジタル化を行い、絶縁バリアをまたぐ形でローサイドにデータを転送します。ローサイド回路は、デジタル化されたデータをアナログ信号に再構築し、出力ピンに差動電圧として信号を供給します。

AMC0x02D の差動入力、デジタル出力、および高いコモンモード過渡耐性 (CMTI) により、ノイズの多い環境でも信頼性が高く正確な動作が可能になります。

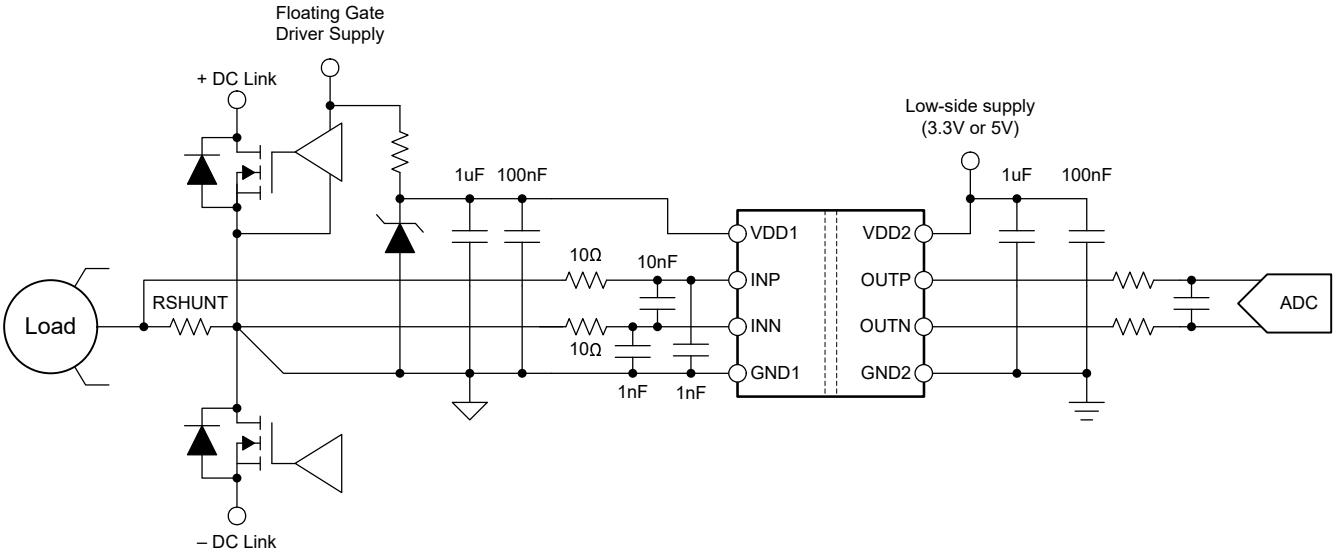



**図 8-1. 代表的なアプリケーションでの電流検出に AMC0x02D を使用**


Copyright © 2025 Texas Instruments Incorporated

### 8.2.1 設計要件

表 8-1 に、この代表的なアプリケーションのパラメータを一覧します。

**表 8-1. 設計要件**

| パラメータ | 値 |
|---|---|
| ハイサイド電源電圧 | 3.3V または 5V |
| ローサイド電源電圧 | 3.3V または 5V |
| 線形応答に関する RSHUNT にまたがる電圧低下 | ±50mV (最大値) |

### 8.2.2 詳細な設計手順

*代表的なアプリケーション* 図では、AMC0x02D のハイサイド電源 (VDD1) は、上側ゲート ドライバのフローティング電源から供給されます。

フローティング グラウンド基準 (GND1) は、AMC0x02D の負入力 (INN) に接続されたシャント抵抗の端子から取得されます。4 ピンのシャントを使用する場合、AMC0x02D の入力は内部リードに接続されます。次に、GND1 はシャントの INN 側の外側のリードに接続されます。オフセットを最小限に抑えて精度を向上させるには、シャント抵抗器に直接接続する別のトレースとしてグランド接続を配線します。デバイスの入力では、GND1 を INN に直接短絡しないでください。詳細については、*レイアウト例* セクションを参照してください。

目的の測定電流について、シャント抵抗の両端の電圧低下 ($V_{SHUNT}$) は、オームの法則で計算されます。

$$V_{SHUNT} = I \times RSHUNT \quad (2)$$

次の 2 つの条件を満たすように RSHUNT 値を選択します。

- まず、公称電流範囲により発生する電圧低下が、推奨の差動入力電圧範囲 $V_{SHUNT} \leq \pm 50mV$ を超えてはいけません。
- 第二に、許容される最大過電流により発生する電圧低下が、クリッピング出力を起こす入力電圧を超えてはいけません。$V_{SHUNT} \leq V_{Clipping}$ を維持します。

#### 8.2.2.1 入力フィルタの設計

絶縁型アンプの前に差動 RC フィルタ (R1、R2、C5) を配置し、信号路の信号対雑音比性能を向上させます。入力フィルタは次のように設計します。

- フィルタのカットオフ周波数は、ΔΣ 変調器のサンプリング周波数 (20MHz) より 1 桁以上低い値
- 入力バイアス電流では、入力フィルタの DC インピーダンスの両端で大きな電圧降下は発生しない
- アナログ入力から測定されたインピーダンスは等しい

高周波 (1MHz) での同相除去を改善し、オフセット電圧性能を向上させるために、コンデンサ C6 および C7 を配置します。最高の性能を得るには、C6 が C7 の値と一致し、両方のコンデンサの容量が C5 の 10 ～ 20 分の 1 となるようにします。NP0 タイプのコンデンサは温度ドリフトと電圧係数が低く、同相モード フィルタリングに適しています。

ほとんどのアプリケーションでは、図 8-2 に示す構造により優れた性能を実現します。

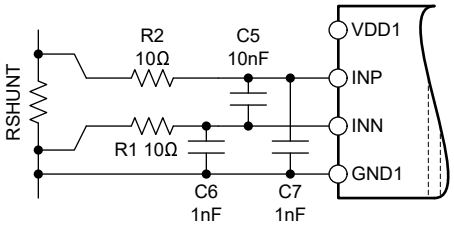



**図 8-2. 入力フィルタ**

#### 8.2.2.2 差動からシングルエンドへの出力変換

多くのシステムで、AMC0x02D の差動出力に直接接続できないシングルエンド入力を持つ ADC が使用されています。図 8-3 に、差動出力信号を ADC の前段のシングルエンド信号に変換する回路を示します。R1 = R3 および R2 = R4 の場合、出力電圧は (R2/R1) × ($V_{OUTP}$ - $V_{OUTN}$) + $V_{REF}$ と等しくなります。C1 = C2 の場合、フィルタの帯域幅は 1 / (2 × π × C1 × R1) になります。システムの帯域幅要件と一致するようにフィルタの帯域幅を設定します。直線性を最大限に高めるには、電圧係数 (NP0 タイプのコンデンサなど) の低いコンデンサを使用します。ほとんどのアプリケーションで、R1 = R2 = R3 = R4 = 3.3kΩ および C1 = C2 = 330pF となり、良好な性能が得られます。

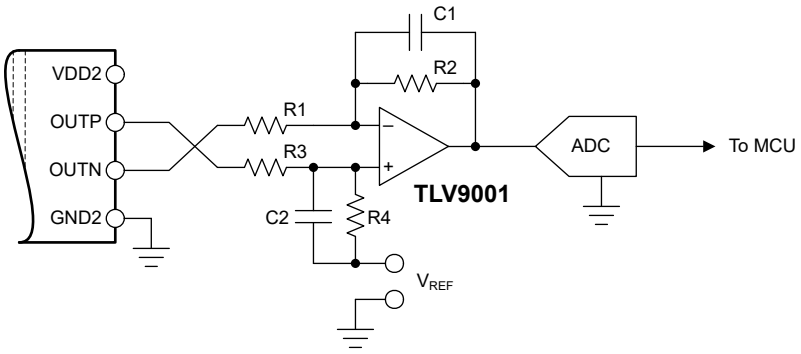



**図 8-3. AMC0x02D 出力をシングルエンド入力 ADC に接続する**

以下のリファレンス ガイドでは、SAR ADC のフィルタ処理段と駆動段を設計する一般的な手順について、詳しく説明します。これらのリファレンス ガイドは、www.ti.com からダウンロードできます。

- *『歪みとノイズが最低になるよう最適化された 18 ビット、1MSPS データ収集ブロック (DAQ)』リファレンス ガイド*
- *『消費電力が最低になるよう最適化された 18 ビット データ収集ブロック (DAQ)』リファレンス ガイド*


Copyright © 2025 Texas Instruments Incorporated

### 8.2.3 アプリケーション曲線

電力段設計の重要な要素の 1 つは、過電流状態を効果的に検出し、スイッチング デバイスと受動部品を損傷から保護することです。過電流条件時にシステムの電源を迅速にオフにするには、絶縁型アンプに短い信号遅延が必要です。AMC0x02D の代表的なフルスケール ステップ応答を、図 8-4 に示します。

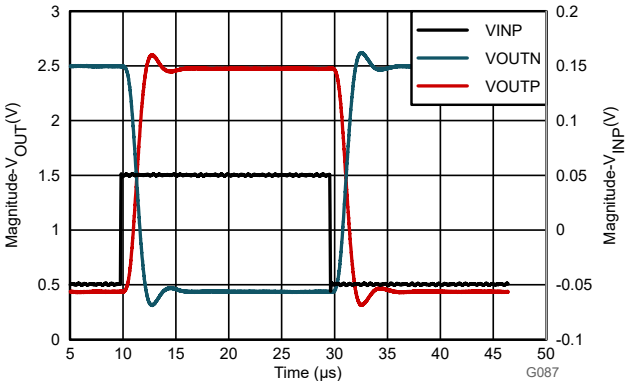



**図 8-4. AMC0x02D のステップ応答**

## 8.3 設計のベスト プラクティス

デバイスの入力に(INP から INN へ) 10nF 以上のコンデンサを配置します。このコンデンサは、スイッチト コンデンサの入力段のサンプリング期間中に入力での電圧ドループを防止するのに役立ちます。

デバイスの入力で GND1 を INN には直接短絡しないでください。最高の精度を得るには、シャント抵抗に直接接続する個別のパターンとして、グランド接続を配線します。詳細については、「*レイアウト例*」セクションを参照してください。

デバイスの電源が入っているときに、AMC0x02D の入力を未接続 (フローティング) のままにしないでください。デバイスの入力がフローティングのままだと、バイアス電流によって入力が正の方向に駆動され、動作範囲を超えるコモン モード入力電圧になる可能性があります。この状態では、デバイスは *アナログ出力* セクションで説明されているフェイルセーフ電圧を出力します。

ハイサイド グランド (GND1) を INN に、ハード短絡または抵抗性パスを介して接続します。入力同相電圧を定義するには、INN と GND1 の間に DC 電流パスが必要です。*推奨動作条件* の表に指定されているように、入力同相範囲を超えないようにします。

## 8.4 電源に関する推奨事項

一般的なアプリケーションでは、AMC0x02D のハイサイド電源 (VDD1) は、絶縁型 DC/DC コンバータによってローサイド電源 (VDD2) から生成されます。低コストのオプションでは、プッシュプル ドライバ SN6501 と、目的の絶縁電圧定格をサポートするトランスを使います。

AMC0x02D は、特定の起動シーケンスを必要としません。ハイサイド電源 (VDD1) は、低 ESR の 1µF コンデンサ (C2) と並列接続された低 ESR の 100nF コンデンサ (C1) でデカップリングされます。ローサイド電源 (VDD2) は、低 ESR の 1µF コンデンサ (C4) と並列接続された低 ESR の 100nF コンデンサ (C3) で同様にデカップリングされます。4 つのコンデンサ (C1、C2、C3、C4) はすべてデバイスのできるだけ近くに配置します。図 8-5 に、AMC0x02D のデカップリング図を示します。

Copyright © 2025 Texas Instruments Incorporated

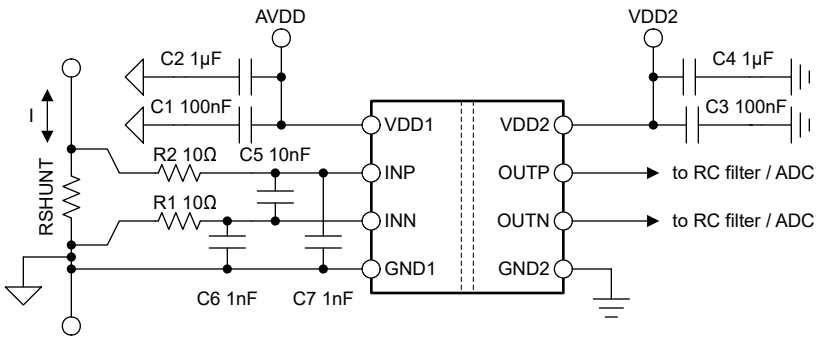



**図 8-5. AMC0x02D のデカップリング**

アプリケーションで発生する DC バイアス条件の下で、コンデンサは十分な*実効*容量を提供することを確認します。マルチレイヤ セラミック コンデンサ (MLCC) は通常、実際の使用条件下における容量は、公称容量よりはるかに小さい値となります。これらのコンデンサを選択する際は、これらの要素を考慮してください。この問題は、背の高い部品よりも絶縁体電界強度が高くなる薄型コンデンサで特に深刻です。信頼できるコンデンサ メーカーは、部品選択を非常に簡単にする容量対 DC バイアス曲線を提供しています。

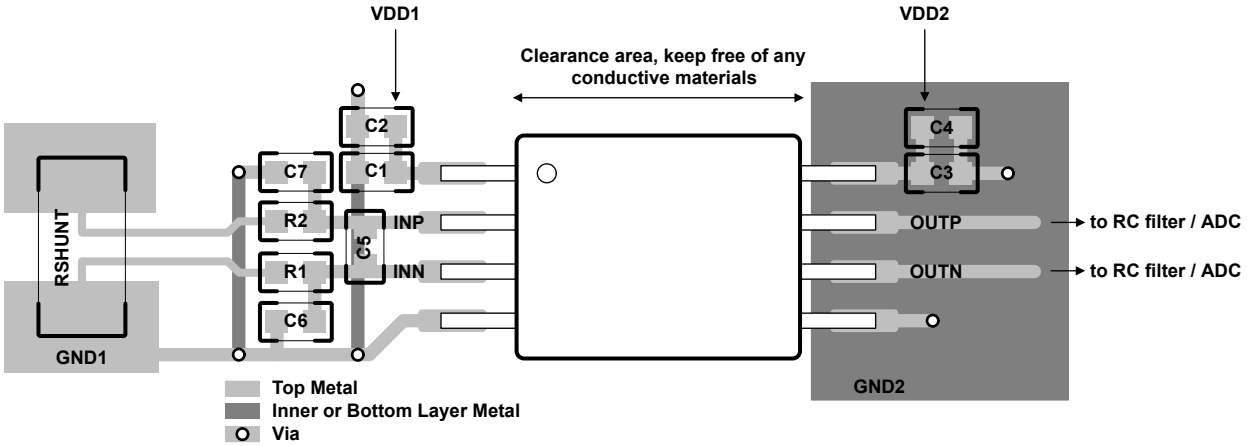
## 8.5 レイアウト

### *8.5.1 レイアウトのガイドライン*

この *レイアウト例* セクションでは、デカップリング コンデンサの重要な配置 (AMC0x02D 電源ピンにできるだけ近い場所) に関するレイアウト推奨事項について詳しく説明します。この例では、デバイスに必要な他の部品の配置も示しています。

### *8.5.2 レイアウト例*

**図 8-6. AMC0x02D**




の

**推奨レイアウト**


Copyright © 2025 Texas Instruments Incorporated

# 9 デバイスおよびドキュメントのサポート

## 9.1 ドキュメントのサポート

### 9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『絶縁の用語集』アプリケーション ノート
- テキサス インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション ノート
- テキサス インスツルメンツ、『ISO72x デジタル アイソレータの磁界耐性』アプリケーション ノート
- テキサス インスツルメンツ、『TLV900x 低電力、RRIO、1MHz オペアンプ、コスト重視システム向け』データシート
- テキサス インスツルメンツ、『歪みとノイズが最低になるよう最適化された 18 ビット、1MSPS データ収集ブロック (DAQ)』リファレンス ガイド
- テキサス インスツルメンツ、『消費電力が最低になるよう最適化された 18 ビット、1MSPS データ収集ブロック (DAQ)』リファレンス ガイド
- テキサス・インスツルメンツ、「絶縁型アンプの電圧センシング Excel カリキュレータ」設計ツール
- テキサス インスツルメンツ、「絶縁型アンプの電流センシング Excel カリキュレータ」設計ツール

## 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

## 9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

## 9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

# 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| 日付 | 改訂 | 注 |
|---|---|---|
| December 2025 | * | 初版リリース |

Copyright © 2025 Texas Instruments Incorporated

# 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。


Copyright © 2025 Texas Instruments Incorporated

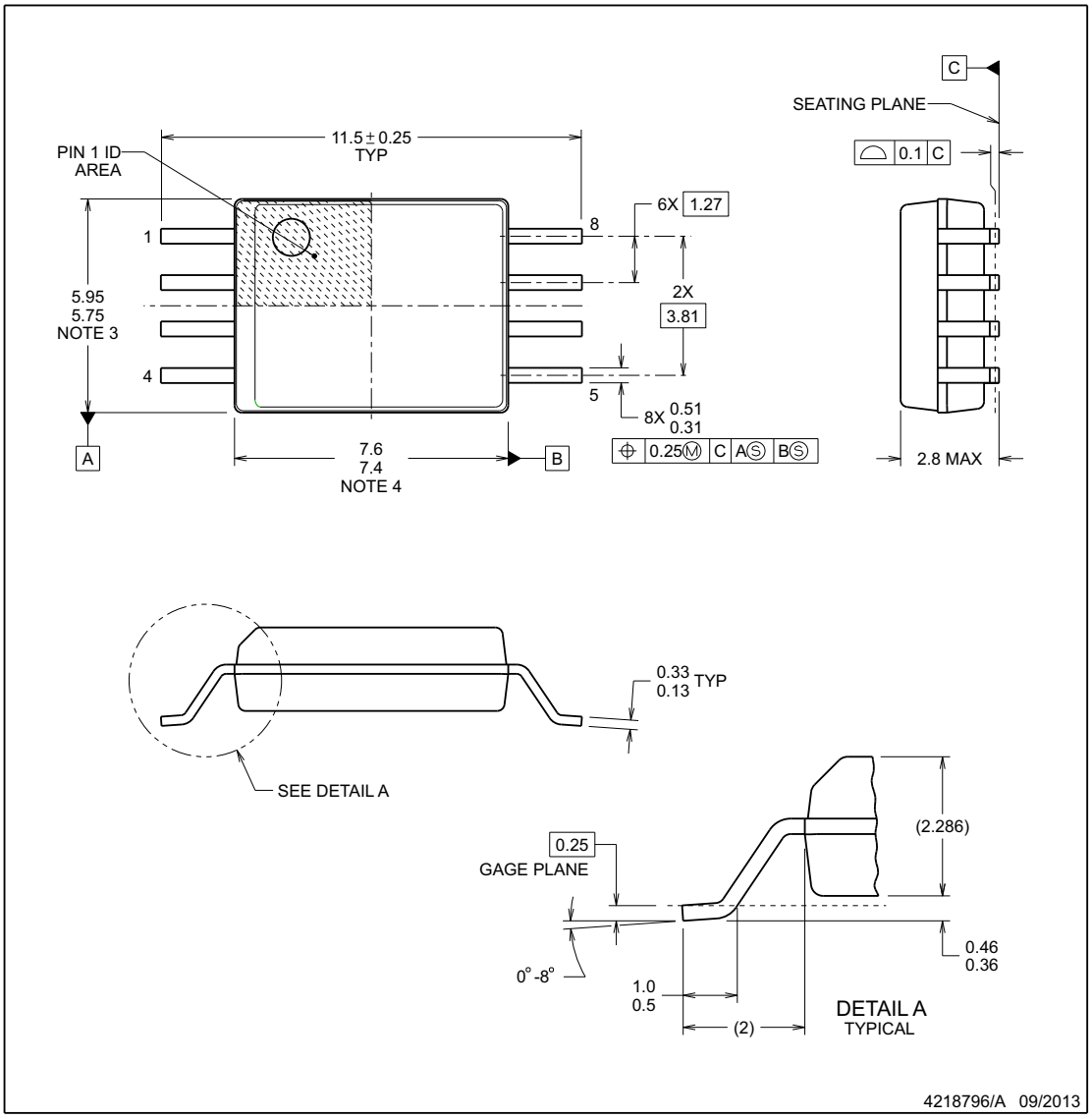
## 11.1 メカニカル データ

PACKAGE OUTLINE

DWV0008A

SOIC - 2.8 mm max height

SOIC




NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



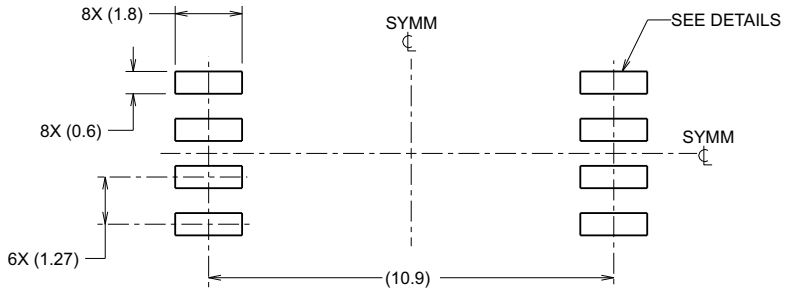
Copyright © 2025 Texas Instruments Incorporated

# EXAMPLE BOARD LAYOUT

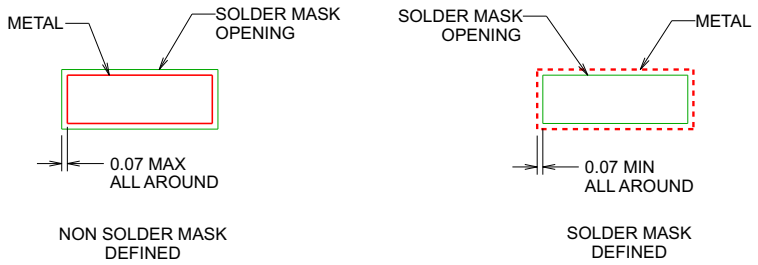
## DWV0008A

SOIC - 2.8 mm max height

SOIC




LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X




SOLDER MASK DETAILS

4218796/A 09/2013

NOTES: (continued)

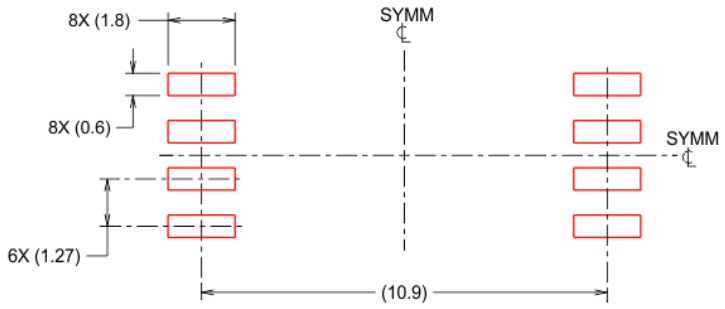
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.


Copyright © 2025 Texas Instruments Incorporated

## EXAMPLE STENCIL DESIGN

DWV0008A — SOIC - 2.8 mm max height

SOIC




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.



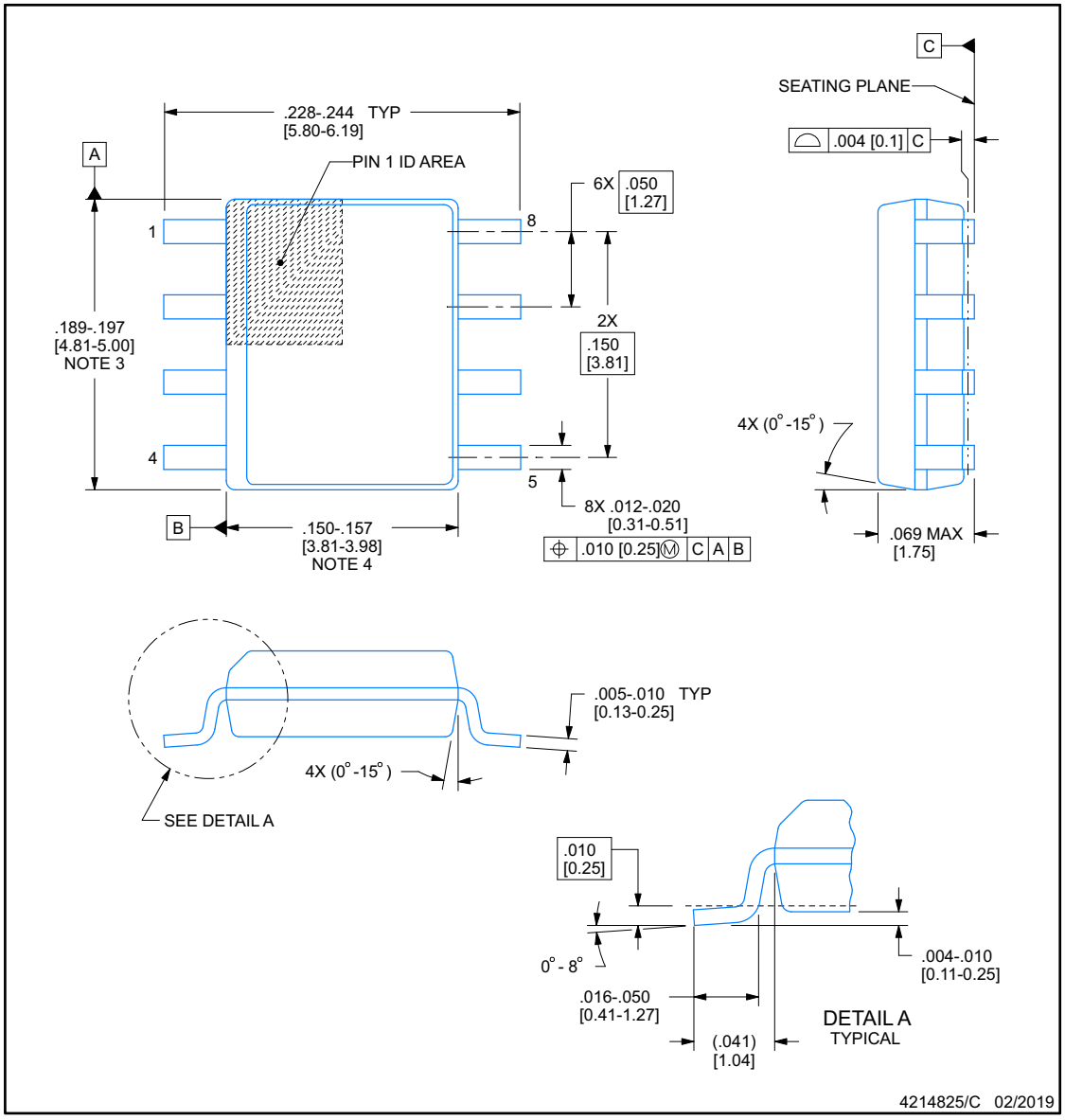
Copyright © 2025 Texas Instruments Incorporated

# PACKAGE OUTLINE

## D0008A

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT




NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

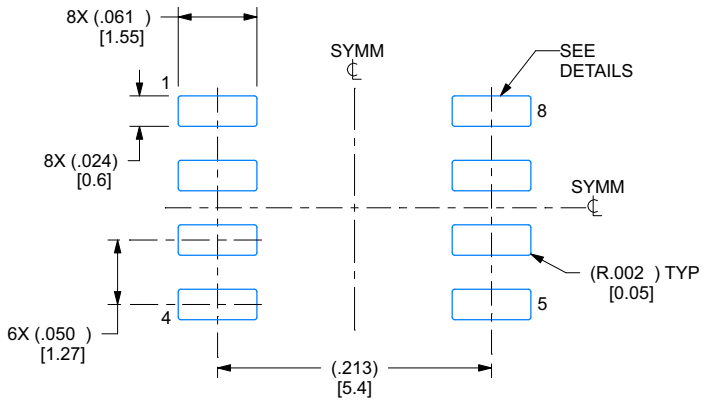

Copyright © 2025 Texas Instruments Incorporated

# EXAMPLE BOARD LAYOUT

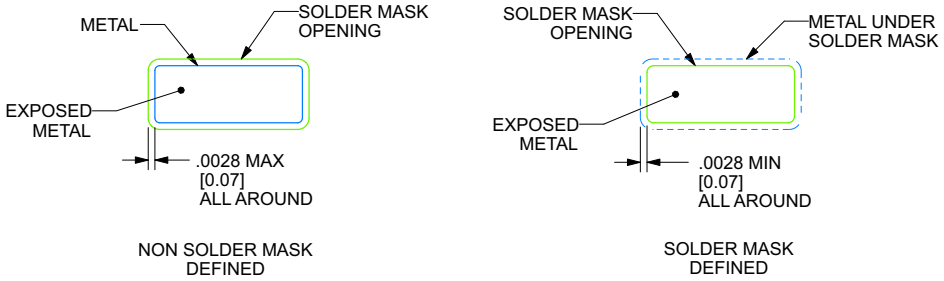
## D0008A

### SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X




SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

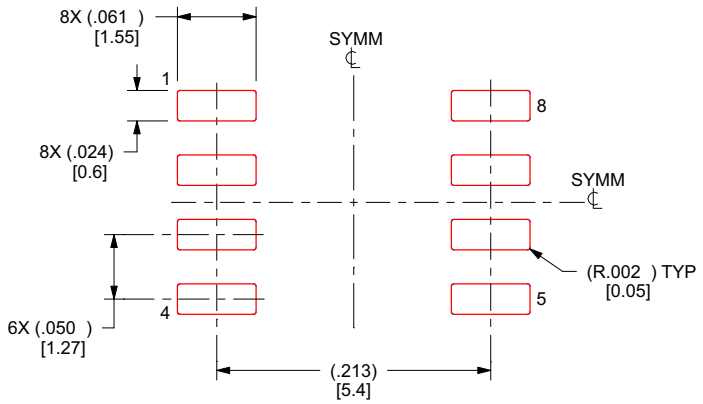


Copyright © 2025 Texas Instruments Incorporated

## EXAMPLE STENCIL DESIGN

**D0008A** — **SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT




SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.


Copyright © 2025 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| AMC0302DDWVR | Active | Production | SOIC (DWV) \| 8 | 1000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | C0302D |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

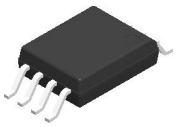
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF AMC0302D :**

- Automotive : AMC0302D-Q1

NOTE: Qualified Version Definitions:

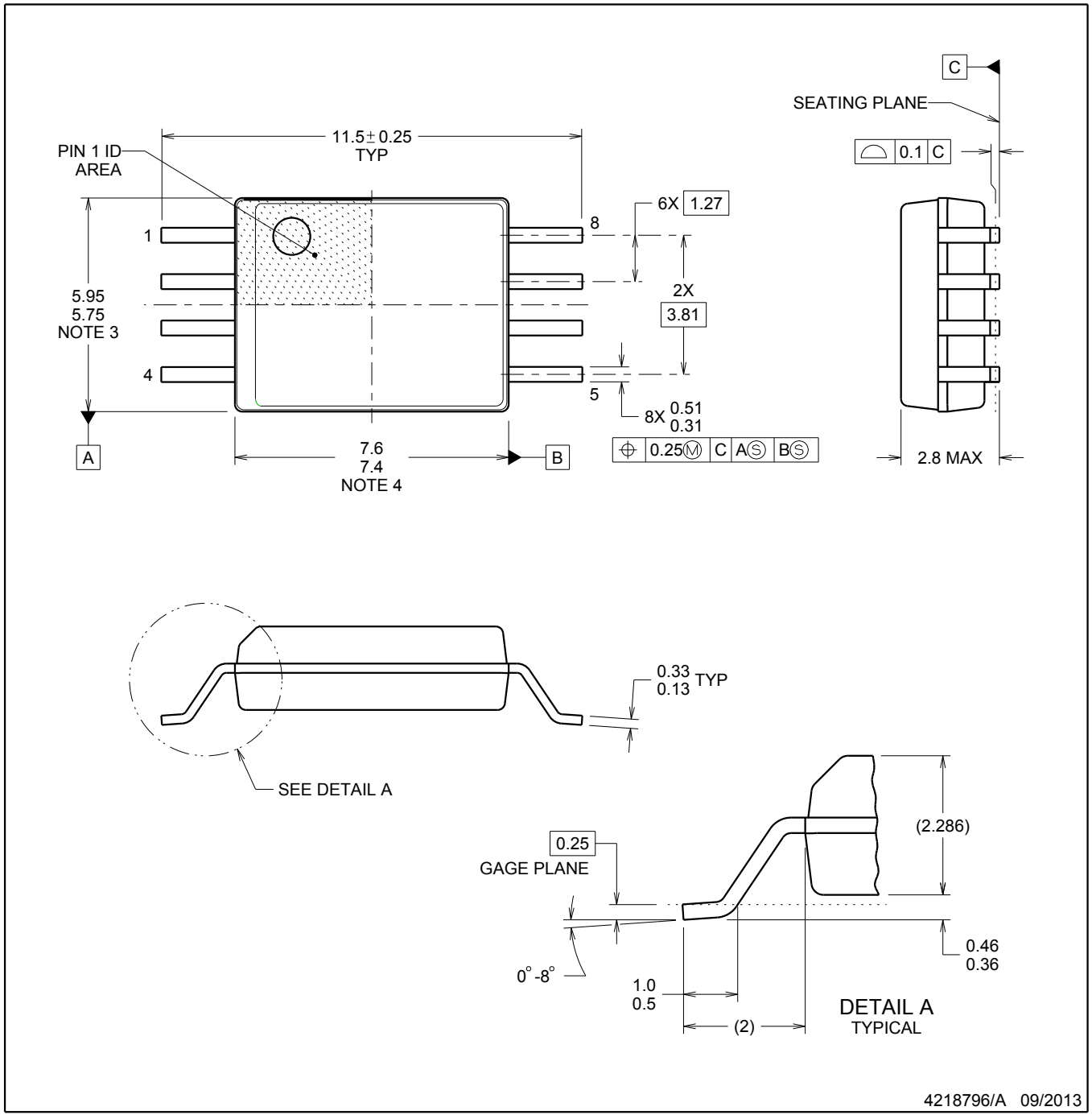
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects



# DWV0008A

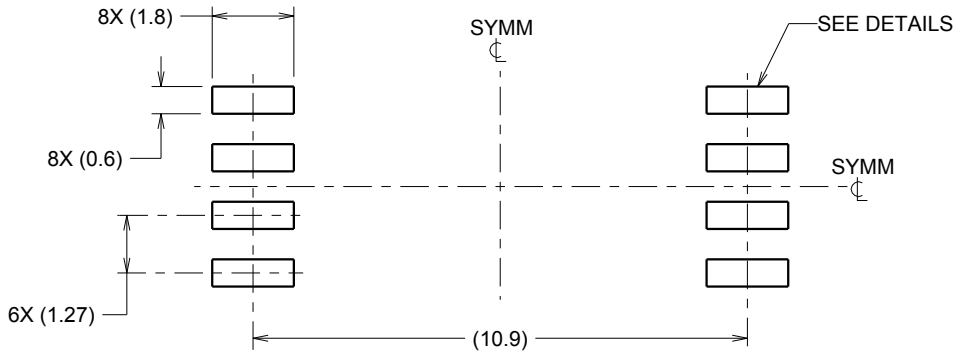
## SOIC - 2.8 mm max height

SOIC

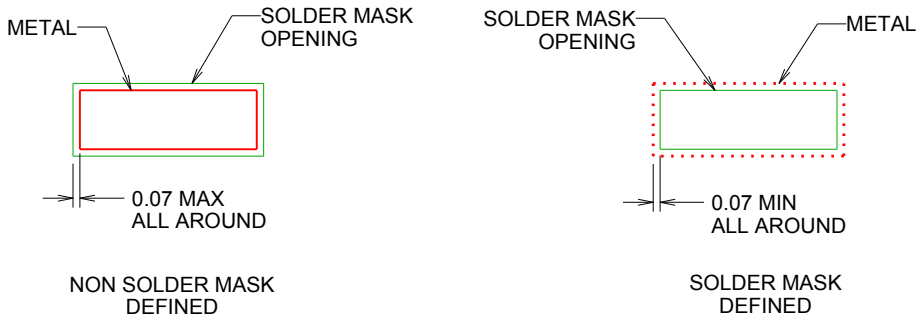



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.




LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X




SOLDER MASK DETAILS

4218796/A 09/2013

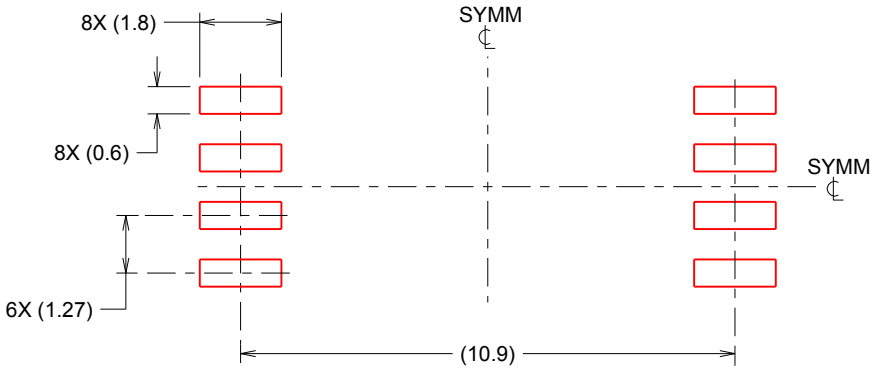
NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DWV0008A

SOIC - 2.8 mm max height

SOIC




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

# 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月