

AMC21C12 高速応答、スレッシュホールドを調節可能でラッチ機能を持つ機能絶縁型ウィンドウ・コンパレータ

1 特長

- 広いハイサイド電源電圧範囲：3V～27V
- ローサイド電源電圧範囲：2.7V～5.5V
- 可変スレッシュホールド：
 - ウィンドウ・コンパレータ・モード：±20mV～±300mV
 - 正のコンパレータ・モード：600mV～2.7V
- スレッシュホールド電圧調整のリファレンス：100µA、±1%
- トリップ・スレッシュホールドの誤差：250mV のとき ±1% (最大値)
- オプションのラッチ・モードに対応したオープン・ドレイン出力
- 伝搬遅延：280ns (標準値)
- 高 CMTI：55V/ns (最小値)
- 機能的分離：
 - 動作電圧：200V_{RMS}、280V_{DC}
 - 過渡過電圧 (60s)：570V_{RMS}、800V_{DC}
- 沿面距離と空間距離が 1mm の、小型で 0.65mm ピッチのリードレス・パッケージ
- 拡張産業温度範囲の全体にわたって完全に仕様を規定：-40°C～+125°C

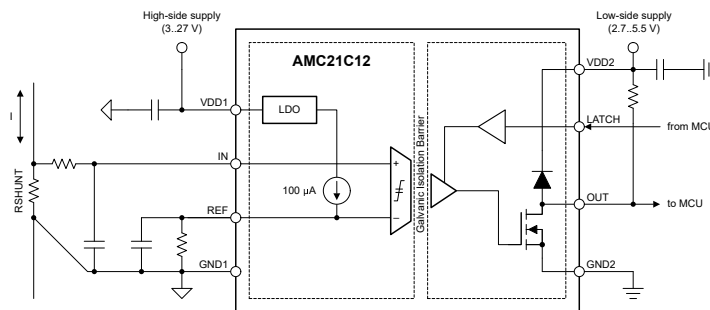
2 アプリケーション

- 次の用途での過電流または過電圧検出：
 - [テレコム電源](#)
 - [アナログ I/O モジュール](#)
 - [モーター・ドライバ](#)
 - [周波数インバータ](#)

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
AMC21C12	DEN (VSON, 8)	3.5mm × 2.7mm

- (1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。
- (2) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション

3 概要

AMC21C12 は、応答時間が短い絶縁型ウィンドウ・コンパレータです。オープン・ドレイン出力は、磁気干渉に対して優れた耐性を示す絶縁バリアによって、入力回路から電氣的に絶縁されています。この絶縁バリアは、最高 200V_{RMS} または 280V_{DC} の動作電圧と、最高 570V_{RMS} または 800V_{DC} の過渡電圧に対応しています。

比較ウィンドウの中心は 0V で、入力電圧の絶対値がトリップ・スレッシュホールド値を超えると、コンパレータはトリップします。このトリップ・スレッシュホールド (比較ウィンドウの範囲) は、1 つの外付け抵抗で ±20mV～±300mV の範囲に調整できます。REF ピンの電圧が 550mV より高い場合、負のコンパレータは無効化され、正のコンパレータのみが機能します。このモードのリファレンス電圧は最高 2.7V です。このモードは、電圧電源の監視に特に便利です。

本デバイスのオープン・ドレイン出力はトランスペアレント・モード (LATCH 入力を GND2 に接続します。出力は入力状態に従います) またはラッチ・モード (ラッチ入力信号の立ち下がりエッジで出力がクリアされます) をサポートしています。

AMC21C12 は 8 ピン、0.65mm ピッチの VSON パッケージで供給され、-40°C～+125°C の拡張産業用温度範囲で動作が規定されています。



目次

1 特長	1	6.3 機能説明.....	19
2 アプリケーション	1	6.4 デバイスの機能モード.....	26
3 概要	1	7 アプリケーションと実装	27
4 ピン構成および機能	3	7.1 アプリケーション情報.....	27
5 仕様	4	7.2 代表的なアプリケーション.....	27
5.1 絶対最大定格.....	4	7.3 設計のベスト・プラクティス.....	31
5.2 ESD 定格.....	4	7.4 電源に関する推奨事項.....	32
5.3 推奨動作条件.....	5	7.5 レイアウト.....	32
5.4 熱に関する情報.....	6	8 デバイスおよびドキュメントのサポート	33
5.5 パッケージ特性.....	6	8.1 ドキュメントのサポート.....	33
5.6 電気的特性.....	7	8.2 ドキュメントの更新通知を受け取る方法.....	33
5.7 スイッチング特性.....	9	8.3 サポート・リソース.....	33
5.8 タイミング図.....	9	8.4 商標.....	33
5.9 代表的特性.....	11	8.5 静電気放電に関する注意事項.....	33
6 詳細説明	18	8.6 用語集.....	33
6.1 概要.....	18	9 改訂履歴	33
6.2 機能ブロック図.....	18	10 メカニカル、パッケージ、および注文情報	33

4 ピン構成および機能

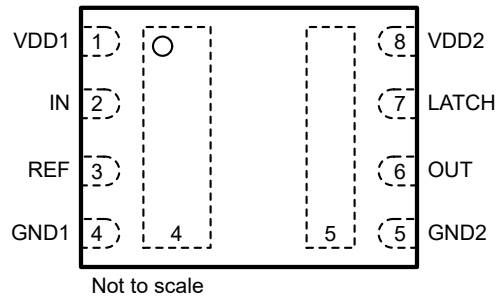


図 4-1. DEN パッケージ、8 ピン VSON (上面図)

表 4-1. ピンの機能

ピン		種類	概要
番号	名称		
1	VDD1	ハイサイド電源	ハイサイド電源。(1)
2	IN	アナログ入力	ウィンドウ・コンパレータへのアナログ入力ピン。
3	REF	アナログ入力	トリップ・スレッシュホールドを定義するリファレンス電圧ピン。「 リファレンス入力 」セクションで説明しているように、このピンの電圧はコンパレータ Cmp0 のヒステリシスにも影響します。このピンは 100µA の電流源に内部的に接続されています。トリップ・スレッシュホールドを定義するために REF から GND1 に抵抗を接続し、リファレンス電圧をフィルタ処理するために REF から GND1 にコンデンサを接続します。最高の過渡ノイズ耐性を実現するため、コンデンサはピンにできるだけ近づけて配置します。このピンは、外部の電圧源で駆動することもできます。
4	GND1	ハイサイド・グランド	ハイサイド・グランド。
5	GND2	ローサイド・グランド	ローサイド・グランド。
6	OUT	デジタル出力	ウィンドウ・コンパレータのオープン・ドレイン出力。外付けプルアップ抵抗に接続します。
7	LATCH	デジタル入力	オープン・ドレイン出力のラッチ・モード (High) またはトランスペアレント・モード (Low) を選択するためのデジタル入力。この入力ピンを未接続 (フローティング) のままにしないでください。未使用時は GND2 に接続します。
8	VDD2	ローサイド電源	ローサイド電源。(1)

(1) 電源のデカップリングに関する推奨事項については、「[電源に関する推奨事項](#)」セクションを参照してください。

5 仕様

5.1 絶対最大定格

(1) を参照

		最小値	最大値	単位
電源電圧	VDD1 (GND1 基準)	-0.3	30	V
	VDD2 (GND2 基準)	-0.3	6.5	
アナログ入力電圧	REF (GND1 基準)	-0.5	6.5	V
	IN (GND1 基準)	-6	5.5	
デジタル入力電圧	LATCH (GND1 基準)	-0.5	VDD2 + 0.5	V
デジタル出力電圧	OUT (GND2 基準)	-0.5	VDD2 + 0.5	V
過渡絶縁電圧 ⁽²⁾	AC 電圧、t = 60s ⁽³⁾		570	V _{RMS}
	DC 電圧、t = 60s ⁽³⁾		800	V _{DC}
入力電流	連続、電源ピンを除く任意のピン	-10	10	mA
温度	接合部、T _J		150	°C
	保存、T _{stg}	-65	150	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、この条件、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用了場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) パッケージの左側 (ピン 1 から 4 まで) から右側 (ピン 5 から 8 まで) への同相モード。
- (3) 累積

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1000

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

5.3 推奨動作条件

動作時周辺温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
電源						
V _{VDD1}	ハイサイド電源電圧	VDD1 (GND1 基準)	3.0	5	27	V
V _{VDD2}	ローサイド電源電圧	VDD2 (GND2 基準)	2.7	3.3	5.5	V
アナログ入力						
V _{IN}	入力電圧	IN (GND1 基準)、VDD1 ≤ 4.3V	-0.4	VDD1 - 0.3		V
		IN (GND1 基準)、VDD1 > 4.3V	-0.4	4		
V _{REF}	リファレンス電圧、ウィンドウ・コンパレータ・モード	REF (GND1 基準)	20 ⁽²⁾	300		mV
	リファレンス電圧、正のコンパレータ・モード	低ヒステリシス・モード	20 ⁽²⁾	450		
		高ヒステリシス・モード (Cmp0 のみ)	600	2700 ⁽¹⁾		
	リファレンス電圧のヘッドルーム	VDD1 - V _{REF}	1.4			V
	REF ピンのフィルタ容量		20	100		nF
デジタル I/O						
	デジタル入力電圧	LATCH ピン	GND2	VDD2		V
	デジタル出力電圧	OUT (GND2 基準)	GND2	VDD2		V
	シンク電流	OUT	0	4		mA
絶縁バリア						
V _{IOWM}	機能的絶縁の動作電圧 ⁽³⁾	AC 電圧 (正弦波)			200	V _{RMS}
		DC 電圧			280	V _{DC}
温度範囲						
T _A	規定周囲温度		-40	25	125	°C

- (1) リファレンス電圧 (V_{REF}) が 1.6V を超える場合、最小限のヘッドルーム (V_{VDD1} - V_{REF} = 1.4V) を維持するため、V_{VDD1} > V_{VDD1, MIN} とする必要があります。
- (2) 本デバイスは、5mV という低い V_{REF} でテストされています。デバイスは引き続き機能しますが、オフセット誤差により、スイッチング・スレッショルドの相対精度が低下する可能性があります。
- (3) パッケージの左側 (ピン 1 から 4 まで) から右側 (ピン 5 から 8 まで) への同相モード。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		DEN (VSON)	単位
		8ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	64.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	53.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	29.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	10.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	29.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	23.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

5.5 パッケージ特性

パラメータ		テスト条件	値	単位
CLR	外部空間距離	空気中での最短のピン間距離	≥ 1	mm
CPG	外部沿面距離	パッケージ表面に沿った最短のピン間距離	≥ 1	mm
CTI	比較トラッキング指数	DIN EN 60112 (VDE 0303-11)、IEC 60112	≥ 600	V
	材料グループ	IEC 60664-1 に準拠	I	
C_{IO}	容量、入力から出力へ ⁽¹⁾	$V_{IO} = 0.5V_{PP}$ (1MHz 時)	~ 1.5	pF
R_{IO}	抵抗、入力から出力へ ⁽¹⁾	$T_A = 25^\circ\text{C}$	$> 10^{12}$	Ω

(1) バリアのそれぞれの側にあるすべてのピンは互いに接続され、実質的に 2 ピンのデバイスになります。

5.6 電気的特性

最小値と最大値の仕様には $T_A = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_{DD1} = 3.0\text{V} \sim 27\text{V}$ 、 $V_{DD2} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{REF} = 20\text{mV} \sim 2.7\text{V}^{(1)}$ 、 $V_{IN} = -400\text{mV} \sim 4\text{V}^{(3)}$ が適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ 、 $V_{DD1} = 5\text{V}$ 、 $V_{DD2} = 3.3\text{V}$ 、 $V_{REF} = 250\text{mV}$ でのものです (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
アナログ入力						
R_{IN}	入力抵抗	IN ピン、 $0 \leq V_{IN} \leq 4\text{V}$		1		$\text{G}\Omega$
I_{BIAS}	入力バイアス電流	IN ピン、 $0 \leq V_{IN} \leq 4\text{V}^{(4)}$		0.1	25	nA
		IN ピン、 $-400\text{mV} \leq V_{IN} \leq 0\text{V}^{(5)}$	-310	-0.5		
C_{IN}	入力容量	IN ピン		4		pF
リファレンス・ピン						
I_{REF}	リファレンス電流	REF から GND1 に流れる電流、 $20\text{mV} < V_{REF} \leq 2.7\text{V}$	99	100	101	μA
V_{MSEL}	モード選択スレッシュヨルド ⁽²⁾	V_{REF} 立ち上がり	500	550	600	mV
		V_{REF} 立ち下がり	450	500	550	
	モード選択スレッシュヨルドのヒステリシス			50		mV
コンパレータ						
V_{IT+}	正方向のトリップ・スレッシュヨルド	Cmp0		$V_{REF} + V_{HYS}$		mV
E_{IT+}	正方向のトリップ・スレッシュヨルドの誤差	Cmp0、 $(V_{IT+} - V_{REF} - V_{HYS})$ 、 $V_{REF} = 20\text{mV}$ 、 $V_{HYS} = 4\text{mV}$	-2		2	mV
		Cmp0、 $(V_{IT+} - V_{REF} - V_{HYS})$ 、 $V_{REF} = 250\text{mV}$ 、 $V_{HYS} = 4\text{mV}$	-2		2	
		Cmp0、 $(V_{IT+} - V_{REF} - V_{HYS})$ 、 $V_{REF} = 2\text{V}$ 、 $V_{HYS} = 25\text{mV}$	-5		5	
V_{IT-}	負方向のトリップ・スレッシュヨルド	Cmp0		V_{REF}		mV
E_{IT-}	負方向のトリップ・スレッシュヨルドの誤差	Cmp0、 $(V_{IT-} - V_{REF})$ 、 $V_{REF} = 20\text{mV}$	-2.5		2.5	mV
		Cmp0、 $(V_{IT-} - V_{REF})$ 、 $V_{REF} = 250\text{mV}$	-2.5		2.5	
		Cmp0、 $(V_{IT-} - V_{REF})$ 、 $V_{REF} = 2\text{V}$	-5		5	
V_{IT-}	負方向のトリップ・スレッシュヨルド	Cmp1		$-V_{REF} - V_{HYS}$		mV
E_{IT-}	負方向のトリップ・スレッシュヨルドの誤差	Cmp1、 $(V_{IT-} + V_{REF} + V_{HYS})$ 、 $V_{REF} = 20\text{mV}$ 、 $V_{HYS} = 4\text{mV}$	-3		3	mV
		Cmp1、 $(V_{IT-} + V_{REF} + V_{HYS})$ 、 $V_{REF} = 250\text{mV}$ 、 $V_{HYS} = 4\text{mV}$	-3		3	
V_{IT+}	正方向のトリップ・スレッシュヨルド	Cmp1		$-V_{REF}$		mV
E_{IT+}	正方向のトリップ・スレッシュヨルドの誤差	Cmp1、 $(V_{IT+} + V_{REF})$ 、 $V_{REF} = 20\text{mV}$	-3.5		3.5	mV
		Cmp1、 $(V_{IT+} + V_{REF})$ 、 $V_{REF} = 250\text{mV}$	-3.5		3.5	
V_{HYS}	トリップ・スレッシュヨルドのヒステリシス	Cmp0 および Cmp1、 $(V_{IT+} - V_{IT-})$ 、 $V_{REF} \leq 450\text{mV}$		4		mV
		Cmp0 のみ、 $(V_{IT+} - V_{IT-})$ 、 $V_{REF} \geq 600\text{mV}$		25		
デジタル I/O						
V_{IH}	High レベル入力電圧	LATCH ピン	$0.7 \times V_{DD2}$		$V_{DD2} + 0.3$	V
V_{IL}	Low レベル入力電圧	LATCH ピン	-0.3		$0.3 \times V_{DD2}$	V
C_{IN}	入力容量	LATCH ピン		4		pF
V_{OL}	Low レベル出力電圧	$I_{SINK} = 4\text{mA}$		80	250	mV
I_{LKG}	オープン・ドレイン出力リーク電流	$V_{DD2} = 5\text{V}$ 、 $V_{OUT} = 5\text{V}$		5	100	nA
CMTI	同相過渡耐性	$ V_{IN} - V_{REF} \geq 4\text{mV}$ 、 $R_{PULLUP} = 10\text{k}\Omega$	55	110		V/ns

5.6 電気的特性 (続き)

最小値と最大値の仕様には $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$ 、 $V_{DD1} = 3.0\text{V} \sim 27\text{V}$ 、 $V_{DD2} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{REF} = 20\text{mV} \sim 2.7\text{V}^{(1)}$ 、 $V_{IN} = -400\text{mV} \sim 4\text{V}^{(3)}$ が適用されます。標準値の仕様は $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 5\text{V}$ 、 $V_{DD2} = 3.3\text{V}$ 、 $V_{REF} = 250\text{mV}$ でのものです (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
VDD1 _{UV}	VDD1 低電圧検出スレッシュヨルド	VDD1 立ち上がり			3	V
		VDD1 立ち下がり			2.9	
VDD1 _{POR}	VDD1 パワーオン・リセット・スレッシュヨルド	VDD1 立ち下がり			2.3	V
VDD2 _{UV}	VDD2 低電圧検出スレッシュヨルド	VDD2 立ち上がり			2.7	V
		VDD2 立ち下がり			2.1	
I _{DD1}	ハイサイド電源電流	$3.0 \leq V_{DD1} \leq 3.4\text{V}$			4.0	mA
		$3.4 < V_{DD1} \leq 27\text{V}$		3.2	4.3	
I _{DD2}	ローサイド電源電流			1.8	2.2	mA

- (1) リファレンス電圧が 1.6V を上回る場合、 $V_{DD1} > V_{DD1\text{MIN}}$ とする必要があります。詳細については、「[推奨動作条件](#)」の表を参照してください。
- (2) 電圧レベル V_{REF} によって、本デバイスが正と負のスレッシュヨルドを持つウィンドウ・コンパレータとして動作するか、または正のスレッシュヨルドのみを持つ単純なコンパレータとして動作するかが決まります。詳細については、「[基準電圧入力](#)」セクションを参照してください。
- (3) しかし、「[推奨動作条件](#)」の表に規定された最大入力電圧を超えないようにします。
- (4) 標準値は、 $V_{IN} = 0.4\text{V}$ で測定されます。
- (5) 標準値は、 $V_{IN} = -400\text{mV}$ で測定されます。

5.7 スイッチング特性

動作時周辺温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
LATCH 入力					
	グリッチ除去時間	立ち下がりエッジ	1.8	3.2	μs
オープン・ドレイン出力					
t_{pH}	伝搬遅延時間、 $ V_{IN} $ 立ち上がり	$V_{DD2} = 3.3V$, $V_{REF} = 250mV$, $V_{OVERDRIVE} = 10mV$, $C_L = 15pF$	280	410	ns
		$V_{DD2} = 3.3V$, $V_{REF} = 2V$, $V_{OVERDRIVE} = 50mV$, $C_L = 15pF$	240	370	
t_{pL}	伝搬遅延時間、 $ V_{IN} $ 立ち下がり	$V_{DD2} = 3.3V$, $V_{REF} = 250mV$, $V_{OVERDRIVE} = 10mV$, $C_L = 15pF$	280	410	ns
		$V_{DD2} = 3.3V$, $V_{REF} = 2V$, $V_{OVERDRIVE} = 50mV$, $C_L = 15pF$	240	370	
t_f	出力信号の立ち下がり時間	$R_{PULLUP} = 4.7k\Omega$, $C_L = 15pF$	2		ns
モード選択					
t_{HSEL}	コンパレータのヒステリシス選択のグリッチ除去時間	Cmp0, V_{REF} 立ち上がりまたは立ち下がり	10		μs
t_{DIS13}	コンパレータのディセーブルのグリッチ除去時間	Cmp1, V_{REF} 立ち上がり	10		μs
t_{EN13}	コンパレータのイネーブルのグリッチ除去時間	Cmp1, V_{REF} 立ち下がり	100		μs
起動タイミング					
$t_{LS, STA}$	ローサイド起動時間	2.7V への V_{DD2} のステップ、 $V_{DD1} \geq 3.0V$	40		μs
$t_{HS, STA}$	ハイサイド起動時間	3.0V への V_{DD1} のステップ、 $V_{DD2} \geq 2.7V$	45		μs
$t_{HS, BLK}$	ハイサイドのブランキング時間		200		μs
$t_{HS, FLT}$	ハイサイド・フォルト検出遅延時間		100		μs

5.8 タイミング図

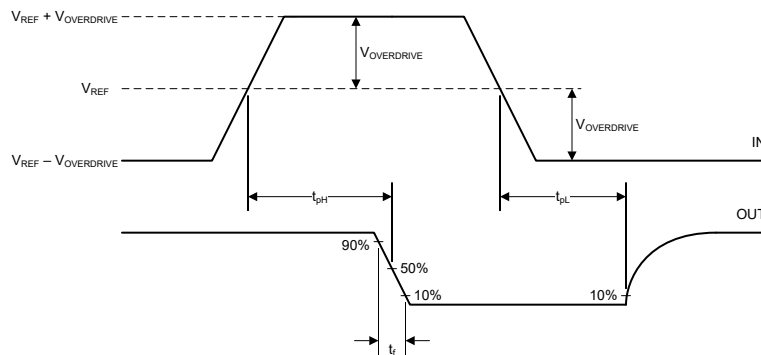


図 5-1. 立ち上がり、立ち下がり、遅延時間の定義 (LATCH = Low)

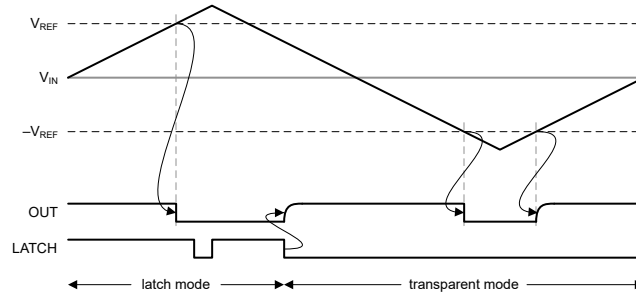


図 5-2. 動作時のタイミング図

5.9 代表的特性

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)

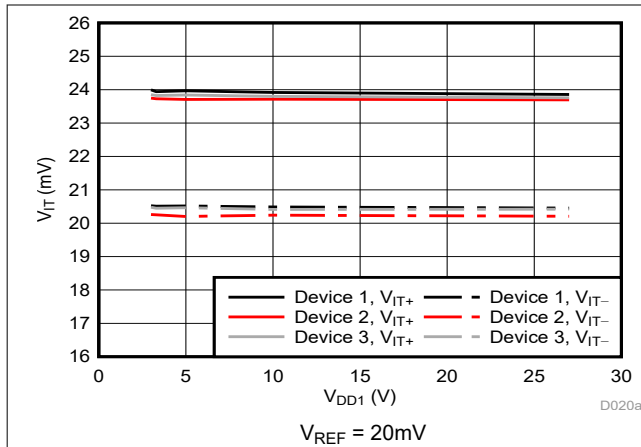


図 5-3. Cmp0 のトリップ・スレッシュホールドと電源電圧との関係

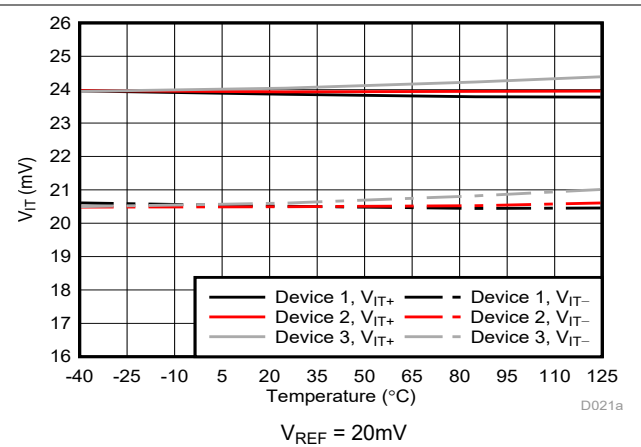


図 5-4. Cmp0 のトリップ・スレッシュホールドと温度との関係

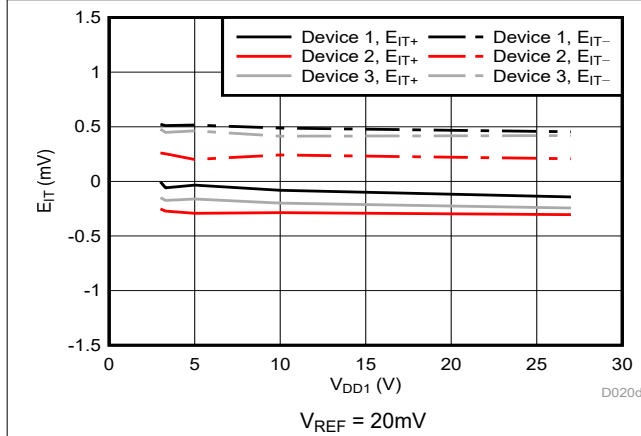


図 5-5. Cmp0 のトリップ・スレッシュホールド誤差と電源電圧との関係

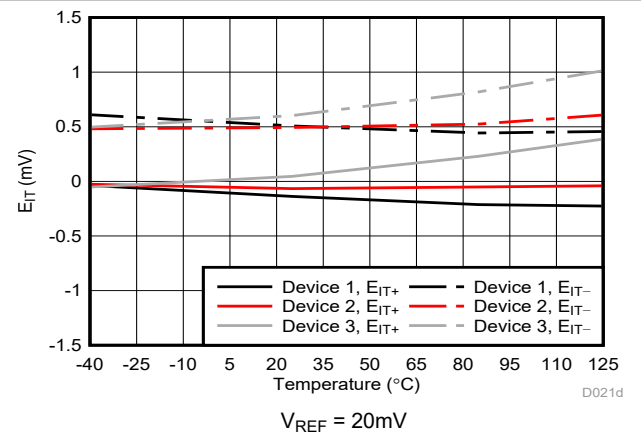


図 5-6. Cmp0 のトリップ・スレッシュホールド誤差と温度との関係

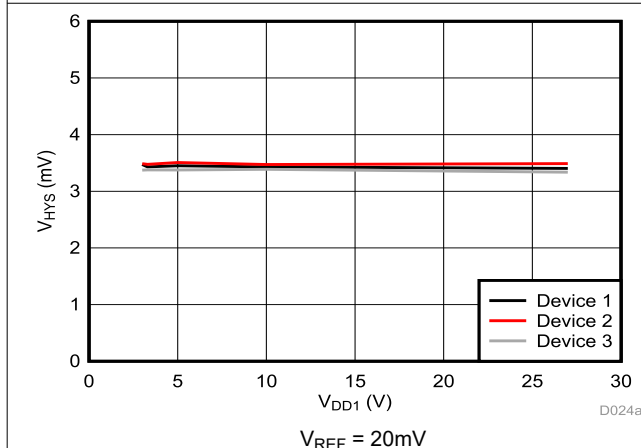


図 5-7. Cmp0 のトリップ・スレッシュホールドのヒステリシスと電源電圧との関係

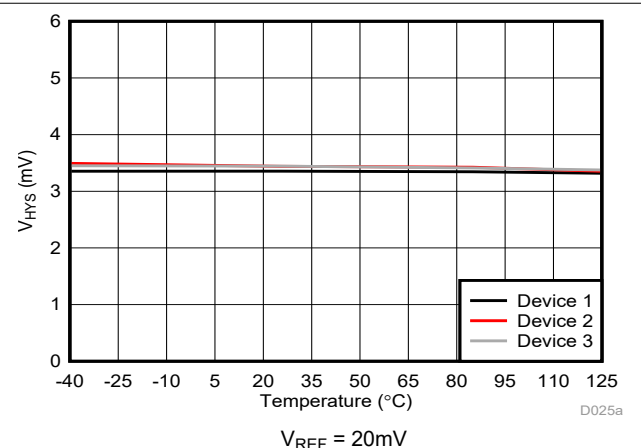


図 5-8. Cmp0 のトリップ・スレッシュホールドのヒステリシスと温度との関係

5.9 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)

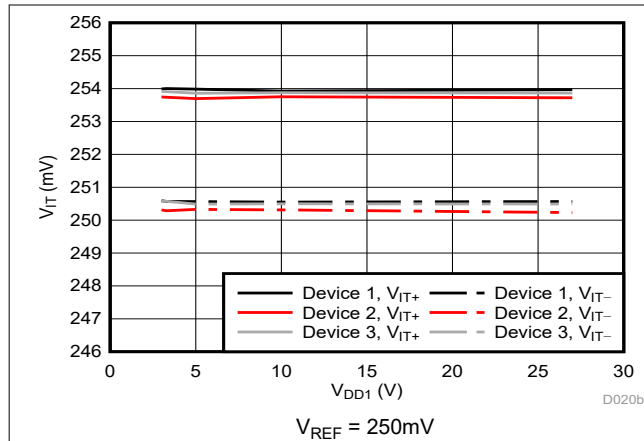


図 5-9. Cmp0 のトリップ・スレッシュホールドと電源電圧との関係

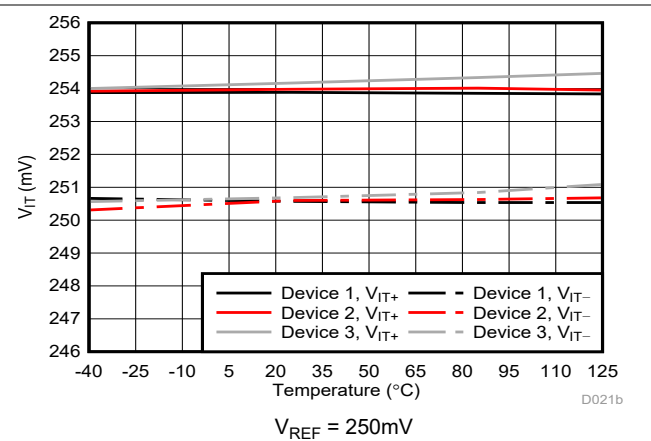


図 5-10. Cmp0 のトリップ・スレッシュホールドと温度との関係

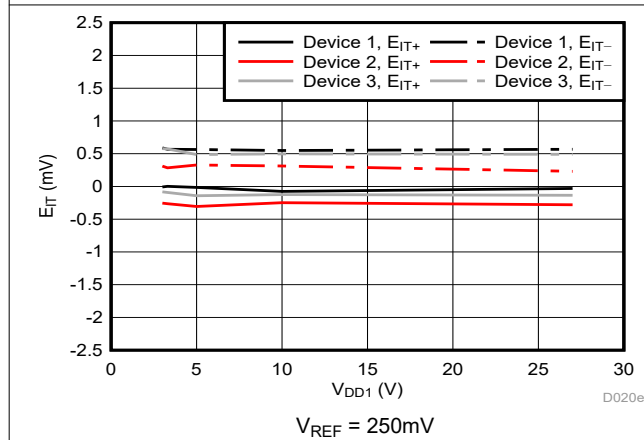


図 5-11. Cmp0 のトリップ・スレッシュホールド誤差と電源電圧との関係

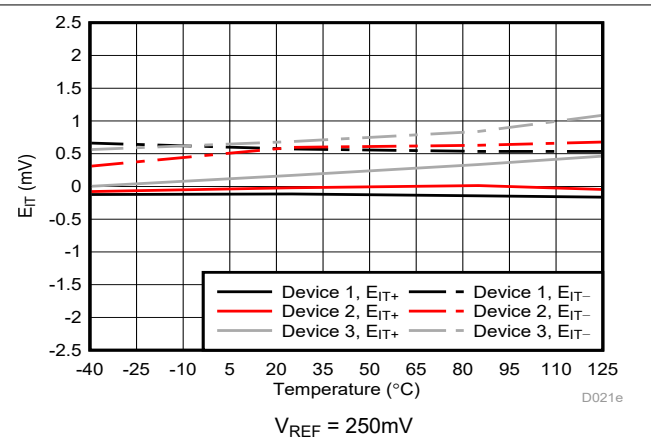


図 5-12. Cmp0 のトリップ・スレッシュホールド誤差と温度との関係

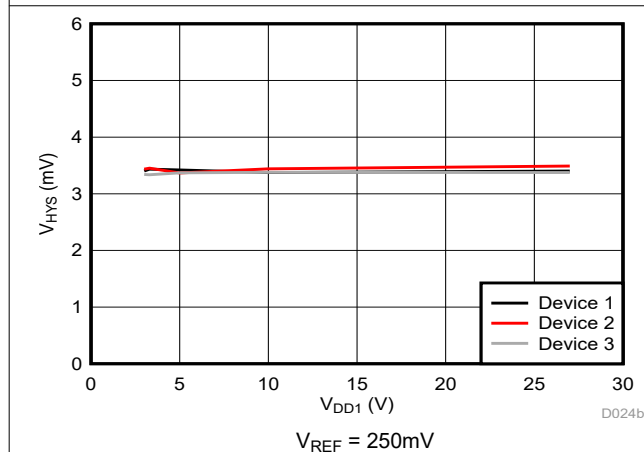


図 5-13. Cmp0 のトリップ・スレッシュホールドのヒステリシスと電源電圧との関係

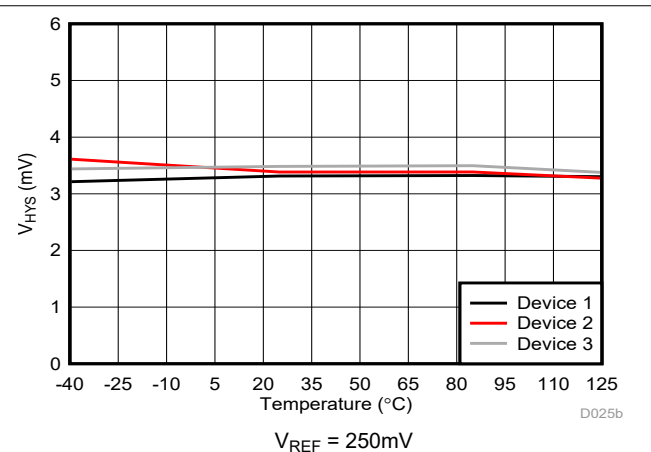


図 5-14. Cmp0 のトリップ・スレッシュホールドのヒステリシスと温度との関係

5.9 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)

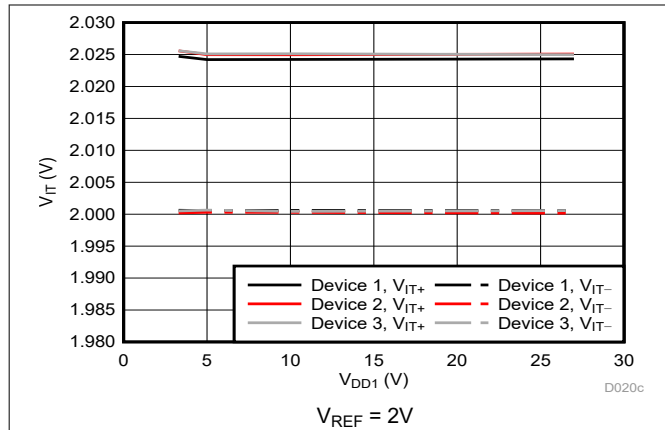


図 5-15. Cmp0 のトリップ・スレッショルドと電源電圧との関係

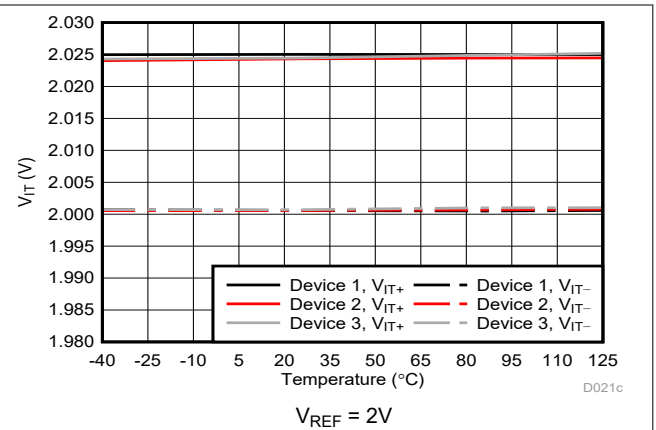


図 5-16. Cmp0 のトリップ・スレッショルドと温度との関係

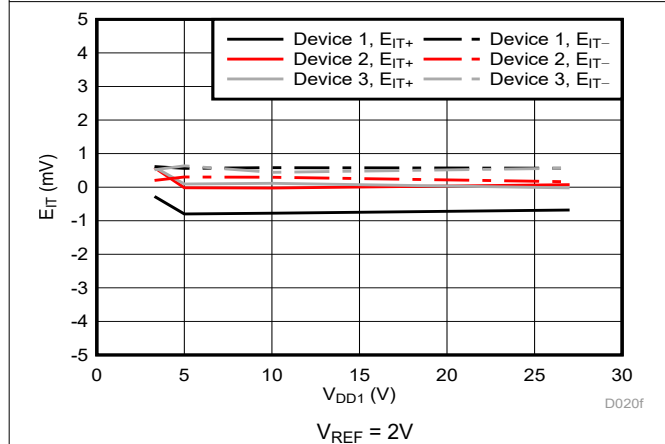


図 5-17. Cmp0 のトリップ・スレッショルド誤差と電源電圧との関係

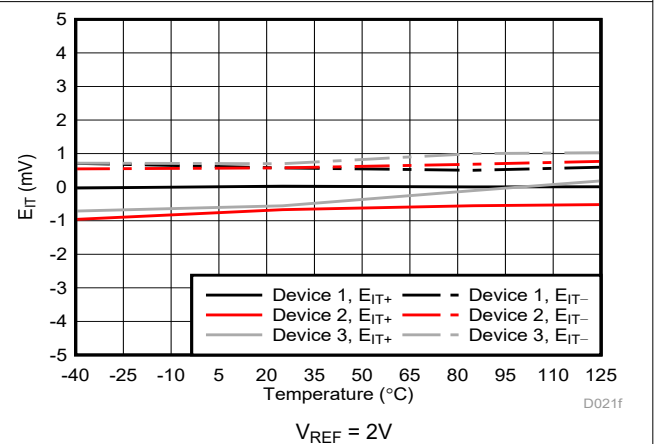


図 5-18. Cmp0 のトリップ・スレッショルド誤差と温度との関係

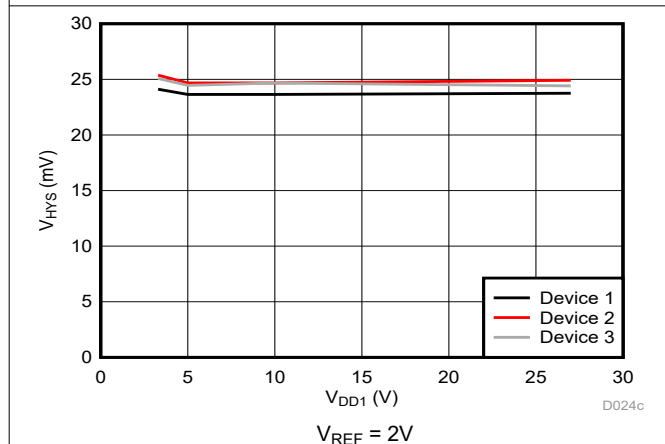


図 5-19. Cmp0 のトリップ・スレッショルドのヒステリシスと電源電圧との関係

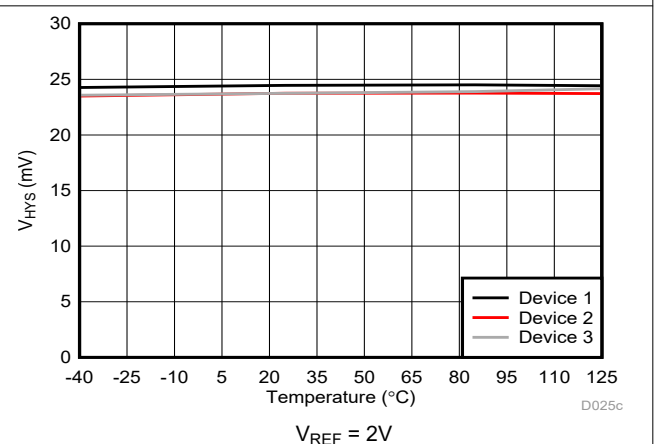


図 5-20. Cmp0 のトリップ・スレッショルドのヒステリシスと温度との関係

5.9 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)

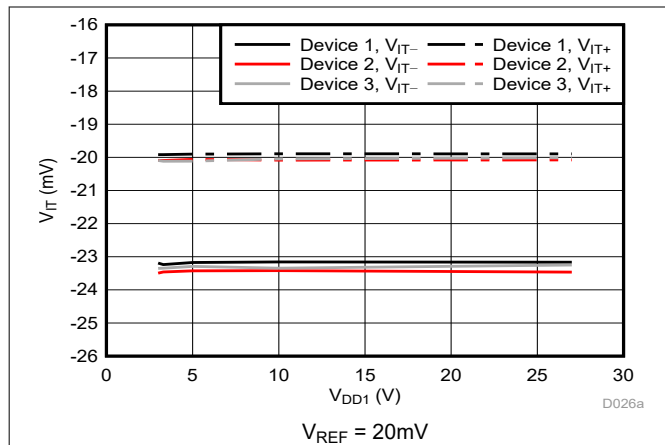


図 5-21. Cmp1 のトリップ・スレッシュヨルドと電源電圧との関係

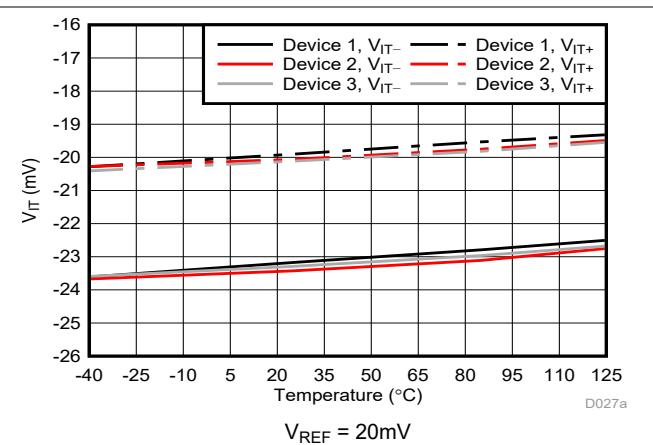


図 5-22. Cmp1 のトリップ・スレッシュヨルドと温度との関係

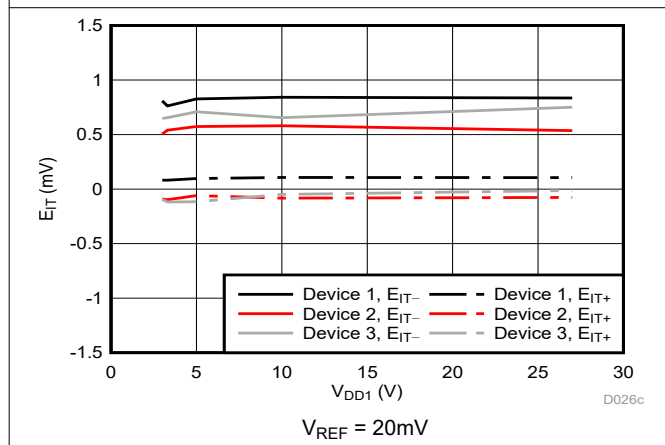


図 5-23. Cmp1 のトリップ・スレッシュヨルド誤差と電源電圧との関係

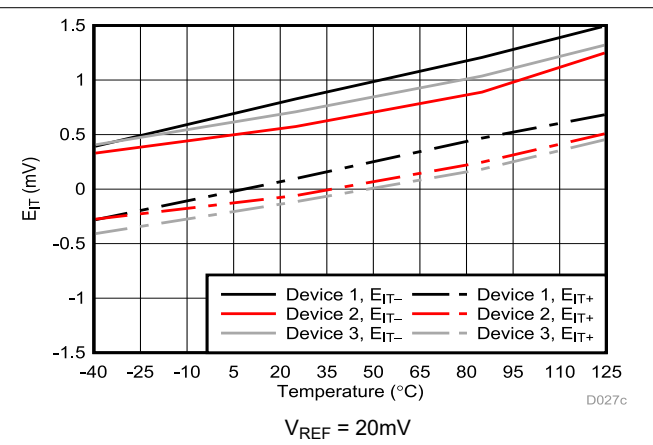


図 5-24. Cmp1 のトリップ・スレッシュヨルド誤差と温度との関係

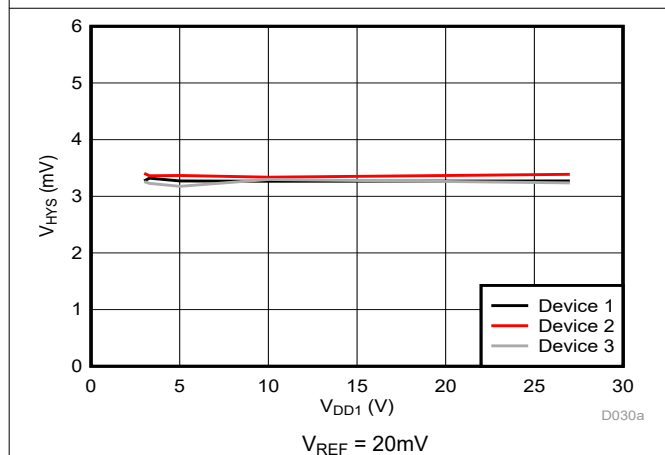


図 5-25. Cmp1 のトリップ・スレッシュヨルドのヒステリシスと電源電圧との関係

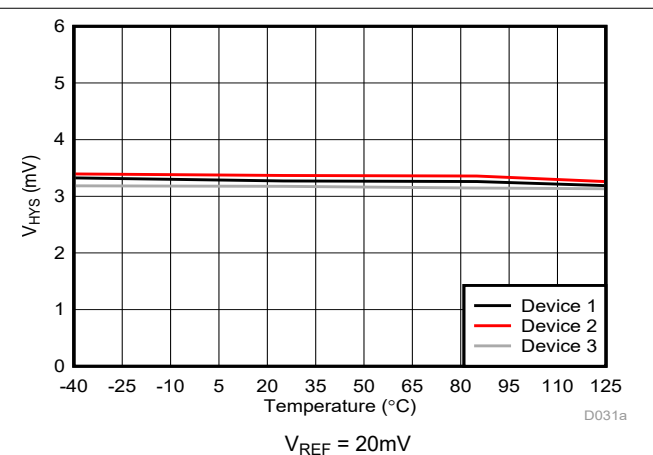


図 5-26. Cmp1 のトリップ・スレッシュヨルドのヒステリシスと温度との関係

5.9 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)

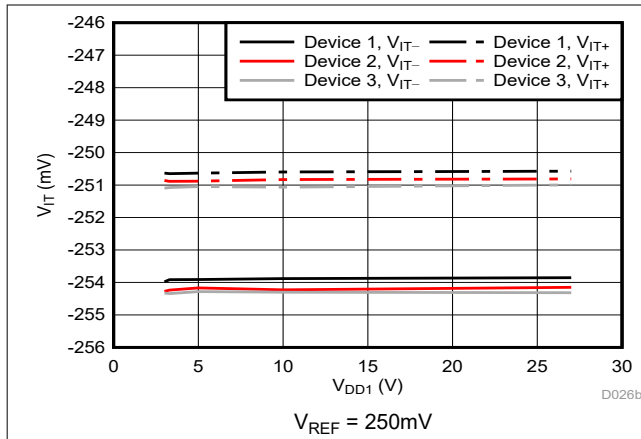


図 5-27. Cmp1 のトリップ・スレッシュヨルドと電源電圧との関係

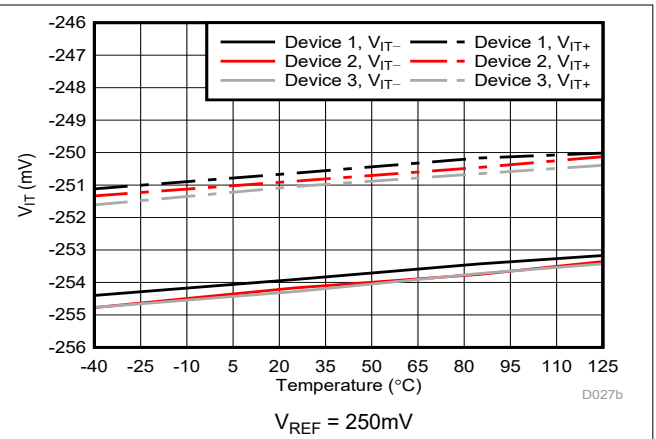


図 5-28. Cmp1 のトリップ・スレッシュヨルドと温度との関係

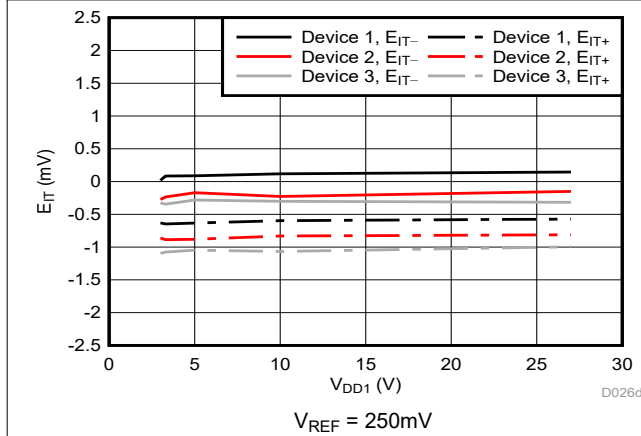


図 5-29. Cmp1 のトリップ・スレッシュヨルド誤差と電源電圧との関係

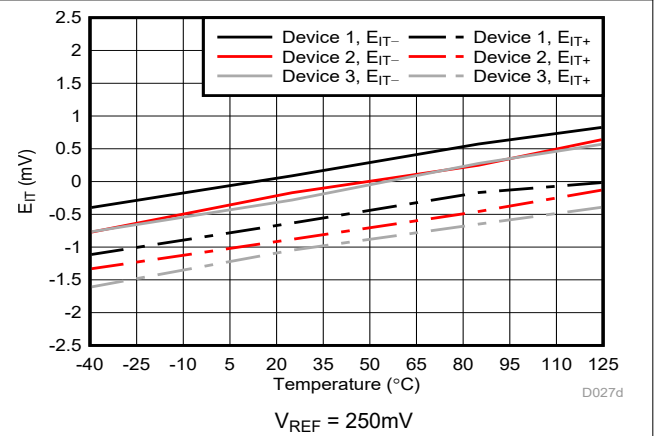


図 5-30. Cmp1 のトリップ・スレッシュヨルド誤差と温度との関係

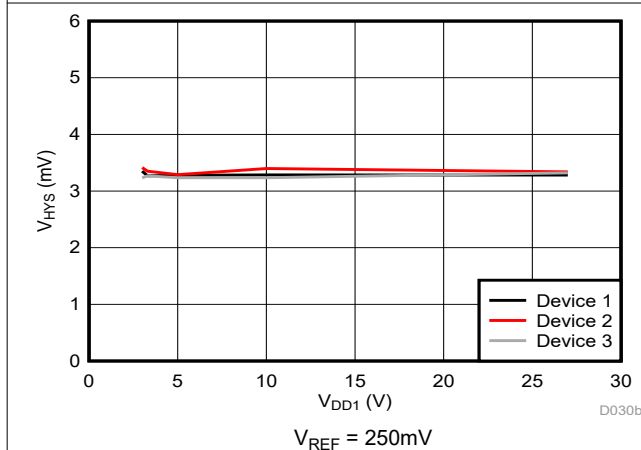


図 5-31. Cmp1 のトリップ・スレッシュヨルドのヒステリシスと電源電圧との関係

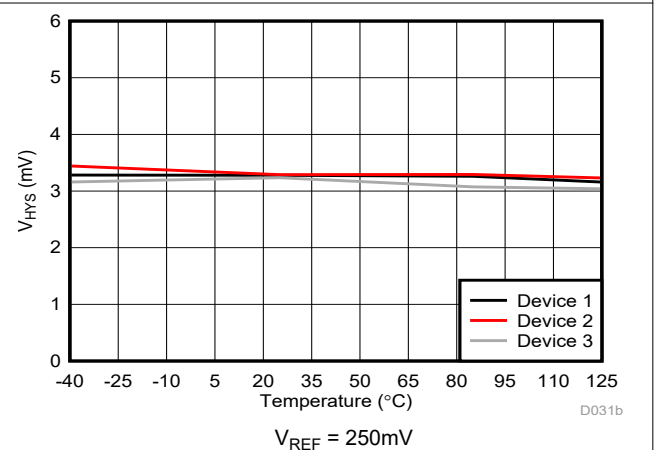


図 5-32. Cmp1 のトリップ・スレッシュヨルドのヒステリシスと温度との関係

5.9 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)

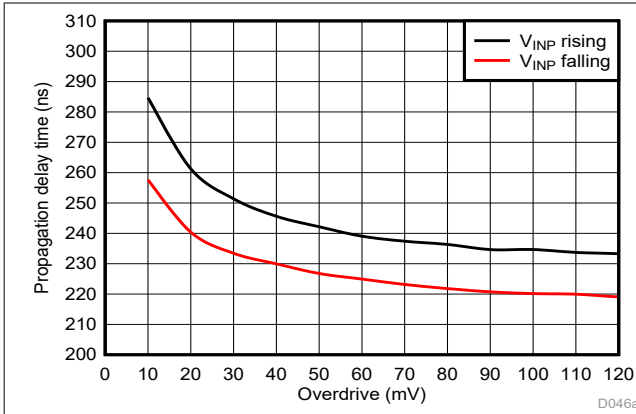


図 5-33. Cmp0 の伝搬遅延とオーバードライブとの関係

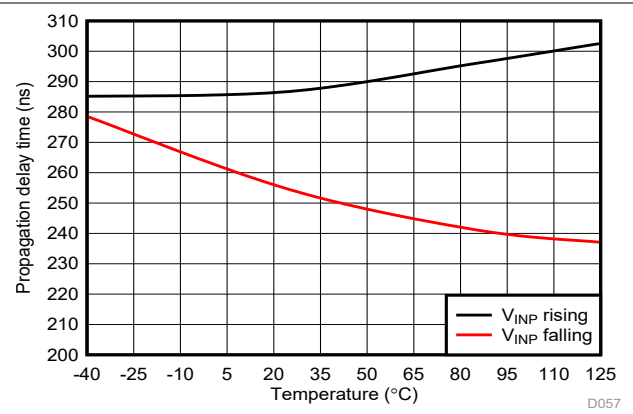


図 5-34. Cmp0 の伝搬遅延と温度との関係

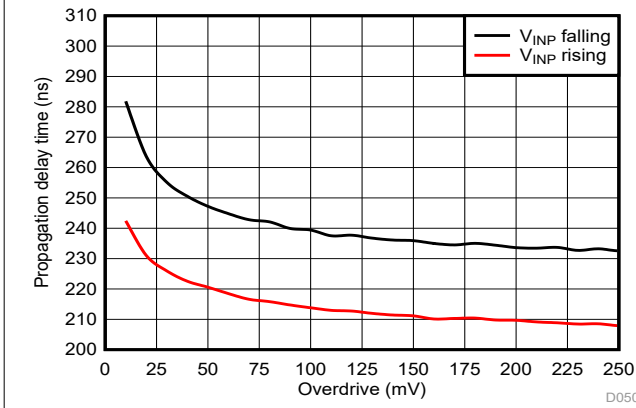


図 5-35. Cmp1 の伝搬遅延とオーバードライブとの関係

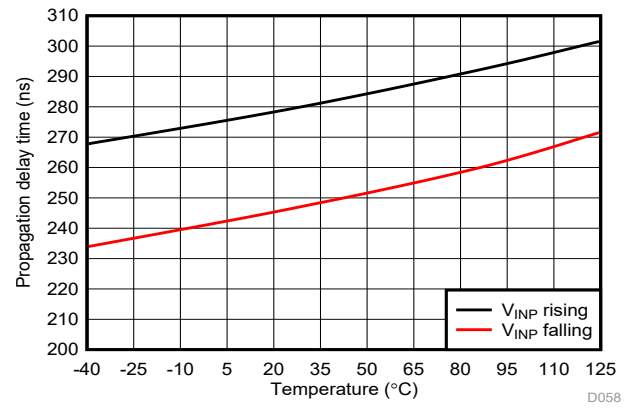


図 5-36. Cmp1 の伝搬遅延と温度との関係

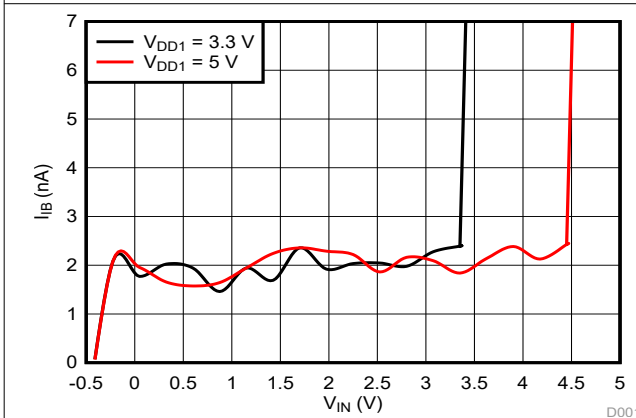


図 5-37. の入力バイアス電流と入力電圧との関係

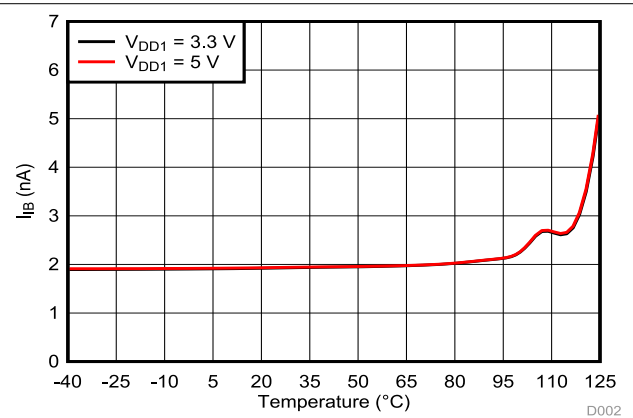


図 5-38. の入力バイアス電流と温度との関係

5.9 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)

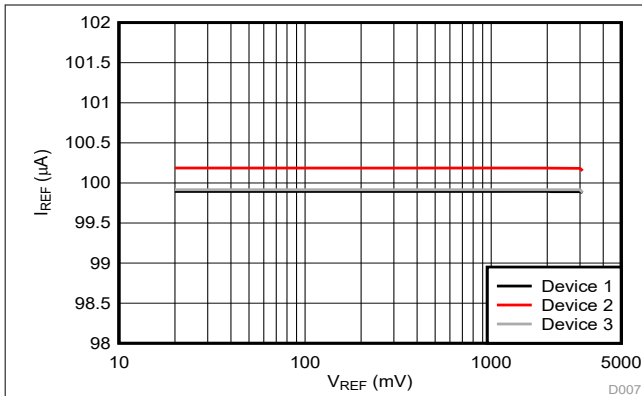


図 5-39. リファレンス電流とリファレンス電圧との関係

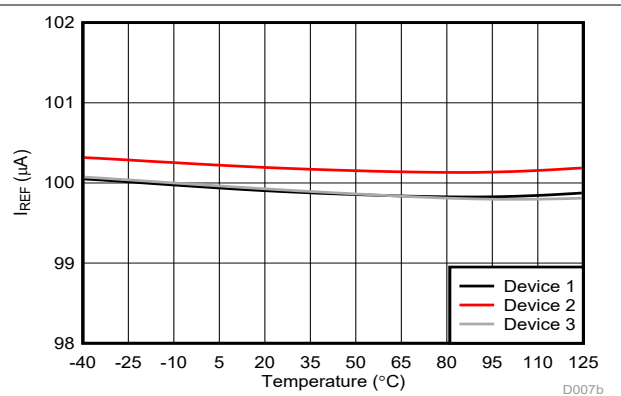


図 5-40. リファレンス電流と温度との関係

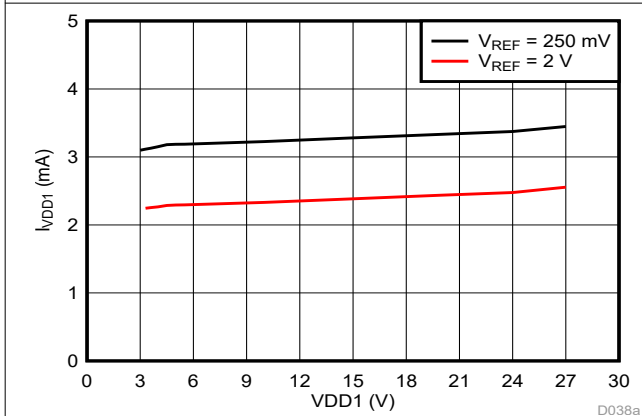


図 5-41. ハイサイド電源電流と電源電圧との関係

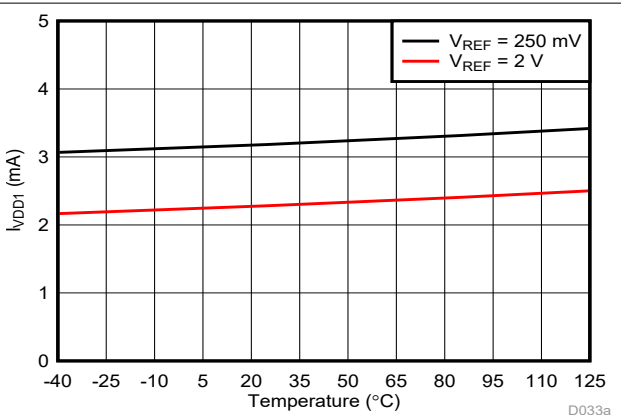


図 5-42. ハイサイド電源電流と温度との関係

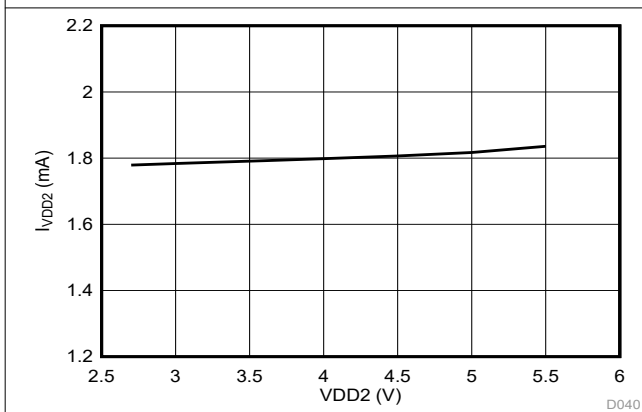


図 5-43. ローサイド電源電流と電源電圧との関係

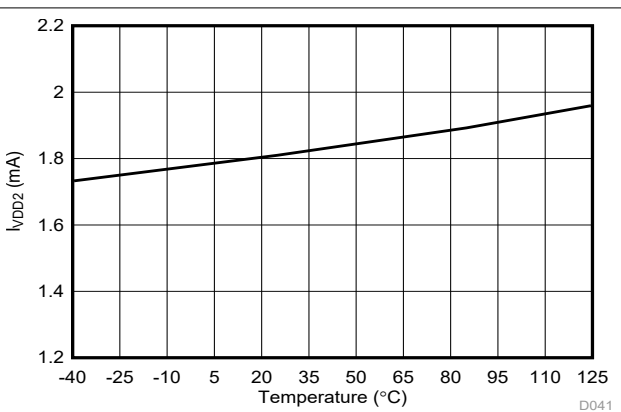


図 5-44. ローサイド電源電流と温度との関係

6 詳細説明

6.1 概要

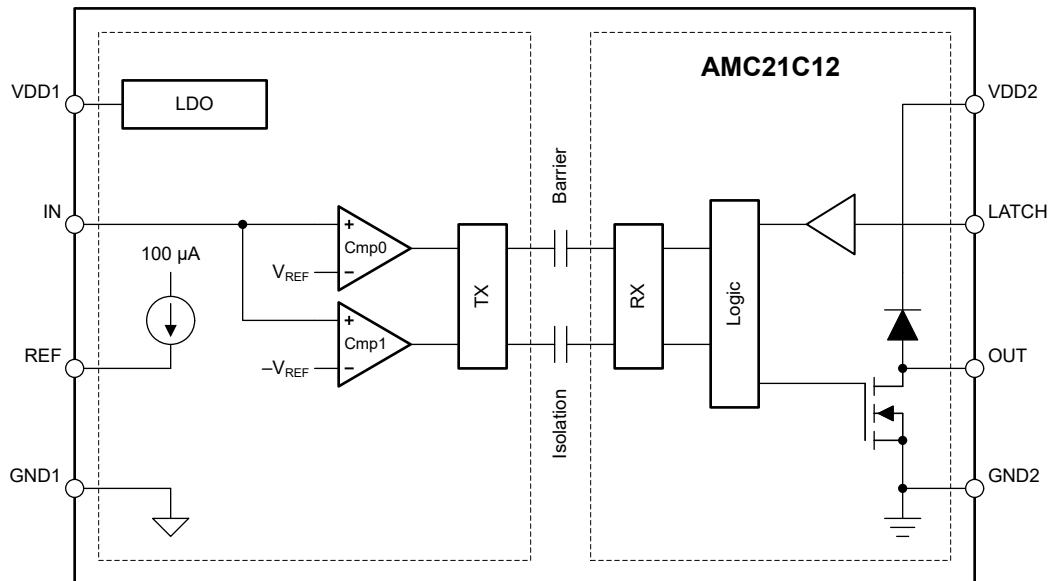
AMC21C12 は、オープン・ドレイン出力とオプションのラッチ機能を備えた絶縁型ウィンドウ・コンパレータです。このウィンドウ・コンパレータはコンパレータ Cmp0 および Cmp1 で構成されます。Cmp0 は正のスレッシュホールド (V_{IT+}) と入力電圧 (V_{IN}) を比較し、Cmp1 は負のスレッシュホールド (V_{IT-}) と入力電圧 (V_{IN}) を比較します。 V_{IT+} と V_{IT-} は大きさは同じで符号は逆なので、比較ウィンドウは 0V を中心としています。比較スレッシュホールドは、内部生成される 100 μ A のリファレンス電流と 1 つの外付け抵抗で $\pm 20\text{mV} \sim \pm 300\text{mV}$ に調整できます。

入力電圧 (V_{IN}) が比較ウィンドウを外れると、オープン・ドレイン出力はアクティブに Low になります。 V_{IN} が低下してウィンドウ内に戻った際の動作は、「[オープン・ドレイン・デジタル出力](#)」セクションで説明されているように、LATCH ピンによって決まります。

REF ピンの電圧が V_{MSEL} より高い場合、本デバイスは正のコンパレータ・モードで動作します。このモードは、正電圧を監視するのに特に便利です。負のコンパレータ (Cmp1) がディセーブルされ、正のコンパレータ (Cmp0) のみが機能します。このモードでのリファレンス電圧は最大 2.7V に設定できます。

本デバイスの高電圧側と低電圧側との間のガルバニック絶縁は、 SiO_2 ベースの容量性絶縁バリア越しにコンパレータの状態を送信することで実現されます。この絶縁バリアは、『[ISO72x デジタル・アイソレータの磁界耐性](#)』アプリケーション・レポートに記載されているように、高水準の磁界耐性をサポートします。絶縁バリア越しにデータを送信するために AMC21C12 が採用しているデジタル変調方式と、絶縁バリアの特性自体により、優れた信頼性と同相過渡耐性が得られます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 アナログ入力

リファレンス値に内部ヒステリシス電圧を加えた値として定義される V_{IT+} スレッシュホールドを入力電圧 (V_{IN}) が上回ると、正のコンパレータはトリップします。リファレンス値と等しい V_{IT-} スレッシュホールドを V_{IN} が下回ると、正のコンパレータはリリースされます。負のリファレンス値から内部ヒステリシス電圧を引いた値として定義される V_{IT-} スレッシュホールドを V_{IN} が下回ると、負のコンパレータはトリップします。負のリファレンス値と等しい V_{IT+} スレッシュホールドを V_{IN} が上回ると、負のコンパレータはリリースされます。

V_{IT+} と V_{IT-} の差はコンパレータ・ヒステリシスと呼ばれ、リファレンス電圧が 450mV 未満なら 4mV です。あらかじめヒステリシスが組み込まれているため、AMC21C12 は入力ノイズの影響を受けづらく、ノイズの多い環境でも安定して動作します。ヒステリシスを生成するための外部正帰還を追加する必要はありません。600mV を超えるリファレンス値 (V_{REF}) の場合、Cmp0 のヒステリシスは 25mV に増加します。詳細については、「[リファレンス入力](#)」の説明を参照してください。

ヒステリシスとスイッチング・スレッシュホールドとの関係を表すタイミング図を、[図 6-1](#) に示します。

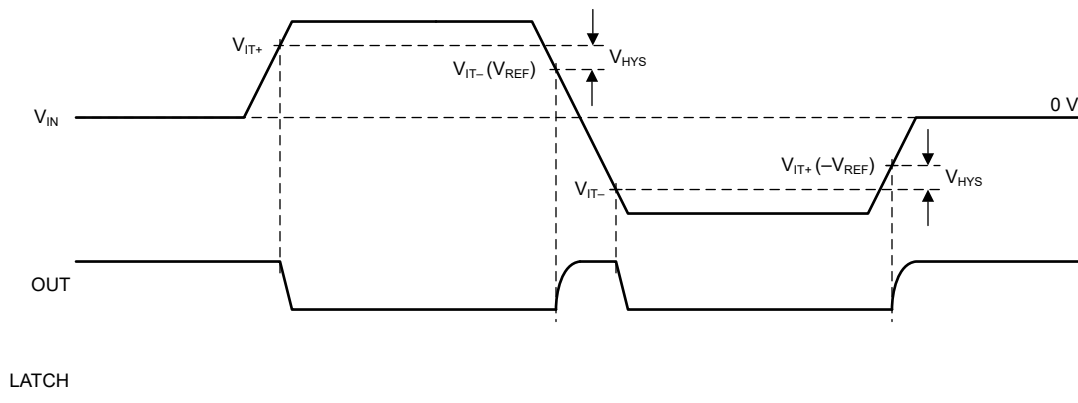


図 6-1. スwitching・スレッシュホールドとヒステリシス

6.3.2 リファレンス入力

REF ピンの電圧は、ウィンドウ・コンパレータのトリップ・スレッシュホールドを決定します。内部の高精度電流源は、REF ピンから GND1 に接続された外部抵抗に 100 μ A の電流を流します。抵抗の両端に結果として生じる電圧 (V_{REF}) は、正と負のトリップ・スレッシュホールドの大きさと等しくなります (図 6-1 を参照)。リファレンス電圧をフィルタ処理するため、抵抗と並列に 100nF のコンデンサを配置します。このコンデンサは、起動中に 100 μ A の電流源で充電される必要があり、その充電時間はハイサイドのブランキング時間 ($t_{HS, BLK}$) を超えてもかまいません。この場合、図 6-2 に示すように、コンパレータは、ハイサイドのブランキング時間が経過した後で、 V_{REF} が最終値に達するまでの間、正しくない状態を出力することがあります。起動時の動作の詳細については、「**パワーアップ動作とパワーダウン動作**」セクションを参照してください。

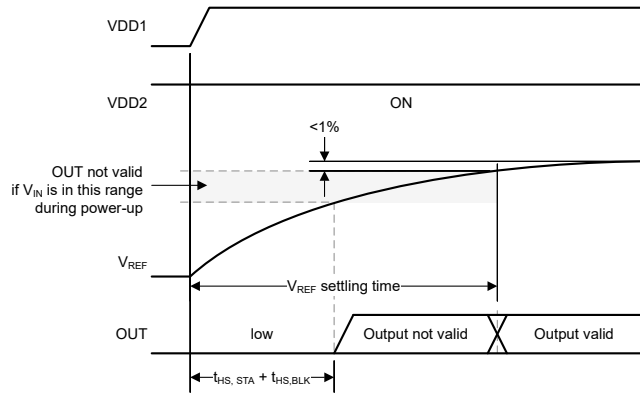


図 6-2. リファレンス電圧のセトリング・タイムが長いときの出力の動作

REF ピンの電圧は、負のコンパレータ (Cmp1) の機能と正のコンパレータ (Cmp0) のヒステリシスも決定します (機能ブロック図を参照)。「電気的特性」表に定義された V_{MSEL} スレッシュホールドを V_{REF} が上回ると、Cmp1 はディセーブルされ、Cmp0 のヒステリシスは 4mV (標準値) から 25mV に増加します。正のコンパレータ・モードは、高い入力電圧と高いノイズ耐性が必要な電圧監視アプリケーションを目的としています。

リファレンス電圧ピンは、動作中にコンパレータのスレッシュホールドを変更するために外部電圧源で駆動することもできます。しかし、通常動作中に V_{MSEL} スレッシュホールドを超えて V_{REF} を動的に駆動してはいけません。それにより、Cmp0 コンパレータのヒステリシスが変化し、出力が意図せずに切り替わる可能性があるためです。

図 6-3 に、モード選択のタイミング図を示します。

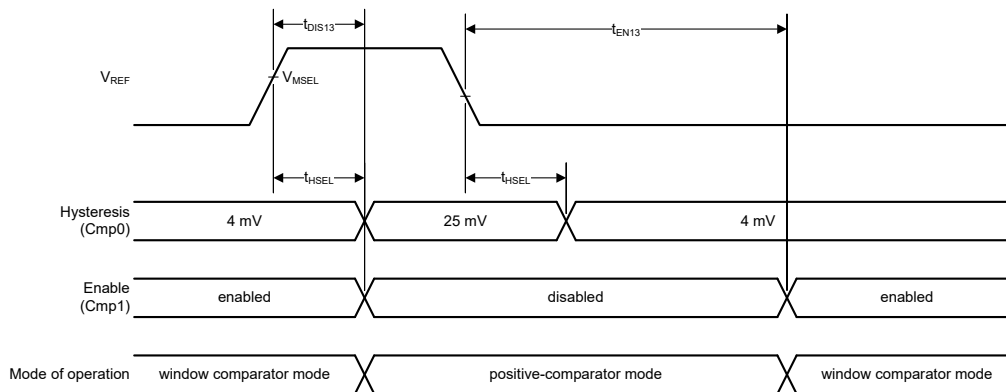


図 6-3. モード選択

6.3.3 絶縁チャネルの信号伝送

AMC21C12 は、SiO₂ ベースの絶縁バリア越しにコンパレータの出力状態を送信するため、[図 6-4](#) に示すオン / オフ・キーイング (OOK) 変調方式を採用しています。「[機能ブロック図](#)」に示す送信ドライバ (TX) は、デジタル 1 を表すために内部で生成された高周波キャリアを絶縁バリア越しに送信します。デジタル 0 を表す信号は送られません。

絶縁バリアの反対側のレシーバ (RX) は信号を回復および復調し、オープン・ドレイン出力バッファを駆動するロジックにデータを提供します。AMC21C12 の送信チャネルは、同相過渡耐性 (CMTI) を最大限に高め、高周波キャリアと RX/TX バッファのスイッチングに起因する放射妨害波を最小限に抑えるように最適化されています。

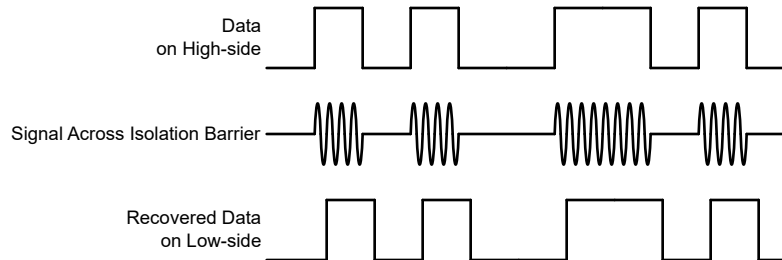


図 6-4. OOK ベースの変調方式

6.3.4 オープン・ドレイン・デジタル出力

AMC21C12 はラッチ機能付きオープン・ドレイン出力を備えています。REF ピンの電圧によって定義されたスレッシュホールド値を $|V_{IN}|$ が上回ると、出力はアクティブに Low になります (図 6-1 を参照)。

オープン・ドレイン出力には、VDD2 電源に対してダイオードが接続されています (機能ブロック図を参照)。これは、OUT ピンに大電流が流れ込み始めない限り、VDD2 電源電圧より 500mV を超えて出力が駆動されないことを意味しています。特に VDD2 が GND2 レベルである場合、オープン・ドレイン出力は、グランドより 1 ダイオード分高い電圧にクランプされます。この動作を、図 6-5 から図 6-10 までの、灰色の網掛けで示します。

システム・レベルでは、オープン・ドレイン信号ラインの CMTI 性能はプルアップ抵抗の値によって異なります。高いスルーレート (dV/dt が高い) の同相過渡イベント中、プリント基板 (PCB) のハイサイドとローサイドの間の寄生容量結合により、オープン・ドレイン信号ラインが Low にされることがあります。寄生結合が信号レベルに及ぼす影響は、プルアップ強度の関数であり、プルアップ抵抗の値が小さいほど CMTI の性能が向上します。AMC21C12 は、比較的弱いプルアップ抵抗値 10kΩ で特性付けされており、4.7kΩ 以下のプルアップ抵抗を使用する標準的なアプリケーションで、規定の CMTI 性能を確実に満たすことができます。

6.3.4.1 透過出力モード

LATCH ピンを LOW にすると、本デバイスはトランスペアレント・モードに設定され、設定された閾値電圧と入力信号の関係に基づいて出力状態が変化します。たとえば、入力信号が閾値電圧を上回ると、OUT ピンは LOW に駆動されます。入力信号が閾値電圧を下回ると、出力はデフォルトの HIGH 出力状態に戻ります。トランスペアレント・モードでデバイスを使用する一般的な実装は、OUT ピンをコントローラのハードウェア割り込み入力に接続することです。本デバイスが範囲外状態を検出し、OUT ピンが LOW に駆動されるとすぐに、コントローラの割り込み端子が出力状態の変化を検出し、範囲外状態の対応に必要なシステム動作に変化し始めることができます。

6.3.4.2 ラッチ出力モード

一部のアプリケーションには、過電流状態を検出するために OUT ピンの状態を継続的に監視できる機能がありません。このアプリケーションの代表例は、システムが正常に機能しているかどうかを確認するために OUT 端子の状態を定期的にポーリングできるだけのシステムです。この種のアプリケーションでデバイスをトランスペアレント・モードに設定した場合、これらの定期的なポーリング・イベントのいずれかの最中に範囲外状態が発生しない限り、OUT ピンの状態変化を見逃す可能性があります。

ラッチ・モードは、特にこれらのアプリケーションに対応することを目的としています。LATCH 端子の電圧を論理 HIGH レベルに設定することで、本デバイスはラッチ・モードに移行します。ラッチ・モードとトランスペアレント・モードの違いは、範囲外イベントが終了した際のアラート出力の応答の仕方です。トランスペアレント・モードでは、入力信号が閾値電圧を下回ると、出力状態はデフォルトの HIGH 設定に戻り、範囲外イベントが終了したことを示します。

ラッチ・モードでは、範囲外状態が検出され OUT ピンが LOW に駆動された場合、入力信号が閾値電圧レベルを下回っても OUT ピンはデフォルトの HIGH レベルには戻りません。このイベントをクリアするには、LATCH 端子を 4μs 以上の間 LOW にプルする必要があります。LATCH ピンを LOW にプルした場合、入力信号が閾値電圧を下回ると、OUT ピンはデフォルトの HIGH レベルに戻れます。LATCH ピンを LOW にプルした際に、入力信号が依然として閾値電圧を超えている場合、OUT 端子は LOW に維持されます。システム・コントローラによって範囲外イベントが検出された場合、LATCH ピンを HIGH に戻すことで本デバイスをラッチ・モードに戻せます。

6.3.5 パワーアップ動作とパワーダウン動作

ローサイド電源 (VDD2) がオンになると、オープン・ドレイン出力はハイ・インピーダンス (Hi-Z) 状態で起動します。起動後、ハイサイドがまだ機能していない場合、出力はアクティブに Low になります。図 6-5 に示すように、この状態は、ローサイドの起動時間とハイサイドのフォルト検出遅延時間の和 ($t_{LS, STA} + t_{HS, FLT}$) の後で発生します。同様に、通常動作中にハイサイドのフォルト検出遅延時間より長い間、ハイサイド電源が低電圧スレッショルド ($VDD1_{UV}$) を下回ると、オープン・ドレイン出力は Low になります (図 6-8 を参照)。この遅延により、ハイサイド電源を喪失してもシステムは確実にシャットダウンできます。

REF ピンの電圧を安定させ、起動中にコンパレータ出力が意図せず切り替わることを防止するため、コンパレータのハイサイドとローサイドとの間での通信開始は、ハイサイドのブランキング時間 ($t_{HS, BLK}$ 、高電圧側に実装された時定数) だけ遅延します。

図 6-5 から図 6-10 までに、代表的な起動および停止のシナリオを示します。

図 6-5 では、ローサイド電源 (VDD2) がオンになりますが、ハイサイド電源 (VDD1) はオフのままです。出力は Hi-Z 状態で起動します。 $t_{HS, FLT}$ 後、OUT は Low になり、ハイサイド電源喪失フォルトを示します。

図 6-6 では、ローサイド電源 (VDD2) がオンになった後しばらくして、ハイサイド電源 (VDD1) がオンになります。出力は最初はアクティブ Low 状態です (図 6-5 を参照)。ハイサイド電源がイネーブルされた後、本デバイスが通常動作となり、出力がコンパレータの現在の状態を反映するまでに、 $t_{HS, STA} + t_{HS, BLK}$ の時間が経過します。

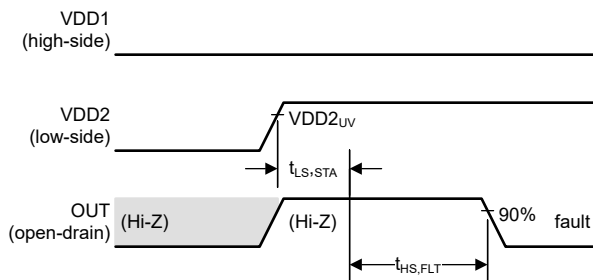


図 6-5. VDD2 がオンになり、VDD1 はオフのまま

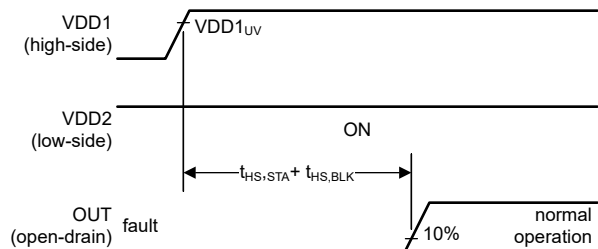


図 6-6. VDD2 がオンで、VDD1 がオンになる (遅延時間が長い)

図 6-7 では、ローサイド電源 (VDD2) がオンになった後で、わずかに遅れてハイサイド電源 (VDD1) がオンになります。出力は最初は Hi-Z 状態です。ハイサイド・フォルト検出遅延 ($t_{HS, FLT}$) はハイサイドのブランキング時間 ($t_{HS, BLK}$) より短いため、出力は $t_{HS, FLT}$ の後で Low になり、ハイサイドがまだ動作していないことを示します。ハイサイドのブランキング時間 ($t_{HS, BLK}$) が経過した後、本デバイスは通常動作になり、出力はコンパレータの現在の状態を反映します。

図 6-8 では、ハイサイド電源 (VDD1) がオフになった後で、ローサイド電源 (VDD2) がオフになります。ハイサイド・フォルト検出遅延時間 ($t_{HS, FLT}$) の後、出力はアクティブに Low になります。VDD2 が $VDD2_{UV}$ スレッショルドを下回るとすぐに、出力は Hi-Z 状態になります。

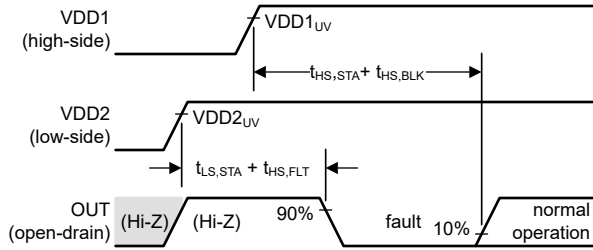


図 6-7. VDD2 がオンになってから VDD1 がオンになる
(遅延時間が短い)

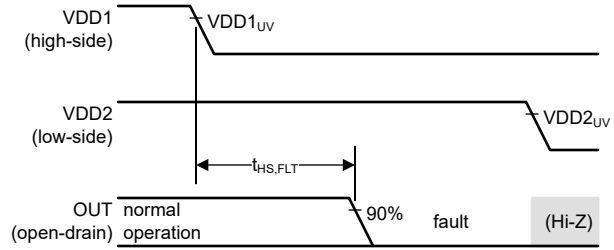


図 6-8. VDD1 がオフになってから VDD2 がオフになる

図 6-9 では、ハイサイドが完全に起動した後で、ローサイド電源 (VDD2) がオンになります (VDD1 と VDD2 の間の遅延は $(t_{HS, STA} + t_{HS, BLK})$ より大きい)。出力は Hi-Z 状態で起動します。ローサイドの起動時間 ($t_{LS, STA}$) の後で、デバイスは通常動作になります。

図 6-10 では、ローサイド電源 (VDD2) がオフになってから、ハイサイド電源 (VDD1) がオフになります。VDD2 が $VDD2_{UV}$ スレッショルドを下回るとすぐに、出力は Hi-Z 状態になります。

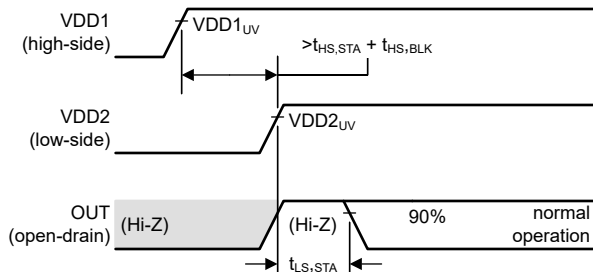


図 6-9. VDD1 がオンになってから VDD2 がオンになる
(遅延時間が長い)

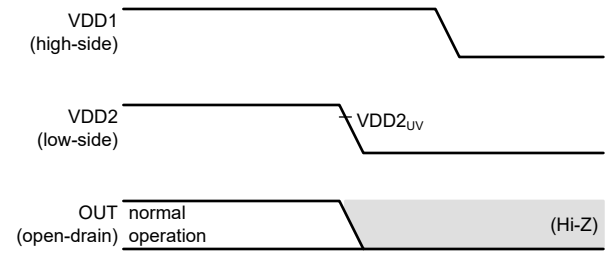


図 6-10. VDD2 がオフになってから VDD1 がオフになる

6.3.6 VDD1 のブラウンアウトおよび電源喪失時の動作

ブラウンアウトとは、仕様で規定された動作電圧範囲よりも VDD1 電源電圧が低下したが、そのデバイスは機能し続けている状態を指します。電源喪失とは、そのデバイスが機能を停止するレベルを VDD1 電源電圧が下回った状態を指します。その持続時間と電圧レベルに応じて、ブラウンアウト状態はそのデバイスの出力で観測される場合とされない場合があります。電源喪失状態は、絶縁型コンパレータの出力で常に通知されます。

図 6-11 ~ 図 6-13 に、代表的なブラウンアウトおよび電源喪失シナリオを示します。

図 6-11 では、VDD1 は低電圧検出閾値電圧 ($VDD1_{UV}$) 未満に低下しますが、1 次側フォルト検出遅延時間 ($t_{HS,FLT}$) が経過する前に復帰しています。ブラウンアウト・イベントは、コンパレータの出力には影響しません。

図 6-12 では、1 次側フォルト検出の遅延時間 ($t_{HS,FLT}$) より長い間、VDD1 が低電圧検出閾値電圧 ($VDD1_{UV}$) を下回っています。このブラウンアウト状態はフォルトとして検出され、 $t_{HS,FLT}$ に等しい遅延の後、出力は LOW に駆動されます。VDD1_{UV} 閾値電圧より高い電圧に VDD1 が回復するとすぐに、本デバイスは通常動作に復帰します。

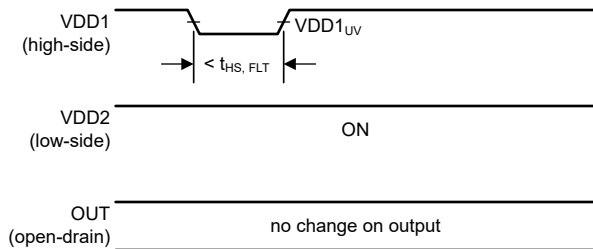


図 6-11. VDD1 の短いブラウンアウト・イベントに対する出力応答

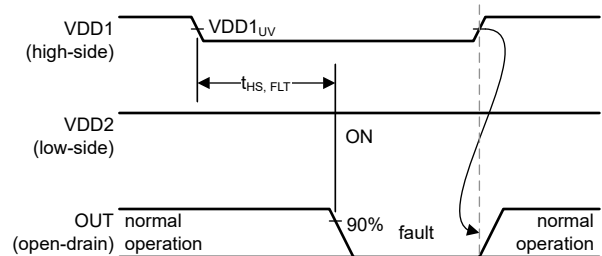


図 6-12. VDD1 の長いブラウンアウト・イベントに対する出力応答

図 6-13 では、VDD1 がパワーオン・リセット (POR) 閾値電圧 ($VDD1_{POR}$) 未満に低下しています。この電源喪失状態はフォルトとして検出され、 $t_{HS,FLT}$ に等しい遅延の後、出力は LOW に駆動されます。VDD1_{UV} 閾値電圧より高い電圧に VDD1 が回復すると、 $t_{HS,STA} + t_{HS,BLK}$ に等しい遅延の後、本デバイスは通常動作に復帰します。

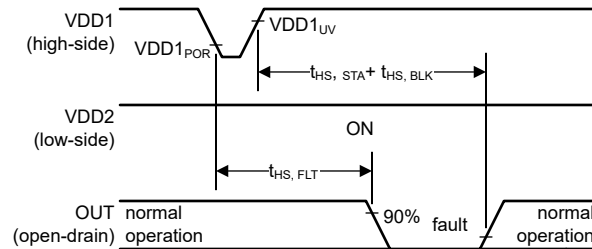


図 6-13. VDD1 の電源喪失イベントに対する出力応答

6.4 デバイスの機能モード

AMC21C12 デバイスは、[推奨動作条件](#)の表に規定された電源 (VDD1、VDD2) を使うことで機能します。

REF ピンの電圧が V_{MSEL} 閾値電圧より低い場合、1 次側の両方のコンパレータは組み合わさって 1 つのウィンドウ・コンパレータとして機能します。REF ピンの電圧が V_{MSEL} 閾値電圧より高い場合、負のコンパレータ (Cmp0) は無効化され、Cmp1 はヒステリシスが大きい 1 つの正のコンパレータとして機能します ([リファレンス入力セクション](#)を参照)。

本デバイスは、LATCH 入力ピンの設定に基づいて選択される 2 つの出力動作モード (トランスペアレント・モード、ラッチ・モード) を備えています。これらのモードは、変化する入力信号の状態に対する OUT ピンの応答方法に影響します。詳細については、[オープン・ドレイン・デジタル出力](#)のセクションを参照してください。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

AMC21C12 は応答時間が短く、同相過渡耐性 (CMTI) が高く、ガルバニック絶縁バリアが組み込まれており、過酷でノイズの多い環境で、高速かつ高い信頼性で過電流と過電圧を検出するように設計されています。

7.2 代表的なアプリケーション

7.2.1 過電流の検出

DC リンクの過電流の検出は、DC/DC コンバータおよびモーター制御アプリケーションの一般的な要件で、[図 7-1](#) に示すように AMC21C12 絶縁ウィンドウ・コンパレータを使用して実装できます。

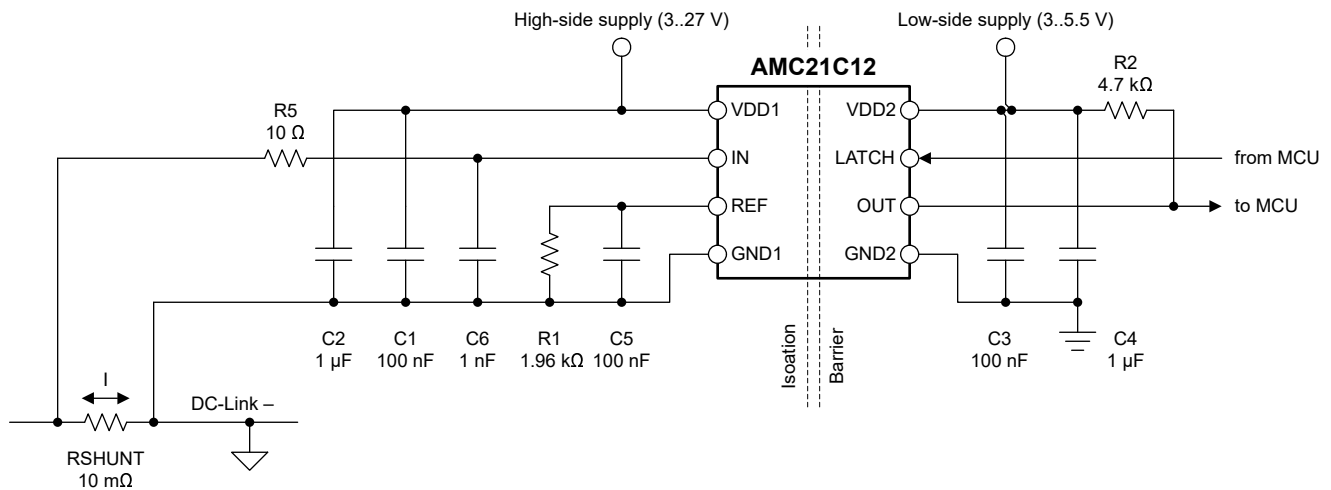


図 7-1. AMC21C12 による過電流の検出

外付けのシャント抵抗 RSHUNT を流れる負荷電流によって発生する電圧降下が、外付け抵抗 R1 により設定される過電流検出スレッシュホールドと比較されます。AMC21C12 は、シャント抵抗の両端における電圧降下が正負いずれの方向でもスレッシュホールド値 (V_{REF}) を超えると、オープン・ドレイン出力 OUT をプルダウンして、過電流イベントを通知します。

ハイサイドに内蔵された低ドロップアウト (LDO) レギュレータにより、VDD1 入力を一般的に使用されるゲート・ドライバ電源に直接接続できます。AMC21C12 は応答時間が短く、同相過渡耐性 (CMTI) に優れているため、ノイズの多い環境でも信頼性と精度の高い動作を実現できます。

7.2.1.1 設計要件

表 7-1 に、図 7-1 のアプリケーション例のパラメータ一覧を示します。

表 7-1. 設計要件

パラメータ	値
ハイサイド電源電圧	3V ~ 27V
ローサイド電源電圧	2.7V ~ 5.5V
最大ピーク・モーター電流	±25A
過電流検出スレッショルド	±20A
ピーク・モーター電流時のシャント抵抗の両端での電圧降下	±250mV
シャント抵抗値	10mΩ

7.2.1.2 詳細な設計手順

この例のシャント抵抗の値は 10mΩ で、ピーク・モーター電流での目標の電圧降下 (±25A において ±250mV) によって決定されます。±250mV は任意の値ですが、同じシャント抵抗を通過する電流を測定するため使用される、絶縁型電流センシング・アンプの線形入力電圧範囲とよく一致しています。

目的の 20A の過電流検出レベルでは、シャント抵抗の両端の電圧降下は $10\text{m}\Omega \times 20\text{A} = 200\text{mV}$ です。ウィンドウ・コンパレータの正方向のトリップ・スレッショルドは $V_{\text{REF}} + V_{\text{HYS}}$ です。ここで、 V_{HYS} は「電気的特性」の表で規定されている 4mV で、 V_{REF} は、REF ピンと GND1 ピンの間に接続された R1 の両端の電圧です。R1 は $(V_{\text{TRIP}} - V_{\text{HYS}}) / I_{\text{REF}} = (200\text{mV} - 4\text{mV}) / 100\mu\text{A} = 1.96\text{k}\Omega$ と計算され、E96 シリーズの値 (1% 精度) と一致します。

入力信号をフィルタ処理し、ノイズに対する感度を下げるため、10Ω、1nF の RC フィルタ (R5、C6) をコンパレータの入力に配置します。このフィルタにより、保護回路の総応答時間を計算する際に考慮すべき $10\Omega \times 1\text{nF} = 10\text{ns}$ の伝播遅延が追加されます。そのシステムが追加の遅延に耐えられる場合、ノイズ耐性を高めるためにフィルタ定数を大きくすることを推奨します。

表 7-2 に、この設計の主要パラメータを示します。

表 7-2. 過電流検出の設計例

パラメータ	値
基準抵抗の値 (R1)	1.96kΩ
基準コンデンサの値 (C5)	100nF
リファレンス電圧	196mV
電源オン時のリファレンス電圧のセtring・タイム ⁽¹⁾	470μs
過電流トリップ・スレッショルド (立ち上がり)	200mV/20.0A
過電流トリップ・スレッショルド (立ち下がり)	196mV/19.6A

(1) 最終値の 90% までのセtring・タイム。シミュレーションにより決定されます。「リファレンス入力」セクションで説明されているように、電源オン時にはセtring・タイムを考慮する必要があります。

7.2.1.3 アプリケーション曲線

図 7-2 に、振幅 720mV_{PP} のバイポーラ三角入力波に対する AMC21C12 の代表的な応答を示します。出力 (OUT) は、VIN が REF ピン電圧によって決定される $\pm 250\text{mV}$ のレベルを交差すると、切り替わります。この例では、REF ピンの電圧は 250mV にバイアスされます。

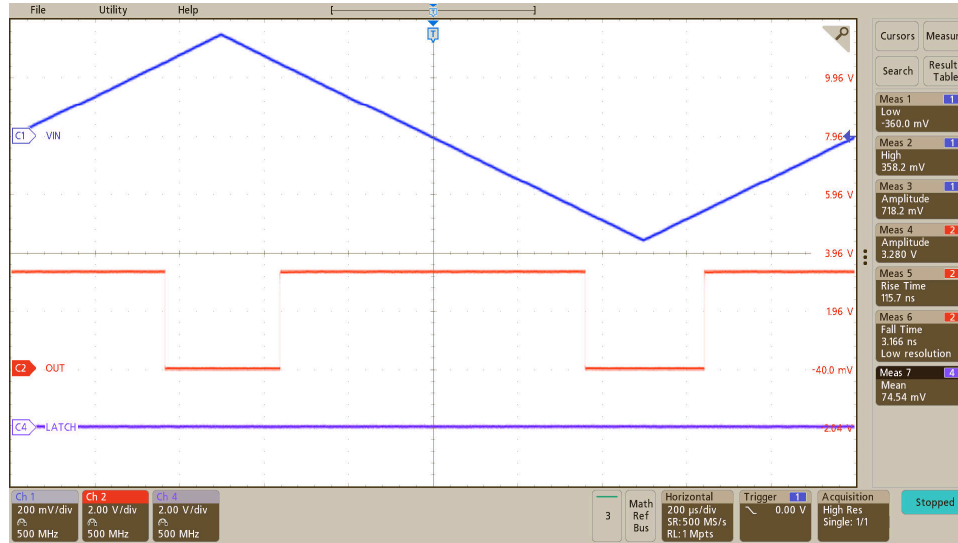
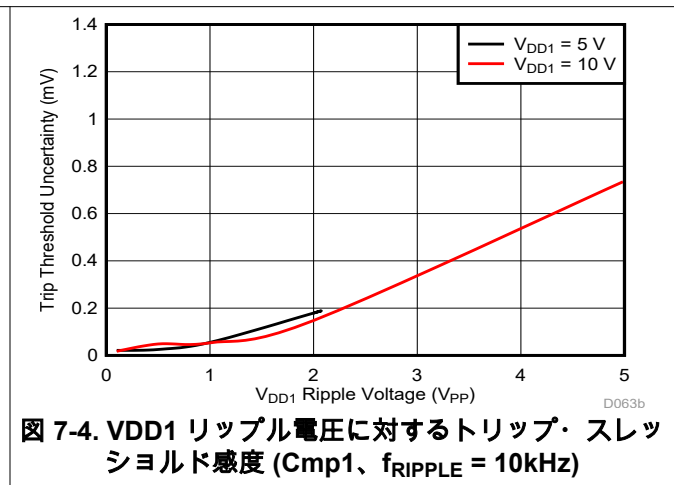
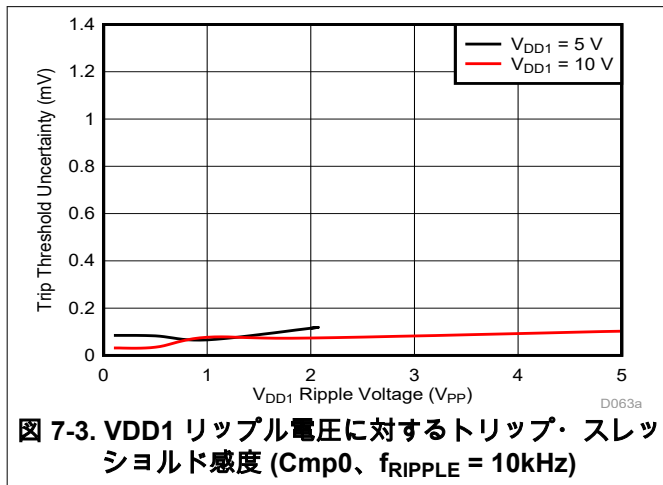


図 7-2. 三角入力波に対する AMC21C12 の出力応答

AMC21C12 の内蔵 LDO は、高電圧側の電源要件を大幅に緩和し、レギュレートされていないトランス、チャージ・ポンプ、ブートストラップ電源からデバイスに電力を供給できます。以下の図に示すように、内部 LDO は内部回路に安定した動作電圧を供給するため、 $2V_{PP}$ 以上のリップル電圧でもトリップのスレッシュホールドにほぼ影響しません。



7.2.2 過電圧検出

図 7-5 に示すのは、一般的なアプリケーションで AMC21C12 を使用して 48V 電源を監視し、出力がパワー・グッド・スレッショルドを上回って / 下回っているかをチェックする例です。

分圧器 (R5 および R6) は、48V 電源がパワー・グッド・スレッショルドを上回ると絶縁型コンパレータがトリップされるように、サイズが設定されています。

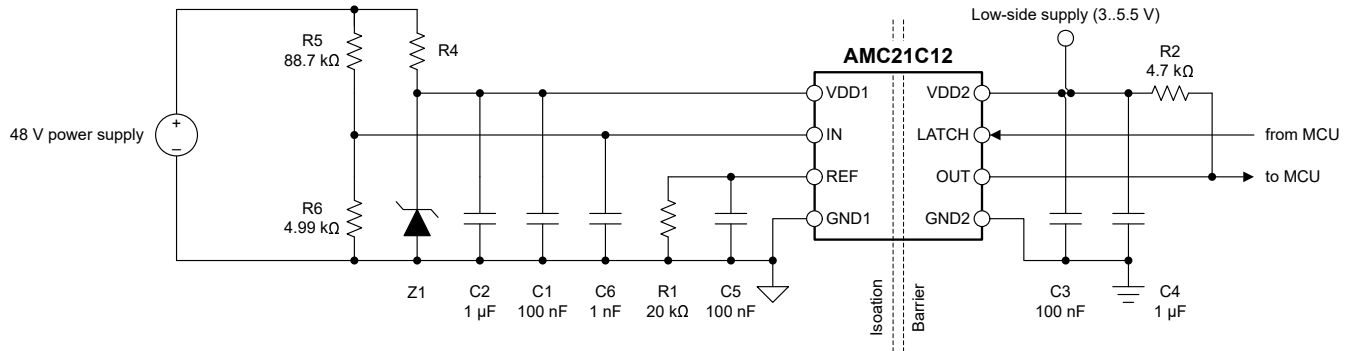


図 7-5. AMC21C12 を使用した 48V 電源の監視

7.2.2.1 設計要件

表 7-3 に、図 7-5 のアプリケーション例のパラメータ一覧を示します。

表 7-3. 設計要件

パラメータ	値
ローサイド電源電圧	3V ~ 5.5V
48V 電源のパワー・グッド・スレッショルド	38V
公称電源電圧 (48V) での抵抗分圧器を流れる電流 (R5 + R6)	500μA
コンパレータのトリップ・スレッショルド (V_{TRIP})	2V

7.2.2.2 詳細な設計手順

絶縁コンパレータのトリップ・スレッショルドは、外付け抵抗 R1 と、AMC21C12 の内部 100μA 電流源によって決定されます。R1 は、 $(V_{TRIP} - V_{HYS}) / I_{REF} = (2V - 25mV) / 100μA = 19.75kΩ$ と計算されます。コンパレータは $V_{REF} + V_{HYS}$ でトリップするため、 V_{TRIP} からコンパレータのヒステリシス電圧 (V_{HYS}) が減算されます。図 6-1 を参照してください。「リファレンス入力」セクションに説明されているように、リファレンス電圧が 550mV を上回るため、ヒステリシスの値は 25mV です。R1 は、E96 シリーズに存在する値の中で最も近い 20kΩ に切り上げられ、トリップ・スレッショルド (入力立ち上がり) は 2.025V になります。この値は、パワー・グッド・スレッショルド 38V において、R6 の両端での電圧の目標値です。

公称電源電圧 (48V) で抵抗分圧器 (R5 および R6) を流れるクロス電流が 500μA という要件から、抵抗分圧器の合計インピーダンスは $48V / 500μA = 96kΩ$ になります。目標のパワー・グッド・スレッショルドが 38V のとき、抵抗分圧器を流れる電流は $38V / 48V \times 500μA = 395.8μA$ で、R6 は $2.025V / 395.8μA = 5.115kΩ$ と計算されます。E96 シリーズで、これに最も近い値は 4.99kΩ です。R5 は $96kΩ - 4.99kΩ = 91.01kΩ$ と計算されます。E96 シリーズで、これに最も近い値は 88.7kΩ です。

表 7-4 に、この設計の主要パラメータを示します。

表 7-4. 過電圧と低電圧の検出の設計例

パラメータ	値
基準抵抗の値 (R1)	20.0kΩ
R5 の抵抗値	88.7kΩ
R6 の抵抗値	4.99kΩ
リファレンス電圧 (V_{REF})	2000mV
電源オン時のリファレンス電圧のセトリング・タイム ⁽¹⁾	4.6ms
パワー・グッド・トリップのスレッシュホールド (立ち上がり)	38.0V
パワー・グッド・トリップのスレッシュホールド (立ち下がり)	37.5V

(1) 最終値の 90% までのセトリング・タイム。シミュレーションにより決定されます。「リファレンス入力」セクションで説明されているように、電源オン時にはセトリング・タイムを考慮する必要があります。

7.2.2.3 アプリケーション曲線

「過電流の検出」セクションの「アプリケーション曲線」は、このアプリケーションにも適用できます。

7.3 設計のベスト・プラクティス

検出抵抗のローサイド側と、AMC21C12 の GND1 ピンとの間の接続は、短く、低インピーダンスにします。グラウンド・ラインの電圧降下はすべて、コンパレータの入力で検出される電圧に誤差を加え、トリップ・スレッシュホールドの不正確さの原因となります。

同相過渡耐性を最大限に高めるには、[図 7-7](#) に示すように、フィルタ・コンデンサ C5 を REF ピンにできるだけ近づけて配置します。同相過渡イベント時にオープン・ドレイン信号ラインでの容量性結合の影響を最小限に抑えるため、「[オープン・ドレイン・デジタル出力](#)」の説明に従って、オープン・ドレイン出力に小さい値 (10kΩ 未満) のプルアップ抵抗を使用します。

双方向電流検出アプリケーションでは、「[推奨動作条件](#)」の表に規定されている 300mV V_{REF} の制限値を超えないようにします。REF ピンを V_{MSEL} のスレッシュホールド (450mV ~ 600mV の範囲) 付近にバイアスして本デバイスを動作させないでください (Cmp0 のヒステリシスの動的スイッチングを避けるためです。「[リファレンス入力](#)」セクションの説明を参照)。

AMC21C12 には、起動中にリファレンス電圧 (V_{REF}) が安定できるよう、制限付きの 200μs のブランキング時間 ($t_{HS, BLK}$) があります。多くのアプリケーションでは、リファレンス電圧が安定するのに 200μs のブランキング時間よりも長くかかり、「[図 6-2](#)」で説明されているように、システムの起動中にコンパレータの出力にグリッチが起きる可能性があります。システム全体の起動設計におけるリファレンス電圧のセトリング・タイムを考慮してください。

7.4 電源に関する推奨事項

AMC21C12 は、特定の起動シーケンスを必要としません。ハイサイド電源 (VDD1) は、低 ESR の $1\mu\text{F}$ コンデンサ (C2) と並列接続された低 ESR の 100nF コンデンサ (C1) でデカップリングされます。ローサイド電源 (VDD2) は、低 ESR の $1\mu\text{F}$ コンデンサ (C4) と並列接続された低 ESR の 100nF コンデンサ (C3) で同様にデカップリングされます。4 つのコンデンサ (C1、C2、C3、C4) はすべてデバイスのできるだけ近くに配置します。図 7-6 に、AMC21C12 のデカップリング回路図を示します。

VDD1 電源電圧が高い ($> 5.5\text{V}$) 場合、追加のフィルタ処理のために、VDD1 電源と直列に 10Ω の抵抗 (R4) を接続します。

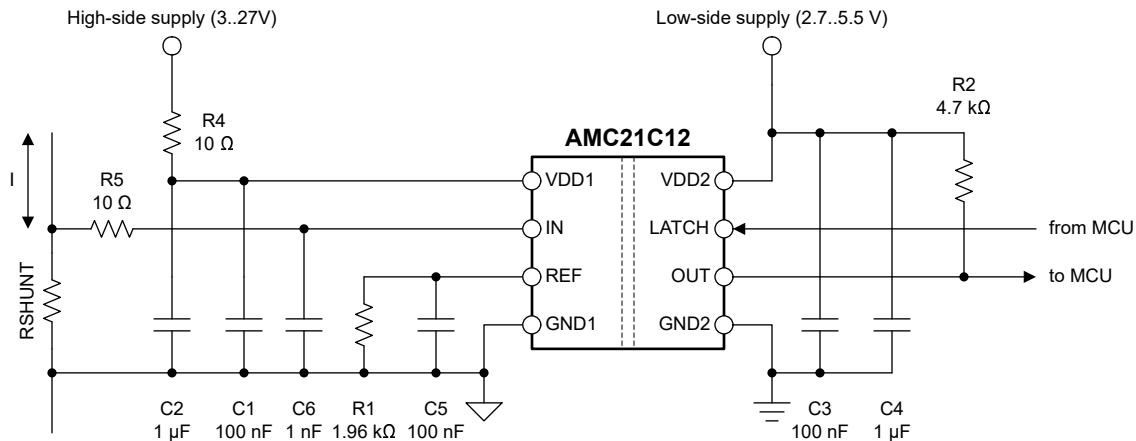


図 7-6. デカップリング：AMC21C12

アプリケーションで発生する DC バイアス条件の下で、コンデンサは十分な実効容量を保つ必要があります。多層セラミック・コンデンサ (MLCC) は通常、実際の使用条件における容量は、公称容量よりはるかに小さいため、これらのコンデンサを選択する際はこの減少を考慮に入れる必要があります。この問題は、背の高い部品よりも絶縁体電界強度が高くなる薄型コンデンサで特に深刻です。信頼できるコンデンサ・メーカーは、部品選択を非常に簡単にする容量対 DC バイアス曲線を提供しています。

7.5 レイアウト

7.5.1 レイアウトのガイドライン

デカップリング・コンデンサの重要な配置 (AMC1303 の電源ピンと可能な限り近く)、およびデバイスに必要な他のコンポーネントの配置を示したレイアウトの推奨事項を、図 7-7 に示します。AMC21C12

7.5.2 レイアウト例

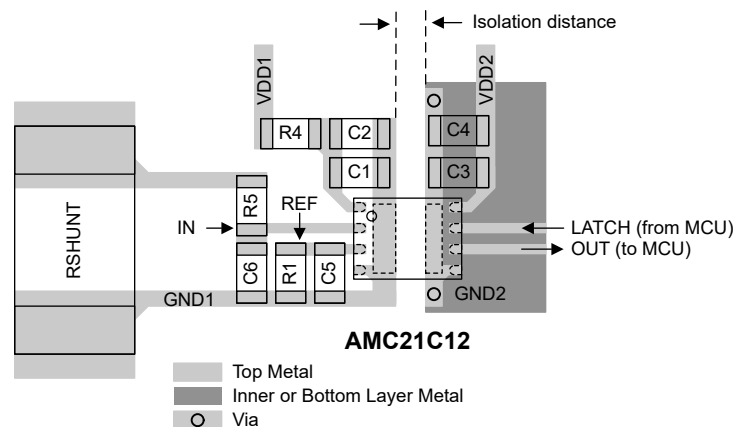


図 7-7. 推奨レイアウト：AMC21C12

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[絶縁の用語集](#)』アプリケーション・ノート
- テキサス・インスツルメンツ、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・ノート
- テキサス・インスツルメンツ、『[ISO72x デジタル・アイソレータの磁界耐性](#)』アプリケーション・ノート
- テキサス・インスツルメンツ、『[絶縁型アンプの電圧センシング Excel カリキュレータ](#)』設計ツール

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[\[通知\]](#) をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (September 2023) to Revision A (December 2023)

Page

- | | |
|---|---|
| • ドキュメントのステータスを「事前情報」から「量産データ」に変更 | 1 |
|---|---|

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
AMC21C12DENR	ACTIVE	VSON	DEN	8	1000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	C21C12	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AMC21C12DENR	VSON	DEN	8	1000	330.0	12.4	3.0	3.8	1.2	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AMC21C12DENR	VSON	DEN	8	1000	346.0	346.0	33.0

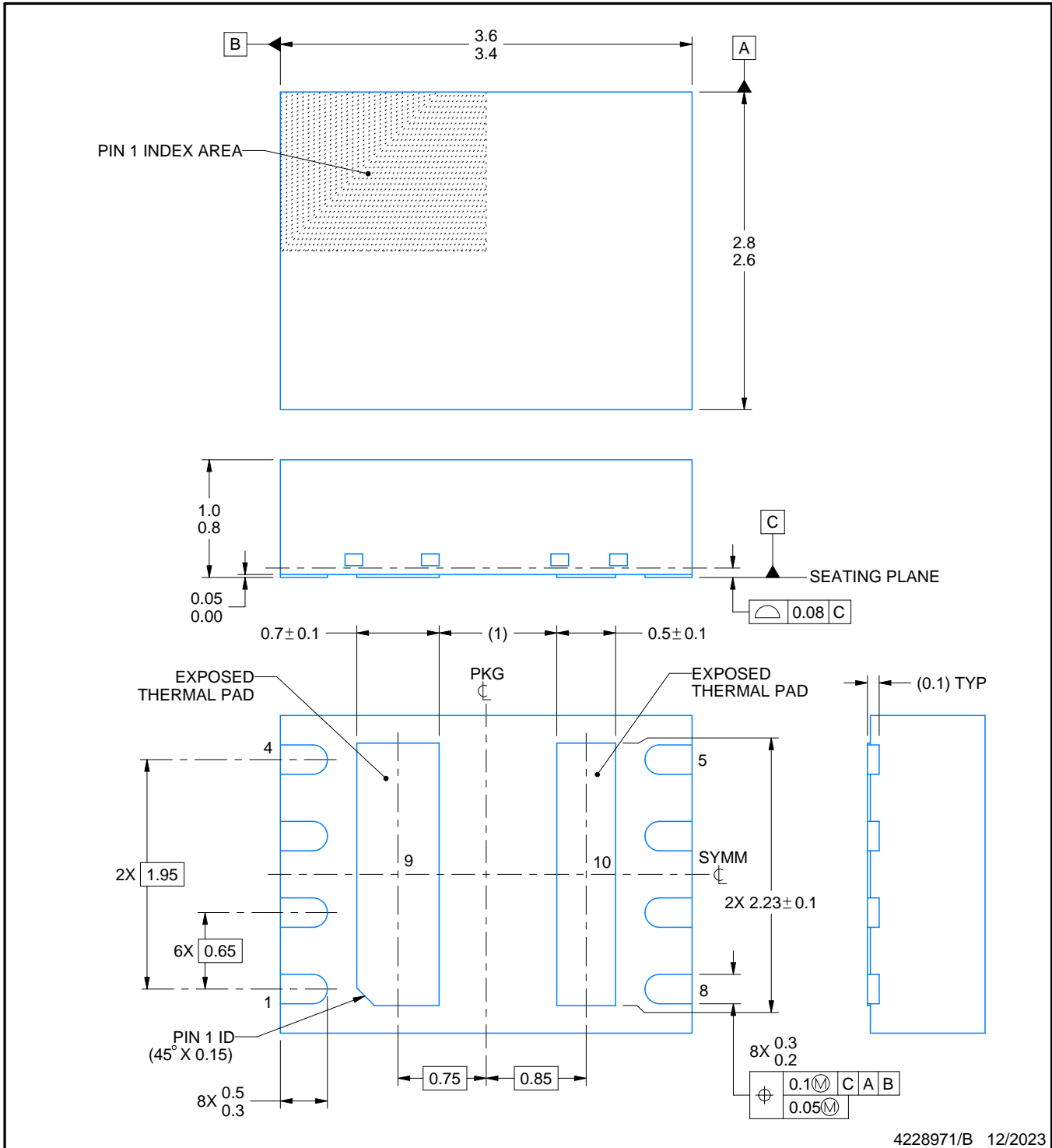
DEN0008A



PACKAGE OUTLINE

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

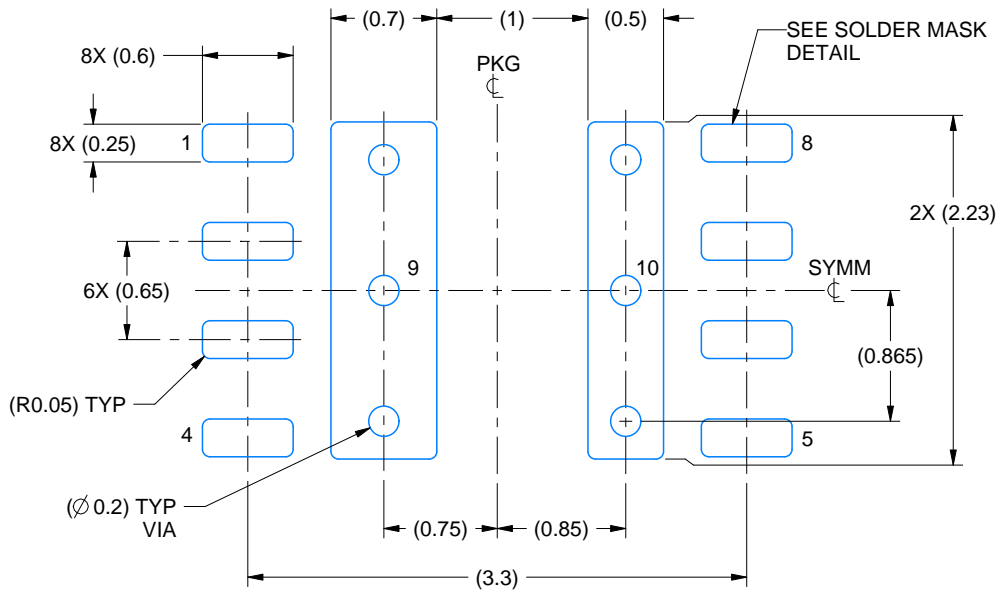
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

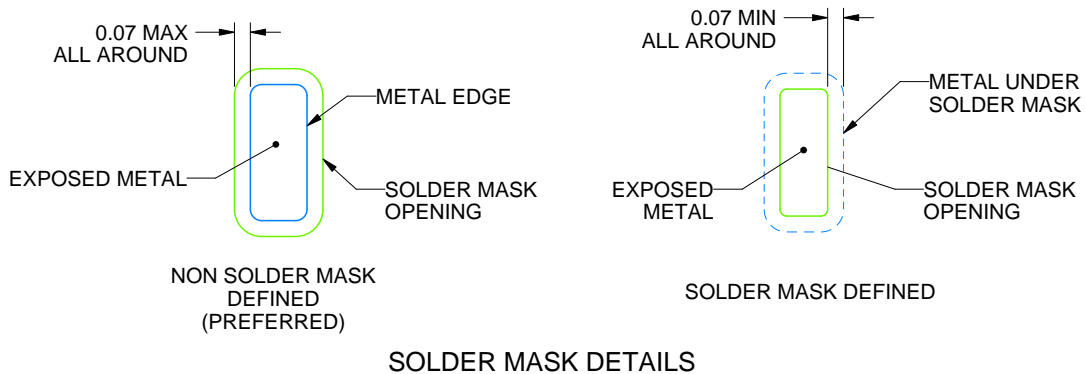
DEN0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4228971/B 12/2023

NOTES: (continued)

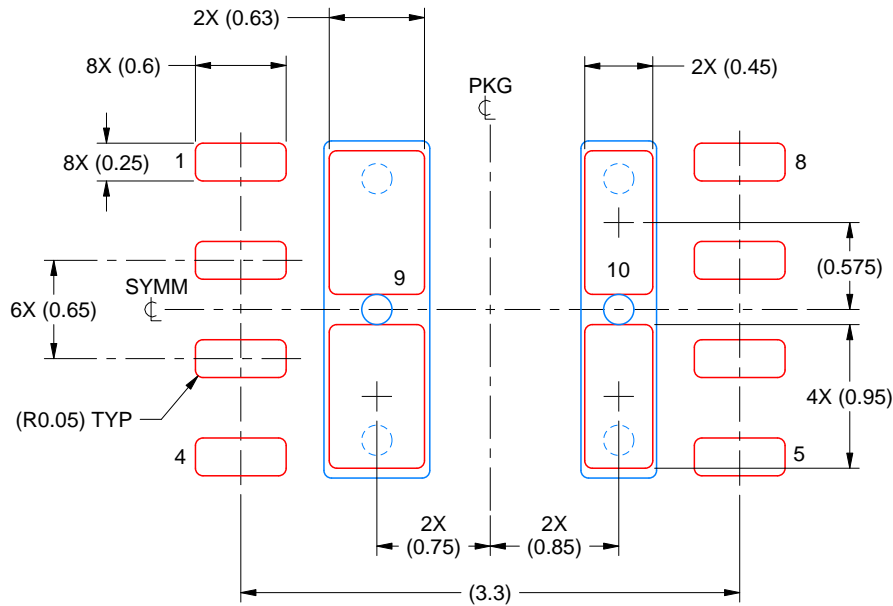
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DEN0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 9 & 10: 77%

4228971/B 12/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated