

AWR2944P/AWR2E44P/AWR2944-ECO/AWR2E44-ECO/AWR2944LC/AWR2E44LC シン グルチップ 76~81GHz FMCW 車載レーダー センサ

1 特長

- FMCW レーダー
 - PLL、トランシミッタ、レシーバ、ベースバンド、ADC を内蔵
 - 76GHz ~ 81GHz の周波数帯をカバーし、5GHz の有効 BW を備えた 4 個の送信チャネルと 4 個の受信チャネルを提供
 - AWR2944P/AWR2944-ECO/AWR2944LC: アンテナへの PCB インターフェイス
 - AWR2E44P/AWR2E44-ECO/AWR2E44LC: アンテナに対するローンチ オン パッケージ (LOP) インターフェイス
 - 送信用位相シフタ
 - フラクショナル-N PLL による超高精度チャーブ エンジン
 - TX 出力
 - AWR2944P: 14dBm
 - AWR2944-ECO/AWR2944LC: 13.5dBm
 - AWR2E44P: 13.5dBm
 - AWR2E44-ECO/AWR2E44LC: 12.5dBm
 - RX ノイズ指数
 - AWR2944P: 10.5dB
 - AWR2944-ECO/AWR2944LC: 12dB
 - AWR2E44P: 11dB
 - AWR2E44-ECO/AWR2E44LC: 12.5dB
 - 1MHz での位相ノイズ
 - VCO1: -96dBc/Hz (76~77GHz)
 - VCO2: -95dBc/Hz (76~81GHz)
- 処理部品
 - 400MHz で動作する Arm® Cortex-R5F® コア (ロック ステップ動作をサポート)
 - 450MHz で動作する、テキサス・インスツルメンツのデジタル信号プロセッサ C66x

2944LC および AWR2E44LC には該当しません
- FFT、対数振幅、メモリ圧縮などの動作向け、TI のレーダー ハードウェア アクセラレータ (HWA2.1)
- データ移動用の複数の EDMA インスタンス
- Arm® Cortex-M4 を使用した、プログラマブルな組み込みハードウェア セキュリティ モジュール (HSM)
- DSS (DSP サブシステム) 内の 2 番目の Arm® Cortex M4 コアが、HWA2.1 の制御および構成を担当
- 機能安全準拠製品向け
 - 機能安全アプリケーション向けに開発

- ISO 26262 機能安全システム設計を支援するドキュメントを準備中
- ASIL B までを対象とするハードウェア インテグリティ
- ユーザー アプリケーションで利用可能なその他のインターフェイス (特定の品番に限る)
 - デバイスバリエントに基づいて最大 9 つの ADC チャネル
 - 2 つの SPI | 4 つの UART | I²C | GPIO | 3 つの EPWM
 - 未加工 ADC データおよびデバッグ計測機器向け 4 レーン Aurora LVDS インターフェイス
 - 2 レーンの CSI2 Rx でキャプチャされたデータの再生が可能
- オンチップ RAM (DSP、MCU、および共有 L3 に分割)
 - 3MB ~ 4.5MB のオンチップ RAM (AWR2944P/AWR2E44P: 4.5MB, AWR2944-ECO/AWR2E44-ECO: 4MB, AWR2944LC//AWR2E44LC: 3MB)
- ホストインターフェイス
 - 2 個の CAN-FD
 - 10/100/1000Mbps イーサネット
 - AWR2944-ECO/AWR2E44-ECO 向けの 10/100Mbps
 - AWR2944LC/AWR2E44LC には適用されません
- シリアル フラッシュ メモリ インターフェイスをサポート (QSPI フラッシュ メモリからのユーザー アプリケーションのロード)
- デバイスのセキュリティ (一部の型番のみ)
 - セキュア認証および暗号化ポートのサポート
 - 顧客がプログラム可能なルートキー、対称キー (256 ビット)、非対称キー (RSA-4K または ECC-512 まで)、キー失効機能付き
 - 暗号化ハードウェア アクセラレータ: ECC 付き PKA、AES (最大 256 ビット)、SHA (最大 512 ビット)、TRNG/DRBG、および SM2、SM3、SM4 (中国語暗号化アルゴリズム)
- 内蔵ファームウェア (ROM) およびプロセスと温度全体のセルフ キャリブレーション システム
- AEC-Q100 認定済み
- 高度な機能
 - 外部プロセッサの関与を必要としない自己監視機能を内蔵
 - 干渉検出機能を内蔵



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

- パワー マネージメント
 - オンダイ LDO ネットワークにより PSRR の向上を実現
 - LVC MOS IO は 3.3V、1.8V のデュアル電圧に対応
 - クロック ソース
 - 50/40MHz の水晶振動子と内部発振器
 - 50/40MHz の外部駆動発振器またはクロック (方形波 / 正弦波) をサポート
 - 50MHz クロックを使用する場合、イーサネット PHY 用の外部水晶発振器を不要にするための 25MHz 外部クロック。
 - 最適なパワー マネージメント ソリューション
 - 推奨される [LP87745-Q1 パワー マネージメント IC \(PMIC\)](#)
- デバイスの電源要件を満たすように特別に設計されたコンパニオン PMIC
 - さまざまな使用事例をサポートするためのフレキシブルなマッピングと工場出荷時にプログラムされた構成
 - 0.65mm ピッチの FCCSP パッケージを使用した、低コストのハードウェア設計
 - AWR2944P/AWR2944-ECO/AWR2944LC: 12mm × 12mm
 - AWR2E44P/AWR2E44-ECO/AWR2E44LC: 13.5mm × 12mm
 - 車載接合部温度の動作範囲 -40°C~140°C をサポート

2 アプリケーション

- コーナーレーダー
- 前方および後方カメラ
- 車線変更支援
- 死角検出
- 自動緊急ブレーキ
- アダプティブ クルーズ コントロール
- クロストラフィック アラート

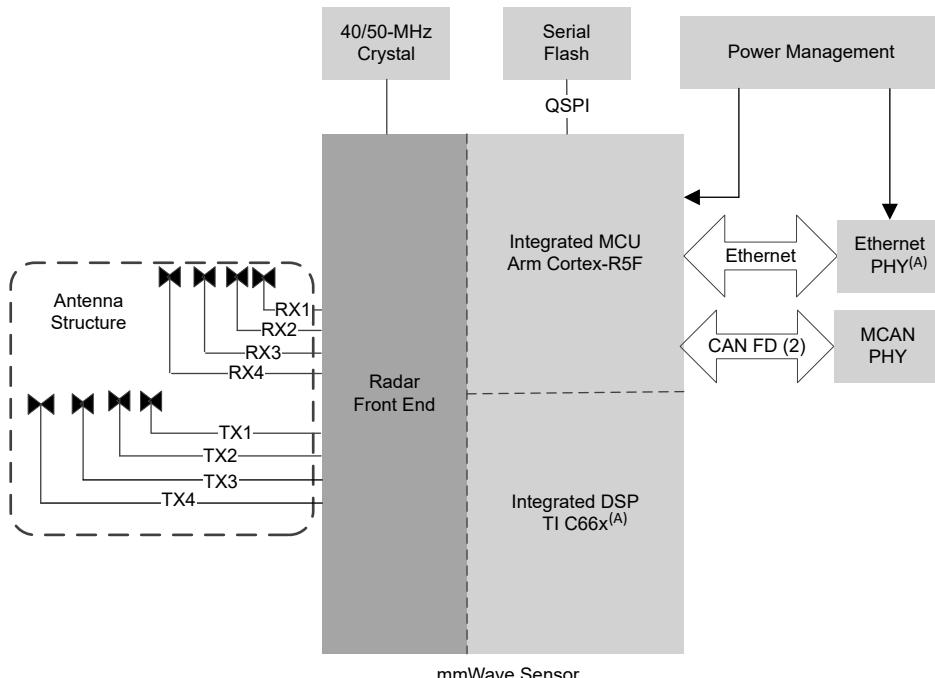


図 2-1. 車載アプリケーション用の自律レーダー センサ

注

A. DSP とイーサネットは、一部の型番で利用可能です。詳細については、[セクション 4](#) を参照してください

3 説明

AWR2944P/AWR2E44P は **AWR2944** 製品ラインアップの高性能版で、強化された RF とコンピューティング性能で NCAP と自動運転の要件を満たします。AWR2944-ECO/AWR2E44-ECO と AWR2944LC/AWR2E44LC は、それぞれメインストリーム品と機能最適化品であり、同一ファミリ内で P、ECO、LC デバイス間のスケーラブルな製品展開を可能にします。AWR2944P、AWR2E44P、AWR2944-ECO、AWR2E44-ECO、AWR2944LC、AWR2E44LC は、76～81GHz 帯で動作可能な FMCW トランシーバ、レーダー データ処理要素、および車載ネットワーク用のペリフェラル機能を統合した單一チップのミリ波センサーです。このレーダー センサーは、TI の低消費電力 45nm RFCMOS プロセスで製造されており、RF および演算性能を強化する設計により、小型フォームファクタと最小限の BOM で、これまでにない統合レベルを実現しています。**AWR2944P/AWR2E44P/AWR2944-ECO/AWR2E44-ECO/AWR2944LC/AWR2E44LC** デバイスは、自動車分野における低消費電力、自己監視型、超高精度レーダー システム向けに設計されています。

AWR2E44P、AWR2E44-ECO、および AWR2E44LC バリアントは、アンテナをパッケージ上に直接実装可能とする優れたローンチ オン パッケージ (LOP) アンテナ機能を備えており、顧客に対して高い実装柔軟性を提供します。LOP テクノロジーを使用すると、PCB の穴を経由して AWR2E44P/AWR2E44-ECO/AWR2E44LC チップの底面から発する信号をアンテナに損失なく送信することができます。チップとアンテナは PCB に直接半田付けされているため、高価な高周波材料の代わりに、低コストの PCB 材料を使用できます。

テキサス・インスツルメンツの低消費電力 45nm RFCMOS プロセスにより、PLL、VCO、ミキサ、ベースバンド ADC を内蔵し、4 個の TX、4 個の RX を備えたシステムのモノリシック実装が可能になります。DSP サブシステム (DSS) には、テキサス・インスツルメンツのレーダー信号処理用高性能 C66x DSP が組み込まれています。このデバイスは、レーダー フロントエンドの構成、制御、較正を行う、無線プロセッサ サブシステムも備えています。メイン サブシステム (MSS) 内には、ユーザーによるプログラムが可能な Arm Cortex-R5F プロセッサが実装されており、カスタム制御アプリケーションや車載用インターフェイス アプリケーションに使用できます。ハードウェア アクセラレータ ブロック (HWA 2.1) は、FFT、CFAR (Constant False Alarm Rate、一定誤警報率)、スケーリング、圧縮などの一般的なレーダー処理を負荷分担して、DSS と MSS を補完します。これにより DSS と MSS の MIPS が軽減され、カスタム アプリケーションや高度なアルゴリズムのためにリソースが使えるようになります。

ハードウェア セキュリティ モジュール (HSM) もこのデバイスに用意されています (セキュア部品バリアントのみで使用可能)。HSM は、プログラム可能な Arm Cortex-M4 コアと、デバイス内でセキュアな動作ゾーンを実現するために必要なインフラで構成されます。

AWR2944P/AWR2E44P/AWR2944-ECO/AWR2E44-ECO/AWR2944LC/AWR2E44LC は、ハードウェア アクセラレータ モジュール (HWA 2.1) の設定および制御を行うための Cortex-M4 プロセッサも搭載しています。

プログラミング モデルを変更するだけで、さまざまなセンサ (短距離、中距離、長距離) を実装でき、マルチモード センサの実装においては動的再構成にも対応します。

また、**AWR2944P/AWR2E44P/AWR2944-ECO/AWR2E44-ECO/AWR2944LC/AWR2E44LC** は、TI のハードウェア およびソフトウェアのリファレンス デザイン、ソフトウェア ドライバ、構成例、API ガイド、ユーザー マニュアルを含む完全なプラットフォーム デバイスとして提供しています。

製品情報

| 部品番号 | パッケージ ⁽¹⁾ | パッケージ サイズ (公称) ⁽²⁾ | バリアント |
|------------------|----------------------|-------------------------------|----------------|
| AWR2944PBGALTRQ1 | ALT (FCCSP、266) | 12mm × 12 mm | AWR2944P |
| AWR2944PBSALTRQ1 | ALT (FCCSP、266) | 12mm × 12 mm | AWR2944P HS |
| AWR2944EBGALTRQ1 | ALT (FCCSP、266) | 12mm × 12 mm | AWR2944-ECO |
| AWR2944EBSALTRQ1 | ALT (FCCSP、266) | 12mm × 12 mm | AWR2944-ECO HS |
| AWR2E44PBGAMXRQ1 | AMX (FCCSP、278) | 13.5 mm × 12mm | AWR2E44P |
| AWR2E44PBSAMXRQ1 | AMX (FCCSP、278) | 13.5 mm × 12mm | AWR2E44P HS |

製品情報 (続き)

| 部品番号 | パッケージ ⁽¹⁾ | パッケージ サイズ (公称) ⁽²⁾ | バリアント |
|------------------|----------------------|-------------------------------|----------------|
| AWR2E44EBGAMXRQ1 | AMX (FCCSP, 278) | 13.5 mm × 12mm | AWR2E44-ECO |
| AWR2E44EBSAMXRQ1 | AMX (FCCSP, 278) | 13.5 mm × 12mm | AWR2E44-ECO HS |
| AWR2944LBGALTRQ1 | ALT (FCCSP, 266) | 12mm × 12 mm | AWR2944LC |
| AWR2944LBSALTRQ1 | ALT (FCCSP, 266) | 12mm × 12 mm | AWR2944LC HS |
| AWR2E44LBGAMXRQ1 | AMX (FCCSP, 278) | 13.5 mm × 12mm | AWR2E44LC |
| AWR2E44LBSAMXRQ1 | AMX (FCCSP, 278) | 13.5 mm × 12mm | AWR2E44LC HS |

(1) 詳細については、[セクション 13](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。

3.1 機能ブロック図

図 3-1 は、デバイスの機能ブロック図です。

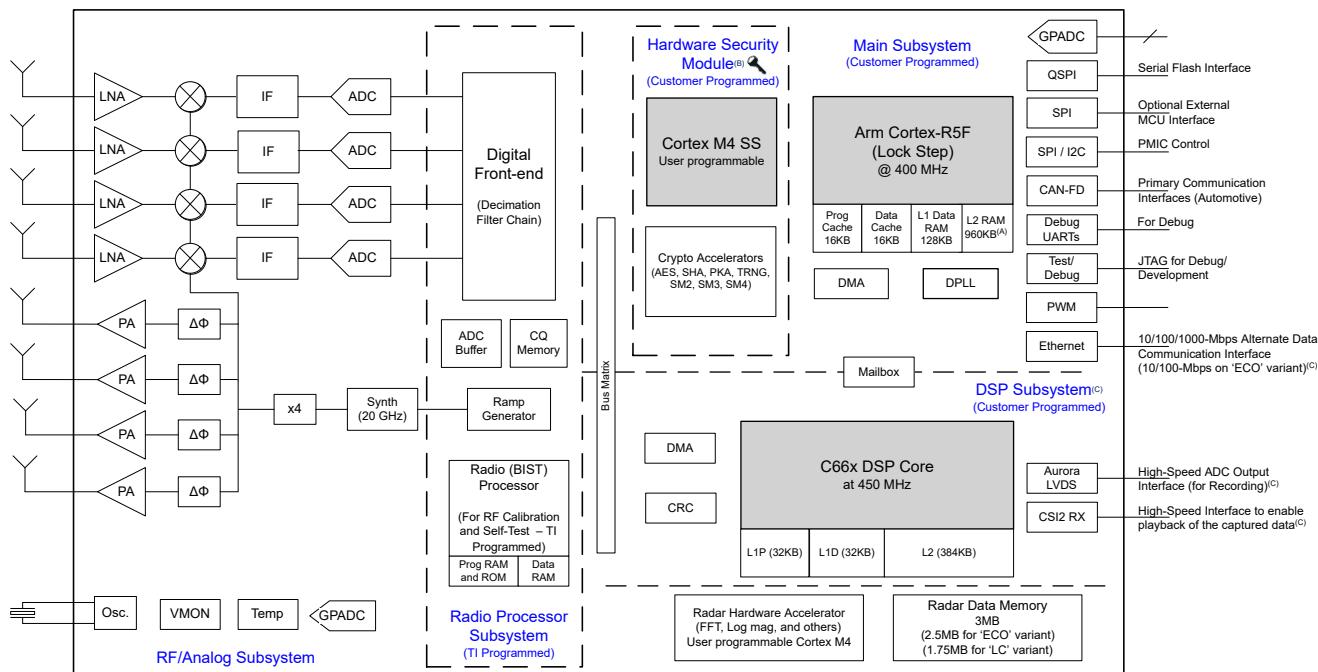


図 3-1. 機能ブロック図

- A. アプリケーションの使用用途に応じて、構成可能なメモリはレーダー データ用メモリからメイン Cortex-R5F のプログラムおよびデータ RAM に切り替えることができます。
- B. この機能は、セクション 3「製品情報」表の「デバイス タイプ」識別子で示されているように、一部の部品バリエーションでのみ使用できます。
- C. この機能は、AWR2944LC および AWR2E44LC のバリエーションでは利用できません。

目次

| | | | |
|--|----|--------------------------|----|
| 1 特長 | 1 | 7.10 電源シーケンスおよびリセットタイミング | 46 |
| 2 アプリケーション | 2 | 7.11 入力クロックおよび発振器 | 47 |
| 3 説明 | 3 | 7.12 ペリフェラル情報 | 48 |
| 3.1 機能ブロック図 | 5 | 7.13 エミュレーションおよびデバッグ | 71 |
| 4 デバイスの比較 | 7 | 8 詳細説明 | 74 |
| 5 関連製品 | 9 | 8.1 概要 | 74 |
| 6 ピン構成および機能 | 10 | 8.2 機能ブロック図 | 74 |
| 6.1 ピン配置図 - AWR2944P/AWR2944-ECO/ AWR2944LC | 10 | 8.3 サブシステム | 75 |
| 6.2 ピン配置図 - AWR2E44P/AWR2E44-ECO/ AWR2E44LC | 11 | 8.4 その他のサブシステム | 79 |
| 6.3 ピン属性 | 12 | 9 監視と診断 | 81 |
| 6.4 信号の説明 - デジタル | 25 | 9.1 監視と診断のメカニズム | 81 |
| 6.5 信号の説明 - アナログ | 34 | 10 アプリケーション、実装、およびレイアウト | 84 |
| 7 仕様 | 38 | 10.1 アプリケーション情報 | 84 |
| 7.1 絶対最大定格 | 38 | 10.2 短距離、中距離、長距離のレーダー | 84 |
| 7.2 ESD 定格 | 38 | 10.3 リファレンス回路図 | 84 |
| 7.3 電源投入時間 (POH) | 39 | 11 デバイスおよびドキュメントのサポート | 85 |
| 7.4 推奨動作条件 | 39 | 11.1 デバイスの命名規則 | 86 |
| 7.5 ワンタイムプログラマブル (OTP) eFuse の VPP 仕 様 | 40 | 11.2 ツールとソフトウェア | 87 |
| 7.6 電源仕様 | 41 | 11.3 ドキュメントのサポート | 87 |
| 7.7 消費電力の概略 | 42 | 11.4 サポート・リソース | 87 |
| 7.8 RF の仕様 | 43 | 11.5 商標 | 87 |
| 7.9 熱抵抗特性 | 45 | 11.6 静電気放電に関する注意事項 | 88 |
| | | 11.7 用語集 | 88 |
| | | 12 改訂履歴 | 88 |
| | | 13 メカニカル、パッケージ、および注文情報 | 89 |

4 デバイスの比較

表 4-1. デバイスの機能の比較

| 機能 | AWR2944P | AWR2E44P | AWR2944-ECO | AWR2E44-ECO | AWR2944LC | AWR2E44LC | AWR2544 | AWR2944 |
|--|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-------------------|---------------------|
| Launch on Package (LOP) アンテナ | — | あり | — | あり | — | あり | あり | — |
| レシーバの数 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 |
| トランスマッタの数 | 4 | 4 | 4 | 4 | 4 | 4 | 4 | 4 |
| オンチップ メモリ | 4.5MB | 4.5MB | 4MB | 4MB | 3MB | 3MB | 2MB | 4MB |
| 最大 I/F (中間周波数) (MHz) | 20 | 20 | 20 | 20 | 20 | 20 | 20 | 15 |
| 最大実数 / 複素数 2x サンプリング レート (MSPS) | 45 ⁽¹⁾ | 45 ⁽¹⁾ | 37.5 ⁽¹⁾ |
| セーフティおよびセキュリティ ⁽²⁾ | | | | | | | | |
| デバイスのセキュリティ ⁽³⁾ | あり | あり | あり | あり | あり | あり | あり | あり |
| AEC-Q100 認定済み | あり | あり | あり | あり | あり | あり | あり | あり |
| プロセッサ | | | | | | | | |
| MCU (RxF) | あり | あり | あり | あり | あり | あり | あり | あり |
| DSP (C6xx) | あり ⁽⁴⁾ | あり ⁽⁴⁾ | あり ⁽⁴⁾ | あり ⁽⁴⁾ | — | — | — | あり ⁽⁴⁾ |
| ハードウェア アクセラレータ ⁽⁶⁾ | HWA2.1 ⁽⁵⁾ | HWA1.5 | HWA2.1 |
| HWA 制御向けの DSS_M4 | あり | あり | あり | あり | あり | あり | — | — |
| ハードウェア セキュリティ モジュール (HSM) ⁽⁷⁾ ⁽⁸⁾ | あり | あり | あり | あり | あり | あり | あり | あり |
| セキュリティ アクセラレータ ⁽⁷⁾ | あり | あり | あり | あり | あり | あり | あり | あり |
| 周辺機器 | | | | | | | | |
| シリアル ベリフェラル インターフェイス (SPI) ポート | 2 | 2 | 2 | 2 | 2 | 2 | 1 | 2 |
| クワッドシリアル ベリフェラル インターフェイス (QSPI) | あり | あり | あり | あり | あり | あり | あり | あり |
| LVDS / デバッグ | あり | あり | あり | あり | あり | あり | あり | あり |
| Aurora 向け LVDS | あり | あり | あり | あり | — | — | — | あり |
| イーサネット インターフェイス | あり | あり | あり | あり | — | — | あり | あり |
| イーサネット用のリファレンスクロック | あり | あり | あり | あり | — | — | あり | — |
| I ² C (Inter-Integrated Circuit) インターフェイス | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| CAN FD | 2 | 2 | 2 | 2 | 2 | 2 | — | 2 |
| トレース | あり | あり | あり | あり | あり | あり | あり | あり |

表 4-1. デバイスの機能の比較 (続き)

| 機能 | AWR2944P | AWR2E44P | AWR2944-ECO | AWR2E44-ECO | AWR2944LC | AWR2E44LC | AWR2544 | AWR2944 |
|---------------------------------|---|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|
| ePWM | あり | あり | あり | あり | あり | あり | あり | あり |
| DMM インターフェイス | あり | あり | あり | あり | あり | あり | — | あり |
| GPADC | あり ⁽⁹⁾ | あり ⁽⁹⁾ | あり ⁽⁹⁾ | あり ⁽⁹⁾ | あり ⁽⁹⁾ | あり ⁽⁹⁾ | あり ⁽⁹⁾ | あり ⁽⁹⁾ |
| CSI2 TX | — | — | — | — | — | — | あり | — |
| CSI2 RX | あり | あり | あり | あり | — | — | — | あり |
| JTAG | あり | あり | あり | あり | あり | あり | あり | あり |
| チャーブごとに構成可能な Tx 位相シフタ | あり | あり | あり | あり | あり | あり | あり | あり |
| 製品 ステー タス ⁽¹⁰⁾ | 製品プレビュー (PP)、 事前情報 (AI)、 量産データ (PD) | PD |

- (1) 実数信号専用のレシーバをサポート
- (2) 機能安全アプリケーション向けに開発された AWR2944P/ AWR2E44P/ AWR2944-ECO/ AWR2E44-ECO/ AWR2944LC/ AWR2E44LC は、ハードウェアの整合性において ASIL-B までの対応を想定しています。他のデバイスについては、各製品のデータシートを参照してください。
- (3) セキュア ブートやお客様がプログラム可能なキーなどのデバイス セキュリティ機能は、セクション 3「デバイス情報」表に記載されているデバイス タイプ識別子によって示される、特定の品番バリエントに適用されます。
- (4) DSP プロセッキング コアは、AWR1843 の C67x から C66x にアップグレードされています。
- (5) ユーザーが Arm® Cortex-M4 を使用してプログラム可能です。
- (6) ハードウェア アクセラレータは HWA2.1 にアップグレードされ、AWR1843 に比べて機能が追加されています。
- (7) セキュア部品バリエントにのみ適用できます
- (8) ユーザープログラム可能な Arm® Cortex-M4
- (9) 外部電圧監視用の専用 GPADC を搭載
- (10) 量産データの情報は、公開日の時点で最新のものです。製品は、テキサス・インスツルメンツの標準保証条件に基づく仕様に準拠しています。量産プロセスにすべてのパラメータのテストが含まれているとは限りません。
事前情報は、開発のサンプリングまたは量産開始前フェーズの新製品に関するものです。特性データおよびその他の仕様は、予告なく変更される場合があります。

5 関連製品

この製品ファミリまたは関連製品の他のデバイスの詳細については、以下のリンクを参照してください。

ミリ波センサ テキサス・インスツルメンツの最もフットプリントが小さい車載アプリケーション向けミリ波センサは、小さい電力で、距離、角度、速度を迅速かつ正確に検出します。

車載ミリ波センサ テキサス・インスツルメンツの車載ミリ波センサ製品ラインアップは、超高分解能、小型、低消費電力のシングルチップレーダー ソリューションに高性能レーダー フロントエンドを提供します。テキサス・インスツルメンツのスケーラブルなセンサ製品ラインアップは、すべての自動車の快適性機能から安全性機能に至るまで、あらゆる性能、アプリケーション、センサ構成に対応する ADAS システム ソリューションの設計と開発を可能にします。

6 ピン構成および機能

6.1 ピン配置図 - AWR2944P/AWR2944-ECO/AWR2944LC

図 6-1 は、AWR2944P/ AWR2944-ECO/ AWR2944LC の 12mm × 12mm FCCSP 非 LOP パッケージにおけるピン配置を示しています。¹

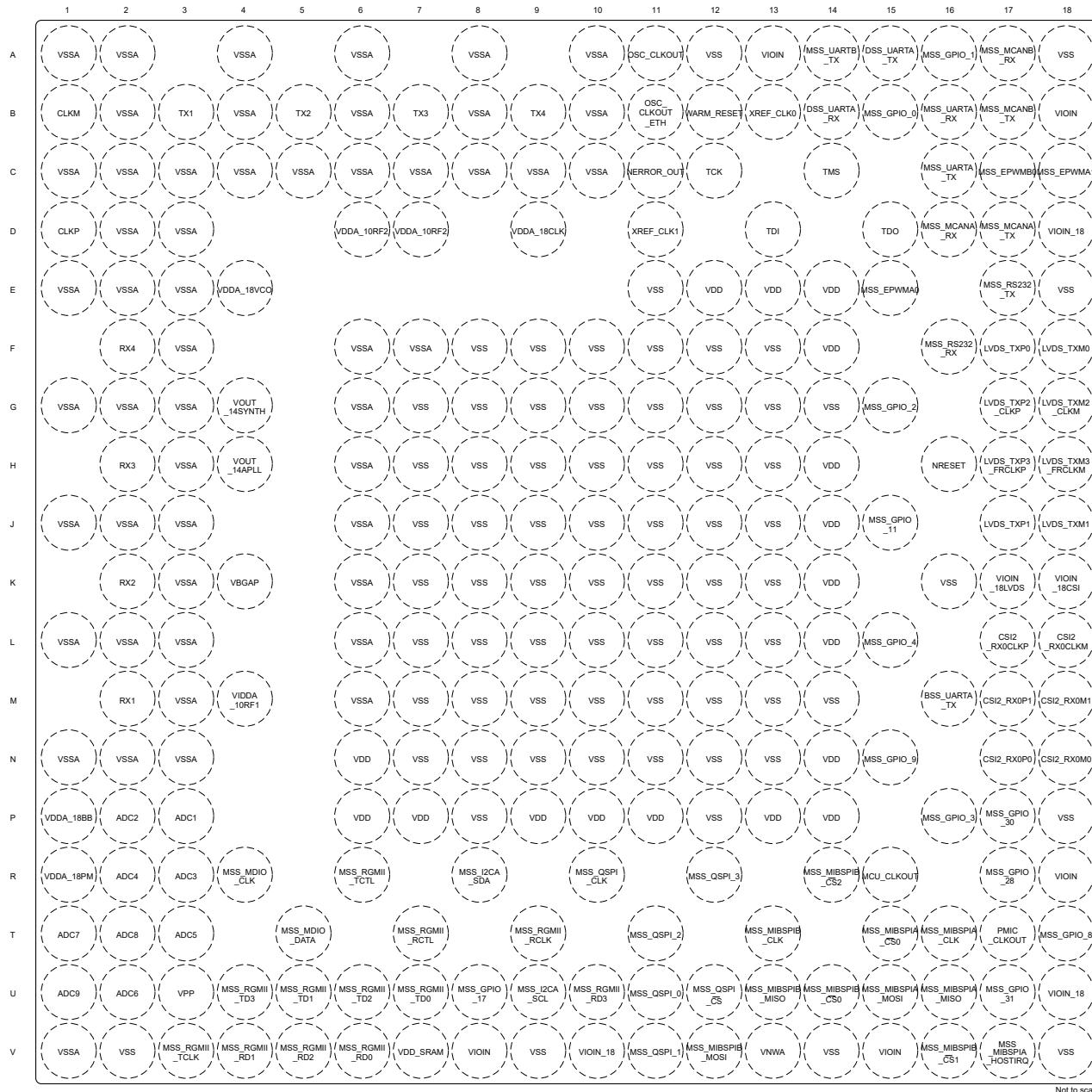
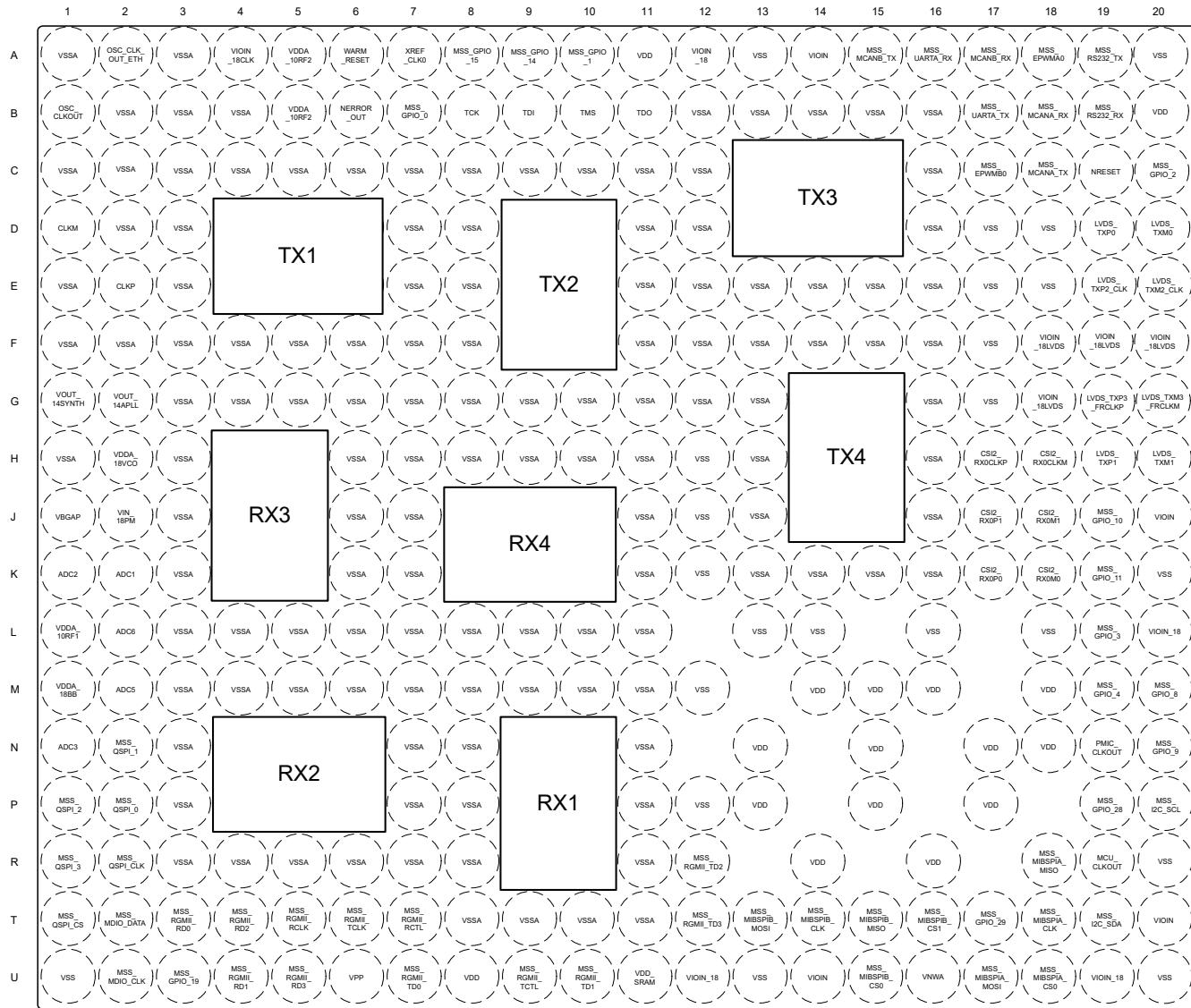


図 6-1. ピン配置図 - AWR2944P/AWR2944-ECO/AWR2944LC

¹ AWR2944LC では、一部のピンがディセーブルになっています。詳細情報については、[セクション 6.4](#) をご覧ください。

6.2 ピン配置図 - AWR2E44P/AWR2E44-ECO/AWR2E44LC

図 6-2 は、AWR2E44P/AWR2E44-ECO/AWR2E44LC の 13.5mm × 12mm FCCSP LOP パッケージのピン配置を示します。²



■ 6.2 ピン配置図 AWD3E41R/AWD3E41_ECO/AWD3E41L_C

² AWR2E44LC では、一部のピンがディセーブルになっています。詳細情報については、セクション 6.4 をご覧ください。

6.3 ピン属性

| ポール番号 ¹ | | パッド名 ⁸ | ポール名 ² | 信号名 ³ | モード ⁴ 8 | タイプ ⁵ | ポールリ セット状 態 ⁶ | ブルアップ/ダ ウンタイプ ⁷ |
|--------------------------------|--------------------------------|-------------------|----------------------|---------------------|-----------------------|------------------|--------------------------------|-------------------------------|
| AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC | | | | | | | |
| V16 | T16 | PAD_AA | MSS_MIBSPI B_CS1 | MSS_GPIO_12 | 0 | IO | 出力ディ ゼーブル | ブルダウン |
| | | | | MSS_MIBSPIA_HOSTIRQ | 1 | O | | |
| | | | | ADC_VALID | 2 | O | | |
| | | | | MSS_MIBSPIB_CS1 | 6 | IO | | |
| B15 | C17 | PAD_AB | MSS_EPWM B0 | MSS_GPIO_13 | 0 | IO | 出力ディ ゼーブル | ブルダウン |
| | | | | MSS_GPIO_0 | 1 | IO | | |
| | | | | PMIC_CLKOUT | 2 | O | | |
| | | | | MSS_EPWM_TZ2 | 3 | I | | |
| | | | | MSS_EPWMA1 | 10 | O | | |
| | | | | MSS_EPWMB0 | 11 | O | | |
| A16 | A10 | PAD_AC | MSS_GPIO_1 | MSS_GPIO_16 | 0 | IO | 出力ディ ゼーブル | ブルダウン |
| | | | | MSS_GPIO_1 | 1 | IO | | |
| | | | | SYNC_OUT | 2 | O | | |
| | | | | MSS_EPWM_TZ1 | 3 | I | | |
| | | | | BSS_UARTA_TX | 7 | O | | |
| | | | | READY_INT | 8 | O | | |
| | | | | LVDS_VALID | 9 | O | | |
| | | | | DMM_MUX_IN | 12 | I | | |
| | | | | MSS_MIBSPIB_CS1 | 13 | IO | | |
| | | | | MSS_MIBSPIB_CS2 | 14 | IO | | |
| | | | | MSS_EPWMA_SYNC1 | 15 | I | | |
| V12 | T13 | PAD_AH | MSS_MIBSPI B_MOSI | MSS_GPIO_21 | 0 | IO | 出力ディ ゼーブル | ブルアップ |
| | | | | MSS_MIBSPIB_MOSI | 1 | IO | | |
| | | | | MSS_I2C_SDA | 2 | IO | | |
| | | | | MSS_EPWMA0 | 3 | O | | |
| | | | | MSS_MCANB_RX | 7 | I | | |
| U13 | T15 | PAD_AI | MSS_MIBSPI B_MISO | MSS_GPIO_22 | 0 | IO | 出力ディ ゼーブル | ブルアップ |
| | | | | MSS_MIBSPIB_MISO | 1 | IO | | |
| | | | | MSS_I2C_SCL | 2 | IO | | |
| | | | | MSS_EPWMB0 | 3 | O | | |
| | | | | DSS_UARTA_TX | 6 | IO | | |
| | | | | MSS_MCANB_TX | 7 | O | | |
| | | | | | | | | |

| ポート番号 1 | | ポート名 8 | ポート名 2 | 信号名 3 | モード 4 8 | タイプ 5 | ポートリ セット状 態 6 | ブルアップ/ダ ウンタイプ 7 |
|--------------------------------|--------------------------------|--------|---------------------|-----------------|------------|-------|--------------------------|--------------------|
| AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC | | | | | | | |
| T13 | T14 | PAD_AJ | MSS_MIBSPI B_CLK | MSS_GPIO_5 | 0 | IO | 出力ディ セーブル | ブルアップ |
| | | | | MSS_MIBSPI_CLK | 1 | IO | | |
| | | | | MSS_UARTA_RX | 2 | IO | | |
| | | | | MSS_EPWMCO | 3 | O | | |
| | | | | MSS_UARTB_TX | 6 | IO | | |
| | | | | BSS_UARTA_TX | 7 | O | | |
| | | | | MSS_MCANA_RX | 8 | I | | |
| U14 | U15 | PAD_AK | MSS_MIBSPI B_CS0 | MSS_GPIO_4 | 0 | IO | 出力ディ セーブル | ブルアップ |
| | | | | MSS_MIBSPI_CS0 | 1 | IO | | |
| | | | | MSS_UARTA_TX | 2 | IO | | |
| | | | | MSS_UARTB_TX | 6 | IO | | |
| | | | | BSS_UARTA_TX | 7 | O | | |
| | | | | MSS_MCANA_TX | 9 | O | | |
| | | | | MSS_GPIO_8 | 0 | IO | | |
| U11 | P2 | PAD_AL | MSS_QSPI_0 | MSS_QSPI_0 | 1 | IO | 出力ディ セーブル | ブルダウン |
| | | | | MSS_MIBSPI_MISO | 2 | IO | | |
| | | | | MSS_GPIO_9 | 0 | IO | | |
| V11 | N2 | PAD_AM | MSS_QSPI_1 | MSS_QSPI_1 | 1 | I | 出力ディ セーブル | ブルダウン |
| | | | | MSS_MIBSPI_MOSI | 2 | IO | | |
| | | | | MSS_MIBSPI_CS2 | 8 | IO | | |
| | | | | MSS_GPIO_10 | 0 | IO | | |
| T11 | P1 | PAD_AN | MSS_QSPI_2 | MSS_QSPI_2 | 1 | I | 出力ディ セーブル | ブルアップ |
| | | | | ADC_VALID | 2 | O | | |
| | | | | MSS_MCANA_TX | 8 | O | | |
| | | | | MSS_GPIO_11 | 0 | IO | | |
| R12 | R1 | PAD_AO | MSS_QSPI_3 | MSS_QSPI_3 | 1 | I | 出力ディ セーブル | ブルアップ |
| | | | | ADC_VALID | 2 | O | | |
| | | | | MSS_MCANA_RX | 8 | I | | |
| | | | | MSS_GPIO_12 | 0 | IO | | |
| R10 | R2 | PAD_AP | MSS_QSPI_CLK | MSS_QSPI_CLK | 1 | IO | 出力ディ セーブル | ブルダウン |
| | | | | MSS_MIBSPI_CLK | 2 | IO | | |
| | | | | DSS_UARTA_TX | 6 | IO | | |
| | | | | MSS_GPIO_13 | 0 | IO | | |
| U12 | T1 | PAD_AQ | MSS_QSPI_CS | MSS_QSPI_CS | 1 | O | 出力ディ セーブル | ブルアップ |
| | | | | MSS_MIBSPI_CS0 | 2 | IO | | |
| | | | | MSS_GPIO_14 | 0 | IO | | |
| B12 | A6 | PAD_AS | WARM_RESET | WARM_RESET | 0 | IO | HIZ 入力 (オープン ドレイン) | |

| ポート番号 1 | | ポート名 8 | ポート名 2 | 信号名 3 | モード 4 8 | タイプ 5 | ポートリ セット状 態 6 | ブルアップ/ダ ウンタイプ 7 |
|--------------------------------|--------------------------------|--------|------------|--------------|-------------|-------|---------------------|--------------------|
| AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC | | | | | | | |
| C11 | B6 | PAD_AT | NERROR_OUT | NERROR_OUT | 0 | O | HiZ (オーブンドレイン) | |
| C12 | B8 | PAD_AU | TCK | MSS_GPIO_17 | 0 | IO | 出力ディ セーブル | ブルダウン |
| | | | | TCK | 1 | I | | |
| | | | | MSS_UARTB_TX | 2 | IO | | |
| | | | | BSS_UARTA_RX | 6 | I | | |
| | | | | MSS_MCANA_TX | 8 | O | | |
| C14 | B10 | PAD_AV | TMS | MSS_GPIO_18 | 0 | IO | 出力ディ セーブル | ブルアップ |
| | | | | TMS | 1 | IO | | |
| | | | | BSS_UARTA_TX | 2 | O | | |
| | | | | MSS_MCANA_RX | 6 | I | | |
| D13 | B9 | PAD_AW | TDI | MSS_GPIO_23 | 0 | IO | 出力ディ セーブル | ブルアップ |
| | | | | TDI | 1 | I | | |
| | | | | MSS_UARTA_RX | 2 | IO | | |
| | | | | DSS_UARTA_RX | 7 | IO | | |
| D15 | B11 | PAD_AX | TDO | SOP[0] | パワーア ップ時 | I | 出力イネ ーブル | |
| | | | | MSS_GPIO_24 | 0 | IO | | |
| | | | | TDO | 1 | O | | |
| | | | | MSS_UARTA_TX | 2 | IO | | |
| | | | | MSS_UARTB_TX | 6 | IO | | |
| | | | | BSS_UARTA_TX | 7 | O | | |
| | | | | NDMM_EN | 9 | O | | |
| R15 | R19 | PAD_AY | MCU_CLKOUT | MSS_GPIO_25 | 0 | IO | 出力ディ セーブル | ブルダウン |
| | | | | MCU_CLKOUT | 1 | O | | |
| | | | | TRACE_CLK | 2 | O | | |
| | | | | FRAME_START | 7 | O | | |
| | | | | READY_INT | 8 | O | | |
| | | | | LVDS_VALID | 9 | O | | |
| | | | | BSS_UARTA_RX | 10 | I | | |
| | | | | MSS_EPWMA0 | 12 | O | | |
| | | | | DMM_CLK | 14 | I | | |
| | | | | OBS_CLKOUT | 15 | O | | |

| ポール番号 1 | | パッド名 8 | ポール名 2 | 信号名 3 | モード 4 8 | タイプ 5 | ポールリセット状態 6 | ブルアップ/ダウンタイプ 7 |
|--------------------------------|--------------------------------|--------|-------------|--------------|---------|-------|-------------|----------------|
| AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC | | | | | | | |
| G15 | C20 | PAD_AZ | MSS_GPIO_2 | MSS_GPIO_26 | 0 | IO | 出力ディーセーブル | ブルダウン |
| | | | | MSS_GPIO_2 | 1 | IO | | |
| | | | | MSS_UARTB_TX | 7 | IO | | |
| | | | | MSS_GPIO_2 | | IO | | |
| | | | | SYNC_OUT | 9 | O | | |
| | | | | PMIC_CLKOUT | 10 | O | | |
| | | | | CHIRP_START | 11 | O | | |
| | | | | CHIRP_END | 12 | O | | |
| | | | | FRAME_START | 13 | O | | |
| | | | | MSS_EPWM_TZ0 | 14 | I | | |
| | | | | LVDS_VALID | 15 | O | | |
| | | | | SOP[2] | パワーアップ時 | I | 出力ディーセーブル | ブルなし |
| | | | | MSS_GPIO_27 | | IO | | |
| T17 | N19 | PAD_BA | PMIC_CLKOUT | PMIC_CLKOUT | 1 | O | | |
| | | | | OBS_CLKOUT | 2 | O | | |
| | | | | TRACE_CTL | 3 | O | | |
| | | | | CHIRP_START | 6 | O | | |
| | | | | CHIRP_END | 7 | O | | |
| | | | | FRAME_START | 8 | O | | |
| | | | | READY_INT | 9 | O | | |
| | | | | LVDS_VALID | 10 | O | | |
| | | | | MSS_EPWMA1 | 11 | O | | |
| | | | | MSS_EPWMB0 | 12 | O | | |
| | | | | DMM_SYNC | 13 | I | | |
| R17 | P19 | PAD_BB | MSS_GPIO_28 | MSS_GPIO_28 | 0 | IO | 出力ディーセーブル | ブルダウン |
| | | | | SYNC_IN | 1 | I | | |
| | | | | ADC_VALID | 2 | O | | |
| | | | | MSS_UARTB_RX | 6 | IO | | |
| | | | | DMM_MUX_IN | 7 | I | | |
| | | | | DSS_UARTA_RX | 8 | IO | | |
| | | | | SYNC_OUT | 9 | O | | |

| ポート番号 1 | | ポート名 8 | ポート名 2 | 信号名 3 | モード 4 8 | タイプ 5 | ポートリ セット状 態 6 | ブルアップ/ダ ウンタイプ 7 |
|--------------------------------|--------------------------------|--------|--------------|-----------------|-----------------|-------|---------------------|--------------------|
| AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC | | | | | | | |
| R14 | T17 | PAD_BC | MSS_GPIO_29 | SOP[1] | パワー ア ップ時 | I | 出力デイ セーブル | ブルアップ |
| | | | | MSS_GPIO_29 | 0 | IO | | |
| | | | | SYNC_OUT | 1 | O | | |
| | | | | RCOSC_CLK | 2 | O | | |
| | | | | READY_INT | 6 | O | | |
| | | | | LVDS_VALID | 7 | O | | |
| | | | | DMM_MUX_IN | 9 | I | | |
| | | | | MSS_MIBSPIB_CS1 | 10 | IO | | |
| | | | | MSS_MIBSPIB_CS2 | 11 | IO | | |
| | | | | MSS_EPWMB0 | 12 | O | | |
| F16 | B19 | PAD_BD | MSS_RS232_RX | MSS_GPIO_15 | 0 | IO | 出力デイ セーブル | ブルアップ |
| | | | | MSS_RS232_RX | 1 | IO | | |
| | | | | MSS_UARTA_RX | 2 | IO | | |
| | | | | TRACE_CLK | 3 | O | | |
| | | | | BSS_UARTA_TX | 6 | O | | |
| | | | | MSS_UARTB_RX | 7 | IO | | |
| | | | | MSS_MCANA_RX | 8 | I | | |
| | | | | MSS_I2C_SCL | 9 | IO | | |
| | | | | MSS_EPWMB0 | 10 | O | | |
| | | | | MSS_EPWMB1 | 11 | O | | |
| | | | | MSS_EPWMC0 | 12 | O | | |

| ポート番号 1 | | ポート名 8 | ポート名 2 | 信号名 3 | モード 4 8 | タイプ 5 | ポートリ セット状 態 6 | ブルアップ/ダ ウンタイプ 7 |
|--------------------------------|--------------------------------|--------|------------------|-----------------|------------|-------|---------------------|--------------------|
| AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC | | | | | | | |
| E17 | A19 | PAD_BE | MSS_RS232 _TX | MSS_GPIO_14 | 0 | IO | 出力イネ ーブル | ブルアップ |
| | | | | MSS_RS232_TX | 1 | IO | | |
| | | | | TRACE_CTL | 2 | O | | |
| | | | | MSS_UARTA_TX | 5 | IO | | |
| | | | | MSS_UARTB_TX | 6 | IO | | |
| | | | | BSS_UARTA_TX | 7 | O | | |
| | | | | READY_INT | 8 | O | | |
| | | | | LVDS_VALID | 9 | O | | |
| | | | | MSS_MCANA_TX | 10 | O | | |
| | | | | MSS_I2C_SDA | 11 | IO | | |
| | | | | MSS_EPWMA0 | 12 | O | | |
| | | | | MSS_EPWMA1 | 13 | O | | |
| | | | | NDMM_EN | 14 | O | | |
| | | | | MSS_EPWMB0 | 15 | O | | |
| U17 | T19 | PAD_BF | MSS_I2C_SD A | TRACE_DATA_0 | 0 | O | 出力ディ ーセーブル | ブルダウン |
| | | | | MSS_GPIO_31 | 1 | IO | | |
| | | | | DMM0 | 2 | I | | |
| | | | | MSS_UARTA_TX | 4 | IO | | |
| | | | | MSS_GPIO_31 | 6 | IO | | |
| | | | | MSS_I2C_SDA | 10 | IO | | |
| P17 | P20 | PAD_BG | MSS_I2C_SC L | TRACE_DATA_1 | 0 | O | 出力ディ ーセーブル | ブルダウン |
| | | | | MSS_GPIO_30 | 1 | IO | | |
| | | | | DMM1 | 2 | I | | |
| | | | | MSS_EPWMC_SYNCI | 3 | I | | |
| | | | | MSS_UARTA_RX | 4 | IO | | |
| | | | | MSS_GPIO_0 | 6 | IO | | |
| | | | | MSS_I2C_SCL | 10 | IO | | |
| T18 | M20 | PAD_BH | MSS_GPIO_8 | TRACE_DATA_2 | 0 | O | 出力ディ ーセーブル | ブルダウン |
| | | | | MSS_GPIO_29 | 1 | IO | | |
| | | | | DMM2 | 2 | I | | |
| | | | | MSS_EPWMB_SYNCI | 3 | I | | |
| | | | | MSS_GPIO_1 | 6 | IO | | |
| | | | | MSS_GPIO_8 | 7 | IO | | |

| ポート番号 1 | | ポート名 8 | ポート名 2 | 信号名 3 | モード 4 8 | タイプ 5 | ポートリ セット状 態 6 | ブルアップ/ダ ウンタイプ 7 |
|--------------------------------|--------------------------------|--------|--------------|-----------------|------------|-------|---------------------|--------------------|
| AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC | | | | | | | |
| N15 | N20 | PAD_BI | MSS_GPIO_9 | TRACE_DATA_3 | 0 | O | 出力ディ セーブル | ブルダウン |
| | | | | MSS_GPIO_28 | 1 | IO | | |
| | | | | DMM3 | 2 | I | | |
| | | | | MSS_EPWMC_SYNC0 | 4 | O | | |
| | | | | MSS_GPIO_2 | 6 | IO | | |
| | | | | MSS_GPIO_9 | 7 | IO | | |
| P16 | L19 | PAD_BJ | MSS_GPIO_3 | TRACE_DATA_4 | 0 | O | 出力ディ セーブル | ブルダウン |
| | | | | MSS_GPIO_3 | 1 | IO | | |
| | | | | DMM4 | 2 | I | | |
| | | | | MSS_EPWMB_SYNC0 | 4 | O | | |
| | | | | MSS_GPIO_27 | 6 | IO | | |
| | | | | TRACE_DATA_5 | 0 | O | | |
| L15 | M19 | PAD_BK | MSS_GPIO_4 | MSS_GPIO_4 | 1 | IO | 出力ディ セーブル | ブルダウン |
| | | | | DMM5 | 2 | I | | |
| | | | | MSS_EPWM_TZ2 | 4 | I | | |
| | | | | MSS_UARTB_TX | 5 | IO | | |
| | | | | MSS_GPIO_26 | 6 | IO | | |
| | | | | TRACE_DATA_6 | 0 | O | | |
| M16 | J19 | PAD_BL | BSS_UARTA_TX | MSS_GPIO_5 | 1 | IO | 出力ディ セーブル | ブルダウン |
| | | | | DMM6 | 2 | I | | |
| | | | | MSS_EPWM_TZ1 | 4 | I | | |
| | | | | BSS_UARTA_TX | 5 | IO | | |
| | | | | MSS_GPIO_25 | 6 | IO | | |
| | | | | MSS_GPIO_10 | 7 | IO | | |
| | | | | TRACE_DATA_7 | 0 | O | | |
| J15 | K19 | PAD_BM | MSS_GPIO_11 | MSS_GPIO_6 | 1 | IO | 出力ディ セーブル | ブルダウン |
| | | | | DMM7 | 2 | I | | |
| | | | | MSS_EPWM_TZ0 | 4 | I | | |
| | | | | DSS_UARTA_TX | 5 | IO | | |
| | | | | MSS_GPIO_24 | 6 | IO | | |
| | | | | MSS_GPIO_11 | 7 | IO | | |
| | | | | | | | | |

| ポール番号 1 | | パッド名 8 | ポール名 2 | 信号名 3 | モード 4 8 | タイプ 5 | ポールリセット状態 6 | ブルアップ/ダウンタイプ 7 | | | | | | | | | | | |
|---|--------------------------------|------------------------------|---------------|-----------------|---------|-------|-------------|----------------|--|--|--|--|--|--|--|--|--|--|--|
| AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC | | | | | | | | | | | | | | | | | | |
| D17 | C18 | PAD_BN | MSS_MCAN_A_TX | TRACE_DATA_8 | 0 | O | 出力ディーセーブル | ブルダウン | | | | | | | | | | | |
| | | | | MSS_GPIO_7 | 1 | IO | | | | | | | | | | | | | |
| | | | | DMM8 | 2 | I | | | | | | | | | | | | | |
| | | | | MSS_MCANA_TX | 4 | O | | | | | | | | | | | | | |
| | | | | MSS_EPWMA_SYNC1 | 5 | I | | | | | | | | | | | | | |
| | | | | MSS_GPIO_23 | 6 | IO | | | | | | | | | | | | | |
| D16 | B18 | PAD_BO | MSS_MCAN_A_RX | TRACE_DATA_9 | 0 | O | 出力ディーセーブル | ブルダウン | | | | | | | | | | | |
| | | | | MSS_GPIO_8 | 1 | IO | | | | | | | | | | | | | |
| | | | | DMM9 | 2 | I | | | | | | | | | | | | | |
| | | | | MSS_MCANA_RX | 4 | I | | | | | | | | | | | | | |
| | | | | MSS_EPWMA_SYNC0 | 5 | O | | | | | | | | | | | | | |
| | | | | MSS_GPIO_22 | 6 | IO | | | | | | | | | | | | | |
| E15 | A18 | PAD_BP | MSS_EPWM_A0 | TRACE_DATA_10 | 0 | O | 出力ディーセーブル | ブルダウン | | | | | | | | | | | |
| | | | | MSS_GPIO_9 | 1 | IO | | | | | | | | | | | | | |
| | | | | DMM10 | 2 | I | | | | | | | | | | | | | |
| | | | | MSS_EPWMA0 | 3 | O | | | | | | | | | | | | | |
| | | | | MSS_EPWMC0 | 4 | O | | | | | | | | | | | | | |
| | | | | MSS_GPIO_21 | 6 | IO | | | | | | | | | | | | | |
| C18 | — | PAD_BQ | MSS_EPWM_A1 | TRACE_DATA_11 | 0 | O | 出力ディーセーブル | ブルダウン | | | | | | | | | | | |
| | | | | MSS_GPIO_10 | 1 | IO | | | | | | | | | | | | | |
| | | | | DMM11 | 2 | I | | | | | | | | | | | | | |
| | | | | MSS_EPWMA1 | 3 | O | | | | | | | | | | | | | |
| | | | | MSS_EPWMC1 | 4 | O | | | | | | | | | | | | | |
| | | | | MSS_GPIO_20 | 6 | IO- | | | | | | | | | | | | | |
| B17 | A15 | PAD_BR | MSS_MCAN_B_TX | TRACE_DATA_12 | 0 | O | 出力ディーセーブル | ブルダウン | | | | | | | | | | | |
| | | | | MSS_GPIO_11 | 1 | IO | | | | | | | | | | | | | |
| | | | | DMM12 | 2 | I | | | | | | | | | | | | | |
| | | | | MSS_EPWMB0 | 3 | O | | | | | | | | | | | | | |
| | | | | MSS_EPWMA0 | 4 | O | | | | | | | | | | | | | |
| | | | | MSS_MCANB_TX | 5 | O | | | | | | | | | | | | | |
| Copyright © 2025 Texas Instruments Incorporated | | 資料に関するフィードバック(ご意見やお問い合わせ)を送信 | | | | | | | | | | | | | | | | | |
| Product Folder Links: AWR2944P AWR2E44P AWR2944-ECO AWR2E44-ECO AWR2944LC AWR2E44LC | | | | | | | | | | | | | | | | | | | |
| English Data Sheet: SWRS318 | | | | | | | | | | | | | | | | | | | |

| ポート番号 1 | | ポート名 8 | ポート名 2 | 信号名 3 | モード 4 8 | タイプ 5 | ポートリ セット状 態 6 | ブルアップ/ダ ウンタイプ 7 |
|--------------------------------|--------------------------------|--------|----------------|-----------------|------------|-------|---------------------|--------------------|
| AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC | | | | | | | |
| A17 | A17 | PAD_BS | MSS_MCAN_B_RX | TRACE_DATA_13 | 0 | O | 出力ディ セーブル | ブルダウン |
| | | | | MSS_GPIO_12 | 1 | IO | | |
| | | | | DMM13 | 2 | I | | |
| | | | | MSS_EPWMB1 | 3 | O | | |
| | | | | MSS_EPWMA1 | 4 | O | | |
| | | | | MSS_MCANB_RX | 5 | I | | |
| | | | | MSS_GPIO_18 | 6 | IO | | |
| C17 | — | PAD_BT | MSS_EPWM_B0 | TRACE_DATA_14 | 0 | O | 出力ディ セーブル | ブルダウン |
| | | | | MSS_GPIO_13 | 1 | IO | | |
| | | | | DMM14 | 2 | I | | |
| | | | | MSS_EPWMC0 | 3 | O | | |
| | | | | MSS_EPWMB0 | 4 | O | | |
| | | | | MSS_GPIO_17 | 6 | IO | | |
| | | | | MSS_GPIO_17 | 0 | IO | | |
| U8 | — | PAD_BX | MSS_GPIO_17 | MSS_MII_COL | 1 | I | 出力ディ セーブル | ブルダウン |
| | | | | MSS_RMII_REFCLK | 2 | IO | | |
| | | | | MSS_EPWMA1 | 6 | O | | |
| | | | | MSS_GPIO_18 | 0 | IO | | |
| R8 | — | PAD_BY | MSS_I2CA_SDA | MSS_MII_CRS | 1 | I | 出力ディ セーブル | HiZ (オープン ドレイン) |
| | | | | MSS_RMII_CRS_DV | 2 | I | | |
| | | | | MSS_I2CA_SDA | 3 | IO | | |
| | | | | MSS_EPWMB1 | 6 | O | | |
| | | | | MSS_GPIO_19 | 0 | IO | | |
| U9 | U3 | PAD_BZ | MSS_I2CA_SCL | MSS_RMII_RXER | 2 | I | 出力ディ セーブル | HiZ (オープン ドレイン) |
| | | | | MSS_I2C_SCL | 3 | IO | | |
| | | | | MSS_EPWMC1 | 6 | O | | |
| | | | | MSS_GPIO_20 | 0 | IO | | |
| R6 | U9 | PAD_CA | MSS_RGMII_TCTL | MSS_RMII_TXEN | 2 | O | 出力ディ セーブル | ブルダウン |
| | | | | MSS_RGMII_TCTL | 3 | O | | |
| | | | | MSS_EPWMA0 | 6 | O | | |
| | | | | MSS_GPIO_20 | 0 | IO | | |

| ポール番号 1 | | パッド名 8 | ポール名 2 | 信号名 3 | モード 4 8 | タイプ 5 | ポールリセット状態 6 | ブルアップ/ダウンタイプ 7 |
|--------------------------------|--------------------------------|--------|------------------|------------------|---------|-------|-------------|----------------|
| AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC | | | | | | | |
| T7 | T7 | PAD_CB | MSS_RGMII_RCTL | MSS_GPIO_21 | 0 | IO | 出力ディセーブル | |
| | | | | MSS_RGMII_RCTL | 3 | I | | |
| | | | | MSS_RMII_CRS_DV | 4 | I | | |
| | | | | MSS_UARTB_RX | 5 | IO | | |
| | | | | MSS_EPWMB0 | 6 | O | | |
| U4 | T12 | PAD_CC | MSS_RGMII_TD3 | MSS_GPIO_22 | 0 | IO | 出力ディセーブル | ブルダウン |
| | | | | MSS_RGMII_TD3 | 3 | O | | |
| | | | | MSS_UARTB_TX | 5 | IO | | |
| | | | | MSS_EPWMC0 | 6 | O | | |
| U6 | R12 | PAD_CD | MSS_RGMII_TD2 | MSS_GPIO_23 | 0 | IO | 出力ディセーブル | ブルダウン |
| | | | | MSS_RGMII_TD2 | 3 | O | | |
| U5 | U10 | PAD_CE | MSS_RGMII_TD1 | MSS_GPIO_24 | 0 | IO | 出力ディセーブル | ブルダウン |
| | | | | MSS_RMII_TXD1 | 2 | O | | |
| | | | | MSS_RGMII_TD1 | 3 | O | | |
| U7 | U7 | PAD_CF | MSS_RGMII_TD0 | MSS_GPIO_25 | 0 | IO | 出力ディセーブル | ブルダウン |
| | | | | MSS_RMII_TXD0 | 2 | O | | |
| | | | | MSS_RGMII_TD0 | 3 | O | | |
| V3 | T6 | PAD_CG | MSS_RGMII_TCLK | MSS_GPIO_26 | 0 | IO | 出力ディセーブル | ブルダウン |
| | | | | MSS_RGMII_TCLK | 3 | O | | |
| T9 | T5 | PAD_CH | MSS_RGMII_RCLK | MSS_GPIO_27 | 0 | IO | 出力ディセーブル | ブルダウン |
| | | | | MSS_RGMII_RCLK | 3 | I | | |
| | | | | MSS_RMII_REFCLK | 4 | IO | | |
| U10 | U5 | PAD_CI | MSS_RGMII_RD3 | MSS_GPIO_28 | 0 | IO | 出力ディセーブル | |
| | | | | MSS_RGMII_RD3 | 3 | I | | |
| V5 | T4 | PAD_CJ | MSS_RGMII_RD2 | MSS_GPIO_29 | 0 | IO | 出力ディセーブル | |
| | | | | MSS_RGMII_RD2 | 3 | I | | |
| V4 | U4 | PAD_CK | MSS_RGMII_RD1 | MSS_GPIO_30 | 0 | IO | 出力ディセーブル | |
| | | | | MSS_RMII_RXD1 | 2 | I | | |
| | | | | MSS_RGMII_RD1 | 3 | I | | |
| V6 | T3 | PAD_CL | MSS_RGMII_RD0 | MSS_GPIO_31 | 0 | IO | 出力ディセーブル | |
| | | | | MSS_RMII_RXD0 | 2 | I | | |
| | | | | MSS_RGMII_RD0 | 3 | I | | |
| T5 | T2 | PAD_CM | MSS_MDIO_DATA | MSS_GPIO_30 | 0 | IO | 出力ディセーブル | ブルアップ |
| | | | | MSS_MDIO_DATA | 1 | IO | | |
| R4 | U2 | PAD_CN | MSS_MDIO_CLK | MSS_GPIO_31 | 0 | IO | 出力ディセーブル | ブルアップ |
| | | | | MSS_MDIO_CLK | 1 | O | | |
| U15 | U17 | PAD_CO | MSS_MIBSPIA_MOSI | MSS_GPIO_0 | 0 | IO | 出力ディセーブル | ブルアップ |
| | | | | MSS_MIBSPIA_MOSI | 5 | IO | | |

| ポート番号 1 | | ポート名 8 | ポート名 2 | 信号名 3 | モード 4 8 | タイプ 5 | ポートリ セット状 態 6 | ブルアップ/ダ ウンタイプ 7 |
|--------------------------------|--------------------------------|--------|-------------------------|---------------------|-------------|-------|---------------------|--------------------|
| AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC | | | | | | | |
| U16 | R18 | PAD_CP | MSS_MIBSPI A_MISO | MSS_GPIO_1 | 0 | IO | 出力ディ セーブル | ブルアップ |
| | | | | MSS_MIBSPIA_MISO | 5 | IO | | |
| T16 | T18 | PAD_CQ | MSS_MIBSPI A_CLK | MSS_GPIO_2 | 0 | IO | 出力ディ セーブル | ブルアップ |
| | | | | MSS_MIBSPIA_CLK | 5 | IO | | |
| T15 | U18 | PAD_CR | MSS_MIBSPI A_CS0 | MSS_GPIO_3 | 0 | IO | 出力ディ セーブル | ブルアップ |
| | | | | MSS_MIBSPIA_CS0 | 5 | IO | | |
| V17 | — | PAD_CS | MSS_MIBSPI A_HOSTIRQ | MSS_GPIO_4 | 0 | IO | 出力ディ セーブル | ブルダウン |
| | | | | MSS_GPIO_2 | 2 | IO | | |
| | | | | MSS_GPIO_8 | 3 | IO | | |
| | | | | MSS_MIBSPIA_HOSTIRQ | 5 | O | | |
| | | | | MSS_MIBSPIB_CS2 | 6 | IO | | |
| | | | | MSS_GPIO_2 | 7 | IO | | |
| | | | | MSS_GPIO_8 | 10 | IO | | |
| | | | | | | | | |
| B16 | A16 | PAD_DA | MSS_UARTA _RX | MSS_GPIO_12 | 0 | IO | 出力ディ セーブル | ブルアップ |
| | | | | MSS_CPTSO_TS_SYNC | 1 | O | | |
| | | | | MSS_GPIO_8 | 3 | IO | | |
| | | | | MSS_UARTB_TX | 4 | IO | | |
| | | | | MSS_UARTA_RX | 5 | IO | | |
| | | | | DSS_UARTA_TX | 6 | IO | | |
| C16 | B17 | PAD_DB | MSS_UARTA _TX | SOP[4] | パワーア ップ時 | I | 出力ディ セーブル | |
| | | | | MSS_GPIO_13 | 0 | IO | | |
| | | | | MSS_CPTSO_HW2TSPUSH | 1 | I | | |
| | | | | MSS_GPIO_9 | 3 | IO | | |
| | | | | MSS_UARTB_RX | 4 | IO | | |
| | | | | MSS_UARTA_TX | 5 | IO | | |
| | | | | DSS_UARTA_RX | 6 | IO | | |
| A15 | A9 | PAD_DC | MSS_GPIO_ 14 | MSS_GPIO_14 | 0 | IO | 出力ディ セーブル | ブルアップ |
| | | | | MSS_CPTSO_HW1TSPUSH | 1 | I | | |
| | | | | MSS_GPIO_10 | 3 | IO | | |
| | | | | DSS_UARTA_TX | 4 | IO | | |
| | | | | MSS_UARTA_RX | 6 | IO | | |

| ボール番号 1 | | パッド名 8 | ボール名 2 | 信号名 3 | モード 4 8 | タイプ 5 | ボールリセット状態 6 | ブルアップ/ダウンタイプ 7 |
|--------------------------------|--------------------------------|--------|-------------|-----------------|-------------|-------|--------------|----------------|
| AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC | | | | | | | |
| B14 | A8 | PAD_DD | MSS_GPIO_15 | MSS_GPIO_15 | 0 | IO | 出力ディ セーブル | ブルアップ |
| | | | | DSS_UARTA_RX | 1 | IO | | |
| | | | | MSS_GPIO_11 | 3 | IO | | |
| | | | | MSS_UARTA_TX | 6 | IO | | |
| A14 | B7 | PAD_DE | MSS_GPIO_0 | SOP[3] | パワー アップ時 | I | 出力ディ セーブル | ブルアップ |
| | | | | MSS_GPIO_0 | 0 | IO | | |
| | | | | DSS_UARTA_TX | 1 | IO | | |
| | | | | MSS_EPWMB_SYNC1 | 3 | I | | |
| | | | | MSS_UARTA_TX | 5 | IO | | |
| | | | | MSS_UARTB_TX | 6 | IO | | |
| | | | | LVDS_VALID | 8 | O | | |
| | | | | MSS_GPIO_31 | 12 | IO | | |
| B13 | A7 | PAD_DF | XREF_CLK0 | MSS_GPIO_1 | 0 | IO | 出力ディ セーブル | ブルダウン |
| | | | | XREF_CLK0 | 1 | I | | |
| | | | | MSS_GPIO_8 | 3 | IO | | |
| | | | | MCU_CLKOUT | 6 | O | | |
| | | | | MSS_GPIO_30 | 12 | IO | | |
| D11 | — | PAD_DG | XREF_CLK1 | MSS_GPIO_2 | 0 | IO | 出力ディ セーブル | ブルダウン |
| | | | | XREF_CLK1 | 1 | I | | |
| | | | | MSS_GPIO_9 | 3 | IO | | |
| | | | | PMIC_CLKOUT | 7 | O | | |
| | | | | MSS_GPIO_29 | 12 | IO | | |

以下は、表の列ヘッダーについて説明しています。

1. **ポール番号:**底面の各信号に関する底面側のポール番号。
2. **ポール名:**パッケージデバイスの機械名称(実装例に基づいて命名)。
3. **信号名:**各ポールで多重化された信号の名前(ポールの名前は muxmode 0 での信号名であることにも注意)。
4. **モード:**多重化モード番号:このポール番号に対応する特定の信号名を選択するために PinMux 制御レジスタに書き込まれる値。モード列にはビット範囲値があります。
5. **タイプ:**信号の種類と方向:
 - I = 入力
 - O = 出力
 - IO = 入出力
6. **ポールリセット状態:**パワーオンリセット時の端子の状態
7. **プルアップ / ダウンタイプ:**内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。
 - プルアップ:内部プルアップ
 - プルダウン:内部プルダウン
 - HiZ
8. ピン多重化制御値はレジスタの下位 4 ビットに割り当てられています。
9. 一部のパッドは、専用の BGA ピンに割り当てられていません。これらの未使用パッドは、アプリケーションで無効にする必要があります

6.4 信号の説明 - デジタル

注

本デバイスのすべてのデジタル IO ピン (NERROR_OUT, WARM_RESET を除く) フェイイルセーフではないので、VIO 電源が本デバイスに供給されていない状態において、これらの IO ピンが外部から駆動されないように注意する必要があります。

注

電源ランプ時の GPIO 状態は検証されていません。GPIO の状態が重要なアプリケーションで GPIO を使用する場合には、NRESET が Low であるときにも、トライステート バッファを使用して GPIO 出力をレーダー デバイスから分離し、プル抵抗を使って、アプリケーションで必要な状態を確定できます。レーダー デバイスへの NRESET 信号は、トライステート バッファの出力イネーブル (OE) を制御するために使用できます。

注

ROM プートローダーは、フラッシュ書き込みに B16 (MSS_UARTA_RX) および C16 (MSS_UARTA_TX) ピンのみを使用します。モジュールを構築する際は、これらのピンを使用することを推奨します。

注

LVDS および Aurora インターフェイスは、デバッグおよび開発目的での使用を想定しており、量産用途には対応していません。

注

AWR2944LC および AWR2E44LC では RGMII/RMII/MII イーサネットはサポートされておらず、該当するピンは無効化されています。

注

AWR2944LC と AWR2E44LC では CSI2 RX はサポートされておらず、対応するピンがディセーブルになります。

注

AWR2944LC と AWR2E44LC では Aurora LVDS はサポートされておらず、対応するピンがディセーブルになります。

| 機能 | 信号名 | ピンの種類 | 説明 | ピン番号 | |
|----------------------|----------------------|-------|--|---|--|
| | | | | AWR2944P/ AWR2944-ECO/ AWR2944LC | AWR2E44P/ AWR2E44-ECO/ AWR2E44LC |
| SPI インターフェイス | MSS_MIBSPIA_CLK | IO | SPI チャネル A - クロック | T16 | T18 |
| | MSS_MIBSPIA_MOS_I | IO | SPI チャネル A - プライマリ出力/セカンダリ入力 | U15 | U17 |
| | MSS_MIBSPIA_MISO | IO | SPI チャネル A - プライマリ入力/セカンダリ出力 | U16 | R18 |
| | MSS_MIBSPIA_CS0 | IO | SPI チャネル A チップ セレクト | T15 | U18 |
| | MSS_MIBSPIA_HCS_TIRQ | O | SPI 経由で通信中の外部ホストへの 帯域外割り込み | V16, V17 | T16 |
| | MSS_MIBSPIB_CLK | IO | SPI チャネル B - クロック | T13, R10 | T14, R2 |
| | MSS_MIBSPIB_MOS_I | IO | SPI チャネル B - プライマリ出力/セカンダリ入力 | V12, V11 | T13, N2 |
| | MSS_MIBSPIB_MISO | IO | SPI チャネル B プライマリ出力/セカンダリ入力 | U13, U11 | T15, P2 |
| | MSS_MIBSPIB_CS0 | IO | SPI チャネル B チップ セレクト (イ ンスタンス ID 0) | U14, U12 | U15, T1 |
| | MSS_MIBSPIB_CS1 | IO | SPI チャネル B チップ セレクト (イ ンスタンス ID 1) | V16, A16, R14 | T16, A10, T17 |
| | MSS_MIBSPIB_CS2 | IO | SPI チャネル B チップ セレクト (イ ンスタンス ID 2) | A16, V11, R14, V17 | A10, N2, T17 |
| CAN-FD | MSS_MCANA_RX | I | CAN-FD A (MCAN) 受信信号 | T13, R12, C14, F16, D16 | T14, R1, B10, B19, B18 |
| | MSS_MCANA_TX | O | CAN-FD A (MCAN) 送信信号 | U14, T11, C12, E17, D17 | U15, P1, B8, A19, C18 |
| | MSS_MCANB_RX | I | CAN-FD B (MCAN) 受信信号 | V12, A17 | T13, A17 |
| | MSS_MCANB_TX | O | CAN-FD B (MCAN) 送信信号 | U13, B17 | T15, A15 |
| UART (MSS) | MSS_UARTA_RX | IO | メイン サブシステム - UART A 受信 (フラッシュ プログラミング用) | T13, D13, F16, P17, B16, A15 | T14, B9, B19, P20, A16, A9 |
| | MSS_UARTA_TX | IO | メイン サブシステム - UART A 送信 (フラッシュ プログラミング用) | U14, D15, E17, U17, C16, B14, A14 | U15, B11, A19, T19, B17, A8, B7 |
| | MSS_UARTB_RX | IO | メイン サブシステム - UART B 受信 | T13, U14, C12, D15, G15, E17, L15, U4, B16, A14 | T14, U15, B8, B11, C20, A19, M19, T12, A16, B7 |
| | MSS_UARTB_TX | IO | メイン サブシステム - UART B 送信 | R17, F16, T7, C16 | P19, B19, T7, B17 |
| シリアル フラッシュ向け QSPI | MSS_QSPI_0 | IO | QSPI データ ライン #0 (シリアル データ フラッシュと使用) | U11 | P2 |
| | MSS_QSPI_1 | I | QSPI データ ライン #1 (シリアル データ フラッシュと使用) | V11 | N2 |
| | MSS_QSPI_2 | I | QSPI データ ライン #2 (シリアル データ フラッシュと使用) | T11 | P1 |
| | MSS_QSPI_3 | I | QSPI データ ライン #3 (シリアル データ フラッシュと使用) | R12 | R1 |
| | MSS_QSPI_CLK | IO | QSPI クロック (シリアル データ フラッシュと使用) | R10 | R2 |
| | MSS_QSPI_CS | O | QSPI チップ セレクト (シリアル データ フラッシュと使用) | U12 | T1 |

| 機能 | 信号名 | ピンの種類 | 説明 | ピン番号 | |
|------------------------------|------------------|-------|----------------------------------|--|--|
| | | | | AWR2944P/ AWR2944-ECO/ AWR2944LC | AWR2E44P/ AWR2E44-ECO/ AWR2E44LC |
| I2C インターフェイス | MSS_I2C_SDA | IO | I2C クロック | V12, E17, U17, R8 | T13, A19, T19, |
| | MSS_I2C_SCL | IO | I2C データ | U13, F16, P17, U9 | T15, B19, P20, U3 |
| RS232 UART | MSS_RS232_RX | IO | デバッグ UART (バス プライマリとして動作) - 受信信号 | F16 | B19 |
| | MSS_RS232_TX | IO | デバッグ UART (バス プライマリとして動作) - 送信信号 | E17 | A19 |
| PWM モジュール | MSS_EPWMA0 | O | PWM モジュール 1 - 出力 A0 | V12, R15, E17, E15, B17, R6 | T13, R19, A19, A18, A15, U9 |
| | MSS_EPWMA1 | O | PWM モジュール 1 - 出力 A1 | B15, T17, E17, C18, A17, U8 | C17, N19, A19, A17 |
| | MSS_EPWMA_SYNC_I | I | PWM モジュール 1 - 同期入力 | A16, D17 | A10, C18 |
| | MSS_EPWMA_SYNC_O | O | PWM モジュール 1 - 同期出力 | D16 | B18 |
| | MSS_EPWMB0 | O | PWM モジュール 2 - 出力 B0 | B15, U13, T17, R14, F16, E17, B17, C17, T7 | C17, T15, N19, T17, B19, A19, A15, T7 |
| | MSS_EPWMB1 | O | PWM モジュール 2 - 出力 B1 | R14, F16, A17, R8 | T17, B19, A17 |
| | MSS_EPWMB_SYNC_I | I | PWM モジュール 2 - 同期入力 | T18, A14 | M20, B7 |
| | MSS_EPWMB_SYNC_O | O | PWM モジュール 2 - 同期出力 | P16 | L19 |
| | MSS_EPWMC0 | O | PWM モジュール 3 - 出力 C0 | T13, F16, E15, C17, U4 | T14, B19, A18, T12 |
| | MSS_EPWMC1 | O | PWM モジュール 3 - 出力 C1 | C18, U9 | U3 |
| | MSS_EPWMC_SYNC_I | I | PWM モジュール 3 - 同期入力 | P17 | P20 |
| | MSS_EPWMC_SYNC_O | O | PWM モジュール 3 - 同期出力 | N15 | N20 |
| | MSS_EPWM_TZ0 | I | PWM モジュール トリップ信号 0 | G15, J15 | C20, K19 |
| | MSS_EPWM_TZ1 | I | PWM モジュール トリップ信号 1 | A16, M16 | A10, J19 |
| | MSS_EPWM_TZ2 | I | PWM モジュール トリップ信号 2 | B15, L15 | C17, M19 |
| RGMII/RMII/MII イーサネット (1) | MSS_MII_COL | I | MSS イーサネット MII 衝突検出 | U8 | — |
| | MSS_MII_CRS | I | MSS イーサネット MII キャリア センス | R8 | — |
| | MSS_MII_RXER | I | MSS イーサネット MII 受信エラー | U9 | — |
| | MSS_MII_TXEN | O | MSS イーサネット MII 送信イネーブル | R6 | — |
| | MSS_MII_RXDV | I | MSS イーサネット MII 受信データ 有効 | T7 | — |
| | MSS_MII_TXD3 | O | MSS イーサネット MII 送信データ 3 | U4 | — |
| | MSS_MII_TXD2 | O | MSS イーサネット MII 送信データ 2 | U6 | — |
| | MSS_MII_TXD1 | O | MSS イーサネット MII 送信データ 1 | U5 | — |

| 機能 | 信号名 | ピンの種類 | 説明 | ピン番号 | |
|------------------------------|-----------------|-------|---------------------------------|--|--|
| | | | | AWR2944P/ AWR2944-ECO/ AWR2944LC | AWR2E44P/ AWR2E44-ECO/ AWR2E44LC |
| RGMII/RMII/MII イーサネット (1) | MSS_MII_TXD0 | O | MSS イーサネット MII 送信データ 0 | U7 | — |
| | MSS_MII_TXCLK | I | MSS イーサネット MII 送信クロック | V3 | — |
| | MSS_MII_RXCLK | I | MSS イーサネット MII 受信クロック | T9 | — |
| | MSS_MII_RXD3 | I | MSS イーサネット MII 受信データ 3 | U10 | — |
| | MSS_MII_RXD2 | I | MSS イーサネット MII 受信データ 2 | V5 | — |
| | MSS_MII_RXD1 | I | MSS イーサネット MII 受信データ 1 | V4 | — |
| | MSS_MII_RXD0 | I | MSS イーサネット MII 受信データ 0 | V6 | — |
| | MSS_RMII_REFCLK | IO | MSS イーサネット RMII クロック入力 | U8, T9 | T5 |
| | MSS_RMII_CRS_DV | I | MSS イーサネット RMII キャリアセンス/受信データ有効 | R8, T7 | T7 |
| | MSS_RMII_RXER | I | MSS イーサネット RMII 受信エラー | U9 | U3 |
| | MSS_RMII_TXEN | O | MSS イーサネット RMII 送信イネーブル | R6 | U9 |
| | MSS_RMII_TXD1 | O | MSS イーサネット RMII 送信データ 1 | U5 | U10 |
| | MSS_RMII_TXD0 | O | MSS イーサネット RMII 送信データ 0 | U7 | U7 |
| | MSS_RMII_RXD1 | I | MSS イーサネット MII 受信データ 1 | V4 | U4 |
| | MSS_RMII_RXD0 | I | MSS イーサネット MII 受信データ 0 | V6 | T3 |
| | MSS_RGMII_TCTL | O | MSS イーサネット RGMII 送信制御 | R6 | U9 |
| | MSS_RGMII_RCTL | I | MSS イーサネット RGMII 受信制御 | T7 | T7 |
| | MSS_RGMII_TD3 | O | MSS イーサネット RGMII 送信データ 3 | U4 | T12 |
| | MSS_RGMII_TD2 | O | MSS イーサネット RGMII 送信データ 2 | U6 | R12 |
| | MSS_RGMII_TD1 | O | MSS イーサネット RGMII 送信データ 1 | U5 | U10 |
| | MSS_RGMII_TD0 | O | MSS イーサネット RGMII 送信データ 0 | U7 | U7 |
| | MSS_RGMII_TCLK | O | MSS イーサネット RGMII 送信クロック | V3 | T6 |
| | MSS_RGMII_RCLK | I | MSS イーサネット RGMII 受信クロック | T9 | T5 |
| | MSS_RGMII_RD3 | I | MSS イーサネット RGMII 受信データ 3 | U10 | U5 |

| 機能 | 信号名 | ピンの種類 | 説明 | ピン番号 | |
|--------|----------------------|-------|---------------------------|--|--|
| | | | | AWR2944P/ AWR2944-ECO/ AWR2944LC | AWR2E44P/ AWR2E44-ECO/ AWR2E44LC |
| MSS | MSS_RGMII_RD2 | I | MSS イーサネット RGMII 受信データ 2 | V5 | T4 |
| | MSS_RGMII_RD1 | I | MSS イーサネット RGMII 受信データ 1 | V4 | U4 |
| | MSS_RGMII_RD0 | I | MSS イーサネット RGMII 受信データ 0 | V6 | T3 |
| | MSS_MDIO_DATA | IO | MSS イーサネット管理データの入出力データ | T5 | T2 |
| | MSS_MDIO_CLK | O | MSS イーサネット管理データの入出力クロック | R4 | U2 |
| | MSS_CPTS0_TS_SYNC | O | イーサネット タイムスタンプ同期出力 | B16 | A16 |
| | MSS_CPTS0_HW2T_SPUSH | I | イーサネット ハードウェア タイムスタンプ入力ピン | C16 | B17 |
| | MSS_CPTS0_HW1T_SPUSH | I | | A15 | A9 |
| トレース信号 | TRACE_DATA_0 | O | デバッグトレース出力 - データライン | U17 | T19 |
| | TRACE_DATA_1 | O | デバッグトレース出力 - データライン | P17 | P20 |
| | TRACE_DATA_2 | O | デバッグトレース出力 - データライン | T18 | M20 |
| | TRACE_DATA_3 | O | デバッグトレース出力 - データライン | N15 | N20 |
| | TRACE_DATA_4 | O | デバッグトレース出力 - データライン | P16 | L19 |
| | TRACE_DATA_5 | O | デバッグトレース出力 - データライン | L15 | M19 |
| | TRACE_DATA_6 | O | デバッグトレース出力 - データライン | M16 | J19 |
| | TRACE_DATA_7 | O | デバッグトレース出力 - データライン | J15 | K19 |
| | TRACE_DATA_8 | O | デバッグトレース出力 - データライン | D17 | C18 |
| | TRACE_DATA_9 | O | デバッグトレース出力 - データライン | D16 | B18 |
| | TRACE_DATA_10 | O | デバッグトレース出力 - データライン | E15 | A18 |
| | TRACE_DATA_11 | O | デバッグトレース出力 - データライン | C18 | — |
| | TRACE_DATA_12 | O | デバッグトレース出力 - データライン | B17 | A15 |
| | TRACE_DATA_13 | O | デバッグトレース出力 - データライン | A17 | A17 |
| | TRACE_DATA_14 | O | デバッグトレース出力 - データライン | C17 | — |
| | TRACE_CLK | O | デバッグトレース出力 - クロック | R15 | B19, R19 |
| | TRACE_CTL | O | デバッグトレース出力 - 制御 | T17 | A19, N19 |

| 機能 | 信号名 | ピンの種類 | 説明 | ピン番号 | |
|--------------|------------|-------|--|--|--|
| | | | | AWR2944P/ AWR2944-ECO/ AWR2944LC | AWR2E44P/ AWR2E44-ECO/ AWR2E44LC |
| DMM インターフェイス | DMM0 | I | デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン | U17 | T19 |
| | DMM1 | I | デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン | P17 | P20 |
| | DMM2 | I | デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン | T18 | M20 |
| | DMM3 | I | デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン | N15 | N20 |
| | DMM4 | I | デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン | P16 | L19 |
| | DMM5 | I | デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン | L15 | M19 |
| | DMM6 | I | デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン | M16 | J19 |
| | DMM7 | I | デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン | J15 | K19 |
| | DMM8 | I | デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン | D17 | C18 |
| | DMM9 | I | デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン | D16 | B18 |
| | DMM10 | I | デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン | E15 | A18 |
| | DMM11 | I | デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン | C18 | — |
| | DMM12 | I | デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン | B17 | A15 |
| | DMM13 | I | デバッグ インターフェイス (ハードウェア イン ループ) - データ ライン | C17 | A17 |
| | DMM_CLK | I | デバッグ インターフェイス (ハードウェア イン ループ) - クロック | R15 | R19 |
| | DMM_SYNC | I | デバッグ インターフェイス (ハードウェア イン ループ) - 同期 | T17 | N19 |
| | DMM_MUX_IN | I | デバッグ インターフェイス (ハードウェア イン ループ) DMM1 と DMM2 の間でのマルチブレクサ選択 (2 インスタンス) | A16, R17, R14 | A10, P19, T17 |
| | NDMM_EN | O | デバッグ インターフェイス (ハードウェア イン ループ) イネーブル - アクティブ ライブ Low 信号 | D15, E17 | B11, A19 |

| 機能 | 信号名 | ピンの種類 | 説明 | ピン番号 | |
|--------|-------------|-------|--------|--|--|
| | | | | AWR2944P/ AWR2944-ECO/ AWR2944LC | AWR2E44P/ AWR2E44-ECO/ AWR2E44LC |
| 汎用 I/O | MSS_GPIO_0 | IO | 汎用 I/O | B15、P17、U15、A14 | C17、P20、U17、B7 |
| | MSS_GPIO_1 | IO | 汎用 I/O | A16、T18、U16、B13 | A10、M20、R18、A7 |
| | MSS_GPIO_2 | IO | 汎用 I/O | G15、N15、T16、 V17、D11 | C20、N20、T18 |
| | MSS_GPIO_3 | IO | 汎用 I/O | P16、T15 | L19、U18 |
| | MSS_GPIO_4 | IO | 汎用 I/O | U14、L15、V17 | U15、M19 |
| | MSS_GPIO_5 | IO | 汎用 I/O | T13、M16 | T14、J19 |
| | MSS_GPIO_6 | IO | 汎用 I/O | U12、J15 | T1、K19 |
| | MSS_GPIO_7 | IO | 汎用 I/O | R10、D17 | R2、C18 |
| | MSS_GPIO_8 | IO | 汎用 I/O | U11、T18、D16、V17、 B16、B13 | P2、M20、B18、A16、 A7 |
| | MSS_GPIO_9 | IO | 汎用 I/O | V11、N15、E15、C16、 D11 | N2、N20、A18、B17 |
| | MSS_GPIO_10 | IO | 汎用 I/O | T11、M16、C18、A15 | P1、J19、A9 |
| | MSS_GPIO_11 | IO | 汎用 I/O | R12、J15、B17、B14 | R1、K19、A15、A8 |
| | MSS_GPIO_12 | IO | 汎用 I/O | V16、A17、B16 | T16、A17、A16 |
| | MSS_GPIO_13 | IO | 汎用 I/O | B15、C17、C16 | C17、B17 |
| | MSS_GPIO_14 | IO | 汎用 I/O | E17、A15 | A19、A9 |
| | MSS_GPIO_15 | IO | 汎用 I/O | F16、B14 | B19、A8 |
| | MSS_GPIO_16 | IO | 汎用 I/O | A16 | A10 |
| | MSS_GPIO_17 | IO | 汎用 I/O | C12、C17、U8 | B8 |
| | MSS_GPIO_18 | IO | 汎用 I/O | C14、A17、R8 | B10、A17 |
| | MSS_GPIO_19 | IO | 汎用 I/O | B17、U9 | A15、U3 |
| | MSS_GPIO_20 | IO | 汎用 I/O | C18、R6 | U9 |
| | MSS_GPIO_21 | IO | 汎用 I/O | V12、E15、T7 | T13、A18、T7 |
| | MSS_GPIO_22 | IO | 汎用 I/O | U13、D16、U4 | T15、B18、T12 |
| | MSS_GPIO_23 | IO | 汎用 I/O | D13、D17、U6 | B9、C18、R12 |
| | MSS_GPIO_24 | IO | 汎用 I/O | D15、J15、U5 | B11、K19、U10 |
| | MSS_GPIO_25 | IO | 汎用 I/O | R15、M16、U7 | R19、J19、U7 |
| | MSS_GPIO_26 | IO | 汎用 I/O | G15、L15、V3 | C20、M19、T6 |
| | MSS_GPIO_27 | IO | 汎用 I/O | T17、P16、T9 | N19、L19、T5 |
| | MSS_GPIO_28 | IO | 汎用 I/O | R17、N15、U10 | P19、N20、U5 |
| | MSS_GPIO_29 | IO | 汎用 I/O | R14、T18、V5、D11 | T17、M20、T4 |
| | MSS_GPIO_30 | IO | 汎用 I/O | P17、V4、T5、B13 | P20、U4、T2、A7 |
| | MSS_GPIO_31 | IO | 汎用 I/O | U17、V6、R4、A14 | T19、T3、U2、B7 |

| 機能 | 信号名 | ピンの種類 | 説明 | ピン番号 | |
|-------------|--------------|-------|--|--|--|
| | | | | AWR2944P/ AWR2944-ECO/ AWR2944LC | AWR2E44P/ AWR2E44-ECO/ AWR2E44LC |
| UART (DSS) | DSS_UARTA_TX | IO | デバッグ UART 送信 [DSP] | U13, R10, J15, B16, A15, A14 | — |
| | DSS_UARTA_RX | IO | デバッグ UART 受信 [DSP] | D13, R17, C16, B14 | — |
| チャーブ/フレーム信号 | ADC_VALID | O | High のとき、有効な ADC サンプルを示します | V16, T11, R12, R17 | T16, P1, R1, P19 |
| | CHIRP_START | O | 各チャーブの開始を示すパルス信号 | G15, T17 | C20, N19 |
| | CHIRP_END | O | 各チャーブの終了を示すパルス信号 | G15, T17 | C20, N19 |
| | FRAME_START | O | 各フレームの開始を示すパルス信号 | R15, G15, T17 | R19, C20, N19 |
| LVDS_VALID | LVDS_VALID | O | High のとき、有効な LVDS データを示します | A16, R15, G15, T17, R14, E17, A14 | A10, R19, C20, N19, T17, A19, B7 |
| 外部クロック出力 | MCU_CLKOUT | O | 外部 MCU またはプロセッサに供給されるプログラマブル クロック | R15, B13 | R19, A7 |
| | PMIC_CLKOUT | O | PMIC 向けのデバイスからの出力クロック | B15, G15, T17, D11 | C17, C20, N19 |
| システムの同期 | SYNC_IN | I | 低周波数同期信号入力 | R17 | P19 |
| | SYNC_OUT | O | 低周波数同期信号出力 | A16, G15, R17, R14 | A10, C20, P19, T17 |
| クロック出力 | OBS_CLKOUT | O | 観測クロック出力 | R15, T17 | R19, N19 |
| | RCOSC_CLK | O | 内部 RCOSC クロック出力 | R14 | T17 |
| リファレンス クロック | XREF_CLK0 | I | 外部基準入力クロック 0 | B13 | A7 |
| | XREF_CLK1 | I | 差動リファレンス入力クロック 1 | D11 | — |
| JTAG | TCK | I | JTAG テスト クロック | C12 | B8 |
| | TMS | IO | JTAG テスト モード信号 | C14 | B10 |
| | TDI | I | JTAG テスト データ入力 | D13 | B9 |
| | TDO | O | JTAG テスト データ出力 | D15 | B11 |
| UART (BSS) | BSS_UARTA_TX | O | デバッグ UART 送信 [レーダー ブロック] | A16, T13, U14, C14, D15, F16, E17, M16 | — |
| | BSS_UARTA_RX | I | デバッグ UART 受信 [レーダー ブロック] | C12, R15 | — |
| リセット | WARM_RESET | IO | オープンドレインのフェイルセーフ ウオームリセット信号。診断用として PMIC から駆動するか、または、デバイスがリセット中であることを示すステータス信号として使用できます。 | B12 | A6 |
| 安全 | NERROR_OUT | O | オープンドレインのフェイルセーフ 出力信号。非常に重大なフォルトが発生していることを示すために、PMIC / プロセッサ / MCU に接続されています。復帰はリセットでできます。 | C11 | B6 |

| 機能 | 信号名 | ピンの種類 | 説明 | ピン番号 | |
|-------------------------------|------------------|-------|--|--|--|
| | | | | AWR2944P/ AWR2944-ECO/ AWR2944LC | AWR2E44P/ AWR2E44-ECO/ AWR2E44LC |
| センス オン パワー | SOP[0] | I | SOP ピンは外部から (弱いドライブで) 駆動され、mmWave デバイスは起動時にこれらのピンの状態を検出して、起動モードを決定します。ポート後は、同じピンが他の機能を持つようになります。 | D15 | B11 |
| | SOP[1] | I | | R14 | T17 |
| | SOP[2] | I | | T17 | N19 |
| | SOP[3] | I | | A14 | B7 |
| | SOP[4] | I | | C16 | B17 |
| CSI2 RX ⁽¹⁾ | CSI2_RX0M0 | I | CSI2.0 レシーバ #1、負の極性、レーン 0 | N18 | K18 |
| | CSI2_RX0P0 | I | CSI2.0 レシーバ #1、正の極性、レーン 0 | N17 | K17 |
| | CSI2_RX0CLKM | I | CSI2.0 レシーバ #1、クロック入力、負の極性 | L18 | H18 |
| | CSI2_RX0CLKP | I | CSI2.0 レシーバ #1、クロック入力、正の極性 | L17 | H17 |
| | CSI2_RX0M1 | I | CSI2.0 レシーバ #1、負の極性、レーン 1 | M18 | J18 |
| | CSI2_RX0P1 | I | CSI2.0 レシーバ #1、正の極性、レーン 2 | M17 | J17 |
| Aurora 向け LVDS ⁽¹⁾ | LVDS_TXM0 | O | LVDS/Aurora トランスマッタ、データ出力、レーン 0 | F18 | D20 |
| | LVDS_TXP0 | O | | F17 | D19 |
| | LVDS_TXM2_CLKM | O | LVDS クロック、Aurora データ出力 - LAN 2 | G18 | E20 |
| | LVDS_TXP2_CLKP | O | | G17 | E19 |
| | LVDS_TXM3_FRCLKM | O | LVDS フレーム クロック、Aurora データ出力 - レーン 3 | H18 | G20 |
| | LVDS_TXP3_FRCLKP | O | | H17 | G19 |
| | LVDS_TXM1 | O | LVDS/Aurora トランスマッタ、データ出力、レーン 1 | J18 | H20 |
| | LVDS_TXP1 | O | | J17 | H19 |

6.5 信号の説明 - アナログ

| インターフェイス | 信号名 | ピンの種類 | 説明 | ポート番号 | |
|-------------|-----------------|-------|---|--------------------------------|--------------------------------|
| | | | | AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC |
| トランシミッタ | TX1 | O | シングルエンド トランシミッタ 1 O/P | B3 | 導波管が起動 |
| | TX2 | O | シングルエンド トランシミッタ 2 O/P | B5 | 導波管が起動 |
| | TX3 | O | シングルエンド トランシミッタ 3 O/P | B7 | 導波管が起動 |
| | TX4 | O | シングルエンド トランシミッタ 4 O/P | B9 | 導波管が起動 |
| レシーバ | RX1 | I | シングルエンド レシーバ 1 I/P | M2 | 導波管が起動 |
| | RX2 | I | シングルエンド レシーバ 2 I/P | K2 | 導波管が起動 |
| | RX3 | I | シングルエンド レシーバ 3 I/P | H2 | 導波管が起動 |
| | RX4 | I | シングルエンド レシーバ 4 I/P | F2 | 導波管が起動 |
| リセット | NRESET | I | チップのパワーオンリセット。アクティブ Low。デバイスを正しくリセットするには、NRESET を最低 20 μ sec の間 Low に保つ必要があります。 | H16 | C19 |
| リファレンス発振器 | CLKP | I | XTAL モード:リファレンス水晶振動子用入力 外部クロック モード:シングルエンド入力リファレンス クロック ポート | D1 | E2 |
| | CLKM | I | XTAL モード:リファレンス水晶振動子用フィードバック駆動 外部クロック モード:このポートはグランドに接続します。 | B1 | D1 |
| リファレンス クロック | OSC_CLKOUT | O | PLL をクリーンアップした後にクロック サブシステムから出力されるリファレンス クロック | A11 | B1 |
| | OSC_CLK_OUT_ETH | O | イーサネット PHY 用の外部発振器を排除するためのリファレンス クロック | B11 | A2 |
| バンドギャップ電圧 | VBGAP | O | デバイスのバンドギャップ リファレンス出力 | K4 | J1 |

| インターフェイス | 信号名 | ピンの種類 | 説明 | ポート番号 | |
|----------|--------------|-------|--|---|--|
| | | | | AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC |
| 電源 | VDD | 電源 | 1.2V デジタル電源 | E12、E13、E14、F14、H14、J14、K14、L14、N6、N14、P6、P7、P9、P10、P11、P13、P14 | A11、B20、M14、M15、M16、M18、N13、N15、N17、N18、P13、P15、P17、R14、R16、U8 |
| | VDD_SRAM | 電源 | 内部 SRAM 用 1.2V 電源レール | V7 | U11 |
| | VNWA | 電源 | SRAM アレイのバックバイアス用 1.2V 電源レール | V13 | U16 |
| | VIOIN | 電源 | I/O 電源 (3.3V または 1.8V): すべての CMOS I/O はこの電源で動作できます | A13、B18、R18、V8、V15 | A14、J20、T20、U14 |
| | VIOIN_18 | 電源 | CMOS IO 用 1.8V 電源 | D18、U18、V10 | A12、L20、U12、U19 |
| | VIOIN_18CLK | 電源 | クロック モジュール用 1.8V 電源 | D9 | A4 |
| | VIN_18PM | 電源 | クロック モジュール用 1.8V PM モジュール | R1 | J2 |
| | VIOIN_18LVDS | 電源 | LVDS ポート用 1.8V 電源 | K17 | F18、F19、F20、G18 |
| | VIOIN_18CSI | 電源 | CSI ポート用 1.8V 電源 | K18 | — |
| | VPP | 電源 | ヒューズ チェーン用電源電圧 | U3 | U6 |

| インターフェイス | 信号名 | ピンの種類 | 説明 | ポート番号 | |
|----------|---------------------|-------|--|---|---|
| | | | | AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC |
| | VDDA_10RF1 | 電源 | 1V のアナログおよび RF 電源である VDDA_10RF1 と VDDA_10RF2 は、基板上で ショート接続しても問題ありません | M4 | L1 |
| | VDDA_10RF2 | 電源 | 1V アナログおよび RF 電源 | D6, D7 | A5, B5 |
| | VDDA_18BB | 電源 | 1.8V アナログ ベース バンド電源 | P1 | M1 |
| | VDDA_18VCO | 電源 | 1.8V RF VCO 電源 | E4 | H2 |
| 電源 | VSS ⁽²⁾ | グランド | デジタル グランド | A12, A18, E11, E18, F8, F9, F10, F11, F12, F13, G7, G8, G9, G10, G11, G12, G13, G14, H7, H8, H9, H10, H11, H12, H13, J7, J8, J9, J10, J11, J12, J13, K7, K8, K9, K10, K11, K12, K13, K16, L7, L8, L9, L10, L11, L12, L13, M7, M8, M9, M10, M11, M12, M13, M14, N7, N8, N9, N10, N11, N12, N13, P8, P12, P18, V2, V9, V14, V18 | A13, A20, D17, D18, E17, E18, F17, G17, H12, J12, K20, L14, L16, L18, M12, P12, R20, U1, U13, U20 |
| | | | | | |
| | VSSA ⁽³⁾ | グランド | アナログ グランド | A1, A2, A3, B2, B3, B4, B12, B13, B14, B15, B16, C1, C2, C3, C4, C5, C6, C7, C8, C9, C10, C11, C12, C16, D2, D3, D7, D8, D11, D12, D16, E1, E3, E7, E8, E11, E12, E13, E14, E15, E16, F1, F2, F3, F4, F5, F6, F7, F8, F11, F12, F13, F14, F15, F16, G3, G4, G5, G6, G8, G9, G10, G11, G12, G13, G16, H1, H3, H6, H7, H8, H9, H10, H11, H13, H16, J3, J6, J7, J11, J13, J16, K3, K6, K7, K11, K13, K14, K15, K16, L3, L4 | A1, A2, A3, B2, B3, B4, B12, B13, B14, B15, B16, C1, C2, C3, C4, C5, C6, C7, C8, C9, C10, C11, C12, C16, D2, D3, D7, D8, D11, D12, D16, E1, E3, E7, E8, E11, E12, E13, E14, E15, E16, F1, F2, F3, F4, F5, F6, F7, F8, F11, F12, F13, F14, F15, F16, G3, G4, G5, G6, G8, G9, G10, G11, G12, G13, G16, H1, H3, H6, H7, H8, H9, H10, H11, H13, H16, J3, J6, J7, J11, J13, J16, K3, K6, K7, K11, K13, K14, K15, K16, L3, L4 |
| | | | | | |

| インターフェイス | 信号名 | ピンの種類 | 説明 | ポート番号 | |
|------------------------------|---------------|-------|------------|--------------------------------|--------------------------------|
| | | | | AWR2944P/AWR2944-ECO/AWR2944LC | AWR2E44P/AWR2E44-ECO/AWR2E44LC |
| 内部 LDO 出力 / 入力 | VOUT_14APLL | O | 内部 LDO 出力 | H4 | G2 |
| | VOUT_14SYNT_H | O | 内部 LDO 出力 | G4 | G1 |
| 外部電圧監視用 の汎用 ADC 入力 (1) | ADC1 | IO | ADC チャネル 1 | P3 | K2 |
| | ADC2 | IO | ADC チャネル 2 | P2 | K1 |
| | ADC3 | IO | ADC チャネル 3 | R3 | N1 |
| | ADC4 | IO | ADC チャネル 4 | R2 | — |
| | ADC5 | IO | ADC チャネル 5 | T3 | M2 |
| | ADC6 | IO | ADC チャネル 6 | U2 | L2 |
| | ADC7 | IO | ADC チャネル 7 | T1 | — |
| | ADC8 | IO | ADC チャネル 8 | T2 | — |
| | ADC9 | IO | ADC チャネル 9 | U1 | — |

- (1) 詳細については、[セクション 8.4.3](#) を参照してください。
 (2) コーナー部の BGA ピンは VSS に接続されており冗長構成になっているため、これらのピンが故障してもデバイスは引き続き動作します。
 (3) 起動に関連する VSSA BGA は冗長ではなく、機能に必要です。

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

| パラメータ | | 最小値 | 最大値 | 単位 |
|------------------|---|-----------------------------|-------------|--------|
| VDD | 1.2V デジタル電源 | -0.5 | 1.4 | V |
| VDD_SRAM | 内部 SRAM 用 1.2V 電源レール | -0.5 | 1.4 | V |
| VNWA | SRAM アレイのバックバイアス用 1.2V 電源レール | -0.5 | 1.4 | V |
| VIOIN | I/O 電源 (3.3V または 1.8V): すべての CMOS I/O はこの電源で動作できます。 | -0.5 | 3.8 | V |
| VIOIN_18 | CMOS IO 用 1.8V 電源 | -0.5 | 2 | V |
| VIOIN_18CLK | クロック モジュール用 1.8V 電源 | -0.5 | 2 | V |
| VIN_18PM | PM モジュール用 1.8V 電源 | -0.5 | 2 | V |
| VIOIN_18CSI | CSI2 ポート用 1.8V 電源 | -0.5 | 2 | V |
| VIOIN_18LVDS | LVDS ポート用 1.8V 電源 | -0.5 | 2 | V |
| VDDA_10RF1 | 1V のアナログおよび RF 電源である VDDA_10RF1 と | -0.5 | 1.4 | V |
| VDDA_10RF2 | VDDA_10RF2 は、基板上で短絡する可能性があります。 | | | |
| VDDA_18BB | 1.8V アナログベースバンド電源 | -0.5 | 2 | V |
| VDDA_18VCO 電源 | 1.8V RF VCO 電源 | -0.5 | 2 | V |
| RX1-4 | RF 入力の外部印加電力 | | | 10 dBm |
| TX1-4 | RF 出力の外部印加電力 ⁽³⁾ | | | 10 dBm |
| TX1-4 | 温度センサ精度 ⁽⁴⁾ | ±5 | | °C |
| 入力および出力電圧範囲 | デュアル電圧 LVC MOS 入力、3.3V または 1.8V (定常状態) | -0.3V | VIOIN + 0.3 | V |
| | デュアル電圧 LVC MOS 入力、3.3V/1.8V (過渡オーバーシュート / アンダーシュート) または外部発振器入力で動作します。 | VIOIN + 20% 信号周期の 20% まで | | |
| CLKP, CLKM | リファレンス水晶振動子用入力ポート | -0.5 | 2 | V |
| クランプ電流 | それぞれの電源レールを 0.3V 上回るまたは下回る入力または出力電圧。I/O の内部ダイオード保護セルを流れるクランプ電流を制限します。 | -20 | 20 | mA |
| T _J | 動作ジャンクション温度範囲 | -40 | 140 | °C |
| T _{STG} | プリント基板に半田付けした後の保存温度範囲 | -55 | 150 | °C |

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示されたその他の条件と等しい、またはそれを超える条件で本デバイスが正しく動作することを意味するものではありません。絶対最大定格の状態に長時間置くと、デバイスの信頼性に影響を及ぼす場合があります。
- (2) 特に記述のない限り、すべての電圧値は V_{SS} を基準にしていします。
- (3) この値は、TX に外部から印加される信号レベルに対応します。さらに、TX 出力にはガンマ = 1 までの反射係数を適用できます。
- (4) TX の温度センサーの読値の平均は、140°C において ±3°C にまで精度を高めることができます。

7.2 ESD 定格

| | | | 値 | 単位 |
|-------------------------|--|----------------|-------|----|
| V _(ESD) 静電放電 | 人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾ | すべてのピン | ±2000 | V |
| | デバイス帯電モデル (CDM)、AEC Q100-011 準拠 | GPADC5, GPADC6 | ±350 | |
| | | 角のピン | ±750 | |
| | | その他のすべてのピン | ±500 | |

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

7.3 電源投入時間 (POH)

| 接合部温度 (T_j) ^{(1) (2)} | 動作条件 | 公称 CVDD 電圧 (V) | パワーオン時間 [POH] (時間) |
|------------------------------------|----------------|----------------|--------------------|
| -40°C | 50% デューティ サイクル | 1.2 | 1440 (6%) |
| 75°C | | | 4800 (20%) |
| 95°C | | | 15600 (65%) |
| 130°C | | | 1920 (8%) |
| 140°C | | | 240 (1%) |

- (1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
(2) POH の規定値は、デフォルトのファームウェアのゲイン表を使って Tx 出力電力を最大値に設定した場合に適用されます。API を使用して Tx ゲイン表が上書きされた場合、POH の規定値は適用されません。

7.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

| | | 最小値 | 公称値 | 最大値 | 単位 | |
|--------------------|---|-------------|-------------|-------|----|--|
| VDD | 1.2V デジタル電源 | 1.14 | 1.2 | 1.26 | V | |
| VDD_SRAM | 内部 SRAM 用 1.2V 電源レール | 1.14 | 1.2 | 1.26 | V | |
| VNWA | SRAM アレイのバックバイアス用 1.2V 電源レール | 1.14 | 1.2 | 1.26 | V | |
| VIOIN | I/O 電源 (3.3V または 1.8V): すべての CMOS I/O はこの電源で動作できます。 | 3.135 | 3.3 | 3.465 | V | |
| | | 1.71 | 1.8 | 1.89 | | |
| VIOIN_18 | CMOS IO 用 1.8V 電源 | 1.71 | 1.8 | 1.89 | V | |
| VIOIN_18CLK | クロック モジュール用 1.8V 電源 | 1.71 | 1.8 | 1.89 | V | |
| VIN_18PM | PM モジュール用 1.8V 電源 | 1.71 | 1.8 | 1.89 | V | |
| VIOIN_18CSI | CSI2 ポート用 1.8V 電源 | 1.71 | 1.8 | 1.89 | V | |
| VIOIN_18LVDS | LVDS ポート用 1.8V 電源 | 1.71 | 1.8 | 1.89 | V | |
| VDDA_10RF1 | 1V アナログおよび RF 電源。VDDA_10RF1 と VDDA_10RF2 が基板上で短絡する可能性があります。 | 0.95 | 1 | 1.05 | V | |
| VDDA_10RF2 | | | | | | |
| VDDA_18BB | 1.8V アナログベースバンド電源 | 1.71 | 1.8 | 1.89 | V | |
| VDDA_18VCO | 1.8V RF VCO 電源 | 1.71 | 1.8 | 1.89 | V | |
| V _{IH} | 電圧入力 High (1.8V モード) | 1.17 | 0.3 + VIOIN | | V | |
| | 電圧入力 High (3.3V モード) | 2.25 | 0.3 + VIOIN | | | |
| V _{IL} | 電圧入力 Low (1.8V モード) | -0.3 | 0.3 * VIOIN | | V | |
| | 電圧入力 Low (3.3V モード) | -0.3 | 0.62 | | | |
| V _{OH} | High レベル出力スレッショルド ($I_{OH} = 6mA$) | VIOIN - 450 | | | mV | |
| V _{OL} | Low レベル出力スレッショルド ($I_{OL} = 6mA$) | 450 | | | mV | |
| NRESET SOP[4:0] | V _{IL} (1.8V モード) | 0.45 | | | V | |
| | V _{IH} (1.8V モード) | 0.96 | | | | |
| | V _{IL} (3.3V モード) | 0.65 | | | | |
| | V _{IH} (3.3V モード) | 1.57 | | | | |
| T _J | 動作ジャンクション温度範囲 | -40 | 140 | °C | | |

7.5 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定しており、高セキュリティ (HS) デバイスにのみ適用できます。お客様固有のキーまたはその他のフィールド (ソフトウェア バージョンなど) を eFuse に書き込む際に、ユーザーは VPP 電源を供給する必要があります。

7.5.1 OTP eFuse プログラミングの推奨動作条件

| パラメータ | 説明 | 最小値 | 公称値 | 最大値 | 単位 |
|--------|--|------|-----|------|----|
| VPP | 通常動作時の eFuse ROM ドメインの電源電圧範囲 | NC | | | |
| | OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 ⁽¹⁾ | 1.65 | 1.7 | 1.75 | V |
| I(VPP) | | | 50 | mA | |

(1) 通常動作中は、VPP に電圧を印加しないでください。これは通常、VPP 端子に接続されている外部レギュレータを無効にすることで実現できます。

7.5.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP 電源をディセーブルにする必要があります。

7.5.3 ハードウェア保証への影響

お客様は、eFuse を使用するとテキサス・インスツルメンツのデバイスに対して永続的な変更が加えられることを、自己の責任において認識し、受け入れるものとします。お客様は、不適切な動作条件またはプログラミング シーケンスが原因で eFuse が故障する可能性があることを承諾するものとします。このような障害が発生すると、テキサス・インスツルメンツのデバイスが動作不能になることがあります。また、テキサス・インスツルメンツは eFuse の使用を試行する前に、テキサス・インスツルメンツのデバイスがテキサス・インスツルメンツのデバイスの仕様に準拠していることを確認できません。したがって、eFuse のプログラム可能性に問題がある場合、テキサス・インスツルメンツは法的責任を負いません。

7.6 電源仕様

表 7-1 では、外部電源から本デバイスに供給すべき 4 系統の必須電源レールについて説明します。1.8V LVC MOS IO を使用する場合、VIOIN は 1.8V 電源から供給されるため、3.3V 電源レールは省略可能となり、必要な電源レールは 3 系統のみとなります。また、採用する電源トポロジによっては、RF 用 1.0V およびベースバンド、クロック、VCO 用の 1.8V 電源に対して、所定のリップル仕様を満たすために追加の電源フィルタ処理が必要となる場合があります。この追加のフィルタ処理により、これら 4 つの基本レールから、個別の電源回路が生成されます。

表 7-1. 電源レールの特性 :

| 電源電圧 | その電源から電力を供給されるデバイス ブロック | デバイスの電源ネット |
|----------------------------------|--|--|
| 1.8V | シンセサイザおよび APLL の VCO、水晶発振器、IF アンプ段、ADC、CSI2、LVDS、LVC MOS I/O | 入力:VDDA_18VCO, VDDA_18CLK, VDDA_18PM, VDDA_18BB, VIOIN_18CSI, VIOIN_18LVDS, VIOIN_18 LDO 出力:VOUT_14SYNTH, VOUT_14APLL |
| 1.0V | パワー アンプ、低ノイズ アンプ、ミキサ、LO 分配 | 入力:VDDA_10RF2, VDDA_10RF1 |
| 3.3V (または、1.8V I/O モードの場合は 1.8V) | LVC MOS IO | VIOIN |
| 1.2V | コア デジタルおよび SRAM | VDD, VDD_SRAM, VNWA |
| 1.7V | OTP eFuse のプログラミング (セキュア デバイス用) | VPP |

1.0V および 1.8V の電源リップル仕様については、表 7-2 に記載されています。スプリアス レベルとリップル レベルには dB 単位での相関関係があり、たとえば電源リップルが 1dB 増加すると、スプリアス レベルもおおよそ 1dB 増加します。記載された値は、指定された周波数で印加された正弦波入力の rms レベルです。

表 7-2. リップル仕様

| 周波数 (kHz) | スプリアス レベル dBc) | RF レール | VCO/IF レール |
|-----------|----------------|-------------------------------|----------------------------------|
| | | 1V (μ V _{RMS}) | 1.8 V (μ V _{RMS}) |
| 10 | -85 | 22 | 10990 |
| 100 | -95 | 8 | 1420 |
| 200 | -98 | 6 | 730 |
| 500 | -102 | 4 | 450 |
| 1000 | -105 | 3 | 300 |
| 2000 | -105 | 3 | 80 |
| 5000 | -105 | 3 | 60 |
| 10000 | -105 | 3 | 60 |
| 15000 | -105 | 2 | 40 |
| 20000 | -105 | 2 | 40 |

電源に関するガイドライン

デバイス向けの統合電源ソリューションとして、LP87745-Q1 パワー マネジメント IC (PMIC) の使用が推奨されています。この低コストかつ省スペースのソリューションは、レーダー センサとその主要なペリフェラルへの電力供給用に設計されています。

LP87745-Q1PMIC を使用した場合に得られる利点の一覧:

1. テキサス・インスツルメンツの評価ボードで検証済みのデバイス性能をフルに発揮
2. AWR ノイズリップル性能仕様を満たすノイズリップル性能

- a. LP87745-Q1 は 17.6MHz の高いスイッチング周波数で動作し、中間周波(IF)帯域の外でスイッチングを行うため、スプリアスの影響を回避できます。また、LDO の使用を避けることで、システム全体の熱性能が向上し、リップルやスプリアスを抑えるための 2 段 LC フィルタも不要になります。
- b. 放熱は RF 性能に影響を与えません

7.7 消費電力の概略

表 7-3 と表 7-4 は、AWR2944P/ AWR2E44P/ AWR2944-ECO/ AWR2E44-ECO の電源端子の消費電力をまとめたものです。

表 7-3. 電源端子の最大電流定格

| パラメータ ⁽¹⁾ | 電源名 | 説明 | 最小値 | 標準値 | 最大値 | 単位 |
|----------------------|---|---|-----|-----|-------------------|----|
| 消費電流 | VDD、VDD_SRAM、VNWA | 1.2V レールによって駆動される全ノードが消費する電流の合計値 | | | 2000 | mA |
| | VDDA_10RF1、VDDA_10RF2 | 4 つのトランシミッタすべてを使用した場合に、1V レールで駆動されるすべてのノードが消費する合計電流 | | | 2300 | |
| | VIOIN_18、VDDA_18CLK、VDDA_18PM、VIOIN_18CSI、VIOIN_18LVDS、VDDA_18BB、VDDA_18VCO | 1.8V レールによって駆動される全ノードが消費する電流の合計値 | | | 550 | |
| | VIOIN | 3.3V レールによって駆動される全ノードが消費する電流の合計値 | | | 50 ⁽²⁾ | |

(1) 記載されている電流値は、推奨動作条件における最大電源電圧レベルでの値です。

(2) 正確な値は、システムの使用用途や設計に依存します。

表 7-4. 電源端子の平均消費電力

| パラメータ | 条件 ⁽²⁾ | 説明 | 最小値 | 標準値 ⁽¹⁾ | 最大値 | 単位 |
|-----------------------|-------------------|---------------|--|--------------------|------|----|
| シングル チップ モードでの平均消費電力。 | 3TX、4RX | 25% デューティサイクル | 使用事例: 76~77GHz のチャーブ: レギュラー モード、37.5 Msps のサンプリング レート、25.6 ms のフレーム周期、1 フレームあたり 256 チャーブ、アイドル時間 2μs、ランプ 終了時間 50μs、ADC 開始時間 7μs、およびランプ 余剰時間 | | 1.41 | W |
| | | 50% デューティサイクル | コアのアクティビティ: <ul style="list-style-type: none"> 70% MSS R5F 70% の C66x DSP と HWA 50% Arm M4F | | 2.07 | |
| | 4TX、4RX | 25% デューティサイクル | 上記すべてのコアは、アイドル時間中に動作クロックが低下またはクロックゲーティングされています) イーサネットはデータ転送用にイネーブルになっています | | 1.48 | |
| | | 50% デューティサイクル | | | 2.21 | |

(1) 電力消費の数値は、代表的な使用例に基づくものであり、25°C の周囲温度および公称電圧条件下における標準デバイスでの値です。

(2) フレーム デューティ サイクルは、フレーム アクティブ時間とフレーム間時間の比率を表します。

7.8 RF の仕様

以下の RF 仕様は、推奨動作条件下およびランタイム キャリブレーションを有効にした状態で測定されています (特に記述のない限り)

| パラメータ | | 最小値 | 標準値 | 最大値 | 単位 |
|---------|---------------------------------|---------------------------------|----------------------------|--------------------|--------|
| レシーバ | ノイズ指数 | AWR2944P | 10.5 12 11 12.5 | dB | dB |
| | | AWR2944-ECO/AWR2944LC | | | |
| | | AWR2E44P ⁽¹⁾ | | | |
| | | AWR2E44-ECO/AWR2E44LC | | | |
| | 1dB 圧縮ポイント (帯域外) ⁽²⁾ | | -10 | | dBm |
| | 最大ゲイン | | 46 | | dB |
| | ゲイン範囲 | | 16 | | dB |
| | ゲインステップ サイズ | | 2 | | dB |
| | IF 帯域幅 ⁽³⁾ | | | 20 | MHz |
| | ADC サンプリング レート | | | 45 | Msps |
| トランシミッタ | 出力電力 | AWR2944P | 14 13.5 13.5 12.5 | dBm | dBm |
| | | AWR2944-ECO/AWR2944LC | | | |
| | | AWR2E44P ⁽¹⁾ | | | |
| | | AWR2E44-ECO/AWR2E44LC | | | |
| | 位相シフタの精度 | | ±3 | | ° |
| | 振幅ノイズ | | -145 | | dBc/Hz |
| | 周波数範囲 | | 76 | 81 | GHz |
| | ランプ レート | | | 250 ⁽⁴⁾ | MHz/μs |
| | 1MHz オフセットでの位相ノイズ | 76~77 GHz (VCO1) | -96 | | dBc/Hz |
| | | 76~81 GHz (VCO2) ⁽⁵⁾ | -95 | | |

(1) FCCSP LOP バリアントでは、ランチャーの統合により、雑音指数および出力電力において 0.5dB の劣化が生じます。

(2) 1dB 圧縮ポイント (帯域外) は、プログラムされた HPF のカットオフ周波数の 5% に相当する連続波トーン (いわゆるブロッカートーン) を印加して測定されます。圧縮ポイントは、RX ADC においてブロッカートーンが 1dB 圧縮されるブロッカーエネルギーによって決定されます。

(3) アナログ IF 段には、次の -6dB コーナー周波数に設定可能な 2 次ハイパス フィルタが含まれています:

使用可能な HPF コーナー周波数 (kHz)

HPF

300, 350, 700, 1400

デジタル ベースバンド チェーンによるフィルタリングは、以下の特長を実現することを目的としています。

- パスバンドリップル / ドループ ±0.5dB 未満、および
- パスバンドにエイリアス バックする可能性のある任意の周波数に対して、60dB 以上のアンチエイリアシング減衰。

(4) 最大ランプレートは「AWR_APPL_SYNTH_BW_CONTROL_SB」API によって設定される PLL 帯域幅の構成に依存します。詳細については、「ミリ波レーダー インターフェイス制御」の資料を参照してください。

(5) VCO2 は最大 4.5GHz の連続範囲をサポートします。対応する周波数範囲は、AWR_CAL_MON_FREQUENCY_API 内の VCO2_RANGE_CONFIG によって、76~80.5GHz または 76.5~81GHz のいずれかに設定できます。

図 7-1 は、AWR2944P デバイスにおける受信ゲインの設定に対するノイズ指数およびインバンド P1dB パラメータの変化を示しています。

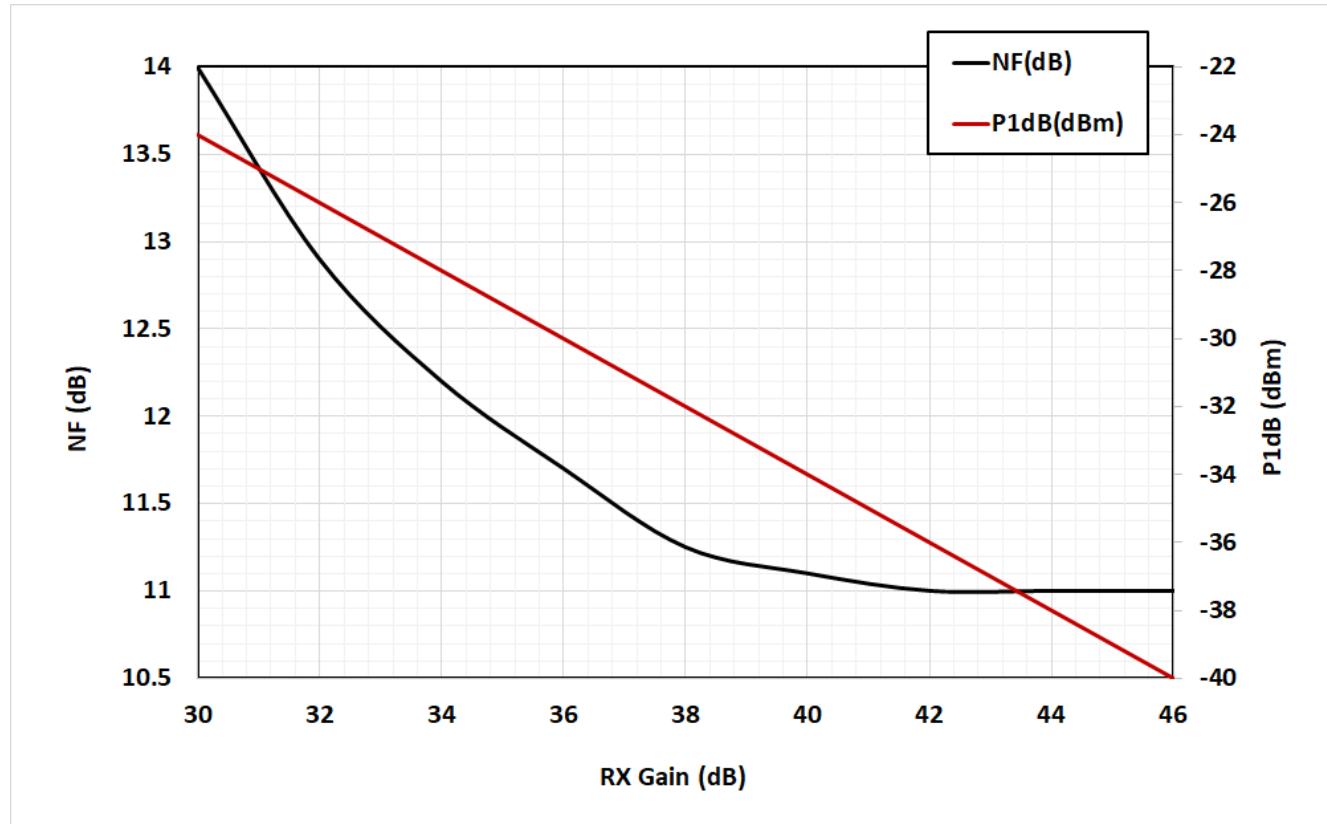


図 7-1. ノイズ指数、帯域内 P1dB とレシーバ ゲインとの関係

7.9 热抵抗特性

| 热評価基準 (1) (4) | | °C/W (2) (3) | |
|------------------------------|-------------|--|--|
| | | AWR2944P/ AWR2944-ECO/ AWR2944LC | AWR2E44P/ AWR2E44-ECO/ AWR2E44LC |
| R _θ _{JC} | 接合部とケースとの間 | 2.8 | 2.5 |
| R _θ _{JB} | 接合部と基板との間 | 3.3 | 5.0 |
| R _θ _{JA} | 接合部と自由空気との間 | 16.2 | 16.4 |
| Ψ _{JC} | 接合部とケースとの間 | 0.0 | 0.2 |
| Ψ _{JB} | 接合部と基板との間 | 3.2 | 4.9 |

(1) 従来および最新の熱評価基準の詳細については、『半導体およびIC パッケージの熱評価基準』アプリケーション レポートを参照してください。

(2) °C/W = 摂氏温度 / ワット。

(3) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

140°Cの接合部温度を想定。

(4) エアフロー = 0m/s

7.10 電源シーケンスおよびリセットタイミング

AWR2944P/AWR2E44P デバイスでは、正常に起動させるために、外部の 1.2V、1.8V、3.3V の各電圧レールおよびすべての SOP[4:0] ラインが、NRESET がディアサートされる前に安定している必要があります。VIOIN および VIOIN_18 の電源が供給されるまでは、IO の状態は保証されません。図 7-2 に、デバイスウェークアップシーケンスを示します。

注

ハードウェア プラットフォームは、OTP eFuse プログラミング中のみ VPP ピンに 1.7V を供給できる必要があります。

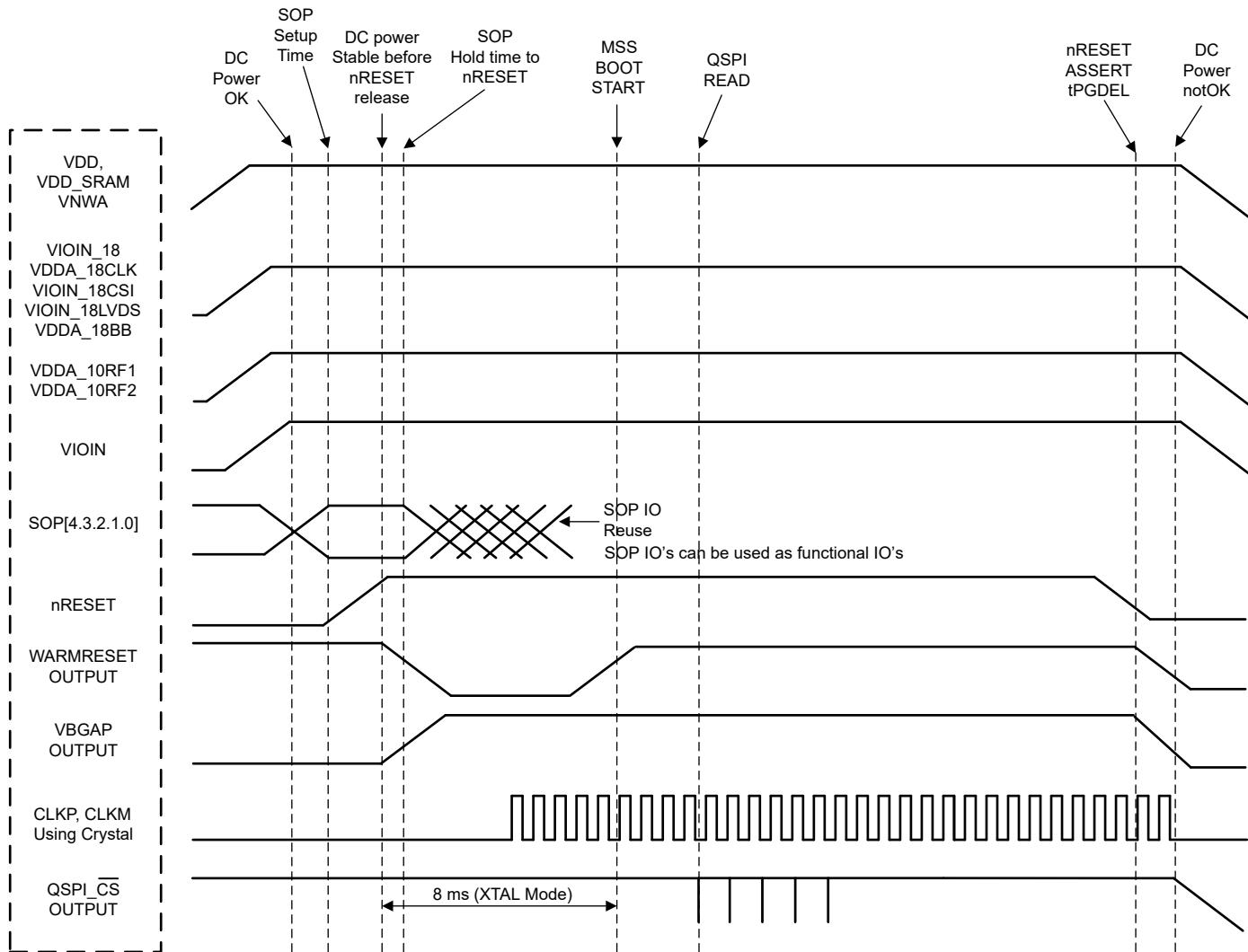


図 7-2. デバイス ウェークアップ シーケンス

7.11 入力クロックおよび発振器

7.11.1 クロック仕様

外部水晶振動子は、デバイスのピンに接続されています。図 7-3 に、水晶振動子の実装を示します。

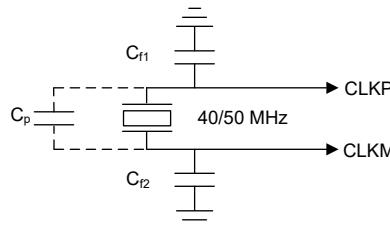


図 7-3. 水晶振動子の実装

注

図 7-3 の負荷コンデンサ C_{f1} および C_{f2} は、式 1 が満足されるように選択できます。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。発振器回路の実装に使用されるすべてのディスクリート部品は、関連する発振器の CLKP および CLKM ピンのできるだけ近くに配置できます。 C_{f1} と C_{f2} には、PCB 配線による寄生容量が含まれていることに注意してください。

注

CLKP/CLKM ピン間の基板配線寄生成分も C_p の見積もりに含める必要があります

$$C_L = C_{f1} \times \frac{C_{f2}}{C_{f1} + C_{f2}} + C_p \quad (1)$$

表 7-5 に、クロック水晶振動子の電気的特性を示します。

表 7-5. 水晶振動子の電気的特性 (発振器モード)

| 名称 | 説明 | 最小値 | 標準値 | 最大値 | 単位 |
|----------|-----------------------|------|-----|--------------------|----------|
| f_p | 並列共振水晶振動子周波数 | | 40 | 50 | MHz |
| C_L | 水晶振動子の負荷容量 | 5 | 8 | 12 | pF |
| ESR | 水晶振動子の ESR | | | 50 | Ω |
| 温度範囲 | 想定される動作温度範囲 | -40 | | 140 | °C |
| 周波数の許容誤差 | 水晶振動子周波数の許容誤差 (1) (2) | -100 | | 100 ⁽³⁾ | ppm |
| 励振レベル | | | 50 | 200 | μ W |

(1) 水晶振動子メーカーの仕様はこの要件を満たす必要があります。

(2) 水晶振動子の初期許容誤差、全温度範囲でのドリフト、経年劣化、不適切な負荷容量による周波数変動が含まれます。

(3) イーサネットを動作させるには、100PPM 未満の周波数誤差というより厳しい仕様が求められます。イーサネットインターフェイスを使用しない場合、最大 200 PPM までの PPM が許容されます。

外部クロックをクロック源として使用する場合、その信号は CLKP ピンにのみ入力し、CLKM はグランドに接続します。40MHz または 50MHz のクロックが外部から供給される場合、位相雑音の要件は非常に重要です。表 7-6 に、外部クロック信号の電気的特性を示します。

表 7-6. 外部クロック モード仕様

| パラメータ | 仕様 | | | 単位 | |
|---|----------------|------|-----|------|---------|
| | 最小値 | 標準値 | 最大値 | | |
| 入力クロック: 4050MHz を基準とした、外部 AC 結合の正弦波または DC 結合の方形波の位相雑音 | 周波数 | | 40 | 50 | MHz |
| | AC 振幅 | 700 | | 1200 | mV (pp) |
| | DC-trise/fall | | | 10 | ns |
| | 1kHz での位相ノイズ | | | -132 | dBc/Hz |
| | 10kHz での位相ノイズ | | | -143 | dBc/Hz |
| | 100kHz での位相ノイズ | | | -152 | dBc/Hz |
| | 1MHz での位相ノイズ | | | -153 | dBc/Hz |
| | デューティ サイクル | 35 | | 65 | % |
| | 周波数の許容範囲 | -100 | | 100 | ppm |

7.12 ペリフェラル情報

以下のセクションで、初期のペリフェラルの説明と特長を示します。追加のペリフェラルの詳細やインターフェイスのタイミング情報については、今後の製品レビュー やデータシートのリリースで提供される予定です。

7.12.1 QSPI フラッシュ メモリ ペリフェラル

このデバイスには、外部フラッシュ メモリへのアクセスのためのクアッドシリアルペリフェラルインターフェイスが搭載されています。フラッシュ メモリは、次のような多くの目的に使用できます：セカンダリ ブートローダー用メモリ、アプリケーションプログラム用メモリ、セキュリティキーの保存、およびセキュリティやエラー状況に関する長期データログ用メモリ。

デバイスの QSPI インターフェイスは、以下の機能をサポートしています：

- ループバック スキュー補正により、クロック信号の遅延を調整し、高速なフラッシュインターフェイスのクロック周波数に対応
- 2つのチップセレクト信号により、2つの外部フラッシュデバイスに接続可能
- フラッシュデータ転送を行うために、メモリマップの「直接モード」と、ソフトウェアトリガによる「間接モード」の動作をサポート

7.12.1.1 QSPI のタイミング条件

| パラメータ | 最小値 | 標準値 | 最大値 | 単位 |
|-------------------|-----|-----|-----|----|
| 入力条件 | | | | |
| t_R 入力立ち上がり時間 | 1 | | 3 | ns |
| t_F 入力立ち下がり時間 | 1 | | 3 | ns |
| 出力条件 | | | | |
| C_{LOAD} 出力負荷容量 | 5 | | 15 | pF |

7.12.1.2 QSPI のタイミング要件 (1) (2)

| 仕様番号 | パラメータ | | 最小値 | 標準値 | 最大値 | 単位 |
|------|------------------|--|-----|-----|-----|----|
| Q12 | $t_{su(D-SCLK)}$ | セットアップ時間: SCLK の立ち下がりエッジの前に D[3:0] が有効である必要がある時間 (Q12) | 5 | | | ns |
| Q13 | $t_h(SCLK-D)$ | ホールド時間: SCLK の立ち下がりエッジ (Q13) の後に D[3:0] が有効である必要がある時間 | 1 | | | ns |

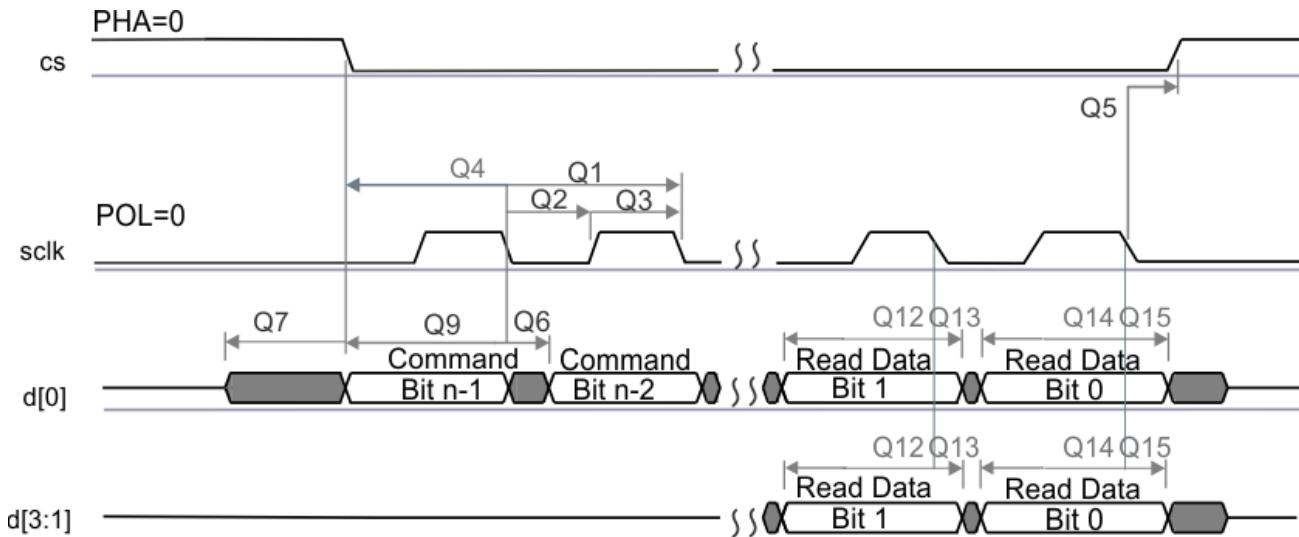
- (1) クロック モード 0 (クロック極性 = 0、クロック位相 = 0) が動作モードです。
- (2) 従来の立ち上がりクロックエッジとは対照的に、本デバイスはクロック モード 0 の立ち下がりクロックエッジでデータを取り込みます。標準ではありませんが、立ち下がりエッジ基準のセットアップ時間およびホールド時間のタイミングは、クロック モード 0においてデータを立ち下がりエッジで出力する標準的な SPI デバイスとの互換性があるように設計されています。

7.12.1.3 QSPI のスイッチング特性 (1) (2)

| 仕様番号 | パラメータ | | 最小値 | 標準値 | 最大値 | 単位 |
|------|--------------------|---|---------------|----------|------------|----|
| Q1 | $t_{C(SCLK)}$ | サイクル時間、sclk | | 12.5 | | ns |
| Q2 | $t_{W(SCLKL)}$ | パルス幅、sclk Low | 0.5*P – 0.625 | | | ns |
| Q3 | $t_{W(SCLKH)}$ | パルス幅、sclk High | 0.5*P – 0.625 | | | ns |
| Q4 | $t_{d(CS-SCLK)}$ | 遅延時間、sclk 立ち下がりエッジから cs アクティブ エッジまで | | -M*P – 1 | -M*P + 2.5 | ns |
| Q5 | $t_{d(SCLK-CS)}$ | 遅延時間、sclk 立ち下がりエッジから cs 非アクティブ エッジまで | | N*P – 1 | N*P + 2.5 | ns |
| Q6 | $t_{d(SCLK-D1)}$ | 遅延時間、sclk 立ち下がりエッジから d[0] 遷移まで | | -4.5 | 2 | ns |
| Q7 | $t_{ena(CS-D1LZ)}$ | イネーブル時間、cs アクティブ エッジから d[0] 駆動 (ロー インピーダンス) まで | | -P – 4 | -P + 1 | ns |
| Q8 | $t_{dis(CS-D1Z)}$ | ディセーブル時間、cs アクティブ エッジから d[0] トライステート (ハイ インピーダンス) まで | | -P – 4 | -P + 1 | ns |
| Q9 | $t_{d(SCLK-D1)}$ | 遅延時間、最初の sclk 立ち下がりエッジから最初の d[1] 遷移まで (PHA = 0 の場合のみ) | | -4.5 – P | 2 – P | ns |

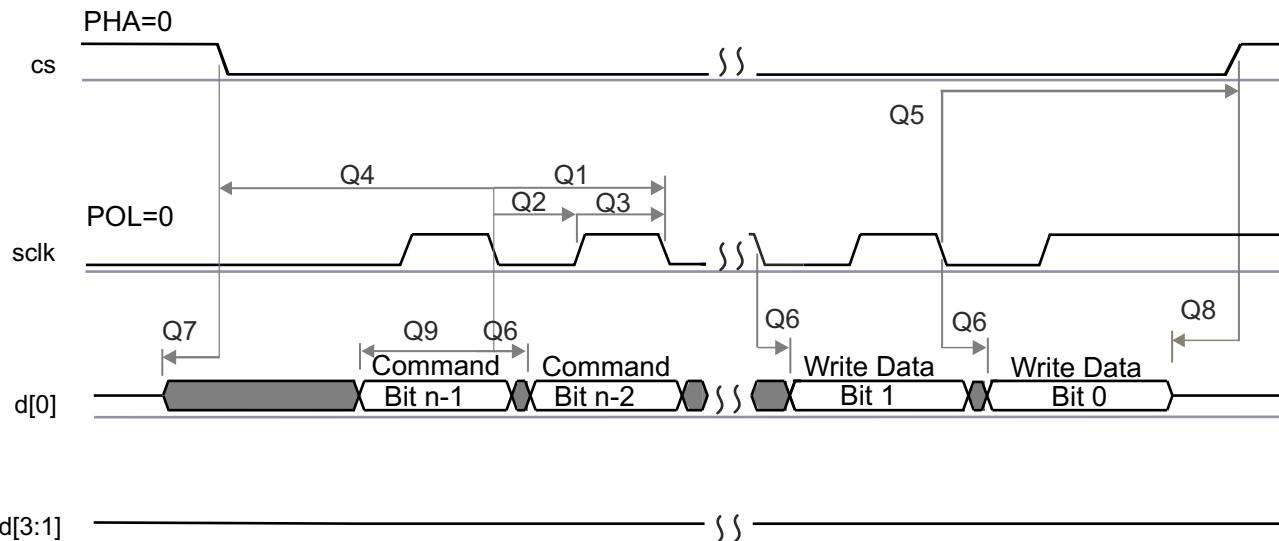
(1) P = SCLK 周期 (ns 単位)。

(2) M = QSPI_SPI_DC_REG.DDX + 1, N = 2



SPRS85v TIMING QSPI1 02

図 7-4. QSPI 読み出し (クロック モード 0)



SPRS85v_TIMING_QSPI1_04

図 7-5. QSPI 書き込み (クロック モード 0)

7.12.2 マルチバッファ付き/標準シリアル ペリフェラル インターフェイス (MibSPI)

7.12.2.1 MibSPI ペリフェラルの説明

MibSPI/SPI は高速な同期シリアル入出力ポートであり、プログラムされたビット転送速度で、プログラムされた長さ (2 ~ 16 ビット) のシリアル ビットストリームをデバイスにシフトイン / シフトアウトできます。このデバイスには、メイン サブシステム (MSS) 内に 2 つのマルチバッファ付きシリアル ペリフェラル インターフェイス (MIBSPI) が含まれています。これらは外部の MCU、PMIC、EEPROM、およびウォッチドッグ通信用です。

標準的なモジュールと MibSPI モジュールの主な機能は次の通りです。

- 16 ビット シフトレジスタ
- 受信バッファ レジスタ
- 8 ビット ボークロック ジェネレータ
- SPICLK は、内部で生成される (コントローラ モード) か、外部クロック ソースから受信されます (ペリフェラル モード)
- 各 MIBSPI モジュールでサポートされる最大クロック レートは 40MHz です。
- 転送される各ワードは、固有のフォーマットを持つことができます。
- 通信で使用されていない SPI I/O は、デジタル入出力信号として使用できます。

7.12.2.2 MibSPI 送信および受信 RAM の構成

マルチバッファ RAM は 256 個のバッファで構成されています。マルチバッファ RAM の各エントリは、16 ビットの送信フィールド、16 ビットの受信フィールド、16 ビットの制御フィールド、16 ビットのステータスフィールドという、4 つの部分で構成されています。マルチバッファ RAM は、それぞれ異なるバッファ数の複数の転送グループに分割できます。

セクション 7.12.2.2.2 とセクション 7.12.2.2.3 は、セクション 7.12.2.2.1 に記載された動作条件を前提としています。

7.12.2.2.1 SPI のタイミング条件

| | | 最小値 | 標準値 | 最大値 | 単位 |
|------------|-----------|-----|-----|-----|----|
| 入力条件 | | | | | |
| t_R | 入力立ち上がり時間 | 1 | 3 | ns | |
| t_F | 入力立ち下がり時間 | 1 | 3 | ns | |
| 出力条件 | | | | | |
| C_{LOAD} | 出力負荷容量 | 2 | 20 | pF | |

7.12.2.2.2 SPI コントローラ モードのスイッチングパラメータ (クロック位相 = 0、SPICLK = 出力、SPISIMO = 出力、SPISOMI = 入力) ^{(1) (2) (3)}

| 番号 | パラメータ | | 最小値 | 標準値 | 最大値 | 単位 |
|------------------|---|---|-----------------------------|------------------------|---------------|----|
| 1 | $t_{c(SPCH)M}$ サイクル時間、SPICLK ⁽⁴⁾ | | 20 | 256 | $t_{c(VCLK)}$ | ns |
| 2 ⁽⁴⁾ | $t_{w(SPCH)M}$ | パルス幅、SPICLK high (クロック極性 = 0) | 0.5 $t_{c(SPCH)M}$ - 1 | 0.5 $t_{c(SPCH)M}$ + 1 | | ns |
| | $t_{w(SPCL)M}$ | パルス幅、SPICLK Low (クロック極性 = 1) | 0.5 $t_{c(SPCL)M}$ - 1 | 0.5 $t_{c(SPCL)M}$ + 1 | | |
| 3 ⁽⁴⁾ | $t_{w(SPCL)M}$ | パルス幅、SPICLK Low (クロック極性 = 0) | 0.5 $t_{c(SPCL)M}$ - 1 | 0.5 $t_{c(SPCL)M}$ + 1 | | ns |
| | $t_{w(SPCH)M}$ | パルス幅、SPICLK high (クロック極性 = 1) | 0.5 $t_{c(SPCH)M}$ - 1 | 0.5 $t_{c(SPCH)M}$ + 1 | | |
| 4 ⁽⁴⁾ | $t_{d(SPCH-SIMO)M}$ | 遅延時間、SPISIMO 有効から SPICLK Low まで (クロック極性 = 0) | 0.5 $t_{c(SPCH-SIMO)M}$ - 7 | | | ns |
| | $t_{d(SPCL-SIMO)M}$ | 遅延時間、SPISIMO 有効から SPICLK High まで (クロック極性 = 1) | 0.5 $t_{c(SPCL-SIMO)M}$ - 7 | | | |

| 番号 | パラメータ | | 最小値 | 標準値 | 最大値 | 単位 |
|------------------|----------------------|--|------------------|--|--|----|
| 5 ⁽⁴⁾ | $t_{V(SPCL-SIMO)M}$ | 有効時間、SPICLK Low から SPISIMO データ有効の間 (クロック極性 = 0) | | $0.5t_{c(SPCL-SIMO)M} - 8$ | | ns |
| | $t_{V(SPCH-SIMO)M}$ | 有効時間、SPICLK High から SPISIMO データ有効の間 (クロック極性 = 1) | | $0.5t_{c(SPCH-SIMO)M} - 8$ | | |
| 6 ⁽⁵⁾ | $t_{C2TDELAY}$ | セットアップ時間、CS アクティブから SPICLK High まで (クロック極性 = 0) | $t_{CSHOLD} = 0$ | $(C2TDELAY+2)*t_{c(VCLK)} - 7.5$ | $(C2TDELAY+2) * t_{c(VCLK)} + 7$ | ns |
| | | | $t_{CSHOLD} = 1$ | $(C2TDELAY+3)*t_{c(VCLK)} - 7.5$ | $(C2TDELAY+3) * t_{c(VCLK)} + 7$ | |
| | | セットアップ時間、CS アクティブから SPICLK Low まで (クロック極性 = 1) | $t_{CSHOLD} = 0$ | $(C2TDELAY+2)*t_{c(VCLK)} - 7.5$ | $(C2TDELAY+2) * t_{c(VCLK)} + 7$ | |
| | | | $t_{CSHOLD} = 1$ | $(C2TDELAY+3)*t_{c(VCLK)} - 7.5$ | $(C2TDELAY+3) * t_{c(VCLK)} + 7$ | |
| 7 ⁽⁵⁾ | $t_{T2CDELAY}$ | ホールド時間、SPICLK Low から CS 非アクティブまで (クロック極性 = 0) | | $0.5*t_{c(SPCL-SIMO)M} + (T2CDELAY + 1)*t_{c(VCLK)} - 7$ | $0.5*t_{c(SPCL-SIMO)M} + (T2CDELAY + 1)*t_{c(VCLK)} + 7.5$ | ns |
| | | ホールド時間、SPICLK High から CS 非アクティブまで (クロック極性 = 1) | | $0.5*t_{c(SPCH-SIMO)M} + (T2CDELAY + 1)*t_{c(VCLK)} - 7$ | $0.5*t_{c(SPCH-SIMO)M} + (T2CDELAY + 1)*t_{c(VCLK)} + 7.5$ | |
| 8 ⁽⁴⁾ | $t_{su(SOMI-SPCL)M}$ | セットアップ時間、SPISOMI から SPICLK Low まで (クロック極性 = 0) | | 5 | | ns |
| | $t_{su(SOMI-SPCH)M}$ | セットアップ時間、SPISOMI から SPICLK High まで (クロック極性 = 1) | | 5 | | |
| 9 ⁽⁴⁾ | $t_{h(SPCL-SOMI)M}$ | ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 0) | | 2 | | ns |
| | $t_{h(SPCH-SOMI)M}$ | ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 1) | | 2 | | |

- (1) コントローラ ビット (SPIGCRx.0) はセットされ、クロック位相ビット (SPIFMTx.16) はクリアされています ($x = 0$ または 1)。
- (2) $t_{c(MSS_VCLK)}$ = メイン サブシステム クロック時間 = $1 / f_{(MSS_VCLK)}$ 。詳細については、デバイスのテクニカル リファレンスマニュアルを参照してください。
- (3) SPI がコントローラ モードの場合、次の条件を満たす必要があります。PS 値が 1~255 の場合: $t_{c(SPCL-SIMO)M} \geq (PS + 1)t_{c(MSS_VCLK)} \geq 25\text{ns}$ 。ここで、PS は SPIFMTx.[15:8] レジスタ ビットで設定されたプリスケール値です。PS 値が 0 の場合: $t_{c(SPCL-SIMO)M} = 2t_{c(MSS_VCLK)} \geq 25\text{ns}$ 。
- (4) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPIFMTx.17) によって制御されます。
- (5) C2TDELAY および T2CDELAY は、SPIDELAY レジスタでプログラムされます

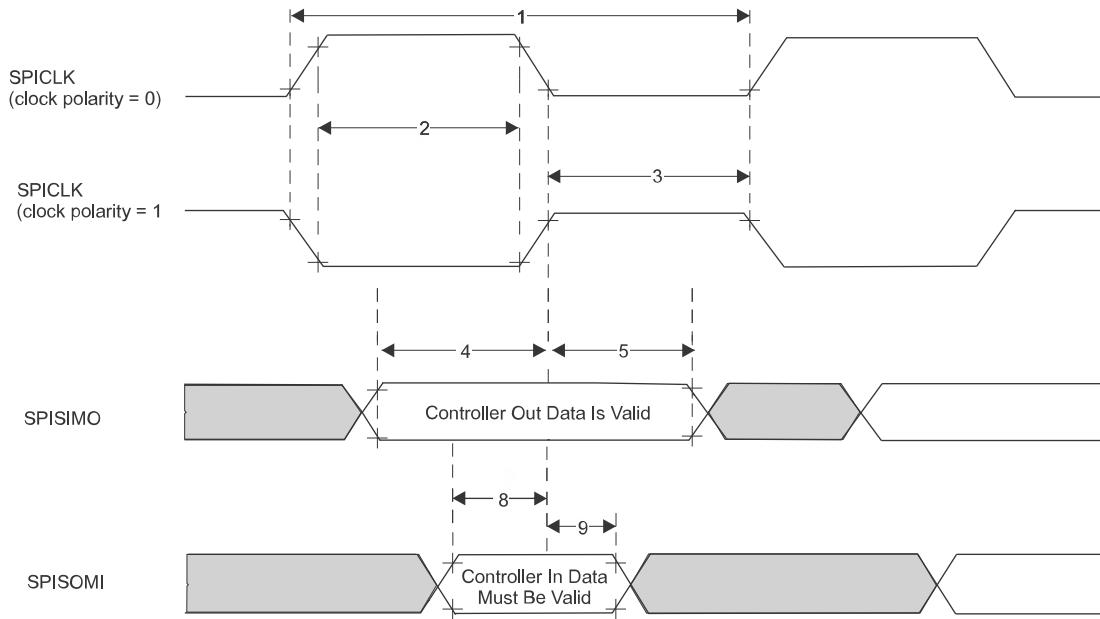


図 7-6. SPI コントローラ モードの外部タイミング (クロック位相 = 0)

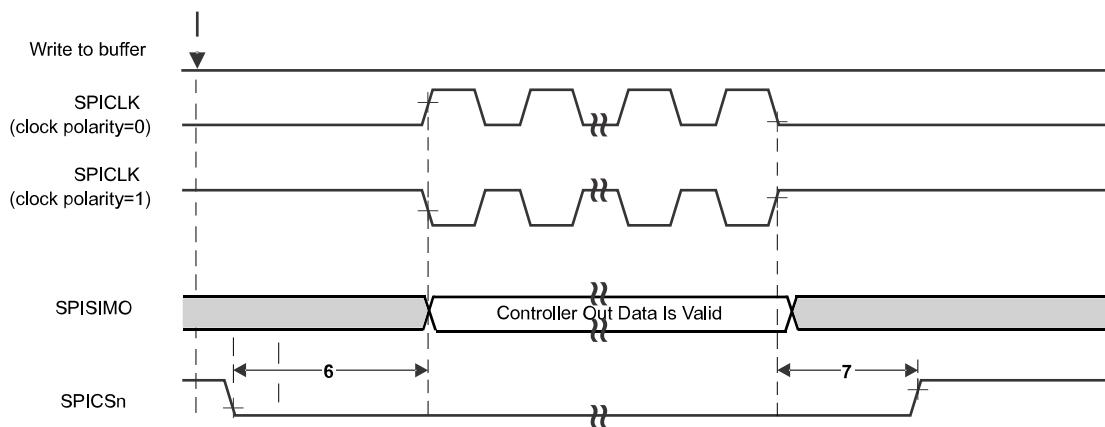


図 7-7. SPI コントローラ モードのチップ セレクト タイミング (クロック位相 = 0)

7.12.2.2.3 SPI コントローラ モードのスイッチングパラメータ (クロック位相 = 1, SPICLK = 出力, SPISIMO = 出力, SPISOMI = 入力) (1) (2) (3)

| 番号 | パラメータ | | 最小値 | 標準値 | 最大値 | 単位 |
|------------------|----------------------|--|----------------------|---|---|----|
| 1 | $t_{c(SP)M}$ | サイクル時間、SPICLK (4) | 20 | | $256t_{c(VCLK)}$ | ns |
| 2 ⁽⁴⁾ | $t_{w(SPCH)M}$ | パルス幅、SPICLK high (クロック極性 = 0) | 0.5 $t_{c(SP)M}$ - 1 | | 0.5 $t_{c(SP)M}$ + 1 | ns |
| | $t_{w(SPCL)M}$ | パルス幅、SPICLK Low (クロック極性 = 1) | 0.5 $t_{c(SP)M}$ - 1 | | 0.5 $t_{c(SP)M}$ + 1 | |
| 3 ⁽⁴⁾ | $t_{w(SPCL)M}$ | パルス幅、SPICLK Low (クロック極性 = 0) | 0.5 $t_{c(SP)M}$ - 1 | | 0.5 $t_{c(SP)M}$ + 1 | ns |
| | $t_{w(SPCH)M}$ | パルス幅、SPICLK high (クロック極性 = 1) | 0.5 $t_{c(SP)M}$ - 1 | | 0.5 $t_{c(SP)M}$ + 1 | |
| 4 ⁽⁴⁾ | $t_{d(SPCH-SIMO)M}$ | 遅延時間、SPISIMO 有効から SPICLK Low まで (クロック極性 = 0) | 0.5 $t_{c(SP)M}$ - 7 | | | ns |
| | $t_{d(SPCL-SIMO)M}$ | 遅延時間、SPISIMO 有効から SPICLK High まで (クロック極性 = 1) | 0.5 $t_{c(SP)M}$ - 7 | | | |
| 5 ⁽⁴⁾ | $t_{v(SPCL-SIMO)M}$ | 有効時間、SPICLK Low から SPISIMO データ有効の間 (クロック極性 = 0) | 0.5 $t_{c(SP)M}$ - 8 | | | ns |
| | $t_{v(SPCH-SIMO)M}$ | 有効時間、SPICLK High から SPISIMO データ有効の間 (クロック極性 = 1) | 0.5 $t_{c(SP)M}$ - 8 | | | |
| 6 ⁽⁵⁾ | $t_{C2TDELAY}$ | セットアップ時間、CS アクティブから SPICLK High まで (クロック極性 = 0) | $t_{c(SP)M} = 0$ | $0.5*t_{c(SP)M} + (C2TDELAY + 2)*t_{c(VCLK)} - 7$ | $0.5*t_{c(SP)M} + (C2TDELAY + 2)*t_{c(VCLK)} + 7.5$ | ns |
| | | | $t_{c(SP)M} = 1$ | $0.5*t_{c(SP)M} + (C2TDELAY + 2)*t_{c(VCLK)} - 7$ | $0.5*t_{c(SP)M} + (C2TDELAY + 2)*t_{c(VCLK)} + 7.5$ | |
| | $t_{C2TDELAY}$ | セットアップ時間、CS アクティブから SPICLK Low まで (クロック極性 = 1) | $t_{c(SP)M} = 0$ | $0.5*t_{c(SP)M} + (C2TDELAY + 2)*t_{c(VCLK)} - 7$ | $0.5*t_{c(SP)M} + (C2TDELAY + 2)*t_{c(VCLK)} + 7.5$ | |
| | | | $t_{c(SP)M} = 1$ | $0.5*t_{c(SP)M} + (C2TDELAY + 3)*t_{c(VCLK)} - 7$ | $0.5*t_{c(SP)M} + (C2TDELAY + 3)*t_{c(VCLK)} + 7.5$ | |
| 7 ⁽⁵⁾ | $t_{T2CDELAY}$ | ホールド時間、SPICLK Low から CS 非アクティブまで (クロック極性 = 0) | | $(T2CDELAY + 1)*t_{c(VCLK)} - 7.5$ | $(T2CDELAY + 1)*t_{c(VCLK)} + 7$ | ns |
| | | ホールド時間、SPICLK High から CS 非アクティブまで (クロック極性 = 1) | | $(T2CDELAY + 1)*t_{c(VCLK)} - 7.5$ | $(T2CDELAY + 1)*t_{c(VCLK)} + 7$ | |
| 8 ⁽⁴⁾ | $t_{su(SOMI-SPCL)M}$ | セットアップ時間、SPISOMI から SPICLK Low まで (クロック極性 = 0) | | 5 | | ns |
| | $t_{su(SOMI-SPCH)M}$ | セットアップ時間、SPISOMI から SPICLK High まで (クロック極性 = 1) | | 5 | | |
| 9 ⁽⁴⁾ | $t_{h(SPCL-SOMI)M}$ | ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 0) | | 2 | | ns |
| | $t_{h(SPCH-SOMI)M}$ | ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 1) | | 2 | | |

- (1) コントローラ ビット (SPIGCRx.0) はセットされ、クロック位相ビット (SPIFMTx.16) はセットされています ($x = 0$ または 1)。
- (2) $t_{c(MSS_VCLK)}$ = メイン サブシステム クロック時間 = $1/f_{(MSS_VCLK)}$ 。詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。
- (3) SPI がコントローラ モードの場合、次の条件を満たす必要があります。PS 値が 1~255 の場合: $t_{c(SP)M} \geq (PS + 1)t_{c(MSS_VCLK)} \geq 25\text{ns}$ 。ここで、PS は SPIFMTx.[15:8] レジスタ ビットで設定されたプリスケール値です。PS 値が 0 の場合: $t_{c(SP)M} = 2t_{c(MSS_VCLK)} \geq 25\text{ns}$ 。
- (4) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPIFMTx.17) によって制御されます。

(5) C2TDELAY および T2CDELAY は、SPIDELAY レジスタでプログラムされます

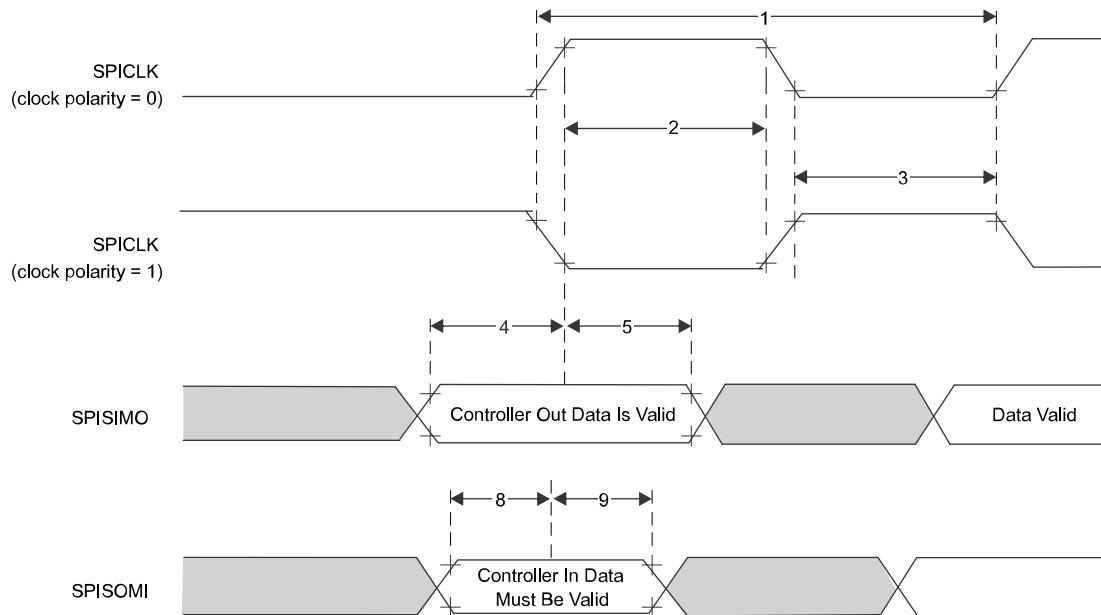


図 7-8. SPI コントローラ モードの外部タイミング (クロック位相 = 1)

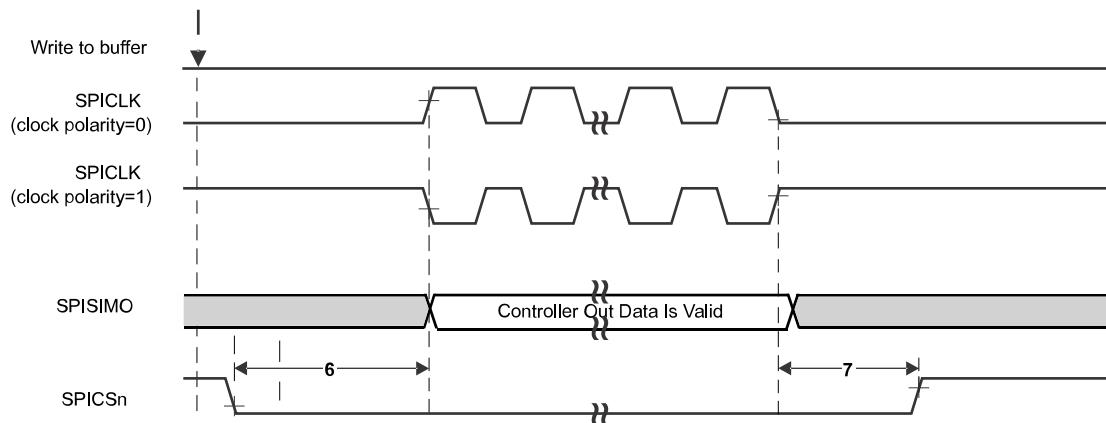


図 7-9. SPI コントローラ モードのチップ セレクト タイミング (クロック位相 = 1)

7.12.2.3 SPI ペリフェラル モードの I/O タイミング

7.12.2.3.1 SPI ペリフェラル モードのスイッチングパラメータ (SPICLK = 入力、SPISIMO = 入力、SPISOMI = 出力) ^{(1) (2) (3)}

| 仕様番号 | パラメータ ⁽⁵⁾ | | 最小値 | 標準値 | 最大値 | 単位 |
|------|----------------------|---|-----|-----|-----|----|
| 1 | $t_{c(SP)S}$ | サイクル時間、SPICLK ⁽⁴⁾ | 20 | | | ns |
| 2 | $t_{w(SPCH)S}$ | パルス幅、SPICLK high (クロック極性 = 0) | 8 | | | ns |
| | $t_{w(SPCL)S}$ | パルス幅、SPICLK Low (クロック極性 = 1) | 8 | | | |
| 3 | $t_{w(SPCL)S}$ | パルス幅、SPICLK Low (クロック極性 = 0) | 8 | | | ns |
| | $t_{w(SPCH)S}$ | パルス幅、SPICLK high (クロック極性 = 1) | 8 | | | |
| 4 | $t_{d(SPCH-SOMI)S}$ | 遅延時間、SPICLK High から SPISOMI 有効まで (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 1、クロック位相 = 1) | | | 10 | ns |
| | $t_{d(SPCL-SOMI)S}$ | 遅延時間、SPICLK Low から SPISOMI 有効まで (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 0、クロック位相 = 1) | | | 10 | |
| 5 | $t_{h(SPCH-SOMI)S}$ | ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 1、クロック位相 = 1) | 2 | | | ns |
| | $t_{h(SPCL-SOMI)S}$ | ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 1、クロック位相 = 0) または (クロック極性 = 0、クロック位相 = 1) | 2 | | | |
| 6 | $t_{su(SIMO-SPCL)S}$ | セットアップ時間、SPISIMO から SPICLK Low まで (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 1、クロック位相 = 1) | 2.1 | | | ns |
| | $t_{su(SIMO-SPCH)S}$ | セットアップ時間、SPISIMO から SPICLK High まで (クロック極性 = 1、クロック位相 = 0) または (クロック極性 = 0、クロック位相 = 1) | 2.1 | | | |
| 7 | $t_{h(SPCL-SIMO)S}$ | ホールド時間、SPICLK Low から SPISIMO データ有効の間 (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 1、クロック位相 = 1) | 1 | | | ns |
| | $t_{h(SPCL-SIMO)S}$ | ホールド時間、SPICLK High から SPISIMO データ有効の間 (クロック極性 = 1、クロック位相 = 0) または (クロック極性 = 0、クロック位相 = 1) | 1 | | | |

- (1) コントローラ ビット (SPICR $x.0$) がクリアされます ($x = 0$ または 1)。
- (2) クロック位相ビット (SPIFMT $x.16$) は、クロック位相 = 0 またはクロック位相 = 1 の場合、それぞれクリアまたはセットされます。
- (3) $t_{c(MSS_VCLK)}$ = メイン サブシステム クロック時間 = $1/f_{(MSS_VCLK)}$ 。詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。
- (4) SPI がペリフェラル モードの場合、次の条件を満たす必要があります。PS 値が 1~255 の場合: $t_{c(SP)S} \geq (PS + 1)t_{c(MSS_VCLK)} \geq 25\text{ns}$ 、ここでは、PS は SPIFMT $x.[15:8]$ レジスタ ビットに設定されたプリスケール値です。PS 値が 0 の場合: $t_{c(SP)S} = 2t_{c(MSS_VCLK)} \geq 25\text{ ns}$ 。
- (5) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPIFMT $x.17$) によって制御されます。

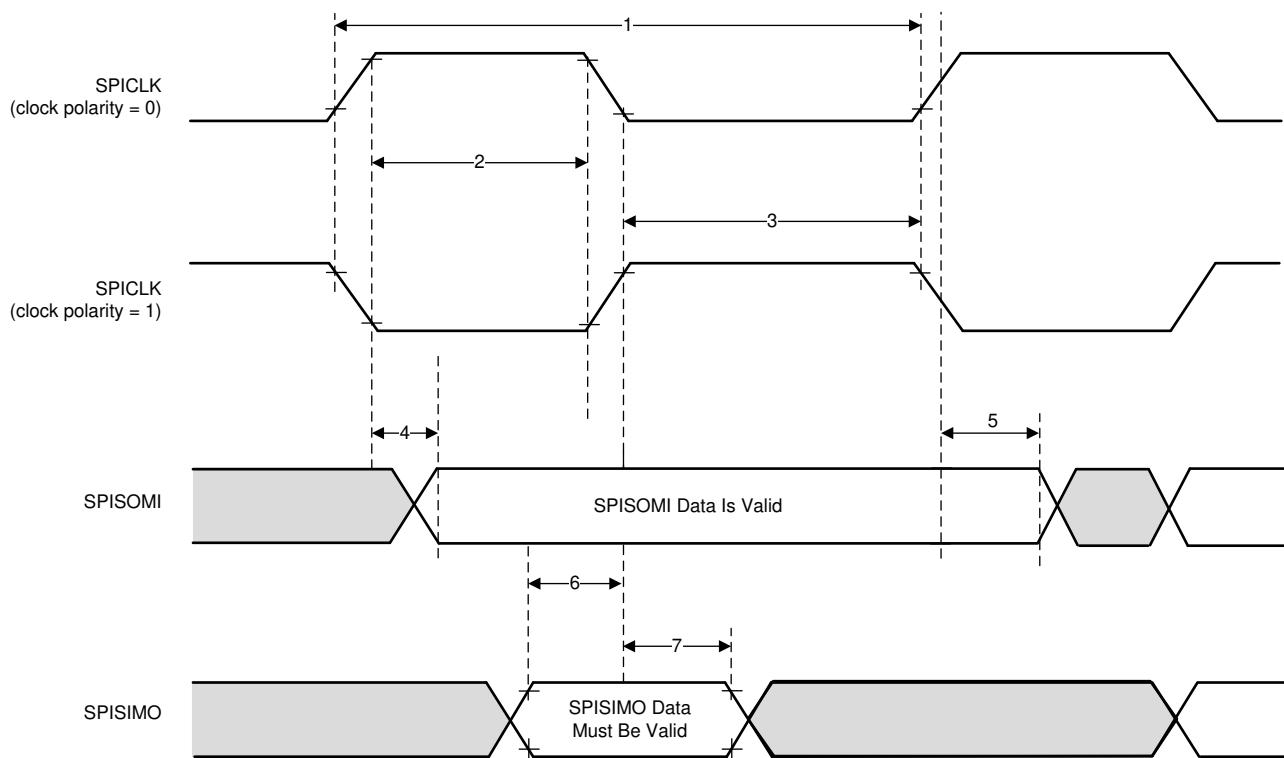


図 7-10. SPI ペリフェラル モードの外部タイミング (クロック位相 = 0)

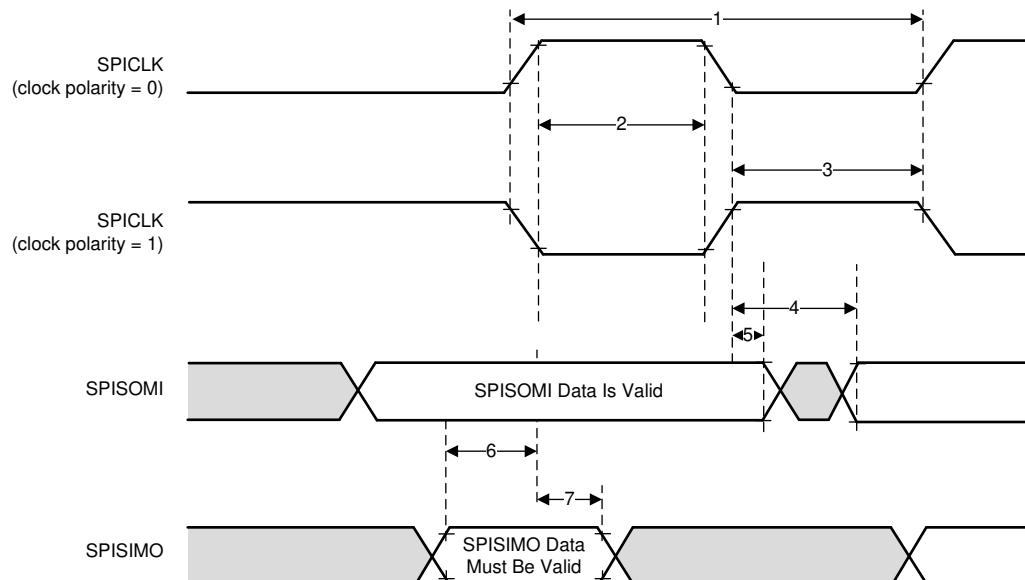


図 7-11. SPI ペリフェラル モードの外部タイミング (クロック位相 = 1)

7.12.3 イーサネットスイッチ(RGMII/RMII/MII) ペリフェラル

注

AWR2944LC および AWR2E44LC は、イーサネットスイッチ(RGMII/RMII/MII) ペリフェラルをサポートしていません。

このデバイスは 2 ポートイーサネットを統合しており、1 つは外部 RGMII/RMII/MII ポート、もう 1 つはメインサブシステム (MSS) に接続されます。このインターフェイスは主に 1000Mbps の ECU インターフェイスとして動作することを目的としています。また、計測用インターフェイスとして使用することもできます。

- イーサネット PHY に対する全二重 10/100/1000Mbps のワイヤレートインターフェイス
 - AWR2944P: RGMII、RMII、または MII のパラレルインターフェイス経由で接続
 - AWR2E44P: RGMII または RMII のパラレルインターフェイス経由で接続
- ECO バリアントでは、イーサネット PHY に対して全二重 10/100Mbps ワイヤレートインターフェイスを提供
 - AWR2944-ECO: RGMII、RMII、または MII のパラレルインターフェイス経由で接続
 - AWR2E44-ECO: RGMII または RMII のパラレルインターフェイス経由で接続
- MDIO Clause 22 および 45 PHY 管理インターフェイス
- IEEE 1588 同期イーサネットのサポート
- AWR の同期トリガ出力により、イーサネットを介してレーダー フレームのトリガが可能

7.12.3.1 RGMII/RMII/MII のタイミング条件

| 仕様番号 | パラメータ | 最小値 | 標準値 | 最大値 | 単位 |
|------|--------------------------|------|-----|-----|----------|
| | 入力条件 | | | | |
| 1 | SR _I 入力スルーレート | 2.64 | | 5 | V/ ns |
| | 出力条件 | | | | |
| 3 | C _{LOAD} 出力負荷容量 | 2 | | 20 | pF |

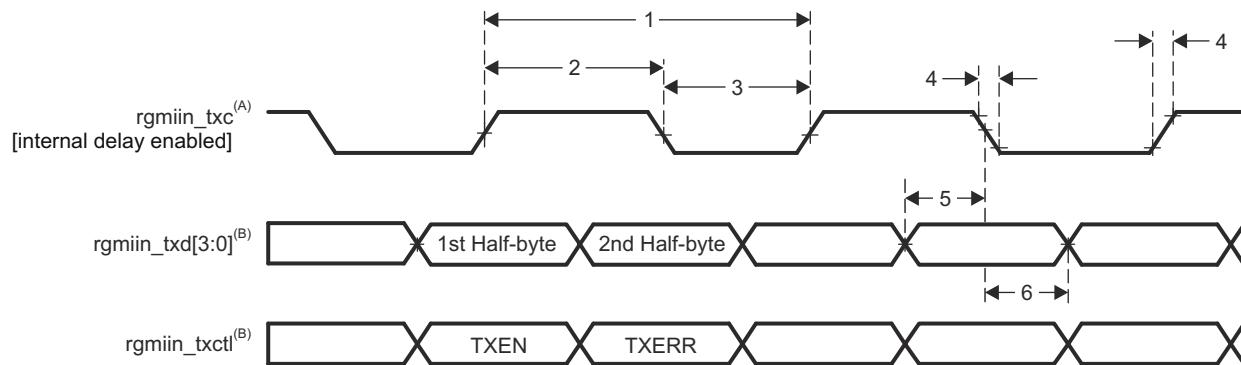
7.12.3.1.1 RGMII 送信クロックのスイッチング特性

| パラメータ | 説明 | SPEED | 最小値 | 最大値 | 単位 |
|----------------------|----------------------|----------|-----|------|----|
| t _{c(TXC)} | サイクルタイム、rgmiin_txc | 10Mbps | 360 | 440 | ns |
| | | 100Mbps | 36 | 44 | ns |
| | | 1000Mbps | 7.6 | 8.4 | ns |
| t _{w(TXCH)} | パルス幅、rgmiin_txc High | 10Mbps | 160 | 240 | ns |
| | | 100Mbps | 16 | 24 | ns |
| | | 1000Mbps | 3.6 | 4.4 | ns |
| t _{w(TXCL)} | パルス幅、rgmiin_txc Low | 10Mbps | 160 | 240 | ns |
| | | 100Mbps | 16 | 24 | ns |
| | | 1000Mbps | 3.6 | 4.4 | ns |
| t _{t(TXC)} | 遷移時間、rgmiin_txc | 10Mbps | | 1.4 | ns |
| | | 100Mbps | | 1.4 | ns |
| | | 1000Mbps | | 0.75 | ns |

7.12.3.1.2 RGMII の送信データおよび制御のスイッチング特性

| パラメータ | 説明 | モード | 最小値 | 最大値 | 単位 |
|---------------------------|---|------------------------------|-----|-----|----|
| t _{osu(TXD-TXC)} | 出力セットアップ時間: 送信信号が有効になってから、MSS_RGMII_TCLK の立ち上がり/立ち下がりエッジまでの時間 | RGMII、内部遅延有効化、10M/100M/1000M | 1.5 | | ns |

| パラメータ | 説明 | モード | 最小値 | 最大値 | 単位 |
|-------------------|---|------------------------------|-----|-----|----|
| $t_{oh}(TXC-TXD)$ | 出力ホールド時間: MSS_RGMII_TCLK の立ち上がり/立ち下がりの後も、送信される選択信号が有効であり続ける時間 | RGMII、内部遅延有効化、10M/100M/1000M | 1.5 | | ns |



- A. TXC は内部で遅延されてから、rgmiin_txc ピンを駆動します。この内部遅延は常にイネーブルになっています。
- B. データおよび制御情報は、クロックの両エッジを使用して送信されます。rgmiin_txd[3:0] は、rgmiin_txc の立ち上がりエッジでデータビット 3~0 を、立ち下がりエッジでビット 7~4 を伝送します。同様に、rgmiin_txctl は、rgmiin_txc の立ち上がりエッジで TXEN を、立ち下がりエッジで TXERR を伝送します。

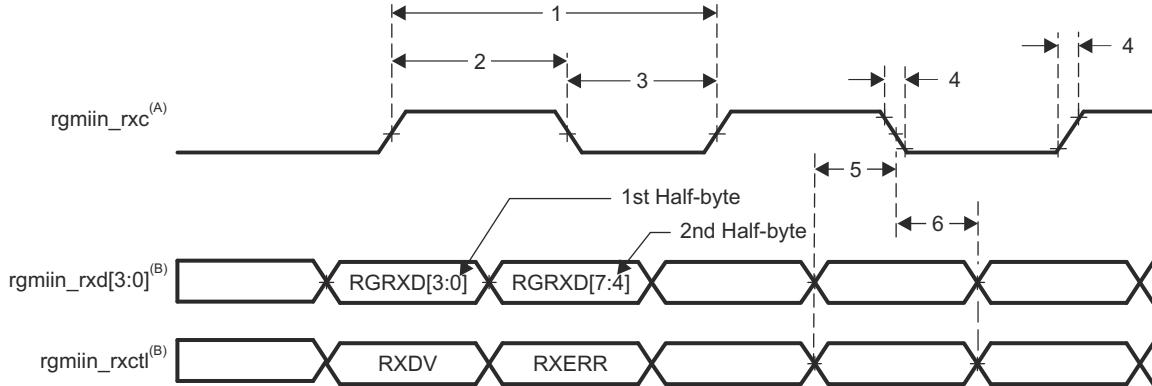
図 7-12. RGMII 送信インターフェイスのスイッチング特性

7.12.3.1.3 RGMII 受信クロックのタイミング要件

| パラメータ | 説明 | SPEED | 最小値 | 最大値 | 単位 |
|--------------|----------------------|----------|-----|------|----|
| $t_c(RXC)$ | サイクル タイム、rgmiin_rxc | 10Mbps | 360 | 440 | ns |
| | | 100Mbps | 36 | 44 | ns |
| | | 1000Mbps | 7.6 | 8.4 | ns |
| $t_w(RXCH)$ | パルス幅、rgmiin_rxc High | 10Mbps | 160 | 240 | ns |
| | | 100Mbps | 16 | 24 | ns |
| | | 1000Mbps | 3.6 | 4.4 | ns |
| $t_w(RXCL)$ | パルス幅、rgmiin_rxc Low | 10Mbps | 160 | 240 | ns |
| | | 100Mbps | 16 | 24 | ns |
| | | 1000Mbps | 3.6 | 4.4 | ns |
| $t_{l(RXC)}$ | 遷移時間、rgmiin_rxc | 10Mbps | | 1.4 | ns |
| | | 100Mbps | | 1.4 | ns |
| | | 1000Mbps | | 0.75 | ns |

7.12.3.1.4 RGMII 受信データおよび制御のタイミング要件

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|----|---------------------------|---|-----|-----|----|
| 5 | $t_{su}(\text{RXD-RXCH})$ | セットアップ時間: MSS_RGMII_RCLK の High/Low の遷移前に、選択された信号が有効である必要がある時間 | 1.2 | | ns |
| 6 | $t_h(\text{RXCH-RXD})$ | ホールド時間: MSS_RGMII_RCLK の High/Low の遷移後に、選択された信号が有効であり続ける必要がある時間 | 1.2 | | ns |



- A. rgmiin_rxc は、データピンおよび制御ピンに対して、外部で遅延させる必要があります。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。MSS_RGMII_RXD[3:0] は、rgmiin_rxc の立ち上がりエッジでデータビット 3~0 を、立ち下がりエッジでデータビット 7~4 を伝送します。同様に、rgmiin_rxctl は rgmiin_rxc の立ち上がりエッジで RXDV を、立ち下がりエッジで RXERR を伝送します。

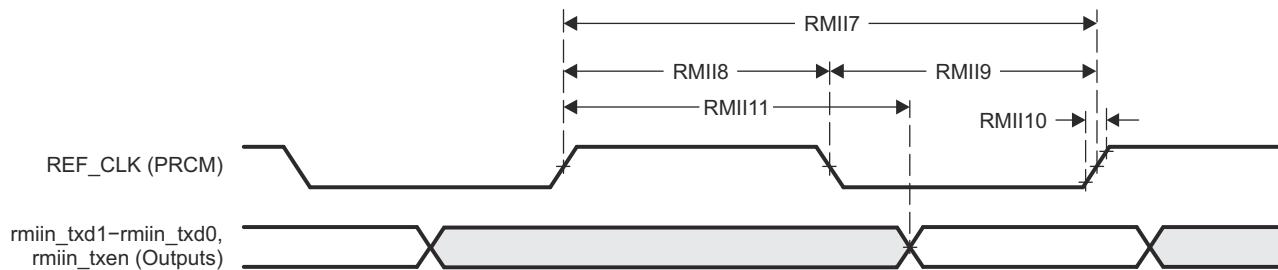
図 7-13. MAC 受信インターフェイスのタイミング、RGMIIIn 動作

7.12.3.1.5 RMII 送信クロックのスイッチング特性

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|--------|------------------------|-------------------|-----|-----|----|
| RMII7 | $t_c(\text{REF_CLK})$ | サイクル時間、REF_CLK | 20 | | ns |
| RMII8 | $t_w(\text{REF_CLKH})$ | パルス幅、REF_CLK High | 7 | 13 | ns |
| RMII9 | $t_w(\text{REF_CLKL})$ | パルス幅、REF_CLK Low | 7 | 13 | ns |
| RMII10 | $t_l(\text{REF_CLK})$ | 遷移時間、REF_CLK | | 3 | ns |

7.12.3.1.6 RMII の送信データおよび制御のスイッチング特性

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|--------|-------------------------------|---|-----|------|----|
| RMII11 | $t_d(\text{REF_CLK-TXD})$ | 選択された送信信号が有効になるまでの REF_CLK High からの遅延時間 | 2 | 14.2 | ns |
| | $t_{dd}(\text{REF_CLK-TXEN})$ | | | | |



SPRS8xx_GMAC_RMIIITX_06

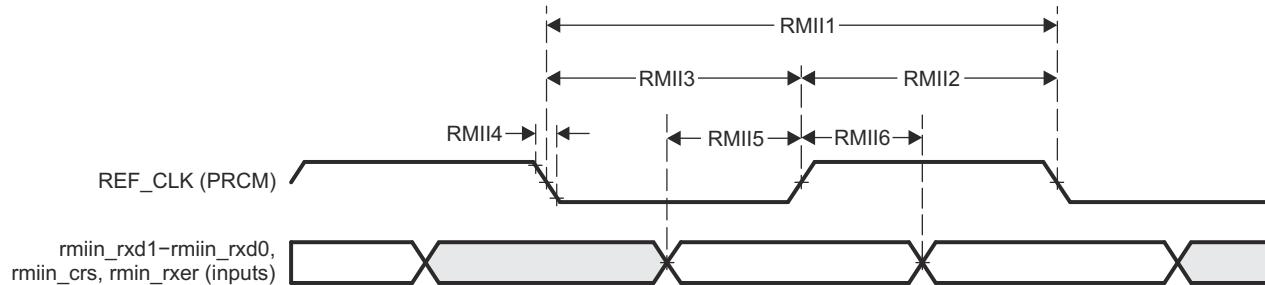
図 7-14. MAC 送信インターフェイスのタイミング、RMIIOut 動作

7.12.3.1.7 RMII 受信クロックのタイミング要件

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|-------|---------------------------|-------------------|-----|-----|----|
| RMII1 | $t_c(\text{REF_CLK})$ | サイクル時間、REF_CLK | 20 | | ns |
| RMII2 | $t_w(\text{REF_CLKH})$ | パルス幅、REF_CLK High | 7 | 13 | ns |
| RMII3 | $t_w(\text{REF_CLKL})$ | パルス幅、REF_CLK Low | 7 | 13 | ns |
| RMII4 | $t_{tt}(\text{REF_CLK})$ | 遷移時間、REF_CLK | | 3 | ns |

7.12.3.1.8 RMII 受信データおよび制御のタイミング要件

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|-------|-----------------------------------|--|-----|-----|----|
| RMII5 | $t_{su}(\text{RXD-REF_CLK})$ | セットアップ時間、受信される選択信号が REF_CLK の前に有効である必要がある時間 | 4 | | ns |
| | $t_{su}(\text{CRS_DV-REF_CLK})$ | | | | |
| | $t_{su}(\text{RX_ER-REF_CLK})$ | | | | |
| RMII6 | $t_h(\text{REF_CLK-RXD})$ | ホールド時間、受信される選択信号が REF_CLK の後に有効であり続ける必要がある時間 | 2 | | ns |
| | $t_h(\text{REF_CLK-CRS_DV})$ | | | | |
| | $t_h(\text{REF_CLK-RX_ER})$ | | | | |



SPRS8xx_GMAC_RMIRX_05

図 7-15. MAC 受信インターフェイスのタイミング、RMIIin 動作

7.12.3.1.9 MII 送信のスイッチング特性

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|----|------------------------------|--|-----|-----|----|
| 1 | $t_d(\text{TX_CLK-TXD})$ | 遅延時間、miin_txclk から送信される選択信号が有効になるまでの時間 | 0 | 25 | ns |
| | $t_d(\text{TX_CLK-TX_EN})$ | | | | |
| | $t_d(\text{TX_CLK-TX_ER})$ | | | | |

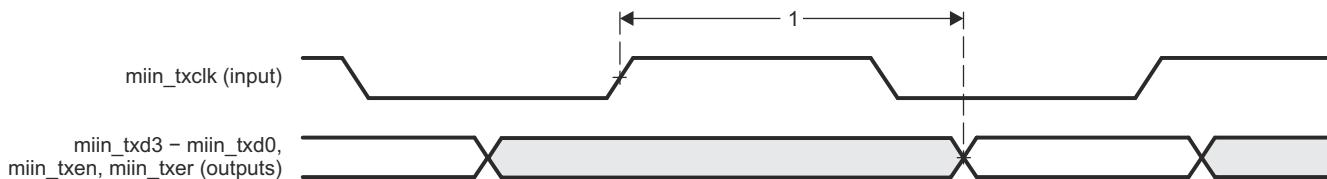


図 7-16. MAC 送信インターフェイスのタイミング、MIIin 動作

7.12.3.1.10 MII 受信のタイミング要件

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|----|---------------------------------|--|-----|-----|----|
| 1 | $t_{su}(\text{RXD-RX_CLK})$ | セットアップ時間、miin_rxclk の立ち上がり/立ち下がり前に、受信する選択信号が有効である必要がある時間 | 8 | | ns |
| | $t_{su}(\text{RX_DV-RX_CLK})$ | | | | |
| | $t_{su}(\text{RX_ER-RX_CLK})$ | | | | |

| 番号 | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|----|-----------------------|-----------------------------------|-----|-----|----|
| 2 | $t_h(RX_CLK-RXD)$ | ホールド時間、miin_rxclk から選択した信号の受信有効の間 | 8 | | ns |
| | $t_h(RX_CLK-RX_DV)$ | | | | |
| | $t_h(RX_CLK-RX_ER)$ | | | | |

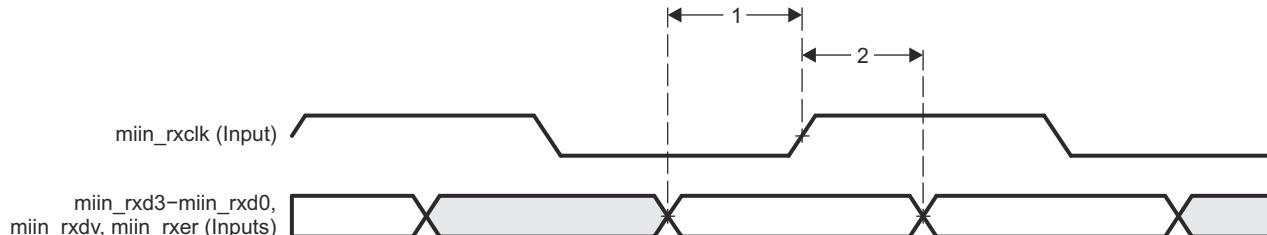


図 7-17. MAC 受信インターフェイスのタイミング、MIIin 動作

7.12.3.1.11 MII 送信クロックのタイミング要件

| 番号 | パラメータ | 説明 | SPEED | 最小値 | 最大値 | 単位 |
|----|-----------------|----------------------|---------|-----|-----|----|
| 1 | $t_c(TX_CLK)$ | サイクル タイム、miin_txclk | 10Mbps | 400 | | ns |
| | | | 100Mbps | 40 | | ns |
| 2 | $t_w(TX_CLKH)$ | パルス幅、miin_txclk High | 10Mbps | 140 | 260 | ns |
| | | | 100Mbps | 14 | 26 | ns |
| 3 | $t_w(TX_CLKL)$ | パルス幅、miin_txclk Low | 10Mbps | 140 | 260 | ns |
| | | | 100Mbps | 14 | 26 | ns |
| 4 | $t_t(TX_CLK)$ | 遷移時間、miin_txclk | 10Mbps | | 3 | ns |
| | | | 100Mbps | | 3 | ns |

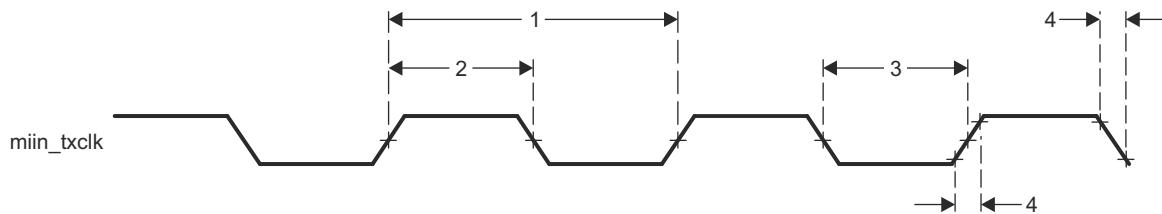


図 7-18. クロック タイミング (MAC 送信) — MIIin 動作

7.12.3.1.12 MII 受信クロックのタイミング要件

| 番号 | パラメータ | 説明 | SPEED | 最小値 | 最大値 | 単位 |
|----|-----------------|----------------------|---------|-----|-----|----|
| 1 | $t_c(RX_CLK)$ | サイクル タイム、miin_rxclk | 10Mbps | 400 | | ns |
| | | | 100Mbps | 40 | | ns |
| 2 | $t_w(RX_CLKH)$ | パルス幅、miin_rxclk High | 10Mbps | 140 | 260 | ns |
| | | | 100Mbps | 14 | 26 | ns |
| 3 | $t_w(RX_CLKL)$ | パルス幅、miin_rxclk Low | 10Mbps | 140 | 260 | ns |
| | | | 100Mbps | 14 | 26 | ns |
| 4 | $t_t(RX_CLK)$ | 遷移時間、miin_rxclk | 10Mbps | | 3 | ns |
| | | | 100Mbps | | 3 | ns |

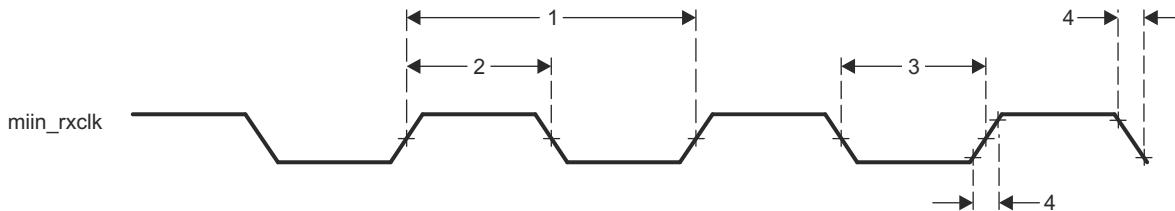


図 7-19. クロック タイミング (MAC 受信) - MIIn 動作

7.12.3.1.13 MDIO インターフェイスのタイミング

注意

このセクションに記載されている IO タイミングは、対応する仮想 IO タイミングまたは手動 IO タイミングが本セクション内の表に記載されたとおりに設定されている場合に限り、一部の MAC 使用モードにおいてのみ有効です。

表 7-7 表 7-8 および図 7-20 は、MDIO インターフェイスのスイッチング特性とタイミング要件を示します。

表 7-7. MDIO 入力のタイミング要件

| なし | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|-------|---------------------|--------------------------------|-----|-----|----|
| MDIO1 | $t_c(MDC)$ | サイクル時間、MDC | 400 | | ns |
| MDIO2 | $t_w(MDCH)$ | パルス幅、MDC High | 180 | | ns |
| MDIO3 | $t_w(MDCL)$ | パルス幅、MDC Low | 180 | | ns |
| MDIO4 | $t_{su}(MDIO_MDC)$ | セットアップ時間、MDIO 有効から MDC High まで | 90 | | ns |
| MDIO5 | $t_h(MDIO_MDC)$ | ホールド時間、MDC High から MDIO 有効まで | 0 | | ns |

表 7-8. MDIO 出力の推奨動作条件に対するスイッチング特性

| なし | パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|-------|------------------|---------------------------|-----|------------------|----|
| MDIO6 | $t_l(MDC)$ | 遷移時間、MDC | | 5 | ns |
| MDIO7 | $t_d(MDC_MDIO)$ | 遅延時間、MDC LOW から MDIO 有効まで | 10 | $(P * 0.5) - 10$ | ns |

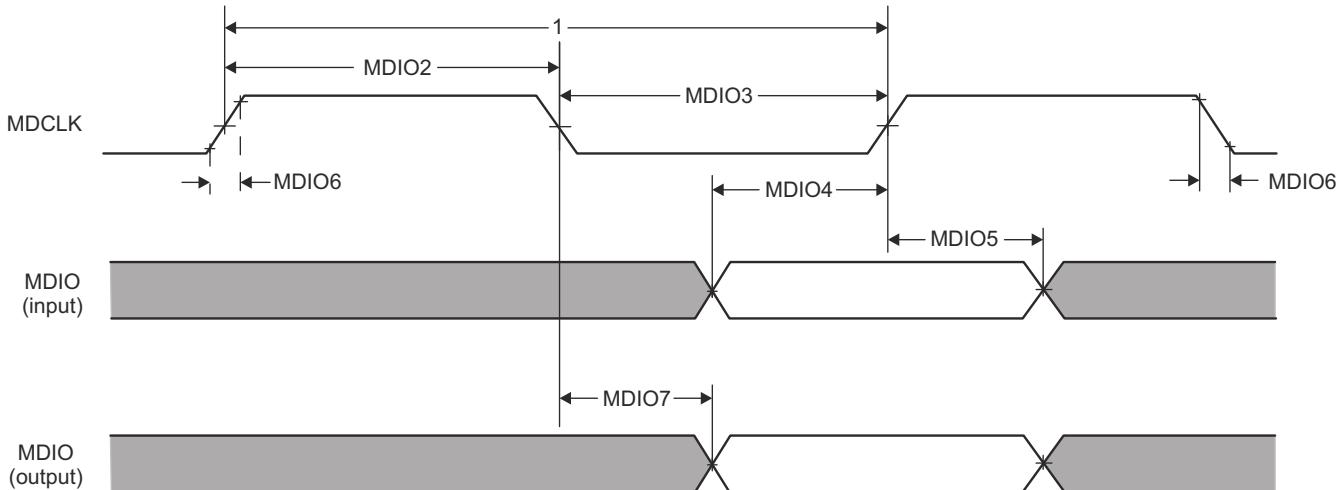


図 7-20. MAC MDIO の図

7.12.4 LVDS/Aurora 計測および測定ペリフェラル

このデバイスは、2 つの異なるモードで一連の LVDS インターフェイスをサポートしています。

- 従来の LVDS モード
- STM-TWP Aurora インターフェイス

LVDS IO は、上記の 2 つの測定インターフェイス オプションで共有されます。

以下の機能をサポートしています:

- 2 個のデータ レーン LVDS インターフェイス (データ クロックとフレーム クロック用に追加の 2 レーンを含む)
- 4 レーン STM-TWP-Aurora-LVDS インターフェイス モード。次のような特長があります:
 - 動作 レーンを構成可能。
 - 送信データは、Aurora 8B/10B シリアル シンプレックス動作に準拠
 - 送信データは、Aurora 64B/66B シリアル シンプレックス動作に準拠

注

AWR2944LC と AWR2E44LC は、Aurora LVDS インターフェイスをサポートしていません。

両方の LVDS インターフェイスのプログラミング オプションに関する情報については、デバイスの TRM を参照してください。

7.12.4.1 LVDS インターフェイスの構成

サポートされている LVDS レーン構成は、1 データ レーンまたは (LVDS_TXP/M)、1 ビット クロック レーン (LVDS_TXxx_CLKP/M)、および 1 フレーム クロック レーン (LVDS_TXxx_FRCLKP/M) です。LVDS インターフェイス は、最大 900Mbps (450MHz DDR クロック) のプログラマブルなデータレートをサポートしています。

ビットクロックは DDR 形式であるため、クロックのトグル回数はデータのビット数と同等になりますのでご注意ください。

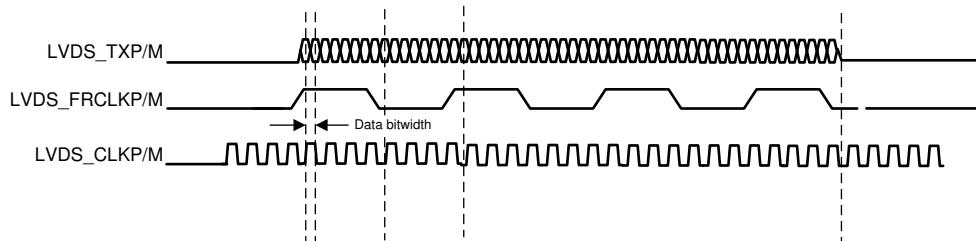


図 7-21. LVDS インターフェイスのレーン構成および相対タイミング

7.12.4.2 LVDS インターフェイスのタイミング

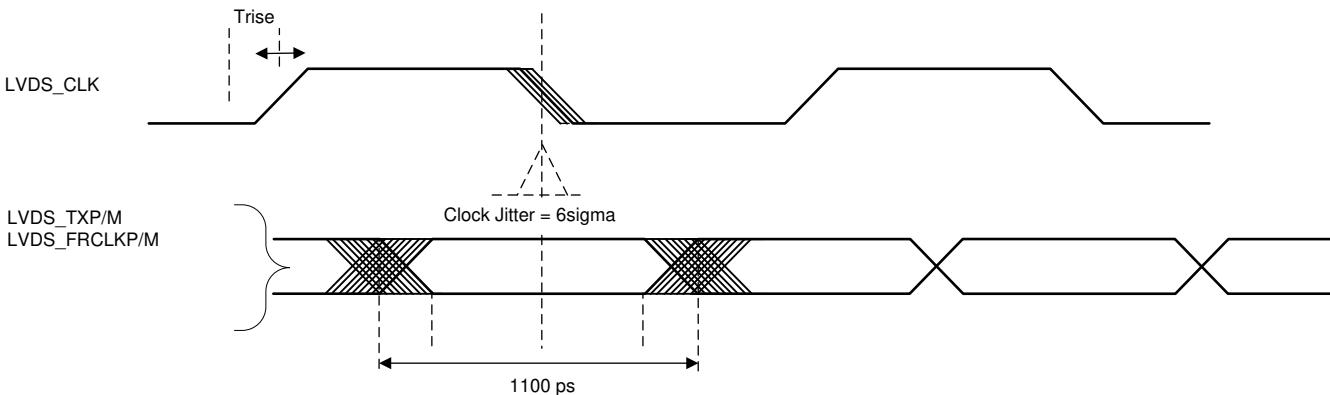


図 7-22. タイミング パラメータ

表 7-9. LVDS の電気的特性

| パラメータ | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---------------|---------------------------------------|------|------|-----|----|
| デューティサイクル要件 | LVDS レーン上で最大 1pF の集中容量性負荷 | 48% | 52% | | |
| 出力差動電圧 | 差動ペア間に 100Ω の抵抗性負荷があるピークツーピークのシングルエンド | 250 | 450 | mV | |
| 出力オフセット電圧 | | 1125 | 1275 | mV | |
| Trise と Tfall | 20%-80%、900Mbps | | 330 | | ps |
| ジッタ (pk-pk) | 900Mbps | | 80 | | ps |

7.12.5 UART ペリフェラル

このデバイスには、4 つの UART インターフェイスが搭載されています。1 系統の UART はセカンダリ ブートローダー ソースとして、1 系統は (XDS110 エミュレータを用いた) レジスタ デバッグ インターフェイスとして使用され、残りの 2 系統は汎用 UART 通信のサポートを目的としています。

- 各クロック周波数モードにおいて、サポートされる最大ボーレートは最低でも 1536K baud とする必要があります
- UART インターフェイスは、他の I/O と多重化されており、ペリフェラル機能の最大限の柔軟な利用を可能にしています

7.12.5.1 SCI のタイミング要件

| | 最小値 | 標準値 | 最大値 | 単位 |
|---------------------------------|-----|-------|-----|-----|
| f (ボーリング) サポートされているボーレート (20pF) | | 921.6 | | kHz |

7.12.6 I2C (Inter-Integrated Circuit Interface)

このデバイスは、コントローラ/ターゲット両対応の インターバスインターフェイスを 1 系統サポートしており、外部の PMIC や EEPROM デバイス (代替制御用 SPI) に接続することを想定しています。

I2C には次の特長があります。

- 標準/ファースト モードの I2C インターフェイスは、Philips の I2C バス仕様 v2.1 (Philips ドキュメント番号 9398 393 40011) に準拠しています
 - ビット / バイト形式の転送
 - 7 ビットおよび 10 ビットのデバイスアドレッシング モード
 - ゼネラル コール
 - START バイト
 - マルチコントローラ トランスマッタ / ターゲット レシーバ モード
 - マルチコントローラ レシーバ / ターゲット トランスマッタ モード
 - コントローラ送信 / 受信、受信 / 送信の組み合わせモード
 - 100kbps～最大 400kbps (Philips ファースト モード) の転送レートをサポート
- フリー データ形式
- 2 つの DMA イベント (送信および受信)
- DMA イベントのイネーブル / ディセーブル機能
- モジュールのイネーブル / ディセーブル機能
- SDA と SCL を汎用 I/O として構成可能 (任意)
- 出力のスルーレート制御
- 出力のオーブンドレイン制御
- 入力のプログラマブル プルアップ / プルダウン機能
- NACK 無視モードをサポート

注

この I2C モジュールは次の機能をサポートしていません。

- High-Speed (HS) モード
- C バス互換モード
- 10 ビットアドレス モードの複合フォーマット (I2C がターゲット アドレスの第 1 バイトを送信するたびに、ターゲット アドレスの第 2 バイトを送信する)

7.12.6.1 I2C のタイミング要件 ⁽¹⁾

| | スタンダード モード | ファスト モード | | 単位 | | |
|--------------------------------|--|----------|------|----|-----|----|
| | | 最小値 | 最大値 | | | |
| $t_c(SCL)$ | サイクル時間、SCL | 10 | 2.5 | μs | | |
| $t_{su}(SCLH-SDAL)$ | セットアップ時間、SCL High から SDA Low まで (繰り返しスタート条件の場合) | 4.7 | 0.6 | μs | | |
| $t_h(SCLL-SDAL)$ | ホールド時間、SDA Low から SCL Low の間 (スタートおよび繰り返しスタート条件の場合) | 4 | 0.6 | μs | | |
| $t_w(SCLL)$ | パルス幅、SCL low | 4.7 | 1.3 | μs | | |
| $t_w(SCLH)$ | パルス幅、SCL high | 4 | 0.6 | μs | | |
| $t_{su}(SDA-SCLH)$ | セットアップ時間、SDA 有効から SCL High まで | 250 | 100 | μs | | |
| $t_h(SCLL-SDA)$ ⁽¹⁾ | ホールド時間、SCL low から SDA 有効の間 | 0 | 3.45 | 0 | 0.9 | μs |
| $t_w(SDAH)$ | パルス幅、ストップ条件とスタート条件の間の SDA High の期間 | 4.7 | 1.3 | μs | | |
| $t_{su}(SCLH-SDAH)$ | セットアップ時間、SCL High から SDA High まで (ストップ条件の場合) | 4 | 0.6 | μs | | |
| $t_w(SP)$ | パルス幅、スパイク (抑制が必要) | | 0 | 50 | ns | |
| C_b ^{(2) (3)} | 各バス ラインの容量性負荷 | 400 | 400 | pF | | |

- (1) I2C ピンの SDA および SCL は、フェイルセーフ I/O バッファを備えていません。これらのピンは、デバイスの電源がオフのときに電流を引き出す可能性があります。
- (2) I2C バス デバイスの $t_h(SDA-SCLL)$ の最大値を満たす必要があるのは、SCL 信号の Low 期間 ($t_w(SCLL)$) を本デバイスがストレッチ (延長) しない場合に限られます。
- (3) $C_b = 1$ 本のバス ラインの合計容量 (pF 単位)。ファスト モード デバイスと混在する場合、より高速な立ち下がり時間が許容されます。

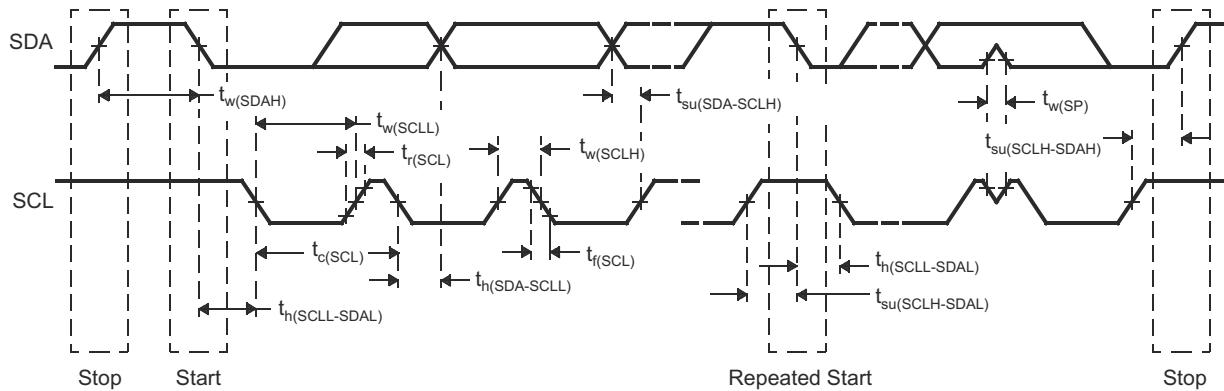


図 7-23. I2C タイミング図

注

- SCL 信号の立ち下がりエッジの未定義領域をブリッジするため、デバイスは SDA 信号のために (SCL 信号の VIH_{min} を基準として) 300ns 以上のホールド時間を内部的に確保する必要があります。
- $t_{th}(SDA-SCLL)$ の最大値を満たす必要があるのは、SCL 信号の Low 期間 ($tw(SCLL)$) を本デバイスがストレッチ (延長) しない場合に限られます。ファーストモード I2C バスデバイスは、スタンダードモード I2C バスシステムでも使えますが、その場合、 $t_{su}(SDA-SCLH) \geq 250ns$ の要件を満たす必要があります。本デバイスが SCL 信号の Low 期間をストレッチしない場合、これは自動的に当てはまります。そのようなデバイスが SCL 信号の Low 期間をストレッチする場合、次のデータビットを SDA ラインに $tr_{max} + t_{su}(SDA-SCLH)$ の間出力する必要があります。

7.12.7 CAN-FD (Controller Area Network - Flexible Data-rate)

このデバイスには、2つの CAN-FD インターフェイス、MSS_MCANA および MSS_MCANB が内蔵されています。これにより、一般的なユースケースである 1つの CAN-FD インターフェイスを ECU のネットワークインターフェイスとして使用し、もう 1つのインターフェイスをローカルネットワークインターフェイスとして使用して近隣のセンサーとの通信を行うことができます。

- ISO 11898-7 規格に準拠して CAN-FD をサポートし、最大 8Mbps のデータレートに対応
- マルチプレックスされた GPIO を、CAN-FD の外部ドライバ制御に使用可能
- AWRx の同期トリガ出力によって、CAN-FD でレーダーフレームをトリガ

7.12.7.1 CAN-FD TX ピンおよび RX ピンの動的特性

| パラメータ (1) | 最小値 | 標準値 | 最大値 | 単位 |
|---------------------|-----|-----|-----|----|
| $t_d(MSS_CANA_TX)$ | | | 15 | ns |
| $t_d(MSS_CANB_TX)$ | | | 15 | ns |
| $t_d(MSS_MCANA_RX)$ | | | 10 | ns |
| $t_d(MSS_MCANB_RX)$ | | | 10 | ns |

(1) これらの値には、出力バッファの立ち上がり / 立ち下がり時間は含まれていません。

7.12.8 CSI2 レシーバペリフェラル

注

AWR2944LC および AWR2E44LC は、CSI2 受信ペリフェラルをサポートしていません。

このデバイスは、無線処理サブシステム内に 3 レーン構成の MIPI CSI2 D-PHY 受信ペリフェラルを 1 系統統合しています。CSI2 インターフェイスは主に、ハードウェアインザループ (HIL) インターフェイスとして機能し、開発用途において記録済みレーダーデータの再生を可能にします。

- インターフェイスは、MIPI CSI-2 D-PHY 規格リビジョン 1.2 に準拠しています
- 3 レーン (データレーン 2 本、クロックレーン 1 本) 構成の CSI2 受信インターフェイスを 1 系統搭載しており、各レーンが同時に 600Mbps で動作
- 2 レーンまたは 1 レーンの CSI2 構成
- 4 つの同時仮想チャネルとデータ型のサポート
- 8/10/12/14/16 ビットの RAW データモードをサポートしており、RAW 10/12/14 モードでは、16 ビットメモリアドレッシングに合わせて符号拡張またはゼロパディングによる整列が可能
- ユーザー定義データ型のサポート

すべてのプログラマブル オプションの詳細な説明については、デバイスのテクニカル リファレンス マニュアルを参照してください。

7.12.8.1 CSI2 のスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

| パラメータ | | 最小値 | 標準値 | 最大値 | 単位 |
|--|--------------------|-----|------|------------------|------|
| 低消費電力レシーバ (LP-RX) | | | | | |
| V_{IL} ⁽¹⁾ | ロジック 0 入力スレッショルド | | | 550 | mV |
| V_{IH} ⁽²⁾ | ロジック 1 入力スレッショルド | | 880 | | mV |
| V_{HYST} | 入力ヒステリシス | | 25 | | mV |
| 高速 レシーバ (HS-RX) | | | | | |
| V_{IDTH} | 差動入力 High スレッショルド | | 70 | | mV |
| V_{IDTL} | 差動入力 Low スレッショルド | | | -70 | mV |
| V_{IDMAX} | 最大差動入力電圧 | | | 270 | mV |
| V_{ILHS} | シングルエンド入力 Low 電圧 | | -40 | | mV |
| V_{IHHS} | シングルエンド入力 High 電圧 | | | 460 | mV |
| V_{CMRXDC} | 同相電圧 | | 70 | 330 | mV |
| $\Delta V_{CMRX(HF)}$ | 450MHz を超える同相モード干渉 | | | 200 | mVPP |
| $\Delta V_{CMRX(LF)}$ | 同相干渉 50MHz~450MHz | | -50 | 50 | mVPP |
| HS データクロックのタイミング仕様 ^{(3) (5)} | | | | | |
| UI_{INST} | データ/クロック ユニット間隔 | | 1.11 | | ns |
| T_{SETUP} | データ・クロック セットアップ時間 | | 166 | | ps |
| T_{HOLD} | クロックからデータまでのホールド時間 | | 166 | | ps |
| T_R, T_F ⁽⁴⁾ | 立ち上がり時間/ 立ち下がり時間 | | 166 | 0.4* UI_{INST} | ps |

- (1) 入力 Low レベル電圧 V_{IL} は、レシーバが入力信号の Low 状態を検出するために必要な電圧です。 V_{IL} は、HS 転送中の最大シングルエンド 線電圧よりも高く設定されています。したがって、両方の LP レシーバは HS 信号伝送中に Low を検出します。
- (2) 入力高レベル電圧 (V_{IH}) とは、受信側が入力信号を High と認識するために必要な電圧レベルです。
- (3) 図の $TSKEW$ は、レシーバー入力で許容できるクロックとデータ HS 信号間のスキーです。これはあくまで記述上のパラメータです。Rx のタイミングは、 T_{SETUP}/T_{HOLD} のみで規定されます。
- (4) V_{IDTL} から V_{IDTH} までの立ち上がり/ 立ち下がり。
- (5) セットアップ/ ホールド仕様は、レシーバ入力のデータ レーンとクロック レーンの両方で同じ同相時間と立ち上がり時間/ 立ち下がり時間を想定しています。 T_{SETUP} および T_{HOLD} を測定する際は、クロック レーンとデータ レーンで V_{CMRXDC} および T_R, T_F を同一にする必要があります

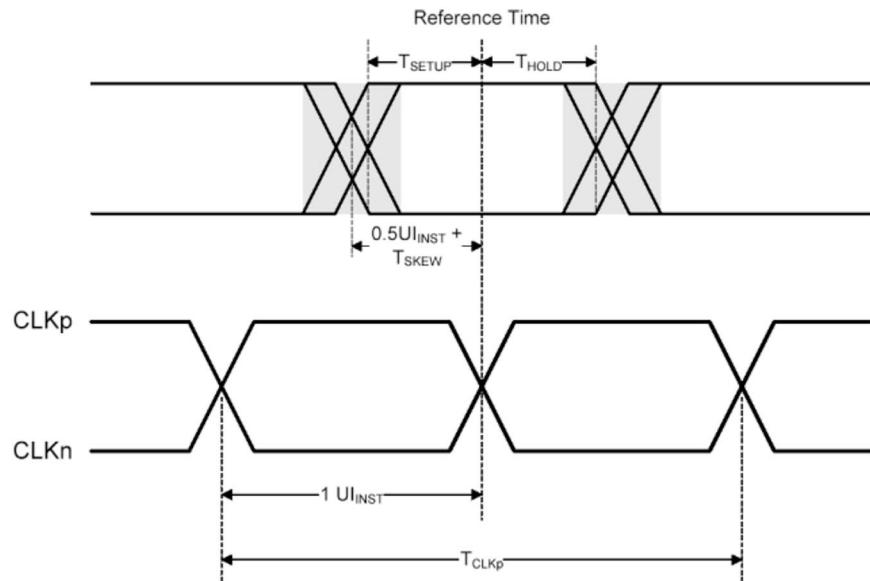


図 7-24. HS 送信におけるクロックとデータのタイミング

7.12.9 拡張パルス幅変調器 (ePWM)

このデバイスには、3つの拡張型パルス幅変調(ePWM)モジュールが含まれています。これらのモジュールは、電源レギュレータや電源管理システム用のデューティサイクル制御波形、またはモータ制御アプリケーション向けのより複雑な波形を生成するために使用できます。

このモジュールは以下の機能をサポートしています：

- 各 PWM モジュール向けの周期および周波数制御機能を備えた専用の 16 ビット時間ベース カウンタ
- 各モジュールには、2つの PWM 出力 (EPWMxA および EPWMxB) が含まれており、以下の構成で使用できます：
 - シングル エッジ動作の 2つの独立した PWM 出力
 - デュアル エッジ対称動作の 2つの独立した PWM 出力
 - デュアル エッジ非対称動作の 1つの独立した PWM 出力

7.12.10 汎用入出力 (General-Purpose Input/Output)

セクション 7.12.10.1 に、出力タイミングのスイッチング特性と負荷容量との関係を示します。

7.12.10.1 出力タイミングに対する負荷容量の変化によるスイッチング特性 (C_L) ⁽¹⁾ ⁽²⁾

| パラメータ | | テスト条件 | | $VIOIN = 1.8V$ | $VIOIN = 3.3V$ | 単位 |
|-------|-----------|-----------|--------------|----------------|----------------|----|
| t_r | 最大立ち上がり時間 | スルー制御 = 0 | $C_L = 20pF$ | 2.8 | 3.0 | ns |
| | | | $C_L = 50pF$ | 6.4 | 6.9 | |
| | | | $C_L = 75pF$ | 9.4 | 10.2 | |
| t_f | 最大立ち下がり時間 | スルー制御 = 0 | $C_L = 20pF$ | 2.8 | 2.8 | ns |
| | | | $C_L = 50pF$ | 6.4 | 6.6 | |
| | | | $C_L = 75pF$ | 9.4 | 9.8 | |
| t_r | 最大立ち上がり時間 | スルー制御 = 1 | $C_L = 20pF$ | 3.3 | 3.3 | ns |
| | | | $C_L = 50pF$ | 6.7 | 7.2 | |
| | | | $C_L = 75pF$ | 9.6 | 10.5 | |
| t_f | 最大立ち下がり時間 | スルー制御 = 1 | $C_L = 20pF$ | 3.1 | 3.1 | ns |
| | | | $C_L = 50pF$ | 6.6 | 6.6 | |
| | | | $C_L = 75pF$ | 9.6 | 9.6 | |

- (1) $PADxx_CFG_REG$ で設定されるスルー制御は、出力ドライバの挙動を変化させます (高速または低速の出力スルーレート)。
 (2) 立ち上がり / 立ち下がり時間は、 $VIOIN$ 電圧の 10% と 90% の間を信号が遷移するのに要する時間として測定されます。

7.13 エミュレーションおよびデバッグ

7.13.1 エミュレーションおよびデバッグの説明

7.13.2 JTAG インターフェイス

JTAG インターフェイスは、プロセッサのデバッグおよびバウンダリスキャン テストのために IEEE1149.1 標準インターフェイスを実装しています。

セクション 7.13.2.1 とセクション 7.13.2.2 は、図 7-25 に記載された動作条件を前提としています。

7.13.2.1 IEEE 1149.1 JTAG のタイミング要件

表 7-10. JTAG のタイミング条件

| | | 最小値 | 標準値 | 最大値 | 単位 |
|------------|-----------|-----|-----|-----|----|
| 入力条件 | | | | | |
| t_R | 入力立ち上がり時間 | 1 | 3 | ns | |
| t_F | 入力立ち下がり時間 | 1 | 3 | ns | |
| 出力条件 | | | | | |
| C_{LOAD} | 出力負荷容量 | 2 | 15 | pF | |

表 7-11. JTAG のタイミング要件

| 番号 | | | 最小値 | 標準値 | 最大値 | 単位 |
|----|-------------------|---------------------------------|-------|-----|-----|----|
| 1 | $t_c(TCK)$ | サイクル時間 TCK | 33.33 | | | ns |
| 1a | $t_w(TCKH)$ | パルス幅、TCK High (tc の 40%) | 13.33 | | | ns |
| 1b | $t_w(TCKL)$ | パルス幅、TCK Low (tc の 40%) | 13.33 | | | ns |
| 3 | $t_{su}(TDI-TCK)$ | 入力セットアップ時間、TDI 有効から TCK High まで | 2.5 | | | ns |
| 3 | $t_{su}(TMS-TCK)$ | 入力セットアップ時間、TMS 有効から TCK High まで | 2.5 | | | ns |
| 4 | $t_h(TCK-TDI)$ | 入力ホールド時間、TCK High から TDI 有効の間 | 18 | | | ns |
| 4 | $t_h(TCK-TMS)$ | 入力ホールド時間、TCK High から TMS 有効の間 | 18 | | | ns |

7.13.2.2 IEEE 1149.1 JTAG のスイッチング特性

| 番号 | パラメータ | | 最小値 | 標準値 | 最大値 | 単位 |
|----|------------------|--|-----|-----|-----|----|
| 2 | $t_d(TCKL-TDOV)$ | | 0 | 21 | ns | |

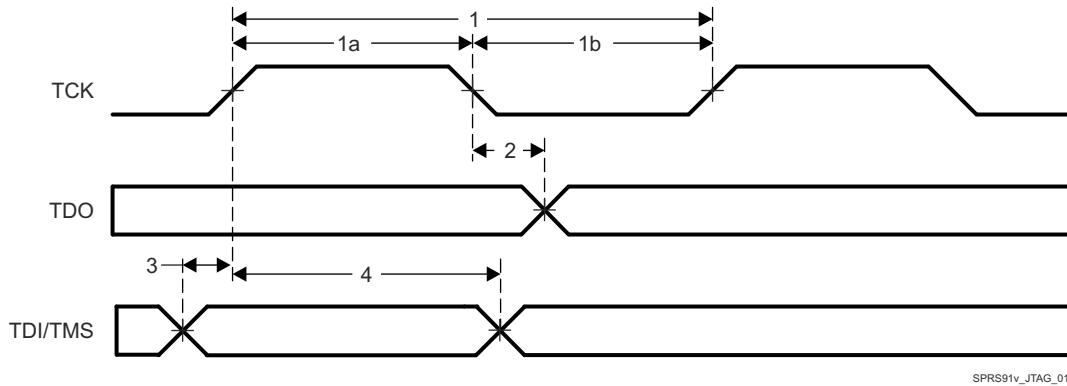


図 7-25. JTAG のタイミング

7.13.3 ETM トレース インターフェイス

ETM トレース インターフェイスは、互換性のあるエミュレータ ツールセットを介して、リアルタイムのプロセッサ デバッグ情報をホスト PC に出力する手段を提供します。

セクション 7.13.3.1 とセクション 7.13.3.2 は、図 7-26 および図 7-27 に示す動作条件を示しています。

7.13.3.1 ETM TRACE のタイミング要件

| | | 最小値 | 標準値 | 最大値 | 単位 |
|------------|--------|-----|-----|-----|----|
| 出力条件 | | | | | |
| C_{LOAD} | 出力負荷容量 | 2 | | 20 | pF |

7.13.3.2 ETM TRACE のスイッチング特性

| 番号 | パラメータ | 最小値 | 標準値 | 最大値 | 単位 |
|----|--|-----|-----|------|----|
| 1 | $t_{cyc(ETM)}$ サイクル時間、TRACECLK 周期 | 16 | | | ns |
| 2 | $t_{h(ETM)}$ パルス幅、TRACECLK High | 7 | | | ns |
| 3 | $t_{l(ETM)}$ パルス幅、TRACECLK Low | 7 | | | ns |
| 4 | $t_r(ETM)$ クロック / データの立ち上がり時間 | | | 3.3 | ns |
| 5 | $t_f(ETM)$ クロック / データの立ち下がり時間 | | | 3.3 | ns |
| 6 | $t_d(ETMTRACECLKH-ETMDATAV)$ 遅延時間、ETM トレース クロック High から ETM データ有効まで | 1 | | 14.5 | ns |
| 7 | $t_d(ETMTRACECLKI-ETMDATAV)$ 遅延時間、ETM トレース クロック Low から ETM データ有効まで | 1 | | 14.5 | ns |

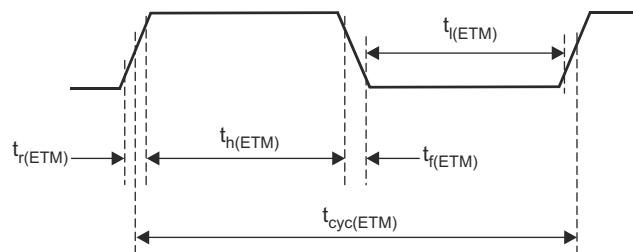


図 7-26. ETMTRACECLKOUT のタイミング

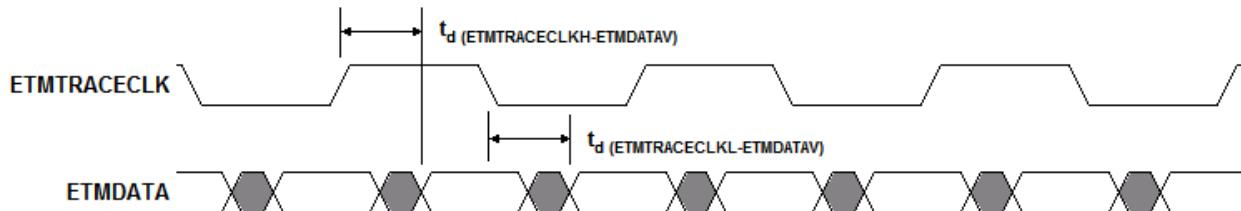


図 7-27. ETMDATA のタイミング

8 詳細説明

8.1 概要

AWR2944P/AWR2E44P は AWR2944 製品ラインアップの高性能版で、強化された RF とコンピューティング性能で NCAP と自動運転の要件を満たします。AWR2944-ECO/AWR2E44-ECO および AWR2944LC/AWR2E44LC はそれぞれ同シリーズの主流および機能最適化バリアントであり、お客様が P、ECO、LC 各デバイス間でスケーラブルなポートフォリオを構築できるよう設計されています。AWR2944P/AWR2E44P/AWR2944-ECO/AWR2E44-ECO/AWR2944LC/AWR2E44LC は、高度に統合されたミリ波レーダー センサであり、AWR2944P、AWR2E44P、AWR2944-ECO、AWR2E44-ECO、AWR2944LC、AWR2E44LC の 6 つのバリアントがあります。これらはすべて、4 つの送信チャネルと 4 つの受信チャネル（を備えています）。AWR2E44P/AWR2E44-ECO/AWR2E44LC は、ローンチオン パッケージ（LOP）テクノロジを搭載しており、PCB の貫通穴やチップ底面の配線を通じて、AWR2E44P/AWR2E44-ECO/AWR2E44LC チップからアンテナへの信号を損失なく伝送できます。チップとアンテナは PCB に直接半田付けされているため、高価な高周波材料の代わりに、低コストの PCB 材料を使用できます。

AWR2944P、AWR2E44P、AWR2944-ECO、AWR2E44-ECO、AWR2944LC、AWR2E44LC は、RF、アナログ、およびデジタル処理回路を含む、必要なすべてのレーダー構成要素を統合したシングル チップのレーダー デバイスです。このデバイスは、76~81GHz の周波数帯で動作する周波数変調連続波（FMCW）レーダー方式を採用しており、視野（FoV）内における対象物との距離および相対速度を高精度に測定することができます。さらに、このデバイスは、CAN-FD やイーサネット インターフェイス経由で車両の集中型 ECU と通信できます。

8.2 機能ブロック図

図 8-1 は、デバイスの機能ブロック図です。

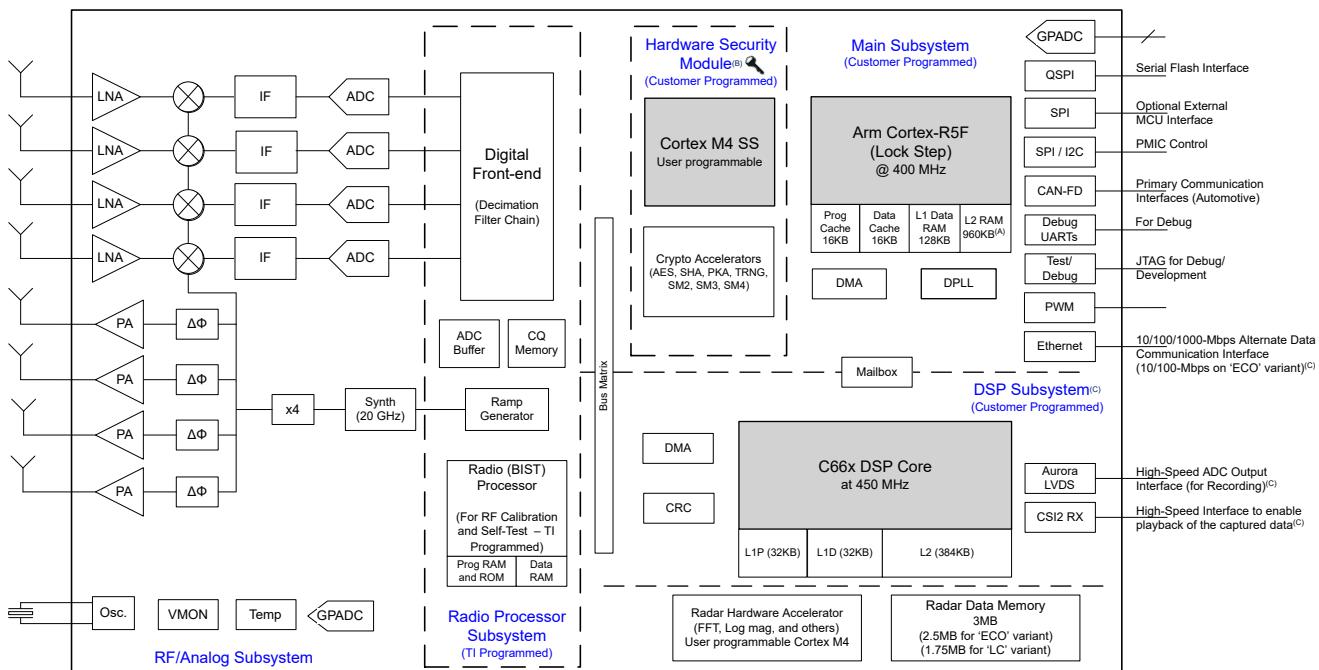


図 8-1. 機能ブロック図

- A. アプリケーションの使用用途に応じて、構成可能なメモリはレーダー データ用メモリからメイン Cortex-R5F のプログラムおよびデータ RAM に切り替えることができます。
- B. この機能は、セクション 3「製品情報」表の「デバイスタイプ」識別子で示されているように、一部の部品バリアントでのみ使用できます。
- C. この機能は、AWR2944LC および AWR2E44LC のバリエーションでは利用できません。

8.3 サブシステム

8.3.1 RF およびアナログ サブシステム

RF / アナログ サブシステムには RF 回路とアナログ回路 (つまり、シンセサイザ、PA、LNA、ミキサ、IF、ADC) が含まれます。このサブシステムには水晶発振器と温度センサも含まれます。4 つの送信チャネルと受信チャネルはすべて、送信ビームフォーミングの目的や必要に応じたデータの受信のために同時に動作させることができます。

8.3.1.1 RF クロック サブシステム

デバイスのクロック サブシステムは、40 MHz の基準水晶発振器から 76 ~ 81 GHz の周波数を生成します。内蔵の発振回路の後に、アナログ PLL と RF シンセサイザ回路が続いています。次に、RF シンセサイザの出力は x4 過倍器で処理され、76~81GHz の範囲の必要な周波数を生成します。RF シンセサイザの出力は、タイミング エンジン ブロックによって変調され、効果的なセンサ動作に必要な波形を生成することができます。または、APLL から直接 1GHz の固定信号を入力することも可能です。

アナログ PLL は、システムのウェイクアップ後にホスト プロセッサ用のリファレンス クロックも提供します。

クロック サブシステムには、水晶振動子の存在を検出し、生成されたクロックの品質を監視するための機能も内蔵されています。

図 8-2 に、クロック サブシステムを示します。

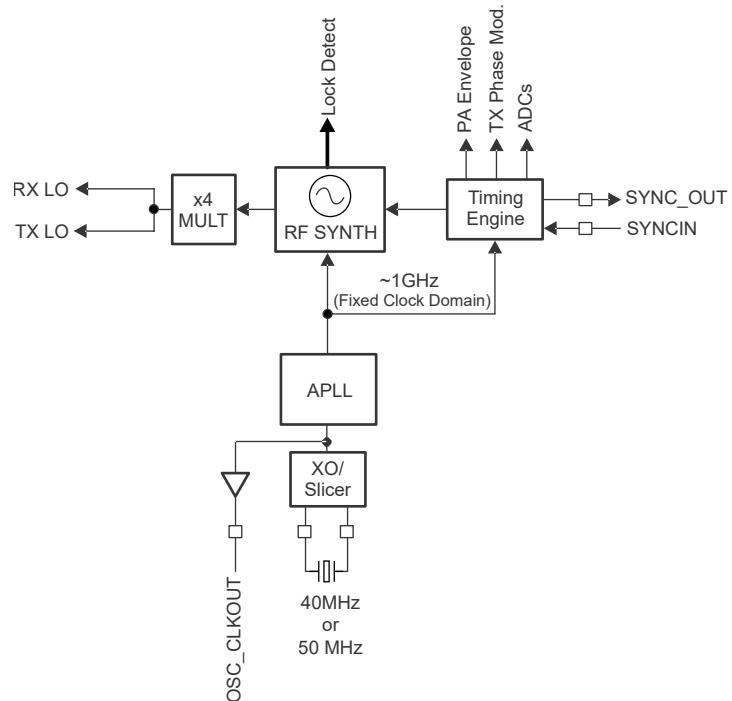


図 8-2. RF クロック サブシステム

8.3.1.2 送信サブシステム

このデバイスの送信サブシステムは、独立した位相および振幅制御を備えた 4 系統の並列送信チェーンで構成されています。4 つすべてのトランスマッタは、同時に使用することも、時分割方式で使用することもできます。次の図に示すように、このデバイスは、チャネルごとにチャーブ単位でビームフォーミング制御を行うために、バイナリ位相変調と 6 ビットのプログラマブル位相シフタをサポートしています。

各送信チェーンは、PCB 上のアンテナ端子で、[セクション 7.8](#) に記載された標準出力を供給できます。送信チェーンは、システムを最適化するためのプログラム可能なバックオフもサポートしています。

図 8-3 に、送信サブシステムを示します。

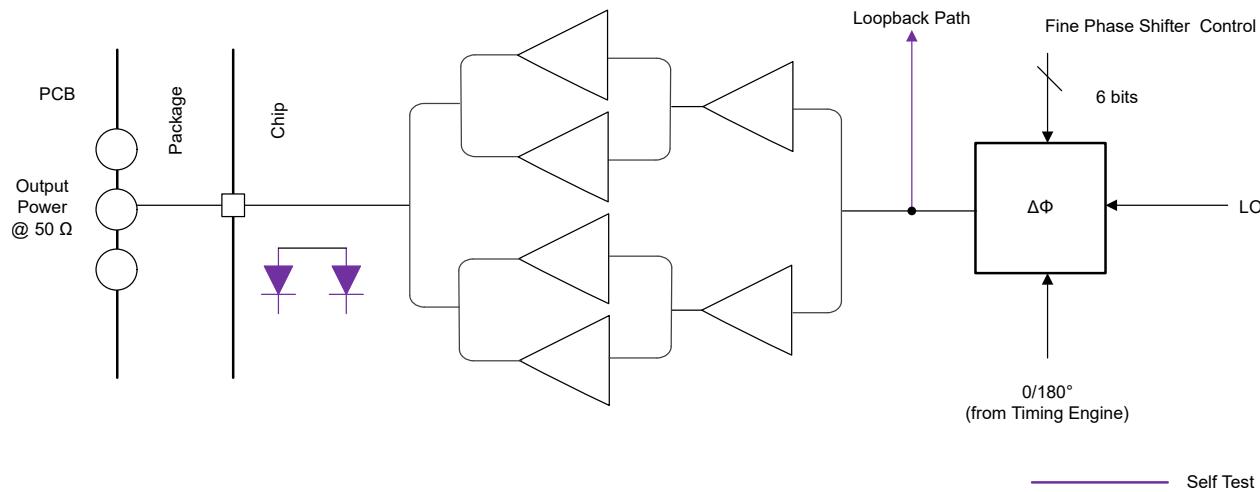


図 8-3. 送信サブシステム (チャネルごと)

8.3.1.3 受信サブシステム

このデバイスの受信サブシステムは、4 つの並列チャネルで構成されています。1 つの受信チャネルは LNA、ミキサ、IF フィルタ、ADC 変換、デシメーションで構成されています。4 つすべての受信チャネルを同時に動作させることができます。システムの最適化のために、各チャネルを個別に電源オフにするオプションも用意されています。

このデバイスは、受信専用のレシーバをサポートしています。バンドパス IF チェーンは、300kHz を超えるカットオフ周波数を設定可能で、最大 20MHz までの帯域幅に対応しています。

図 8-4 に、受信サブシステムを示します。

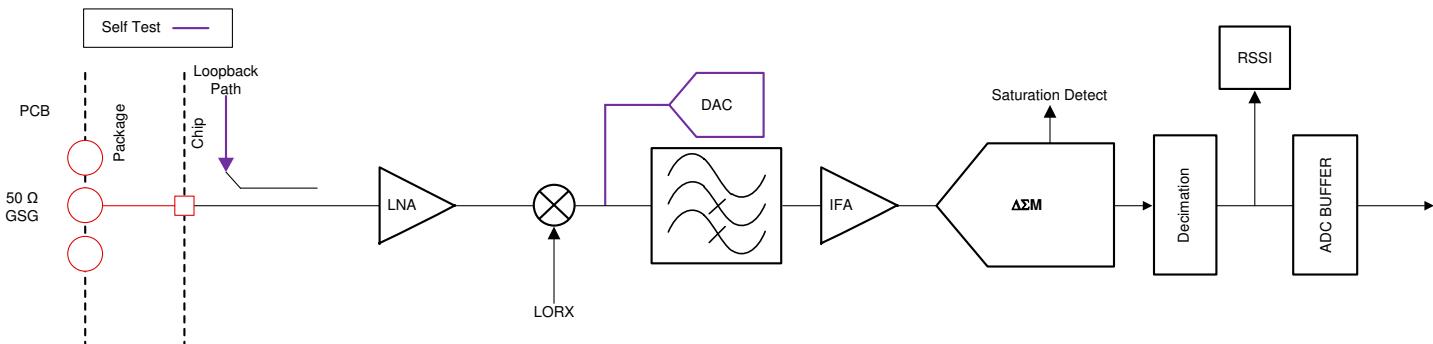


図 8-4. 受信サブシステム (チャネルごと)

8.3.1.4 プロセッサ サブシステム

図 8-5 は、デバイス内にあるお客様がプログラム可能なプロセッサ サブシステムのブロック図を示しています。概要としては、お客様がプログラム可能なサブシステムが 2 つあります。左側には DSP サブシステムが示されており、TI の高性能 C66x DSP、HWA 2.1、高帯域幅のインターフェイストラフィック (128 ビット、150MHz)、および関連するペリフェラル機能が含まれています。これらには、データ転送用の EDMA が 6 チャネル、測定データ出力用の Aurora および LVDS インターフェイス、L3 レーダー データ キューブ メモリ、ADC バッファ、CRC エンジン、データ ハンドシェイク用メモリ (インターフェイストラフィック上に追加メモリあり) が含まれます。

詳細については、[TMS320C66x DSP CorePac ユーザー ガイド](#)を参照してください。

図の右側はメイン サブシステム (MSS) を示しています。その名の通り、メイン サブシステムはこのデバイスの主要なコントローラであり、すべてのペリフェラル機能とデバイスの管理処理を制御します。メイン サブシステムには、Cortex-R5F (MSS R5F) プロセッサが搭載されており、EDMA や CRC を含むペリフェラル機能および管理用コンポーネント、ならびに各種ペリフェラル (I²C、UART、SPI、CAN-FD、EPWM など) が、ペリフェラル セントラルリソース (PCR インターフェイストラフィック) を介してメインのインターフェイストラフィックに接続されています。

無線処理サブシステムまたは BIST サブシステム (RSS) は、アナログ/RF モジュールの初期化とキャリブレーションを行います。RSS はアナログ/RF 機能を定期的にモニタリングし、すべてのアナログ/RF モジュールが規定された範囲内で動作するようにします。

汎用 ADC (GPADC)、高速フーリエ変換エンジン(FFT エンジン)、およびトランスマッタ チェーンのさまざまな点からの信号を監視するために他のモジュールが搭載されています。主に BSS の制御下にあるデジタル フロントエンド フィルタ (DFE)、ランプ生成モジュール、およびアナログ/DFE レジスタは、メイン サブシステムからの API 呼び出しを介して間接的に制御できます。

このデバイスは、無線処理サブシステムに 1 つの 2 レーン CSI2 レシーバ インターフェイスも統合されています。このインターフェイスの主な機能は、Hardware-in-the-Loop (HIL) 機能であり、RF サブシステムを介さずに、外部から取得したデータをデバイスに入力してレーダー処理を実行することができます。

MSS Cortex-R5F および DSP C66x メモリ マップについては、「デバイス TRM (テクニカル リファレンス マニュアル)」を参照してください。

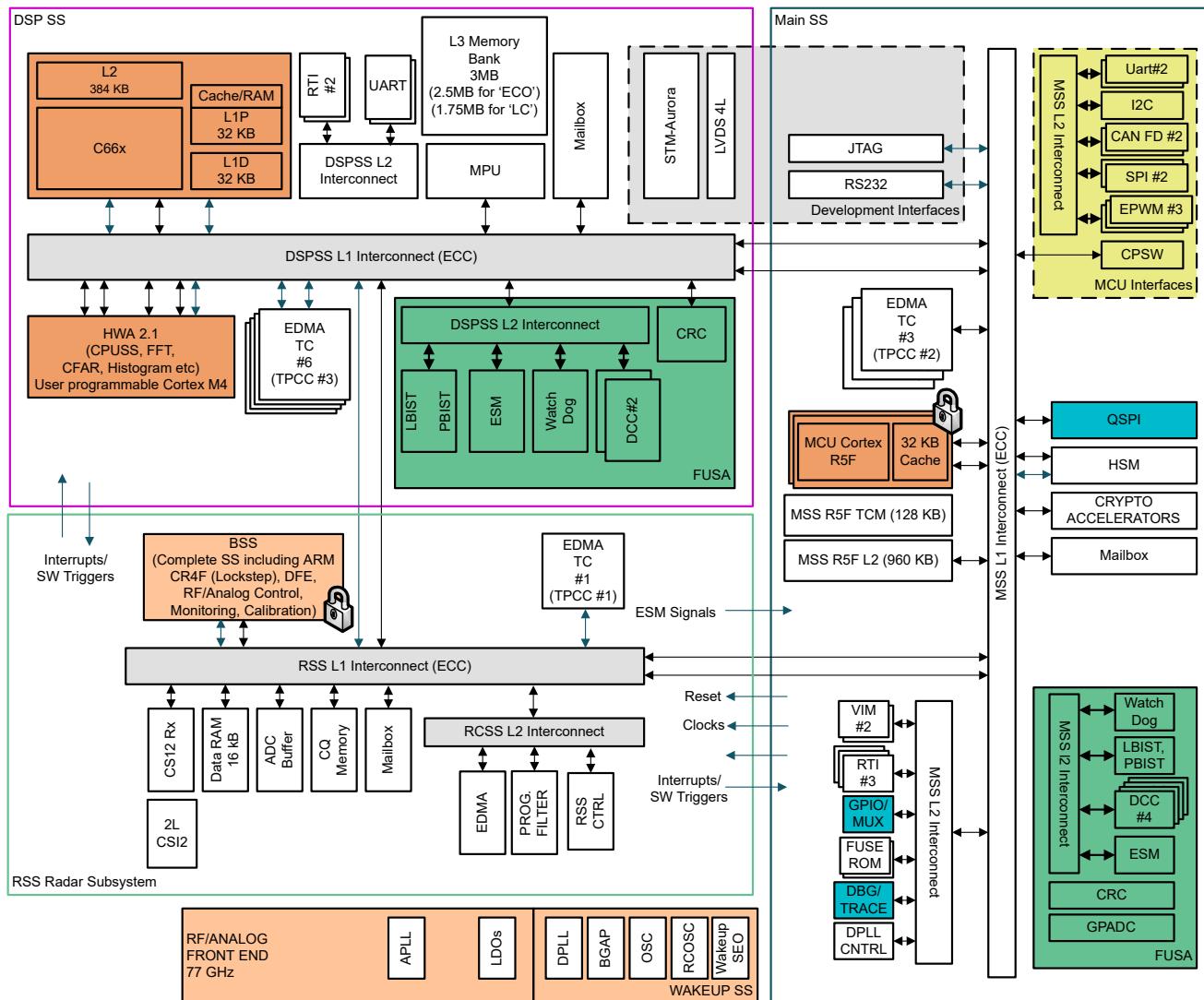


图 8-5. プロセッササブシステム

8.3.2 車載インターフェイス

このデバイスは、以下のメインインターフェイスを介して車載ネットワークと通信します。

- CAN-FD
- イーサネット

8.4 その他のサブシステム

8.4.1 ハードウェアアクセラレータサブシステム

DSPコアに加えて、このデバイスにはレーダー ハードウェア アクセラレータ (HWA2.1) が組み込まれており、DSPの前処理計算の負荷を軽減します。

目的の機能を実現するためにレーダー ハードウェア アクセラレータ 2.1 が提供する機能については、[デバイス テクニカルリファレンスマニュアル](#)の「ハードウェア アクセラレータ 2.1」セクションを参照してください。

8.4.2 セキュリティーハードウェアセキュリティモジュール

セキュアゾーン動作を実行するハードウェアセキュリティモジュール (HSM) がこのデバイスにプロビジョニングされています (一部の部品バリエントでのみ動作可能)。暗号の柔軟性の要件を実装するために、プログラム可能な Arm Cortex-M4コアが利用可能です。

暗号化アルゴリズムは、HSMのハードウェアモジュールを使用して高速化できます。機能には、非対称鍵暗号の要件に対応する数学演算を実行するための AES、SHA、および公開鍵アクセラレータ (PKA) の高速化、ならびに真の乱数生成が含まれます。

メインサブシステム (MSS) の Cortex-R5F プロセッサは、セキュアポートおよびセキュアなランタイム通信に必要な暗号化処理を実行するために、HSMサブシステムと連携します。

セキュリティの詳細については、関連資料を参照してください。

8.4.3 ユーザー アプリケーション向け ADC チャネル(サービス)

このデバイスにはユーザー アプリケーション向けの ADC サービスが用意されており、デバイスに内蔵された GPADC エンジンを使用して、デバイス バリエントに応じて最大 9 個の外部および内部電圧を測定できます。この目的で使用される ADC ピンについては、[セクション 6.5](#) を参照してください。

注

GPADC 構造は、内部温度センサの出力を測定するためにも使われます。

GPADC Specifications:

- 625Ksps SAR ADC
- 入力範囲: 0~1.8V
- 10 ビット分解能

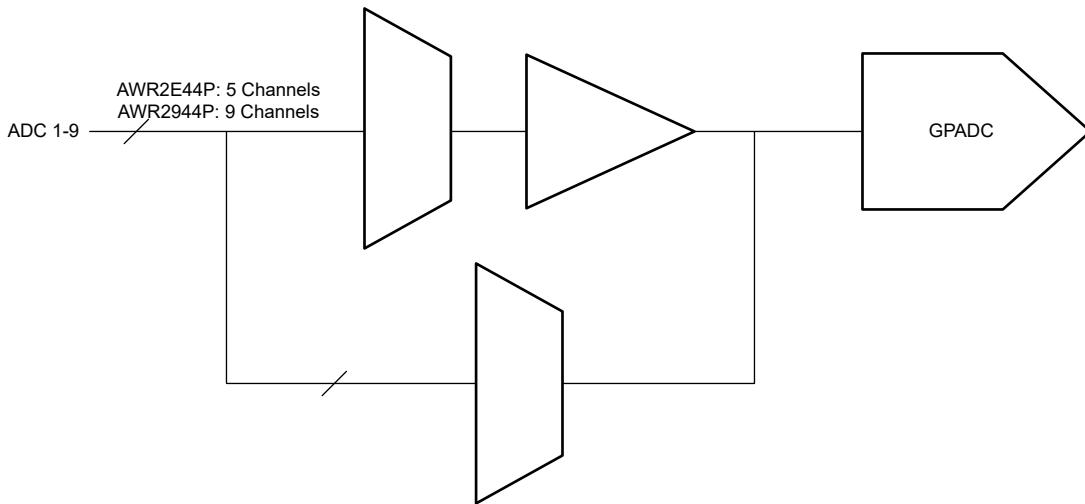


図 8-6. GPADC パス

表 8-1. GP-ADC パラメータ

| パラメータ | 標準値 | 単位 |
|--------------------------|-----------|------|
| ADC 電源 | 1.8 | V |
| ADC の入力電圧範囲 (バッファなし) | 0 ~ 1.8 | V |
| ADC の入力電圧範囲 (バッファ付き) (1) | 0.4 ~ 1.3 | V |
| ADC の分解能 | 10 | ビット |
| ADC のオフセット誤差 | ±5 | LSB |
| ADC のゲイン誤差 | ±5 | LSB |
| ADC の DNL | -1/+2.5 | LSB |
| ADC の INL | ±2.5 | LSB |
| ADC のサンプリング レート | 625 | kSPS |
| ADC のサンプリング時間 | 400 | ns |
| ADC の内部コンデンサ | 10 | pF |
| ADC の入力静電容量 | 2 | pF |
| ADC の入力リーク電流 | 3 | µA |

(1) 規定の範囲を外れると、バッファ出力は非線形になります。

9 監視と診断

9.1 監視と診断のメカニズム

表 9-1 はデバイスで使用可能な主な監視および診断メカニズムのリストです。

**表 9-1. AWR2944P / AWR2E44P / AWR2944-ECO / AWR2E44-ECO / AWR2944LC / AWR2E44LC 向けの監視
および診断メカニズム**

| なし | 機能 | 説明 |
|------------|--|--|
| メイン サブシステム | | |
| 1 | MSS R5F コアのロックステップ動作 | デバイスのアーキテクチャは、MSS R5F コアのロックステップ動作をサポートしています。このコアは、デバイス内でセーフティアイランドとして構成されているメイン サブシステムの動作コアです。 |
| 2 | MSS R5F コアおよび関連 VIM 用ブート時 LBIST | デバイスアーキテクチャは、ハードウェア ロジック BIST (LBIST) エンジン セルフ テスト コントローラ (STC) をサポートしています。このロジックを使って、MSS R5F CPU コアとペクタ割り込みモジュール (VIM) において、トランジスタ レベルで非常に高い診断範囲 (>90%) を実現しています。CPU および VIM 用の LBIST は、機能安全アプリケーションを開始する前に、アプリケーション コードによってトリガする必要があります。STC 处理の終了時に CPU のリセットが実行され、リセット要因はリセット原因レジスタに記録されます。その後、STC レジスタを読み出すことで、STC 実行の状態を確認し、エラーが発生したかどうかを判断できます。CPU は故障が検出されると while ループ内に留まり、それ以上の処理は行いません。また、故障注入テストが実行される場合もあり、このテストによってエラーが STC レジスタに記録され、CPU がリセットされることがあります。 |
| 3 | MSS R5F メモリ向けの起動時 PBIST | MSS R5F には、TCMA、TCMBO、および TCMBl という密結合されたメモリ (TCM) であるレベル 1 (L1) メモリと、レベル 2 (L2) メモリが搭載されています。デバイスのアーキテクチャは、ハードウェア プログラマブル メモリ BIST (PBIST) エンジンをサポートしています。このロジックは、実装された MSS R5F TCM に対して、トランジスタ レベルで非常に高い診断カバレッジ (March-13n) を提供するため使用されます。L1 および L2 メモリに対する PBIST は、アプリケーションのフラッシュまたはペリフェラル インターフェイスからのダウンロードを開始する前に、ブート時にブートローダーによってトリガされます。故障が検出されると、CPU は while ループ内で待機し、それ以上処理を進めません。 |
| 4 | MSS R5F メモリ向けのエンドツーエンド ECC | TCM および L2 メモリの診断機能は、1 ビットのエラー訂正と 2 ビットのエラー検出 (SECDED) に対応した ECC 診断をサポートしています。L2 メモリでは、64 ビットのデータバスに対して算出された ECC データを格納するために、8 ビットのコード ワードが使用されます。TCM では、32 ビットのデータバスに対して ECC データを格納するために、7 ビットのコード ワードが使用されます。TCM における ECC の評価は、CPU 内部の ECC 制御ロジックによって行われます。この方式により、CPU と TCM 間の通信においてエンドツーエンドの診断が可能になります。CPU は、シングル ビットおよびダブル ビットのエラー状態に対して、あらかじめ決められた応答 (無視または中止) を行うように構成できます。 |
| 5 | MSS R5F のビットマルチブレキング | 論理的 TCM および L2 メモリのワードと、それに対応する ECC コードは、2 つの物理的な SRAM バンクに分割されて格納されます。この方式では、物理的な SRAM バンクのアドレス デコード障害に対する固有の診断メカニズムが提供されます。バンク アドレッシングのフォルトは、CPU によって ECC フォルトとして検出されます。さらに、論理 (CPU) ワードを生成するためにアクセスされるビットが物理的に隣接しないように、ビット多重化方式が実装されています。この方式により、物理的なマルチブレキングが論理的なマルチビット フォルトとして現れる可能性が低減されます。代わりに、フォルトは複数のシングル ビット フォルトとして現れるようになります。SECDED TCM ECC は論理ワード内のシングル ビット フォルトを訂正できるため、この方式は TCM ECC 診断の有効性を高めます。これら 2 つの機能はどちらもハードウェア機能であり、アプリケーション ソフトウェアによって有効化または無効化することはできません。 |
| 6 | クロック モニタ | デバイスのアーキテクチャは、4 つのデジタル クロック コンバーラー (EDCC) と内部 RCOSC をサポートしています。これらのモジュールは、クロック検出とクロック モニタリングという 2 つの機能を提供します。EDCCA は、ADPLL/APLL のロック検出およびモニタリング専用であり、ADPLL/APLL の出力を分周した信号と、デバイスの基準入力クロックを比較します。EDCCA における障害検出は、デバイスをリープ モードに移行させるように設定することができます。さらに、EDCCA を用いて内部クロックを監視するために、外部リフレンス クロックを入力できる機能も備えています。EDCCB、EDCCC、EDCCD は、ユーザー ソフトウェアから利用可能なモジュールです。任意の 2 つのクロックを比較できます。一例として、CPU クロックをリフレンス クロックまたは内部 RCOSC クロック ソースと比較できます。障害の検出は、エラー シグナリング モジュール (ESM) を介して MSS R5F CPU に通知されます。 |
| 7 | MSS R5F 用 RTI/WDT | デバイスアーキテクチャは、リアルタイム割り込み (RTI) モジュールに実装された内部ウォッチドッグの使用をサポートしています。内部ウォッチドッグには、デジタル ウォッチドッグ (DWD) とデジタル ウィンドウ付きウォッチドッグ (DWWD) という 2 つの動作モードがあります。これらの動作モードは相互に排他的であり、設計者はどちらか一方のモードを選択できますが、同時に両方を使用することはできません。ウォッチドッグは、障害を検出した際に、内部 (ウォーム) システム リセットまたは CPU の非マスク可能割り込みのいずれかを発行できます。ブート時には、ブートローダーによってウォッチドッグが DWD モードで有効化され、ブートプロセスの監視が行われます。アプリケーション コードが制御を取得した後は、アプリケーションの要件に応じて、ウォッチドッグのモードやタイミングを再設定できます。 |
| 8 | MSS R5F 用 MPU | Cortex-R5F CPU には MPU が搭載されています。MPU ロジックを使用すると、デバイス メモリ内のソフトウェア タスクを空間的に分離できます。Cortex-R5F MPU は 16 の領域をサポートしています。オペレーティング システムは MPU を制御し、各タスクのニーズに応じて MPU の設定を変更します。構成済みメモリ保護ポリシーに違反すると、CPU が停止します。 |
| 9 | ペリフェラル インターフェイス SRAM 向けの PBIST - SPI, CAN, イーサネット、EDMA、Mailbox | デバイスアーキテクチャは、ペリフェラル SRAM 用ハードウェア プログラマブル メモリ BIST (PBIST) エンジンもサポートしています。ペリフェラル SRAM メモリ用 PBIST は、アプリケーションによってトリガできます。ユーザーは、PBIST 診断に割り当てる実行時間に基づいて、1 つの SRAM に対して PBIST を実行するか、複数の SRAM に対して実行するかを選択できます。PBIST テストはメモリ内容を破壊する可能性があるため、通常はブート時にのみ実行されます。ただし、ペリフェラル機能の通信に支障がない場合であれば、ユーザーは任意のタイミングでテストを開始できます。PBIST によって障害が検出されると、エラーは PBIST ステータスレジスタに記録されます。 |

**表 9-1. AWR2944P / AWR2E44P / AWR2944-ECO / AWR2E44-ECO / AWR2944LC / AWR2E44LC 向けの監視
および診断メカニズム (続き)**

| なし | 機能 | 説明 |
|------------|---|---|
| 10 | ペリフェラル インターフェイス SRAM 向けの ECC – SPI, CAN, イーサネット, EDMA, Mailbox | ペリフェラル インターフェイス SRAM の診断は、シングル エラー訂正ダブル エラー検出 (SECDED) ECC 診断によってサポートされています。シングル ビットまたはダブル ビット エラーが検出されると、 ESM (エラー信号モジュール) 経由で MSS R5F に通知されます。この機能はリセット後は無効になっています。 ソフトウェアによって、ペリフェラル モジュールおよび ESM モジュールで構成し、有効化する必要があります。ECC 障害 (シングル ビット訂正済みエラーとダブルビット訂正不可能エラーの両方) は、 ESM モジュール経由の割り込みとして MSS R5F に通知されます。 |
| 11 | メイン SS ペリフェラルの構成レジスタ保護 | すべてのメイン サブシステム (SS) のペリフェラル モジュール (SPI, CAN, イーサネット, I2C, DMA, RTI/WD, DCC, EDMA, IOMUX など) は、ペリフェラル センタラル リソース (PCR) 経由で相互接続されています。これにより、ペリフェラルへのアクセスを制限できる 2 つの診断メカニズムが提供されます。ペリフェラルは、PCR 内のペリフェラル チップ セレクトによってクロックをゲートできます。これを利用することで、未使用的機能を無効化し、それらが干渉しないようにすることができます。また、トランザクションの特権レベルに基づいてアクセスを制限するように、各ペリフェラルのチップ セレクトをプログラムできます。この機能を使用することで、特権レベルのオペレーティング システム コードのみにペリフェラル モジュール全体へのアクセスを制限できます。 これらの診断メカニズムは、リセット後は無効化されています。ソフトウェアは、これらのメカニズムを設定して、有効にする必要があります。保護違反が発生すると、 MSS R5F へのアポートや、DMA などの他のホストへのエラー応答が生成されます。 |
| 12 | 巡回冗長検査 - メイン SS | デバイス アーキテクチャは、メイン SS でハードウェア CRC エンジンをサポートし、以下の多项式を実装しています。 <ul style="list-style-type: none">CRC16 CCITT – 0x10CRC32 Ethernet – 0x04C11DB7CRC64CRC 32C – CASTAGNOLI – 0x1EDC6F4CRC64 ECMA CRC への SRAM 内容の読み取り動作は、CPU または DMA によって行うことができます。結果の比較、フォルトの表示、およびフォルト応答は、テストを管理するソフトウェアの責任となります。 |
| 13 | MPU | デバイスのアーキテクチャは、メイン SS 内の一部のペリフェラル ポートに対して MPU をサポートしています。これには、L2 メモリ、PCR ペリフェラル アクセス、QSPI アクセス、R5F の AXI ペリフェラル アクセスが含まれます。これにより、メイン SS 内のこれらの重要な領域に対してアクセス権限を設定することができます。 デフォルトでは、このコントロールは HSM にあります。 |
| 14 | DMA 用 MPU | デバイス アーキテクチャは、メイン SS EDMA の MPU をサポートしています。EDMA には、読み出しポートおよび書き込みポートの両方にに対して MPU が含まれています。EDMA MPU は 8 つの領域をサポートしています。MPU によって障害が検出されると、ローカル ESM 経由の割り込みとしてコアに通知されます。 |
| 15 | インターネットの安全性 | デバイスのアーキテクチャは、システム インターネット上の転送に対してハードウェア ベースの保護メカニズムをサポートしています。コード実行には、インターネット上に接続されたメモリからの命令フェッチが含まれるため、インターネット上の転送は、バリティおよび冗長性に基づくメカニズムの組み合わせによって安全に設計されています。転送中に検出されたすべての障害は、 ESM インターフェイスを通じて報告されます。このメカニズムは HW でデフォルトで有効になっています。 |
| 16 | エラー通知モジュール | 診断で故障が検出された場合は、エラーを通知する必要があります。デバイス アーキテクチャは、エラー信号モジュール (ESM) と呼ばれるペリフェラル ロジックを使用して、内部の監視 / 診断メカニズムからのフォルト通知をまとめて処理します。ESM は、エラーを重大度に応じて分類し、プログラマブルなエラー応答を行なうためのメカニズムを提供します。 ESM モジュールはカスタマーのアプリケーション コードによって設定され、特定のエラー信号を有効化またはマスクして、 MSS R5F CPU に対して低優先度または高優先度の割り込みを発生させることができます。 また、このデバイスは Nerror 出力信号 (I/O) をサポートしており、これを外部で監視することで、 R5F では処理されない設計上の重大な障害を検出することができます。 |
| 17 | 温度センサ | デバイスのアーキテクチャは、チップ内のデジタル領域における温度のホットスポットに複数の温度センサを備えており、これらは内部の GPADC チャンネルを通じてアプリケーションから監視できます。 |
| 18 | 電圧モニタ | デバイスのアーキテクチャは、外部の電圧モニタと連携して、チップに接続された電源レールの監視をサポートしています。 |
| DSP サブシステム | | |
| 1 | DSP コア用のブート時 LBIST | デバイスは、DSP コア用のブート時 LBIST をサポートしています。機能安全アプリケーションの起動前に、 MSS R5F のセカンドリ ブートローダーまたはアプリケーション コードによって LBIST をトリガできます。 |
| 2 | ブート時の PBIST 対象: L1P, L1D, L2, L3 メモリ、HWA メモリ、RSS メモリ (ADCBUF, CQ メモリ)、メールボックス | デバイスのアーキテクチャは、DSPSS および RSS メモリに対して、非常に高い診断カバレッジ (March-13n) を提供するハードウェア プログラマブルなメモリ BIST (PBIST) エンジンをサポートしています。 PBIST は、機能安全アプリケーションを開始する前に、 MSS R5F のセカンドリ ブートローダーまたはアプリケーション コードによってトリガされます。 |
| 3 | L1P にはバリティ、L1D には ECC が適用 | デバイス アーキテクチャは、DSP の L1P メモリでバリティ診断をサポートします。バリティ エラーは、割り込みとして CPU に通知されます。 L1D メモリは SECDED ECC でカバーされます。 |
| 4 | DSP の L2 メモリの ECC | デバイス アーキテクチャは、DSP の L1D メモリと L2 メモリにおいて、バリティとシングル エラー訂正ダブル エラー検出 (SECDED) ECC 診断の両方をサポートします。L2 メモリは、DSP のプログラム セクションとデータ セクションを保存するために使用される統合型 384KB のメモリです。256 ビットのデータバス (論理命令エッチ サイズ) に対して計算された ECC データを保存するために、12 ビットのコード ワードを使用します。L2 アクセスの ECC ロジックは DSP 内に配置されており、DSP 内部の ECC 制御ロジックを使用して評価を行ないます。この方式により、DSP と L2 の間の送信について、エンド ツー エンドの診断が可能になります。バイト整列バリティメカニズムは、データ セクションを処理するために L2 でも利用できます。 |
| 5 | レーダ データ キューブ (L3) メモリ、HWA メモリ、RSS メモリ (ADCBUF)、および Mailbox の ECC 対応 | L3 メモリは、デバイスのレーダ データ セクションとして使用されます。このアーキテクチャは、L3 メモリにおいて、シングル エラー訂正ダブル エラー検出 (SECDED) ECC 診断をサポートしています。ECC データの格納には、256 ビットのデータバス上で計算された値に対して、12 ビットのコード ワードが使用されます。 RSS メモリ (ADCBUF) も SECDED ECC 診断に対応しています。 ECC ロジックによって検出された障害は、 ESM を介して割り込みとして DSP コアに通知されます。 |

**表 9-1. AWR2944P / AWR2E44P / AWR2944-ECO / AWR2E44-ECO / AWR2944LC / AWR2E44LC 向けの監視
および診断メカニズム (続き)**

| なし | 機能 | 説明 |
|--|------------------|--|
| 6 | DSP コア用 RTI/WDT | デバイスアーキテクチャは、リアルタイム割り込み (RTI) モジュールに実装された DSP C66x の内部ウォッチドギングの使用をサポートしています。このウォッチドギングは、メイン SS で使用されるのと同じモジュールの複製です。このモジュールは、MSS 向けの RTI/WD と同様の機能をサポートしています。 このウォッチドギングは、ユーザーのアプリケーションコードによって有効化されます。タイムアウトが発生すると、その状態は DSP および/または MSS R5F に割り込みで通知され、それ以降の安全状態への移行処理は MSS R5F 上のアプリケーションコードに委ねられます。 |
| 7 | DSP サブシステム用の CRC | デバイスアーキテクチャは、DSPSS でハードウェア CRC エンジンをサポートし、以下の多项式を実装しています。 <ul style="list-style-type: none"> CRC16 CCITT – 0x10 CRC32 Ethernet – 0x04C11DB7 CRC64 CRC 32C – CASTAGNOLI – 0x1EDC6F4 CRC64 ECMA CRC への SRAM 内容の読み取り動作は、CPU または DMA によって行うことができます。結果の比較、�ルトの表示、および�ルト応答は、テストを管理するソフトウェアの責任となります。 |
| 8 | DSP の MPU | デバイスアーキテクチャは、DSP メモリアクセス (L1D, L1P, L2) 用の MPU をサポートします。L2 メモリは 64 の領域、L1P および L1D はそれぞれ 16 の領域をサポートしています。MPU によって障害が検出されると、処理中断として DSP コアに通知されます。 |
| 9 | MPU | デバイスのアーキテクチャは、DSP SS 内の特定のペリフェラル ポートに対して MPU をサポートしており、その対象には L3 メモリ パンクが含まれます。これにより、DSP SS 内のこれらの重要な領域に対するアクセス許可を設定することができます。 デフォルトでは、このコントロールは HSM にあります。 |
| BIST (RADAR サブシステム内) | | |
| 注: BIST は TI のファームウェアによって管理されます。安全メカニズムに関する情報については、 mmWave-MCUPPLUS-SDK パッケージに含まれる mmWave インターフェイス コントロール ドキュメントおよび安全マニュアルを参照してください。 | | |

注

すべての診断機能の適用可能性の詳細については、『デバイス安全マニュアル』またはその他の関連資料を参照してください。

10 アプリケーション、実装、およびレイアウト

注

以下のアプリケーションに関するセクションの情報は、テキサス・インスツルメンツの部品仕様の一部ではなく、テキサス・インスツルメンツはこれらの情報の正確性や完全性を保証しません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

以下のアプリケーションにおけるデバイスの主な機能は次の通りです。

- レーダー フロント エンドとプログラマブル MCU の統合
- AWR2E44P/LC/ECO 向けのローンチ オン パッケージ(LOP) アンテナ インターフェース
- 柔軟なブート モード:シリアル フラッシュを使用した自律アプリケーションのブート、または SPI 経由の外部ブート
- ハードウェア セキュリティ モジュール
- 最大 1000Mbps の高速イーサネットをサポート

10.2 短距離、中距離、長距離のレーダー

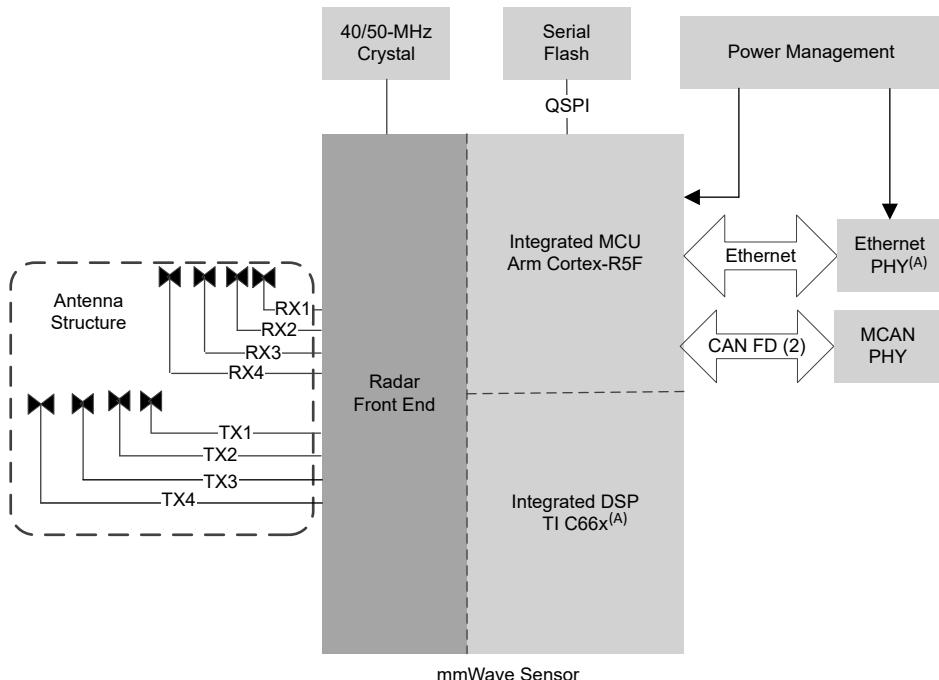


図 10-1. 短距離、中距離、長距離のレーダー

注

A. DSP とイーサネットは、一部の型番で利用可能です。詳細については、[セクション 4](#) を参照してください。

10.3 リファレンス回路図

参考回路図および電源供給に関する情報については、アクセスについて TI 担当者にお問い合わせください。

11 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

11.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポートツールのすべての型番に接頭辞が割り当てられています。各デバイスには次の 3 つのいずれかの接頭辞があります: X、P、空白 (接頭辞なし) (例: XA2F44BDALL)。テキサス・インスツルメンツでは、サポートツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMDX)から、完全認定済みの量産デバイスツール(TMDS)まであります。

デバイスの開発進展フロー:

X 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。

P プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン ダイの量産バージョン。

サポートツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポートツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポートツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス(X または P)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。このサフィックスは、パッケージ タイプ (たとえば、お使いのパッケージ)、温度範囲 (たとえば、空欄は標準の商用温度範囲)、およびデバイスの動作速度範囲 (たとえば、お使いのデバイスの速度範囲(MHz)) を示します。図 x は、お使いのデバイスの完全な名称の読み方を理解するための凡例を示しています。

お使いのデバイスの注文可能な品番 (お使いのパッケージタイプ別) については、本書の「パッケージ オプション補足資料」、TI のウェブサイト(ti.com)、または TI の営業担当までお問い合わせください。

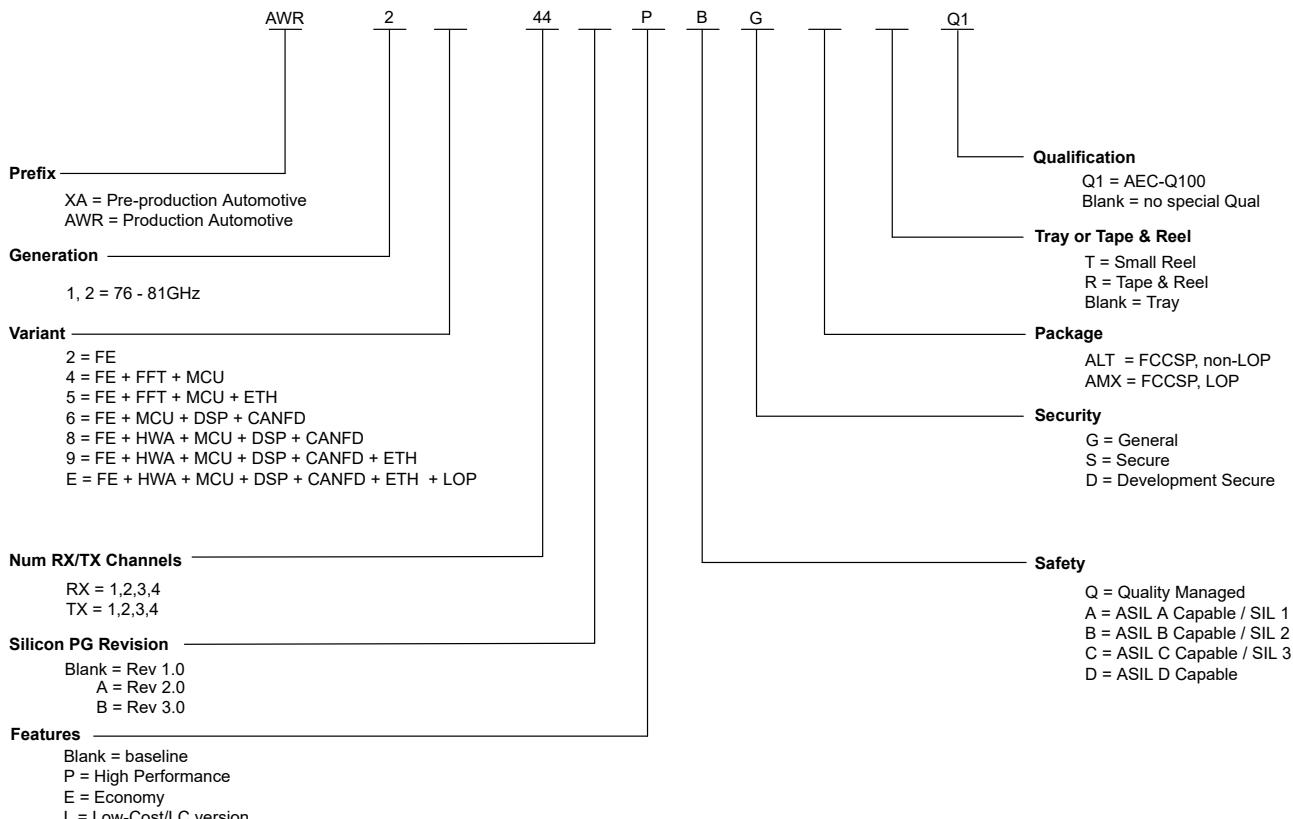


図 11-1. デバイスの命名規則

11.2 ツールとソフトウェア

特定のデバイスの IEEE 1149.1 でテスト可能な入力および出力ピンのバウンダリスキャン データベースについては、TI の担当者にお問い合わせください。

デバイスの IO バッファに関する IBIS モデル IO バッファは、TI の担当者にお問い合わせいただくことで入手できます。基板上でのシミュレーションについては、IBIS Open Forum を参照してください。

11.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

このセクションの内容は以降のバージョンで更新されます。

11.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

11.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

Arm® and Cortex-R5F® are registered trademarks of Arm Limited.

すべての商標は、それぞれの所有者に帰属します。

11.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。



ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

Changes from NOVEMBER 30, 2024 to JUNE 30, 2025 (from Revision * (November 2024) to Revision A (June 2025))

| | Page |
|---|------|
| • AEC-Q100 のステータスを「計画中」から「認証済み」に変更..... | 0 |
| • LC バリアントが DSP、イーサネット、および LVDS をサポートしないことを反映するように情報を更新..... | 0 |
| • (特長): HWA のバージョンを 2.0 から 2.1 に更新..... | 1 |
| • ASIL-B を認定済みに更新..... | 1 |
| • デバイスのバリアントに RTM OPN を追加..... | 3 |
| • Cortex-M4 の説明を更新..... | 3 |
| • 機能ブロック図を更新..... | 5 |
| • HWA 制御のための DSS_M4 の行を追加..... | 7 |
| • 表を更新..... | 25 |
| • (電源仕様): パワー マネージメント ソリューションに関する推奨事項を追加..... | 41 |
| • (マルチバッファ付き) 標準シリアル ペリフェラル インターフェイス (MibSPI): 表と図を更新..... | 43 |
| • (マルチバッファ付き) 標準シリアル ペリフェラル インターフェイス (MibSPI): クロック デューティ サイクルを更新..... | 51 |
| • (マルチバッファ付き) 標準シリアル ペリフェラル インターフェイス (MibSPI): クロック デューティ サイクルを更新..... | 54 |
| • TX 仕様を更新..... | 58 |
| • (MII 送信のスイッチング特性): 遅延時間、miin_txclk から送信される選択信号が有効になるまでの時間 [No. 1] を、3ns から 0ns (最小) に更新/変更..... | 61 |
| • (イーサネットスイッチ (RGMII/RMII/MII) ペリフェラル): MDIO クロックのデューティ サイクルを更新..... | 63 |
| • (受信サブシステム): 20MHz に更新..... | 76 |
| • (プロセッサ サブセクション): 図に M4 コアを追加..... | 77 |
| • (プロセッサ サブシステム): L3 で 1.5/2.5/3MB に更新..... | 77 |
| • (監視と診断のメカニズム): セクションを更新し、安全関連の補足資料への注記を追記..... | 81 |
| • (監視と診断のメカニズム): このデザインは、多項式をサポートしていないため、CRC-8 のサポートを削除..... | 81 |
| • (デバイスの命名規則): XA を AWR に変更..... | 86 |

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package Pins | Package qty Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|-----------------------|---------------|----------------------|-------------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|------------------------|
| AWR2944EBGALTRQ1 | Active | Production | FCCSP (ALT) 266 | 1000 LARGE T&R | Yes | Call TI | Level-3-260C-168 HR | -40 to 140 | AWR2944E BG 539A |
| AWR2944LBGALTRQ1 | Active | Production | FCCSP (ALT) 266 | 1000 LARGE T&R | Yes | Call TI | Level-3-260C-168 HR | -40 to 140 | AWR2944L BG 539A |
| AWR2944PBGALTRQ1 | Active | Production | FCCSP (ALT) 266 | 1000 LARGE T&R | Yes | Call TI | Level-3-260C-168 HR | -40 to 140 | AWR2944P BG 539A |
| AWR2E44EBGAMXRQ1 | Active | Production | FCCSP (AMX) 278 | 1000 LARGE T&R | Yes | Call TI | Level-3-260C-168 HR | -40 to 140 | AWR2E44E BG 539A |
| AWR2E44LBGAMXRQ1 | Active | Production | FCCSP (AMX) 278 | 1000 LARGE T&R | Yes | Call TI | Level-3-260C-168 HR | -40 to 140 | AWR2E44L BG 539A |
| AWR2E44PBGAMXRQ1 | Active | Production | FCCSP (AMX) 278 | 1000 LARGE T&R | Yes | Call TI | Level-3-260C-168 HR | -40 to 140 | AWR2E44P BG 539A |

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

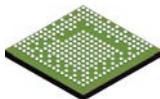
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

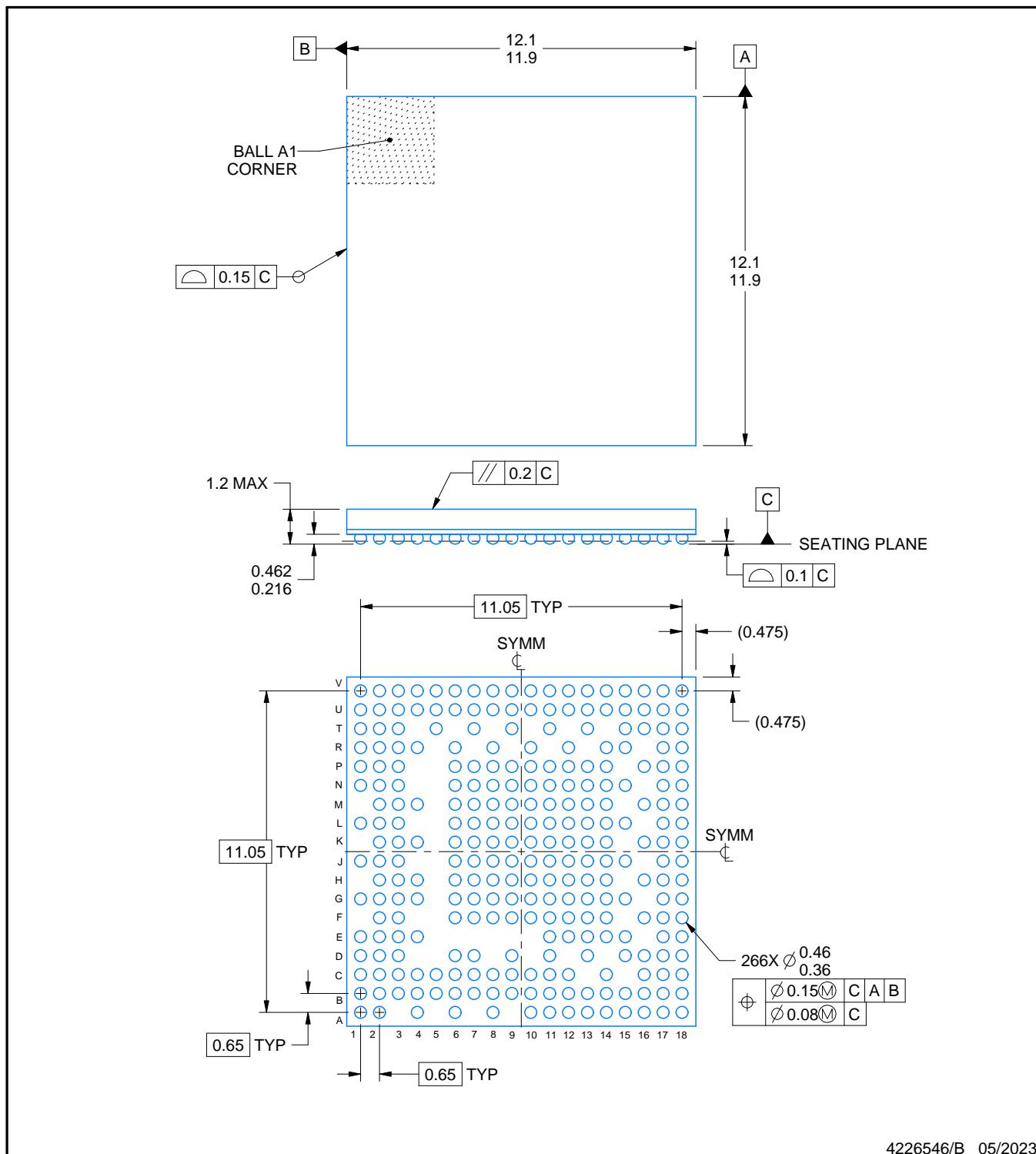
PACKAGE OUTLINE

ALT0266A



FCBGA - 1.2 mm max height

BALL GRID ARRAY



4226546/B 05/2023

NOTES:

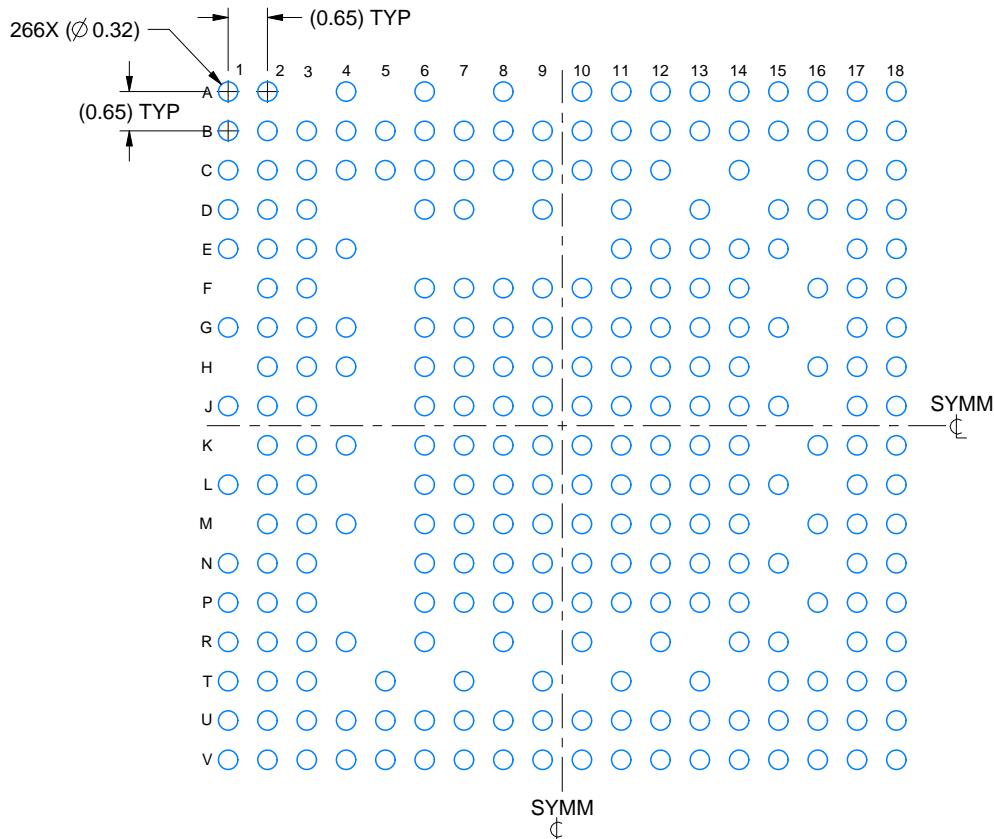
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

ALT0266A

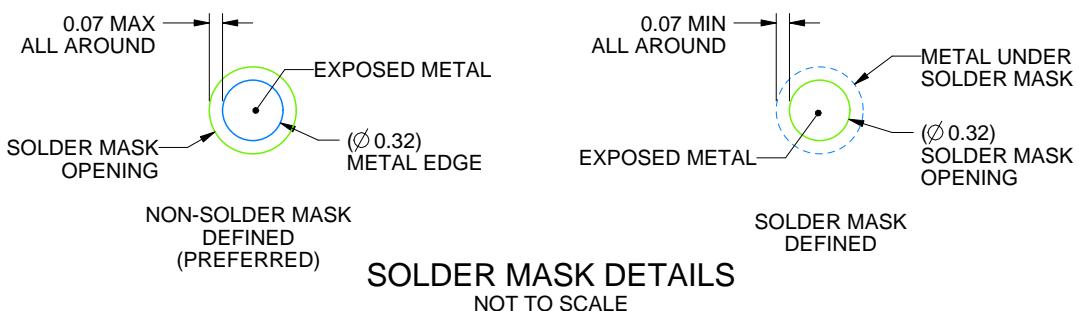
FCBGA - 1.2 mm max height

BALL GRID ARRAY



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN
SCALE: 8X



4226546/B 05/2023

NOTES: (continued)

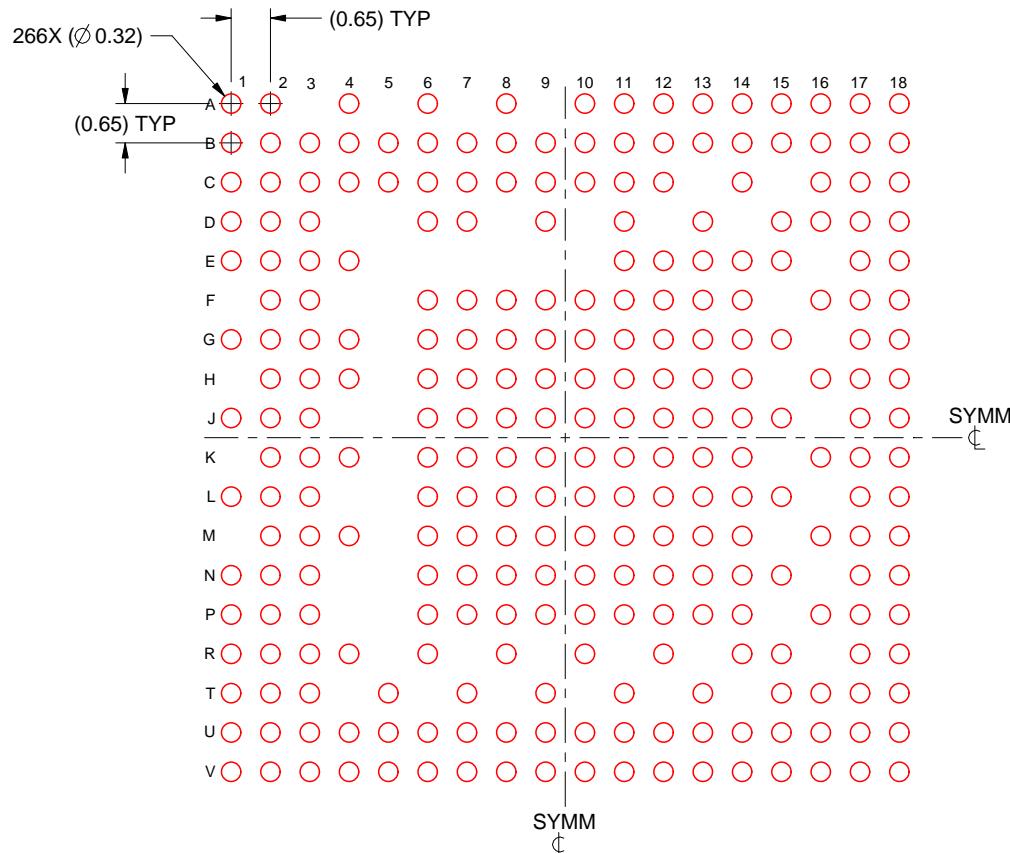
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

ALT0266A

FCBGA - 1.2 mm max height

BALL GRID ARRAY



SOLDER PASTE EXAMPLE

BASED ON 0.125 mm THICK STENCIL

SCALE: 8X

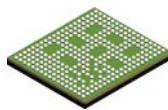
4226546/B 05/2023

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

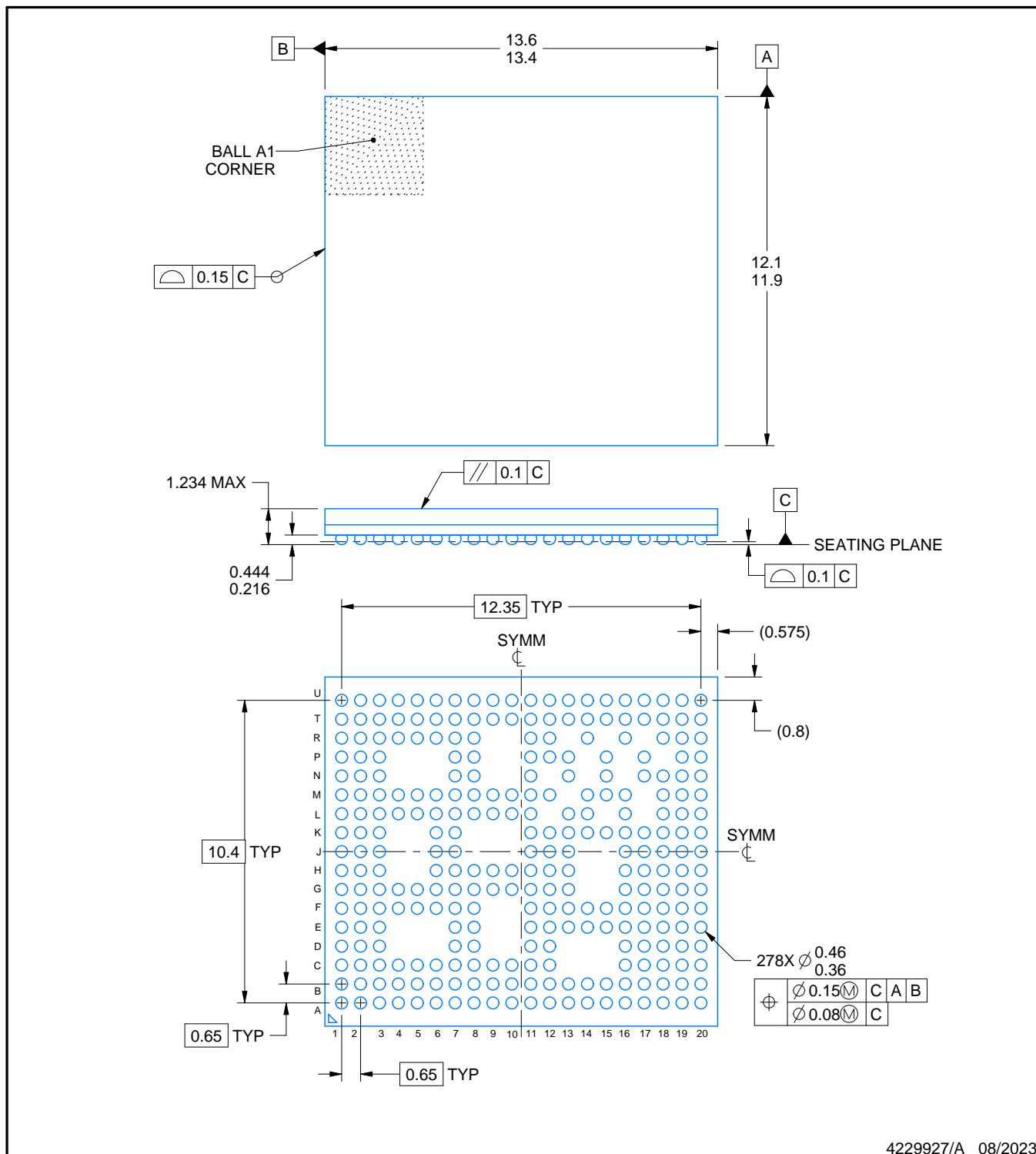
PACKAGE OUTLINE

AMX0278A



FCCSP - 1.234 mm max height

BALL GRID ARRAY



NOTES:

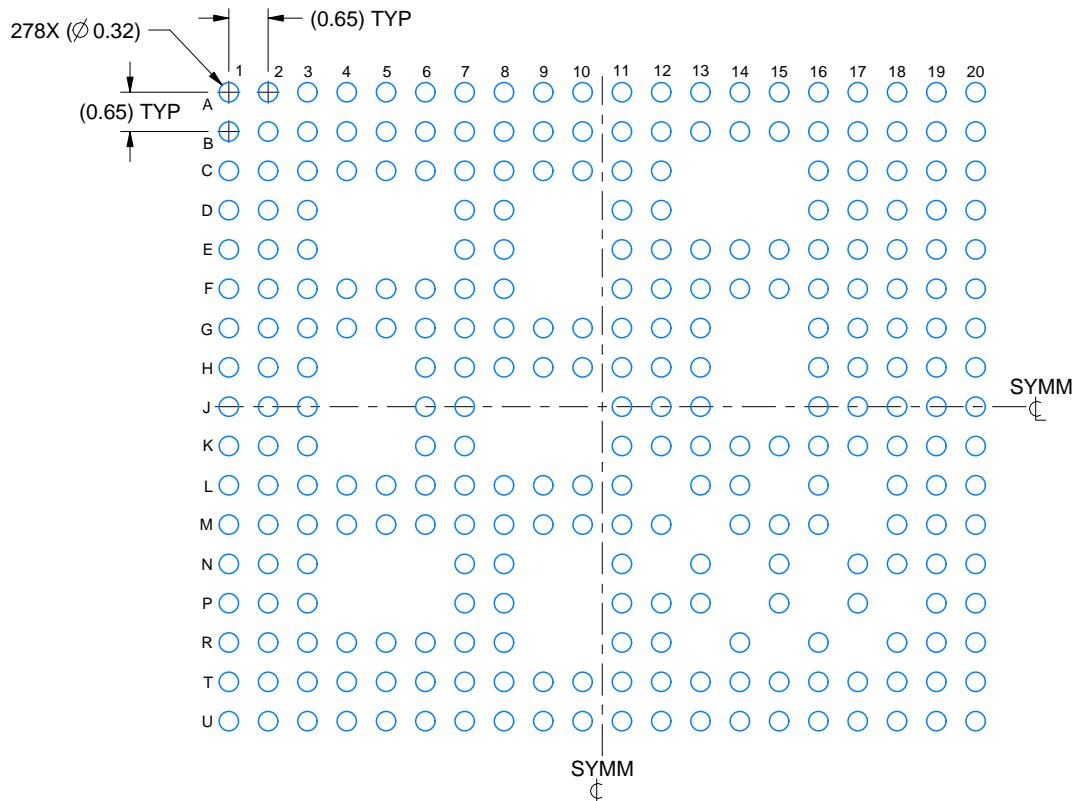
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

AMX0278A

FCCSP - 1.234 mm max height

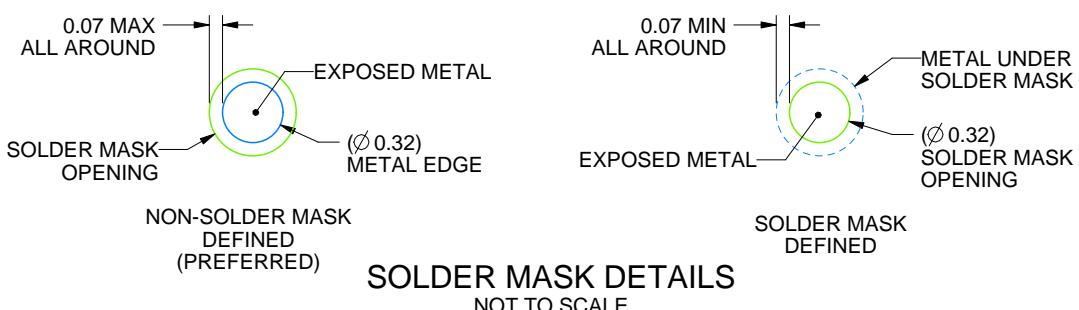
BALL GRID ARRAY



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 8X



4229927/A 08/2023

NOTES: (continued)

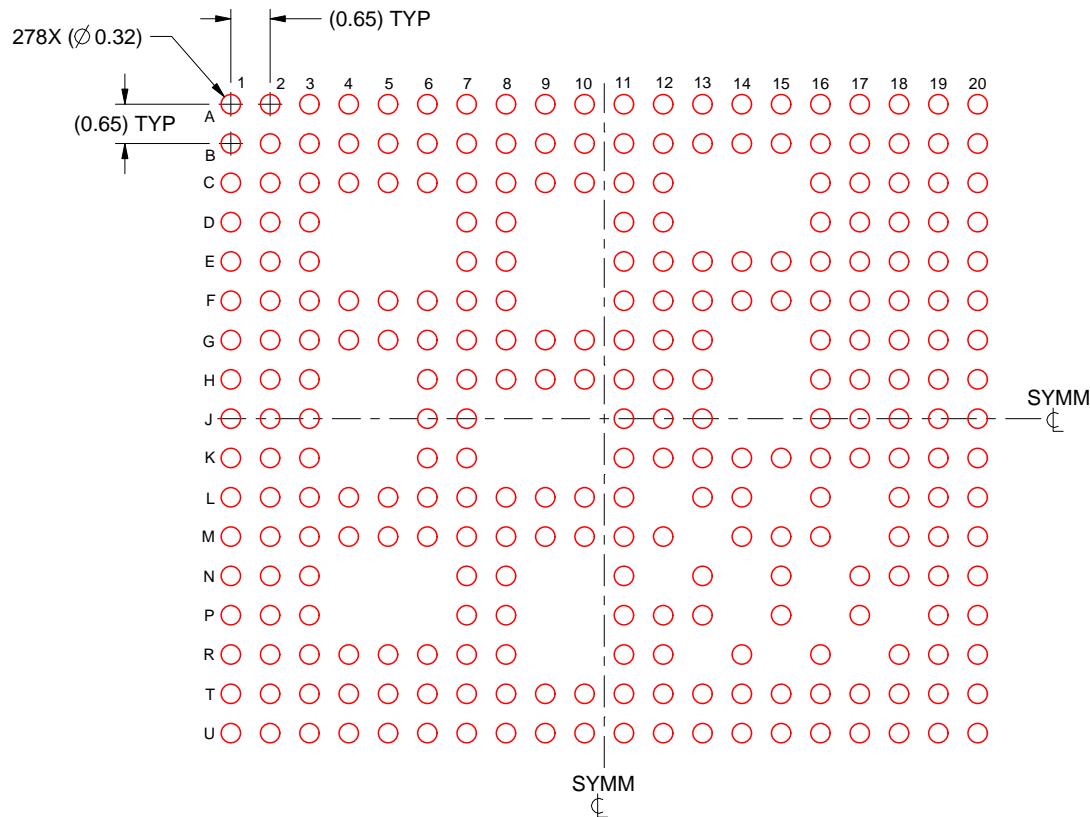
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

AMX0278A

FCCSP - 1.234 mm max height

BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

4229927/A 08/2023

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月