

CDx4AC245、CDx4ACT245 オクタール・バス・トランシーバ、3 ステート、非反転型

1 特長

- バッファ付き入力
- 伝搬遅延時間 (標準値)
 - $V_{CC} = 5V$, $T_A = 25^\circ C$, $C_L = 50pF$ で 4ns
- SCR ラッチアップ耐性の高い CMOS プロセスと回路設計
- 消費電力を大幅に低減した、バイポーラ FAST™/AS/S の速度
- 伝搬遅延時間の平衡化
- AC タイプは 1.5V~5.5V で動作し、バランスのとれたノイズ耐性を電源の 30% で実現
- $\pm 24mA$ 出力駆動電流
 - 15 個の FAST™ IC にファンアウト
 - 50Ω 伝送ラインを駆動します

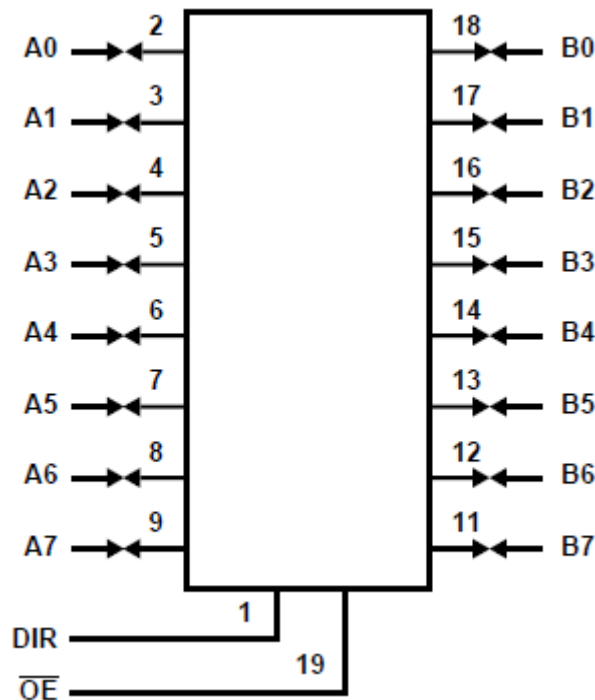
2 概要

「AC245」と「ACT245」は、アドバンスト CMOS ロジックテクノロジーを採用したオクタール バストランシーバです。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ (2)	本体サイズ (3)
CD74AC245/ CD74ACT245	N (PDIP, 20)	24.33mm × 9.4mm	24.33mm × 6.35mm
	DW (SOIC, 20)	12.80mm × 10.3mm	12.80mm × 7.50mm
CD54AC245/ CD54ACT245	J (CDIP, 20)	24.2mm × 7.62mm	24.2mm × 6.92mm
	DB (SSOP, 20)	7.2mm × 7.8mm	7.2mm × 5.3mm

- (1) 詳細については、[セクション 10](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



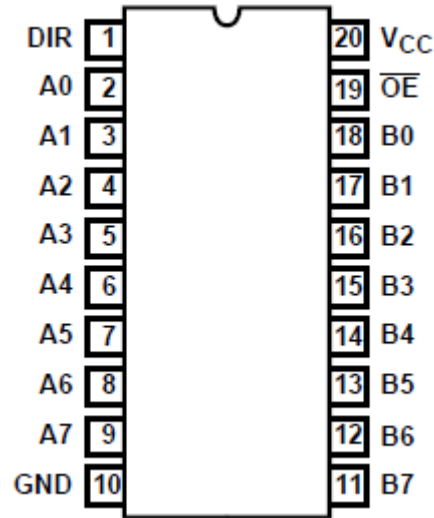
論理図 (正論理)



Table of Contents

1 特長	1	6.3 Device Functional Modes.....	11
2 概要	1	7 Application and Implementation	12
3 Pin Configuration and Functions	3	7.1 Power Supply Recommendations.....	12
4 Specifications	4	7.2 Layout.....	12
4.1 Absolute Maximum Ratings.....	4	8 Device and Documentation Support	13
4.2 Recommended Operating Conditions.....	4	8.1 Documentation Support.....	13
4.3 Thermal Information.....	4	8.2 ドキュメントの更新通知を受け取る方法.....	13
4.4 Electrical Characteristics.....	5	8.3 サポート・リソース.....	13
4.5 Switching Characteristics.....	6	8.4 Trademarks.....	13
4.6 Timing Diagrams.....	8	8.5 静電気放電に関する注意事項.....	13
5 Parameter Measurement Information	10	8.6 用語集.....	13
6 Detailed Description	11	9 Revision History	13
6.1 Overview.....	11	10 Mechanical, Packaging, and Orderable Information	14
6.2 Functional Block Diagram.....	11		

3 Pin Configuration and Functions




3-1. CD54AC245, CD54ACT245 (CERDIP), CD74AC245, CD74ACT245 (PDIP, SOIC, SSOP) Top View

Pin Functions

PIN		TYPE ¹	DESCRIPTION
NO.	NAME		
1	DIR	I/O	Direction Pin
2	A0	I/O	A1 Input/Output
3	A1	I/O	A2 Input/Output
4	A2	I/O	A3 Input/Output
5	A3	I/O	A4 Input/Output
6	A4	I/O	A5 Input/Output
7	A5	I/O	A6 Input/Output
8	A6	I/O	A7 Input/Output
9	A7	I/O	A8 Input/Output
10	GND	—	Ground Pin
11	B7	I/O	B7 Input/Output
12	B6	I/O	B6 Input/Output
13	B5	I/O	B5 Input/Output
14	B4	I/O	B4 Input/Output
15	B3	I/O	B3 Input/Output
16	B2	I/O	B2 Input/Output
17	B1	I/O	B1 Input/Output
18	B0	I/O	B0 Input/Output
19	\overline{OE}	I/O	Output Enable
20	V _{CC}	—	Power Pin

(1) Signal Types: I = Input, O = Output, I/O = Input or Output

4 Specifications

4.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			MIN	MAX	UNIT
V _{CC}	Supply voltage		-0.5	6	V
I _{IK}	Input diode current	V _I < -0.5V or V _I > V _{CC} + 0.5V		± 20	mA
I _{OK}	Output diode current	V _O < -0.5V or V _O > V _{CC} + 0.5V		± 50	mA
I _O	Output source or sink current per output pin	V _O > -0.5V or V _O < V _{CC} + 0.5V		± 50	mA
I _{OK} ⁽²⁾	V _{CC} or ground current	I _{CC} or I _{GND}		± 100	mA
T _{stg}	Storage temperature		-65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) For up to 4 outputs per device, add ±25mA for each additional output.

4.2 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		CDx4AC245		CDx4ACT245		UNIT
		MIN	MAX	MIN	MAX	
V _{CC}	Supply voltage ⁽¹⁾	1.5V	5.5V	4.5V	5.5V	V
V _I , V _O	Input or Output Voltage	0V	V _{CC}	0V	V _{CC}	V
dt/dv	Input Rise and Fall Slew Rate	1.5V to 3V	50			ns
		3.6V to 5.5V	20			
		4.5V to 5.5V			10	
T _A	Temperature range	-55	125	-55	125	°C

- (1) Unless otherwise specified, all voltages are referenced to ground.

4.3 Thermal Information

THERMAL METRIC ⁽¹⁾		CDx4AC14/ CDx4ACT14			UNIT
		N (PDIP)	DW (SOIC)	DB (SSOP)	
		20 PINS			
R _{θJA}	Junction-to-ambient thermal resistance	69	98.6	105.4	°C/W

- (1) For more information about traditional and new thermal metrics, see the *Semiconductor and IC Package Thermal Metrics* application report, [SPRA953](#).

4.4 Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS		V _{CC}	T _A = 25°C		-40°C TO 85°C		-55°C TO 125°C		UNIT	
		V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX		
AC TYPES												
V _{IH}	High-level input voltage			1.5	1.2		1.2		1.2		V	
				3	2.1		2.1		2.1			
				5.5	3.85		3.85		3.85			
V _{IL}	Low-level input voltage	V _{IL}		1.5	0.3		0.3		0.3		V	
				3	0.9		0.9		0.9			
				5.5	1.65		1.65		1.65			
V _{OH}	High-level output voltage	V _{IH} or V _{IL}		-0.05	1.5	1.4		1.4		1.4	V _{VOH}	
				-0.05	3	2.9		2.9		2.9		
				-0.05	4.5	4.4		4.4		4.4		
				-4	3	2.58		2.48		2.4		
				-24	4.5	3.94		3.8		3.7		
				-75	5.5			3.85				
V _{OL}	Low-level output voltage	V _{IH} or V _{IL}		0.05	1.5 V	0.1		0.1		0.1	V	
				0.05	3 V	0.1		0.1		0.1		
				0.05	4.5 V	0.1		0.1		0.1		
				12	3 V	0.36		0.44		0.5		
				24	4.5 V	0.36		0.44		0.5		
				75 ¹	5.5 V			1.65				
I _I	Input leakage current	V _{CC} or GND		5.5		± 0.1		± 1		± 1	μ A	
I _{OZ}	Three-state leakage current	V _{IH} or V _{IL} , V _O = V _{CC} or GND		5.5 V		± 0.5		± 5		± 10	μ A	
I _{CC}	Quiescent supply current MSI	V _{CC} or GND	0	5.5 V		8		80		160	μ A	
ACT TYPES												
V _{IH}	High-level input voltage			4.5 V to 5.5 V	2		2		2		V	
V _{IL}	Low-level input voltage			4.5 V to 5.5 V		0.8		0.8		0.8	V	
V _{OH}	High-level output voltage	V _{IH} or V _{IL}		-0.05	4.5 V	4.4		4.4		4.4	0.8	V
				-24	4.5 V	3.94		3.8		3.7		
				-75 ¹	5.5 V			3.85				
				-50	5.5 V					3.85		

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS		V _{CC}	T _A = 25°C		-40°C TO 85°C		-55°C TO 125°C		UNIT
	V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX	
V _{OL} Low-level output voltage	V _{IH} or V _{IL}	0.05	4.5	0.1		0.1		0.1		V
		24	4.5	0.36		0.44		0.5		
		75 ¹	5.5			1.65				
		50 ¹	5.5					1.65		
									V	
I _I Input leakage current	V _{CC} or GND		5.5 V	± 0.1		± 1		± 1		µA
I _{OZ} Three-state or leakage current	V _{IH} or V _{IL} , V _O = V _{CC} or GND		5.5 V	± 0.5		± 5		± 10		µA
I _{CC} Quiescent supply current MSI	V _{CC} or GND	0	5.5 V	8		80		160		µA
Δ I _{CC} Additional supply current per input pin TTL inputs high 1 unit load	V _{CC} -2.1		4.5 to 5.5	2.4		2.8		3		mA

1. Test one output at a time for a 1-second maximum duration. Measurement is made by forcing current and measuring voltage to minimize power dissipation. Test verifies a minimum 50Ω transmission-line-drive capability at 85°C, 75Ω at 125°C.

4.5 Switching Characteristics

Input t_r, t_f = 3ns, C_L = 50pF (Worst Case). Over recommended operating free-air temperature range (unless otherwise noted) (see [Load Circuit and Voltage Waveforms](#))

PARAMETER	V _{CC} (V)	-40°C TO 85°C			-55°C TO 125°C			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
AC TYPES								
t _{PLH} , t _{PHL} Propagation delay, data to output	1.5			96			106	ns
	3.3	3.2		10.8	3		11.9	
	5	2.2		7.7	2.1		8.5	
t _{PLZ} , t _{PHZ} Propagation delay, output disable to output	1.5			159			175	ns
	3.3	4.7		15.9	4.4		17.5	
	5	3.7		12.7	3.5		14	
t _{PZL} , t _{PZH} Propagation delay, output enable to output	1.5			159			175	ns
	3.3	5.6		19	5.3		21	
	5	3.7		12.7	3.5			
V _{OHV} Minimum (Valley) V _{OH} During switching of other outputs (output under test not switching)	5	4 at 25°C			4 at 25°C			V

Input t_r , $t_f = 3\text{ns}$, $C_L = 50\text{pF}$ (Worst Case). Over recommended operating free-air temperature range (unless otherwise noted) (see [Load Circuit and Voltage Waveforms](#))

PARAMETER		V _{CC} (V)	-40°C TO 85°C			-55°C TO 125°C			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
V _{OLP}	Maximum (Peak) V _{OL} During switching of other outputs (output under test not switching)	5	1 at 25°C			1 at 25°C			V
C _O	Three-state output capacitance		15			15			pF
C _I	Input capacitance		10			10			pF
C _{PD}	Power dissipation capacitance		57			57			pF
ACT TYPES									
t _{PLH} , t _{PHL}	Propagation delay, data to output	5	2.7		9.1	2.5		10	ns
t _{PLZ} , t _{PHZ}	Propagation delay, output disable to output	5	3.7		12.7	3.5		14	ns
t _{PZL} , t _{PZH}	Propagation delay, output enable to output	5	3.8		13.1	3.6		14.4	ns
V _{OHV}	Minimum (Valley) V _{OH} During switching of other outputs (output under test not switching)	5	4 at 25°C			4 at 25°C			V
V _{OLP}	Maximum (Peak) V _{OL} During switching of other outputs (output under test not switching)	5	1 at 25°C			1 at 25°C			V
C _O	Three-state output capacitance		15			15			pF
C _I	Input capacitance		10			10			pF
C _{PD}	Power dissipation capacitance		57			57			pF

- Limits tested 100%
- 3.3V Min is at 3.6V, Max is at 3V
- 5V Min is at 5.5V, Max is at 4.5V
- CPD is used to determine the dynamic power consumption per channel
 - AC: $PD = VCC^2 f_i (CPD + CL)$
 - ACT: $PD = VCC^2 f_i (CPD + CL) + VCC \Delta ICC$ where f_i = input frequency, CL = output load capacitance, VCC = supply voltage

4.6 Timing Diagrams

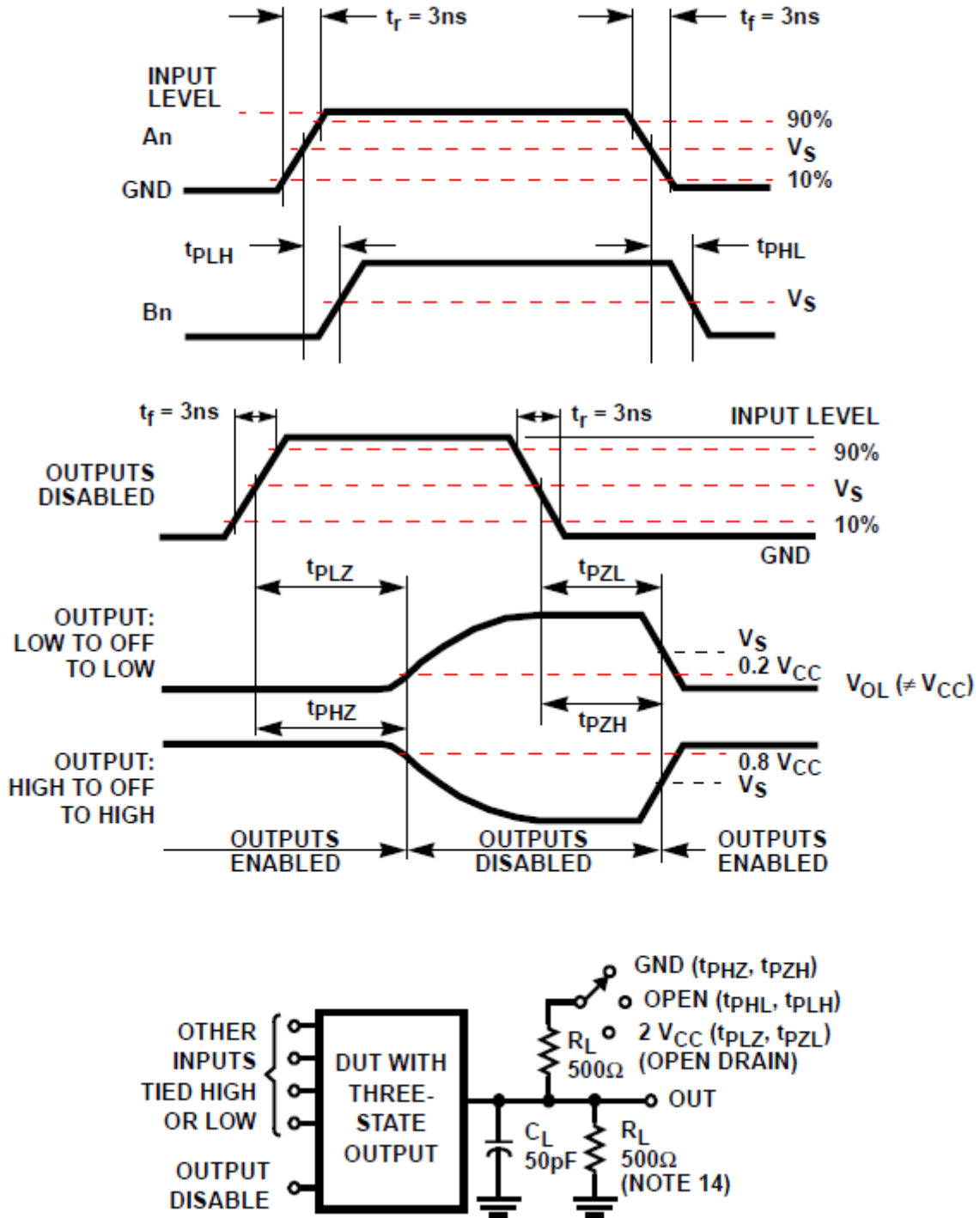


図 4-1. THREE-STATE PROPAGATION DELAY TIMES AND TEST CIRCUIT

図 4-1. SIMULTANEOUS SWITCHING TRANSIENT WAVEFORMS

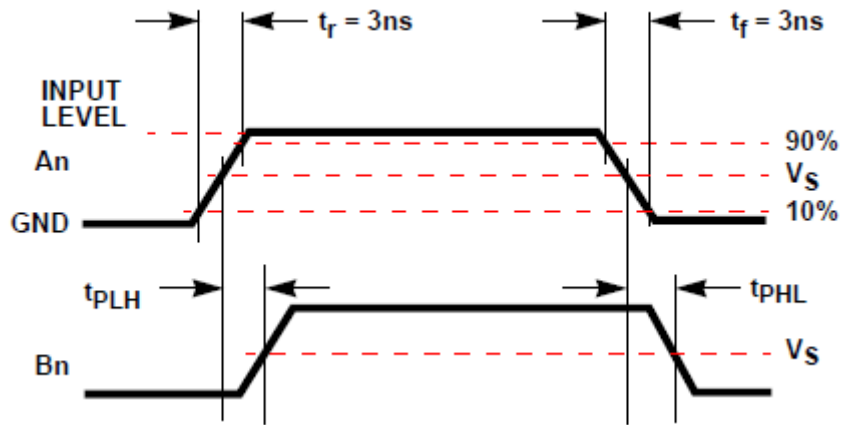
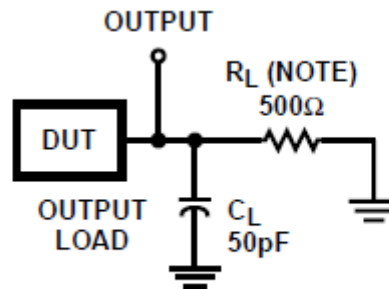


図 4-3. PROPAGATION DELAY TIMES



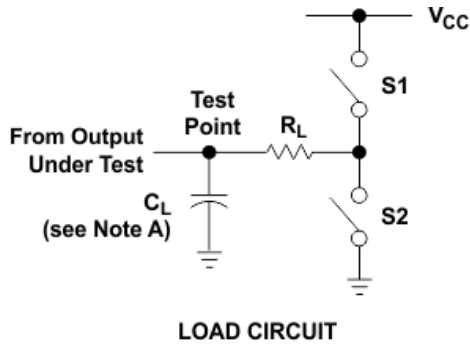
NOTE: For AC Series Only: When $V_{CC} = 1.5\text{V}$, $R_L = 1\text{k}\Omega$.

表 4-1.

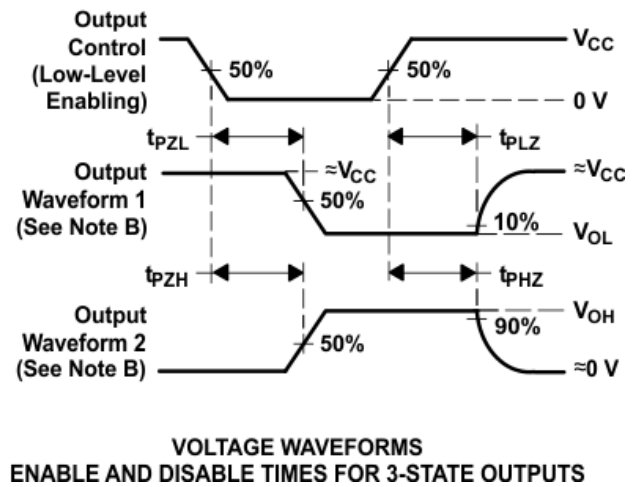
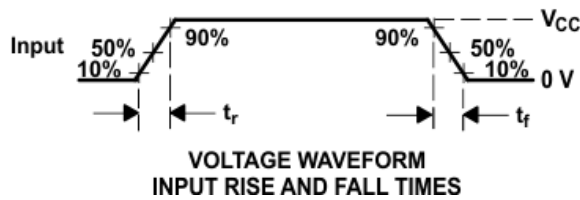
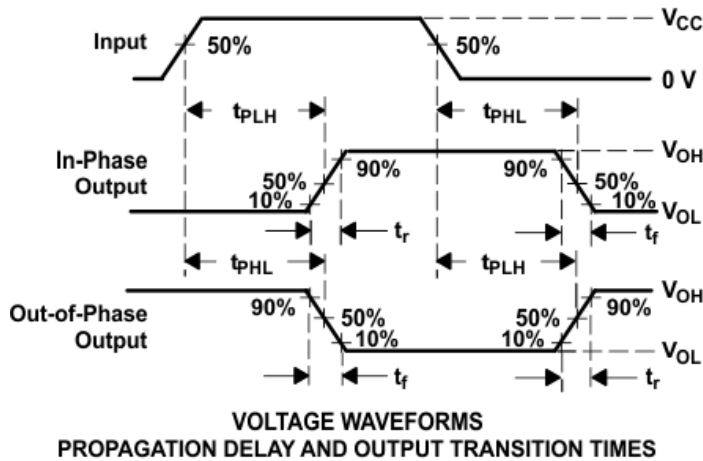
	AC	ACT
Input Level	V_{CC}	3V
Input Switching Voltage, V_S	$0.5 V_{CC}$	1.5V
Output Switching Voltage, V_S	$0.5 V_{CC}$	$0.5 V_{CC}$

図 4-4. PROPAGATION DELAY TIMES

5 Parameter Measurement Information



PARAMETER	R_L	C_L	S1	S2
t_{en}	1 k Ω	50 pF or 150 pF	Open	Closed
			Closed	Open
t_{dis}	1 k Ω	50 pF	Open	Closed
			Closed	Open
t_{pd} or t_t	--	50 pF or 150 pF	Open	Open

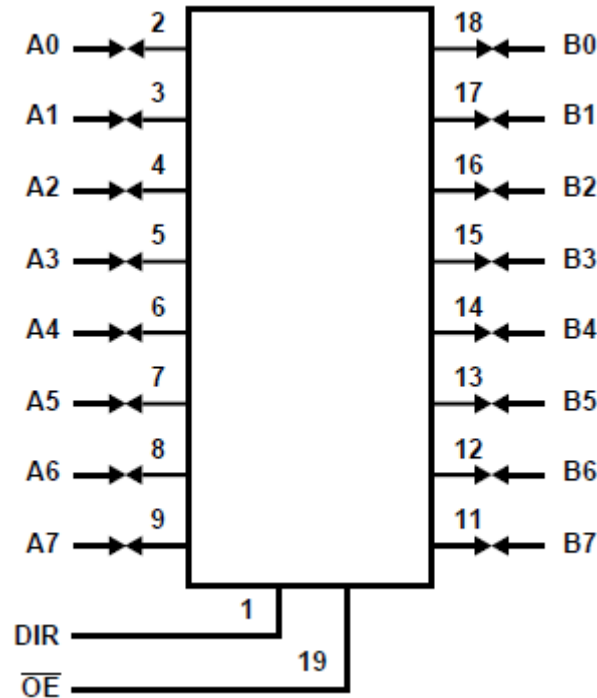


6 Detailed Description

6.1 Overview

The 'AC245 and 'ACT245 are non-inverting three-state bidirectional transceiver-buffers intended for two-way transmission from “A” bus to “B” bus or “B” bus to “A”. The logic level present on the direction input (DIR) determines the data direction. When the output enable input (\overline{OE}) is HIGH, the outputs are in the high-impedance state.

6.2 Functional Block Diagram



Logic Diagram (Positive Logic)

6.3 Device Functional Modes

Function Table lists the function modes of the CDx4AC245, CDx4ACT245.

表 6-1. Function Table

INPUTS ⁽¹⁾		OPERATION
OE	DIR	
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

(1) H = High Voltage Level, L = Low Voltage Level, X = Don't Care

7 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Power Supply Recommendations

The power supply can be any voltage between the MIN and MAX supply voltage rating located in the [セクション 4.2](#).

Each V_{CC} pin should have a good bypass capacitor to prevent power disturbance. For devices with a single supply, 0.1 μF is recommended; if there are multiple V_{CC} pins, then 0.01 μF or 0.022 μF is recommended for each power pin. It is acceptable to parallel multiple bypass caps to reject different frequencies of noise. A 0.1 μF and a 1 μF are commonly used in parallel. The bypass capacitor should be installed as close to the power pin as possible for best results.

7.2 Layout

7.2.1 Layout Guidelines

When using multiple-bit logic devices, inputs should never float.

In many cases, functions or parts of functions of digital logic devices are unused, for example, when only two inputs of a triple-input AND gate are used or only 3 of the 4 buffer gates are used. Such input pins should not be left unconnected because the undefined voltages at the outside connections result in undefined operational states. [セクション 7.2.2](#) specifies the rules that must be observed under all circumstances. All unused inputs of digital logic devices must be connected to a high or low bias to prevent them from floating. The logic level that should be applied to any particular unused input depends on the function of the device. Generally they will be tied to GND or V_{CC} , whichever makes more sense or is more convenient. It is generally acceptable to float outputs, unless the part is a transceiver. If the transceiver has an output enable pin, it will disable the output section of the part when asserted. This will not disable the input section of the IOs, so they cannot float when disabled.

7.2.2 Layout Example

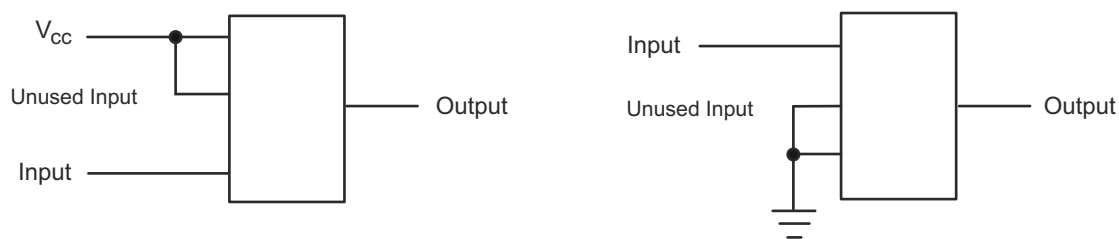


図 7-1. Layout Diagram

8 Device and Documentation Support

8.1 Documentation Support

8.1.1 Related Links

The table below lists quick access links. Categories include technical documents, support and community resources, tools and software, and quick access to sample or buy.

表 8-1. Related Links

PARTS	PRODUCT FOLDER	SAMPLE & BUY	TECHNICAL DOCUMENTS	TOOLS & SOFTWARE	SUPPORT & COMMUNITY
CD54AC245	Click here	Click here	Click here	Click here	Click here
CD74AC245	Click here	Click here	Click here	Click here	Click here
CD54ACT245	Click here	Click here	Click here	Click here	Click here
CD74ACT245	Click here	Click here	Click here	Click here	Click here

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (May 2023) to Revision D (April 2024)	Page
• 「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、「製品情報」表のパッケージサイズを追加.....	1
• Updated RθJA values: DW = 58 to 98.6, DB = 70 to 105.4, all values in °C/W	4

Changes from Revision B (April 2002) to Revision C (May 2023)

Page

- 「パッケージ情報」表、「ピンの機能」表、「熱に関する情報」表を追加 1
-

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated