

CDx4AC257, CDx4ACT257, CD74ACT258 3 ステート出力のクワッド 2 入力マルチプレクサ

1 特長

- 'AC257、'ACT257: 非反転出力
- CD74ACT258: 反転出力
- バッファ付き入力
- 伝搬遅延時間 (標準値)
 - $V_{CC} = 5V$, $T_A = 25^\circ C$, $C_L = 50pF$ で 4.4ns
- MIL-STD-883, Method 3015 の 2kV を超える ESD 保護
- SCR ラッチアップ耐性の高い CMOS プロセスと回路設計
- 消費電力を大幅に低減した、バイポーラ FAST™/AS/S の速度
- 平衡化された伝搬遅延
- AC タイプは 1.5V~5.5V で動作、電源の 30% での平衡ノイズ耐性を実現
- $\pm 24mA$ 出力駆動電流
 - 15 個の FAST™ IC にファンアウト
- 50Ω 伝送ラインを駆動

2 概要

'AC257、'ACT257、CD74ACT258 は、アドバンスド CMOS ロジック技術を採用した、スリー ステート出力のクワッド 2 入力マルチプレクサです。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾	本体サイズ ⁽³⁾
CDx4AC257, CDx4ACT257, CD74ACT258	D (SOIC, 16)	9.9mm × 6 mm	9.9mm × 3.9 mm
	N (PDIP, 16)	19.3mm × 9.4 mm	19.3mm × 6.35 mm

- (1) 詳細については、[セクション 10](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。

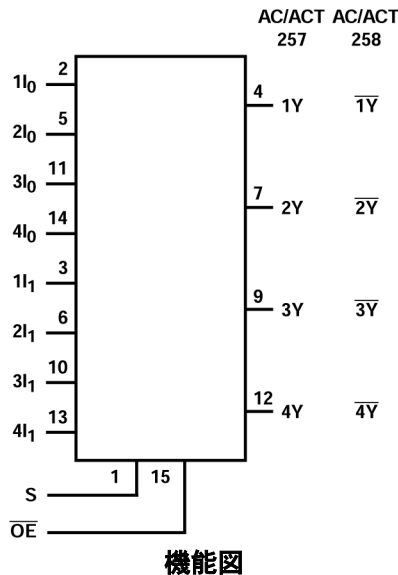


Table of Contents

1 特長	1	7 Application and Implementation	11
2 概要	1	7.1 Power Supply Recommendations.....	11
3 Pin Configuration and Functions	3	7.2 Layout.....	11
4 Specifications	4	8 Device and Documentation Support	12
4.1 Absolute Maximum Ratings.....	4	8.1 Documentation Support (Analog).....	12
4.2 Recommended Operating Conditions.....	4	8.2 ドキュメントの更新通知を受け取る方法.....	12
4.3 Thermal Information.....	4	8.3 サポート・リソース.....	12
4.4 Electrical Characteristics.....	4	8.4 Trademarks.....	12
4.5 Switching Specifications.....	6	8.5 静電気放電に関する注意事項.....	12
5 Parameter Measurement Information	8	8.6 用語集.....	12
6 Detailed Description	10	9 Revision History	12
6.1 Overview.....	10	10 Mechanical, Packaging, and Orderable Information	13
6.2 Functional Block Diagram.....	10		
6.3 Device Functional Modes.....	10		

3 Pin Configuration and Functions

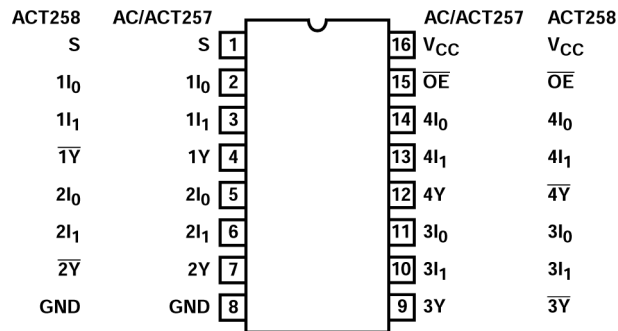


图 3-1. CD54AC257, CD54ACT257 J Package; CD74AC257, CD74ACT257, CD74ACT258 N or D Package; 16-Pin CDIP, PDIP or SOIC (Top View)

表 3-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
S	1	I	Select
1I ₀	2	I	Channel 1 Input 0
1I ₁	3	I	Channel 1 Input 1
1Y	4	O	Channel 1 Output
2I ₀	5	I	Channel 2 Input 0
2I ₁	6	I	Channel 2 Input 1
2Y	7	O	Channel 2 Output
GND	8	G	Ground
3Y	9	O	Channel 3 Output
3I ₁	10	I	Channel 3 Input 1
3I ₀	11	I	Channel 3 Input 0
4Y	12	O	Channel 4 Output
4I ₁	13	I	Channel 4 Input 1
4I ₀	14	I	Channel 4 Input 0
OE	15	I	Output Enable
V _{CC}	16	P	Positive Supply

(1) I = Input, O = Output, I/O = Input or Output, G = Ground, P = Power.

4 Specifications

4.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V _{CC}	Supply voltage	-0.5	6	V
I _{IK}	Input diode current	V _I < -0.5V or V _I > V _{CC} + 0.5V		±20 mA
I _{OK}	Output diode current	V _O < -0.5V or V _O > V _{CC} + 0.5V		±50 mA
I _O	Output source or sink current per output pin	V _O > -0.5V or V _O < V _{CC} + 0.5V		±50 mA
I _{CC} or I _{GND} ⁽²⁾	V _{CC} or ground current			±100 mA
T _{stg}	Maximum storage temperature	-65	150	°C

- (1) Stresses above those listed in “Absolute Maximum Ratings” may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.
- (2) For up to 4 outputs per device, add ±25mA for each additional output.

4.2 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	MAX	UNIT
T _A	Temperature Range	-55	125	°C
V _{CC} ⁽¹⁾	Supply Voltage Range			
	AC Types	1.5	5.5	V
	ACT Types	4.5	5.5	V
V _I , V _O	DC Input or Output Voltage	0	V _{CC}	V
dt/dv	Input Rise and Fall Slew Rate			
1.5V to 3V	AC Types		50	ns
3.6V to 5.5V	AC Types		20	ns
4.5V to 5.5V	ACT Types		10	ns

- (1) Unless otherwise specified, all voltages are referenced to ground.

4.3 Thermal Information

THERMAL METRIC ⁽¹⁾		D	UNIT
		16 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	119.9	°C/W

- (1) θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

4.4 Electrical Characteristics

PARAMETER	SYMBOL	TEST CONDITIONS		V _{CC} (V)	25°C		-40°C TO 85°C		-55°C TO 125°C		UNIT
		V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX	
AC TYPES											
High Level Input Voltage	V _{IH}	-	-	1.5	1.2	-	1.2	-	1.2	-	V
				3	2.1	-	2.1	-	2.1	-	V
				5.5	3.85	-	3.85	-	3.85	-	V
Low Level Input Voltage	V _{IL}	-	-	1.5	-	0.3	-	0.3	-	0.3	V
				3	-	0.9	-	0.9	-	0.9	V
				5.5	-	1.65	-	1.65	-	1.65	V

PARAMETER	SYMBOL	TEST CONDITIONS		V _{CC} (V)	25°C		-40°C TO 85°C		-55°C TO 125°C		UNIT
		V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX	
High Level Output Voltage	V _{OH}	V _{IH} or V _{IL}	-0.05	1.5	1.4	-	1.4	-	1.4	-	V
			-0.05	3	2.9	-	2.9	-	2.9	-	V
			-0.05	4.5	4.4	-	4.4	-	4.4	-	V
			-4	3	2.58	-	2.48	-	2.4	-	V
			-24	4.5	3.94	-	3.8	-	3.7	-	V
			-75 ^{(1), (2)}	5.5	-	-	3.85	-	-	-	V
			-50 ^{(1), (2)}	5.5	-	-	-	-	3.85	-	V
Low Level Output Voltage	V _{OL}	V _{IH} or V _{IL}	0.05	1.5	-	0.1	-	0.1	-	0.1	V
			0.05	3	-	0.1	-	0.1	-	0.1	V
			0.05	4.5	-	0.1	-	0.1	-	0.1	V
			12	3	-	0.36	-	0.44	-	0.5	V
			24	4.5	-	0.36	-	0.44	-	0.5	V
			75 ^{(1), (2)}	5.5	-	-	-	1.65	-	-	V
			50 ^{(1), (2)}	5.5	-	-	-	-	-	1.65	V
Input Leakage Current	I _I	V _{CC} or GND	-	5.5	-	±0.1	-	±1	-	±1	µA
Three-State Leakage Current	I _{OZ}	V _{IH} or V _{IL} V _O = V _{CC} or GND	-	5.5	-	±0.5	-	±5	-	±10	µA
Quiescent Supply Current MSI	I _{CC}	V _{CC} or GND	0	5.5	-	8	-	80	-	160	µA
ACT TYPES											
High Level Input Voltage	V _{IH}	-	-	4.5 to 5.5	2	-	2	-	2	-	V
Low Level Input Voltage	V _{IL}	-	-	4.5 to 5.5	-	0.8	-	0.8	-	0.8	V
High Level Output Voltage	V _{OH}	V _{IH} or V _{IL}	-0.05	4.5	4.4	-	4.4	-	4.4	-	V
			-24	4.5	3.94	-	3.8	-	3.7	-	V
			-75 ^{(1), (2)}	5.5	-	-	3.85	-	-	-	V
			-50 ^{(1), (2)}	5.5	-	-	-	-	3.85	-	V
Low Level Output Voltage	V _{OL}	V _{IH} or V _{IL}	0.05	4.5	-	0.1	-	0.1	-	0.1	V
			24	4.5	-	0.36	-	0.44	-	0.5	V
			75 ^{(1), (2)}	5.5	-	-	-	1.65	-	-	V
			50 ^{(1), (2)}	5.5	-	-	-	-	-	1.65	V
Input Leakage Current	I _I	V _{CC} or GND	-	5.5	-	±0.1	-	±1	-	±1	µA
Three-State or Leakage Current	I _{OZ}	V _{IH} or V _{IL} V _O = V _{CC} or GND	-	5.5	-	±0.5	-	±5	-	±10	µA
Quiescent Supply Current MSI	I _{CC}	V _{CC} or GND	0	5.5	-	8	-	80	-	160	µA
Additional Supply Current per Input Pin TTL Inputs High 1 Unit Load	ΔI _{CC}	V _{CC} -2.1	-	4.5 to 5.5	-	2.4	-	2.8	-	3	mA

- (1) Test one output at a time for a 1-second maximum duration. Measurement is made by forcing current and measuring voltage to minimize power dissipation.
(2) Test verifies a minimum 50Ω transmission-line-drive capability at 85°C, 75Ω at 125°C.

**表 4-1. ACT Input Load
Table**

INPUT	UNIT LOAD
Data	0.83
S	1.27
OE	1.27

注

Unit load is ΔI_{CC} limit specified in DC Electrical Specifications Table, e.g., 2.4mA max at 25°C.

4.5 Switching Specifications

Input t_r , $t_f = 3ns$, $C_L = 50pF$ (Worst Case)

PARAMETER	SYMBOL	V_{CC} (V)	-40°C TO 85°C			-55°C TO 125°C			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
AC TYPES									
Propagation Delay, In to Y AC/ ACT257	t_{PLH} , t_{PHL}	1.5	-	-	106	-	-	117	ns
		3.3 ⁽¹⁾	3.3	-	11.8	3.3	-	13	ns
		5 ⁽²⁾	2.4	-	8.5	2.3	-	9.3	ns
Propagation Delay, S to Y AC/ ACT257	t_{PLH} , t_{PHL}	1.5	-	-	153	-	-	168	ns
		3.3	4.8	-	17.1	4.7	-	18.8	ns
		5	3.5	-	12.2	3.4	-	13.4	ns
Propagation Delay, OE to Y AC/ ACT257	t_{PLZ} , t_{PHZ} , t_{PZL} , t_{PZH}	1.5	-	-	167	-	-	184	ns
		3.3	5.3	-	18.7	5.2	-	20.6	ns
		5	3.8	-	13.4	3.7	-	14.7	ns
Propagation Delay, In to Y' AC/ CD74ACT258	t_{PLH} , t_{PHL}	1.5	-	-	91	-	-	100	ns
		3.3	2.9	-	10.2	2.8	-	11.2	ns
		5	2.1	-	7.3	2	-	8	ns
Propagation Delay, S to Y' AC/ CD74ACT258	t_{PLH} , t_{PHL}	1.5	-	-	153	-	-	168	ns
		3.3	4.8	-	17.1	4.7	-	18.8	ns
		5	3.5	-	12.2	3.4	-	13.4	ns
Propagation Delay, OE to Y' AC/ CD74ACT258	t_{PLZ} , t_{PHZ} , t_{PZL} , t_{PZH}	1.5	-	-	167	-	-	184	ns
		3.3	5.3	-	18.7	5.2	-	20.6	ns
		5	3.8	-	13.4	3.7	-	14.7	ns
Three-State Output Capacitance	C_O	-	-	-	15	-	-	15	pF
Input Capacitance	C_I	-	-	-	10	-	-	10	pF
Power Dissipation Capacitance	C_{PD} ⁽³⁾	-	-	130	-	-	130	-	pF
ACT TYPES									
Propagation Delay, In to Y AC/ ACT257	t_{PLH} , t_{PHL}	5 ⁽²⁾	2.8	-	9.7	2.7	-	10.7	ns
Propagation Delay, S to Y AC/ ACT257	t_{PLH} , t_{PHL}	5	4	-	14	3.9	-	15.4	ns
Propagation Delay, OE to Y AC/ ACT257	t_{PLZ} , t_{PHZ} , t_{PZL} , t_{PZH}	5	4.1	-	14.6	4	-	16.1	ns
Propagation Delay, In to Y' AC/ CD74ACT258	t_{PLH} , t_{PHL}	5	2.4	-	8.5	2.3	-	9.3	ns
Propagation Delay, S to Y' AC/ CD74ACT258	t_{PLH} , t_{PHL}	5	4	-	14	3.9	-	15.4	ns
Propagation Delay, OE to Y' AC/ CD74ACT258	t_{PLZ} , t_{PHZ} , t_{PZL} , t_{PZH}	5	4.1	-	14.6	4	-	16.1	ns

Input t_r , $t_f = 3\text{ns}$, $C_L = 50\text{pF}$ (Worst Case)

PARAMETER	SYMBOL	V_{CC} (V)	-40°C TO 85°C			-55°C TO 125°C			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
Three-State Output Capacitance	C_O	-	-	-	15	-	-	15	pF
Input Capacitance	C_I	-	-	-	10	-	-	10	pF
Power Dissipation Capacitance	C_{PD} ⁽³⁾	-	-	130	-	-	130	-	pF

- (1) 3.3V Min is at 3.6V, Max is at 3V.
 (2) 5V Min is at 5.5V, Max is at 4.5V.
 (3) C_{PD} is used to determine the dynamic power consumption per multiplexer.

注

$$\text{AC: } P_D = C_{PD} V_{CC}^2 f_i + \sum (C_L V_{CC}^2 f_o)$$

$$\text{ACT: } P_D = C_{PD} V_{CC}^2 f_i + \sum (C_L V_{CC}^2 f_o) + V_{CC} \Delta I_{CC} \text{ where } f_i = \text{input frequency, } f_o = \text{output frequency, } C_L = \text{output load capacitance, } V_{CC} = \text{supply voltage.}$$

5 Parameter Measurement Information

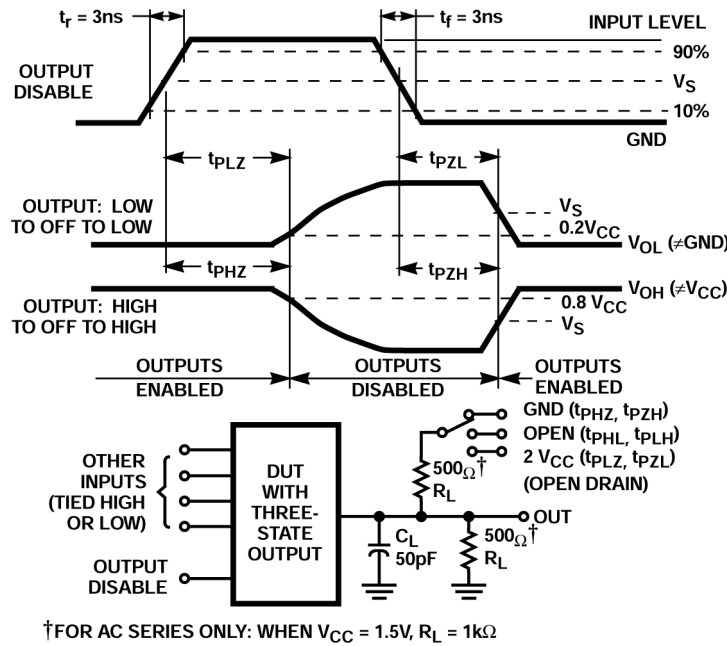


图 5-1. Three-State Propagation Delay Times and Test Circuit

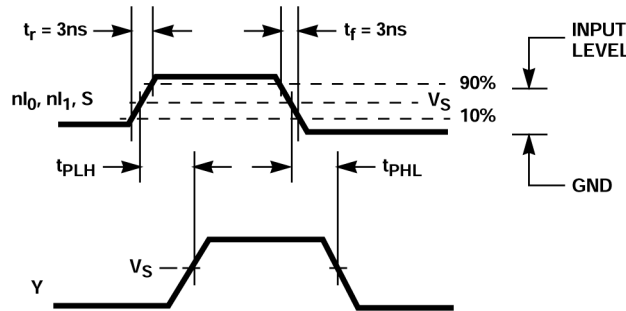


图 5-2. inputs or select to output propagation delays (ac/act257)

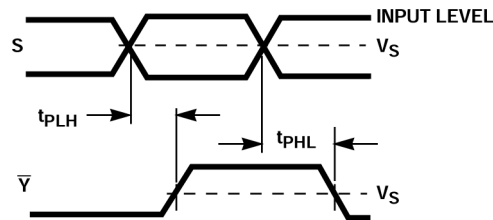


图 5-3. Select to Output Propagation Delays (CD74ACT258)

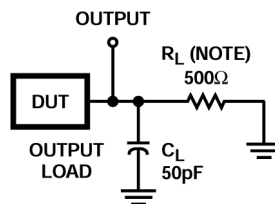


图 5-4.

For AC Series Only: When $V_{CC} = 1.5V$, $R_L = 1k\Omega$.

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	$2 \times V_{CC}$
t_{PHZ}/t_{PZH}	GND

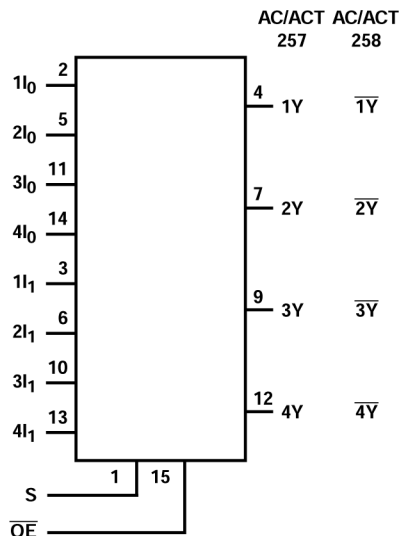
6 Detailed Description

6.1 Overview

Each of these devices selects four bits of data from two sources under the control of a common Select input (S). The Output Enable (\overline{OE}) is active LOW. When \overline{OE} is HIGH, all of the outputs (Y or \overline{Y}) are in the high-impedance state regardless of all other input conditions.

Moving data from two groups of registers to four common output buses is a common use of the 'AC257, 'ACT257, and CD74ACT258. The state of the Select input determines the particular register from which the data comes. The 'AC257, 'ACT257 and CD74ACT258 can also be used as function generators.

6.2 Functional Block Diagram



6.3 Device Functional Modes

表 6-1. Truth Table

OUTPUT ENABLE	SELECT INPUT	DATA INPUTS		257 OUTPUTS	258 OUTPUTS
\overline{OE}	S	I_0	I_1	Y	\overline{Y}
H	X	X	X	Z	Z
L	L	L	X	L	H
L	L	H	X	H	L
L	H	X	L	L	H
L	H	X	H	H	L

7 Application and Implementation

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Power Supply Recommendations

The power supply can be any voltage between the minimum and maximum supply voltage rating located in the *Recommended Operating Conditions*. Each V_{CC} terminal should have a good bypass capacitor to prevent power disturbance. A $0.1\mu\text{F}$ capacitor is recommended for this device. It is acceptable to parallel multiple bypass capacitors to reject different frequencies of noise. The $0.1\mu\text{F}$ and $1\mu\text{F}$ capacitors are commonly used in parallel. The bypass capacitor should be installed as close to the power terminal as possible for best results.

7.2 Layout

7.2.1 Layout Guidelines

When using multiple-input and multiple-channel logic devices, inputs must never be left floating. In many cases, functions or parts of functions of digital logic devices are unused; for example, when only two inputs of a triple-input AND gate are used or only 3 of the 4 buffer gates are used. Such unused input pins must not be left unconnected because the undefined voltages at the outside connections result in undefined operational states. All unused inputs of digital logic devices must be connected to a logic high or logic low voltage, as defined by the input voltage specifications, to prevent them from floating. The logic level that must be applied to any particular unused input depends on the function of the device. Generally, the inputs are tied to GND or V_{CC} , whichever makes more sense for the logic function or is more convenient.

8 Device and Documentation Support

8.1 Documentation Support (Analog)

8.1.1 Related Documentation

PARTS	PRODUCT FOLDER	SAMPLE & BUY	TECHNICAL DOCUMENTS	TOOLS & SOFTWARE	SUPPORT & COMMUNITY
CD54AC257	Click here	Click here	Click here	Click here	Click here
CD54ACT257	Click here	Click here	Click here	Click here	Click here
CD74AC257	Click here	Click here	Click here	Click here	Click here
CD74ACT257	Click here	Click here	Click here	Click here	Click here
CD74ACT258	Click here	Click here	Click here	Click here	Click here

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

Changes from Revision A (May 2000) to Revision B (August 2024) Page

- パッケージ情報の表、ピンの機能の表、ESD 定格の表、熱に関する情報の表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加..... 1

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CD54AC257F3A	ACTIVE	CDIP	J	16	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	CD54AC257F3A	Samples
CD54ACT257F3A	ACTIVE	CDIP	J	16	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	CD54ACT257F3A	Samples
CD74AC257E	ACTIVE	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-55 to 125	CD74AC257E	Samples
CD74AC257M	OBSOLETE	SOIC	D	16		TBD	Call TI	Call TI	-55 to 125	AC257M	
CD74AC257M96	ACTIVE	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC257M	Samples
CD74ACT257E	ACTIVE	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-55 to 125	CD74ACT257E	Samples
CD74ACT257EE4	ACTIVE	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-55 to 125	CD74ACT257E	Samples
CD74ACT257M	OBSOLETE	SOIC	D	16		TBD	Call TI	Call TI	-55 to 125	ACT257M	
CD74ACT257M96	ACTIVE	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT257M	Samples
CD74ACT258M	OBSOLETE	SOIC	D	16		TBD	Call TI	Call TI	-55 to 125	ACT258M	
CD74ACT258M96	ACTIVE	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ACT258M	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

- (4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.
- (5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.
- (6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54AC257, CD54ACT257, CD74AC257, CD74ACT257 :

- Catalog : [CD74AC257](#), [CD74ACT257](#)
- Military : [CD54AC257](#), [CD54ACT257](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC257M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74AC257M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74ACT257M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74ACT257M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74ACT257M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74ACT258M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC257M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74AC257M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74ACT257M96	SOIC	D	16	2500	356.0	356.0	35.0
CD74ACT257M96	SOIC	D	16	2500	340.5	336.1	32.0
CD74ACT257M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74ACT258M96	SOIC	D	16	2500	340.5	336.1	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CD74AC257E	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC257E	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257E	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257E	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257EE4	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257EE4	N	PDIP	16	25	506	13.97	11230	4.32

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.

J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - This package is hermetically sealed with a ceramic lid using glass frit.
 - Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - $\triangle D$ The 20 pin end lead shoulder width is a vendor option, either half or full width.

4040049/E 12/2002

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated