

# CD74HC4538-Q1 車載用、高速 CMOS ロジック、デュアル、再トリガ可能、高精度モノステーブルマルチバイブレータ

## 1 特長

- 車載アプリケーション認定済み
- 車載アプリケーションの再トリガ可能 / リセット可能機能として認定済み
- $R_X$ 、 $C_X$  に依存しないトリガおよびリセット伝搬遅延
- 立ち上がりエッジまたは立ち下がりエッジからのトリガ
- $Q$  および  $\bar{Q}$  バッファ付き出力が利用可能
- 独立したリセット
- 広い範囲の出力パルス幅
- $A$  および  $\bar{B}$  入力にはシュミットトリガ入力
- 再トリガ時間は  $C_X$  に無関係
- ファンアウト (全温度範囲にわたって)
  - 標準出力は 10 個の LSTTL 負荷を駆動可能
  - バスドライバ出力は 15 個の LSTTL 負荷を駆動可能

- 平衡のとれた伝搬遅延と遷移時間
- LSTTL ロジック IC に比べて消費電力を大幅削減
- $V_{CC} = 2V \sim 6V$
- 高いノイズ耐性、 $N_{IL}$  または  $N_{IH} = V_{CC}$  の 30% ( $V_{CC} = 5V$  の場合)

## 2 概要

CD74HC4538 は、固定電圧タイミング アプリケーション向けのデュアル、再トリガ可能 / リセット可能、高精度モノステーブル マルチバイブレータです。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージサイズ <sup>(2)</sup>	本体サイズ
CD74HC4538-Q1	D (SOIC, 16)	9.9mm × 6mm	9.9mm × 3.90mm
	PW (TSSOP, 16)	5mm × 6.4mm	5.00mm × 4.40mm

- (1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



## Table of Contents

<b>1 特長</b> .....	1	6.2 Functional Block Diagram.....	9
<b>2 概要</b> .....	1	6.3 Device Functional Modes.....	10
<b>3 Pin Configuration and Functions</b> .....	3	<b>7 Application and Implementation</b> .....	11
<b>4 Specifications</b> .....	4	7.1 Typical Application.....	11
4.1 Absolute Maximum Ratings.....	4	7.2 Power Supply Recommendations.....	11
4.2 ESD Ratings.....	4	7.3 Layout.....	11
4.3 Recommended Operating Conditions.....	4	<b>8 Device and Documentation Support</b> .....	13
4.4 Thermal Information.....	5	8.1 Documentation Support (Analog).....	13
4.5 Electrical Characteristics.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	13
4.6 Timing Requirements.....	5	8.3 サポート・リソース.....	13
4.7 Switching Characteristics.....	6	8.4 Trademarks.....	13
4.8 Operating Characteristics.....	6	8.5 静電気放電に関する注意事項.....	13
4.9 Typical Characteristics.....	6	8.6 用語集.....	13
<b>5 Parameter Measurement Information</b> .....	8	<b>9 Revision History</b> .....	13
<b>6 Detailed Description</b> .....	9	<b>10 Mechanical, Packaging, and Orderable Information</b> .....	13
6.1 Overview.....	9		

### 3 Pin Configuration and Functions

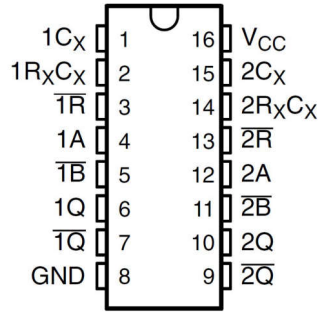


図 3-1. D or PW Package; 16-Pin SOIC or TSSOP (Top View)

表 3-1. Pin Functions

PIN		TYPE	DESCRIPTION
NAME	NO.		
1Cx	1	—	Connects to external capacitor
1RxCx	2	—	Connects to external capacitor and resistor
1TR	3	—	Connects to external resistor
1A	4	I	Ch1 Rising edge input
1B	5	I	Ch1 Falling edge input
1Q	6	O	Ch1 Output
1Q	7	O	Ch1 Inverted Output
GND	8	—	Ground
2Q	9	O	Ch2 Inverted Output
2Q	10	O	Ch2 Output
2B	11	I	Ch2 Falling edge input
2A	12	I	Ch2 Rising edge input
2R	13	—	Connects to external resistor
2RxCx	14	—	Connects to external capacitor and resistor
2Cx	15	—	Connects to external capacitor
VCC	16	—	Power Pin

## 4 Specifications

### 4.1 Absolute Maximum Ratings

over operating free-air temperature (unless otherwise noted)<sup>(1)</sup>

			MIN	MAX	UNIT
V <sub>CC</sub>	Supply voltage <sup>(2)</sup>		-0.5	7	V
I <sub>IK</sub>	Input clamp current	(V <sub>I</sub> < -0.5V or V <sub>I</sub> > V <sub>CC</sub> + 0.5V)		±20	mA
I <sub>OK</sub>	Output clamp current	(V <sub>O</sub> < -0.5V or V <sub>O</sub> > V <sub>CC</sub> + 0.5V)		±20	mA
I <sub>O</sub>	Switch current per output pin	(V <sub>O</sub> > -0.5V or V <sub>O</sub> < V <sub>CC</sub> + 0.5V)		±25	mA
	Continuous current through V <sub>CC</sub> or GND			±50	mA
T <sub>J</sub>	Maximum junction temperature			150	°C
T <sub>stg</sub>	Storage temperature range		-65	150	°C

(1) Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

(2) All voltages are referenced to GND, unless otherwise specified.

### 4.2 ESD Ratings

			VALUE	UNIT
V <sub>(ESD)</sub>	Electrostatic discharge	Human body model (HBM), per AEC Q100-002 <sup>(1)</sup>	±1500	V
		Charged device model (CDM), per AEC Q100-011	±250	

(1) AEC Q100-002 indicates that HBM stressing must be in accordance with the ANSI/ESDA/JEDEC JS-001 specification.

### 4.3 Recommended Operating Conditions

over operating free-air temperature (unless otherwise noted)

			MIN	MAX	UNIT
V <sub>CC</sub>	Supply voltage		2	6	V
V <sub>IH</sub>	High-level input voltage	V <sub>CC</sub> = 2V	1.5		V
		V <sub>CC</sub> = 4.5V	3.15		
		V <sub>CC</sub> = 6V	4.2		
V <sub>IL</sub>	Low-level input voltage	V <sub>CC</sub> = 2V		0.5	V
		V <sub>CC</sub> = 4.5V		1.35	
		V <sub>CC</sub> = 6V		1.8	
V <sub>I</sub>	Input voltage		0	V <sub>CC</sub>	V
V <sub>O</sub>	Output voltage		0	V <sub>CC</sub>	V
t <sub>t</sub>	Reset input	V <sub>CC</sub> = 2V	0	1000	ns
		V <sub>CC</sub> = 4.5V	0	500	
		V <sub>CC</sub> = 6V	0	400	
	Trigger inputs A or B	V <sub>CC</sub> = 2V	0	Unlimited	
		V <sub>CC</sub> = 4.5V	0	Unlimited	
		V <sub>CC</sub> = 6V	0	Unlimited	
R <sub>X</sub>	External timing resistor <sup>(1)</sup>		5		kΩ
C <sub>X</sub>	External timing capacitor <sup>(1)</sup>		0		F
T <sub>A</sub>	Operating free-air temperature		-40	125	°C

(1) All unused inputs of the device must be held at V<sub>CC</sub> or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.

## 4.4 Thermal Information

THERMAL METRIC <sup>(1)</sup>		CD74HC4538-Q1		UNIT
		D	PW	
		16 PINS		
R <sub>θJA</sub>	Junction-to-ambient thermal resistance	73	108	°C/W

(1) For more information about traditional and new thermal metrics, see the *IC Package Thermal Metrics* application report (SPRA953).

## 4.5 Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	I <sub>omA</sub>	V <sub>CC</sub>	T <sub>A</sub> = 25°C		T <sub>A</sub> = -40°C TO 85°C		T <sub>A</sub> = -40°C TO 125°C		UNIT
				MIN	MAX	MIN	MAX	MIN	MAX	
V <sub>OH</sub>	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	CMOS loads	2 V	1.9		1.9		1.9	V	
			4.5 V	4.4		4.4				
			6 V	5.9		5.9				
		TTL loads	- 4	4.5 V	3.98		3.84			3.7
-5.2	6 V		5.48		5.34		5.2			
V <sub>OL</sub>	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	CMOS loads	2 V		0.1		0.1	0.1	V	
			4.5 V		0.1		0.1	0.1		
			6 V		0.1		0.1	0.1		
		TTL loads	4	4.5 V	0.26		0.33			0.4
5.2	6 V		0.26		0.33		0.4			
I <sub>I</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	A, $\bar{B}$ , R	6 V		±1		±1	±1	μA	
		R <sub>X</sub> C <sub>X</sub> <sup>(1)</sup>	6 V		±0.05		±0.05	±0.05		
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> or GND	Quiescent	0	6 V	8		80	160	μA	
		Active, Q = high, Pins 2 and 14 at V <sub>CC</sub> /4	0	6 V	0.6		0.8	1	mA	
C <sub>IN</sub>	C <sub>L</sub> = 50 pF				10		10	10	pF	

(1) When testing I<sub>IL</sub>, the Q output must be high. If Q is low (device not triggered), the pullup P device is ON and the low-resistance path from V<sub>DD</sub> to the test pin causes a current far exceeding the specification.

## 4.6 Timing Requirements

over recommended operating free-air temperature range, V<sub>CC</sub> = 5 V ± 0.5 V (unless otherwise noted) (see [Load Circuit and Voltage Waveforms](#))

PARAMETER	V <sub>CC</sub>	T <sub>A</sub> = 25°C			T <sub>A</sub> = -40°C TO 85°C		T <sub>A</sub> = -40°C TO 125°C		UNIT
		MIN	TYP	MAX	MIN	MAX	MIN	MAX	
t <sub>w</sub> Input pulse width	2 V	80			100		120	ns	
	4.5 V	16			20		24		
	6 V	14			17		20		
t <sub>su</sub> Reset setup time	2 V	5			5		5	ns	
	4.5 V	5			5		5		
	6 V	5			5		5		
t <sub>rr</sub> Retrigger time	5 V		175					ns	
Output pulse-width match, same package			± 1					%	

### 4.7 Switching Characteristics

over recommended operating free-air temperature range,  $V_{CC} = 5 V \pm 0.5 V$  (unless otherwise noted) (see [Load Circuit and Voltage Waveforms](#))

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	$V_{CC}$	$T_A = 25^\circ C$			$T_A = -40^\circ C \text{ TO } 85^\circ C$		$T_A = -40^\circ C \text{ TO } 125^\circ C$		UNIT
					MIN	TYP	MAX	MIN	MAX	MIN	MAX	
$t_{pd}$	A, $\bar{B}$	Q or $\bar{Q}$	$C_L = 50 \text{ pF}$	2 V		250		315		375	ns	
				4.5 V		50		63		75		
				6 V		43		54		64		
	R	Q or $\bar{Q}$	$C_L = 50 \text{ pF}$	2 V		250		315		375		
				4.5 V		50		63		75		
				6 V		43		54		64		
$t_t$			$C_L = 50 \text{ pF}$	2 V		75		95		110	ns	
				4.5 V		15		19		22		
				6 V		13		16		19		
$\tau^{(1)}$			$C_L = 50 \text{ pF}$	3 V	0.64	0.78	0.612	0.812	0.605	0.819	ms	
				5 V	0.63	0.77	0.602	0.798	0.595	0.805		

(1) Output pulse width with  $R_X = 10 \text{ k}\Omega$  and  $C_X = 0.1 \mu\text{F}$

### 4.8 Operating Characteristics

$V_{CC} = 5 V$ ,  $T_A = 25^\circ C$ , input  $t_r, t_f = 6 \text{ ns}$ ,  $C_L = 15 \text{ pF}$

PARAMETER		TYP	UNIT
$C_{pd}$	Power dissipation capacitance	136	pF

注

- $C_{pd}$  is used to determine the dynamic power consumption, per one shot.
- $P_D = (C_{pd} + C_X) V_{CC} 2 f_i \Sigma(C_L V_{CC} 2 f_o)$
- $f_i$  = input frequency
- $f_o$  = output frequency
- $C_L$  = output load capacitance
- $C_X$  = external capacitance
- $V_{CC}$  = supply voltage, assuming  $f_i \ll \tau$

### 4.9 Typical Characteristics

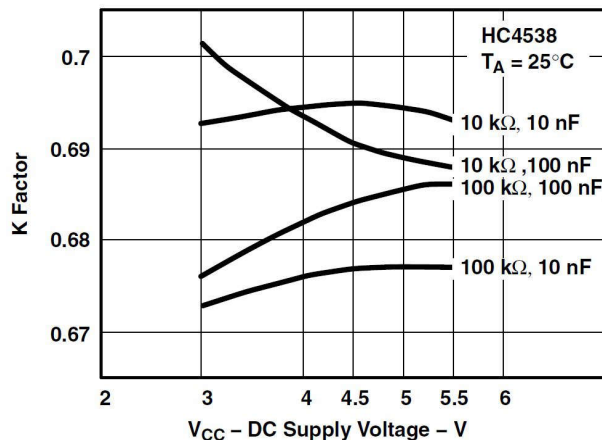


図 4-1. K Factor vs DC Supply Voltage

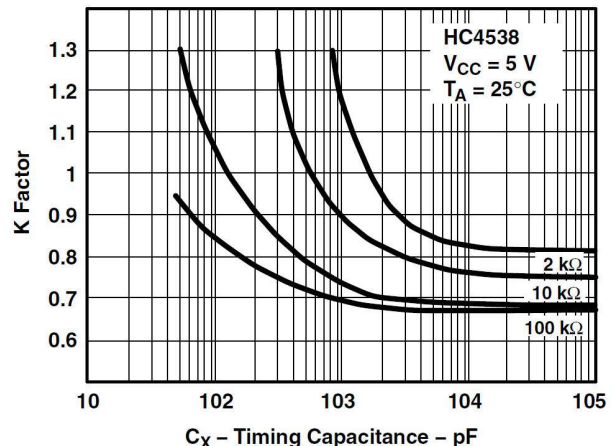
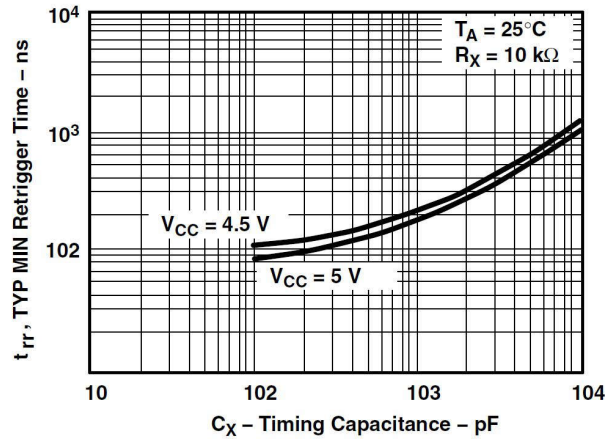


図 4-2. K Factor vs  $C_X$

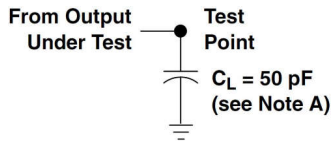
### 4.9 Typical Characteristics (continued)



 4-3. Minimum Retrigger Time vs Timing Capacitance

## 5 Parameter Measurement Information

### Load Circuit and Voltage Waveforms



LOAD CIRCUIT

図 5-1. Load Circuit

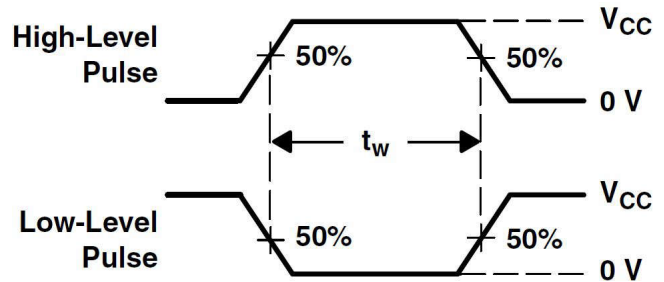


図 5-2. Voltage Waveforms Pulse Durations

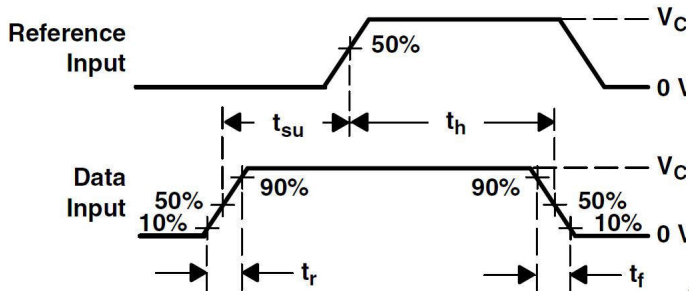


図 5-3. Voltage Waveforms Setup and Hold and Input Rise and Fall Times

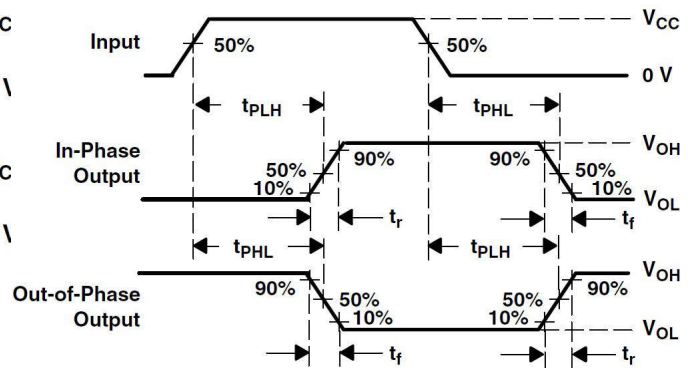


図 5-4. Voltage Waveforms Propagation Delay and Output Transition Times

#### 注

- $C_L$  includes probe and test-fixture capacitance.
- Phase relationships between waveforms were chosen arbitrarily. All input pulses are supplied by generators having the following characteristics:  $PRR \leq 1 \text{ MHz}$ ,  $Z_O = 50 \Omega$ ,  $t_r = 6 \text{ ns}$ ,  $t_f = 6 \text{ ns}$ .
- For clock inputs,  $f_{max}$  is measured when the input duty cycle is 50%.
- The outputs are measured one at a time, with one input transition per measurement.
- $t_{pLH}$  and  $t_{pHL}$  are the same as  $t_{pd}$ .



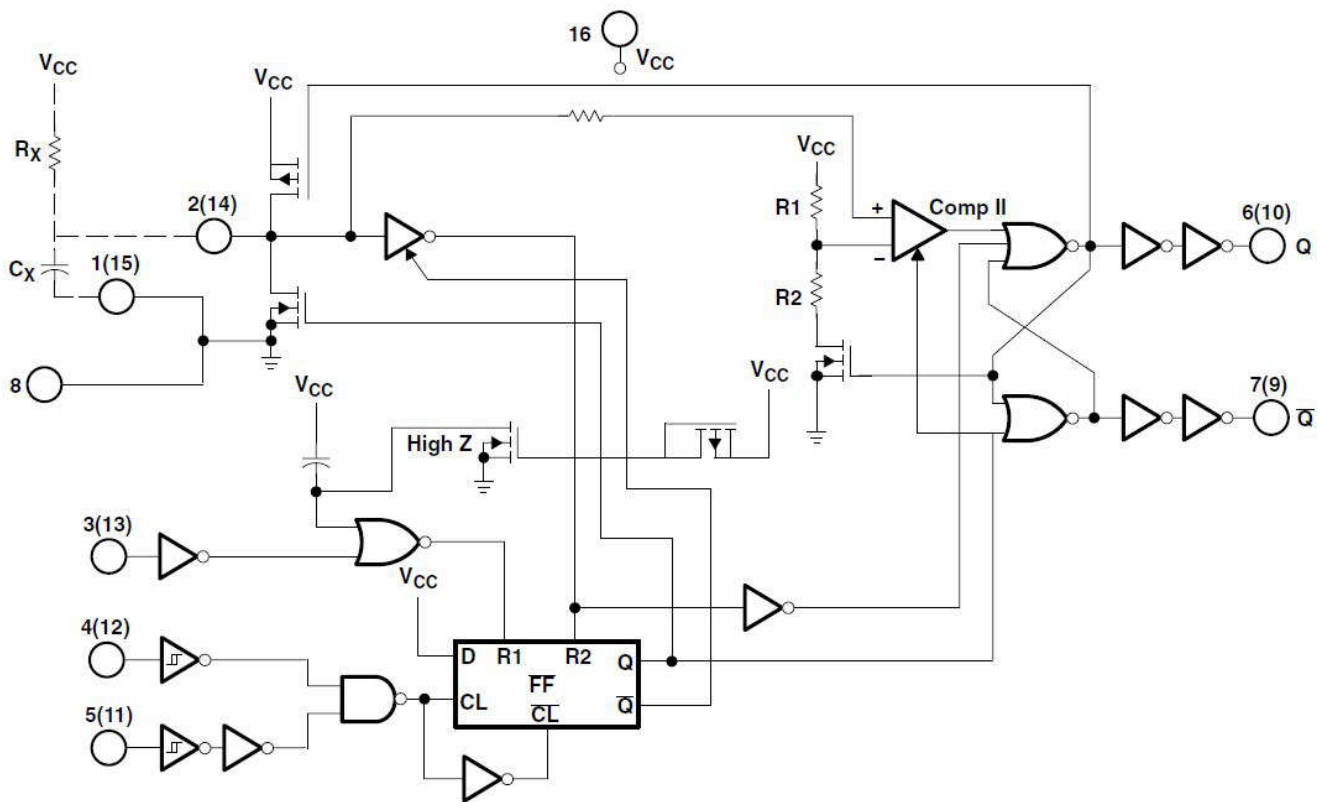
## 6 Detailed Description

### 6.1 Overview

An external resistor ( $R_X$ ) and external capacitor ( $C_X$ ) control the timing and accuracy for the circuit. Adjustment of  $R_X$  and  $C_X$  provides a wide range of output pulse widths from the Q and  $\bar{Q}$  terminals. The propagation delay from trigger input-to-output transition and the propagation delay from reset input-to-output transition are independent of  $R_X$  and  $C_X$ .

Leading-edge triggering (A) and trailing-edge triggering ( $\bar{B}$ ) inputs are provided for triggering from either edge of the input pulse. An unused A input should be tied to GND and an unused  $\bar{B}$  input should be tied to  $V_{CC}$ . On power up, the IC is reset. Unused resets and sections must be terminated. In normal operation, the circuit retriggers on the application of each new trigger pulse. To operate in the nontriggerable mode,  $\bar{Q}$  is connected to  $\bar{B}$  when leading-edge triggering (A) is used, or Q is connected to A when trailing-edge triggering ( $\bar{B}$ ) is used. The period ( $\tau$ ) can be calculated from  $\tau = (0.7) R_X C_X$ ;  $R_{MIN}$  is 5 k $\Omega$ .  $C_{MIN}$  is 0 pF.

### 6.2 Functional Block Diagram




**6-1. Logic Diagram (Positive Logic)**

### 6.3 Device Functional Modes

表 6-1. Function Table





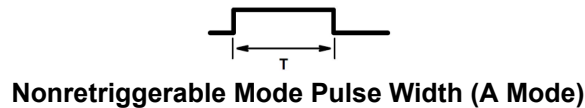
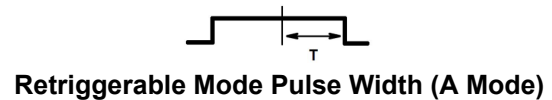
INPUTS			OUTPUTS	
$\bar{R}$	A	$\bar{B}$	Q	$\bar{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↓		
H	↑	H		

表 6-2. Functional Terminal Connections

FUNCTION	V <sub>CC</sub> TO TERMINAL NUMBER		GND TO TERMINAL NUMBER		INPUT PULSE TO TERMINAL NUMBER		OTHER CONNECTIONS	
	MONO <sup>(1)</sup>	MONO <sup>(2)</sup>	MONO <sup>(1)</sup>	MONO <sup>(2)</sup>	MONO <sup>(1)</sup>	MONO <sup>(2)</sup>	MONO <sup>(1)</sup>	MONO <sup>(2)</sup>
Leading-edge trigger/retriggerable	3, 5	11, 13			4	12		
Leading-edge trigger/nonretriggerable	3	13			4	12	5-7	11-9
Trailing-edge trigger/retriggerable	3	13	4	12	5	11		
Trailing-edge trigger/nonretriggerable	3	13			5	11	4-6	12-10

- (1) A retriggerable one-shot multivibrator has an output pulse width that is extended one full time period (T) after application of the last trigger pulse.
- (2) A nontriggerable one-shot multivibrator has a time period (T) referenced from the application of the first trigger pulse.



## 7 Application and Implementation

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 Typical Application

#### Power-Down Mode

During a rapid power-down condition (as would occur with a power-supply short circuit with a poorly filtered power supply), the energy stored in  $C_X$  could discharge into pin 2 or pin 14. To avoid possible device damage in this mode when  $C_X$  is  $\geq 0.5 \mu\text{F}$ , a protection diode with a 1-A rating or higher (1N5395 or equivalent) and a separate ground return for  $C_X$  should be provided. [Rapid-Power-Down Protection Circuit](#)

An alternate protection method is shown in [Alternative Rapid-Power-Down Protection Circuit](#), where a 51- $\Omega$  current-limiting resistor is inserted in series with  $C_X$ . Note that a small pulse-duration decrease occurs, however, and  $R_X$  must be increased appropriately to obtain the originally desired pulse duration.

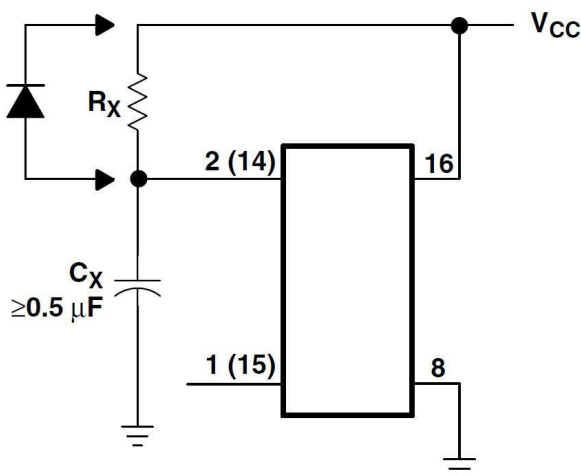


図 7-1. Rapid-Power-Down Protection Circuit

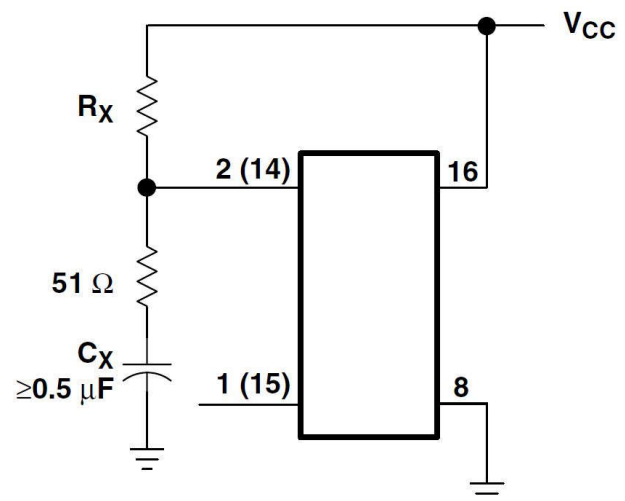


図 7-2. Alternative Rapid-Power-Down Protection Circuit

### 7.2 Power Supply Recommendations

The power supply can be any voltage between the minimum and maximum supply voltage rating located in the *Recommended Operating Conditions*. Each  $V_{CC}$  terminal should have a good bypass capacitor to prevent power disturbance. A 0.1- $\mu\text{F}$  capacitor is recommended for this device. It is acceptable to parallel multiple bypass capacitors to reject different frequencies of noise. The 0.1- $\mu\text{F}$  and 1- $\mu\text{F}$  capacitors are commonly used in parallel. The bypass capacitor should be installed as close to the power terminal as possible for best results, as shown in the following layout example.

### 7.3 Layout

#### 7.3.1 Layout Guidelines

When using multiple bit logic devices, inputs should not float. In many cases, functions or parts of functions of digital logic devices are unused. Some examples are when only two inputs of a triple-input AND gate are used,

or when only 3 of the 4-buffer gates are used. Such input pins should not be left unconnected because the undefined voltages at the outside connections result in undefined operational states.

Specified are rules that must be observed under all circumstances. All unused inputs of digital logic devices must be connected to a high or low bias to prevent them from floating. The logic level that should be applied to any particular unused input depends on the function of the device. Generally they will be tied to GND or  $V_{CC}$ , whichever makes more sense or is more convenient. It is acceptable to float outputs unless the part is a transceiver. If the transceiver has an output enable pin, it will disable the outputs section of the part when asserted. This will not disable the input section of the I/Os so they also cannot float when disabled.

## 8 Device and Documentation Support

### 8.1 Documentation Support (Analog)

#### 8.1.1 Related Links

The table below lists quick access links. Categories include technical documents, support and community resources, tools and software, and quick access to sample or buy.

表 8-1. Related Links

PARTS	PRODUCT FOLDER	SAMPLE & BUY	TECHNICAL DOCUMENTS	TOOLS & SOFTWARE	SUPPORT & COMMUNITY
CD74HC4538-Q1	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>

### 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 9 Revision History

### Changes from Revision A (April 2008) to Revision B (August 2024)

	Page
• パッケージ情報の表、ピンの機能の表、ESD 定格の表、熱に関する情報の表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加.....	1

## 10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CD74HC4538QM96G4Q1	ACTIVE	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC4538M	<a href="#">Samples</a>
CD74HC4538QPWRG4Q1	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC4538M	<a href="#">Samples</a>
CD74HC4538QPWRQ1	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC4538M	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF CD74HC4538-Q1 :**

- Catalog : [CD74HC4538](#)
- Military : [CD54HC4538](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications



**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74HC4538QPWRG4Q1	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74HC4538QPWRQ1	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74HC4538QPWRG4Q1	TSSOP	PW	16	2000	356.0	356.0	35.0
CD74HC4538QPWRQ1	TSSOP	PW	16	2000	356.0	356.0	35.0

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
  - D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
  - E. Reference JEDEC MS-012 variation AC.



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



SOLDER MASK DETAILS

4220204/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220204/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated